



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0063501
(43) 공개일자 2019년06월10일

- (51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)
- (52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3258 (2013.01)
- (21) 출원번호 10-2017-0161936
- (22) 출원일자 2017년11월29일
- 심사청구일자 없음
- (71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자
박경태
경기도 수원시 영통구 매영로 366, 723동 1303호
(영통동, 현대아파트)
- 조성호
경기도 용인시 수지구 손곡로 54, 205동 402호
(동천동, 수진마을2단지)
- 강성연
충청남도 아산시 탕정면 탕정면로 37, 504동 140
2호 (탕정삼성트라팰리스아파트)
- (74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 18 항

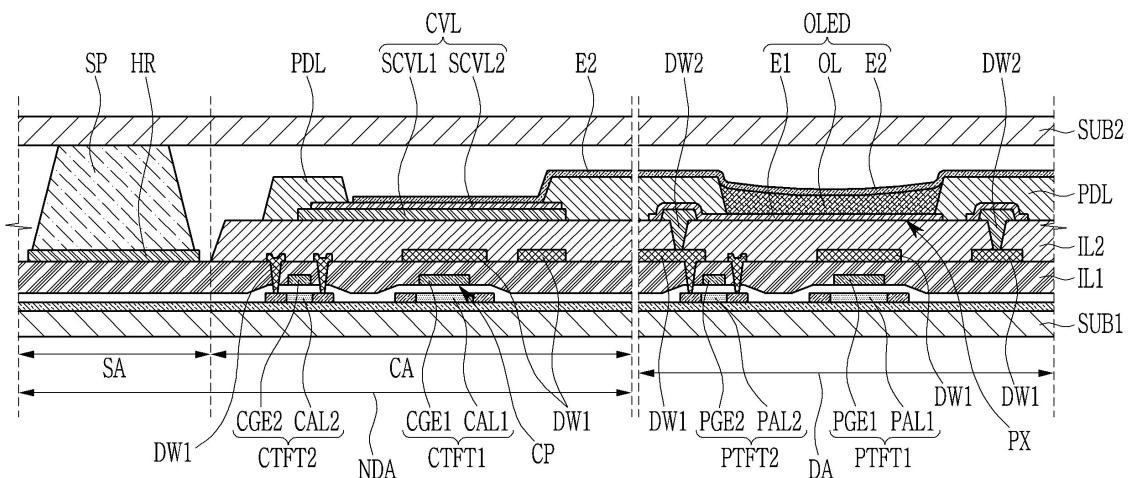
(54) 발명의 명칭 유기 발광 표시 장치

(57) 요 약

유기 발광 표시 장치는 표시 영역 및 비표시 영역을 포함하는 기판, 표시 영역에 위치하는 픽셀 박막 트랜지스터, 제1 데이터 배선, 제2 데이터 배선, 픽셀 박막 트랜지스터와 연결된 유기 발광 소자, 비표시 영역에 위치하며 회로 박막 트랜지스터를 포함하는 회로부, 그리고 상기 회로부와 중첩하며 상기 제2 데이터 배선과 동일한 층에 위치하는 공통 전원 라인을 포함한다.

대 표 도

1000



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/5237 (2013.01)

명세서

청구범위

청구항 1

표시 영역 및 표시 영역과 이웃하는 비표시 영역을 포함하는 기판;
 상기 기판의 표시 영역에 위치하는 픽셀 박막 트랜지스터;
 상기 픽셀 박막 트랜지스터 상에 위치하는 제1 데이터 배선;
 상기 제1 데이터 배선 상에 위치하는 제2 데이터 배선;
 상기 제2 데이터 배선 상에 위치하며, 상기 제1 데이터 배선 및 상기 제2 데이터 배선을 통해 상기 픽셀 박막 트랜지스터와 연결된 유기 발광 소자;
 상기 기판의 비표시 영역에 위치하며, 상기 픽셀 박막 트랜지스터와 연결된 회로 박막 트랜지스터를 포함하는 회로부; 그리고
 상기 회로부와 중첩하며, 상기 유기 발광 소자와 연결되며, 상기 제2 데이터 배선과 동일한 층에 위치하는 공통 전원 라인
 을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,
 상기 비표시 영역은,
 상기 표시 영역과 이웃하며, 상기 회로부 및 상기 공통 전원 라인이 위치하는 회로 영역; 그리고
 상기 회로 영역과 이웃하는 실링 영역
 을 포함하며,
 상기 실링 영역에 위치하는 실링부를 더 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,
 상기 실링부와 상기 기판 사이에서 상기 실링부와 접촉하는 열반사부를 더 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,
 상기 열반사부는 공통 전원 라인 및 상기 회로부와 비접촉하는 유기 발광 표시 장치.

청구항 5

제4항에서,
 상기 열반사부는 상기 제2 데이터 배선과 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 6

제4항에서,
 상기 열반사부는 상기 제1 데이터 배선과 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 열반사부는 상기 제2 데이터 배선과 동일한 재료를 포함하는 유기 발광 표시 장치.

청구항 8

제6항에서,

상기 열반사부는 상기 제1 데이터 배선과 동일한 재료를 포함하는 유기 발광 표시 장치.

청구항 9

제1항에서,

상기 픽셀 박막 트랜지스터는,

상기 기판 상에 위치하는 픽셀 액티브층; 그리고

상기 픽셀 액티브층 상에 위치하는 픽셀 게이트 전극

을 포함하며,

상기 회로 박막 트랜지스터는,

상기 픽셀 액티브층과 동일한 층에 위치하는 회로 액티브층; 그리고

상기 픽셀 게이트 전극과 동일한 층에 위치하는 회로 게이트 전극

을 포함하는 유기 발광 표시 장치.

청구항 10

제1항에서,

상기 픽셀 박막 트랜지스터와 상기 제1 데이터 배선 사이에 위치하는 제1 절연층을 더 포함하는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 제1 데이터 배선과 상기 제2 데이터 배선 사이에 위치하는 제2 절연층을 더 포함하는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 공통 전원 라인은 상기 제2 절연층 상에 위치하며,

상기 회로부는 상기 제2 절연층에 커버된 유기 발광 표시 장치.

청구항 13

제11항에서,

상기 유기 발광 소자는,

상기 제2 절연층 상에 위치하는 제1 전극;

상기 제1 전극 상에 위치하는 유기 발광층; 그리고

상기 유기 발광층 상에 위치하는 제2 전극

을 포함하는 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 공통 전원 라인은,

상기 제2 데이터 배선과 동일한 층에 위치하는 제1 서브 공통 전원 라인; 그리고

상기 제1 서브 공통 전원 라인과 직접 접촉하며, 상기 제1 전극과 동일한 층에 위치하는 제2 서브 공통 전원 라인

을 포함하는 유기 발광 표시 장치.

청구항 15

제13항에서,

상기 공통 전원 라인은 상기 제2 전극과 직접 접촉하는 유기 발광 표시 장치.

청구항 16

제13항에서,

상기 제1 전극 및 상기 제2 데이터 배선은 상기 제2 절연층과 접촉하는 유기 발광 표시 장치.

청구항 17

제13항에서,

상기 제2 데이터 배선과 상기 제1 전극 사이에 위치하는 제3 절연층을 더 포함하는 유기 발광 표시 장치.

청구항 18

제1항에서,

상기 공통 전원 라인은 상기 제2 데이터 배선과 동일한 재료를 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 기재는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 표시 장치의 일례로서, 유기 발광 표시 장치(organic light emitting display), 액정 표시 장치(liquid crystal display) 및 플라즈마 디스플레이 패널(plasma display panel) 등이 있다.

[0003] 이 중, 유기 발광 표시 장치는 기판의 표시 영역에 위치하는 박막 트랜지스터 및 유기 발광 소자와 기판의 비표시 영역에 위치하는 회로부와 공통 전원 라인을 포함한다.

[0004] 비표시 영역의 회로부는 표시 영역의 박막 트랜지스터와 연결되며, 비표시 영역의 공통 전원 라인은 표시 영역의 유기 발광 소자와 연결된다.

발명의 내용

해결하려는 과제

[0005] 일 실시예는, 비표시 영역의 너비가 최소화된 유기 발광 표시 장치를 제공하고자 한다.

[0006] 또한, 내부 오염이 억제된 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 일 층면은 표시 영역 및 표시 영역과 이웃하는 비표시 영역을 포함하는 기판, 상기 기판의 표시 영역에 위치하는 픽셀 박막 트랜지스터, 상기 픽셀 박막 트랜지스터 상에 위치하는 제1 데이터 배선, 상기 제1 데이터 배선

상에 위치하는 제2 데이터 배선, 상기 제2 데이터 배선 상에 위치하며, 상기 제1 데이터 배선 및 상기 제2 데이터 배선을 통해 상기 픽셀 박막 트랜지스터와 연결된 유기 발광 소자, 상기 기판의 비표시 영역에 위치하며, 상기 픽셀 박막 트랜지스터와 연결된 회로 박막 트랜지스터를 포함하는 회로부, 그리고 상기 회로부와 중첩하며, 상기 유기 발광 소자와 연결되며, 상기 제2 데이터 배선과 동일한 층에 위치하는 공통 전원 라인을 포함하는 유기 발광 표시 장치를 제공한다.

- [0008] 상기 비표시 영역은, 상기 표시 영역과 이웃하며, 상기 회로부 및 상기 공통 전원 라인이 위치하는 회로 영역, 그리고 상기 회로 영역과 이웃하는 실링 영역을 포함하며, 상기 실링 영역에 위치하는 실링부를 더 포함할 수 있다.
- [0009] 상기 실링부와 상기 기판 사이에서 상기 실링부와 접촉하는 열반사부를 더 포함할 수 있다.
- [0010] 상기 열반사부는 공통 전원 라인 및 상기 회로부와 비접촉할 수 있다.
- [0011] 상기 열반사부는 상기 제2 데이터 배선과 동일한 층에 위치할 수 있다.
- [0012] 상기 열반사부는 상기 제1 데이터 배선과 동일한 층에 위치할 수 있다.
- [0013] 상기 열반사부는 상기 제2 데이터 배선과 동일한 재료를 포함할 수 있다.
- [0014] 상기 열반사부는 상기 제1 데이터 배선과 동일한 재료를 포함할 수 있다.
- [0015] 상기 픽셀 박막 트랜지스터는, 상기 기판 상에 위치하는 픽셀 액티브층, 그리고 상기 픽셀 액티브층 상에 위치하는 픽셀 게이트 전극을 포함하며, 상기 회로 박막 트랜지스터는, 상기 픽셀 액티브층과 동일한 층에 위치하는 회로 액티브층, 그리고 상기 픽셀 게이트 전극과 동일한 층에 위치하는 회로 게이트 전극을 포함할 수 있다.
- [0016] 상기 픽셀 박막 트랜지스터와 상기 제1 데이터 배선 사이에 위치하는 제1 절연층을 더 포함할 수 있다.
- [0017] 상기 제1 데이터 배선과 상기 제2 데이터 배선 사이에 위치하는 제2 절연층을 더 포함할 수 있다.
- [0018] 상기 공통 전원 라인은 상기 제2 절연층 상에 위치하며, 상기 회로부는 상기 제2 절연층에 커버될 수 있다.
- [0019] 상기 유기 발광 소자는, 상기 제2 절연층 상에 위치하는 제1 전극, 상기 제1 전극 상에 위치하는 유기 발광층, 그리고 상기 유기 발광층 상에 위치하는 제2 전극을 포함할 수 있다.
- [0020] 상기 공통 전원 라인은, 상기 제2 데이터 배선과 동일한 층에 위치하는 제1 서브 공통 전원 라인, 그리고 상기 제1 서브 공통 전원 라인과 직접 접촉하며, 상기 제1 전극과 동일한 층에 위치하는 제2 서브 공통 전원 라인을 포함할 수 있다.
- [0021] 상기 공통 전원 라인은 상기 제2 전극과 직접 접촉할 수 있다.
- [0022] 상기 제1 전극 및 상기 제2 데이터 배선은 상기 제2 절연층과 접촉할 수 있다.
- [0023] 상기 제2 데이터 배선과 상기 제1 전극 사이에 위치하는 제3 절연층을 더 포함할 수 있다.
- [0024] 상기 공통 전원 라인은 상기 제2 데이터 배선과 동일한 재료를 포함할 수 있다.

발명의 효과

- [0025] 일 실시예에 따르면, 비표시 영역의 너비가 최소화된 유기 발광 표시 장치가 제공된다.
- [0026] 또한, 내부 오염이 억제된 유기 발광 표시 장치가 제공된다.

도면의 간단한 설명

- [0027] 도 1은 일 실시예에 따른 유기 발광 표시 장치를 나타낸 평면도이다.
도 2는 도 1에 도시된 픽셀을 나타낸 회로도이다.
도 3은 도 1의 III-III을 따른 단면도이다.
도 4는 다른 실시예에 따른 유기 발광 표시 장치를 나타낸 단면도이다.
도 5는 다른 실시예에 따른 유기 발광 표시 장치를 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0030] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0031] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0032] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0033] 이하, 도 1 내지 도 3을 참조하여 일 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0034] 도 1은 일 실시예에 따른 유기 발광 표시 장치를 나타낸 평면도이다.
- [0035] 도 1을 참조하면, 일 실시예에 따른 유기 발광 표시 장치(1000)는 제1 기판(SUB1), 제2 기판(SUB2), 픽셀(Px), 회로부(CP), 공통 전원 라인(CVL), 실링부(CP), 구동부(DD)를 포함한다.
- [0036] 제1 기판(SUB1) 및 제2 기판(SUB2)은 유리, 석영, 세라믹, 사파이어, 플라스틱 등 중 적어도 하나를 포함한다. 제1 기판(SUB1) 및 제2 기판(SUB2)은 리지드(rigid), 플렉서블(flexible), 스트레치블(stretchable), 롤러블(rollable), 또는 폴더블(foldable)할 수 있다.
- [0037] 제1 기판(SUB1)은 이미지를 표시하는 표시 영역(DA) 및 표시 영역(DA)과 이웃하는 비표시 영역(DA)을 포함한다. 비표시 영역(DA)은 표시 영역(DA)을 둘러싸고 있으나, 이에 한정되지는 않는다.
- [0038] 비표시 영역(DA)은 표시 영역(DA)과 이웃하며 회로부(CP) 및 공통 전원 라인(CVL)이 위치하는 회로 영역(CA), 및 회로 영역(CA)과 이웃하여 실링부(CP)가 위치하는 실링 영역(SA)을 포함한다. 회로 영역(CA)은 표시 영역(DA)과 실링 영역(SA) 사이에 위치한다.
- [0039] 픽셀(Px)은 제1 기판(SUB1)의 표시 영역(DA)에 위치한다. 픽셀(Px)은 이미지를 표시하는 최소 단위일 수 있다. 픽셀(Px)은 회로부(CP), 구동부(DD), 공통 전원 라인(CVL)과 연결된다. 픽셀(Px)은 회로부(CP)로부터 스캔 신호를 인가 받고, 구동부(DD)로부터 데이터 신호를 인가 받고, 공통 전원 라인(CVL)으로부터 공통 전원(ELVSS)를 인가 받아 이미지를 표시할 수 있다.
- [0040] 한편, 픽셀(Px)은 도시하지 않은 구동 전원 라인과 연결되어 구동 전원 라인으로부터 구동 전원(ELVDD)을 더 인가 받을 수 있다. 일례로, 구동 전원 라인은 제1 기판(SUB1)의 표시 영역(DA) 및 비표시 영역(DA) 중 적어도 하나에 위치할 수 있다.
- [0041] 도 2는 도 1에 도시된 픽셀을 나타낸 회로도이다.
- [0042] 도 2를 참조하면, 픽셀(Px)은 복수의 픽셀 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 복수의 픽셀 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 선택적으로 연결되는 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, DA, ELVDDL), 픽셀 커패시터(Cst), 유기 발광 소자(OLED)를 포함한다.
- [0043] 복수의 픽셀 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)를 포함한다.
- [0044] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박

막 트랜지스터(T4)의 제4 드레인 전극(D4) 각각에 연결되어 있고, 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되어 있고, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각에 연결되어 있다.

[0045] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(Sn)과 연결되어 있고, 제2 소스 전극(S2)은 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.

[0046] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔 라인(Sn)과 연결되어 있고, 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.

[0047] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔 라인(Sn-1)과 연결되어 있고, 제4 소스 전극(S4)은 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.

[0048] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어 라인(EM)과 연결되어 있고, 제5 소스 전극(S5)은 구동 전원 라인(ELVDDL)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.

[0049] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어 라인(EM)과 연결되어 있으며, 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.

[0050] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔 라인(Sn-2)과 연결되어 있고, 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다.

[0051] 복수의 배선들은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각의 제2 게이트 전극(G2) 및 제3 게이트 전극(G3) 각각에 제1 스캔 신호를 전달하는 제1 스캔 라인(Sn), 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)에 제2 스캔 신호를 전달하는 제2 스캔 라인(Sn-1), 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)에 제3 스캔 신호를 전달하는 제3 스캔 라인(Sn-2), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각에 발광 제어 신호를 전달하는 발광 제어 라인(EM), 제2 박막 트랜지스터(T2)의 제2 소스 전극(S2)에 데이터 신호를 전달하는 데이터 라인(DA), 픽셀 커패시터(Cst)의 일 전극 및 제5 박막 트랜지스터(T5)의 제5 소스 전극(S5) 각각에 구동 전원(ELVDD)을 공급하는 구동 전원 라인(ELVDDL), 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)에 초기화 신호를 공급하는 초기화 전원 라인(Vin)을 포함한다.

[0052] 픽셀 커패시터(Cst)는 구동 전원 라인(ELVDDL)과 연결된 일 전극과 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 각각과 연결된 타 전극을 포함한다.

[0053] 유기 발광 소자(OLED)는 제1 전극, 제1 전극 상에 위치하는 제2 전극, 제1 전극과 제2 전극 사이에 위치하는 유기 발광층을 포함한다. 유기 발광 소자(OLED)의 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6) 각각과 연결되어 있으며, 제2 전극은 공통 전원(ELVSS)가 공급되는 공통 전원 라인(CVL)과 연결된다.

[0054] 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 초기화 전원 라인(Vin)은 도 1에 도시된 회로부(CP)와 연결될 수 있다. 데이터 라인(DA)은 도 1에 도시된 구동부(DD)와 연결될 수 있다. 구동 전원 라인(ELVDDL), 공통 전원 라인(CVL)은 외부의 인쇄 회로 기판(printed circuit board, PCB)과 접속된 단자에 연결될 수 있다.

[0055] 한편, 일 실시예에 따른 유기 발광 표시 장치(1000)의 픽셀(Px)은 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7)을 포함하는 복수의 픽셀 박막 트랜지스터, 픽셀 커패시터(Cst), 제1 스캔 라인(Sn) 내지 제3 스캔 라인(Sn-2), 데이터 라인(DA), 구동 전원 라인(ELVDDL), 초기화 전원 라인(Vin)으로 구성되었으나, 이에 한정되지 않고 다른 실시예에 따른 유기 발광 표시 장치의 픽셀은 적어도 2개의 픽셀 박막 트랜지스터, 적어도 하나의 픽셀 커패시터, 적어도 하나의 스캔 라인 및 적어도 하나의 구동 전원 라인을 포함하는 배선들로 구성될 수 있다.

- [0056] 도 1을 참조하면, 회로부(CP)는 제1 기판(SUB1)의 비표시 영역(DA)의 회로 영역(CA)에 위치한다. 회로부(CP)는 제1 기판(SUB1)의 표시 영역(DA)을 사이에 두고 서로 이격된 2개의 회로부(CP)를 포함하나, 이에 한정되지 않고, 1개의 회로부(CP) 또는 적어도 3개의 회로부(CP)를 포함할 수 있다.
- [0057] 회로부(CP)는 적어도 하나의 회로 박막 트랜지스터 및 적어도 하나의 회로 커패시터를 포함한다. 회로부(CP)는 픽셀(Px)과 연결된다. 회로부(CP)는 도 2에 도시된 픽셀(Px)의 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 초기화 전원 라인(Vin)과 연결될 수 있다.
- [0058] 공통 전원 라인(CVL)은 제1 기판(SUB1)의 비표시 영역(DA)의 회로 영역(CA)에 위치한다. 공통 전원 라인(CVL)은 회로부(CP)와 중첩한다. 공통 전원 라인(CVL)은 회로부(CP) 상에 위치한다. 공통 전원 라인(CVL)은 픽셀(Px)의 유기 발광 소자의 제2 전극과 연결된다.
- [0059] 실링부(CP)는 제1 기판(SUB1)의 비표시 영역(DA)의 실링 영역(SA)에 위치한다. 실링부(CP)는 제1 기판(SUB1)의 표시 영역(DA)을 둘러싸고 있다. 실링부(CP)는 제1 기판(SUB1)과 제2 기판(SUB2) 사이에 위치하며, 제1 기판(SUB1)과 제2 기판(SUB2) 사이를 접착한다. 실링부(CP)는 프릿(frit)을 포함하나, 이에 한정되지 않고 제1 기판(SUB1)과 제2 기판(SUB2)을 접착할 수 있는 다양한 유기 재료 또는 무기 재료를 포함할 수 있다.
- [0060] 구동부(DD)는 제1 기판(SUB1)의 비표시 영역(DA)에 위치한다. 구동부(DD)는 제1 기판(SUB1)에 접속된 집적 회로 칩(integrated circuit chip)일 수 있으나, 이에 한정되지는 않는다. 구동부(DD)는 도 2에 도시된 픽셀(Px)의 데이터 라인(DA)과 연결될 수 있다.
- [0061] 이하, 도 3을 참조하여 상술한 일 실시예에 따른 유기 발광 표시 장치(1000)의 적층 순서를 설명한다.
- [0062] 도 3은 도 1의 III-III을 따른 단면도이다.
- [0063] 도 3을 참조하면, 일 실시예에 따른 유기 발광 표시 장치(1000)는 제1 기판(SUB1), 제2 기판(SUB2), 픽셀(Px), 제1 절연층(IL1), 제2 절연층(IL2), 화소 정의층(PDL), 회로부(CP), 공통 전원 라인(CVL), 실링부(CP), 열반사부(HR)를 포함한다.
- [0064] 제1 기판(SUB1)은 표시 영역(DA), 그리고 회로 영역(CA)과 실링 영역(SA)을 포함하는 비표시 영역(DA)을 포함한다. 제1 기판(SUB1)과 제2 기판(SUB2)의 사이에는 픽셀(Px), 회로부(CP), 공통 전원 라인(CVL), 실링부(CP), 열반사부(HR)가 위치한다.
- [0065] 픽셀(Px)은 제1 기판(SUB1)의 표시 영역(DA)에 위치하며, 제1 픽셀 박막 트랜지스터(PTFT1), 제2 픽셀 박막 트랜지스터(PTFT2), 제1 데이터 배선(DW1), 제2 데이터 배선(DW2), 유기 발광 소자(OLED)를 포함한다.
- [0066] 제1 픽셀 박막 트랜지스터(PTFT1)는 제1 기판(SUB1)의 표시 영역(DA)에 위치한다. 제1 픽셀 박막 트랜지스터(PTFT1)는 제1 기판(SUB1) 상에 위치하는 제1 픽셀 액티브층(PAL1), 제1 픽셀 액티브층(PAL1) 상에 위치하는 제1 픽셀 게이트 전극(PGE1)을 포함한다. 제1 픽셀 액티브층(PAL1)은 제1 픽셀 게이트 전극(PGE1)과 중첩하는 채널 영역, 제1 픽셀 게이트 전극(PGE1)과 비중첩하는 소스 전극 및 드레인 전극을 포함한다.
- [0067] 제2 픽셀 박막 트랜지스터(PTFT2)는 제1 기판(SUB1)의 표시 영역(DA)에 위치한다. 제2 픽셀 박막 트랜지스터(PTFT2)는 제1 기판(SUB1) 상에 위치하는 제2 픽셀 액티브층(PAL2), 제2 픽셀 액티브층(PAL2) 상에 위치하는 제2 픽셀 게이트 전극(PGE2)을 포함한다. 제2 픽셀 액티브층(PAL2)은 제2 픽셀 게이트 전극(PGE2)과 중첩하는 채널 영역, 제2 픽셀 게이트 전극(PGE2)과 비중첩하는 소스 전극 및 드레인 전극을 포함한다.
- [0068] 제1 픽셀 박막 트랜지스터(PTFT1) 및 제2 픽셀 박막 트랜지스터(PTFT2)는 도 2에 도시된 픽셀(Px)의 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7) 중 어느 하나일 수 있다.
- [0069] 제1 데이터 배선(DW1)은 제1 픽셀 박막 트랜지스터(PTFT1) 및 제2 픽셀 박막 트랜지스터(PTFT2) 상에 위치한다. 제1 데이터 배선(DW1)과 제1 픽셀 박막 트랜지스터(PTFT1)의 사이와 제1 데이터 배선(DW1)과 제2 픽셀 박막 트랜지스터(PTFT2)의 사이에는 제1 절연층(IL1)이 위치한다.
- [0070] 제1 데이터 배선(DW1)은 도 2에 도시된 픽셀(Px)의 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 초기화 전원 라인(Vin), 데이터 라인(DA), 구동 전원 라인(ELVDDL) 중 적어도 하나의 라인을 포함할 수 있다.
- [0071] 제2 데이터 배선(DW2)은 제1 데이터 배선(DW1) 상에 위치한다. 제2 데이터 배선(DW2)과 제1 데이터 배선(DW1) 사이에는 제2 절연층(IL2)이 위치한다.

- [0072] 제2 데이터 배선(DW2)은 제2 절연층(IL2)에 형성된 컨택홀을 통해 제1 데이터 배선(DW1)과 접촉한다. 제2 데이터 배선(DW2)은 제1 데이터 배선(DW1)과 다른 재료를 포함할 수 있으나, 이에 한정되지 않고 제1 데이터 배선(DW1)과 동일한 재료를 포함할 수 있다.
- [0073] 한편, 제2 데이터 배선(DW2)은 도 2에 도시된 픽셀(Px)의 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 초기화 전원 라인(Vin), 데이터 라인(DA), 구동 전원 라인(ELVDDL) 중 적어도 하나의 라인을 포함할 수 있다.
- [0074] 유기 발광 소자(OLED)는 제2 데이터 배선(DW2) 상에 위치하며, 제1 데이터 배선(DW1) 및 제2 데이터 배선(DW2)을 통해 제2 픽셀 박막 트랜지스터(PTFT2)와 연결된다.
- [0075] 유기 발광 소자(OLED)는 제2 절연층(IL2) 상에 위치하는 제1 전극(E1), 제1 전극(E1) 상에 위치하는 유기 발광 층(OL), 유기 발광층(OL) 상에 위치하는 제2 전극(E2)을 포함한다.
- [0076] 제1 전극(E1) 및 제2 전극(E2) 중 적어도 하나의 전극은 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 하나를 포함할 수 있다. 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극(E2) 중 적어도 하나의 전극 방향으로 방출될 수 있다.
- [0077] 제1 전극(E1)은 제2 데이터 배선(DW2) 및 제1 데이터 배선(DW1)을 통해 제2 픽셀 박막 트랜지스터(PTFT2)와 연결된다.
- [0078] 제1 전극(E1) 및 제2 데이터 배선(DW2)은 제2 절연층(IL2)과 접촉한다.
- [0079] 제1 전극(E1)은 화소 정의층(PDL)에 의해 일부가 개구되어 있다. 화소 정의층(PDL)의 개구부는 제1 전극(E1)의 적어도 일부와 중첩한다.
- [0080] 제2 전극(E2)은 제1 기판(SUB1)의 표시 영역(DA)으로부터 비표시 영역(DA)까지 연장되어 있다. 제2 전극(E2)은 비표시 영역(DA)에서 공통 전원 라인(CVL)과 직접 접촉한다.
- [0081] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)이 위치할 수 있으며, 이 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 제2 기판(SUB2)이 위치한다. 한편, 유기 발광 소자(OLED) 상에는 박막 봉지층(thin film encapsulation)이 위치할 수 있다.
- [0082] 제1 절연층(IL1)은 제1 픽셀 박막 트랜지스터(PTFT1)의 제1 픽셀 게이트 전극(PGE1)과 제1 데이터 배선(DW1) 사이에 위치한다.
- [0083] 제2 절연층(IL2)은 제1 데이터 배선(DW1)과 제2 데이터 배선(DW2) 사이에 위치한다.
- [0084] 제1 절연층(IL1) 및 제2 절연층(IL2)은 실리콘 질화물 및 실리콘 산화물 등 중 적어도 하나를 포함하는 무기 절연층 또는 유기 절연층을 포함할 수 있다. 제1 절연층(IL1) 및 제2 절연층(IL2)은 단층 또는 복층으로 형성될 수 있다.
- [0085] 화소 정의층(PDL)은 유기 발광 소자(OLED)의 제1 전극(E1)의 적어도 일부를 노출하는 개구부를 포함하며, 제1 전극(E1)의 가장자리를 둘러쌀 수 있다.
- [0086] 회로부(CP)는 제1 기판(SUB1)의 비표시 영역(DA)의 회로 영역(CA)에 위치하며, 제1 회로 박막 트랜지스터(CTFT1), 제2 회로 박막 트랜지스터(CTFT2), 제1 데이터 배선(DW1)을 포함한다.
- [0087] 제1 회로 박막 트랜지스터(CTFT1)는 제1 기판(SUB1)의 회로 영역(CA)에 위치한다. 제1 회로 박막 트랜지스터(CTFT1)는 제1 기판(SUB1) 상에 위치하는 제1 회로 액티브층(CAL1), 제1 회로 액티브층(CAL1) 상에 위치하는 제1 회로 게이트 전극(CGE1)을 포함한다. 제1 회로 액티브층(CAL1)은 제1 회로 게이트 전극(CGE1)과 중첩하는 채널 영역, 제1 회로 게이트 전극(CGE1)과 비중첩하는 소스 전극 및 드레인 전극을 포함한다.
- [0088] 제2 회로 박막 트랜지스터(CTFT2)는 제1 기판(SUB1)의 회로 영역(CA)에 위치한다. 제2 회로 박막 트랜지스터(CTFT2)는 제1 기판(SUB1) 상에 위치하는 제2 회로 액티브층(CAL2), 제2 회로 액티브층(CAL2) 상에 위치하는 제2 회로 게이트 전극(CGE2)을 포함한다. 제2 회로 액티브층(CAL2)은 제2 회로 게이트 전극(CGE2)과 중첩하는 채널 영역, 제2 회로 게이트 전극(CGE2)과 비중첩하는 소스 전극 및 드레인 전극을 포함한다.
- [0089] 제1 회로 액티브층(CAL1) 및 제2 회로 액티브층(CAL2)은 제1 픽셀 액티브층(PAL1) 및 제2 픽셀 액티브층(PAL2)과 동일한 층에 위치한다. 제1 회로 게이트 전극(CGE1) 및 제2 회로 게이트 전극(CGE2)은 제1 픽셀 게이트 전

극(PGE1) 및 제2 픽셀 게이트 전극(PGE2)과 동일한 층에 위치한다.

[0090] 제1 회로 박막 트랜지스터(CTFT1) 및 제2 회로 박막 트랜지스터(CTFT2)는 회로부(CP)에 포함된 복수의 회로 박막 트랜지스터들 중 일부일 수 있다. 제1 회로 박막 트랜지스터(CTFT1) 및 제2 회로 박막 트랜지스터(CTFT2)는 표시 영역(DA)에 위치하는 제1 픽셀 박막 트랜지스터(PTFT1) 및 제2 픽셀 박막 트랜지스터(PTFT2)와 전기적으로 연결된다.

[0091] 제1 데이터 배선(DW1)은 제1 회로 박막 트랜지스터(CTFT1) 및 제2 회로 박막 트랜지스터(CTFT2) 상에 위치한다. 제1 데이터 배선(DW1)과 제1 회로 박막 트랜지스터(CTFT1)의 사이와 제1 데이터 배선(DW1)과 제2 회로 박막 트랜지스터(CTFT2)의 사이에는 제1 절연층(IL1)이 위치한다.

[0092] 회로부(CP)에 포함된 복수의 회로 박막 트랜지스터들과 제1 데이터 배선(DW1)은 공지된 다양한 회로 구조를 가질 수 있다.

[0093] 공통 전원 라인(CVL)은 회로 영역(CA)에서 회로부(CP) 상에 위치한다. 공통 전원 라인(CVL)은 회로부(CP)와 중첩한다. 공통 전원 라인(CVL)은 유기 발광 소자(OLED)와 연결되며, 유기 발광 소자(OLED)의 제2 전극(E2)과 직접 접촉한다.

[0094] 공통 전원 라인(CVL)은 표시 영역(DA)에 위치하는 제2 데이터 배선(DW2)과 동일한 층에 위치한다. 공통 전원 라인(CVL)은 제2 데이터 배선(DW2)과 동일한 재료를 포함한다. 공통 전원 라인(CVL)은 제2 데이터 배선(DW2)을 형성하는 공정에 의해 제2 데이터 배선(DW2)과 동시에 형성될 수 있다.

[0095] 공통 전원 라인(CVL)과 회로부(CP)의 제1 데이터 배선(DW1) 사이에는 제2 절연층(IL2)이 위치한다. 공통 전원 라인(CVL)은 제2 절연층(IL2) 상에 위치하며, 회로부(CP)는 제2 절연층(IL2)에 커버된다.

[0096] 공통 전원 라인(CVL)은 제1 서브 공통 전원 라인(CVL) 및 제2 서브 공통 전원 라인(CVL)을 포함한다.

[0097] 제1 서브 공통 전원 라인(CVL)은 제2 데이터 배선(DW2)과 동일한 층에 위치하며, 제2 데이터 배선(DW2)과 동일한 재료를 포함한다.

[0098] 제2 서브 공통 전원 라인(CVL)은 제1 서브 공통 전원 라인(CVL) 상에 위치하며, 제1 서브 공통 전원 라인(CVL)과 직접 접촉한다. 제2 서브 공통 전원 라인(CVL)은 제1 서브 공통 전원 라인(CVL)과 유기 발광 소자(OLED)의 제2 전극(E2) 사이에 위치하며, 제1 서브 공통 전원 라인(CVL) 및 제2 전극(E2)과 직접 접촉한다. 제2 서브 공통 전원 라인(CVL)은 유기 발광 소자(OLED)의 제1 전극(E1)과 동일한 층에 위치하며, 제1 전극(E1)과 동일한 재료를 포함할 수 있다.

[0099] 실링부(CP) 제1 기판(SUB1)의 비표시 영역(DA)의 실링 영역(SA)에 위치한다. 실링부(CP)는 제1 기판(SUB1)과 제2 기판(SUB2) 사이를 접착하며, 제1 절연층(IL1)과 제2 기판(SUB2) 사이에 위치한다. 실링부(CP)는 프릿(frit)을 포함하며, 레이저 빔에 의해 가열되어 제1 기판(SUB1)과 제2 기판(SUB2) 사이를 접착한다.

[0100] 열반사부(HR)는 실링부(CP)와 제1 기판(SUB1) 사이에 위치한다. 열반사부(HR)는 제1 절연층(IL1)과 실링부(CP) 사이에 위치하며, 실링부(CP) 및 제1 절연층(IL1)과 직접 접촉한다.

[0101] 열반사부(HR)는 제1 데이터 배선(DW1)과 동일한 층에 위치하며, 제2 데이터 배선(DW2)과 동일한 재료를 포함한다. 열반사부(HR)는 제2 데이터 배선(DW2)을 형성하는 공정에 의해 제2 데이터 배선(DW2)과 동시에 형성된다.

[0102] 열반사부(HR)는 공통 전원 라인(CVL) 및 회로부(CP)와 비접촉한다. 열반사부(HR)는 섬(island) 형태를 가진다.

[0103] 열반사부(HR)는 레이저 빔에 의한 열을 이용해 실링부(CP)를 가열할 때, 실링부(CP)를 통하는 열을 다시 실링부(CP) 방향으로 반사하여 실링부(CP)가 용이하게 가열되는 것을 도와줄 수 있다.

[0104] 이와 같이, 일 실시예에 따른 유기 발광 표시 장치(1000)는 공통 전원 라인(CVL)이 제2 데이터 배선(DW2)과 동일한 층에 위치하여 회로 영역(CA)의 회로부(CP) 상에서 회로부(CP)와 중첩함으로써, 회로 영역(CA)의 평면적 너비를 최소화할 수 있다.

[0105] 즉, 비표시 영역(DA)의 너비가 최소화된 유기 발광 표시 장치(1000)가 제공된다.

[0106] 또한, 일 실시예에 따른 유기 발광 표시 장치(1000)는 공통 전원 라인(CVL)이 제2 데이터 배선(DW2)과 동일한 층에 위치하는 제1 서브 공통 전원 라인(CVL) 및 제1 전극(E1)과 동일한 층에 위치하는 제2 서브 공통 전원 라인(CVL)을 포함함으로써, 공통 전원 라인(CVL) 자체의 전기적 저항이 최소화된다. 이로 인해, 공통 전원 라인

(CVL)으로부터 제2 전극(E2)으로 통하는 공통 전원의 전압이 전기적 저항에 의해 강하되는 것이 억제된 유기 발광 표시 장치(1000)가 제공된다.

[0107] 또한, 일 실시예에 따른 유기 발광 표시 장치(1000)는 실링부(CP)와 접촉하는 열반사부(HR)가 제2 데이터 배선(DW2)과 동일한 재료를 포함하고 공통 전원 라인(CVL) 및 회로부(CP)와 비접촉함으로써, 레이저 범에 의한 열을 이용해 실링부(CP)를 가열할 때, 실링부(CP)를 통하는 열이 열반사부(HR)를 통해 공통 전원 라인(CVL) 및 회로부(CP)로 전달되는 것이 억제된다. 이와 같이, 제조 공정 시 이용되는 레이저 범에 의해 실링부(CP)로부터 열반사부(HR)로 전달된 열이 공통 전원 라인(CVL) 및 회로부(CP)로 전달되는 것이 억제되어, 이 열에 의해 비표시 영역(DA)에 위치하는 제1 절연층(IL1), 제2 절연층(IL2) 및 화소 정의층(PDL)이 열화되는 것이 억제됨으로써, 제1 절연층(IL1), 제2 절연층(IL2) 및 화소 정의층(PDL)으로부터 가스가 발생되는 것이 억제되기 때문에, 이 가스로 인해 유기 발광 표시 장치(1000)의 내부가 오염되는 것이 억제된다.

[0108] 즉, 내부 오염이 억제된 유기 발광 표시 장치(1000)가 제공된다.

[0109] 이상과 같이, 비표시 영역(DA)의 너비가 최소화되는 동시에, 내부 오염이 억제된 유기 발광 표시 장치(1000)가 제공된다.

[0110] 이하, 도 4를 참조하여 다른 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0111] 이하에서는 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.

[0112] 도 4는 다른 실시예에 따른 유기 발광 표시 장치를 나타낸 단면도이다.

[0113] 도 4를 참조하면, 다른 실시예에 따른 유기 발광 표시 장치(1002)는 제1 기판(SUB1), 제2 기판(SUB2), 픽셀(Px), 제1 절연층(IL1), 제2 절연층(IL2), 화소 정의층(PDL), 회로부(CP), 공통 전원 라인(CVL), 실링부(CP), 열반사부(HR)를 포함한다.

[0114] 열반사부(HR)는 실링부(CP)와 제1 기판(SUB1) 사이에 위치한다. 열반사부(HR)는 제1 절연층(IL1)과 실링부(CP) 사이에 위치하며, 실링부(CP) 및 제1 절연층(IL1)과 직접 접촉한다.

[0115] 열반사부(HR)는 제1 데이터 배선(DW1)과 동일한 층에 위치하며, 제1 데이터 배선(DW1)과 동일한 재료를 포함한다. 열반사부(HR)는 제1 데이터 배선(DW1)을 형성하는 공정에 의해 제1 데이터 배선(DW1)과 동시에 형성된다.

[0116] 열반사부(HR)는 공통 전원 라인(CVL) 및 회로부(CP)와 비접촉한다.

[0117] 이와 같이, 다른 실시예에 따른 유기 발광 표시 장치(1002)는 공통 전원 라인(CVL)이 제2 데이터 배선(DW2)과 동일한 층에 위치하여 회로 영역(CA)의 회로부(CP) 상에서 회로부(CP)와 중첩함으로써, 회로 영역(CA)의 평면적 너비를 최소화할 수 있다.

[0118] 즉, 비표시 영역(DA)의 너비가 최소화된 유기 발광 표시 장치(1002)가 제공된다.

[0119] 또한, 다른 실시예에 따른 유기 발광 표시 장치(1002)는 공통 전원 라인(CVL)이 제2 데이터 배선(DW2)과 동일한 층에 위치하는 제1 서브 공통 전원 라인(CVL) 및 제1 전극(E1)과 동일한 층에 위치하는 제2 서브 공통 전원 라인(CVL)을 포함함으로써, 공통 전원 라인(CVL) 자체의 전기적 저항이 최소화된다. 이로 인해, 공통 전원 라인(CVL)으로부터 제2 전극(E2)으로 통하는 공통 전원의 전압이 전기적 저항에 의해 강하되는 것이 억제된 유기 발광 표시 장치(1002)가 제공된다.

[0120] 또한, 다른 실시예에 따른 유기 발광 표시 장치(1002)는 실링부(CP)와 접촉하는 열반사부(HR)가 제1 데이터 배선(DW1)과 동일한 재료를 포함하고 공통 전원 라인(CVL) 및 회로부(CP)와 비접촉함으로써, 레이저 범에 의한 열을 이용해 실링부(CP)를 가열할 때, 실링부(CP)를 통하는 열이 열반사부(HR)를 통해 공통 전원 라인(CVL) 및 회로부(CP)로 전달되는 것이 억제된다. 이와 같이, 제조 공정 시 이용되는 레이저 범에 의해 실링부(CP)로부터 열반사부(HR)로 전달된 열이 공통 전원 라인(CVL) 및 회로부(CP)로 전달되는 것이 억제되어, 이 열에 의해 비표시 영역(DA)에 위치하는 제1 절연층(IL1), 제2 절연층(IL2) 및 화소 정의층(PDL)이 열화되는 것이 억제됨으로써, 제1 절연층(IL1), 제2 절연층(IL2) 및 화소 정의층(PDL)으로부터 가스가 발생되는 것이 억제되기 때문에, 이 가스로 인해 유기 발광 표시 장치(1002)의 내부가 오염되는 것이 억제된다.

[0121] 즉, 내부 오염이 억제된 유기 발광 표시 장치(1002)가 제공된다.

[0122] 이상과 같이, 비표시 영역(DA)의 너비가 최소화되는 동시에, 내부 오염이 억제된 유기 발광 표시 장치(1002)가

제공된다.

[0123] 이하, 도 5를 참조하여 다른 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0124] 이하에서는 일 실시예에 따른 유기 발광 표시 장치와 다른 부분에 대해서 설명한다.

[0125] 도 5는 다른 실시예에 따른 유기 발광 표시 장치를 나타낸 단면도이다.

[0126] 도 5를 참조하면, 다른 실시예에 따른 유기 발광 표시 장치(1003)는 제1 기판(SUB1), 제2 기판(SUB2), 픽셀(Px), 제1 절연층(IL1), 제2 절연층(IL2), 제3 절연층(IL3), 화소 정의층(PDL), 회로부(CP), 공통 전원 라인(CVL), 실링부(CP), 열반사부(HR)를 포함한다.

[0127] 제3 절연층(IL3)은 제2 데이터 배선(DW2)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이에 위치한다.

[0128] 제3 절연층(IL3)은 실리콘 질화물 및 실리콘 산화물 등 중 적어도 하나를 포함하는 무기 절연층 또는 유기 절연층을 포함할 수 있다. 제3 절연층(IL3)은 단층 또는 복층으로 형성될 수 있다.

[0129] 유기 발광 소자(OLED)의 제1 전극(E1)은 제3 절연층(IL3)에 형성된 컨택홀을 통해 제2 데이터 배선(DW2)과 접촉한다. 제2 데이터 배선(DW2)은 제2 절연층(IL2)과 접촉하며, 제1 전극(E1)은 제2 절연층(IL2)과 비접촉한다.

[0130] 공통 전원 라인(CVL)은 제1 서브 공통 전원 라인(CVL) 및 제2 서브 공통 전원 라인(CVL)을 포함한다.

[0131] 제1 서브 공통 전원 라인(CVL)은 제2 데이터 배선(DW2)과 동일한 층에 위치하며, 제2 데이터 배선(DW2)과 동일한 재료를 포함한다.

[0132] 제2 서브 공통 전원 라인(CVL)은 제1 서브 공통 전원 라인(CVL) 상에 위치한다. 제2 서브 공통 전원 라인(CVL)은 제3 절연층(IL3)에 형성된 컨택홀을 통해 제1 서브 공통 전원 라인(CVL)과 직접 접촉한다.

[0133] 실링부(CP) 제1 기판(SUB1)의 비표시 영역(DA)의 실링 영역(SA)에 위치한다. 실링부(CP)는 제1 기판(SUB1)과 제2 기판(SUB2) 사이를 접착하며, 제2 절연층(IL2)과 제2 기판(SUB2) 사이에 위치한다. 실링부(CP)는 프릿(frit)을 포함하며, 레이저 빔에 의해 가열되어 제1 기판(SUB1)과 제2 기판(SUB2) 사이를 접착한다.

[0134] 열반사부(HR)는 실링부(CP)와 제1 기판(SUB1) 사이에 위치한다. 열반사부(HR)는 제2 절연층(IL2)과 실링부(CP) 사이에 위치하며, 실링부(CP) 및 제2 절연층(IL2)과 직접 접촉한다.

[0135] 열반사부(HR)는 제2 데이터 배선(DW2)과 동일한 층에 위치하며, 제2 데이터 배선(DW2)과 동일한 재료를 포함한다. 열반사부(HR)는 제2 데이터 배선(DW2)을 형성하는 공정에 의해 제2 데이터 배선(DW2)과 동시에 형성된다.

[0136] 열반사부(HR)는 공통 전원 라인(CVL) 및 회로부(CP)와 비접촉한다.

[0137] 이와 같이, 다른 실시예에 따른 유기 발광 표시 장치(1003)는 공통 전원 라인(CVL)이 제2 데이터 배선(DW2)과 동일한 층에 위치하여 회로 영역(CA)의 회로부(CP) 상에서 회로부(CP)와 중첩함으로써, 회로 영역(CA)의 평면적 너비를 최소화할 수 있다.

[0138] 즉, 비표시 영역(DA)의 너비가 최소화된 유기 발광 표시 장치(1003)가 제공된다.

[0139] 또한, 다른 실시예에 따른 유기 발광 표시 장치(1003)는 공통 전원 라인(CVL)이 제2 데이터 배선(DW2)과 동일한 층에 위치하는 제1 서브 공통 전원 라인(CVL) 및 제1 전극(E1)과 동일한 층에 위치하는 제2 서브 공통 전원 라인(CVL)을 포함함으로써, 공통 전원 라인(CVL) 자체의 전기적 저항이 최소화된다. 이로 인해, 공통 전원 라인(CVL)으로부터 제2 전극(E2)으로 통하는 공통 전원의 전압이 전기적 저항에 의해 강하되는 것이 억제된 유기 발광 표시 장치(1003)가 제공된다.

[0140] 또한, 다른 실시예에 따른 유기 발광 표시 장치(1003)는 실링부(CP)와 접촉하는 열반사부(HR)가 제2 데이터 배선(DW2)과 동일한 층에서 제2 데이터 배선(DW2)과 동일한 재료를 포함하고 공통 전원 라인(CVL) 및 회로부(CP)와 비접촉함으로써, 레이저 빔에 의한 열을 이용해 실링부(CP)를 가열할 때, 실링부(CP)를 통하는 열이 열반사부(HR)를 통해 공통 전원 라인(CVL) 및 회로부(CP)로 전달되는 것이 억제된다. 이와 같이, 제조 공정 시 이용되는 레이저 빔에 의해 실링부(CP)로부터 열반사부(HR)로 전달된 열이 공통 전원 라인(CVL) 및 회로부(CP)로 전달되는 것이 억제되어, 이 열에 의해 비표시 영역(DA)에 위치하는 제1 절연층(IL1), 제2 절연층(IL2) 및 화소 정의층(PDL)이 열화되는 것이 억제됨으로써, 제1 절연층(IL1), 제2 절연층(IL2) 및 화소 정의층(PDL)으로부터 가스가 발생되는 것이 억제되기 때문에, 이 가스로 인해 유기 발광 표시 장치(1003)의 내부가 오염되는 것이 억

제된다.

[0141] 즉, 내부 오염이 억제된 유기 발광 표시 장치(1003)가 제공된다

[0142] 이상과 같이, 비표시 영역(DA)의 너비가 최소화되는 동시에, 내부 오염이 억제된 유기 발광 표시 장치(1003)가 제공된다.

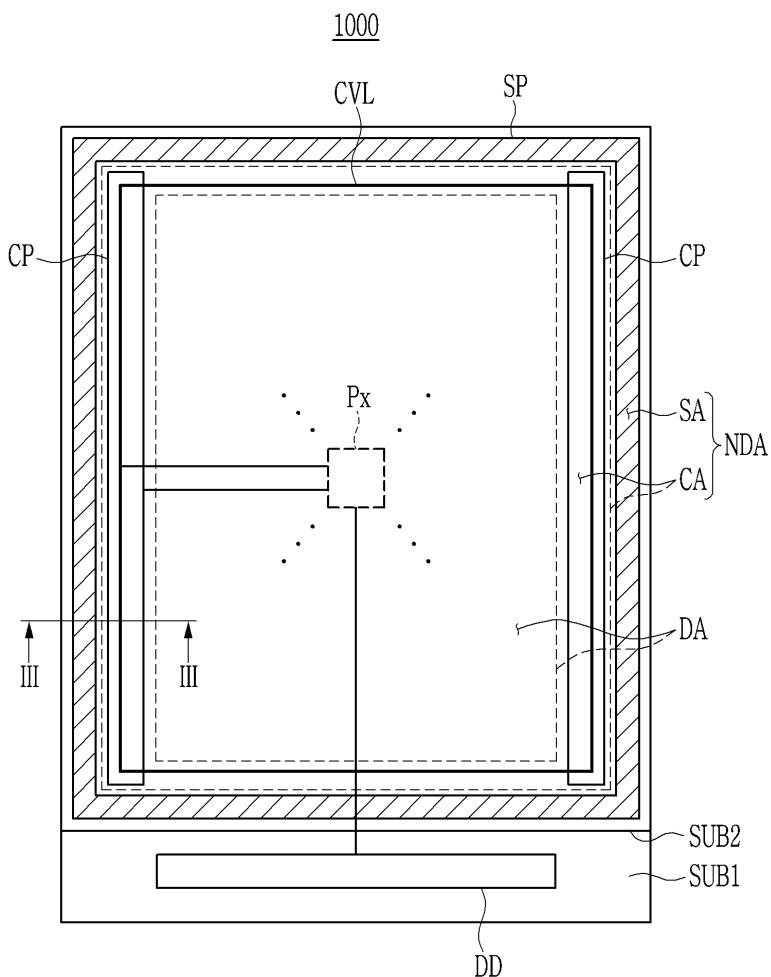
[0143] 본 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

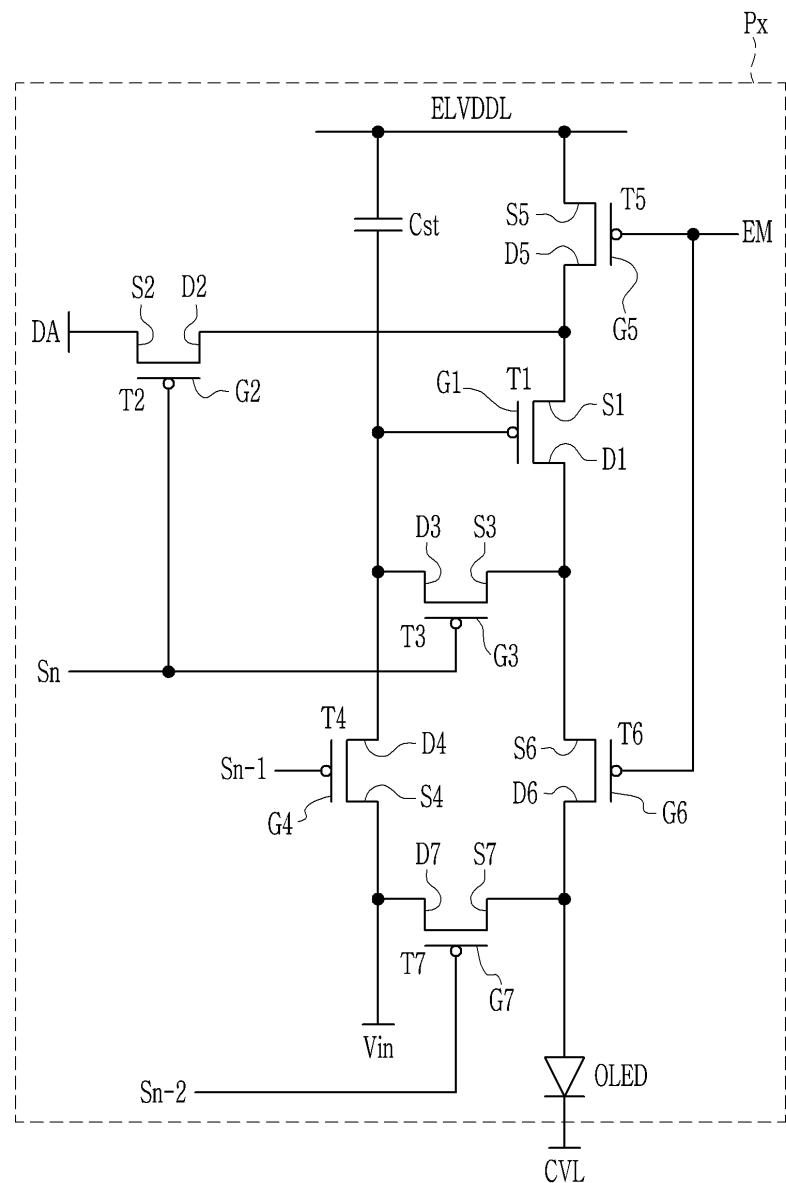
[0144] 제1 픽셀 박막 트랜지스터(PTFT1), 제1 데이터 배선(DW1), 제2 데이터 배선(DW2), 유기 발광 소자(OLED), 제1 회로 박막 트랜지스터(CTFT1), 회로부(CP), 공통 전원 라인(CVL)

도면

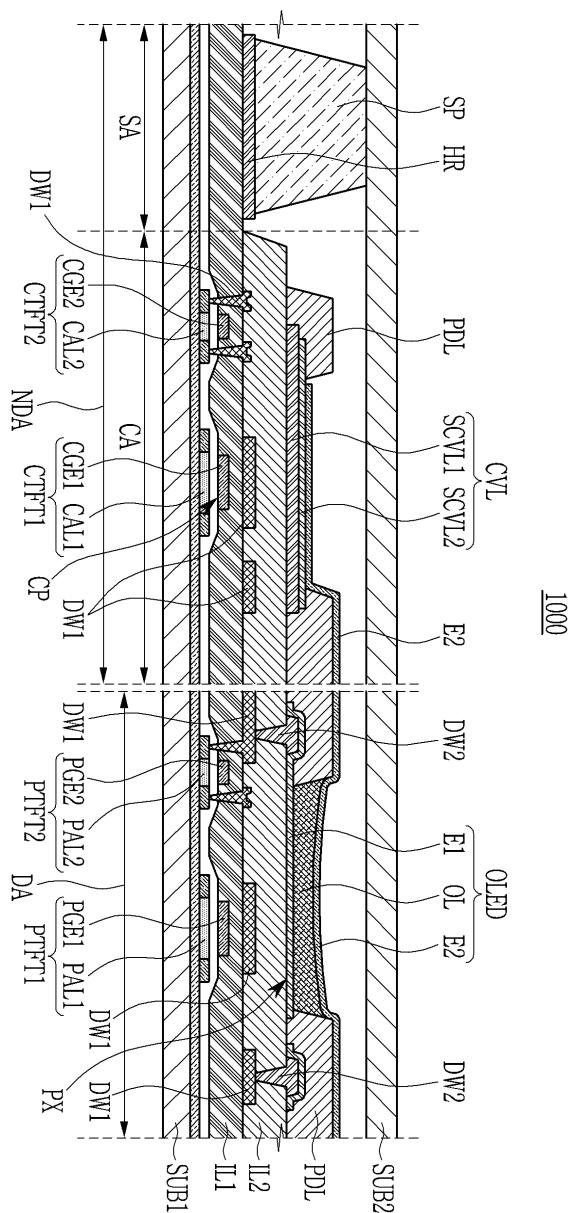
도면1



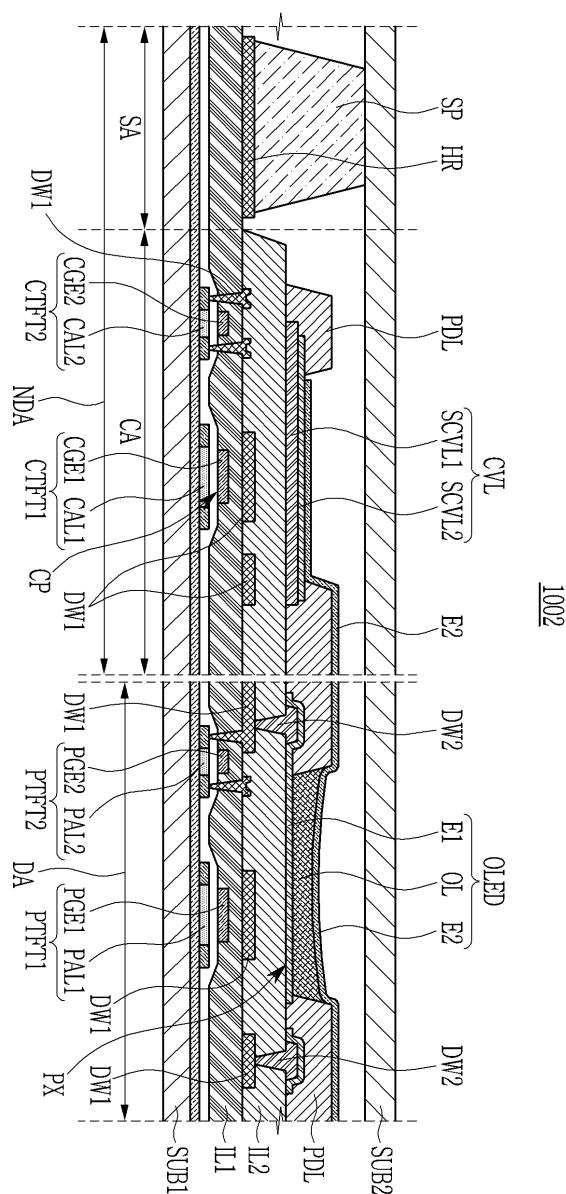
도면2



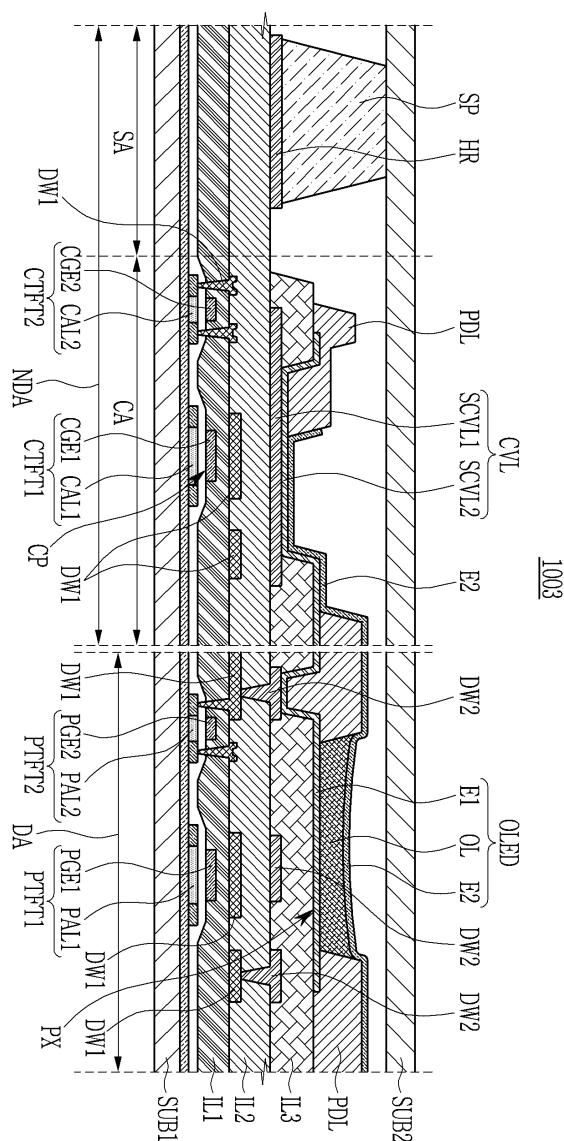
도면3



도면4



도면5



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190063501A	公开(公告)日	2019-06-10
申请号	KR1020170161936	申请日	2017-11-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	박경태 조성호 강성연		
发明人	박경태 조성호 강성연		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L27/3258 H01L27/3262 H01L51/5237		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示器包括具有显示区域和非显示区域的基板，位于显示区域中的像素薄膜晶体管，第一数据线，第二数据线，连接至像素薄膜晶体管的有机发光二极管和非显示区域。一种电路部分，包括电路薄膜晶体管和与该电路部分重叠并位于与第二数据线相同的层上的公共电源线。

