



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0063230  
(43) 공개일자 2019년06월07일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 29/786 (2006.01)  
(52) CPC특허분류  
H01L 27/3262 (2013.01)  
H01L 27/3246 (2013.01)  
(21) 출원번호 10-2017-0162161  
(22) 출원일자 2017년11월29일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
최기민  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인(유한) 대아

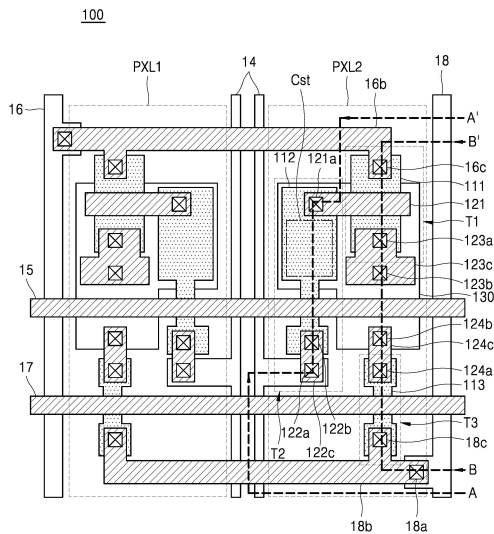
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 박막트랜지스터 어레이 기판 및 그를 포함하는 유기발광표시장치

**(57) 요약**

본 발명의 일 실시예는 표시영역에 대응한 복수의 화소영역을 포함하는 박막트랜지스터 어레이 기판에 있어서, 기판 상에 배치되고 상기 복수의 화소영역 중 수직방향으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응하는 데이터라인, 상기 데이터라인을 덮는 버퍼절연막 상에 배치되는 액티브층, 상기 버퍼절연막 상에 배치되고 상기 데이터라인과 상기 액티브층 각각의 적어도 일부를 덮는 게이트절연막, 상기 버퍼절연막과 상기 게이트절연막을 관통하고 상기 데이터라인의 일부를 노출하는 제 1 경로컨택홀, 상기 게이트절연막을 관통하고 상기 액티브층의 일부를 노출하는 제 2 경로컨택홀, 및 상기 게이트절연막 상에 배치되고 상기 제 1 및 제 2 경로컨택홀을 통해 상기 데이터라인과 상기 액티브층 사이를 연결하는 경로패턴을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

**대표도 - 도3**



(52) CPC특허분류

*H01L 27/3258* (2013.01)

*H01L 29/78618* (2013.01)

*H01L 29/7869* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

표시영역에 대응한 복수의 화소영역을 포함하는 박막트랜지스터 어레이 기판에 있어서,

기판 상에 배치되고 상기 복수의 화소영역 중 수직방향으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응하는 데이터라인;

상기 데이터라인을 덮는 버퍼절연막 상에 배치되는 액티브층;

상기 버퍼절연막 상에 배치되고 상기 데이터라인과 상기 액티브층 각각의 적어도 일부를 덮는 게이트절연막;

상기 버퍼절연막과 상기 게이트절연막을 관통하고 상기 데이터라인의 일부를 노출하는 제 1 경로컨택홀;

상기 게이트절연막을 관통하고 상기 액티브층의 일부를 노출하는 제 2 경로컨택홀; 및

상기 게이트절연막 상에 배치되고 상기 제 1 및 제 2 경로컨택홀을 통해 상기 데이터라인과 상기 액티브층 사이를 연결하는 경로패턴을 포함하는 박막트랜지스터 어레이 기판.

#### 청구항 2

제 1 항에 있어서,

상기 게이트절연막 상에 배치되고 상기 복수의 화소영역 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하는 스캔라인을 더 포함하고,

상기 스캔라인의 일부는 상기 액티브층에 중첩하는 박막트랜지스터 어레이 기판.

#### 청구항 3

제 2 항에 있어서,

상기 액티브층은

상기 스캔라인에 중첩되는 채널영역; 및

상기 채널영역의 양측에 대응하는 소스영역과 드레인영역을 포함하는 박막트랜지스터 어레이 기판.

#### 청구항 4

제 3 항에 있어서,

상기 액티브층은 산화물반도체물질로 이루어지고,

상기 액티브층의 소스영역과 드레인영역 각각의 적어도 일부는 도체화된 산화물반도체물질로 이루어지는 박막트랜지스터 어레이 기판.

#### 청구항 5

제 1 항에 있어서,

상기 기관 상에 배치되고 상기 버퍼절연막으로 덮이는 차광패턴을 더 포함하는 박막트랜지스터 어레이 기관.

### 청구항 6

표시영역에 대응한 복수의 화소영역을 포함하는 유기발광표시장치에 있어서,

상기 각 화소영역에 대응하는 유기발광소자;

제 1 구동전원을 공급하는 제 1 구동전원라인 및 상기 제 1 구동전원보다 낮은 전위의 제 2 구동전원을 공급하는 제 2 구동전원라인 사이에 상기 유기발광소자와 직렬로 배치되는 제 1 박막트랜지스터; 및

상기 각 화소영역에 데이터신호를 공급하는 데이터라인 및 상기 제 1 박막트랜지스터 사이에 배치되는 제 2 박막트랜지스터를 포함하고,

상기 데이터라인은 기관 상에 배치되고 상기 복수의 화소영역 중 수직방향으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응하며,

상기 제 2 박막트랜지스터는 상기 데이터라인을 덮는 버퍼절연막 상에 배치되고 적어도 일부가 게이트절연막으로 커버되는 액티브층을 포함하며,

상기 제 2 박막트랜지스터의 액티브층은 상기 버퍼절연막과 상기 게이트절연막을 관통하고 상기 데이터라인의 일부를 노출하는 제 1 경로컨택홀과, 상기 게이트절연막을 관통하고 상기 액티브층의 일부를 노출하는 제 2 경로컨택홀과, 상기 게이트절연막 상에 배치되는 경로패턴을 통해 상기 데이터라인에 연결되는 유기발광표시장치.

### 청구항 7

제 6 항에 있어서,

상기 제 2 박막트랜지스터는 스캔라인을 통해 공급된 스캔신호에 기초하여 턴온되고,

상기 스캔라인은 상기 게이트절연막 상에 배치되며 상기 복수의 화소영역 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하고,

상기 스캔라인의 일부는 상기 액티브층에 중첩하는 유기발광표시장치.

### 청구항 8

제 7 항에 있어서,

상기 액티브층은

상기 스캔라인에 중첩되는 채널영역; 및

상기 채널영역의 양측에 대응하는 소스영역과 드레인영역을 포함하는 유기발광표시장치.

### 청구항 9

제 8 항에 있어서,

상기 액티브층은 산화물반도체물질로 이루어지고,

상기 액티브층의 소스영역과 드레인영역 각각의 적어도 일부는 도체화된 산화물반도체물질로 이루어지는 유기발광표시장치.

### 청구항 10

제 6 항에 있어서,

상기 기관 상에 배치되고 상기 각 화소영역의 적어도 일부에 대응하며 상기 버퍼절연막으로 덮이는 차광패턴을 더 포함하는 유기발광표시장치.

**청구항 11**

제 6 항에 있어서,

상기 제 1 구동전원라인은 상기 기관 상에 배치되고 상기 버퍼절연막으로 커버되는 유기발광표시장치.

**청구항 12**

제 6 항에 있어서,

상기 제 1 박막트랜지스터와 상기 유기발광소자 사이의 노드 및 상기 각 화소영역에 기준전원을 공급하는 기준 전원라인 사이에 배치되는 제 3 박막트랜지스터를 더 포함하고,

상기 기준전원라인은 상기 기관 상에 배치되고 상기 버퍼절연막으로 커버되는 유기발광표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 각 화소영역에 대응하는 적어도 하나의 박막트랜지스터를 포함한 박막트랜지스터 어레이 기관 및 그를 포함하는 유기발광표시장치에 관한 것이다.

**배경 기술**

[0003] 표시장치(Display Device)는 TV, 휴대폰, 노트북 및 태블릿 등과 같은 다양한 전자기기에 적용된다. 이에 표시 장치의 박형화, 경량화 및 저소비전력화 등을 개발시키기 위한 연구가 계속되고 있다.

[0004] 표시장치의 대표적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

[0005] 이러한 표시장치들은 상호 대향 합착된 한 쌍의 기관 사이에 배치된 편광물질 또는 발광물질을 포함하는 것이 일반적이다.

[0006] 여기서, 한 쌍의 기관 중 어느 하나는 영상이 표시되는 표시영역에 복수의 화소영역을 정의하고 각 화소영역을 구동하는 박막트랜지스터 어레이 기관일 수 있다. 박막트랜지스터 어레이 기관은 각 화소영역에 대응하는 적어도 하나의 박막트랜지스터를 포함한다.

[0007] 일반적인 박막트랜지스터 어레이 기관에 있어서, 박막트랜지스터는 아일랜드 형태의 액티브층과, 액티브층의 일부에 중첩되는 게이트전극과, 액티브층의 양단에 대응되는 소스전극과 드레인전극을 포함할 수 있다.

[0008] 그리고, 액티브층과 게이트전극 간의 중첩영역에 대응하는 채널의 누설전류를 감소시키기 위하여, 게이트전극은 액티브층의 적어도 일부를 덮는 게이트절연막 상에 배치될 수 있다.

[0009] 이 경우, 게이트전극을 형성하기 위한 패터닝공정이 실시되는 동안, 액티브층 중 게이트전극에 중첩되지 않는 나머지 일부는 패터닝공정에 노출된다. 그로 인해 발생된 소정의 전하가 액티브층에 차징될 수 있다. 이와 같이 소정의 전하가 차징된 상태의 액티브층은 정전기에 의한 터짐불량에 취약해지는 문제점이 있다.

[0010] 특히, 액티브층의 너비가 클수록, 액티브층에 차징되는 전하량이 증가됨으로써, 터짐불량이 더욱 용이하게 발생될 수 있고, 그로 인해 휘점불량이 유발될 수 있는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

- [0012] 본 발명은 정전기에 의한 액티브층의 터짐불량을 방지할 수 있는 박막트랜지스터 어레이 기판 및 그를 포함하는 유기발광표시장치를 제공하기 위한 것이다.
- [0013] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

**과제의 해결 수단**

- [0015] 본 발명의 일 예시는 표시영역에 대응한 복수의 화소영역을 포함하는 박막트랜지스터 어레이 기판에 있어서, 기판 상에 배치되고 상기 복수의 화소영역 중 수직방향으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응하는 데이터라인, 상기 데이터라인을 덮는 버퍼절연막 상에 배치되는 액티브층, 상기 버퍼절연막 상에 배치되고 상기 데이터라인과 상기 액티브층 각각의 적어도 일부를 덮는 게이트절연막, 상기 버퍼절연막과 상기 게이트절연막을 관통하고 상기 데이터라인의 일부를 노출하는 제 1 경로컨택홀, 상기 게이트절연막을 관통하고 상기 액티브층의 일부를 노출하는 제 2 경로컨택홀, 및 상기 게이트절연막 상에 배치되고 상기 제 1 및 제 2 경로컨택홀을 통해 상기 데이터라인과 상기 액티브층 사이를 연결하는 경로패턴을 포함하는 박막트랜지스터 어레이 기판을 제공한다.
- [0016] 상기 박막트랜지스터 어레이 기판은 상기 게이트절연막 상에 배치되고 상기 복수의 화소영역 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하는 스캔라인을 더 포함할 수 있다. 여기서, 상기 스캔라인의 일부는 상기 액티브층에 중첩한다.
- [0017] 상기 액티브층은 상기 스캔라인에 중첩되는 채널영역, 및 상기 채널영역의 양측에 대응하는 소스영역과 드레인영역을 포함한다.
- [0018] 상기 액티브층은 산화물반도체물질로 이루어지고, 상기 액티브층의 소스영역과 드레인영역 각각의 적어도 일부는 도체화된 산화물반도체물질로 이루어진다.
- [0019] 상기 박막트랜지스터 어레이 기판은 상기 기판 상에 배치되고 상기 버퍼절연막으로 덮이는 차광패턴을 더 포함할 수 있다.
- [0020] 그리고, 본 발명의 다른 일 예시는 표시영역에 대응한 복수의 화소영역을 포함하는 유기발광표시장치에 있어서, 상기 각 화소영역에 대응하는 유기발광소자, 제 1 구동전원을 공급하는 제 1 구동전원라인 및 상기 제 1 구동전원보다 낮은 전위의 제 2 구동전원을 공급하는 제 2 구동전원라인 사이에 상기 유기발광소자와 직렬로 배치되는 제 1 박막트랜지스터, 및 상기 각 화소영역에 데이터신호를 공급하는 데이터라인 및 상기 제 1 박막트랜지스터 사이에 배치되는 제 2 박막트랜지스터를 포함하는 유기발광표시장치를 더 제공한다. 여기서, 상기 데이터라인은 기판 상에 배치되고 상기 복수의 화소영역 중 수직방향으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응하며, 상기 제 2 박막트랜지스터는 상기 데이터라인을 덮는 버퍼절연막 상에 배치되고 적어도 일부가 게이트절연막으로 커버되는 액티브층을 포함하며, 상기 제 2 박막트랜지스터의 액티브층은 상기 버퍼절연막과 상기 게이트절연막을 관통하고 상기 데이터라인의 일부를 노출하는 제 1 경로컨택홀과, 상기 게이트절연막을 관통하고 상기 액티브층의 일부를 노출하는 제 2 경로컨택홀과, 상기 게이트절연막 상에 배치되는 경로패턴을 통해 상기 데이터라인에 연결된다.
- [0021] 상기 제 2 박막트랜지스터는 스캔라인을 통해 공급된 스캔신호에 기초하여 턴온되고, 상기 스캔라인은 상기 게이트절연막 상에 배치되며 상기 복수의 화소영역 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하고, 상기 스캔라인의 일부는 상기 액티브층에 중첩한다.
- [0022] 상기 유기발광표시장치는 상기 기판 상에 배치되고 상기 각 화소영역의 적어도 일부에 대응하며 상기 버퍼절연

막으로 덮이는 차광패턴을 더 포함한다.

[0023] 상기 제 1 구동전원라인은 상기 기관 상에 배치되고 상기 버퍼절연막으로 커버된다.

[0024] 상기 유기발광표시장치는 상기 제 1 박막트랜지스터와 상기 유기발광소자 사이의 노드 및 상기 각 화소영역에 기준전원을 공급하는 기준전원라인 사이에 배치되는 제 3 박막트랜지스터를 더 포함하고, 상기 기준전원라인은 상기 기관 상에 배치되고 상기 버퍼절연막으로 커버된다.

### 발명의 효과

[0026] 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기관은 기관 상에 배치되는 데이터라인과, 데이터라인을 덮는 버퍼절연막 상에 배치되는 액티브층과, 액티브층의 일부에 중첩되는 스캔라인과 함께 게이트절연막 상에 배치되고 데이터라인과 액티브층 사이를 연결하는 경로패턴을 포함한다.

[0027] 이에 따라, 스캔라인을 배치하기 위한 패터닝 공정이 실시되는 동안, 액티브층은 경로패턴을 통해 데이터라인과 연결됨으로써, 패터닝 공정에 노출된 액티브층에 차장된 전하가 경로패턴 및 데이터라인을 통해 방출될 수 있다. 그러므로, 비교적 큰 면적의 액티브층을 마련할 수 있으면서도, 정전기에 의한 액티브층의 터짐불량이 용이하게 방지될 수 있고, 그로 인해 휘점불량이 방지될 수 있다.

### 도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 도면이다.

도 2는 도 1의 각 화소영역의 등가회로에 대한 일 예시를 나타낸 도면이다.

도 3은 도 2의 등가회로에 대응하는 박막트랜지스터 어레이 기관의 평면에 대한 일 예시를 나타낸 도면이다.

도 4는 도 3의 A-A'를 나타낸 도면이다.

도 5는 도 3의 B-B'를 나타낸 도면이다.

도 6은 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기관의 제조방법을 나타낸 도면이다.

도 7 내지 도 14는 도 6의 각 단계를 나타낸 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0030] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.

[0031] 이하, 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기관 및 그를 포함하는 유기발광표시장치에 대하여 첨부된 도면을 참고로 하여 상세히 설명하기로 한다.

[0032] 먼저, 도 1 내지 도 5를 참조하여, 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기관 및 이를 포함하는 유기발광표시장치에 대해 설명한다.

[0033] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 도면이다. 도 2는 도 1의 각 화소영역의 등가회로에 대한 일 예시를 나타낸 도면이다. 도 3은 도 2의 등가회로에 대응하는 박막트랜지스터 어레이 기관의 평면에 대한 일 예시를 나타낸 도면이다. 도 4는 도 3의 A-A'를 나타낸 도면이다. 도 5는 도 3의 B-B'를 나타낸 도면이다.

[0034] 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치는 영상이 표시되는 표시영역(AA)에 대응한 복수의 화소영역(PXL)을 포함하는 표시패널(10)과, 표시패널(10)의 데이터라인(14)을 구동하는 데이터구동부(12)와, 표시패널(10)의 스캔라인(15)을 구동하는 게이트구동부(13)와, 데이터구동부(12) 및 게이트구동부(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 포함한다.

- [0035] 표시패널(10)은 복수의 화소영역(PXL) 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응하는 스캔라인(15)과, 복수의 화소영역(PXL) 중 수직방향으로 나란하게 배열된 화소영역들로 이루어진 각 수직라인에 대응하는 데이터라인(14)을 포함한다. 복수의 화소영역(PXL)은 상호 교차하는 스캔라인(15)와 데이터라인(14)에 의해 정의될 수 있으며, 그로 인해, 표시영역(AA)에 표시영역에 매트릭스 형태로 배열된다.
- [0036] 그리고, 표시패널(10)은 복수의 화소영역(PXL)에 제 1 구동전원(VDD)을 공급하는 제 1 구동전원라인과, 제 1 구동전원(VDD)보다 낮은 전위의 제 2 구동전원(VSS)을 공급하는 제 2 구동전원라인과, 기준전원(VREF)을 공급하는 기준전원라인을 더 포함한다.
- [0037] 타이밍 콘트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하고, 재정렬된 디지털 비디오 데이터(RGB')를 데이터 구동부(12)에 공급한다.
- [0038] 그리고, 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 공급한다.
- [0039] 데이터 구동부(12)는 데이터 제어신호(DDC)에 기초하여 재정렬된 디지털 비디오 데이터(RGB')를 아날로그 데이터전압으로 변환한다. 그리고, 데이터 구동부(12)는 재정렬된 디지털 비디오 데이터(RGB')에 기초하여 각 수평 기간 동안 각 수평라인의 화소영역에 데이터신호(VDATA)를 공급한다.
- [0040] 게이트 구동부(13)는 게이트 제어신호(GDC)에 기초하여 스캔신호(SCAN)와 센스신호(SENSE)를 생성할 수 있다.
- [0041] 별도로 도시하고 있지 않으나, 표시패널(10)은 상호 대향 합착되는 한 쌍의 기판과 그 사이에 배치되는 유기발광소자 어레이를 포함한다. 그리고, 한 쌍의 기판 중 어느 하나는 복수의 화소영역(PXL)을 정의하고 각 화소영역(PXL)의 유기발광소자에 구동전류를 공급하기 위한 박막트랜지스터 어레이 기판이다.
- [0042] 도 2에 도시한 바와 같이, 각 화소영역(PXL)은 유기발광소자(OLED), 제 1, 제 2 및 제 3 박막트랜지스터(T1, T2, T3) 및 스토리지 커패시터(Cst)를 포함한다.
- [0043] 유기발광소자(OLED)는 애노드전극과 캐소드전극, 및 이들 사이에 배치되는 유기발광층(미도시)을 포함한다. 예시적으로, 유기발광층은 정공주입층, 정공수송층, 발광층 및 전자수송층을 포함한다. 또는, 유기발광층은 전자주입층을 더 포함할 수 있다.
- [0044] 제 1 박막트랜지스터(T1)는 제 1 구동전원(VDD)을 공급하는 제 1 구동전원라인(16)과 제 1 구동전원(VDD)보다 낮은 전위의 제 2 구동전원(VSS)을 공급하는 제 2 구동전원라인 사이에 유기발광소자(OLED)와 직렬로 배치된다.
- [0045] 제 2 박막트랜지스터(T2)는 데이터라인(14)과 제 1 박막트랜지스터(T1) 사이에 배치된다. 이러한 제 2 박막트랜지스터(T2)는 스캔라인(15)의 스캔신호(SCAN)에 기초하여 턴온되면, 제 1 박막트랜지스터(T1)의 게이트전극과 제 2 박막트랜지스터(T2) 사이의 제 1 노드(ND1)에 데이터신호(VDATA)를 공급한다.
- [0046] 스토리지 커패시터(Cst)는 제 1 노드(ND1) 및 제 2 노드(ND2) 사이에 배치된다. 제 2 노드(ND2)는 제 1 박막트랜지스터(T1)와 유기발광소자(OLED) 사이의 접점이다.
- [0047] 이러한 스토리지 커패시터(Cst)는 턴온된 제 2 박막트랜지스터(T2)를 통해 제 1 노드(ND1)에 공급된 데이터신호(VDATA)에 기초하여 충전된다.
- [0048] 그리고, 제 1 박막트랜지스터(T1)는 스토리지 커패시터(Cst)의 충전전압에 기초하여 턴온하면, 데이터전압(VDATA)에 대응하는 구동전류를 유기발광소자(OLED)에 공급한다.
- [0049] 제 3 박막트랜지스터(T3)는 기준전원(VREF)을 공급하는 기준전원라인(18)과 제 2 노드(ND2) 사이에 배치된다. 이러한 제 3 박막트랜지스터(T3)는 각 수평라인에 대응하는 센스라인(17)의 센스신호(SENSE)에 기초하여 턴온하면, 제 2 노드(ND2)에 기준전원(VREF)을 공급하거나, 또는 제 2 노드(ND2)의 전위를 기준전원라인(18)에 전달한다.
- [0050] 도 3에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치의 박막트랜지스터 어레이 기판(100)은 각 화소영역(PXL)에 대응하는 제 1, 제 2 및 제 3 박막트랜지스터(T1, T2, T3)와, 스토리지 커패시터를 포함한다.
- [0051] 그리고, 박막트랜지스터 어레이 기판(100)은 제 1 방향(도 3의 수평방향)의 스캔라인(15) 및 센스라인(17)과, 제 2 방향(도 3의 수직방향)의 데이터라인(14), 제 1 전원라인(16) 및 기준전원라인(18)을 더 포함한다.

- [0052] 여기서, 데이터라인(14)은 각 수직라인에 대응하는 반면, 제 1 전원라인(16)과 기준전원라인(18)은 둘 이상의 수직라인에 대응할 수 있다.
- [0053] 이에, 박막트랜지스터 어레이 기관(100)은 제 1 연결컨택홀(16a)을 통해 제 1 전원라인(16)에 연결되고 제 1 전원라인(16)에 인접하지 않은 화소영역(PXL2)까지 수평방향으로 연장되는 제 1 연결패턴(16b) 및 제 2 연결컨택홀(18b)을 통해 기준전원라인(18)에 연결되고 기준전원라인(18)에 인접하지 않은 화소영역(PXL1)까지 수평방향으로 연장되는 제 2 연결패턴(18b)을 더 포함한다.
- [0054] 제 1 박막트랜지스터(T1)는 액티브층(111) 및 액티브층(111)의 일부에 중첩하는 게이트전극(121)을 포함한다.
- [0055] 제 1 박막트랜지스터(T1)의 액티브층(111)은 게이트전극(121)에 중첩하는 채널영역과, 채널영역의 양단에 배치되는 소스영역 및 드레인영역을 포함한다.
- [0056] 제 1 박막트랜지스터(T1)의 액티브층(111)의 소스영역 및 드레인영역 중 어느 하나는 제 1 연결패턴(16b)을 통해 제 1 전원라인(16)에 연결되고, 다른 나머지 하나는 유기발광소자(도 2의 OLED) 및 제 3 박막트랜지스터(T3) 사이의 제 2 노드(도 2의 ND2)에 연결된다.
- [0057] 그리고, 제 1 박막트랜지스터(T1)의 게이트전극(121)은 제 2 박막트랜지스터(T2)에 연결된다.
- [0058] 제 2 박막트랜지스터(T2)는 액티브층(112)과, 액티브층(112)에 중첩되는 스캔라인(15)의 일부로 이루어진 게이트전극을 포함한다.
- [0059] 제 2 박막트랜지스터(T2)의 액티브층(112)은 스캔라인(15)의 일부로 이루어진 게이트전극에 중첩하는 채널영역과, 채널영역의 양단에 배치되는 소스영역 및 드레인영역을 포함한다. 여기서, 제 2 박막트랜지스터(T2)의 액티브층(112)의 소스영역 및 드레인영역 중 어느 하나는 제 1 및 제 2 경로컨택홀(122a, 122b)과 경로패턴(122c)을 통해 데이터라인(14)에 연결되고, 다른 나머지 하나는 제 1 박막트랜지스터(T1)의 게이트전극(121)에 연결된다.
- [0060] 제 3 박막트랜지스터(T3)는 액티브층(113)과, 액티브층(113)에 중첩되는 센스라인(17)의 일부로 이루어진 게이트전극을 포함한다.
- [0061] 제 3 박막트랜지스터(T3)의 액티브층(113)은 센스라인(17)의 일부로 이루어진 게이트전극에 중첩하는 채널영역과, 채널영역의 양단에 배치되는 소스영역 및 드레인영역을 포함한다. 여기서, 제 3 박막트랜지스터(T3)의 액티브층(113)의 소스영역 및 드레인영역 중 어느 하나는 제 2 연결패턴(18b)을 통해 기준전원라인(18)에 연결되고, 다른 나머지 하나는 유기발광소자(도 2의 OLED) 및 제 1 박막트랜지스터(T1) 사이의 제 2 노드(도 2의 ND2)에 연결된다.
- [0062] 한편, 제 1 박막트랜지스터(T1)는 유기발광소자(OLED)에 구동전류를 공급하기 위한 것이다. 이에, 제 1 박막트랜지스터(T1)에서 누설전류가 발생되면 유기발광소자(OLED)의 오동작을 유발함으로써, 화질불량이 초래될 수 있다.
- [0063] 그러므로, 박막트랜지스터 어레이 기관(100)은 광에 의한 제 1 박막트랜지스터(T1)의 누설전류를 방지하기 위하여 제 1 박막트랜지스터(T1)의 액티브층(111) 중 게이트전극(121)과 중첩되는 채널영역에 중첩되는 차광패턴(130)을 더 포함한다.
- [0064] 차광패턴(130)은 제 1 박막트랜지스터(T1)의 액티브층(111)보다 기관(도 4의 101)에 인접하게 배치되며, 적어도 제 1 박막트랜지스터(T1)의 액티브층(111)의 채널영역에 중첩된다.
- [0065] 또한, 차광패턴(130)은 제 1 및 제 3 박막트랜지스터(T1, T3)와 유기발광소자(OLED) 사이의 제 2 노드(ND2)에 연결되는 스토리지 커패시터(도 2의 Cst)의 제 1 커패시터 전극으로 기능한다.
- [0066] 그리고, 제 2 박막트랜지스터(T2)의 액티브층(112)의 소스영역과 드레인영역 중 제 1 박막트랜지스터(T1)에 연결된 영역은 제 1 및 제 2 박막트랜지스터(T1, T2) 사이의 제 1 노드(ND2)에 연결되는 스토리지 커패시터(도 2의 Cst)의 제 2 커패시터 전극으로 기능한다.
- [0067] 즉, 차광패턴(130)과 제 2 박막트랜지스터(T2)의 액티브층(112)이 중첩하는 영역에서 스토리지 커패시터(Cst)가 발생된다.
- [0068] 한편, 각 영상프레임 동안 각 유기발광소자(OLED)의 안정적인 구동을 위하여, 스토리지 커패시터(Cst)의 용량이 임계 이상으로 확보될 필요가 있다.

- [0069] 이에, 스토리지 커패시터(Cst)의 용량을 확보하기 위하여, 제 2 박막트랜지스터(T2)의 액티브층(112)과 차광패턴(130) 간의 중첩영역을 증가시킬 필요가 있다. 그로 인해, 제 2 박막트랜지스터(T2)의 액티브층(112)은 다른 박막트랜지스터(T1, T3)의 액티브층(111, 113)에 비해 넓은 면적으로 마련될 수 있다.
- [0070] 그리고, 액티브층(111, 112, 113)의 누설전류를 감소시키기 위하여, 각 박막트랜지스터(T1, T2, T3)의 게이트전극(121, 15, 17)은 액티브층(111, 112, 113)의 적어도 일부를 덮는 게이트절연막 상에 배치된다.
- [0071] 즉, 아일랜드 형태의 액티브층(111, 112, 113)을 배치한 상태에서, 게이트전극을 배치하기 위한 패터닝 공정이 실시되므로, 패터닝 공정에 노출된 액티브층(111, 112, 113)에 소정의 전하가 차징될 수 있다.
- [0072] 특히, 액티브층(111, 112, 113) 중 스토리지 커패시터(Cst)를 발생시키기 위한 제 2 박막트랜지스터(T2)의 액티브층(112)은 가장 넓은 너비로 이루어진다. 이로써, 제 2 박막트랜지스터(T2)의 액티브층(112)에 많은 양의 전하가 차징될 수 있고, 그로 인해, 정전기에 의한 터짐불량에 취약해지는 문제점이 있다.
- [0073] 이를 해결하기 위하여, 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기관(100)은 제 2 박막트랜지스터(T2)의 액티브층(112)보다 먼저 데이터라인(14)을 배치하고, 게이트전극을 배치하기 위한 패터닝 공정 시에 제 2 박막트랜지스터(T2)의 액티브층(112)과 데이터라인(14) 사이를 연결하는 경로패턴(122c)을 배치한다.
- [0074] 즉, 게이트전극을 배치하기 위한 패터닝 공정 시에, 박막트랜지스터(T2)의 액티브층(112)은 경로패턴(122c)을 통해 데이터라인(14)에 연결된 상태이므로, 액티브층(112)에 차징된 전하가 데이터라인(14)을 통해 배출됨으로써, 정전기에 의한 터짐불량이 방지될 수 있다.
- [0075] 구체적으로, 도 4에 도시한 바와 같이, 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기관(100)은 기관(101) 상에 배치되는 데이터라인(14)과 차광패턴(130), 데이터라인(14)과 차광패턴(130)을 덮는 버퍼절연막(102) 상에 배치되는 제 2 박막트랜지스터(T2)의 액티브층(112), 버퍼절연막(102) 상에 배치되고 데이터라인(14) 및 제 2 박막트랜지스터(T2)의 액티브층(112)의 적어도 일부를 덮는 게이트절연막(103), 버퍼절연막(102)과 게이트절연막(103)을 관통하고 데이터라인(14)의 일부를 노출하는 제 1 경로컨택홀(122a), 게이트절연막(103)을 관통하고 제 2 박막트랜지스터(T2)의 액티브층(112)의 일부를 노출하는 제 2 경로컨택홀(122b), 및 게이트절연막(103) 상에 배치되고 제 1 및 제 2 경로컨택홀(122a, 122b)을 통해 데이터라인(14)과 제 2 박막트랜지스터(T2)의 액티브층(112) 사이를 연결하는 경로패턴(122c)을 포함한다.
- [0076] 그리고, 박막트랜지스터 어레이 기관(100)은 게이트절연막(103) 상에 배치되는 스캔라인(15)을 더 포함한다. 여기서, 스캔라인(15)의 일부는 제 2 박막트랜지스터(T2)의 액티브층(112)의 일부에 중첩함으로써, 제 2 박막트랜지스터(T2)의 게이트전극이 된다.
- [0077] 제 2 박막트랜지스터(T2)의 액티브층(112)은 버퍼절연막(102) 상에 배치되고, 스캔라인(15)의 일부로 이루어진 게이트전극에 중첩되는 채널영역(112a) 및 채널영역(112a)의 양측에 배치되는 소스영역(112b)과 드레인영역(112c)을 포함한다.
- [0078] 여기서, 제 2 박막트랜지스터(T2)의 액티브층(112)의 소스영역(112b)과 드레인영역(112c) 중 어느 하나(도 4의 소스영역(112b))는 제 1 및 제 2 경로컨택홀(122a, 122b)과 경로패턴(122c)을 통해 기관(101) 상의 데이터라인(14)에 연결되고, 다른 나머지 하나(도 4의 드레인영역(112c))는 게이트절연막(103)을 관통하는 게이트컨택홀(121a)을 통해 제 1 박막트랜지스터(T1)의 게이트전극(121)에 연결된다.
- [0079] 그리고, 제 2 박막트랜지스터(T2)의 액티브층(112)은 산화물반도체물질로 이루어질 수 있다. 이 경우, 제 2 박막트랜지스터(T2)의 액티브층(112)의 소스영역(112b)과 드레인영역(112c)은 게이트절연막(103) 상에 배치되는 스캔라인(15) 및 제 1 연결패턴(16b) 등을 형성하기 위한 패터닝 공정에 의해 식각물질에 노출되어 도체화된 산화물반도체물질로 이루어질 수 있다.
- [0080] 제 1 전원라인(16)에 연결되는 제 1 연결패턴(16b)은 게이트절연막(103) 상에 배치된다.
- [0081] 별도로 도시하고 있지 않으나, 제 1 전원라인(16)은 데이터라인(14)과 함께 기관(101) 상에 배치되고 버퍼절연막(102)으로 커버될 수 있다. 이 경우, 제 1 연결패턴(16b)은 버퍼절연막(102) 및 게이트절연막(103)을 관통하는 제 1 연결컨택홀(16a)을 통해 제 1 전원라인(16)에 연결될 수 있다.
- [0082] 다만, 이는 단지 예시일 뿐이며, 제 1 전원라인(16)은 데이터라인(14)과 달리, 게이트전극(121), 경로패턴(122c), 스캔라인(15), 센스라인(17) 및 제 1 연결패턴(16b) 등을 덮는 층간절연막(미도시) 상에 배치될 수도 있다. 이 경우, 제 1 연결컨택홀(16a)은 층간절연막을 관통하고 제 1 연결패턴(16b)의 일부를 노출하는 것일 수

있다.

- [0083] 이상과 같이, 본 발명의 일 실시예에 따르면, 스캔라인(15)와 동일층에 배치되는 경로패턴(122c)을 통해, 제 2 박막트랜지스터(T2)의 액티브층(112)이 데이터라인(14)에 연결될 수 있다. 이에, 스캔라인(15)을 형성하기 위한 패터닝 공정이 실시되는 동안, 제 2 박막트랜지스터(T2)의 액티브층(112)에 차징되는 전하가 데이터라인(14)을 통해 방출될 수 있다. 그러므로, 비교적 큰 면적으로 이루어진 제 2 박막트랜지스터(T2)의 액티브층(112)을 배치함으로써 스토리지 커패시터(Cst)의 용량을 확보할 수 있으면서도, 제 2 박막트랜지스터(T2)의 액티브층(112)에 임계 이상의 많은 전하가 차징되는 것이 방지될 수 있다. 그로 인해, 제 2 박막트랜지스터(T2)의 액티브층(112)에서 정전기에 의한 터짐불량이 발생하는 것이 용이하게 방지될 수 있다.
- [0084] 더불어, 도 5에 도시한 바와 같이, 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기관(100)은 기관(101) 상에 배치되고 버퍼절연막(102)으로 커버되는 기준전원라인(18), 버퍼절연막(102) 상에 배치되는 제 1 및 제 3 박막트랜지스터(T1, T3)의 액티브층(111, 113), 게이트절연막(103) 상에 배치되는 제 2 연결패턴(18b), 센스라인(17), 제 1 및 제 2 브릿지패턴(123c, 124c)을 더 포함할 수 있다.
- [0085] 기준전원라인(18)은 데이터라인(14)과 기관(101) 상에 배치되고 버퍼절연막(102)으로 커버될 수 있다. 이 경우, 게이트절연막(103) 상에 배치되는 제 2 연결패턴(18b)은 버퍼절연막(102) 및 게이트절연막(103)을 관통하는 제 2 연결컨택홀(18a)을 통해 기준전원라인(18)에 연결될 수 있다.
- [0086] 다만 이는 단지 예시일 뿐이며, 기준전원라인(18)은 게이트전극(121), 경로패턴(122c), 스캔라인(15), 센스라인(17) 및 제 1 연결패턴(16b) 등을 덮는 층간절연막(미도시) 상에 배치될 수도 있다. 이 경우, 제 2 연결컨택홀(18a)은 층간절연막을 관통하고 제 2 연결패턴(18b)의 일부를 노출하는 것일 수 있다.
- [0087] 제 1 박막트랜지스터(T1)의 액티브층(111)은 버퍼절연막(102) 상에 배치되고, 게이트전극(121)에 중첩되는 채널영역(111a) 및 채널영역(111a)의 양측에 배치되는 소스영역(111b)과 드레인영역(111c)을 포함한다.
- [0088] 여기서, 제 1 박막트랜지스터(T1)의 게이트전극(121)은 액티브층(111)의 일부를 덮는 게이트절연막(103) 상에 배치되고 게이트콘택홀(도 4의 121a)을 통해 제 2 박막트랜지스터(T2)에 연결된다.
- [0089] 제 1 박막트랜지스터(T1)의 액티브층(111)의 소스영역(111b)과 드레인영역(111c) 중 어느 하나(도 5의 소스영역(111b))는 제 1 연결패턴(16a)을 통해 제 1 전원라인(16)에 연결되고, 다른 나머지 하나(도 5의 드레인영역(111c))은 제 1 및 제 2 브릿지컨택홀(123a, 123b)과 제 1 브릿지패턴(123c)을 통해 기관(101) 상의 차광패턴(130)에 연결된다.
- [0090] 그리고, 제 1 박막트랜지스터(T1)의 액티브층(111)은 산화물반도체물질로 이루어질 수 있다. 이 경우, 제 1 박막트랜지스터(T1)의 액티브층(111)의 소스영역(111b)과 드레인영역(111c)은 게이트절연막(103) 상에 배치되는 스캔라인(15) 및 제 1 연결패턴(16b) 등을 형성하기 위한 패터닝 공정에 의해 식각물질에 노출되어 도체화된 산화물반도체물질로 이루어질 수 있다.
- [0091] 제 3 박막트랜지스터(T3)의 액티브층(113)은 버퍼절연막(102) 상에 배치되고, 센스라인(17)의 일부로 이루어진 게이트전극에 중첩되는 채널영역(113a) 및 채널영역(113a)의 양측에 배치되는 소스영역(113b)과 드레인영역(113c)을 포함한다.
- [0092] 여기서, 제 3 박막트랜지스터(T3)의 액티브층(113)의 소스영역(113b)과 드레인영역(113c) 중 어느 하나(도 5의 소스영역(113b))는 제 2 연결패턴(18a)을 통해 기준전원라인(18)에 연결되고, 다른 나머지 하나(도 5의 드레인영역(113c))은 제 3 및 제 4 브릿지컨택홀(124a, 124b)과 제 2 브릿지패턴(124c)을 통해 기관(101) 상의 차광패턴(130)에 연결된다.
- [0093] 그리고, 제 3 박막트랜지스터(T3)의 액티브층(113)은 산화물반도체물질로 이루어질 수 있다. 이 경우, 제 3 박막트랜지스터(T3)의 액티브층(113)의 소스영역(113b)과 드레인영역(113c)은 게이트절연막(103) 상에 배치되는 스캔라인(15) 및 제 1 연결패턴(16b) 등을 형성하기 위한 패터닝 공정에 의해 식각물질에 노출되어 도체화된 산화물반도체물질로 이루어질 수 있다.
- [0094] 제 1 연결패턴(16b)은 게이트절연막(103)을 관통하는 제 3 연결컨택홀(16c)을 통해 제 1 박막트랜지스터(T1)의 액티브층(111)에 연결된다.
- [0095] 이러한 제 1 연결패턴(16b)을 통해, 제 1 박막트랜지스터(T1)가 제 1 전원라인(16)에 연결된다.
- [0096] 제 1 브릿지패턴(123c)은 버퍼절연막(102) 및 게이트절연막(103)을 관통하는 제 1 브릿지컨택홀(123a)을 통해

차광패턴(130)에 연결되고, 게이트절연막(103)을 관통하는 제 2 브릿지컨택홀(123c)을 통해 제 1 박막트랜지스터(T1)의 액티브층(111)에 연결된다.

- [0097] 제 2 브릿지패턴(124c)은 게이트절연막(103)을 관통하는 제 3 브릿지컨택홀(124a)을 통해 제 3 박막트랜지스터(T3)에 연결되고, 버퍼절연막(102) 및 게이트절연막(103)을 관통하는 제 4 브릿지컨택홀(124b)을 통해 차광패턴(130)에 연결된다.
- [0098] 이러한 제 1 및 제 2 브릿지패턴(123c, 124c)과 차광패턴(130)을 통해, 제 1 및 제 3 박막트랜지스터(T1, T3)가 상호 연결된다.
- [0099] 제 2 연결패턴(18b)은 게이트절연막(103)을 관통하는 제 4 연결컨택홀(18c)을 통해 제 3 박막트랜지스터(T3)의 액티브층(113)에 연결된다.
- [0100] 이러한 제 2 연결패턴(18b)을 통해, 제 3 박막트랜지스터(T3)가 기준전원라인(18)에 연결된다.
- [0101] 다음, 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기판을 제조하는 방법에 대해 설명한다.
- [0102] 도 6은 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기판의 제조방법을 나타낸 도면이다. 도 7 내지 도 14는 도 6의 각 단계를 나타낸 도면이다.
- [0103] 도 6에 도시한 바와 같이, 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기판의 제조방법은 기판 상에 차광패턴 및 데이터라인을 배치하는 단계(S10), 차광패턴 및 데이터라인을 덮는 버퍼절연막을 배치하는 단계(S20), 버퍼절연막 상에 각 박막트랜지스터의 액티브층을 배치하는 단계(S30), 버퍼절연막 및 액티브층을 덮는 프리절연막을 배치하는 단계(S40), 버퍼절연막 및 프리절연막 중 적어도 프리절연막을 관통하는 다수의 콘택홀을 배치하는 단계(S50) 및 프리절연막과 프리절연막 상의 도전막을 패터닝하여 게이트절연막 및 스캔라인을 배치하는 단계(S60)를 포함한다.
- [0104] 도 7 및 도 8에 도시한 바와 같이, 기판(101) 상에 차광패턴(130) 및 데이터라인(14)을 배치한다. (S10)
- [0105] 여기서, 차광패턴(130)은 각 화소영역(PXL)의 일부 영역에 대응한다. 일 예로, 차광패턴(130)은 제 1 박막트랜지스터(도 3의 T1)의 액티브층(111) 중 채널영역(도 5의 111a) 및 제 2 박막트랜지스터(도 3의 T2)의 액티브층(112) 중 드레인영역(도 4의 112c)에 중첩될 수 있다.
- [0106] 데이터라인(14)는 복수의 화소영역(PXL) 중 수직방향으로 배열되는 화소영역들로 이루어진 각 수직라인에 대응되고 수직방향으로 배치될 수 있다.
- [0107] 이때, 둘 이상의 수직라인에 대응되는 제 1 전원라인(16) 및 기준전원라인(18)은 차광패턴(130) 및 데이터라인(14)과 함께 기판(101) 상에 배치될 수 있다.
- [0108] 도 9 및 도 10에 도시한 바와 같이, 차광패턴(130), 데이터라인(14), 제 1 전원라인(16) 및 기준전원라인(18)을 덮는 버퍼절연막(102)을 배치한다. (S20)
- [0109] 그리고, 버퍼절연막(102) 상의 산화물반도체물질을 패터닝하여, 제 1, 제 2 및 제 3 박막트랜지스터의 액티브층(111, 112, 113)을 배치한다. (S30)
- [0110] 도 11 및 도 12에 도시한 바와 같이, 버퍼절연막(102)과 제 1, 제 2 및 제 3 박막트랜지스터의 액티브층(111, 112, 113)을 덮는 프리절연막(103')을 배치한다. (S40)
- [0111] 그리고, 버퍼절연막(102)과 프리절연막(103') 중 적어도 프리절연막(103')을 패터닝하여 복수의 콘택홀(16a, 16c, 18a, 18c, 121a, 122a, 122b, 123a, 123b, 124a, 124b)을 배치한다. (S50)
- [0112] 여기서, 제 1 연결컨택홀(16a)은 버퍼절연막(102)과 프리절연막(103')을 관통하여 제 1 전원라인(16)의 일부를 노출한다.
- [0113] 제 3 연결컨택홀(16c)은 프리절연막(103')을 관통하여 제 1 박막트랜지스터의 액티브층(111)의 일부를 노출한다.
- [0114] 제 2 연결컨택홀(18a)은 버퍼절연막(102)과 프리절연막(103')을 관통하여 기준전원라인(18)의 일부를 노출한다.
- [0115] 제 4 연결컨택홀(18c)은 프리절연막(103')을 관통하여 제 3 박막트랜지스터의 액티브층(113)의 일부를 노출한다.

- [0116] 게이트컨택홀(121a)은 프리절연막(103')을 관통하여 제 2 박막트랜지스터의 액티브층(112)의 일부를 노출한다.
- [0117] 제 1 경로컨택홀(122a)은 버퍼절연막(102)과 프리절연막(103')을 관통하여 데이터라인(14)의 일부를 노출한다.
- [0118] 제 2 경로컨택홀(122b)은 프리절연막(103')을 관통하여 제 2 박막트랜지스터의 액티브층(112)의 다른 일부를 노출한다.
- [0119] 제 1 브릿지컨택홀(123a)은 프리절연막(103')을 관통하여 제 1 박막트랜지스터의 액티브층(111)의 일부를 노출한다.
- [0120] 제 2 브릿지컨택홀(123b)은 버퍼절연막(102)과 프리절연막(103')을 관통하여 차광패턴(130)의 일부를 노출한다.
- [0121] 제 3 브릿지컨택홀(124a)은 프리절연막(103')을 관통하여 제 3 박막트랜지스터의 액티브층(113)의 일부를 노출한다.
- [0122] 제 4 브릿지컨택홀(124b)은 버퍼절연막(102)과 프리절연막(103')을 관통하여 차광패턴(130)의 다른 일부를 노출한다.
- [0123] 이어서, 도 13 및 도 14에 도시한 바와 같이, 복수의 컨택홀(16a, 16c, 18a, 18c, 121a, 122a, 122b, 123a, 123b, 124a, 124b) 및 프리절연막(103')을 덮는 도전막(미도시)과 버퍼절연막(103')을 동시에 패터닝하여, 게이트절연막(103) 상에 배치되는 스캔라인(15), 센스라인(17), 제 1 연결패턴(16b), 제 2 연결패턴(18b), 제 1 박막트랜지스터의 게이트전극(121), 경로패턴(122c), 제 1 브릿지패턴(123c) 및 제 2 브릿지패턴(124c)을 마련한다. (S60)
- [0124] 이때, 게이트절연막(103)은 스캔라인(15), 센스라인(17), 제 1 연결패턴(16b), 제 2 연결패턴(18b), 제 1 박막트랜지스터의 게이트전극(121), 경로패턴(122c), 제 1 브릿지패턴(123c) 및 제 2 브릿지패턴(124c)을 마스크로 이용하여 패터닝된 버퍼절연막(103')으로 이루어진다.
- [0125] 그리고, 각 액티브층(111, 112, 113) 중 게이트절연막(103)으로 커버되는 일부는 채널영역이 된다. 이와 더불어, 각 액티브층(111, 112, 113)에 있어서, 채널영역의 양측에 배치되는 소스영역과 드레인영역은 게이트절연막(103)으로 커버되지 않고 패터닝 공정에 노출됨으로써, 도체화된다.
- [0126] 스캔라인(15) 및 센스라인(17) 각각은 복수의 화소영역(PXL) 중 수평방향으로 나란하게 배열된 화소영역들로 이루어진 각 수평라인에 대응한다.
- [0127] 스캔라인(15)의 일부는 제 2 박막트랜지스터의 액티브층(112)의 채널영역(도 4의 112a)에 중첩한다.
- [0128] 센스라인(17)의 일부는 제 3 박막트랜지스터의 액티브층(113)의 채널영역(도 5의 113a)에 중첩한다.
- [0129] 제 1 연결패턴(16b)은 제 1 연결컨택홀(16a)을 통해 제 1 전원라인(16)에 연결되고, 제 3 연결컨택홀(16c)을 통해 제 1 박막트랜지스터의 액티브층(111)에 연결된다. 이로써, 제 1 박막트랜지스터의 액티브층(111)의 소스영역(도 5의 111b)은 제 1 연결패턴(16b)을 통해 제 1 전원라인(16)에 연결된다.
- [0130] 제 2 연결패턴(18b)은 제 2 연결컨택홀(18a)을 통해 기준전원라인(18)에 연결되고, 제 4 연결컨택홀(18c)을 통해 제 3 박막트랜지스터의 액티브층(113)에 연결된다. 이로써, 제 3 박막트랜지스터의 액티브층(113)의 소스영역(도 5의 113b)은 제 2 연결패턴(18b)을 통해 기준전원라인(18)에 연결된다.
- [0131] 제 1 박막트랜지스터의 게이트전극(121)은 제 1 박막트랜지스터의 액티브층(111)의 채널영역(도 5의 111a)에 중첩되고, 게이트컨택홀(121a)을 통해 제 2 박막트랜지스터의 액티브층(112)의 드레인영역(도 4의 112c)에 연결된다.
- [0132] 경로패턴(122c)은 제 1 경로컨택홀(122a)을 통해 데이터라인(14)에 연결되고 제 2 경로컨택홀(122b)을 통해 제 2 박막트랜지스터의 액티브층(112)에 연결된다. 이로써, 제 2 박막트랜지스터의 액티브층(112)의 소스영역(도 4의 112b)은 경로패턴(122c)을 통해 데이터라인(14)에 연결된다.
- [0133] 제 1 브릿지패턴(123c)은 제 1 브릿지컨택홀(123a)을 통해 제 1 박막트랜지스터의 액티브층(111)에 연결되고 제 2 브릿지컨택홀(123b)을 통해 차광패턴(130)에 연결된다.
- [0134] 제 2 브릿지패턴(124c)은 제 3 브릿지컨택홀(124a)을 통해 제 3 박막트랜지스터의 액티브층(113)에 연결되고 제 4 브릿지컨택홀(124b)을 통해 차광패턴(130)에 연결된다.
- [0135] 이로써, 제 1 박막트랜지스터의 액티브층(111)의 드레인영역(도 5의 111c)과 제 3 박막트랜지스터의 액티브층

(113)의 드레인영역(도 5의 113c)은 제 1 및 제 2 브릿지패턴(123c, 124c)과 차광패턴(130)을 통해 연결된다.

[0136] 이상과 같이, 본 발명의 일 실시예에 따르면, 액티브층(111, 112, 113)을 배치하는 단계(S30) 이전에 차광패턴(130)과 함께 데이터라인(14)을 배치하는 단계(S10)가 실시되고, 스캔라인(15)을 배치하는 단계(S60) 이전에 컨택홀을 배치하는 단계(S50)가 실시된다. 이로써, 스캔라인(15)을 배치하는 단계(S60)에서, 패터닝공정에 노출되는 액티브층(111, 112, 113)은 컨택홀을 통해 다른 라인 또는 패턴에 연결됨으로써, 액티브층(111, 112, 113)이 전하가 차징된 상태로 유지되는 것이 방지될 수 있다. 그러므로, 정전기에 의한 액티브층(111, 112, 113)의 터짐불량이 방지될 수 있다.

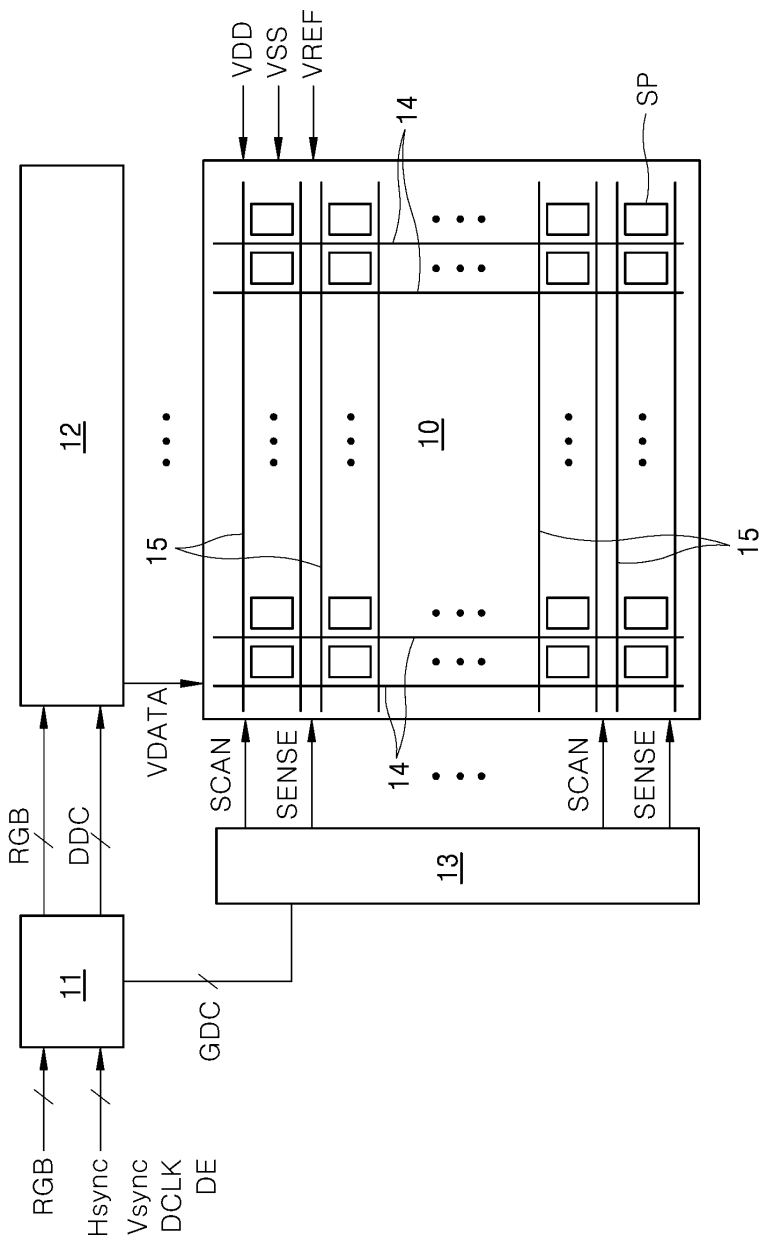
[0138] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

**부호의 설명**

- [0140] PXL, PXL1, PXL2: 화소영역  
 SCAN: 스캔신호  
 VDATA: 데이터신호  
 14: 데이터라인  
 15: 스캔라인  
 T1, T2, T3: 제 1, 제 2, 제 3 박막트랜지스터  
 111, 112, 113: 액티브층  
 121: 제 1 박막트랜지스터의 게이트전극  
 122a, 122b: 제 1 및 제 2 경로컨택홀  
 122c: 경로패턴  
 130: 차광패턴

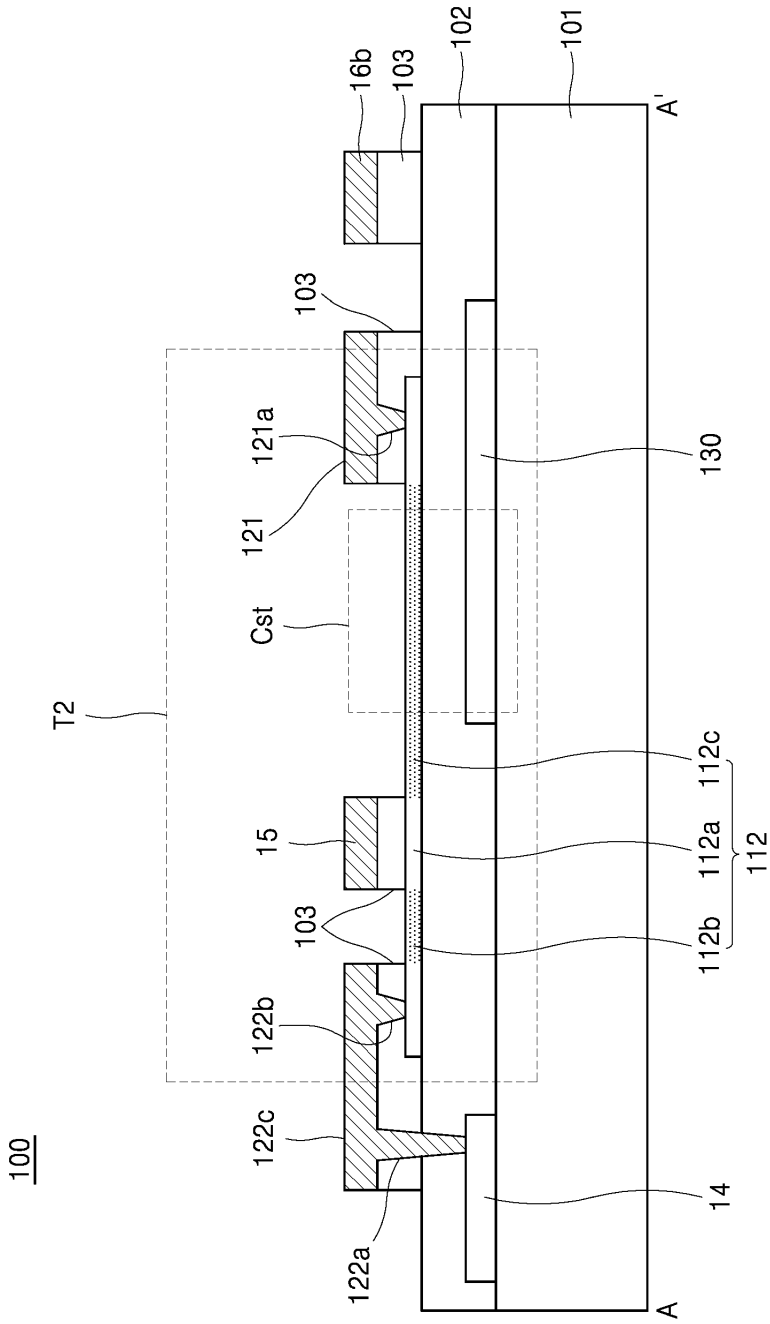
도면

도면1

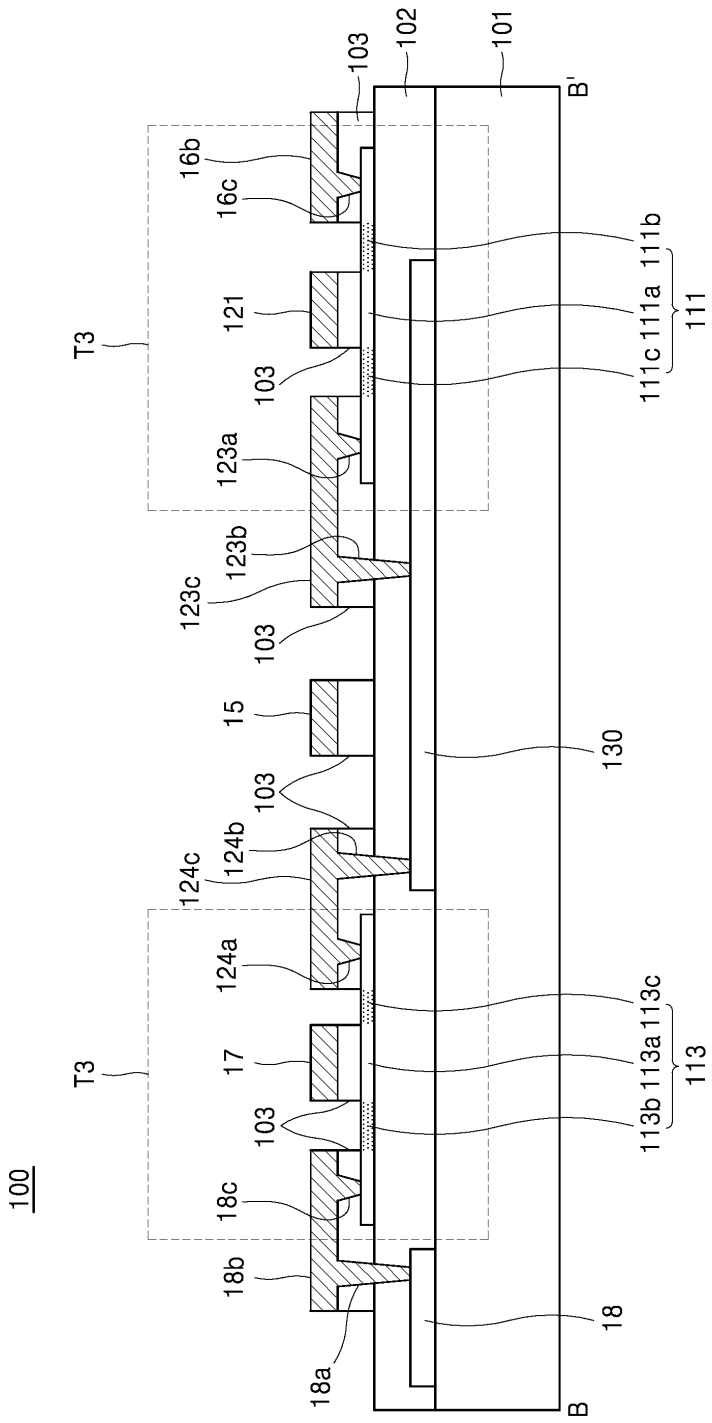




도면4

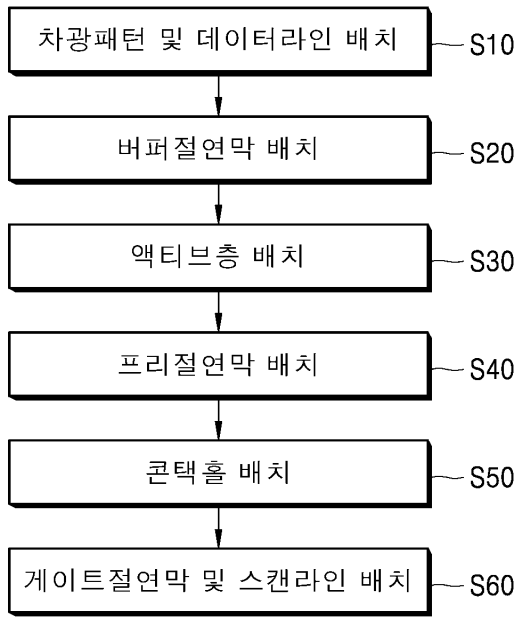


도면5

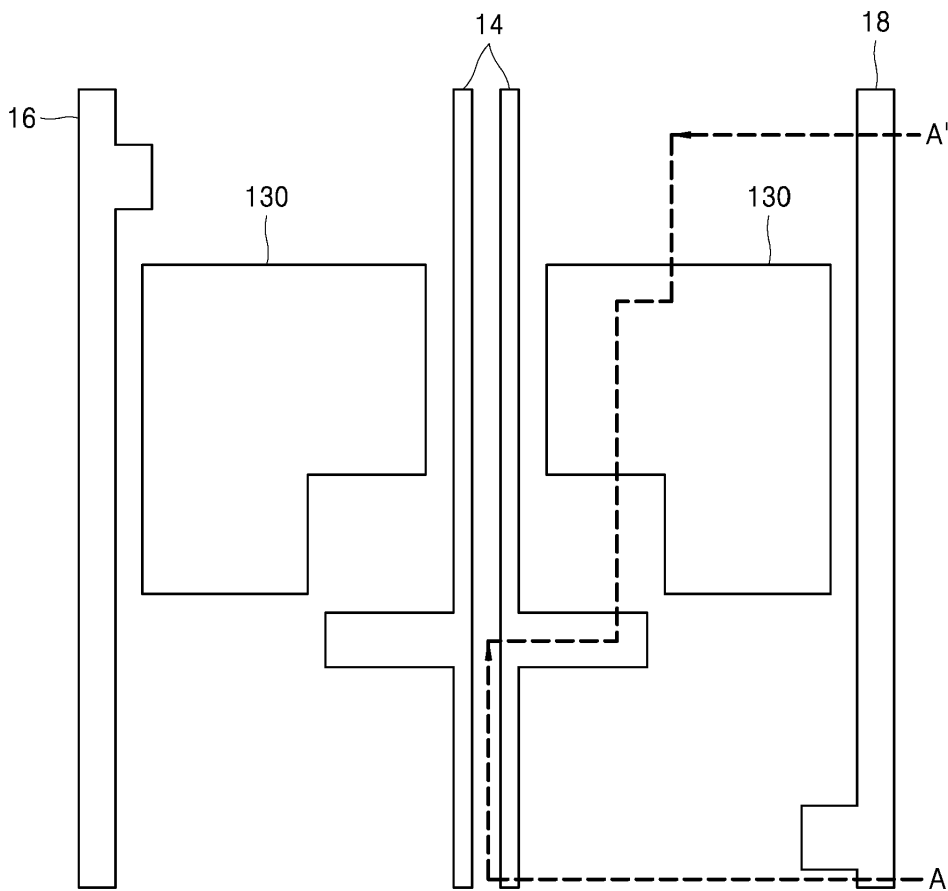


100

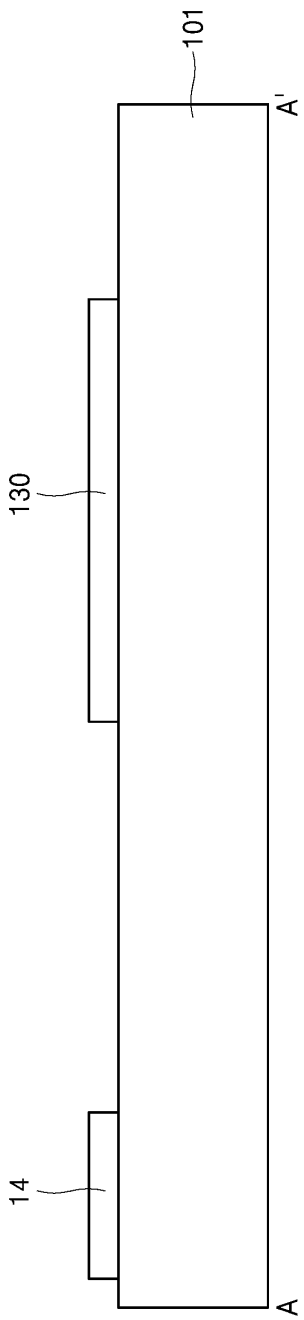
도면6



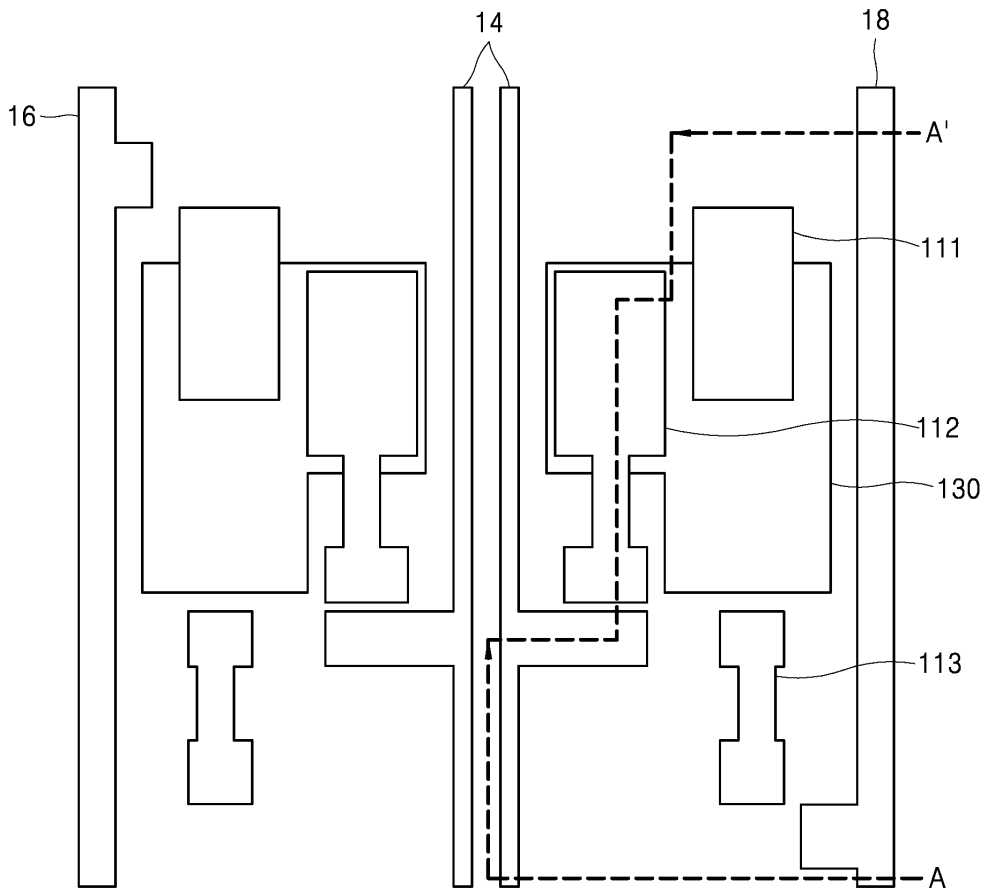
도면7



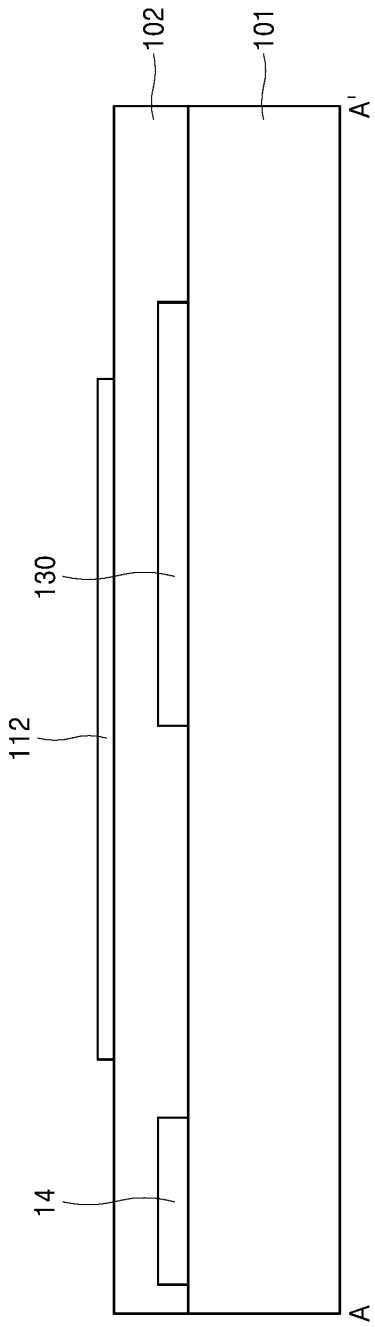
도면8



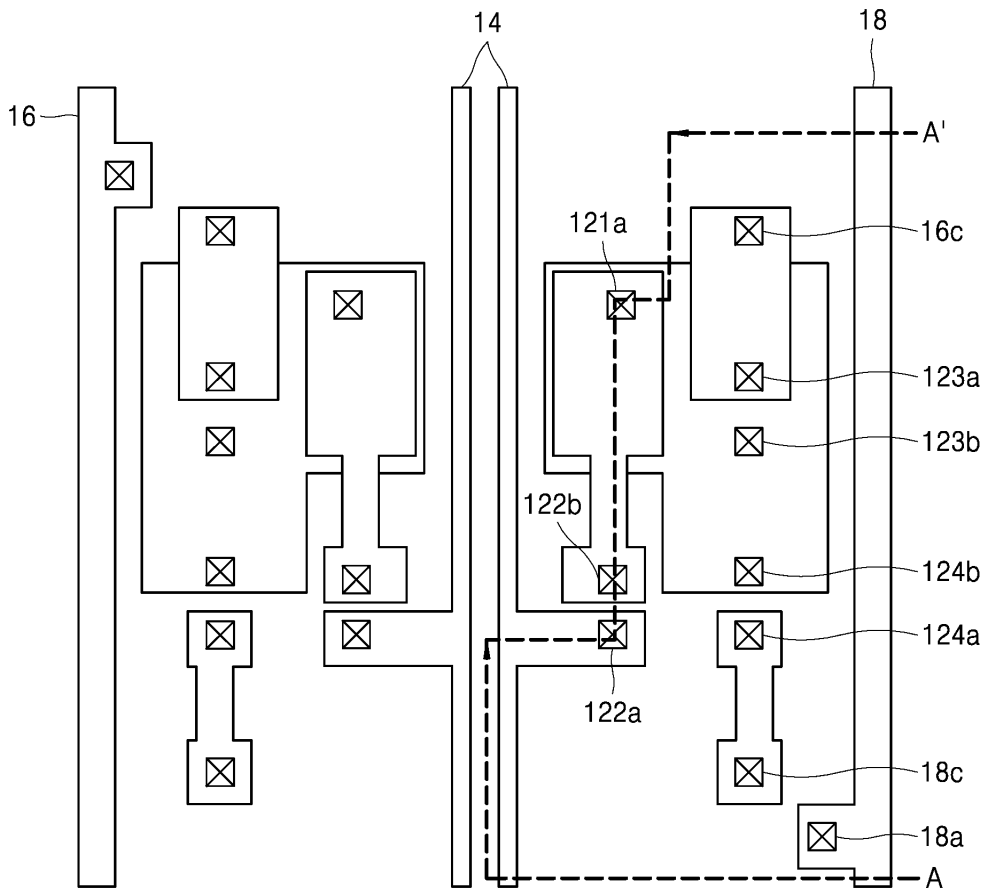
도면9



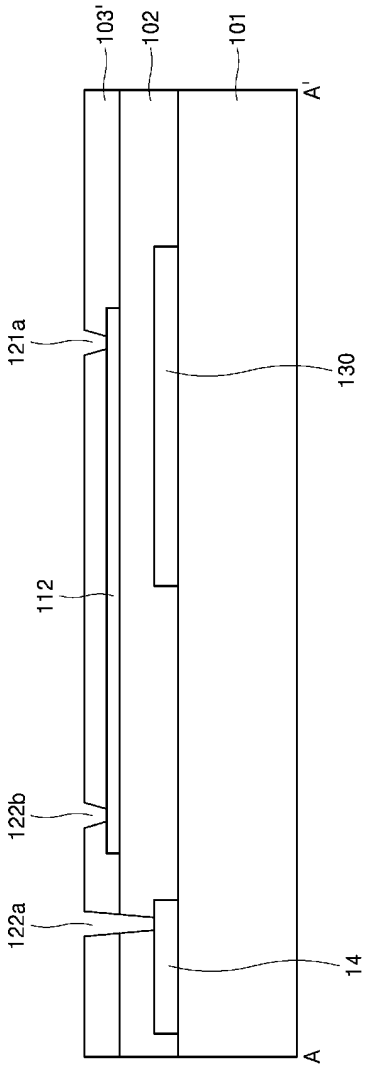
도면10



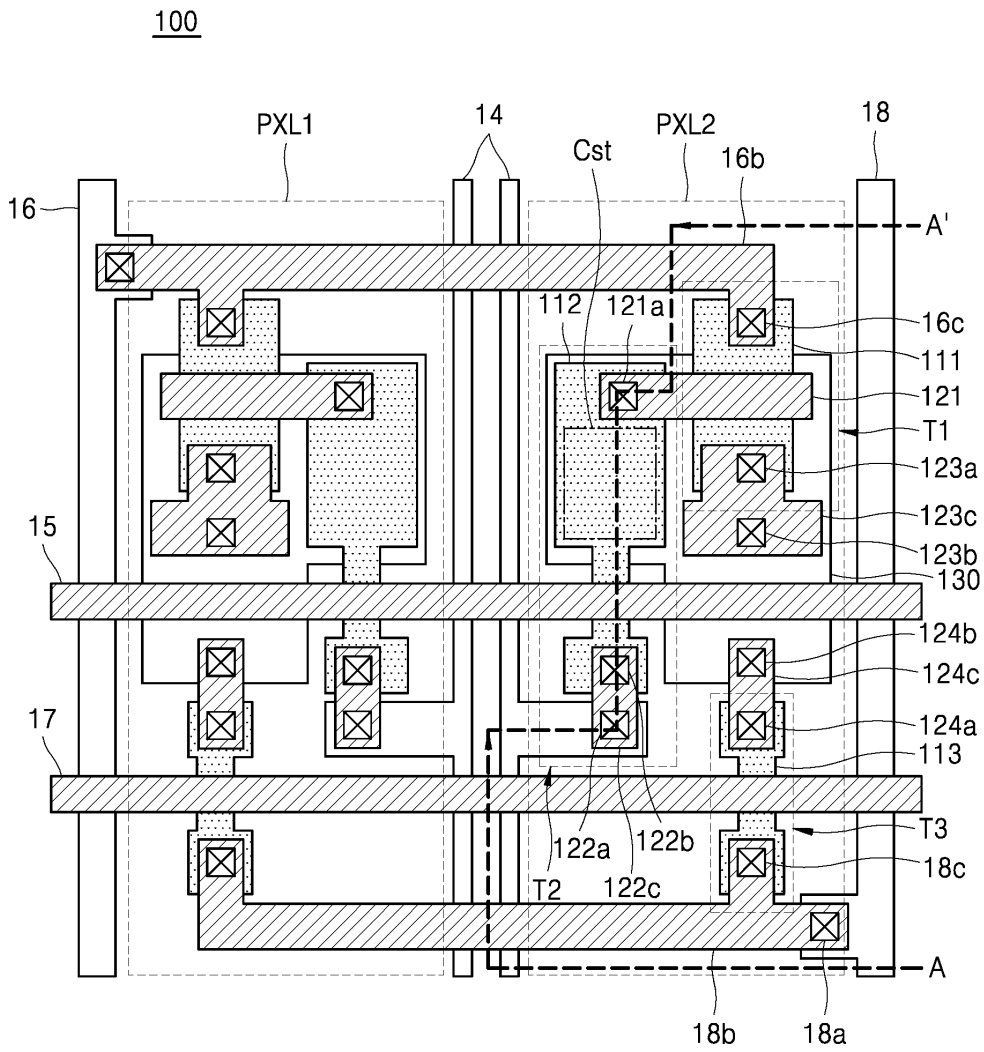
도면11



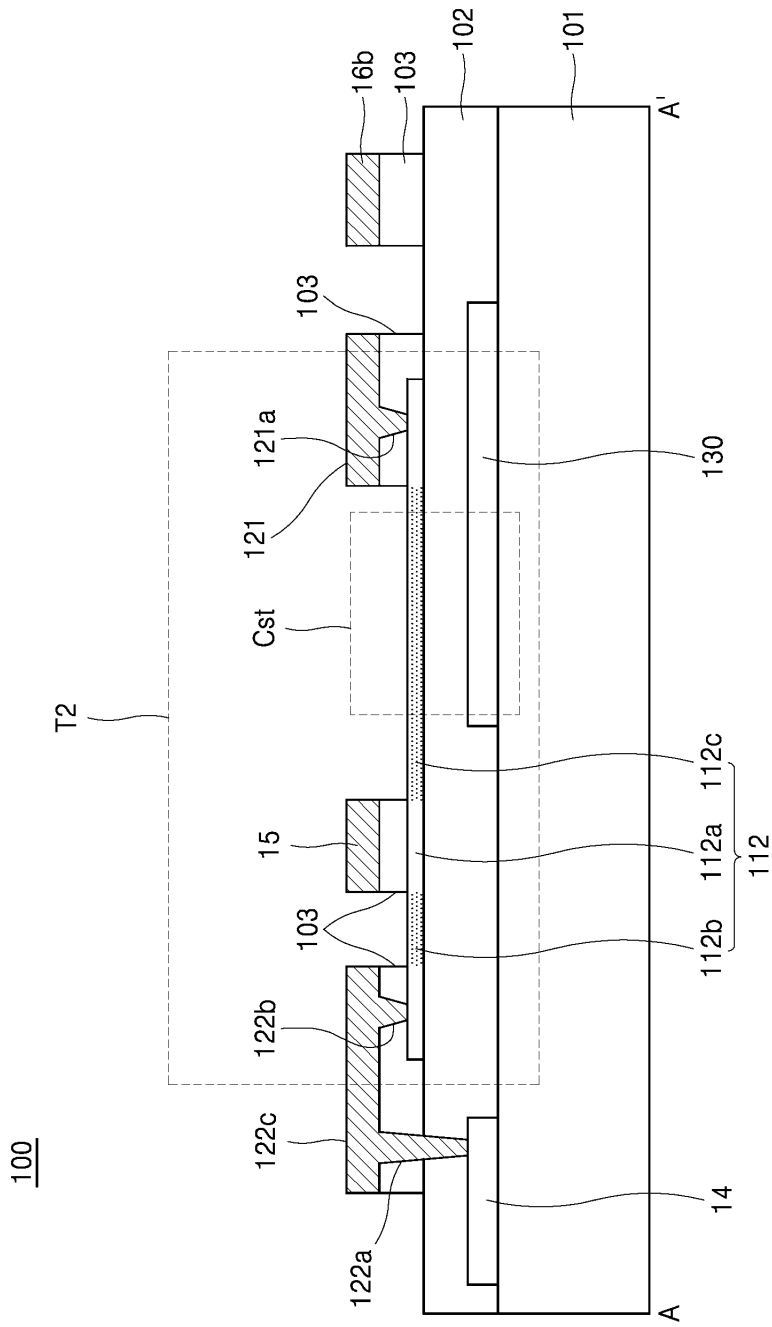
도면12



도면13



도면14



专利名称(译)	薄膜晶体管阵列基板和包括其的有机发光显示器		
公开(公告)号	<a href="#">KR1020190063230A</a>	公开(公告)日	2019-06-07
申请号	KR1020170162161	申请日	2017-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최기민		
发明人	최기민		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/3262 H01L27/3246 H01L27/3258 H01L29/78618 H01L29/7869 G02F1/136209 H01L27/124 H01L27/1255 H01L27/3265 H01L27/3272 H01L27/3276 H01L29/78633 H01L27/127		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的实施例是一种薄膜晶体管阵列基板，包括与显示区域相对应的多个像素区域，每个像素区域设置在基板上并且在垂直方向上彼此平行地布置。对应于垂直线的数据线，布置在覆盖数据线的缓冲绝缘层上的有源层，布置在缓冲绝缘层上并覆盖数据线和有源层中的每一个的至少一部分的栅极绝缘层，缓冲绝缘层和设置在栅极绝缘膜上的第一路径接触孔穿透栅绝缘膜并暴露出部分数据线，第二路径接触孔穿透栅绝缘膜并露出一部分有源层。以及通过第二路径接触孔连接数据线和有源层的路径图案。它提供了一种薄膜晶体管阵列基板也。

