



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0008684
(43) 공개일자 2019년01월25일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 27/32 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 27/322 (2013.01)
(21) 출원번호 10-2017-0090359
(22) 출원일자 2017년07월17일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조성학
경기도 파주시 월롱면 엘지로 245
김태한
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

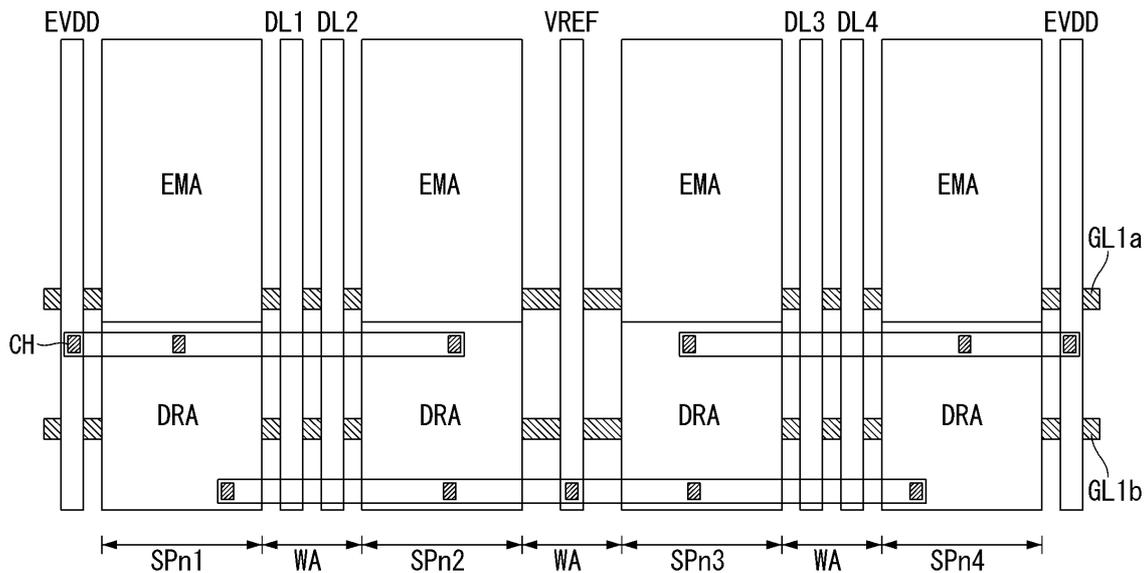
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계발광표시장치

(57) 요약

본 발명은 제1기판, 서브 픽셀, 데이터라인 및 스캔라인을 포함하는 바텀 발광 방식 전계발광표시장치를 제공한다. 서브 픽셀은 제1기판 상에 위치하고 발광다이오드를 갖는 발광영역과 발광다이오드를 구동하는 구동 트랜지스터를 갖는 회로영역을 포함한다. 데이터라인은 서브 픽셀에 연결되고 수직 방향으로 배치된다. 스캔라인은 서브 픽셀에 연결되고 수평 방향으로 배치된다. 스캔라인은 발광영역을 가로지르도록 배치된다.

대표도 - 도6



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3262 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

제1기판;

상기 제1기판 상에 위치하고 발광다이오드를 갖는 발광영역과 상기 발광다이오드를 구동하는 구동 트랜지스터를 갖는 회로영역을 포함하는 서브 픽셀;

상기 서브 픽셀에 연결되고 수직 방향으로 배치된 데이터라인; 및

상기 서브 픽셀에 연결되고 수평 방향으로 배치된 스캔라인을 포함하고,

상기 스캔라인은 상기 발광영역을 가로지르도록 배치된 바텀 발광 방식 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 스캔라인은 적어도 두 개를 포함하고,

적어도 두 개의 스캔라인 중 하나 또는 둘은 상기 발광영역을 가로지르도록 배치된 바텀 발광 방식 전계발광표시장치.

청구항 3

제2항에 있어서,

상기 적어도 두 개의 스캔라인은

상기 서브 픽셀의 스위칭 트랜지스터에 연결된 제1a스캔라인과,

상기 서브 픽셀의 센싱 트랜지스터에 연결된 제1b스캔라인을 포함하는 바텀 발광 방식 전계발광표시장치.

청구항 4

제3항에 있어서,

상기 서브 픽셀은

상기 제1a스캔라인의 신호에 의해 제어되는 스위칭 트랜지스터와,

상기 제1b스캔라인의 신호에 의해 제어되는 센싱 트랜지스터를 포함하고,

상기 스위칭 트랜지스터와 상기 센싱 트랜지스터 중 하나 또는 둘은 상기 발광영역에 배치된 바텀 발광 방식 전계발광표시장치.

청구항 5

제1항에 있어서,

상기 제1기판 상에 위치하고 상기 서브 픽셀에 연결된 신호라인, 전원라인 또는 상기 발광영역의 외부에 위치하는 라인이나 전극에 연결된 연결전극을 포함하고,

상기 연결전극은 상기 발광영역에 배치된 바텀 발광 방식 전계발광표시장치.

청구항 6

제1항에 있어서,

상기 구동 트랜지스터는

상기 제1기판 상에 위치하는 광차단층과,
 상기 광차단층 상에 위치하는 버퍼층과,
 상기 버퍼층 상에 위치하는 반도체층과,
 상기 반도체층 상에 위치하는 게이트 절연층과,
 상기 게이트 절연층 상에 위치하는 게이트 금속층과,
 상기 게이트 절연층 상에 위치하고 상기 게이트 금속층을 덮는 층간 절연층과,
 상기 층간 절연층 상에 위치하는 소오스 드레인금속층과,
 상기 층간 절연층 상에 위치하고 상기 소오스 드레인금속층을 덮는 보호층과,
 상기 보호층 상에 위치하는 평탄화층을 포함하는 바텀 발광 방식 전계발광표시장치.

청구항 7

제6항에 있어서,
 상기 발광다이오드는
 상기 평탄화층 상에 위치하는 하부전극과,
 상기 하부전극 상에 위치하고 상기 하부전극의 일부를 노출하는 개구부를 갖는 बैं크층과,
 상기 개구부를 통해 노출된 하부전극 상에 위치하는 발광층과,
 상기 बैं크층 및 상기 발광층 상에 위치하는 상부전극을 포함하는 바텀 발광 방식 전계발광표시장치.

청구항 8

제7항에 있어서,
 상기 발광다이오드는
 상기 보호층 상에 위치하는 컬러필터층에 의해 발광된 빛의 색이 변하는 바텀 발광 방식 전계발광표시장치.

청구항 9

제1기판; 및
 상기 제1기판 상에 위치하고 발광다이오드를 갖는 발광영역과 상기 발광다이오드를 구동하는 구동 트랜지스터를 갖는 회로영역을 포함하는 서브 픽셀을 포함하고,
 상기 발광영역에서 생성된 빛은
 트랜지스터, 커패시터, 신호라인 및 전원라인 중 하나를 통과하며 출사되는 바텀 발광 방식 전계발광표시장치.

청구항 10

제9항에 있어서,
 상기 트랜지스터, 커패시터, 신호라인 및 전원라인 중 하나는 상기 발광영역에 배치되고, 광반사 특성을 갖는 재료로 이루어진 바텀 발광 방식 전계발광표시장치.

발명의 설명

기술 분야

본 발명은 전계발광표시장치에 관한 것이다.

배경 기술

정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전

[0001]

[0002]

계발광표시장치, 액정표시장치 및 플라즈마표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

- [0003] 전계발광표시장치에는 서브 픽셀들을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.
- [0004] 전계발광표시장치는 표시 패널에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀로부터 발광된 빛이 출사됨으로써 영상을 표시할 수 있게 된다. 서브 픽셀은 빛을 자체적으로 생성할 수 있는 발광다이오드 그리고 발광다이오드를 구동하는 박막 트랜지스터 등이 포함된다.
- [0005] 표시 패널은 서브 픽셀들의 구조에 따라 상측 방향, 하측 방향 또는 상측과 하측을 포함하는 양측 방향으로 빛을 출사할 수 있다. 그런데 서브 픽셀들의 내부에는 발광다이오드뿐만 아니라 박막 트랜지스터 등이 더 포함되어 있기 때문에 하측 방향으로 빛을 출사하는 바텀 발광(Bottom emission) 방식은 다른 방식 대비 발광면적(발광영역)의 구성에 많은 제약이 따른다.
- [0006] 서브 픽셀들의 발광면적은 표시 패널의 휘도, 수명, 공정 마진, 신뢰성 등을 좌우할 만큼 많은 부분과 관계한다. 이처럼, 서브 픽셀들의 발광면적은 표시 패널의 특성을 결정함에 있어 중요한 요소가 된다.
- [0007] 하지만, 서브 픽셀들의 발광면적은 고해상도로 갈수록 줄어든다. 이 때문에 바텀 발광 방식 전계발광표시장치는 다른 방식 대비 발광면적과 관계되는 부분에서 필연적으로 발생할 수밖에 없는 구조적 제약을 고려한 설계가 더욱 필요한 실정이다.

발명의 내용

해결하려는 과제

- [0008] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 바텀 발광 방식 전계발광표시장치의 발광면적을 넓혀 발광다이오드에 흐르는 전류 밀도를 감소시킴과 더불어 수명을 향상하는 것이다. 또한, 본 발명은 바텀 발광 방식 전계발광표시장치 제작시 표시 패널의 휘도, 수명, 공정 마진, 신뢰성을 만족시키는 것이다. 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 바텀 발광 방식 전계발광표시장치의 발광면적을 넓혀 발광다이오드에 흐르는 전류 밀도를 감소시킴과 더불어 수명을 향상하는 것이다. 또한, 본 발명은 바텀 발광 방식 전계발광표시장치 제작시 표시 패널의 휘도, 수명, 공정 마진, 신뢰성을 만족시키는 것이다.

과제의 해결 수단

- [0009] 상술한 과제 해결 수단으로 본 발명은 제1기관, 서브 픽셀, 데이터라인 및 스캔라인을 포함하는 바텀 발광 방식 전계발광표시장치를 제공한다. 서브 픽셀은 제1기관 상에 위치하고 발광다이오드를 갖는 발광영역과 발광다이오드를 구동하는 구동 트랜지스터를 갖는 회로영역을 포함한다. 데이터라인은 서브 픽셀에 연결되고 수직 방향으로 배치된다. 스캔라인은 서브 픽셀에 연결되고 수평 방향으로 배치된다. 스캔라인은 발광영역을 가로지르도록 배치된다.
- [0010] 스캔라인은 적어도 두 개를 포함하고, 적어도 두 개의 스캔라인 중 하나 또는 둘은 발광영역을 가로지르도록 배치될 수 있다.
- [0011] 적어도 두 개의 스캔라인은 서브 픽셀의 스위칭 트랜지스터에 연결된 제1a스캔라인과, 서브 픽셀의 센싱 트랜지스터에 연결된 제1b스캔라인을 포함할 수 있다.
- [0012] 서브 픽셀은 제1a스캔라인의 신호에 의해 제어되는 스위칭 트랜지스터와, 제1b스캔라인의 신호에 의해 제어되는 센싱 트랜지스터를 포함하고, 스위칭 트랜지스터와 센싱 트랜지스터 중 하나 또는 둘은 발광영역에 배치될 수 있다.
- [0013] 제1기관 상에 위치하고 서브 픽셀에 연결된 신호라인, 전원라인 또는 발광영역의 외부에 위치하는 라인이나 전극에 연결된 연결전극을 포함하고, 연결전극은 발광영역에 배치될 수 있다.
- [0014] 구동 트랜지스터는 제1기관 상에 위치하는 광차단층과, 광차단층 상에 위치하는 버퍼층과, 버퍼층 상에 위치하는 반도체층과, 반도체층 상에 위치하는 게이트 절연층과, 게이트 절연층 상에 위치하는 게이트 금속층과, 게이트 절연층 상에 위치하고 게이트 금속층을 덮는 층간 절연층과, 층간 절연층 상에 위치하는 소오스 드레인금속

층과, 층간 절연층 상에 위치하고 소오스 드레인금속층을 덮는 보호층과, 보호층 상에 위치하는 평탄화층을 포함할 수 있다.

[0015] 발광다이오드는 평탄화층 상에 위치하는 하부전극과, 하부전극 상에 위치하고 하부전극의 일부를 노출하는 개구부를 갖는 बैं크층과, 개구부를 통해 노출된 하부전극 상에 위치하는 발광층과, बैं크층 및 발광층 상에 위치하는 상부전극을 포함할 수 있다.

[0016] 발광다이오드는 보호층 상에 위치하는 컬러필터층에 의해 발광된 빛의 색이 변할 수 있다.

[0017] 다른 측면에서 본 발명은 제1기판 및 제1기판 상에 위치하고 발광다이오드를 갖는 발광영역과 발광다이오드를 구동하는 구동 트랜지스터를 갖는 회로영역을 포함하는 서브 픽셀을 포함하는 바텀 발광 방식 전계발광표시장치를 제공한다. 발광영역에서 생성된 빛은 트랜지스터, 커패시터, 신호라인 및 전원라인 중 하나를 통과하며 출사될 수 있다.

[0018] 트랜지스터, 커패시터, 신호라인 및 전원라인 중 하나는 발광영역에 배치되고, 광반사 특성을 갖는 재료로 이루어질 수 있다.

발명의 효과

[0019] 본 발명은 바텀 발광 방식 전계발광표시장치의 발광면적을 넓혀 발광다이오드에 흐르는 전류 밀도를 감소시킴과 더불어 수명을 향상할 수 있는 효과가 있다. 또한, 본 발명은 바텀 발광 방식 전계발광표시장치 제작시 발광면적과 관계되는 부분에서 필연적으로 발생할 수밖에 없는 구조적 제약을 뛰어넘어 표시 패널의 휘도, 수명, 공정 마진, 신뢰성을 만족시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0020] 도 1은 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 서브 픽셀의 상세 회로 구성 예시도.
- 도 4는 표시 패널의 단면 예시도.
- 도 5는 비교예에 따른 바텀 발광 방식 유기전계발광표시장치의 표시 패널에 배치된 서브 픽셀들을 나타낸 평면도.
- 도 6은 본 발명의 제1실시예에 따른 바텀 발광 방식 유기전계발광표시장치의 표시 패널에 배치된 서브 픽셀들을 나타낸 평면도.
- 도 7은 본 발명의 제1실시예를 기반으로 실제 구현한 서브 픽셀들의 레이아웃을 나타낸 평면도.
- 도 8은 도 7의 서브 픽셀들 중 하나를 나타낸 단면도.
- 도 9는 본 발명의 제1실시예에서 나타나는 광 리사이클을 설명하기 위한 도면.
- 도 10은 본 발명의 제1실시예의 발광영역 증가 부분을 나타낸 도면.
- 도 11은 비교예와 제1실시예를 함께 나타낸 도면.
- 도 12는 본 발명의 제2실시예에 따른 바텀 발광 방식 유기전계발광표시장치의 표시 패널에 배치된 서브 픽셀들을 나타낸 평면도.
- 도 13은 본 발명의 제3실시예에 따른 바텀 발광 방식 유기전계발광표시장치의 표시 패널에 배치된 서브 픽셀들을 나타낸 평면도.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0022] 이하에서 설명되는 전계발광표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰, 가상현실기기(VR) 등으로 구현될 수 있다. 그리고 이하에서 설명되는 전계발광표시장치는 유기발광다이오드(발광소자)를 기반으로 구현된 유기전계발광표시장치를 일례로 설명한다. 그러나 이하에서 설명되는 전계발광표시장

치는 무기발광다이오드를 기반으로 구현될 수도 있다.

- [0023] 끝으로, 이하에서 설명되는 전계발광표시장치의 박막 트랜지스터는 게이트전극을 제외하고 타입에 따라 소오스 전극과 드레인전극 또는 드레인전극과 소오스전극으로 명명될 수 있는바, 이를 한정하지 않기 위해 제1전극과 제2전극으로 설명한다.
- [0024] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 서브 픽셀의 상세 회로 구성 예시도이고, 도 4는 표시 패널의 단면 예시도이다.
- [0025] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140), 표시 패널(150) 및 전원 공급부(160)가 포함된다.
- [0026] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0027] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0028] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0029] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0030] 전원 공급부(160)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(160)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(150)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(150)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(150)에 공급된다.
- [0031] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호 그리고 전원 공급부(160)로부터 공급된 전원에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0032] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0033] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다. 보상회로(CC)는 보상 방식이나 회로의 구성에 따라 생략될 수도 있다.
- [0034] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)(고전위전압)과 제2전원라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0035] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 외부 보상 방법에 따라 매우 다양하지만, 이에 대해 예시를 설명하면 다음과 같다.
- [0036] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 레퍼런스라인(VREF)(또는 센싱라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스전극과 유기 발광다이오드(OLED)의 애노드전극 사이

(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 레퍼런스라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 구동 트랜지스터(DR)의 센싱노드에 공급하거나 구동 트랜지스터(DR)의 센싱노드 또는 레퍼런스라인(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.

- [0037] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 레퍼런스라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극 및 구동 트랜지스터(DR)의 제2전극에 제2전극이 연결된다.
- [0038] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)(또는 스캔라인, Scan)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)(또는 센싱라인, Sense)은 공통으로 공유하도록 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 이 경우, 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 각기 다른 스캔신호를 전달하도록 분리된다.
- [0039] 레퍼런스라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 레퍼런스라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.
- [0040] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0041] 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 구동 트랜지스터(DR)의 채널영역 하층뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하층에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다. 그러므로 광차단층(LS)은 차광 특성을 갖도록 복층(이중 금속의 복층)의 금속층으로 선택된다.
- [0042] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0043] 도 4에 도시된 바와 같이, 표시 패널(150)은 제1기판(150a) 방향 즉, 하측 방향으로 빛을 출사(영상 표시)하는 바텀 발광(Bottom emission) 방식으로 제작된다. 표시 패널(150)은 제1기판(또는 박막 트랜지스터 기판)(150a), 표시영역(AA), 비표시영역(NA) 및 제2기판(또는 보호기판, 보호필름)(150b)을 포함한다.
- [0044] 표시영역(AA)에는 도 3에서 설명된 회로를 기반으로 형성된 서브 픽셀들이 배치된다. 표시영역(AA) 상에 배치된 서브 픽셀들은 제1기판(150a)과 제2기판(150b)에 의해 밀봉된다. 제1기판(150a)과 제2기판(150b)은 유리와 같은 강성 재료나 수지와 같은 연성 재료 등으로 선택된다.
- [0045] 서브 픽셀들은 표시영역(AA) 상에 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그러나 서브 픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 하나의 픽셀(P)은 적색(R), 백색(W), 청색(B) 및 녹색(G)을 포함하는 서브 픽셀들 또는 적색(R), 청색(B) 및 녹색(G)을 포함하는 서브 픽셀들로 정의될 수 있다.
- [0046] 한편, 표시 패널(150)은 하측 방향으로 빛을 출사하는 바텀 발광 방식뿐만 아니라 상측 방향으로 빛을 출사하는 탑 발광(Top emission) 방식이나 상측과 하측을 포함하는 양측 방향으로 빛을 출사하는 듀얼 발광(Dual emission) 방식으로도 구현될 수 있다. 그런데 서브 픽셀들의 내부에는 유기 발광다이오드뿐만 아니라 박막 트랜지스터 등이 더 포함되어 있기 때문에 바텀 발광 방식은 다른 방식 대비 발광면적(발광영역)의 구성에 많은

제약이 따른다.

- [0047] <비교예>
- [0048] 도 5는 비교예에 따른 바텀 발광 방식 유기전계발광표시장치의 표시 패널에 배치된 서브 픽셀들을 나타낸 평면도이다. 도 5의 비교예는 도 3에 도시된 서브 픽셀의 회로 구성을 기반으로 구현된 것으로서, 서브 픽셀들의 내부 구성보다는 외부에 배치된 신호 및 전원라인을 위주로 도시한 도면이다.
- [0049] 도 5에 도시된 바와 같이, 표시 패널에는 발광영역(또는 개구영역)(EMA)과 회로영역(또는 비개구영역)(DRA)을 갖는 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)이 배치된다. 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4) 사이에 위치하는 "WA"는 전원라인이나 데이터 라인이 배치되는 배선영역으로서, 비개구영역에 해당한다.
- [0050] 발광영역(EMA)에는 유기 발광다이오드가 형성되고, 회로영역(DRA)에는 스위칭 및 구동 트랜지스터 등을 포함하는 박막 트랜지스터가 형성된다. 발광영역(EMA)의 유기 발광다이오드는 회로영역(DRA)의 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 빛을 발광하게 된다.
- [0051] 비교예는 회로영역(DRA)의 스위칭 및 구동 트랜지스터 등을 동작시키기 위해 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)을 서브 픽셀들(SPn1 ~ SPn4)의 단축 방향(또는 수평 방향)을 따라 배치한다. 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 회로영역(DRA) 내에서 상호 인접한다.
- [0052] 통상 바텀 발광 방식 유기전계발광표시장치는 하측 방향으로 빛을 발광하기 때문에, 비교예와 같이 발광영역(EMA)에 해당하지 않는 비개구영역(회로영역, 배선영역 포함)에만 신호 및 전원라인 등을 배치한다.
- [0053] 서브 픽셀들의 발광면적은 표시 패널의 휘도, 수명, 공정 마진, 신뢰성 등을 좌우할 만큼 많은 부분과 관계한다. 이처럼, 서브 픽셀들의 발광면적은 표시 패널의 특성을 결정함에 있어 중요한 요소가 된다. 참고로, 발광면적이 줄어들면 유기 발광다이오드에 흐르는 전류 밀도가 높아지게 되고 이로 인하여 신뢰성 불량(예: 잔상)이 발생하게 된다.
- [0054] 하지만, 서브 픽셀들의 발광면적은 고해상도로 갈수록 줄어든다. 그 이유는 공정 마진 및 회로가 차지하는 비율의 증가 등이 존재하기 때문이다. 이 때문에, 바텀 발광 방식 유기전계발광표시장치는 다른 방식 대비 발광면적과 관계되는 부분에서 필연적으로 발생할 수밖에 없는 구조적 제약을 고려한 설계가 더욱 필요한 실정이다. 그럼에도, 비교예와 같이 통상적인 설계 방식만 고집할 경우 발광면적을 증가시키는 등의 개선이 불가능한 상태에 이르렀다고 사료되는바, 이하의 실시예를 제안한다.
- [0055] <제1실시예>
- [0056] 도 6은 본 발명의 제1실시예에 따른 바텀 발광 방식 유기전계발광표시장치의 표시 패널에 배치된 서브 픽셀들을 나타낸 평면도이고, 도 7은 본 발명의 제1실시예를 기반으로 실제 구현한 서브 픽셀들의 레이아웃을 나타낸 평면도이며, 도 8은 도 7의 서브 픽셀들 중 하나를 나타낸 단면도이고, 도 9는 본 발명의 제1실시예에서 나타나는 광 리사이클을 설명하기 위한 도면이며, 도 10은 본 발명의 제1실시예의 발광영역 증가 부분을 나타낸 도면이고, 도 11은 비교예와 제1실시예를 함께 나타낸 도면이다.
- [0057] 도 6에 도시된 바와 같이, 표시 패널에는 발광영역(또는 개구영역)(EMA)과 회로영역(또는 비개구영역)(DRA)을 갖는 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)이 배치된다. 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4) 사이에 위치하는 "WA"는 전원라인이나 데이터 라인이 배치되는 배선영역으로서, 비개구영역에 해당한다.
- [0058] 발광영역(EMA)에는 유기 발광다이오드가 형성되고, 회로영역(DRA)에는 스위칭 및 구동 트랜지스터 등을 포함하는 박막 트랜지스터가 형성된다. 발광영역(EMA)의 유기 발광다이오드는 회로영역(DRA)의 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 빛을 발광하게 된다.
- [0059] 제1서브 픽셀(SPn1)의 좌측에는 제1전원라인(EVDD)이 위치할 수 있고, 제2서브 픽셀(SPn2)의 우측에는 레퍼런스라인(VREF)이 위치하고, 제1서브 픽셀(SPn1) 및 제2서브 픽셀(SPn2) 사이에는 제1 및 제2데이터라인(DL1, DL2)이 위치한다. 제3서브 픽셀(SPn3)의 좌측에는 레퍼런스라인(VREF)이 위치하고, 제4서브 픽셀(SPn4)의 우측에는 제1전원라인(EVDD)이 위치할 수 있고, 제3서브 픽셀(SPn3) 및 제4서브 픽셀(SPn4) 사이에는 제3 및 제4데이터라인(DL3, DL4)이 위치한다.
- [0060] 제1서브 픽셀(SPn1)은 자신의 좌측에 위치하는 제1전원라인(EVDD), 자신의 우측에 위치하는 제1데이터라인(DL1) 및 제2서브 픽셀(SPn2)의 우측에 위치하는 레퍼런스라인(VREF)에 전기적으로 연결된다. 제2서브 픽셀(SPn2)은 제1서브 픽셀(SPn1)의 좌측에 위치하는 제1전원라인(EVDD), 자신의 좌측에 위치하는 제2데이터라인(DL2) 및 자

신의 우측에 위치하는 레퍼런스라인(VREF)에 전기적으로 연결된다.

- [0061] 제3서브 픽셀(SPn3)은 자신의 좌측에 위치하는 레퍼런스라인(VREF), 자신의 우측에 위치하는 제3데이터라인(DL3) 및 제4서브 픽셀(SPn4)의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결된다. 제4서브 픽셀(SPn4)은 제3서브 픽셀(SPn3)의 좌측에 위치하는 레퍼런스라인(VREF), 자신의 좌측에 위치하는 제4데이터라인(DL4) 및 자신의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결된다.
- [0062] 제1 내지 제4데이터라인(DL1 ~ DL4)은 서브 픽셀들(SPn1 ~ SPn4)의 장축 방향(또는 수직 방향)을 따라 배치된다. 제1전원라인(EVDD)과 레퍼런스라인(VREF) 또한 서브 픽셀들(SPn1 ~ SPn4)의 장축 방향을 따라 배치된다. 제1전원라인(EVDD)과 레퍼런스라인(VREF)은 자신으로부터 멀리 떨어져 있는 서브 픽셀과의 전기적인 연결을 도모하기 위해 서브 픽셀들(SPn1 ~ SPn4)의 단축 방향(또는 수평 방향)을 따라 배치된 연결전극을 더 포함(CH에 연결되어 수평 방향으로 배치된 전극 참조)한다.
- [0063] 제1전원라인(EVDD), 레퍼런스라인(VREF)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들 중 일부는 절연층을 사이에 두고 서로 다른 층(다른 금속층) 및 서로 다른 방향으로 배치될 수 있지만, 이들은 콘택홀(CH)(비아홀)을 통해 전기적으로 연결된 구조를 갖는다.
- [0064] 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 서브 픽셀들(SPn1 ~ SPn4)의 단축 방향(또는 수직 방향)을 따라 배치된다. 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 서로 이격하도록 각기 다른 영역에 배치된다.
- [0065] 예컨대, 제1a스캔라인(GL1a)은 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 발광영역(EMA)을 모두 가로지르도록 배치된다. 반면, 제1b스캔라인(GL1b)은 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 회로영역(DRA)을 모두 가로지르도록 배치된다. 그러나 이는 하나의 예시일 뿐, 제1b스캔라인(GL1b)이 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 발광영역(EMA)을 모두 가로지르도록 배치되고, 제1a스캔라인(GL1a)이 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 회로영역(DRA)을 모두 가로지르도록 배치될 수도 있다.
- [0066] 본 발명의 제1실시예를 기반으로 실제 서브 픽셀들의 레이아웃을 구현하면 도 7과 같다. 도 7에 도시된 바와 같이, 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 발광영역(EMA)은 이들의 장축 방향을 기준으로 비교예 대비 더 증가한다.
- [0067] 그 이유는 회로영역(DRA)에 존재하던 제1a스캔라인(GL1a)을 발광영역(EMA)으로 이동시킴에 따라 발생하게 된 공간을 회로영역(DRA)의 최적화로 활용함과 더불어 회로영역(DRA)의 여백을 발광영역(EMA)으로 사용할 수 있었기 때문이다. 이하, 발광영역(EMA)과 회로영역(DRA)의 일부에서 볼 수 있는 구조물을 설명하면 다음과 같다.
- [0068] 도 7 및 도 8에 도시된 바와 같이, 제1서브 픽셀(SPn1)은 제1기판(150a) 상에 정의된 발광영역(EMA)과 회로영역(DRA)을 포함한다. 회로영역(DRA)에는 구동 트랜지스터(DR)와 커패시터(Cst) 등이 위치하고, 발광영역(EMA)에는 유기 발광다이오드(OLED), 제1a스캔라인(GL1a) 및 연결전극(SD4) 등이 위치한다.
- [0069] 제1기판(150a) 상에는 광차단층(LS)이 위치한다. 광차단층(LS)은 회로영역(DRA)의 구동 트랜지스터(DR)와 커패시터(Cst)에 대응하여 형성된다. 제1기판(150a) 상에는 버퍼층(BUF)이 위치한다. 버퍼층(BUF)은 광차단층(LS)과 제1기판(150a)을 덮도록 발광영역(EMA) 및 회로영역(DRA)에 대응하여 형성된다.
- [0070] 버퍼층(BUF) 상에는 구동 트랜지스터(DR)의 액티브층(ACT)과 금속층(M1, M2)을 포함하는 반도체층이 위치한다. 구동 트랜지스터(DR)의 액티브층(ACT)과 금속층(M1, M2)은 회로영역(DRA)에 대응하여 형성된다. 구동 트랜지스터(DR)의 제2금속층(M2)은 커패시터(Cst)의 일측 전극이 된다. 반도체층은 산화물을 기반으로 구현된 것을 일례로 도시하나 이에 한정되지 않는다.
- [0071] 반도체층 상에는 게이트 절연층(GI)이 위치한다. 게이트 절연층(GI)은 회로영역(DRA)에 위치하는 구동 트랜지스터(DR)의 액티브층(ACT)과 발광영역(EMA)의 하단(자신의 회로영역과 가까운 부분)에 대응하여 형성된다. 게이트 절연층(GI) 상에는 게이트금속층(GATE, GL1a)이 위치한다. 게이트금속층(GATE, GL1a)은 회로영역(DRA)에 위치하는 구동 트랜지스터(DR)의 게이트전극(GATE) 부분과 발광영역(EMA)에 위치하는 제1a스캔라인(GL1a) 부분을 포함한다. 게이트금속층(GATE, GL1a)은 복층(2개의 층)으로 형성된 것을 일례로 하나 이에 한정되지 않는다.
- [0072] 버퍼층(BUF) 상에는 층간 절연층(ILD)이 위치한다. 층간 절연층(ILD)은 구동 트랜지스터(DR)의 게이트전극(GATE) 부분과 제1a스캔라인(GL1a) 부분을 덮도록 발광영역(EMA) 및 회로영역(DRA)에 대응하여 형성된다. 층간 절연층(ILD)은 구동 트랜지스터(DR)의 제1 및 제2금속층(M, M2)을 노출하는 제1 및 제2코택홀을 포함한다.
- [0073] 층간 절연층(ILD) 상에는 소오스 드레인금속층(SD1, SD2, SD3, SD4)이 위치한다. 소오스 드레인금속층(SD1,

SD2, SD3, SD4)은 제1 내지 제4소오스 트레인금속층(SD1, SD2, SD3, SD4)을 포함한다. 제1 및 제2소오스 트레인금속층(SD1, SD2)은 회로영역(DRA)의 제1 및 제2금속층(M1, M2)에 구분되어 연결되도록 위치하고, 구동 트랜지스터(DR)의 소오스 및 트레인전극(SD1, SD2)이 된다. 제3소오스 트레인금속층(SD3)은 회로영역(DRA)의 제2소오스 트레인금속층(SD2)으로부터 이격된 거리에 위치하고, 커패시터(Cst)의 타측 전극(SD3)이 된다. 제4소오스 트레인금속층(SD4)은 발광영역(EMA)의 상단(자신의 회로영역과 멀리 떨어진 부분)에 위치하고, 레퍼런스라인(VREF)과 전기적으로 연결되도록 수평 방향으로 배치된 연결전극(SD4)이 된다.

[0074] 그러나 연결전극(SD4)은 레퍼런스라인(VREF)과 전기적으로 연결되는 부분에 한정되지 않고 다른 신호라인, 전원라인 또는 발광영역의 외부에 위치하는 라인이나 전극 등에 연결된 부분으로도 해석되어야 한다. 신호라인은 데이터라인, 스캔라인, 레퍼런스라인을 의미하고, 다른 신호라인은 앞서 언급된 라인 외의 것을 의미한다.

[0075] 층간 절연층(ILD) 상에는 보호층(PAS)이 위치한다. 보호층(PAS)은 소오스 트레인금속층(SD1, SD2, SD3, SD4)을 모두 덮도록 발광영역(EMA) 및 회로영역(DRA)에 대응하여 형성된다. 보호층(PAS) 상에는 컬러필터층(CF)이 위치한다. 컬러필터층(CF)은 발광영역(EMA)에 대응하여 형성된다. 보호층(PAS) 상에는 평탄화층(OC)이 위치한다. 평탄화층(OC)은 보호층(PAS)을 통해 구동 트랜지스터(DR)의 소오스전극(SD1)을 노출하는 제3콘택홀을 포함한다. 평탄화층(OC)은 보호층(PAS)을 덮도록 발광영역(EMA) 및 회로영역(DRA)에 대응하여 형성된다.

[0076] 평탄화층(OC) 상에는 하부전극(E1)이 위치한다. 하부전극(E1)은 유기 발광다이오드(OLED)의 애노드전극이 된다. 하부전극(E1)은 제3콘택홀을 통해 노출된 구동 트랜지스터(DR)의 소오스전극(SD1)과 전기적으로 연결된다. 하부전극(E1)은 발광영역(EMA) 및 회로영역(DRA)의 일부에 대응하여 형성된다. 하부전극(E1) 상에는 बैं크층(BNK)이 위치한다. बैं크층(BNK)은 하부전극(E1)의 일부를 노출하는 개구부를 가지며, 발광영역(EMA) 및 회로영역(DRA)에 대응하여 형성된다. 발광영역(EMA)은 बैं크층(BNK)의 개구부에 의해 정의된다.

[0077] बैं크층(BNK) 상에는 유기 발광층(EML)이 위치한다. 유기 발광층(EML)은 बैं크층(BNK)에 의해 노출된 하부전극(E1) 등 발광영역(EMA) 및 회로영역(DRA)에 대응하여 형성된다. 그러나 유기 발광층(EML)은 발광재료나 증착 방식에 따라 बैं크층(BNK)에 의해 노출된 하부전극(E1) 상에만 형성될 수도 있다.

[0078] बैं크층(BNK) 및 유기 발광층(EML) 상에는 상부전극(E2)이 위치한다. 상부전극(E2)은 유기 발광다이오드(OLED)의 캐소드전극이 된다. 상부전극(E2)은 제1기판(150a)에 정의된 표시영역을 모두 덮도록 발광영역(EMA) 및 회로영역(DRA)에 대응하여 형성된다. 한편, 위의 설명에서는 유기 발광층(EML)이 백색의 빛을 발광하도록 구성됨에 따라, 컬러필터층(CF)이 포함된 것을 일례로 도시 및 설명하였다. 그러나 유기 발광층(EML)이 적색, 녹색 또는 청색 등이 유색을 발광하는 경우, 컬러필터층(CF)은 삭제된다.

[0079] 본 발명의 제1실시예는 제1기판(150a) 방향으로 빛(L)이 출사되는 바텀 발광 방식이지만, 회로영역(DRA)에 존재하던 제1a스캔라인(GL1a)과 연결전극(SD4)을 발광영역(EMA)으로 이동시켰다.

[0080] 실험 결과에 따르면, 제1a스캔라인(GL1a)과 연결전극(SD4)은 비록 빛이 출사되는 발광영역(EMA)에 위치하지만 도 9와 같이 유기 발광층(EML)으로부터 생성된 빛(L)이 발광영역(EMA)의 외부로 출사되도록 반사시키는 등 광 리사이클이 가능한 것으로 나타났다.

[0081] 또한, 제1a스캔라인(GL1a)과 연결전극(SD4) 형성 시, 빛의 반사 특성을 갖는 재료(광반사 특성을 갖는 재료 또는 광반사율이 높은 재료)로 구성할 경우 광 리사이클 특성은 더욱 향상되는 것으로 나타났다. 발광영역(EMA)로부터 생성된 빛(L)은 트랜지스터, 커패시터, 신호라인 및 전원라인 중 하나에 의한 광 리사이클 과정을 거친 후 이들을 통과하여 출사된다.

[0082] 제1실시예의 트랜지스터들은 탑 게이트(Top gate) 방식으로 구현되므로 유기 발광층(EML)으로부터 생성된 빛(L)이 트랜지스터의 상부 방향으로 입사되는 문제가 발생하지 않는다. 그 결과 위와 같은 광 리사이클 특성을 얻을 수 있으면서도 소자의 신뢰성이 저하되는 문제를 방지할 수 있다.

[0083] 도 10에서 OPN은 빛이 출사되는 발광영역이고, NOPN은 빛이 출사되지 않는 비발광영역이다. 그리고 EMA는 기존과 동일한 발광영역으로 볼 수 있고, UEMA는 발광영역의 상단 확장영역으로 볼 수 있고, LEMA는 발광영역의 하단 확장영역으로 볼 수 있다. 도 10의 도면을 통해 알 수 있듯이, 본 발명의 제1실시예를 기반으로 서브 픽셀들을 설계하면, 회로영역의 최적화를 통해 발광영역에 의해 정의되는 발광면적을 획기적(비교예 대비 대략 11%)으로 증가시킬 수 있다.

[0084] 비교예와 제1실시예 간의 발광면적의 증가와 관련된 비교는 도 11을 참조하면 더욱 명확해 질 것이다. 도 11의 좌측은 비교예를 나타낸 것이고, 도 11의 우측은 제1실시예를 나타낸 것이다. 아울러, 도 11의 좌측 상단과 우

측 상단은 비교예와 제1실시예에 대한 서브 픽셀들의 레이아웃을 각각 나타낸 것이고, 좌측 하단과 우측 하단은 비교예와 제1실시예에 대한 발광영역(EMA)을 각각 나타낸 것이다.

- [0085] <제2실시예>
- [0086] 도 12는 본 발명의 제2실시예에 따른 바텀 발광 방식 유기전계발광표시장치의 표시 패널에 배치된 서브 픽셀들을 나타낸 평면도이다.
- [0087] 도 12에 도시된 바와 같이, 표시 패널에는 발광영역(또는 개구영역)(EMA)과 회로영역(또는 비개구영역)(DRA)을 갖는 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)이 배치된다. 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4) 사이에 위치하는 "WA"는 전원라인이나 데이터 라인이 배치되는 배선영역으로서, 비개구영역에 해당한다.
- [0088] 발광영역(EMA)에는 유기 발광다이오드가 형성되고, 회로영역(DRA)에는 스위칭 및 구동 트랜지스터 등을 포함하는 박막 트랜지스터가 형성된다. 발광영역(EMA)의 유기 발광다이오드는 회로영역(DRA)의 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 빛을 발광하게 된다.
- [0089] 제1서브 픽셀(SPn1)의 좌측에는 제1전원라인(EVDD)이 위치할 수 있고, 제2서브 픽셀(SPn2)의 우측에는 레퍼런스라인(VREF)이 위치하고, 제1서브 픽셀(SPn1) 및 제2서브 픽셀(SPn2) 사이에는 제1 및 제2데이터라인(DL1, DL2)이 위치한다. 제3서브 픽셀(SPn3)의 좌측에는 레퍼런스라인(VREF)이 위치하고, 제4서브 픽셀(SPn4)의 우측에는 제1전원라인(EVDD)이 위치할 수 있고, 제3서브 픽셀(SPn3) 및 제4서브 픽셀(SPn4) 사이에는 제3 및 제4데이터라인(DL3, DL4)이 위치한다.
- [0090] 제1서브 픽셀(SPn1)은 자신의 좌측에 위치하는 제1전원라인(EVDD), 자신의 우측에 위치하는 제1데이터라인(DL1) 및 제2서브 픽셀(SPn2)의 우측에 위치하는 레퍼런스라인(VREF)에 전기적으로 연결된다. 제2서브 픽셀(SPn2)은 제1서브 픽셀(SPn1)의 좌측에 위치하는 제1전원라인(EVDD), 자신의 좌측에 위치하는 제2데이터라인(DL2) 및 자신의 우측에 위치하는 레퍼런스라인(VREF)에 전기적으로 연결된다.
- [0091] 제3서브 픽셀(SPn3)은 자신의 좌측에 위치하는 레퍼런스라인(VREF), 자신의 우측에 위치하는 제3데이터라인(DL3) 및 제4서브 픽셀(SPn4)의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결된다. 제4서브 픽셀(SPn4)은 제3서브 픽셀(SPn3)의 좌측에 위치하는 레퍼런스라인(VREF), 자신의 좌측에 위치하는 제4데이터라인(DL4) 및 자신의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결된다.
- [0092] 제1 내지 제4데이터라인(DL1 ~ DL4)은 서브 픽셀들(SPn1 ~ SPn4)의 장축 방향(또는 수직 방향)을 따라 배치된다. 제1전원라인(EVDD)과 레퍼런스라인(VREF) 또한 서브 픽셀들(SPn1 ~ SPn4)의 장축 방향을 따라 배치된다. 제1전원라인(EVDD)과 레퍼런스라인(VREF)은 자신으로부터 멀리 떨어져 있는 서브 픽셀과의 전기적인 연결을 도모하기 위해 서브 픽셀들(SPn1 ~ SPn4)의 단축 방향(또는 수평 방향)을 따라 배치된 연결전극을 더 포함(CH에 연결되어 수평 방향으로 배치된 전극 참조)한다.
- [0093] 제1전원라인(EVDD), 레퍼런스라인(VREF)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들 중 일부는 절연층을 사이에 두고 서로 다른 층(다른 금속층) 및 서로 다른 방향으로 배치될 수 있지만, 이들은 콘택홀(CH)(비어홀)을 통해 전기적으로 연결된 구조를 갖는다.
- [0094] 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 서브 픽셀들(SPn1 ~ SPn4)의 단축 방향(또는 수직 방향)을 따라 배치된다. 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 서로 이격하도록 발광영역(EMA)에 배치된다.
- [0095] 예컨대, 제1a스캔라인(GL1a)은 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 발광영역(EMA) 중 상단을 모두 가로지르도록 배치된다. 그리고 제1b스캔라인(GL1b)은 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 발광영역(EMA) 중 하단을 모두 가로지르도록 배치된다. 그러나 이는 하나의 예시일 뿐, 제1a스캔라인(GL1a)이 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 발광영역(EMA) 중 하단을 모두 가로지르도록 배치되고, 제1b스캔라인(GL1b)이 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 발광영역(EMA) 중 상단을 모두 가로지르도록 배치될 수도 있다. 즉, 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)이 배치된 위치는 앞서 설명된 것과 반대가 될 수도 있다.
- [0096] 본 발명의 제2실시예 또한 제1실시예와 같은 단면 및 그에 해당하는 구조물을 기반으로 구현될 수 있다. 그러므로 제2실시예에 대한 단면 구조는 제1실시예의 설명 부분을 참조하더라도 무방하므로 이 부분의 설명은 제1실시예를 참조한다.
- [0097] <제3실시예>

- [0098] 도 13은 본 발명의 제3실시예에 따른 바텀 발광 방식 유기전계발광표시장치의 표시 패널에 배치된 서브 픽셀들을 나타낸 평면도이다.
- [0099] 도 13에 도시된 바와 같이, 표시 패널에는 발광영역(또는 개구영역)(EMA)과 회로영역(또는 비개구영역)(DRA)을 갖는 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)이 배치된다. 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4) 사이에 위치하는 "WA"는 전원라인이나 데이터 라인이 배치되는 배선영역으로서, 비개구영역에 해당한다.
- [0100] 발광영역(EMA)에는 유기 발광다이오드가 형성되고, 회로영역(DRA)에는 스위칭 및 구동 트랜지스터 등을 포함하는 박막 트랜지스터가 형성된다. 발광영역(EMA)의 유기 발광다이오드는 회로영역(DRA)의 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 빛을 발광하게 된다.
- [0101] 제1서브 픽셀(SPn1)의 좌측에는 제1전원라인(EVDD)이 위치할 수 있고, 제2서브 픽셀(SPn2)의 우측에는 레퍼런스라인(VREF)이 위치하고, 제1서브 픽셀(SPn1) 및 제2서브 픽셀(SPn2) 사이에는 제1 및 제2데이터라인(DL1, DL2)이 위치한다. 제3서브 픽셀(SPn3)의 좌측에는 레퍼런스라인(VREF)이 위치하고, 제4서브 픽셀(SPn4)의 우측에는 제1전원라인(EVDD)이 위치할 수 있고, 제3서브 픽셀(SPn3) 및 제4서브 픽셀(SPn4) 사이에는 제3 및 제4데이터라인(DL3, DL4)이 위치한다.
- [0102] 제1서브 픽셀(SPn1)은 자신의 좌측에 위치하는 제1전원라인(EVDD), 자신의 우측에 위치하는 제1데이터라인(DL1) 및 제2서브 픽셀(SPn2)의 우측에 위치하는 레퍼런스라인(VREF)에 전기적으로 연결된다. 제2서브 픽셀(SPn2)은 제1서브 픽셀(SPn1)의 좌측에 위치하는 제1전원라인(EVDD), 자신의 좌측에 위치하는 제2데이터라인(DL2) 및 자신의 우측에 위치하는 레퍼런스라인(VREF)에 전기적으로 연결된다.
- [0103] 제3서브 픽셀(SPn3)은 자신의 좌측에 위치하는 레퍼런스라인(VREF), 자신의 우측에 위치하는 제3데이터라인(DL3) 및 제4서브 픽셀(SPn4)의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결된다. 제4서브 픽셀(SPn4)은 제3서브 픽셀(SPn3)의 좌측에 위치하는 레퍼런스라인(VREF), 자신의 좌측에 위치하는 제4데이터라인(DL4) 및 자신의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결된다.
- [0104] 제1 내지 제4데이터라인(DL1 ~ DL4)은 서브 픽셀들(SPn1 ~ SPn4)의 장축 방향(또는 수직 방향)을 따라 배치된다. 제1전원라인(EVDD)과 레퍼런스라인(VREF) 또한 서브 픽셀들(SPn1 ~ SPn4)의 장축 방향을 따라 배치된다. 제1전원라인(EVDD)과 레퍼런스라인(VREF)은 자신으로부터 멀리 떨어져 있는 서브 픽셀과의 전기적인 연결을 도모하기 위해 서브 픽셀들(SPn1 ~ SPn4)의 단축 방향(또는 수평 방향)을 따라 배치된 연결전극을 더 포함(CH에 연결되어 수평 방향으로 배치된 전극 참조)한다.
- [0105] 제1전원라인(EVDD), 레퍼런스라인(VREF)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들 중 일부는 절연층을 사이에 두고 서로 다른 층(다른 금속층) 및 서로 다른 방향으로 배치될 수 있지만, 이들은 콘택홀(CH)(비어홀)을 통해 전기적으로 연결된 구조를 갖는다.
- [0106] 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 서브 픽셀들(SPn1 ~ SPn4)의 단축 방향(또는 수직 방향)을 따라 배치된다. 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 서로 이격하도록 각기 다른 영역에 배치된다. 그리고 회로영역(DRA)에 포함된 소자들(트랜지스터, 커패시터) 중 적어도 하나가 발광영역(DRA)에 배치된다.
- [0107] 예컨대, 제1a스캔라인(GL1a)은 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 발광영역(EMA)을 모두 가로지르도록 배치된다. 반면, 제1b스캔라인(GL1b)은 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 회로영역(DRA)을 모두 가로지르도록 배치된다. 그리고 회로영역(DRA)에 포함된 트랜지스터들 중 제1a스캔라인(GL1a)과 연결된 스위칭 트랜지스터(SW)가 발광영역(DRA)에 배치된다.
- [0108] 그러나 이는 하나의 예시일 뿐, 제1b스캔라인(GL1b)이 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 발광영역(EMA)을 모두 가로지르도록 배치되고, 제1a스캔라인(GL1a)이 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 회로영역(DRA)을 모두 가로지르도록 배치될 수도 있다. 그리고 회로영역(DRA)에 포함된 트랜지스터들 중 제1b스캔라인(GL1b)과 연결된 센싱 트랜지스터가 발광영역(DRA)에 배치된다.
- [0109] 그 이유는 스위칭 트랜지스터(SW)나 센싱 트랜지스터 등과 같이 단순히 온/오프 기능을 하는 트랜지스터는 작은 크기에도 구현할 수 있기 때문에 이를 발광영역(EMA)에 배치하더라도 빛의 투과에 큰 방해가 되지 않기 때문이다. 반면, 구동 트랜지스터와 같이 전류 제어용 트랜지스터는 스위칭용 트랜지스터 대비 큰 면적을 차지할 수 밖에 없다. 따라서, 구동 트랜지스터보다는 가급적 스위칭 트랜지스터와 같이 작은 크기의 트랜지스터를 배치하는 것이 빛의 투과량 측면에서 유리하다.
- [0110] 본 발명의 제3실시예 또한 제1실시예와 같은 단면 및 그에 해당하는 구조물을 기반으로 구현될 수 있다. 그러므

로 제3실시예에 대한 단면 구조는 제1실시예의 설명 부분을 참조하더라도 무방하므로 이 부분의 설명은 제1실시예를 참조한다.

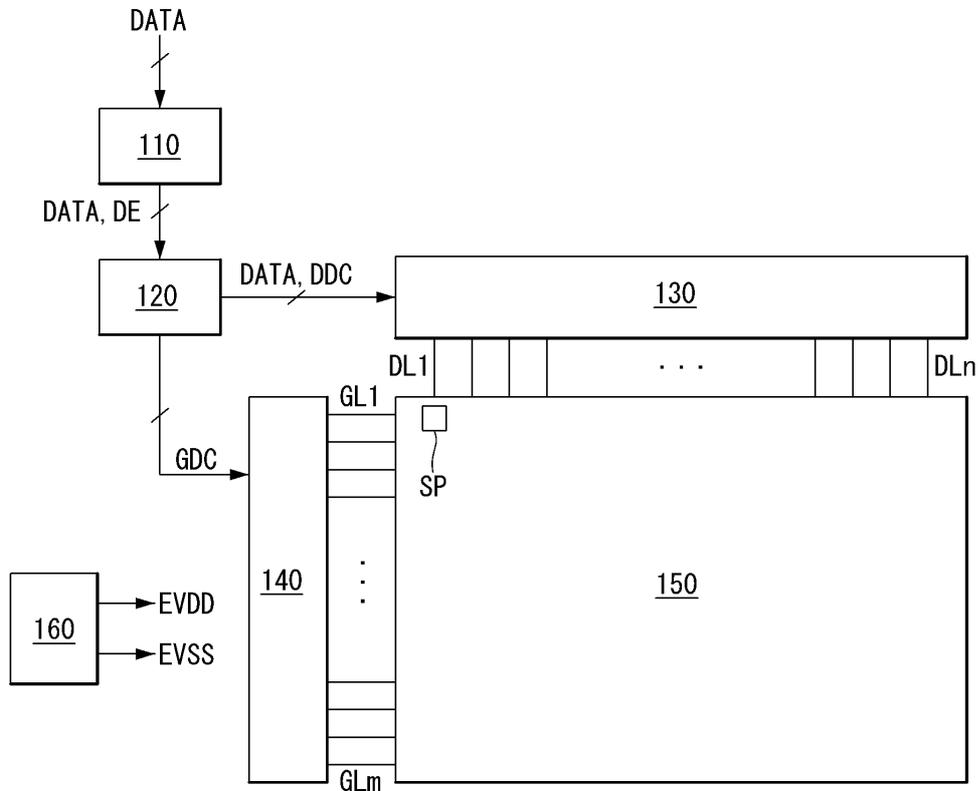
- [0111] 한편, 본 발명에서는 하나의 서브 픽셀에 두 개의 스캔라인이 연결된 것을 일례로 설명하였으나, 이는 하나의 예시일 뿐, 스캔라인은 m (m 은 2 이상 정수)로 구성될 수도 있다. 덧붙여, 본 발명에서는 스캔라인이 게이트금속층으로 이루어진 것을 일례로 설명하였으나, 스캔라인의 일부는 광차단층과 같이 제1기판에 가장 인접한 금속층으로 이루어질 수도 있다.
- [0112] 덧붙여, 본 발명은 회로영역이 차지하는 면적을 최적화하고 발광영역을 증가시키는 것으로서, 발광영역 내에 유기 발광다이오드와 같이 빛을 발광하는 소자가 아닌 트랜지스터, 커패시터, 연결전극, 신호라인 또는 전원라인 중 하나를 배치하는 개념으로 이해되어야 한다. 덧붙여, 본 발명은 바탐 발광 방식 전계발광표시장치에 적용 시 발광면적을 증가시키는 등의 효과를 갖지만, 이에 한정되지 않고 듀얼 발광 방식에서도 동등한 효과를 나타낼 수 있다.
- [0113] 이상 본 발명은 바탐 발광 방식 전계발광표시장치의 발광면적을 넓혀 발광다이오드에 흐르는 전류 밀도를 감소 시킴과 더불어 수명을 향상할 수 있는 효과가 있다. 또한, 본 발명은 바탐 발광 방식 전계발광표시장치 제작시 발광면적과 관계되는 부분에서 필연적으로 발생할 수밖에 없는 구조적 제약을 뛰어넘어 표시 패널의 휘도, 수명, 공정 마진, 신뢰성을 만족시킬 수 있는 효과가 있다.
- [0114] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

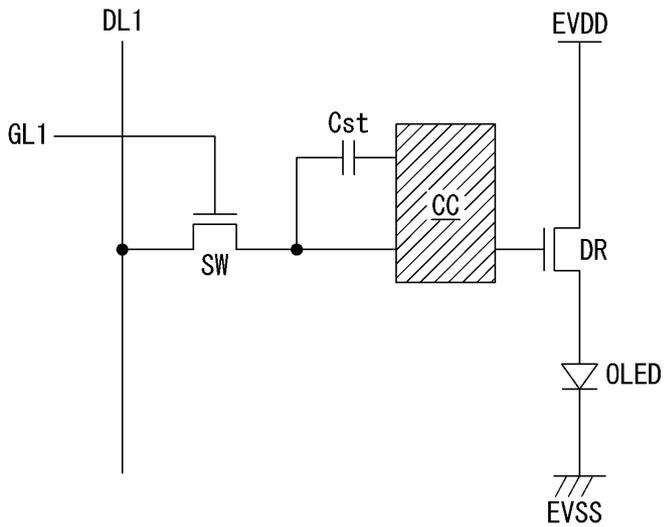
- [0115] 110: 영상 처리부 120: 타이밍 제어부
- 130: 데이터 구동부 140: 스캔 구동부
- 150: 표시 패널 160: 전원 공급부
- SPn1 ~ SPn4: 제1 내지 제4서브 픽셀들
- EMA: 발광영역 DRA: 회로영역
- GL1a: 제1a스캔라인 GL1b: 제1b스캔라인

도면

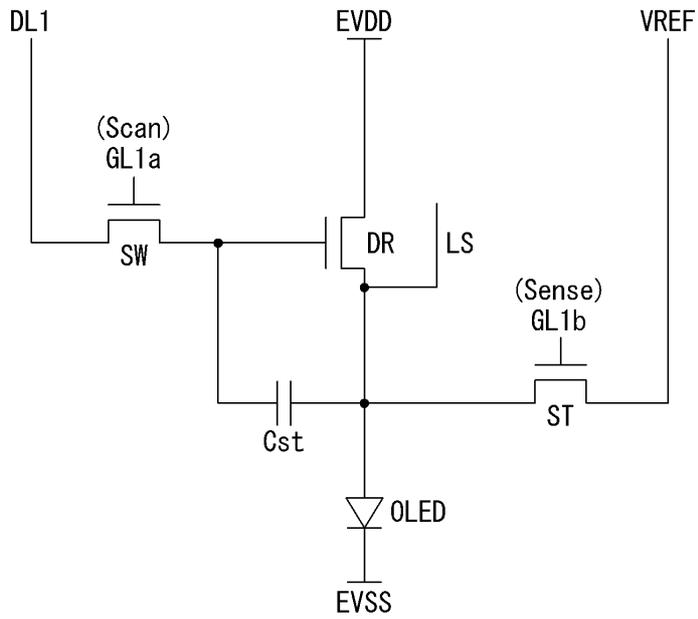
도면1



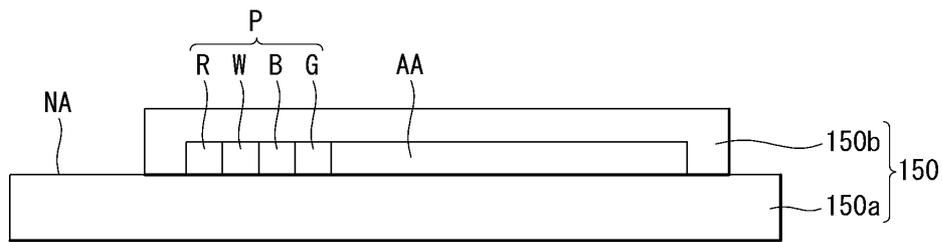
도면2



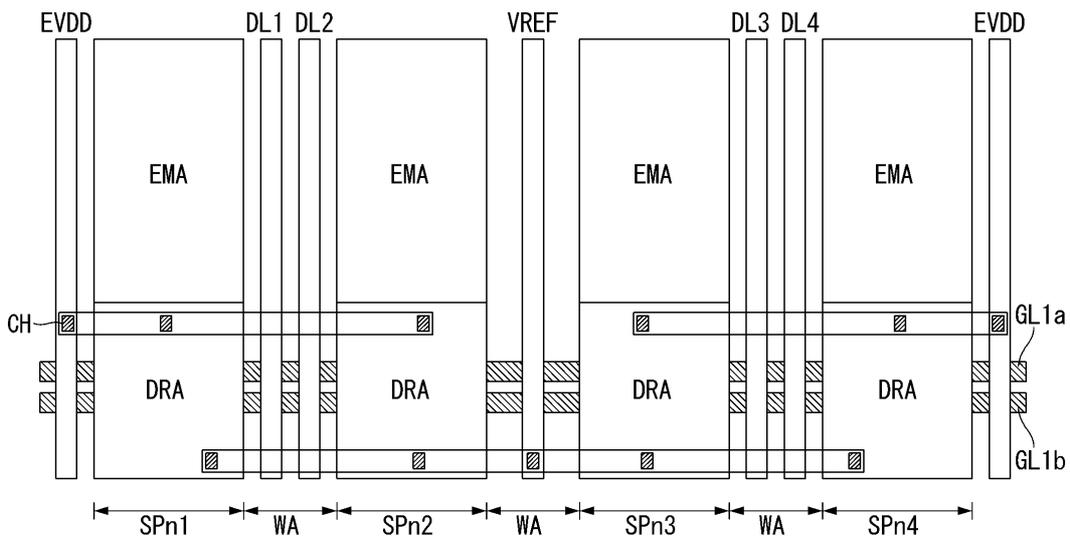
도면3



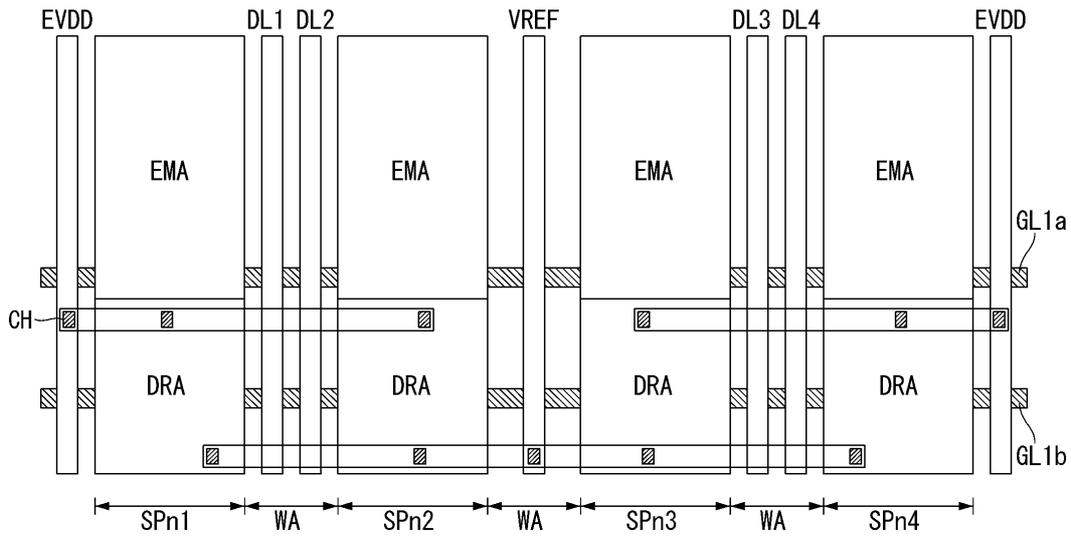
도면4



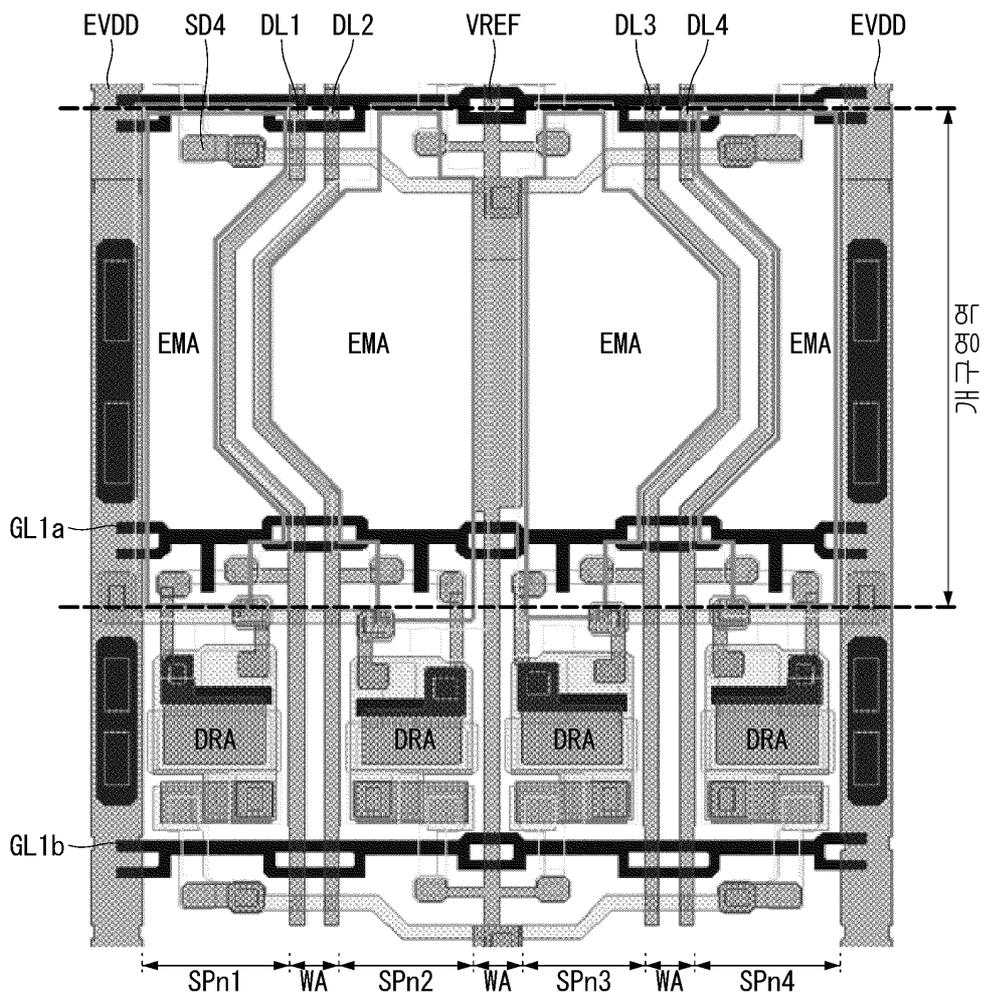
도면5



도면6

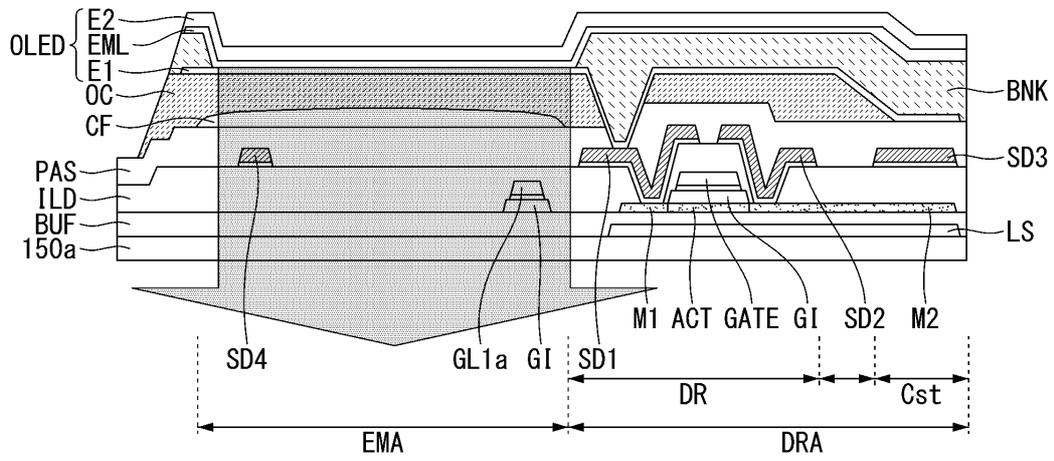


도면7

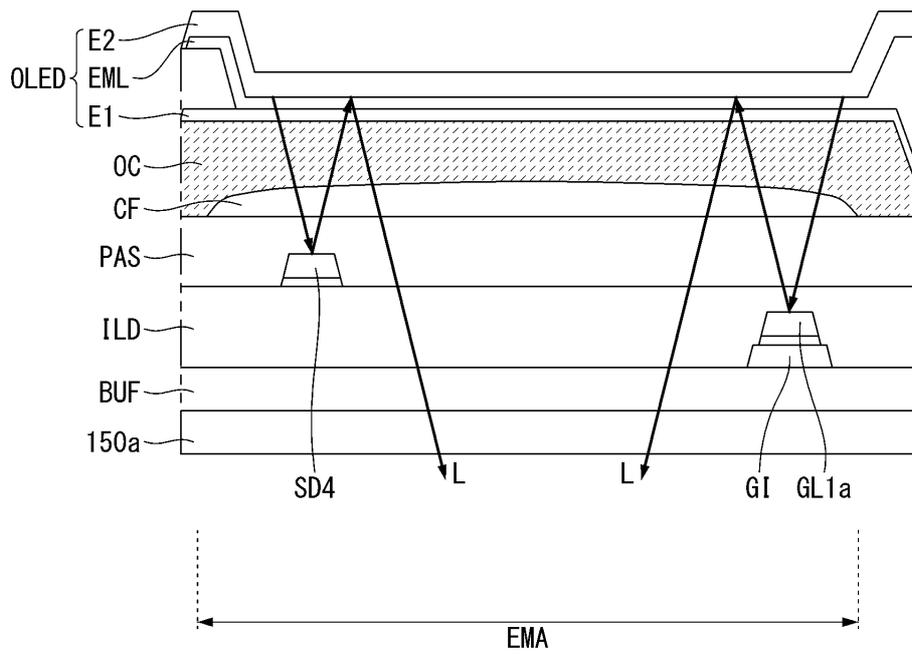


도면8

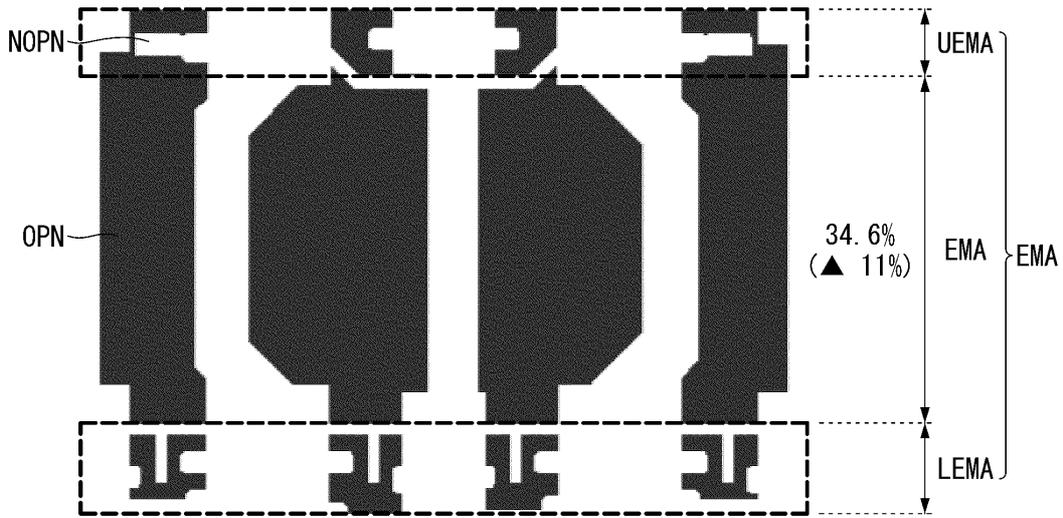
SPn1



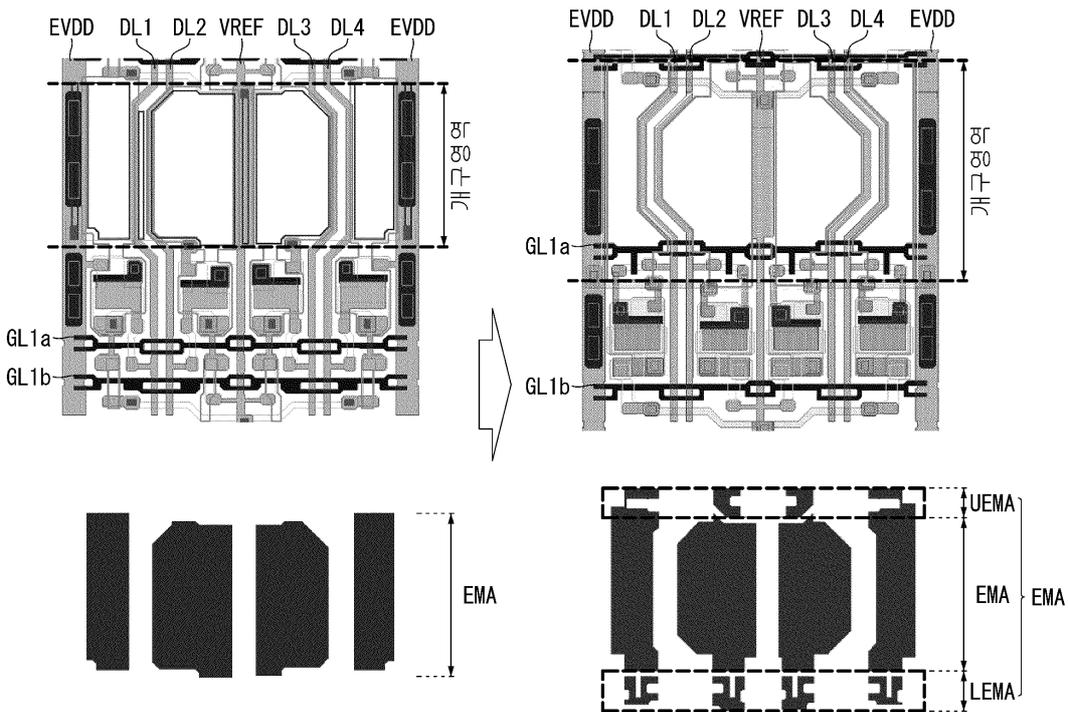
도면9



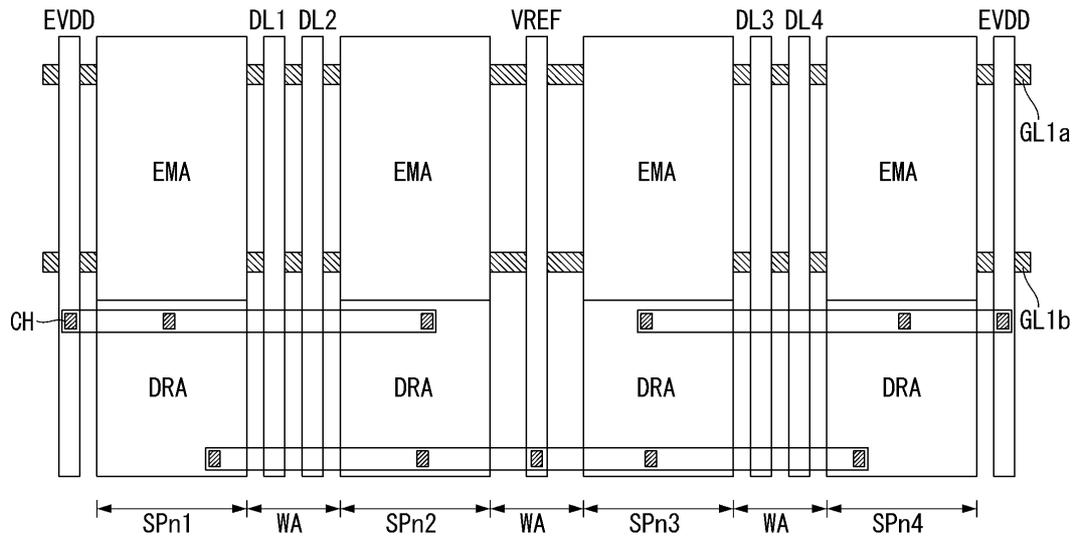
도면10



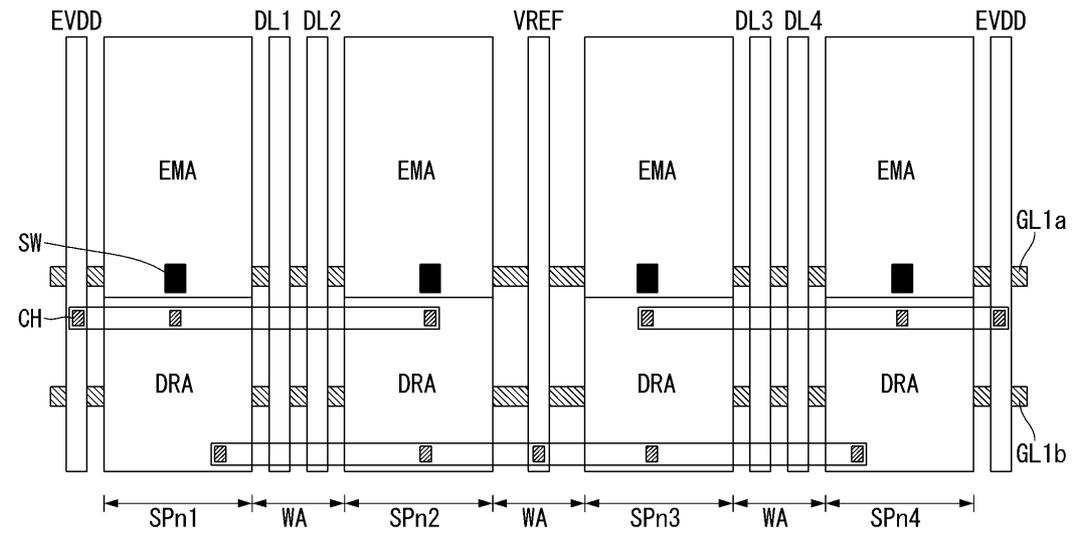
도면11



도면12



도면13



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190008684A	公开(公告)日	2019-01-25
申请号	KR1020170090359	申请日	2017-07-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	조성학 김태한		
发明人	조성학 김태한		
IPC分类号	G09G3/3233 H01L27/32		
CPC分类号	G09G3/3233 H01L27/322 H01L27/3246 H01L27/3262 G09G2300/0426 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

本发明提供了包括第一基板，子像素，数据线和扫描线的巴他发光电致发光显示装置。子像素包括在第一基板上的发光区域和具有用于驱动发光二极管的驱动晶体管的电路区域。数据线连接到子像素并沿垂直方向布置。扫描线连接至子像素并沿水平方向布置。扫描线被布置为横穿发光区域。

