



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0003707
(43) 공개일자 2018년01월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) G09G 3/3233 (2016.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2016-0082722
(22) 출원일자 2016년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최기민
대전광역시 중구 문화로78번길 29 305호 (산성동, 산성연립)
김홍석
부산광역시 해운대구 해운대로191번길 42 B동 101호 (재송동, 지정파크빌라)
(74) 대리인
특허법인로얄

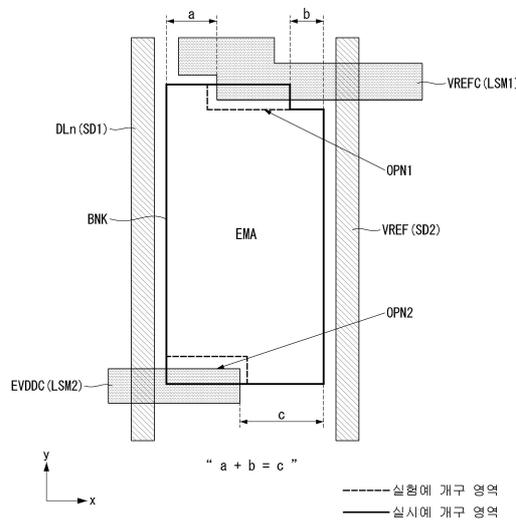
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기전계발광표시장치

(57) 요약

본 발명은 제1기판, 센싱라인 연결부, 제1전원라인 연결부, 데이터라인, 센싱라인 및 बैं크층을 포함하는 유기전계발광표시장치를 제공한다. 센싱라인 연결부는 제1기판 상에 위치하는 제1광차단층으로 이루어진다. 제1전원라인 연결부는 제1기판 상에 위치하며 제1광차단층과 세로 방향으로 이격 배치된 제2광차단층으로 이루어진다. 데이터라인은 센싱라인 연결부 및 제1전원라인 연결부 상에 위치하는 박막 트랜지스터부의 제1소오스 드레인 금속층으로 이루어진다. 센싱라인은 박막 트랜지스터부의 제2소오스 드레인 금속층으로 이루어지고 데이터라인과 가로 방향으로 이격 배치되고 센싱라인 연결부와 전기적으로 연결된다. बैं크층은 박막 트랜지스터부 상에 위치하며 발광영역을 정의한다. बैं크층은 센싱라인 연결부와 중첩하는 상부영역과 제1전원라인 연결부와 중첩하는 하부영역을 갖는다.

대표도 - 도12



(52) CPC특허분류

H01L 27/3213 (2013.01)

H01L 27/3246 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3272 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

제1기관;

상기 제1기관 상에 위치하는 제1광차단층으로 이루어진 센싱라인 연결부;

상기 제1기관 상에 위치하며 상기 제1광차단층과 세로 방향으로 이격 배치된 제2광차단층으로 이루어진 제1전원라인 연결부;

상기 센싱라인 연결부 및 상기 제1전원라인 연결부 상에 위치하는 박막 트랜지스터부의 제1소오스 드레인 금속층으로 이루어진 데이터라인;

상기 박막 트랜지스터부의 제2소오스 드레인 금속층으로 이루어지고 상기 데이터라인과 가로 방향으로 이격 배치되고 상기 센싱라인 연결부와 전기적으로 연결된 센싱라인; 및

상기 박막 트랜지스터부 상에 위치하며 발광영역을 정의하는 बैं크층을 포함하고,

상기 발광영역은 상기 센싱라인 연결부와 중첩하는 상부영역과 상기 제1전원라인 연결부와 중첩하는 하부영역을 갖는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 발광영역의 상부영역은

상기 센싱라인 연결부와 중첩하는 영역과 비중첩하는 영역을 갖는 유기전계발광표시장치.

청구항 3

제2항에 있어서,

상기 발광영역의 상부영역은

평면상에서 적어도 하나의 계단형 단차를 갖는 유기전계발광표시장치.

청구항 4

제3항에 있어서,

상기 계단형 단차를 이루는 턱 부분은

사선형 경사를 이루는 유기전계발광표시장치.

청구항 5

제3항에 있어서,

상기 발광영역의 하부영역은

평면상에서 상기 발광영역의 상부영역과 대향하는 부분이 직선형을 갖는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 발광영역은

상기 데이터라인 및 상기 센싱라인과 인접하는 영역이 이격된 유기전계발광표시장치.

청구항 7

적색, 녹색, 청색 및 백색 서브 픽셀들을 포함하는 표시패널; 및
 상기 표시패널을 구동하는 구동부를 포함하고,
 상기 서브 픽셀들은
 제1기관 상에 위치하는 제1광차단층으로 이루어진 센싱라인 연결부와,
 상기 제1기관 상에 위치하며 상기 제1광차단층과 세로 방향으로 이격 배치된 제2광차단층으로 이루어진 제1전원
 라인 연결부와,
 상기 센싱라인 연결부 및 상기 제1전원라인 연결부 상에 위치하는 박막 트랜지스터부의 제1소오스 드레인 금속
 층으로 이루어진 데이터라인과,
 상기 박막 트랜지스터부의 제2소오스 드레인 금속층으로 이루어지고 상기 데이터라인과 가로 방향으로 이격 배
 치되고 상기 센싱라인 연결부와 전기적으로 연결된 센싱라인과,
 상기 박막 트랜지스터부 상에 위치하며 발광영역을 정의하는 बैं크층을 포함하고,
 상기 서브 픽셀들 중 적어도 하나의 발광영역은
 상기 센싱라인 연결부와 중첩하는 상부영역과 상기 제1전원라인 연결부와 중첩하는 하부영역을 갖는 유기전계발
 광표시장치.

청구항 8

제7항에 있어서,
 상기 센싱라인 연결부와 중첩하는 상부영역과 상기 제1전원라인 연결부와 중첩하는 하부영역을 갖는 발광영역을
 포함하는 서브 픽셀은
 백색 서브 픽셀과 청색 서브 픽셀인 유기전계발광표시장치.

청구항 9

제8항에 있어서,
 상기 백색 서브 픽셀 및 상기 청색 서브 픽셀의 발광영역은
 데이터라인과 인접하는 모서리 영역에 사선 구간이 존재하는 유기전계발광표시장치.

청구항 10

제8항에 있어서,
 상기 센싱라인 연결부는
 상기 백색 서브 픽셀 및 상기 청색 서브 픽셀의 발광영역과 중첩하는 영역에 사선 구간이 존재하는 유기전계발
 광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기
 전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플
 라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 유기전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동

하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 유기전계발광표시장치는 장시간 사용시 서브 픽셀 내에 포함된 소자의 특성(문턱전압, 전류 이동도 등)이 변하는 문제가 있다. 이를 보상하고자 종래에는 서브 픽셀 내에 포함된 소자의 특성을 센싱 하는 회로를 추가하는 방식이 제안된바 있다.

[0005] 센싱 회로가 추가된 방식은 각 서브 픽셀마다 센싱 트랜지스터와 센싱라인 등이 더 추가된다. 센싱 회로가 추가될 경우 표시패널의 전반에 걸쳐 서브 픽셀들의 레이아웃 설계의 복잡도가 이전 대비 상승하게 된다.

[0006] 서브 픽셀들의 레이아웃 설계의 복잡도가 상승할 경우 설계의 제약 향상으로 인하여 발광영역(또는 개구영역)이 감소 될 확률은 증가하게 된다. 발광영역의 크기는 표시패널의 수명과도 밀접한 관련이 있다. 그러므로 센싱 회로를 추가하여 표시패널을 구현할 경우 발광영역을 증가시킬 수 있는 방안이 요구된다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 유기 발광다이오드의 소비전류를 낮추면서도 발광영역을 증가시켜 수명을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 것이다. 또한, 본 발명은 제조공정 시의 공차 및 오버랩 편차 발생하더라도 발광영역을 일정하게 가져갈 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 제1기판, 센싱라인 연결부, 제1전원라인 연결부, 데이터라인, 센싱라인 및뱅크층을 포함하는 유기전계발광표시장치를 제공한다. 센싱라인 연결부는 제1기판 상에 위치하는 제1광차단층으로 이루어진다. 제1전원라인 연결부는 제1기판 상에 위치하며 제1광차단층과 세로 방향으로 이격 배치된 제2광차단층으로 이루어진다. 데이터라인은 센싱라인 연결부 및 제1전원라인 연결부 상에 위치하는 박막 트랜지스터부의 제1소오스 드레인 금속층으로 이루어진다. 센싱라인은 박막 트랜지스터부의 제2소오스 드레인 금속층으로 이루어지고 데이터라인과 가로 방향으로 이격 배치되고 센싱라인 연결부와 전기적으로 연결된다. 뱅크층은 박막 트랜지스터부 상에 위치하며 발광영역을 정의한다. 발광영역은 센싱라인 연결부와 중첩하는 상부영역과 제1전원라인 연결부와 중첩하는 하부영역을 갖는다.

[0009] 발광영역의 상부영역은 센싱라인 연결부와 중첩하는 영역과 비중첩하는 영역을 가질 수 있다.

[0010] 발광영역의 상부영역은 평면상에서 적어도 하나의 계단형 단차를 가질 수 있다.

[0011] 계단형 단차를 이루는 턱 부분은 사선형 경사를 이룰 수 있다.

[0012] 발광영역의 하부영역은 평면상에서 상기 발광영역의 상부영역과 대향하는 부분이 직선형을 가질 수 있다.

[0013] 발광영역은 데이터라인 및 센싱라인과 인접하는 영역이 이격될 수 있다.

[0014] 다른 측면에서 본 발명은 표시패널 및 구동부를 포함하는 유기전계발광표시장치를 제공한다. 표시패널은 적색, 녹색, 청색 및 백색 서브 픽셀들을 포함한다. 구동부는 표시패널을 구동한다. 서브 픽셀들은 제1기판 상에 위치하는 제1광차단층으로 이루어진 센싱라인 연결부와, 제1기판 상에 위치하며 제1광차단층과 세로 방향으로 이격 배치된 제2광차단층으로 이루어진 제1전원라인 연결부와, 센싱라인 연결부 및 제1전원라인 연결부 상에 위치하는 박막 트랜지스터부의 제1소오스 드레인 금속층으로 이루어진 데이터라인과, 박막 트랜지스터부의 제2소오스 드레인 금속층으로 이루어지고 데이터라인과 가로 방향으로 이격 배치되고 센싱라인 연결부와 전기적으로 연결된 센싱라인과, 박막 트랜지스터부 상에 위치하며 발광영역을 정의하는 뱅크층을 포함한다. 서브 픽셀들 중 적어도 하나의 발광영역은 센싱라인 연결부와 중첩하는 상부영역과 제1전원라인 연결부와 중첩하는 하부영역을 갖는다.

[0015] 센싱라인 연결부와 중첩하는 상부영역과 제1전원라인 연결부와 중첩하는 하부영역을 갖는 발광영역을 포함하는 서브 픽셀은 백색 서브 픽셀과 청색 서브 픽셀일 수 있다.

[0016] 백색 서브 픽셀 및 청색 서브 픽셀의 발광영역은 데이터라인과 인접하는 모서리 영역에 사선 구간이 존재할 수

있다.

[0017] 센싱라인 연결부는 백색 서브 픽셀 및 청색 서브 픽셀의 발광영역과 중첩하는 영역에 사선 구간이 존재할 수 있다.

발명의 효과

[0018] 본 발명은 센싱 회로를 추가하여 표시패널을 구현할 경우 신호 및 전원라인과 관련된 बैं크층을 최적 설계하여 유기 발광다이오드의 소비전류를 낮추면서도 발광영역을 증가시켜 수명을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 제조공정 시의 공차 및 오버랩 편차 발생하더라도 발광영역을 일정하게 가져갈 수 있는 효과가 있다. 또한, 본 발명은 설계상의 변경이나 변동분을 예상하고 이를 서브 픽셀의 레이아웃 설계에 반영하여 발광영역을 증가시키기 위한 설계값(또는 보상값)을 용이하게 도출할 수 있는 효과가 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 본 발명의 실시예에 따른 서브 픽셀의 제1회로 구성 예시도.
- 도 4는 본 발명의 실시예에 따른 서브 픽셀의 제2회로 구성 예시도.
- 도 5는 본 발명의 실시예에 따른 표시 패널의 단면 예시도.
- 도 6은 본 발명의 실시예에 따른 서브 픽셀의 평면 예시도.
- 도 7은 제1비교예에 따라 센싱 회로가 추가된 서브 픽셀을 개략적으로 설명하기 위한 도면.
- 도 8은 도 7을 기반으로 한 서브 픽셀의 평면 레이아웃 도면.
- 도 9는 도 8에 도시된 적색 서브 픽셀 및 백색 서브 픽셀의 발광영역을 나타낸 확대도.
- 도 10은 도 9에 도시된 백색 서브 픽셀의 발광영역을 나타낸 단면도.
- 도 11은 제2비교예의 서브 픽셀을 설명하기 위한 도면.
- 도 12는 제1실시예에 따라 센싱 회로가 추가된 서브 픽셀을 개략적으로 설명하기 위한 도면.
- 도 13은 제1실시예에 따른 이점을 설명하기 위한 도면.
- 도 14는 도 12를 기반으로 한 서브 픽셀의 평면 레이아웃 도면.
- 도 15는 도 14에 도시된 적색 서브 픽셀 및 백색 서브 픽셀의 발광영역을 나타낸 확대도.
- 도 16은 도 15에 도시된 백색 서브 픽셀의 발광영역을 나타낸 단면도.
- 도 17 내지 도 19는 제1실시예를 이용한 बैं크층의 비중첩영역을 산출하기 위한 방안을 설명하기 위한 예시도들.
- 도 20은 제1실시예의 변형된 실시예를 개략적으로 설명하기 위한 도면.
- 도 21은 제2실시예에 따라 센싱 회로가 추가된 서브 픽셀을 개략적으로 설명하기 위한 도면.
- 도 22는 제2실시예에 따른 이점을 설명하기 위한 도면.
- 도 23은 도 21를 기반으로 한 서브 픽셀의 평면 레이아웃 도면.
- 도 24는 도 23에 도시된 적색 서브 픽셀 및 백색 서브 픽셀의 발광영역을 나타낸 확대도.
- 도 25는 도 24에 도시된 백색 서브 픽셀의 발광영역을 나타낸 단면도.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0021] 이하에서 설명되는 상부영역과 하부영역은 수평면상에서 상부와 하부로 구분되는 영역을 정의하기 위한 의미가 있다. 그리고 상부층과 하부층은 수직선상에서 상부와 하부로 구분되는 층을 정의하기 위한 의미가 있다.

- [0022] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 본 발명의 실시예에 따른 서브 픽셀의 제1회로 구성 예시도이고, 도 4는 본 발명의 실시예에 따른 서브 픽셀의 제2회로 구성 예시도이며, 도 5는 본 발명의 실시예에 따른 표시 패널의 단면 예시도이며, 도 6은 본 발명의 실시예에 따른 서브 픽셀의 평면 예시도이다.
- [0023] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0024] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0025] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0026] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0027] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0028] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0029] 서브 픽셀은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다. 서브 픽셀들(SP)은 백색의 유기 발광층과 적색, 녹색 및 청색의 컬러필터를 기반으로 백색과 더불어 적색, 녹색 및 청색을 표현할 수 있으나 이에 한정되지 않는다.
- [0030] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0031] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)과 제2전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0032] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대해 예시를 설명하면 다음과 같다.
- [0033] 도 3 및 도 4에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스라인과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0034] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(D

R)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.

- [0035] 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.
- [0036] 센싱라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시시간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분)된다.
- [0037] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0038] 기타, 도 3 및 도 4에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0039] 한편, 도 3의 서브 픽셀의 회로와 도 4의 서브 픽셀의 회로를 비교해 보면, 두 회로에는 광차단층(LS)의 구성에 차이가 있다. 광차단층(LS)은 외광을 차단하는 역할을 하기 위해 존재한다. 광차단층(LS)이 금속성 재료로 형성될 경우 기생 전압이 충전되는 문제가 유발된다. 때문에, 광차단층(LS)은 구동 트랜지스터(DR)의 소오스전극에 접속된다.
- [0040] 구체적으로 설명하면, 광차단층(LS)은 도 3과 같이 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나, 도 4와 같이 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다.
- [0041] 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나(도 3), 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다.
- [0042] 도 5에 도시된 바와 같이, 제1기판(150a)의 표시영역(AA) 상에는 도 3 또는 도 4에서 설명된 회로를 기반으로 서브 픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브 픽셀들은 보호필름(또는 보호기판)(150b)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다.
- [0043] 서브 픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브 픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 된다. 그러나 서브 픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브 픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.
- [0044] 도 5 및 도 6에 도시된 바와 같이, 제1기판(150a)의 표시영역(AA) 상에는 발광영역(또는 개구영역)(EMA)과 회로영역(또는 비개구영역)(DRA)을 갖는 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)이 형성된다. 발광영역(EMA)에는 유기 발광다이오드가 형성되고, 회로영역(DRA)에는 스위칭 및 구동 트랜지스터를 포함하는 박막 트랜지스터가 형성된다. 발광영역(EMA)과 회로영역(DRA)에 형성된 소자들은 다수의 금속층 및 절연층을 증착하는 공정 등에 의해 형성된다.
- [0045] 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)은 회로영역(DRA)에 위치하는 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 발광영역(EMA)에 위치하는 유기 발광다이오드가 빛을 발광하게 된다. 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4) 사이에 위치하는 "WA"는 전원라인이나 데이터 라인이 배치되는 배선영역이다.
- [0046] 제1서브 픽셀(SPn1)의 좌측에는 제1전원라인(EVDD)이 위치할 수 있고, 제2서브 픽셀(SPn2)의 우측에는 레퍼런스라인(REF)이 위치할 수 있고, 제1서브 픽셀(SPn1) 및 제2서브 픽셀(SPn2) 사이에는 제1 및 제2데이터라인(DL1, DL2)이 위치할 수 있다.

- [0047] 제3서브 픽셀(SPn3)의 좌측에는 레퍼런스라인(REF)이 위치할 수 있고, 제4서브 픽셀(SPn4)의 우측에는 제1전원라인(EVDD)이 위치할 수 있고, 제3서브 픽셀(SPn3) 및 제4서브 픽셀(SPn4) 사이에는 제3 및 제4데이터라인(DL3, DL4)이 위치할 수 있다.
- [0048] 제1서브 픽셀(SPn1)은 좌측에 위치하는 제1전원라인(EVDD), 자신의 우측에 위치하는 제1데이터라인(DL1) 및 제2서브 픽셀(SPn2)의 우측에 위치하는 레퍼런스라인(REF)에 전기적으로 연결될 수 있다. 제2서브 픽셀(SPn2)은 제1서브 픽셀(SPn1)의 좌측에 위치하는 제1전원라인(EVDD), 자신의 좌측에 위치하는 제2데이터라인(DL2) 및 자신의 우측에 위치하는 레퍼런스라인(REF)에 전기적으로 연결될 수 있다.
- [0049] 제3서브 픽셀(SPn3)은 좌측에 위치하는, 자신의 우측에 위치하는 제3데이터라인(DL3) 및 제4서브 픽셀(SPn4)의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결될 수 있다. 제4서브 픽셀(SPn4)은 제3서브 픽셀(SPn3)의 좌측에 위치하는 레퍼런스라인(REF), 자신의 좌측에 위치하는 제4데이터라인(DL4) 및 자신의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결될 수 있다.
- [0050] 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)은 제2서브 픽셀(SPn2) 및 제3서브 픽셀(SPn3) 사이에 위치하는 레퍼런스라인(REF)에 공유(또는 공통) 접속될 수 있으나 이에 한정되지 않는다.
- [0051] 이 밖에, 제1전원라인(EVDD), 레퍼런스라인(REF)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들은 서로 다른 층에 위치하지만 콘택홀(CH)(비어홀)을 통한 접촉으로 인하여 전기적으로 연결된다. 콘택홀은 하부에 위치하는 전극, 신호라인 또는 전원라인 등의 일부를 노출하도록 건식 또는 습식 식각 공정 등에 의해 형성된다.
- [0052] 한편, 앞서 설명한 바와 같이, 센싱 회로가 추가된 방식은 각 서브 픽셀마다 센싱 트랜지스터(ST)와 센싱라인(VREF) 등이 더 추가된다. 이와 같이 각 서브 픽셀 내에 센싱 회로가 추가될 경우 표시패널의 전반에 걸쳐 서브 픽셀들의 레이아웃 설계의 복잡도가 이전 대비 상승하게 된다.
- [0053] 서브 픽셀들의 레이아웃 설계의 복잡도가 상승할 경우 설계의 제약 향상으로 인하여 발광영역이 감소 될 확률은 증가하게 된다. 발광영역의 크기는 표시패널의 수명과도 밀접한 관련이 있다. 그러므로 센싱 회로가 추가된 방식으로 표시패널을 구현할 경우 발광영역을 증가시킬 수 있는 방안이 요구된다.
- [0054] 이하에서는 센싱 회로가 추가된 비교예의 서브 픽셀의 문제점을 고찰하고 이를 개선하기 위한 실시예를 설명한다.
- [0055] -비교예-
- [0056] 도 7은 제1비교예에 따라 센싱 회로가 추가된 서브 픽셀을 개략적으로 설명하기 위한 도면이고, 도 8은 도 7을 기반으로 한 서브 픽셀의 평면 레이아웃 도면이며, 도 9는 도 8에 도시된 적색 서브 픽셀 및 백색 서브 픽셀의 발광영역을 나타낸 확대도이고, 도 10은 도 9에 도시된 백색 서브 픽셀의 발광영역을 나타낸 단면도이며, 도 11은 제2비교예의 서브 픽셀을 설명하기 위한 도면이다.
- [0057] 도 7 내지 도 11에 도시된 바와 같이, 서브 픽셀 내에는 센싱 회로의 추가에 따라 센싱라인(VREF)과 센싱라인(VREF)의 신호를 서브 픽셀에 전달하는 센싱라인 연결부(VREFC)가 더 추가된다. 센싱라인(VREF)은 서브 픽셀들 사이에 두고 제N데이터라인(DLn)과 가로 방향으로 이격하여 배치된다.
- [0058] 센싱라인(VREF)과 제N데이터라인(DLn)은 세로 방향을 따라 배치됨은 물론 동일한 소오스 드레인 금속층에 의해 형성된 후 패터닝 공정을 통해 제1소오스 드레인 금속층(SD1)과 제2소오스 드레인 금속층(SD2)으로 분리된다. 제1소오스 드레인 금속층(SD1)은 제N데이터라인(DLn)이 되고 제2소오스 드레인 금속층(SD2)은 센싱라인(VREF)이 된다. 소오스 드레인 금속층은 박막 트랜지스터부(TFTA)에 포함된 절연층 상에 위치한다. 박막 트랜지스터부(TFTA)는 광차단층(LSM1, LSM2) 상에 위치한다. 박막 트랜지스터부(TFTA)는 트랜지스터의 제조 방식 및 구조에 따라 다양하게 구현될 수 있는바 이에 대한 도시는 생략한다.
- [0059] 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)는 가로 방향을 따라 배치된다. 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)는 제1 및 제1광차단층(LSM1, LSM2)에 의해 형성된 후 패터닝 공정을 통해 독립적으로 분리된다. 제1 및 제2광차단층(LSM1, LSM2)은 제1기판(SUB)의 표면에 가깝게 형성된다. 예컨대, 제1광차단층(LSM1)으로 이루어진 센싱라인 연결부(VREFC)는 제1기판(SUB) 상에 형성된 버퍼층(BUF) 상에 위치할 수 있다. 또한 제2광차단층(LSM2)으로 이루어진 제1전원라인 연결부(EVDDC)는 제1기판(SUB) 상에 형성된 버퍼층(BUF) 상에 위치할 수 있다.

- [0060] 그러므로 제1광차단층(LSM1)으로 이루어진 센싱라인 연결부(VREFC)와 제2광차단층(LSM2)으로 이루어진 제1전원라인 연결부(EVDDC)는 소오스 드레인 금속층보다 하부에 위치한다.
- [0061] 센싱라인 연결부(VREFC)는 센싱라인(VREF)과의 교차영역에 존재하는 콘택홀(CH)에 의해 센싱라인(VREF)과 전기적으로 연결된다. 제1전원라인 연결부(EVDDC)는 제1전원라인(EVDD)과의 교차영역에 존재하는 콘택홀(CH)에 의해 제1전원라인(EVDD)과 전기적으로 연결된다.
- [0062] 센싱라인 연결부(VREFC)와 제1전원라인 연결부(EVDDC)는 동일한 재료 및 동일한 층에 위치한다. 센싱라인 연결부(VREFC)와 제1전원라인 연결부(EVDDC)는 서브 픽셀을 사이에 두고 세로 방향으로 이격하여 배치된다.
- [0063] 제1 및 제2광차단층(LSM1, LSM2) 상에는 반도체층, 게이트 금속층, 소오스 드레인 금속층 등을 포함하는 박막 트랜지스터부(TFTA)가 위치한다. 그리고 박막 트랜지스터부(TFTA) 상에는 제1전극(E1)(또는 애노드전극), 발광층(EML) 및 제2전극(E2)(또는 캐소드전극)으로 이루어진 유기 발광다이오드(E1, EML, E2)가 위치한다.
- [0064] 제1비교예는 제N데이터라인(DLn), 센싱라인(VREF), 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)와 비중첩하도록 발광영역(EMA)을 정의하는 बैं크층(BNK)을 패터닝한다. 도 9에서, xd 및 yd는 각 방향에서 발생하는 이격 공간을 의미한다.
- [0065] 이처럼 제1비교예는 제N데이터라인(DLn), 센싱라인(VREF), 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)와 이격 공간(xd, yd)을 갖도록 बैं크층(BNK)을 패터닝한다. 때문에 적색, 백색, 청색 및 녹색 서브 픽셀들(R,W,B,G)의 발광영역(EMA)은 신호 및 전원라인과 이격 공간(xd, yd)을 갖게 된다.
- [0066] 제1비교예는 제조공정 시 발광영역(EMA)의 변동을 막기 위해, बैं크층(BNK)의 주변에 존재하는 신호 및 전원라인과 이격 공간을 갖도록 बैं크층(BNK)을 패터닝한다. 그 결과, 제1비교예는 제조공정 시의 공차 및 오버랩(Overlay Margin) 편차가 발생하더라도 발광영역(EMA)을 일정하게 가져갈 수 있는 것으로 나타났다.
- [0067] 그러나 제1비교예를 따를 경우 발광영역(EMA)의 크기는 감소하게 되는 것으로 나타났다. 또한, 제1비교예는 발광영역(EMA)의 크기(또는 면적)의 감소로 인하여 유기 발광다이오드(E1, EML, E2)의 수명 저하를 초래하는 위험(risk)이 따르는 것으로 나타났다.
- [0068] 이를 개선하기 위해, 제2비교예에서는 도 11과 같이 बैं크층(BNK)의 상부영역 및 하부영역을 제1 및 제2광차단층(LSM1, LSM2)과 중첩시켜 발광영역(EMA)의 면적을 키웠다. 제2비교예는 बैं크층(BNK)의 상부영역 및 하부영역과 제1 및 제2광차단층(LSM1, LSM2) 간의 중첩영역(OV1, OV2)에 따라 발광영역(EMA)의 면적 증가와 더불어 비발광영역의 면적 또한 증가하였다.
- [0069] 그러나 제2비교예는 발광영역(EMA)의 면적이 다소 증가하였지만, 제조공정 시의 공차 및 오버랩(Overlay Margin) 편차가 발생할 경우 이를 가늠하기 어려운 탓에 발광영역(EMA)을 일정하게 가져가기에는 부족함이 있었다.
- [0070] 또한, 제2비교예는 단순히 발광영역(EMA)의 크기를 키우는 측면만 집중되어 있어 बैं크층(BNK)의 면적을 넓힐 경우 발생할 수 있는 유기 발광다이오드(E1, EML, E2)의 소비전류 증가분을 낮추기에는 부족함이 있는 것으로 나타났다.
- [0071] 이와 관련된 설명을 덧붙이면, 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)를 구성하는 제1 및 제2광차단층(LSM1, LSM2)은 빛이 출광되는 방향의 제1기판(SUB) 상에 존재한다. 이 때문에, 실질적으로 빛이 출광되는 발광영역(EMA)의 면적은 제1 및 제2광차단층(LSM1, LSM2)에 의해 제한되고 비발광영역의 면적 증가분만큼 유기 발광다이오드(E1, EML, E2)의 소비전류 또한 증가하게 된다.
- [0072] 그러므로 제1비교예는 유기 발광다이오드(E1, EML, E2)의 수명 저하를 초래하는 문제나 위험(risk)이 따르고, 제2비교예는 발광영역(EMA)의 실질적인 변동 대비 그 효과가 미미한 것으로 나타났다. 이하, 제1비교예 및 제2비교예에서의 문제점을 고찰하고 이를 해결하기 위한 방안을 모색한 결과를 설명하면 다음의 실시예들과 같다.
- [0073] -제1실시예-
- [0074] 도 12는 제1실시예에 따라 센싱 회로가 추가된 서브 픽셀을 개략적으로 설명하기 위한 도면이고, 도 13은 제1실시예에 따른 이점을 설명하기 위한 도면이며, 도 14는 도 12를 기반으로 한 서브 픽셀의 평면 레이아웃 도면이며, 도 15는 도 14에 도시된 적색 서브 픽셀 및 백색 서브 픽셀의 발광영역을 나타낸 확대도이고, 도 16은 도 15에 도시된 백색 서브 픽셀의 발광영역을 나타낸 단면도이다.

- [0075] 도 12 내지 도 16에 도시된 바와 같이, 서브 픽셀 내에는 센싱 회로의 추가에 따라 센싱라인(VREF)과 센싱라인(VREF)의 신호를 서브 픽셀에 전달하는 센싱라인 연결부(VREFC)가 더 추가된다. 센싱라인(VREF)은 서브 픽셀을 사이에 두고 제N데이터라인(DLn)과 가로 방향으로 이격하여 배치된다.
- [0076] 센싱라인(VREF)과 제N데이터라인(DLn)은 세로 방향을 따라 배치됨은 물론 동일한 소오스 드레인 금속층에 의해 형성된 후 패터닝 공정을 통해 제1소오스 드레인 금속층(SD1)과 제2소오스 드레인 금속층(SD2)으로 분리된다. 제1소오스 드레인 금속층(SD1)은 제N데이터라인(DLn)이 되고 제2소오스 드레인 금속층(SD2)은 센싱라인(VREF)이 된다. 소오스 드레인 금속층은 박막 트랜지스터부(TFTA)에 포함된 절연층 상에 위치한다. 박막 트랜지스터부(TFTA)는 광차단층(LSM1, LSM2) 상에 위치한다.
- [0077] 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)는 가로 방향을 따라 배치된다. 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)는 제1 및 제1광차단층(LSM1, LSM2)에 의해 형성된 후 패터닝 공정을 통해 독립적으로 분리된다. 제1 및 제2광차단층(LSM1, LSM2)은 제1기판(SUB)의 표면에 가깝게 형성된다. 예컨대, 제1광차단층(LSM1)으로 이루어진 센싱라인 연결부(VREFC)는 제1기판(SUB) 상에 형성된 버퍼층(BUF) 상에 위치할 수 있다. 또한 제2광차단층(LSM2)으로 이루어진 제1전원라인 연결부(EVDDC)는 제1기판(SUB) 상에 형성된 버퍼층(BUF) 상에 위치할 수 있다.
- [0078] 그러므로 제1광차단층(LSM1)으로 이루어진 센싱라인 연결부(VREFC)와 제2광차단층(LSM2)으로 이루어진 제1전원라인 연결부(EVDDC)는 소오스 드레인 금속층보다 하부에 위치한다.
- [0079] 센싱라인 연결부(VREFC)는 센싱라인(VREF)과의 교차영역에 존재하는 콘택홀(CH)에 의해 센싱라인(VREF)과 전기적으로 연결된다. 센싱라인 연결부(VREFC)는 बैं크층(BNK)의 발광영역(EMA)과 중첩하는 영역에 사선구간이 존재한다. 센싱라인 연결부(VREFC)의 사선구간은 발광영역(EMA)을 확대하면서 신호라인을 최적 배치할 수 있는 이점을 준다. 제1전원라인 연결부(EVDDC)는 제1전원라인(EVDD)과의 교차영역에 존재하는 콘택홀(CH)에 의해 제1전원라인(EVDD)과 전기적으로 연결된다.
- [0080] 센싱라인 연결부(VREFC)와 제1전원라인 연결부(EVDDC)는 동일한 재료 및 동일한 층에 위치한다. 센싱라인 연결부(VREFC)와 제1전원라인 연결부(EVDDC)는 서브 픽셀을 사이에 두고 세로 방향으로 이격하여 배치된다.
- [0081] 제1 및 제2광차단층(LSM1, LSM2) 상에는 반도체층, 게이트 금속층, 소오스 드레인 금속층 등을 포함하는 박막 트랜지스터부(TFTA)가 위치한다. 그리고 박막 트랜지스터부(TFTA) 상에는 제1전극(E1)(또는 애노드전극), 발광층(EML) 및 제2전극(E2)(또는 캐소드전극)으로 이루어진 유기 발광다이오드(E1, EML, E2)가 위치한다. 유기 발광다이오드(E1, EML, E2)의 발광영역(EMA)은 박막 트랜지스터부(TFTA) 상에 위치하는 बैं크층(BNK)의 면적에 대응하여 결정된다.
- [0082] 제1실시예는 बैं크층(BNK)의 상부영역 및 하부영역을 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)를 구성하는 제1 및 제2광차단층(LSM1, LSM2)과 각각 중첩시켜 발광영역(EMA)의 면적을 키운다. 이에 따라, 발광영역(EMA)의 상부영역은 센싱라인 연결부(VREFC)를 구성하는 제1광차단층(LSM1)과 일부영역이 중첩하는 제1중첩영역(OV1)을 갖게 된다. 그리고 발광영역(EMA)의 하부영역은 제1전원라인 연결부(EVDDC)를 구성하는 제2광차단층(LSM2)과 일부영역이 중첩하는 제2중첩영역(OV2)을 갖게 된다.
- [0083] 제1실시예의 경우 बैं크층(BNK)이 커짐에 따라 비교예 대비 बैं크층(BNK)의 상부영역에서는 제1개구영역(OPN1)만큼 발광영역(EMA)의 증가분을 갖게 되고, बैं크층(BNK)의 하부영역에서는 제2개구영역(OPN2)만큼 발광영역(EMA)의 증가분을 갖게 된다.
- [0084] 또한, 센싱라인 연결부(VREFC)와 평면상에서 중첩하는 बैं크층(BNK)의 상부영역의 일부를 제거한다. 도 12에서는 센싱라인 연결부(VREFC)와 인접하는 बैं크층(BNK)의 상부영역의 모서리 부분을 사각형 형상으로 제거한 것을 일례로 한다. 그러나 बैं크층(BNK)의 상부영역에서 제거되는 부분의 형상은 평면상에서 인접하는 센싱라인 연결부(VREFC)의 배치 구조에 따라 달라질 수 있다.
- [0085] 제1실시예의 경우 제조공정 시의 공차 및 오버랩 편차에 의해 बैं크층(BNK)이 상하로 이동할 경우 बैं크층(BNK)의 상부영역의 제거된 부분을 통해 공정 편차를 가늠할 수 있다. 그리고 बैं크층(BNK)이 상하로 이동하더라도 결국 최초에 설계시 결정된 발광영역(EMA)과 유사/동일한 범위를 유지할 수 있다. 그 이유는 बैं크층(BNK)이 상하로 이동하더라도 틀어짐 영역의 면적이 같기 때문이다.
- [0086] 한편, बैं크층(BNK)은 세로 방향에서 제N데이터라인(DLn) 및 센싱라인(VREF)과 이격된 상태이다. 그러므로 제조공정 시의 공차 및 오버랩 편차에 의해 बैं크층(BNK)이 좌우로 이동하더라도 발광영역(EMA)이 틀어지는 문제가

심하게 발생하지 않으므로 이는 논외로 한다.

- [0087] 일례로, 도 14와 같이, 제1실시예에 따른 서브 픽셀은 백색 서브 픽셀(W)과 청색 서브 픽셀(B)로 선택될 수 있다. 그 이유는 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 구조적 인접성 및 발광 면적의 유사성이 있기 때문이다. 그러나 제1실시예에 따른 서브 픽셀은 발광 효율, 재료적 특성 및 기대 수명 등에 따라 달라질 수 있는바 이에 한정되지 않는다.
- [0088] 제1실시예에 따른 백색 서브 픽셀(W)과 청색 서브 픽셀(B)은 이들 사이에 존재하는 센싱라인(VREF)을 사이에 두고 있어 유사한 형상(미리형)으로뱅크층(BNK)이 배치(형성)된다. 이하 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의뱅크층(BNK)에 대한 설명을 덧붙이면 다음과 같다.
- [0089] 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의뱅크층(BNK)은 세로 방향으로 배치된 신호라인(DL2, VREF, DL3)과 이격하도록 정의된다. 백색 서브 픽셀(W)의 발광영역(EMA)은 청색 서브 픽셀(B)의 발광영역(EMA)보다 큰 면적을 가질 수 있다.
- [0090] 백색 서브 픽셀(W)의 발광영역(EMA)은 제2데이터라인(DL2) 및 센싱라인(VREF)과 인접하는 영역에서 일부 영역이 각각 외측 방향으로 돌출된다. 백색 서브 픽셀(W)의 발광영역(EMA)에서 외측 방향으로 돌출되는 모서리 부분에는 사선 구간이 존재한다. 이에 따라, 발광영역(EMA)을 확대하면서 신호라인 등의 배치를 최적화할 수 있다.
- [0091] 청색 서브 픽셀(B)의 발광영역(EMA)은 센싱라인(VREF)과 인접하는 영역에서 일부 영역이 내측 방향으로 인입되지만 제3데이터라인(DL3)과 인접하는 영역에서 일부 영역이 외측 방향으로 돌출된다. 청색 서브 픽셀(B)의 발광영역(EMA)에서 내측 방향으로 인입되거나 외측 방향으로 인입되는 모서리 부분에는 사선 구간이 존재한다. 이에 따라, 발광영역(EMA)을 확대하면서 신호라인 등의 배치를 최적화할 수 있다.
- [0092] 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 발광영역(EMA)은 센싱라인 연결부(VREFC)와 중첩하는 영역의 일부가 제거되어 평면상에서 보면 이들의 발광영역(EMA)의 상부영역에 하나의 계단형 단차가 마련된다. 계단형 단차를 이루는 턱 부분은 사선형으로 비스듬한 경사를 가질 수 있다. 이 경우, 센싱라인 연결부(VREFC)와의 중첩 영역을 줄여 공차 및 오버랩(Overlay Margin) 편차 발생분을 가능하게 하기 위하여 무리가 없고 또한 유기 발광다이오드(E1, EML, E2)의 소비전류를 낮추면서도 발광영역(EMA)을 증가시켜 수명 향상 효과를 향상할 수 있다.
- [0093] 이와 달리, 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 발광영역(EMA)은 제1전원라인 연결부(EVDDC)와 중첩하는 영역을 갖는다. 즉, 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 경우 발광영역(EMA)의 상부영역에는 하나의 계단형 단차가 존재하지만 발광영역(EMA)의 하부영역(평면상에서 발광영역의 상부영역과 대항하는 부분)에는 단차 없이 직선형을 이루게 된다.
- [0094] 아울러, 제1실시예는 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)의 배치 구조를 고려하여 중첩영역(Overlap) 및 비중첩영역(Non-overlap)에 대한 설계치를 조절하고 발광영역(EMA)의 변동을 최소화할 수 있는 최적화 설계가 가능하다. 이에 대해 설명을 보충하면 다음과 같다.
- [0095] 발광영역(EMA)의 상부영역에는 센싱라인 연결부(VREFC)와 비중첩하는 제1비중첩영역(a)과 제2비중첩영역(b)이 존재한다. 제1비중첩영역(a)은 제N데이터라인(DL_N)과 인접하는 발광영역(EMA)의 좌측 상부영역을 기준으로 하며 그 크기가 가로 방향을 따라 가변된다. 제2비중첩영역(b)은 센싱라인(VREF)과 인접하는 발광영역(EMA)의 우측 상부영역을 기준으로 하며 그 크기가 가로 방향을 따라 가변된다.
- [0096] 발광영역(EMA)의 하부영역에는 제1전원라인 연결부(EVDDC)와 비중첩하는 제3비중첩영역(c)이 존재한다. 제3비중첩영역(c)은 제1전원라인 연결부(EVDDC)와 인접하는 발광영역(EMA)의 좌측 하부영역을 기준으로 하며 그 크기가 가로 방향을 따라 가변된다.
- [0097] 발광영역(EMA)의 제1비중첩영역(a), 제2비중첩영역(b) 및 제3비중첩영역(c)은 평면상에서 인접하는 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)의 배치 구조에 따라 달라질 수 있으나 다음의 수식 "a + b = c (또는 a = b + c)"을 만족하도록 설계될 수 있다.
- [0098] 센싱라인 연결부(VREFC)는 하부층에 형성되는 반면뱅크층(BNK)은 센싱라인 연결부(VREFC) 대비 상부층에 형성된다. 그러므로 센싱라인 연결부(VREFC)의 꺾임부의 위치를 고려하여 제2비중첩영역(b)의 크기 등을 결정하는 것이 바람직하다. 이때, 제3비중첩영역(c)의 값을 고정된 상태에서 설계할 수 있으나 제1비중첩영역(a)의 값을 고정된 상태에서의 설계도 가능하다.
- [0099] 위의 수식을 따르면 설계상의 변경이나 중첩영역의 편차로 인한뱅크층(BNK)의 변동분을 예상하고 이를 서브 픽

셀의 레이아웃 설계에 반영하여 발광영역(EMA)을 증가시키기 위한 설계값(또는 보상값)을 도출할 수 있다. 이하, 제3비중첩영역(c)의 값을 고정된 상태를 일레로 위의 수식과 관련된 부연 설명을 하면 다음과 같다. 다만, 이하에서는 제3비중첩영역(c)의 값이 10 μ m인 것을 일레로 한다.

- [0100] 도 17 내지 도 19는 제1실시예를 이용한 발광영역의 비중첩영역을 산출하기 위한 방안을 설명하기 위한 예시도들이고, 도 20은 제1실시예의 변형된 실시예를 개략적으로 설명하기 위한 도면이다.
- [0101] 도 17에 도시된 바와 같이, 발광영역(EMA)의 제1비중첩영역(a)과 발광영역(EMA)의 제3비중첩영역(c)은 $a < c$ 관계를 가질 수 있다. 발광영역(EMA)의 제1비중첩영역(a) = 4 μ m이고, 발광영역(EMA)의 제3비중첩영역(c) = 10 μ m일 경우, 발광영역(EMA)의 제2비중첩영역(b)은 6 μ m로 형성된다.
- [0102] 도 18에 도시된 바와 같이, 발광영역(EMA)의 제1비중첩영역(a)과 발광영역(EMA)의 제3비중첩영역(c)은 $a > c$ 관계를 가질 수 있다. 발광영역(EMA)의 제1비중첩영역(a) = 7 μ m이고, 발광영역(EMA)의 제3비중첩영역(c) = 10 μ m일 경우, 발광영역(EMA)의 제2비중첩영역(b)은 3 μ m로 형성된다.
- [0103] 도 19에 도시된 바와 같이, 발광영역(EMA)의 제1비중첩영역(a)과 발광영역(EMA)의 제3비중첩영역(c)은 $a < c$ 관계를 가질 수 있다. 발광영역(EMA)의 제1비중첩영역(a) = 8 μ m이고, 발광영역(EMA)의 제3비중첩영역(c) = 10 μ m일 경우, 발광영역(EMA)의 제2비중첩영역(b)은 2 μ m로 형성된다.
- [0104] 도 20에 도시된 바와 같이, 제거되는 모서리 부분은 발광영역(EMA)의 하부영역에서 제1전원라인 연결부(EVDDC)와 중첩하는 부분이 될 수도 있다. 이때, 발광영역(EMA)의 제1비중첩영역(a)과 발광영역(EMA)의 제3비중첩영역(c)은 $a < c$ 관계를 가질 수 있다. 그리고 제3비중첩영역(c)의 값을 고정된 상태에서 설계할 수 있으나 제1비중첩영역(a)의 값을 고정된 상태에서의 설계도 가능하다.
- [0105] 이상 제1실시예는 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)와의 관계를 고려하여 발광영역(EMA)과의 중첩영역과 비중첩영역을 갖도록 बैं크층(BNK)을 패터닝한다. 때문에 적색, 백색, 청색 및 녹색 서브 픽셀들(R,W,B,G)의 발광영역(EMA)은 신호 및 전원라인과 중첩영역과 비중첩영역을 갖게 된다.
- [0106] 제1실시예는 제조공정 시 발광영역(EMA)의 변동을 막기 위해, बैं크층(BNK)의 주변에 존재하는 신호 및 전원라인과의 관계를 고려하여 중첩영역과 비중첩영역을 갖도록 बैं크층(BNK)을 패터닝한다. 그 결과, 제1실시예는 제조공정 시의 공차 및 오버랩(Overlay Margin) 편차가 발생하더라도 발광영역(EMA)을 일정하게 가져갈 수 있다. 또한, 설계상의 변경이나 중첩영역의 편차로 인한 बैं크층(BNK)의 변동분을 예상하고 이를 서브 픽셀의 레이아웃 설계에 반영하여 발광영역(EMA)을 증가시키기 위한 설계값(또는 보상값)을 도출할 수 있다.
- [0107] -제2실시예-
- [0108] 도 21은 제2실시예에 따라 센싱 회로가 추가된 서브 픽셀을 개략적으로 설명하기 위한 도면이고, 도 22는 제2실시예에 따른 이점을 설명하기 위한 도면이며, 도 23은 도 21을 기반으로 한 서브 픽셀의 평면 레이아웃 도면이며, 도 24는 도 23에 도시된 적색 서브 픽셀 및 백색 서브 픽셀의 발광영역을 나타낸 확대도이고, 도 25는 도 24에 도시된 백색 서브 픽셀의 발광영역을 나타낸 단면도이다.
- [0109] 도 21 내지 도 25에 도시된 바와 같이, 서브 픽셀 내에는 센싱 회로의 추가에 따라 센싱라인(VREF)과 센싱라인(VREF)의 신호를 서브 픽셀에 전달하는 센싱라인 연결부(VREFC)가 더 추가된다. 센싱라인(VREF)은 서브 픽셀을 사이에 두고 제N데이터라인(DLn)과 가로 방향으로 이격하여 배치된다.
- [0110] 센싱라인(VREF)과 제N데이터라인(DLn)은 세로 방향을 따라 배치됨은 물론 동일한 소오스 드레인 금속층에 의해 형성된 후 패터닝 공정을 통해 제1소오스 드레인 금속층(SD1)과 제2소오스 드레인 금속층(SD2)으로 분리된다. 제1소오스 드레인 금속층(SD1)은 제N데이터라인(DLn)이 되고 제2소오스 드레인 금속층(SD2)은 센싱라인(VREF)이 된다. 소오스 드레인 금속층은 박막 트랜지스터부(TFTA)에 포함된다. 박막 트랜지스터부(TFTA)는 광차단층(LSM1, LSM2) 상에 위치한다.
- [0111] 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)는 가로 방향을 따라 배치된다. 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)는 제1 및 제1광차단층(LSM1, LSM2)에 의해 형성된 후 패터닝 공정을 통해 독립적으로 분리된다. 제1 및 제2광차단층(LSM1, LSM2)은 제1기판(SUB)의 표면에 가깝게 형성된다. 예컨대, 제1광차단층(LSM1)으로 이루어진 센싱라인 연결부(VREFC)는 제1기판(SUB) 상에 형성된 버퍼층(BUF) 상에 위치할 수 있다. 또한 제2광차단층(LSM2)으로 이루어진 제1전원라인 연결부(EVDDC)는 제1기판(SUB) 상에 형성된 버퍼층(BUF) 상에 위치할 수 있다.

- [0112] 그러므로 제1광차단층(LSM1)으로 이루어진 센싱라인 연결부(VREFC)와 제2광차단층(LSM2)으로 이루어진 제1전원라인 연결부(EVDDC)는 소오스 드레인 금속층보다 하부에 위치한다.
- [0113] 센싱라인 연결부(VREFC)는 센싱라인(VREF)과의 교차영역에 존재하는 콘택홀(CH)에 의해 센싱라인(VREF)과 전기적으로 연결된다. 제1전원라인 연결부(EVDDC)는 제1전원라인(EVDD)과의 교차영역에 존재하는 콘택홀(CH)에 의해 제1전원라인(EVDD)과 전기적으로 연결된다.
- [0114] 센싱라인 연결부(VREFC)와 제1전원라인 연결부(EVDDC)는 동일한 재료 및 동일한 층에 위치한다. 센싱라인 연결부(VREFC)와 제1전원라인 연결부(EVDDC)는 서브 픽셀을 사이에 두고 세로 방향으로 이격하여 배치된다.
- [0115] 제1 및 제2광차단층(LSM1, LSM2) 상에는 반도체층, 게이트 금속층, 소오스 드레인 금속층 등을 포함하는 박막 트랜지스터부(TFTA)가 위치한다. 그리고 박막 트랜지스터부(TFTA) 상에는 제1전극(E1)(또는 애노드전극), 발광층(EML) 및 제2전극(E2)(또는 캐소드전극)으로 이루어진 유기 발광다이오드(E1, EML, E2)가 위치한다. 유기 발광다이오드(E1, EML, E2)의 발광영역(EMA)은 박막 트랜지스터부(TFTA) 상에 위치하는 बैं크층(BNK)의 면적에 대응하여 결정된다.
- [0116] 제2실시예는 बैं크층(BNK)의 상부영역 및 하부영역을 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)를 구성하는 제1 및 제2광차단층(LSM1, LSM2)과 각각 중첩시켜 발광영역(EMA)의 면적을 키운다. 이에 따라, बैं크층(BNK)의 상부영역은 센싱라인 연결부(VREFC)를 구성하는 제1광차단층(LSM1)과 일부영역이 중첩하는 제1중첩영역(OV1)을 갖게 된다. 그리고 बैं크층(BNK)의 하부영역은 제1전원라인 연결부(EVDDC)를 구성하는 제2광차단층(LSM2)과 일부영역이 중첩하는 제2중첩영역(OV2)을 갖게 된다.
- [0117] 제2실시예의 경우 बैं크층(BNK)이 커짐에 따라 비교예 대비 बैं크층(BNK)의 상부영역에서는 제1개구영역(OPN1)만큼 발광영역(EMA)의 증가분을 갖게 되고, बैं크층(BNK)의 하부영역에서는 제2개구영역(OPN2)만큼 발광영역(EMA)의 증가분을 갖게 된다.
- [0118] 또한, 센싱라인 연결부(VREFC)와 평면상에서 중첩하는 발광영역(EMA)의 상부영역의 일부를 제거한다. 도 21에서는 센싱라인 연결부(VREFC)와 인접하는 발광영역(EMA)의 상부영역을 계단형 형상으로 제거한 것을 일례로 한다. 그러나 발광영역(EMA)의 상부영역에서 제거되는 부분의 형상은 평면상에서 인접하는 센싱라인 연결부(VREFC)의 배치 구조에 따라 달라질 수 있다.
- [0119] 제2실시예의 경우 제조공정 시의 공차 및 오버랩 편차에 의해 बैं크층(BNK)이 상하로 이동할 경우 발광영역(EMA)의 상부영역의 제거된 부분을 통해 편차를 가늠할 수 있다. 그리고 बैं크층(BNK)이 상하로 이동하더라도 결국 최초에 설계시 결정된 발광영역(EMA)과 유사/동일한 범위를 유지할 수 있다. 그 이유는 발광영역(EMA)이 상하로 이동하더라도 틀어짐 영역의 면적이 같기 때문이다.
- [0120] 한편, बैं크층(BNK)은 세로 방향에서 제N데이터라인(DLn) 및 센싱라인(VREF)과 이격된 상태이다. 그러므로 제조공정 시의 공차 및 오버랩 편차에 의해 बैं크층(BNK)이 좌우로 이동하더라도 발광영역(EMA)이 틀어지는 문제가 심하게 발생하지 않으므로 이는 논외로 한다.
- [0121] 일례로, 도 23과 같이, 제2실시예에 따른 서브 픽셀은 백색 서브 픽셀(W)과 청색 서브 픽셀(B)로 선택될 수 있다. 그 이유는 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 구조적 인접성 및 발광 면적의 유사성이 있기 때문이다. 그러나 제2실시예에 따른 서브 픽셀은 발광 효율, 재료적 특성 및 기대 수명 등에 따라 달라질 수 있는바 이에 한정되지 않는다.
- [0122] 제2실시예에 따른 백색 서브 픽셀(W)과 청색 서브 픽셀(B)은 이들 사이에 존재하는 센싱라인(VREF)을 사이에 두고 있어 유사한 형상(미러형)으로 발광영역(EMA)이 배치(형성)된다. 이하 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 발광영역(EMA)에 대한 설명을 덧붙이면 다음과 같다.
- [0123] 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 발광영역(EMA)은 세로 방향으로 배치된 신호라인(DL2, VREF, DL3)과 이격하도록 정의된다. 백색 서브 픽셀(W)의 발광영역(EMA)은 청색 서브 픽셀(B)의 बैं크층(BNK)보다 큰 면적을 가질 수 있다.
- [0124] 백색 서브 픽셀(W)의 발광영역(EMA)은 제2데이터라인(DL2) 및 센싱라인(VREF)과 인접하는 영역에서 일부 영역이 각각 외측 방향으로 돌출된다. 백색 서브 픽셀(W)의 발광영역(EMA)에서 외측 방향으로 돌출되는 모서리 부분에는 사선 구간이 존재한다.
- [0125] 청색 서브 픽셀(B)의 발광영역(EMA)은 센싱라인(VREF)과 인접하는 영역에서 일부 영역이 내측 방향으로 인입되

지만 제3데이터라인(DL3)과 인접하는 영역에서 일부 영역이 외측 방향으로 돌출된다. 청색 서브 픽셀(B)의 발광 영역(EMA)에서 내측 방향으로 인입되거나 외측 방향으로 인입되는 모서리 부분에는 사선 구간이 존재한다.

- [0126] 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 발광영역(EMA)은 센싱라인 연결부(VREFC)와 중첩하는 영역의 일부가 제거되어 평면상에서 보면 이들의 발광영역(EMA)의 상부영역에 두 개의 계단형 단차가 마련된다. 계단형 단차를 이루는 턱 부분은 사선형으로 비스듬한 경사를 가질 수 있다. 이 경우, 센싱라인 연결부(VREFC)와의 중첩 영역을 줄여 공차 및 오버랩(Overlay Margin) 편차 발생분을 가늠하기에 무리가 없고 또한 유기 발광다이오드(E1, EML, E2)의 소비전류를 낮추면서도 발광영역(EMA)을 증가시켜 수명 향상 효과를 향상할 수 있다.
- [0127] 이와 달리, 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 발광영역(EMA)은 제1전원라인 연결부(EVDDC)와 중첩하는 영역을 갖는다. 즉, 백색 서브 픽셀(W)과 청색 서브 픽셀(B)의 경우 발광영역(EMA)의 상부영역에는 두 개의 계단형 단차가 존재하지만 발광영역(EMA)의 하부영역에는 단차 없이 직선형을 이루게 된다.
- [0128] 아울러, 제2실시예는 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)의 배치 구조를 고려하여 중첩영역(Overlap) 및 비중첩영역(Non-overlap)에 대한 설계치를 조절하고 발광영역(EMA)의 변동을 최소화할 수 있는 최적화 설계가 가능하다. 이에 대해 설명을 보충하면 다음과 같다.
- [0129] 발광영역(EMA)의 상부영역에는 센싱라인 연결부(VREFC)와 비중첩하는 제1비중첩영역(a)과 제2비중첩영역(b)이 존재한다. 제1비중첩영역(a)은 제N데이터라인(DL_N)과 인접하는 발광영역(EMA)의 좌측 상부영역을 기준으로 하며 그 크기가 가로 방향을 따라 가변된다. 제2비중첩영역(b)은 센싱라인(VREF)과 인접하는 발광영역(EMA)의 우측 상부영역을 기준으로 하며 그 크기가 가로 방향을 따라 가변된다.
- [0130] 발광영역(EMA)의 하부영역에는 제1전원라인 연결부(EVDDC)와 비중첩하는 제3비중첩영역(c)이 존재한다. 제3비중첩영역(c)은 제1전원라인 연결부(EVDDC)와 인접하는 발광영역(EMA)의 좌측 하부영역을 기준으로 하며 그 크기가 가로 방향을 따라 가변된다.
- [0131] 발광영역(EMA)의 제1비중첩영역(a), 제2비중첩영역(b) 및 제3비중첩영역(c)은 평면상에서 인접하는 센싱라인 연결부(VREFC) 및 제1전원라인 연결부(EVDDC)의 배치 구조에 따라 달라질 수 있으나 다음의 수식 "a + b = c (또는 a = b + c)"을 만족하도록 설계될 수 있다.
- [0132] 센싱라인 연결부(VREFC)는 하부층에 형성되는 반면뱅크층(BNK)은 센싱라인 연결부(VREFC) 대비 상부층에 형성된다. 그러므로 센싱라인 연결부(VREFC)의 꺾임부의 위치를 고려하여 제2비중첩영역(b)의 크기 등을 결정하는 것이 바람직하다. 이때, 제3비중첩영역(c)의 값을 고정된 상태에서 설계할 수 있으나 제1비중첩영역(a)의 값을 고정된 상태에서의 설계도 가능하다.
- [0133] 위의 수식을 따르면 설계상의 변경이나 중첩영역의 편차로 인한뱅크층(BNK)의 변동분을 예상하고 이를 서브 픽셀의 레이아웃 설계에 반영하여 발광영역(EMA)을 증가시키기 위한 설계값(또는 보상값)을 도출할 수 있다.
- [0134] 한편, 발광영역(EMA)의 상부영역에는 센싱라인 연결부(VREFC)와 중첩하거나 비중첩하는 영역(d)이 존재한다. 중첩하거나 비중첩하는 영역(d)은 제1비중첩영역(a)과 제2비중첩영역(b)의 크기 또는 센싱라인 연결부(VREFC)의 배치 구조에 따라 달라진다.
- [0135] 중첩하거나 비중첩하는 영역(d)은 제1비중첩영역(a)과 제2비중첩영역(b)의 크기에 의해 결정된다. 하지만, 이 부분의 경우 센싱라인 연결부(VREFC)와의 중첩도가 낮을수록 제조공정 시의 공차 및 오버랩(Overlay Margin) 편차 발생분을 가늠하기에 무리가 없고 또한 유기 발광다이오드(E1, EML, E2)의 소비전류를 낮추면서도 발광영역(EMA)을 증가시켜 수명 향상 효과를 향상할 수 있다. 제2실시예는 중첩하거나 비중첩하는 영역(d)에서 제1실시예 대비 센싱라인 연결부(VREFC)와의 중첩도를 낮출 수 있는 이점이 있다.
- [0136] 이상 본 발명은 센싱 회로를 추가하여 표시패널을 구현할 경우 유기 발광다이오드의 소비전류를 낮추면서도 발광영역을 증가시켜 수명을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 제조공정 시의 공차 및 오버랩 편차 발생하더라도 발광영역을 일정하게 가져갈 수 있는 효과가 있다. 또한, 본 발명은 설계상의 변경이나 변동분을 예상하고 이를 서브 픽셀의 레이아웃 설계에 반영하여 발광영역을 증가시키기 위한 설계값(또는 보상값)을 용이하게 도출할 수 있는 효과가 있다.
- [0137] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는

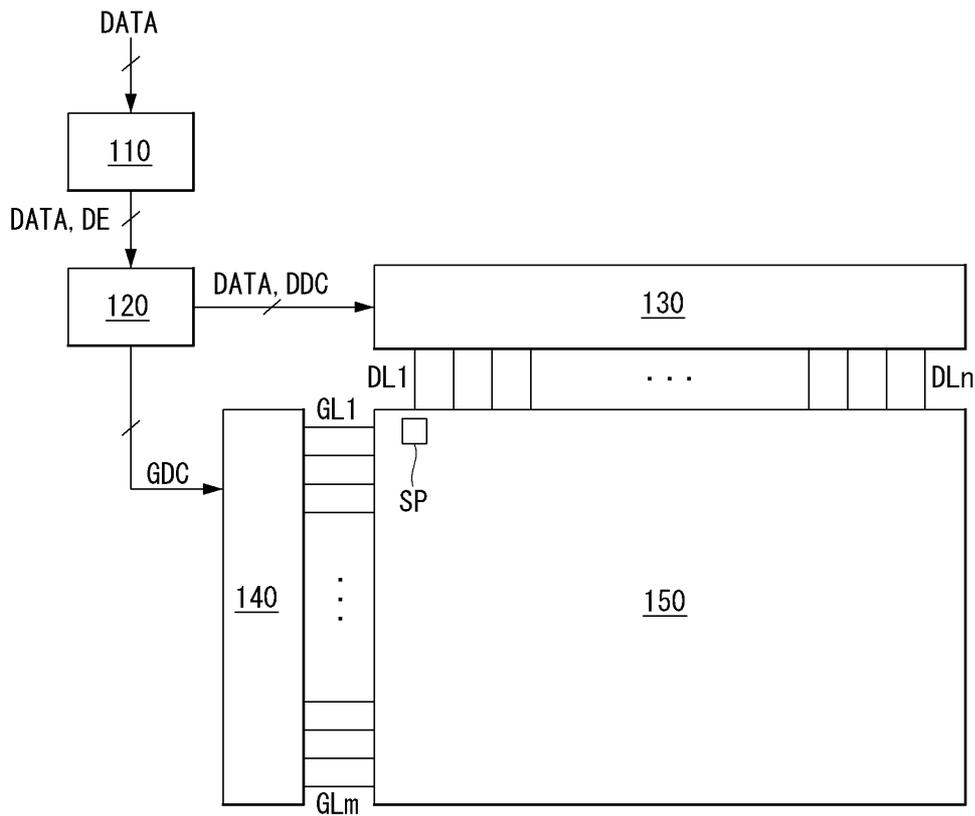
후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

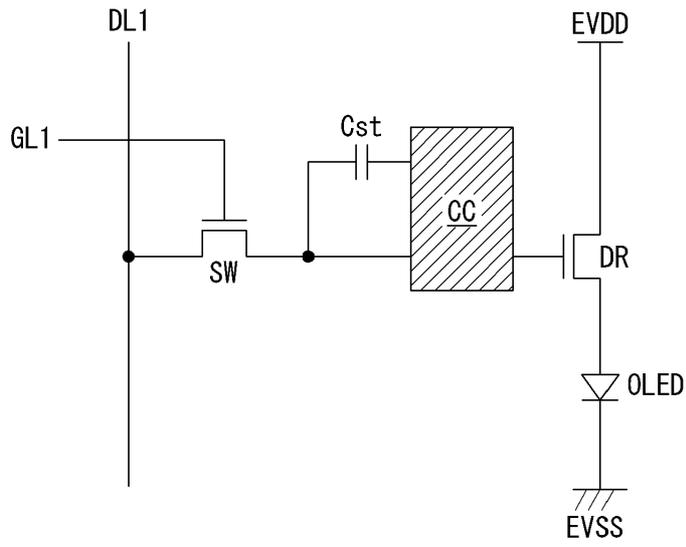
- 110: 영상 처리부 120: 타이밍 제어부
- 130: 데이터 구동부 140: 스캔 구동부
- 150: 표시 패널 BUF: 버퍼층
- VREF: 센싱라인 VREFC: 센싱라인 연결부
- EVDD: 제1전원라인 EVDDC: 제1전원라인 연결부
- BNK: 뱅크층 EMA: 발광영역(또는 개구영역)
- DLn: 제N데이터라인 LSM1, LSM2: 제1 및 제2광차단층
- DRA: 회로영역(또는 비개구영역)
- SD: 소오스 드레인 금속층

도면

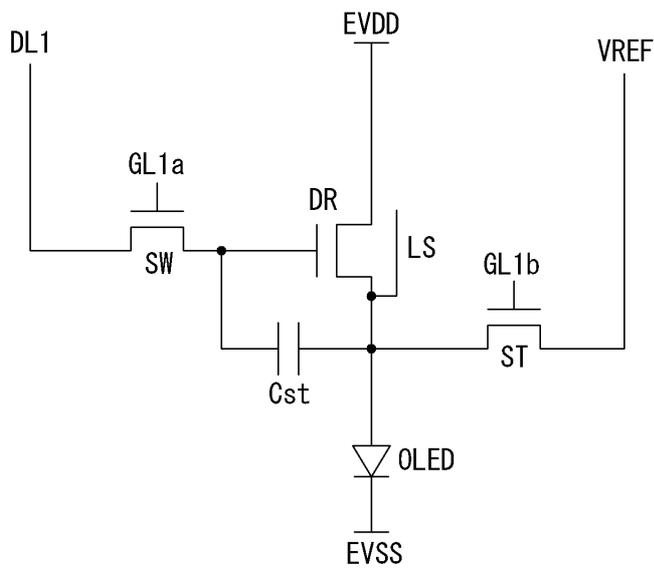
도면1



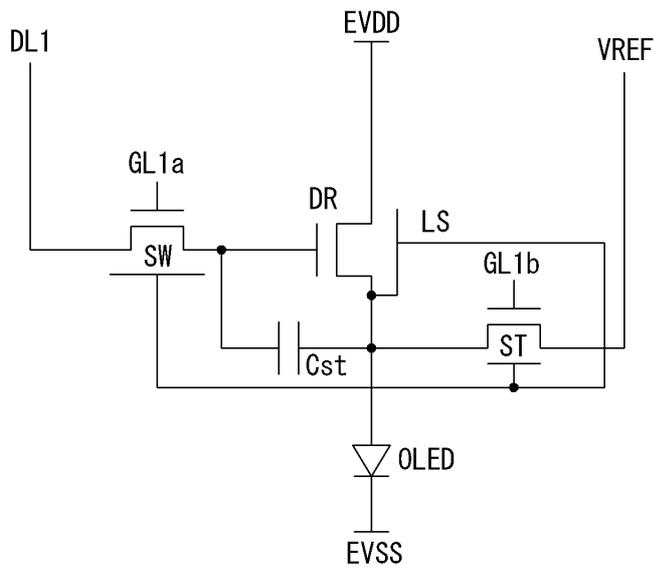
도면2



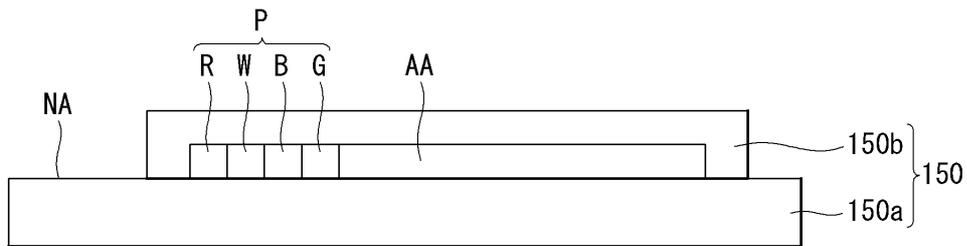
도면3



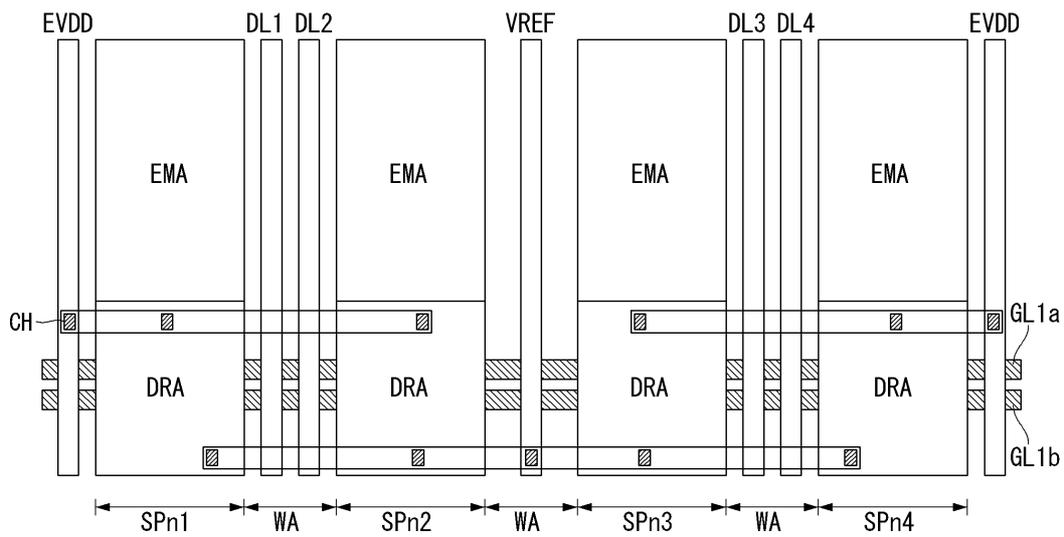
도면4



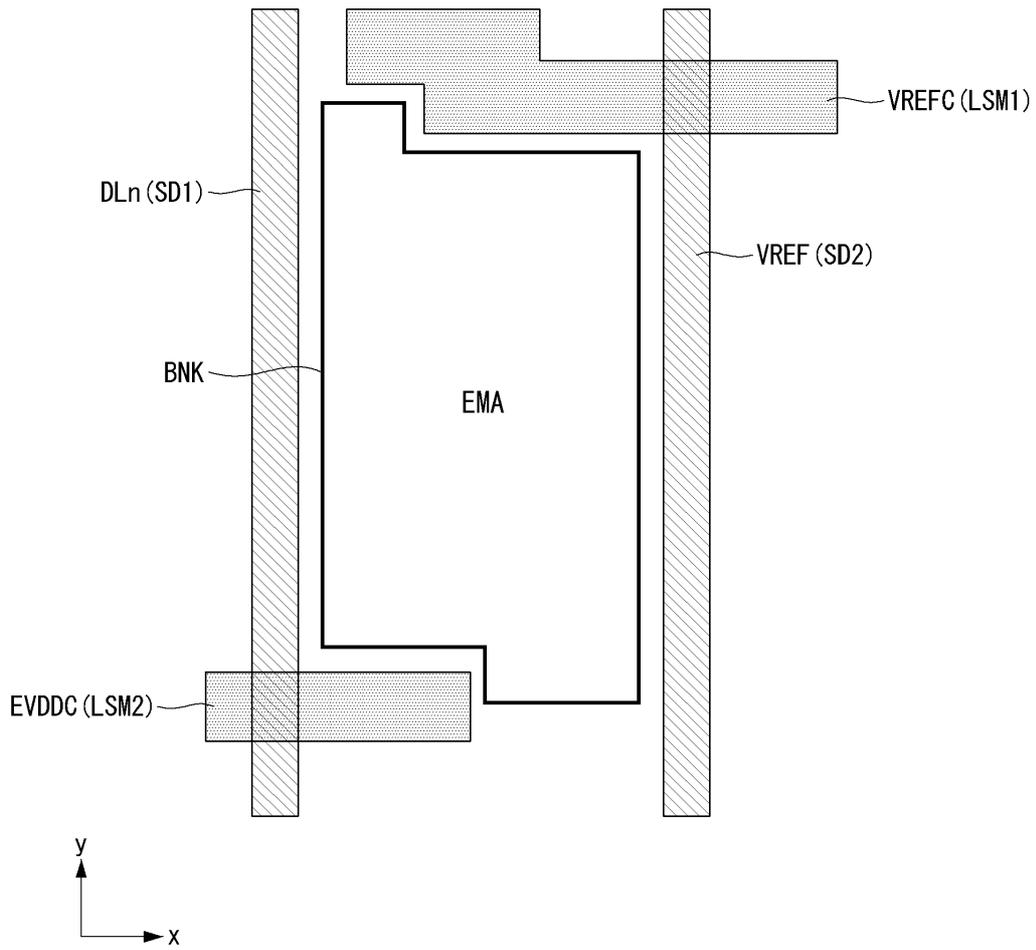
도면5



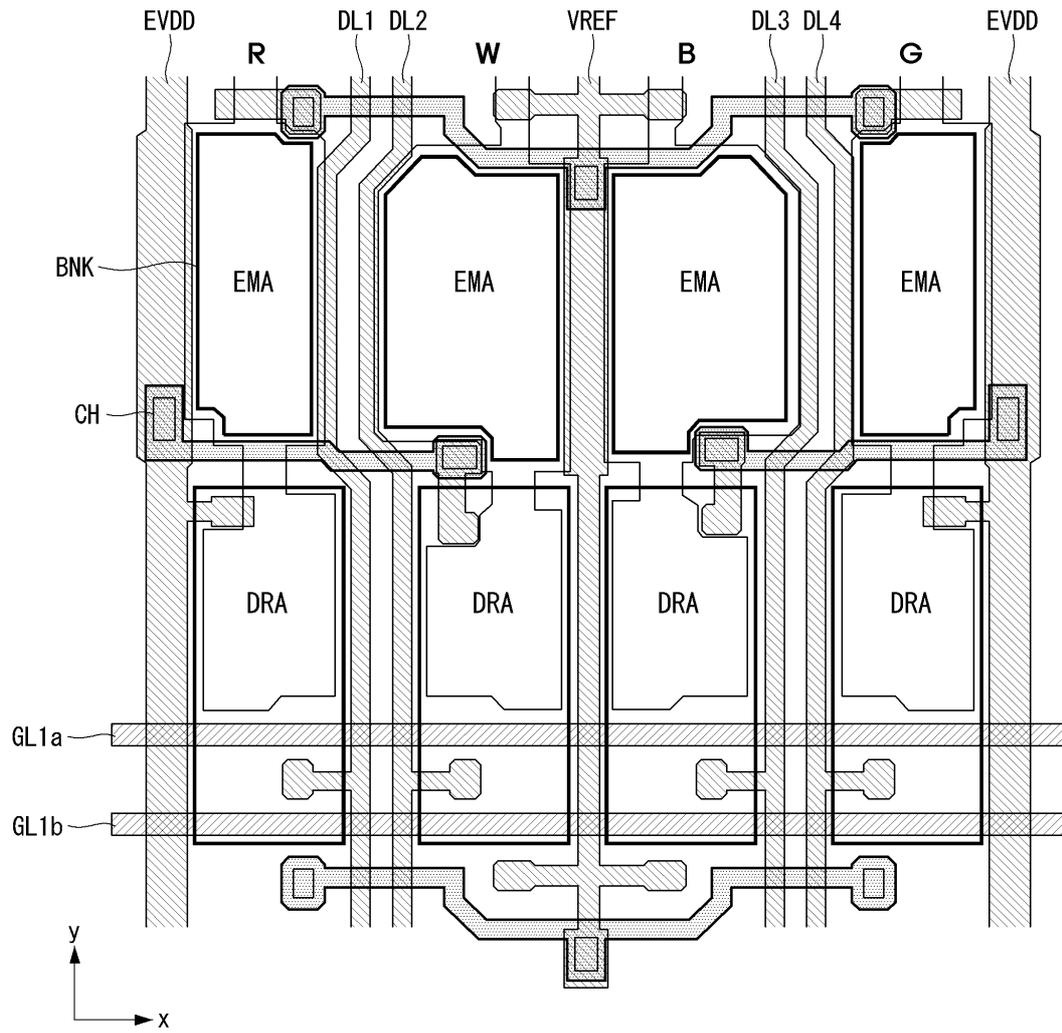
도면6



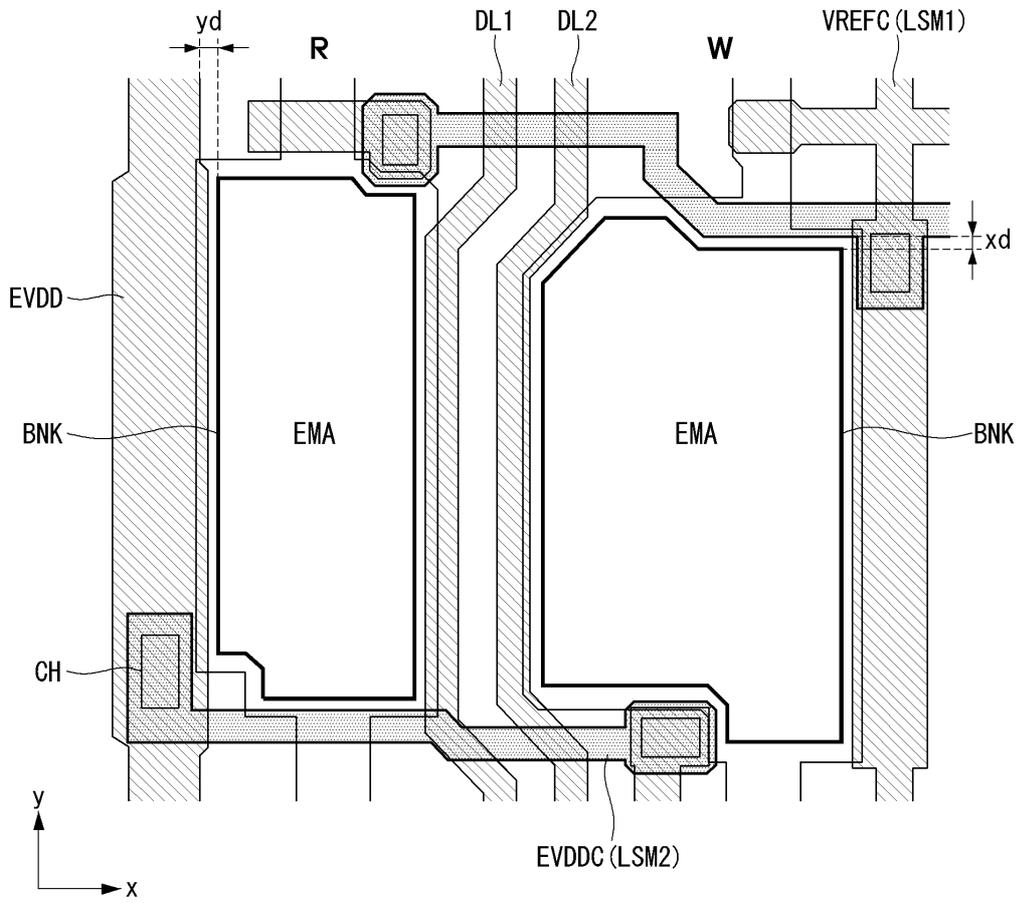
도면7



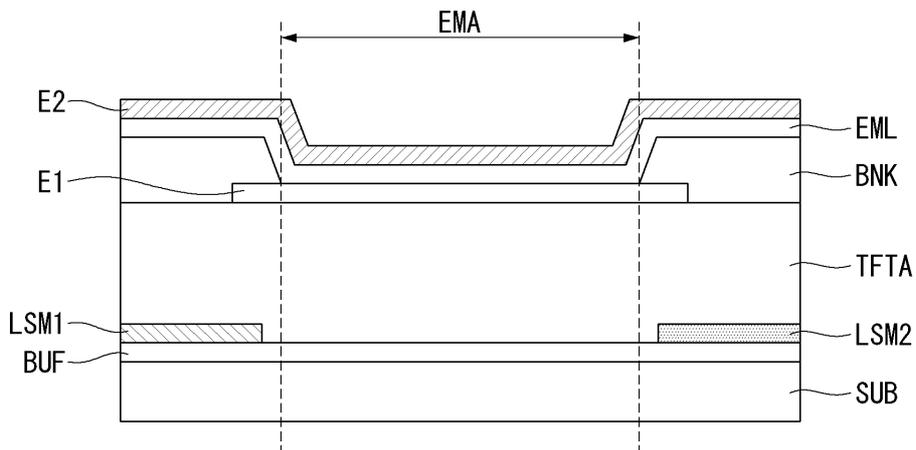
도면8



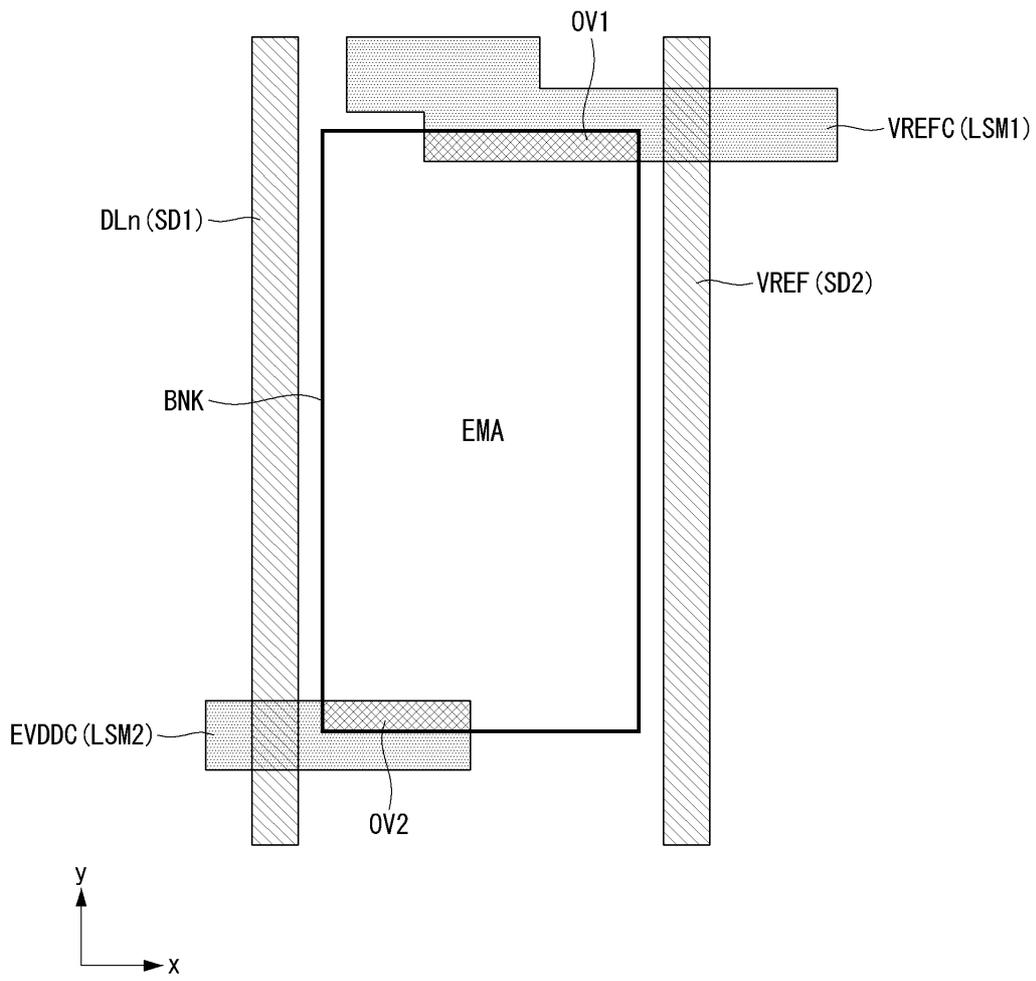
도면9



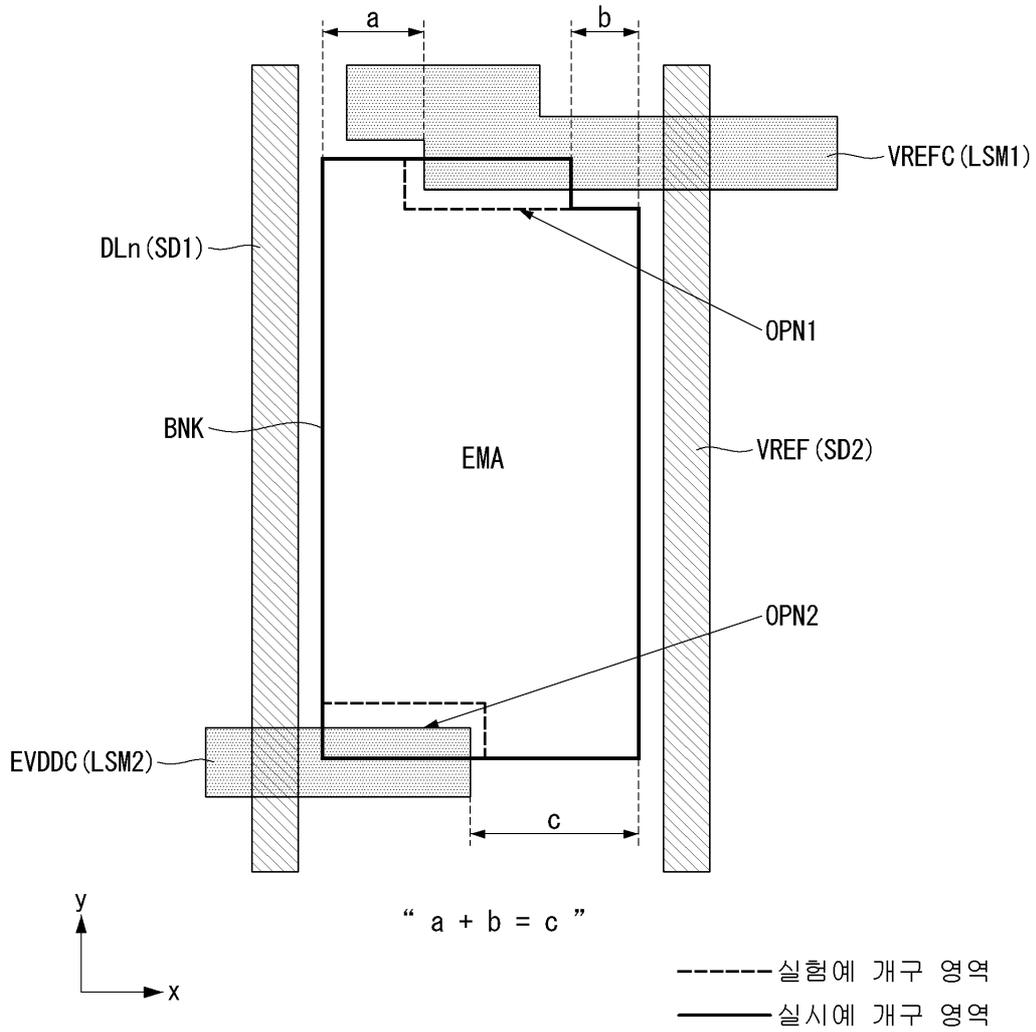
도면10



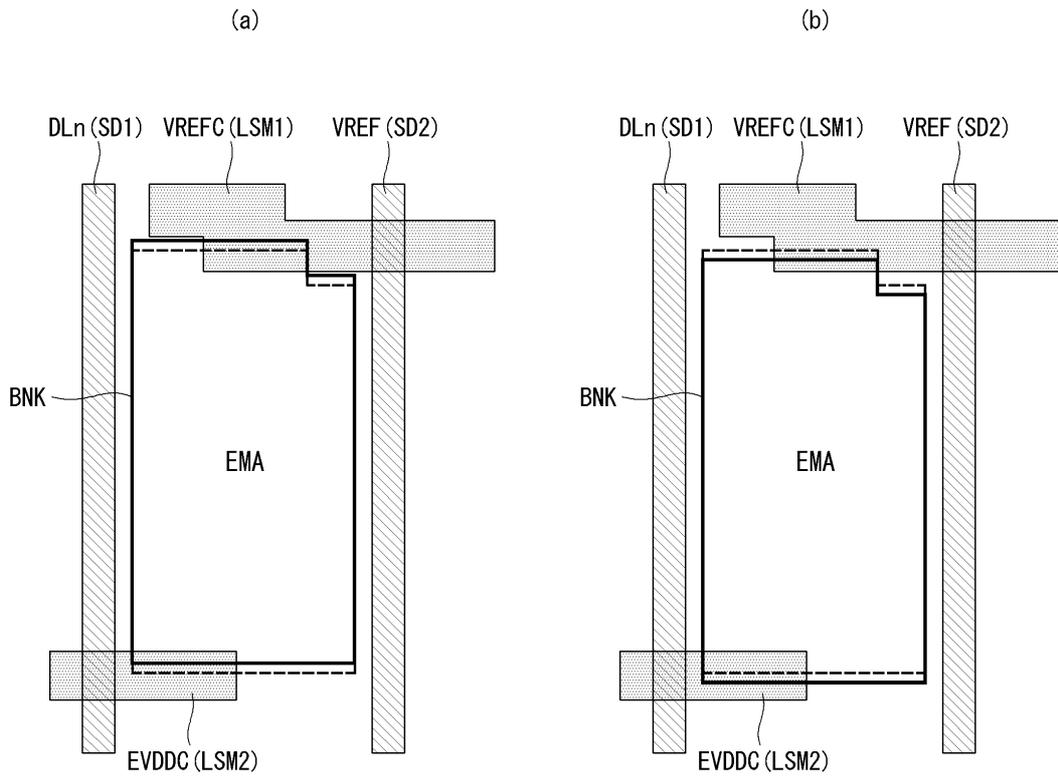
도면11



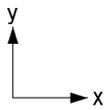
도면12



도면13

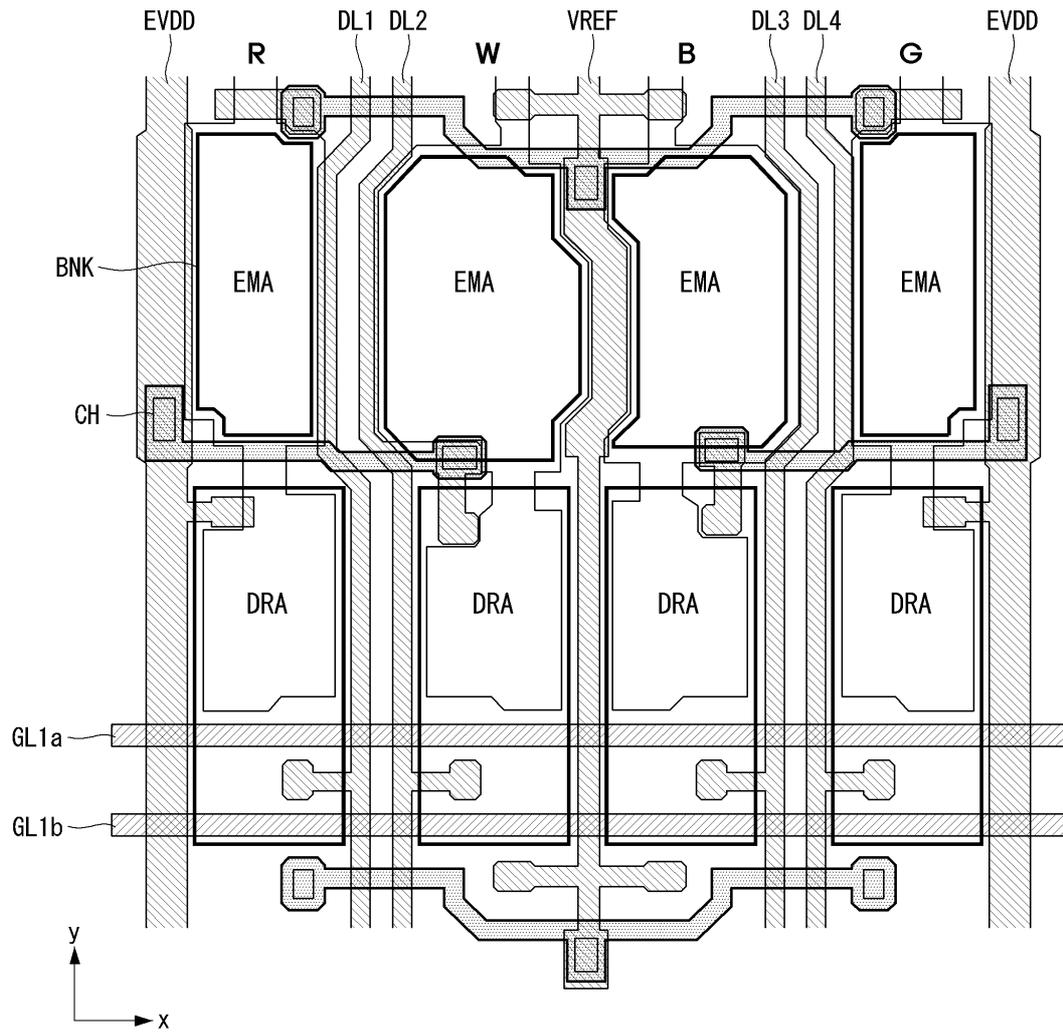


(→ Shift 전 후 개구부 영역은 동일함. (틀어짐 영역 면적 같음))

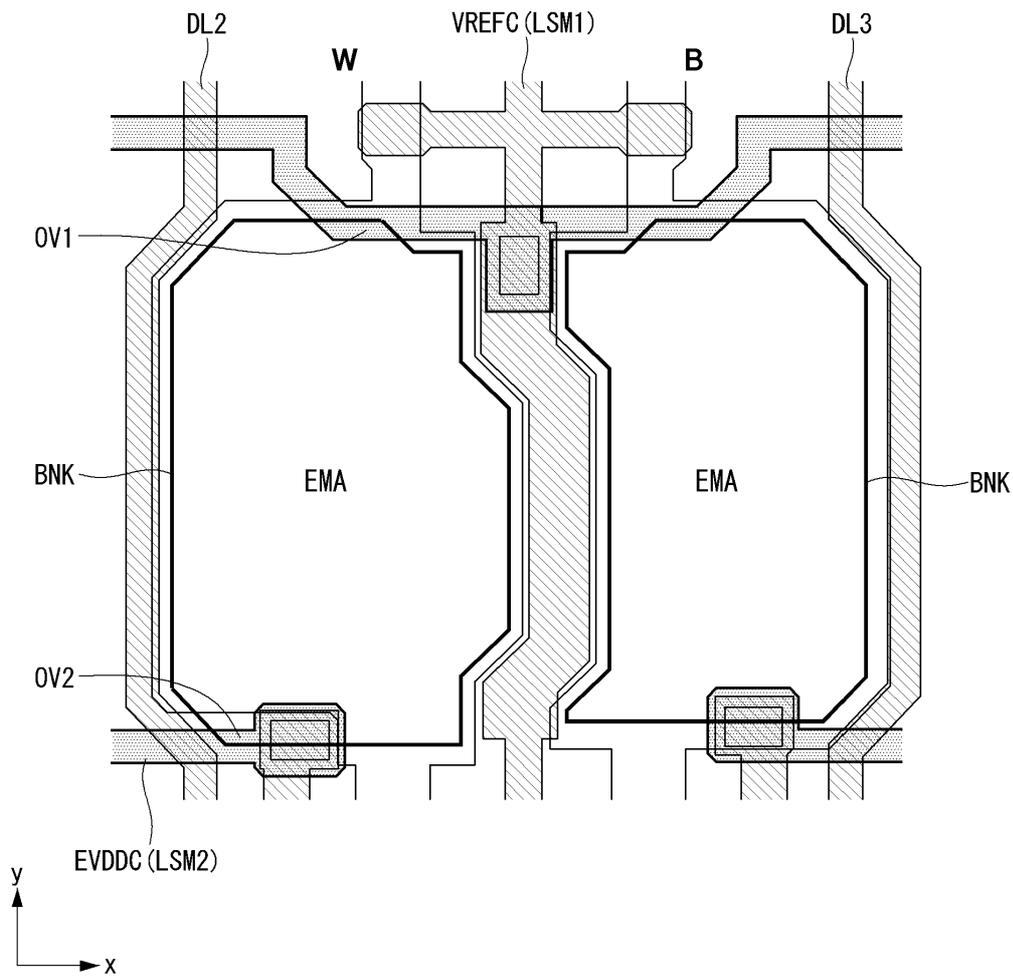


----- 설계 개구 영역
 ————— 실시예 개구 영역

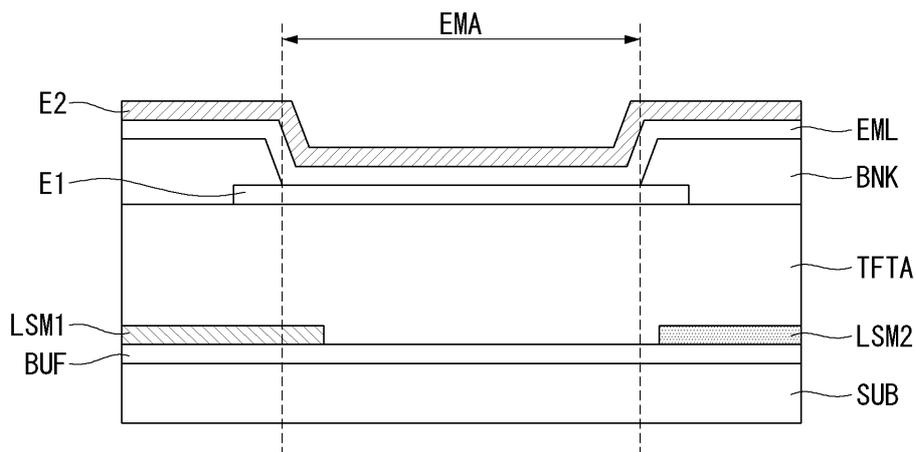
도면14



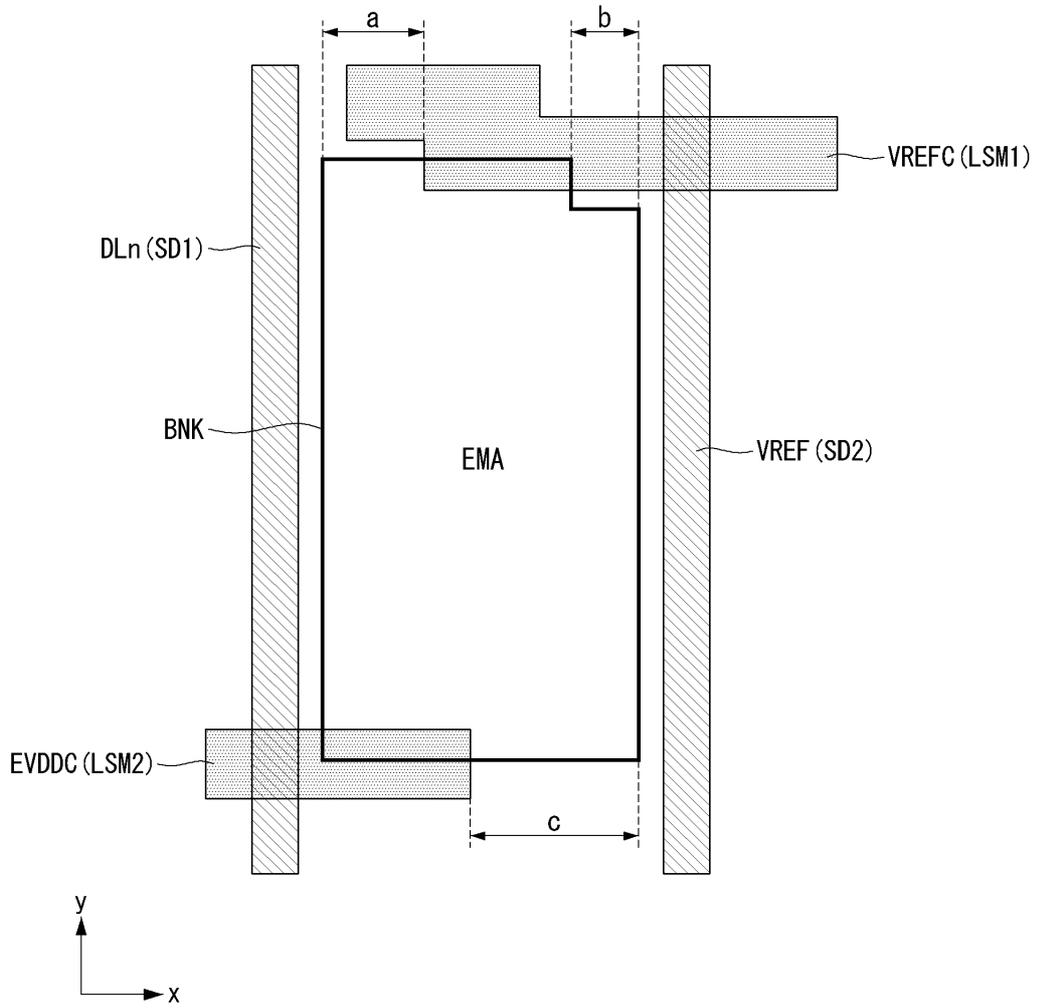
도면15



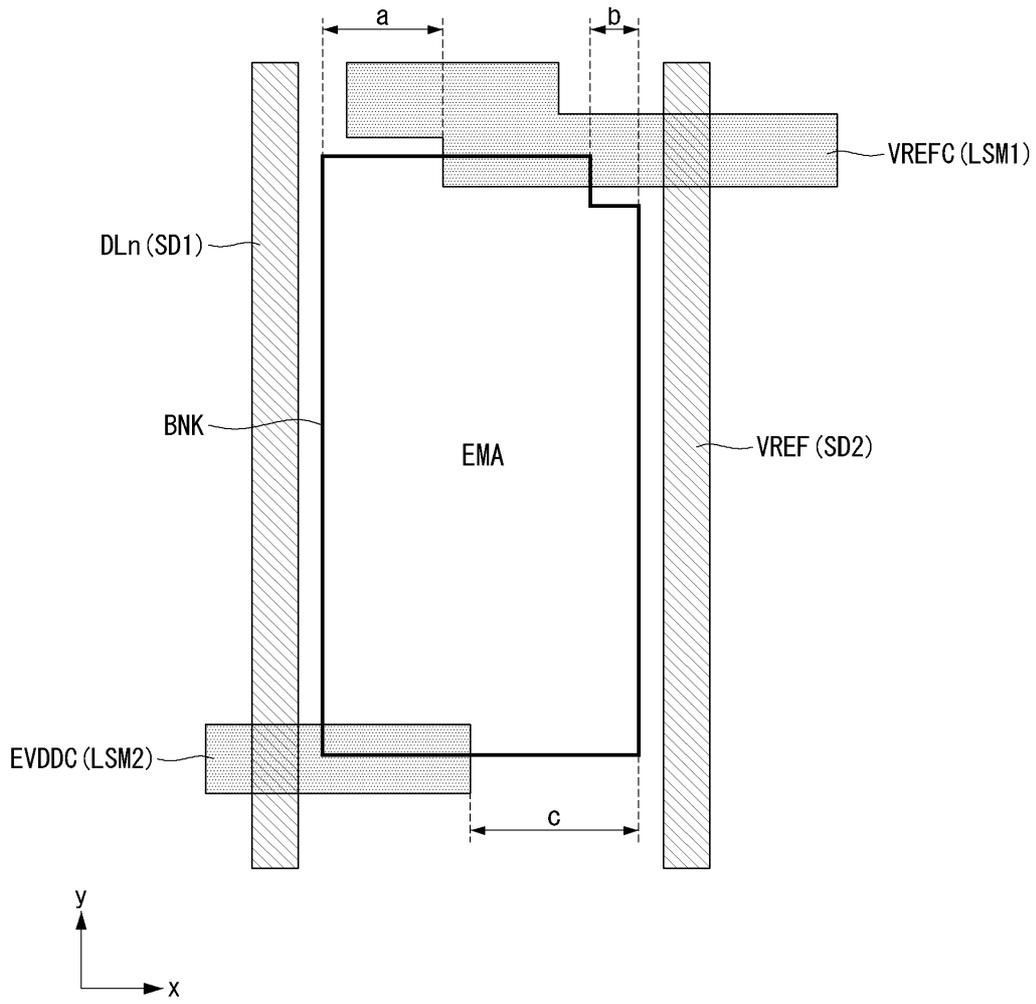
도면16



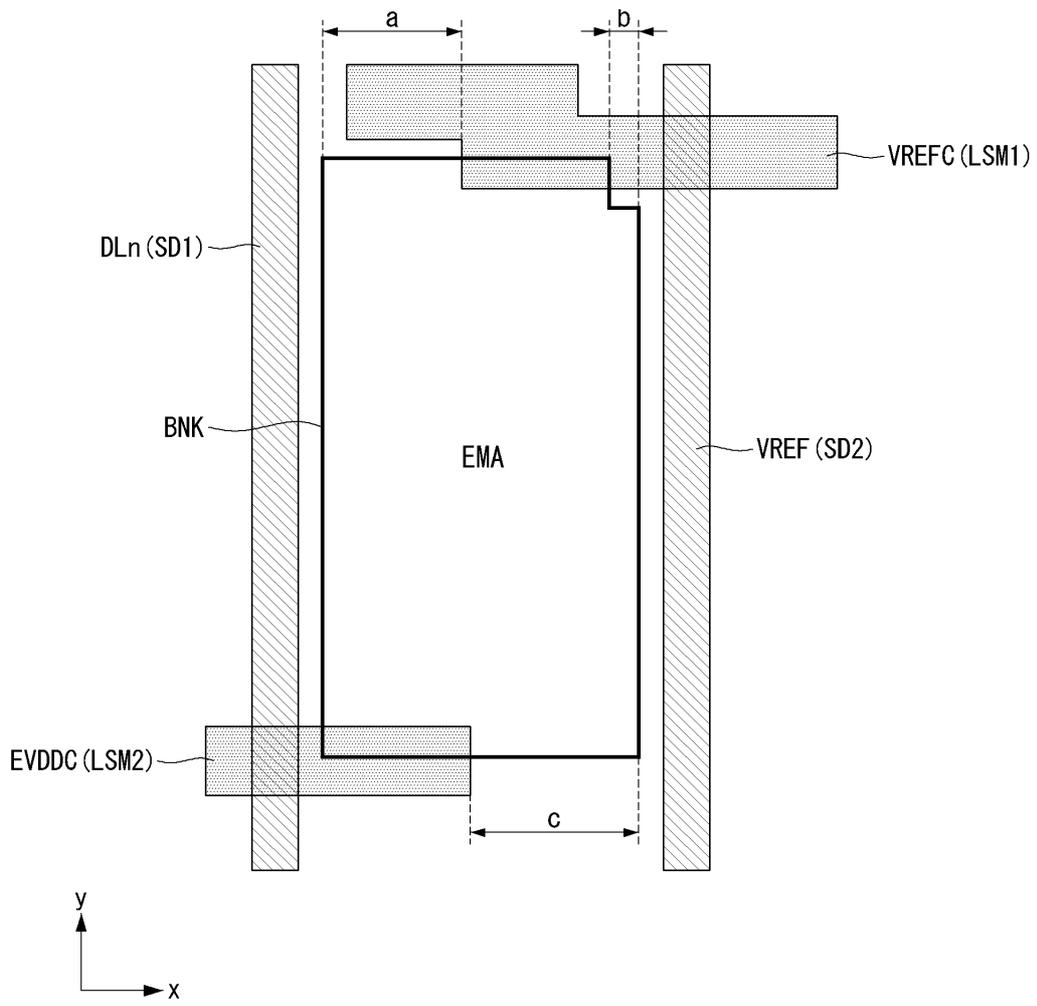
도면17



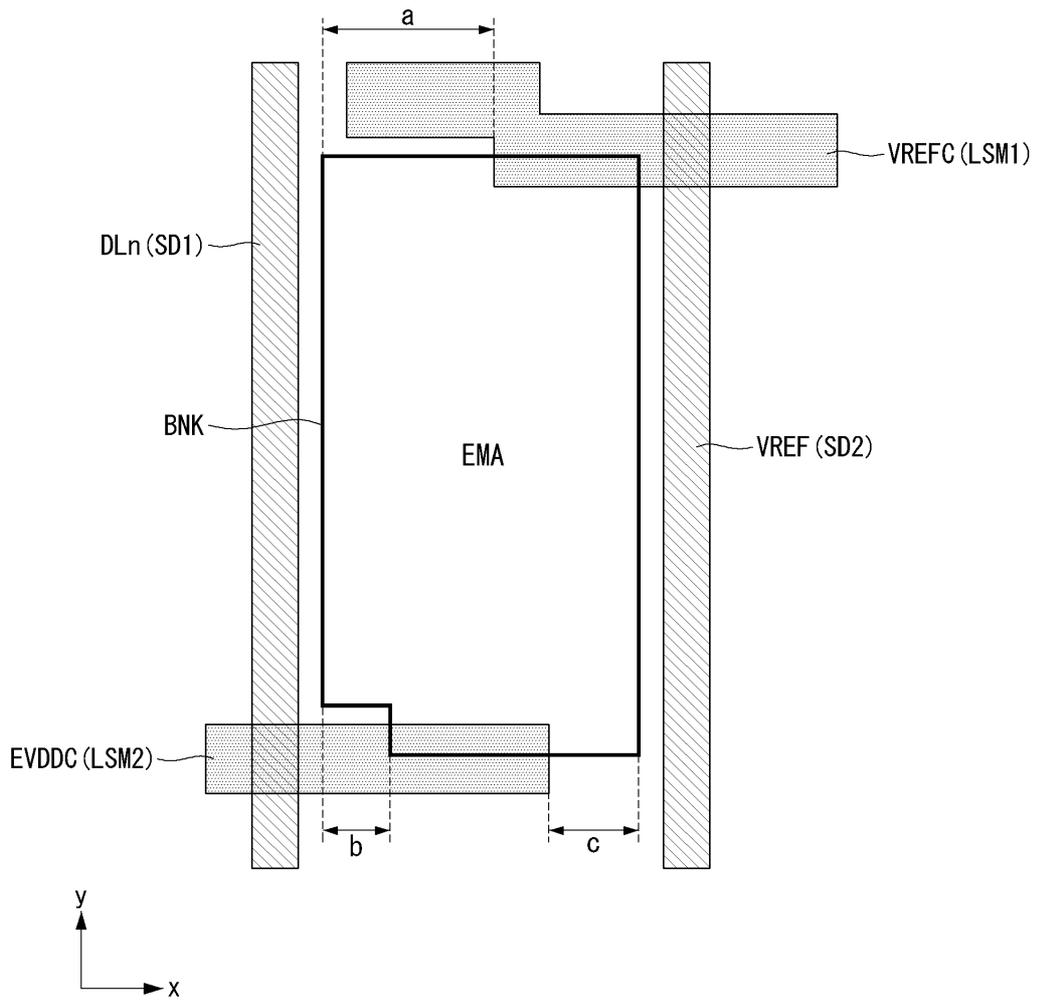
도면18



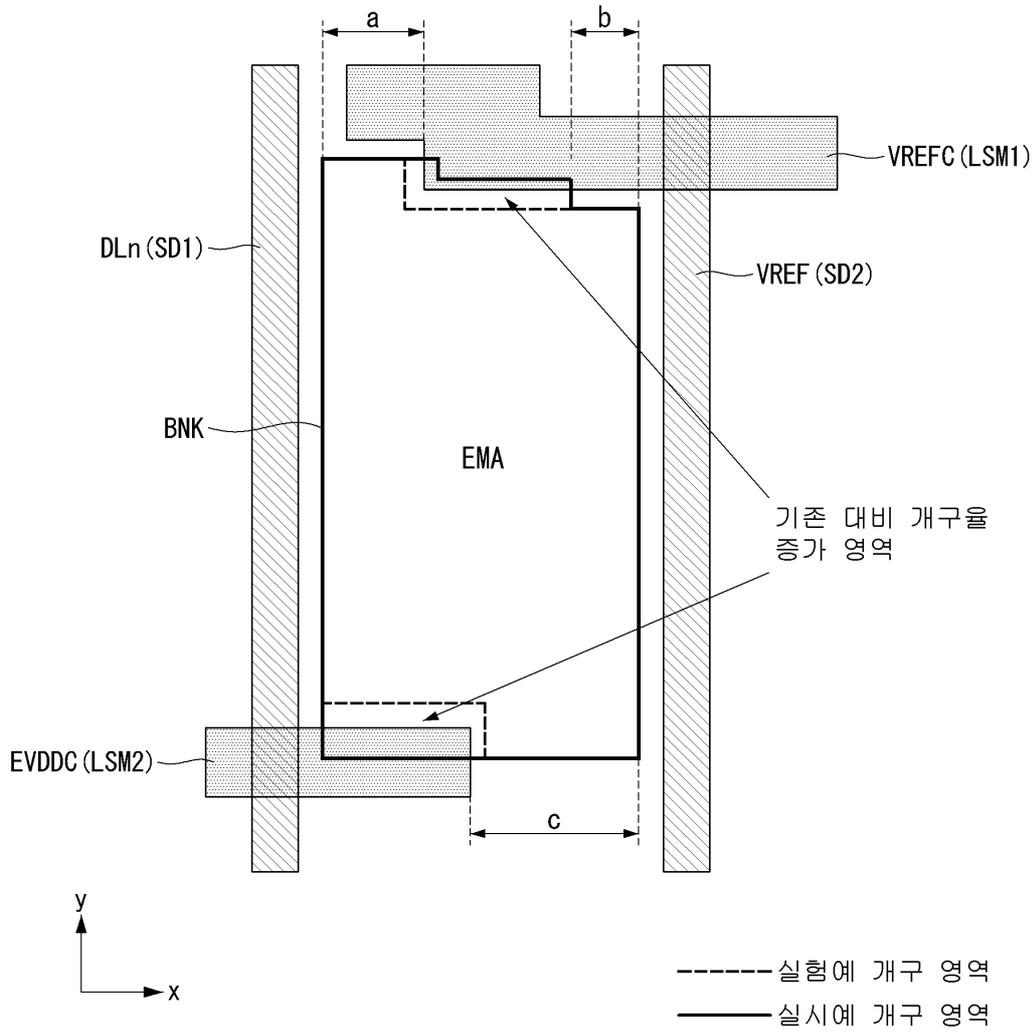
도면19



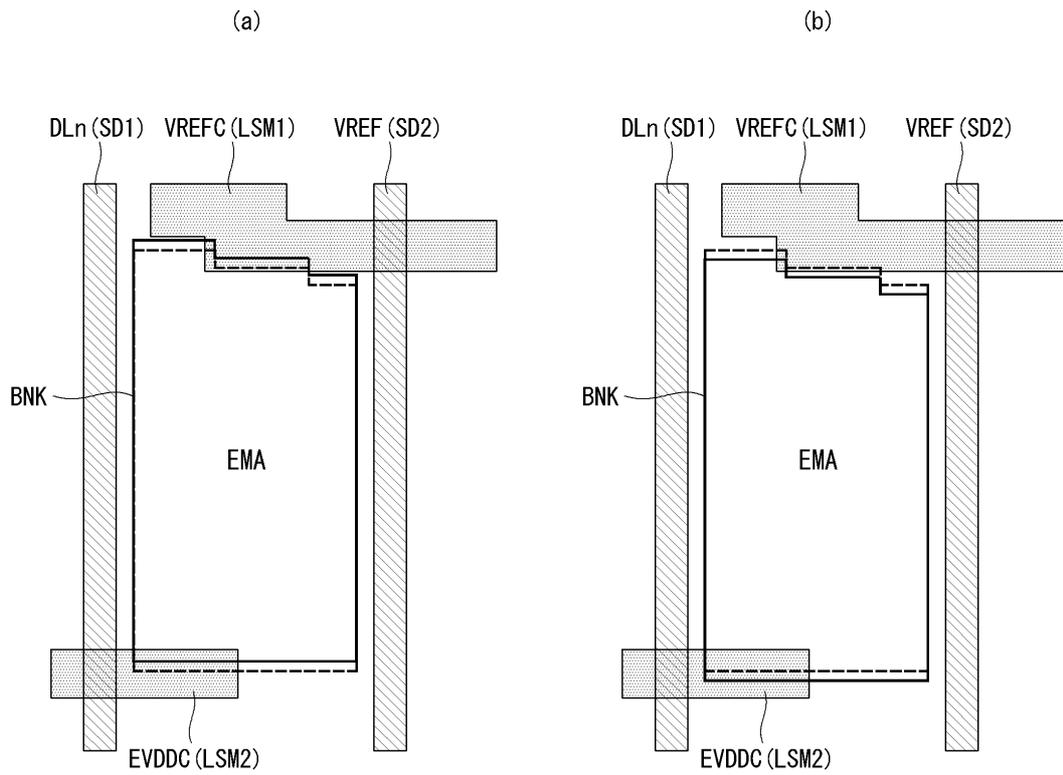
도면20



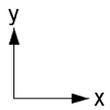
도면21



도면22

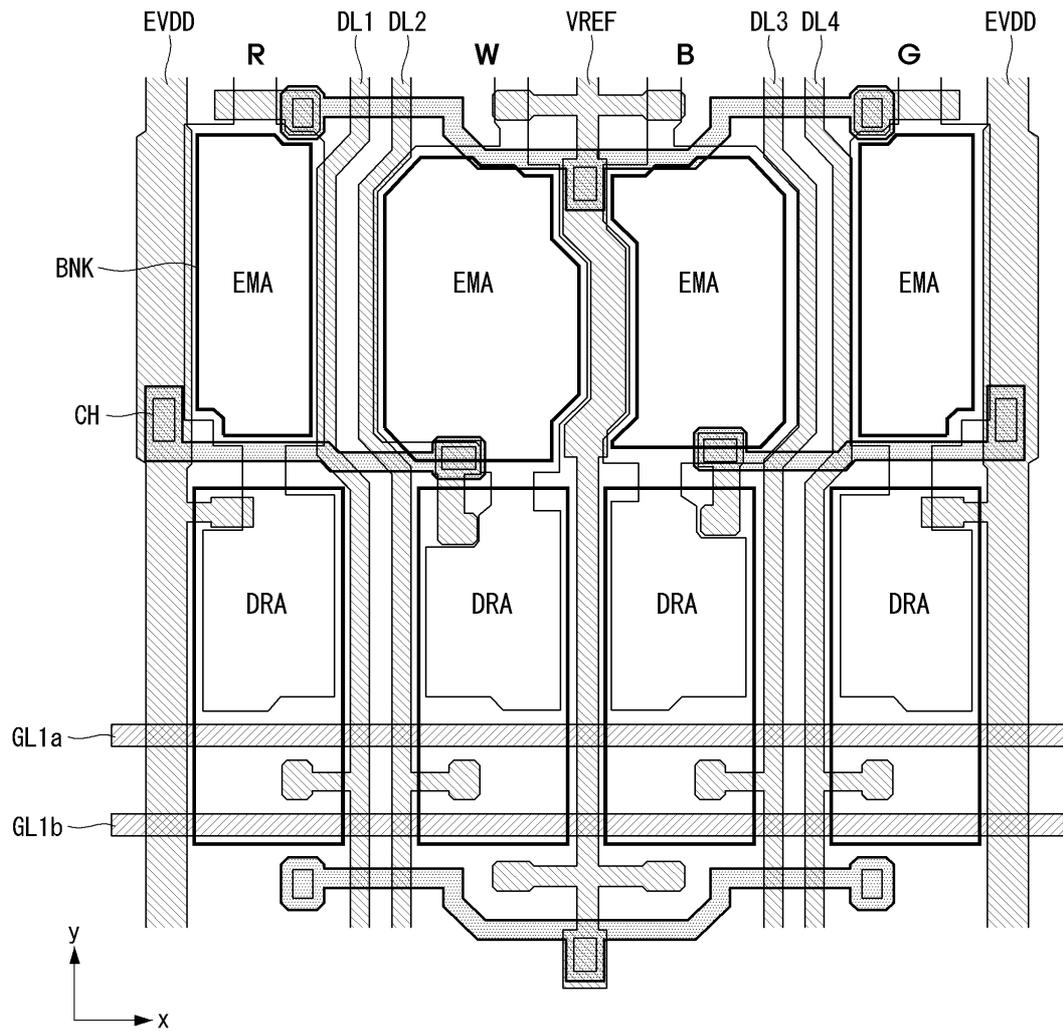


(→ Shift 전 후 개구부 영역은 동일함. (틀어짐 영역 면적 같음))

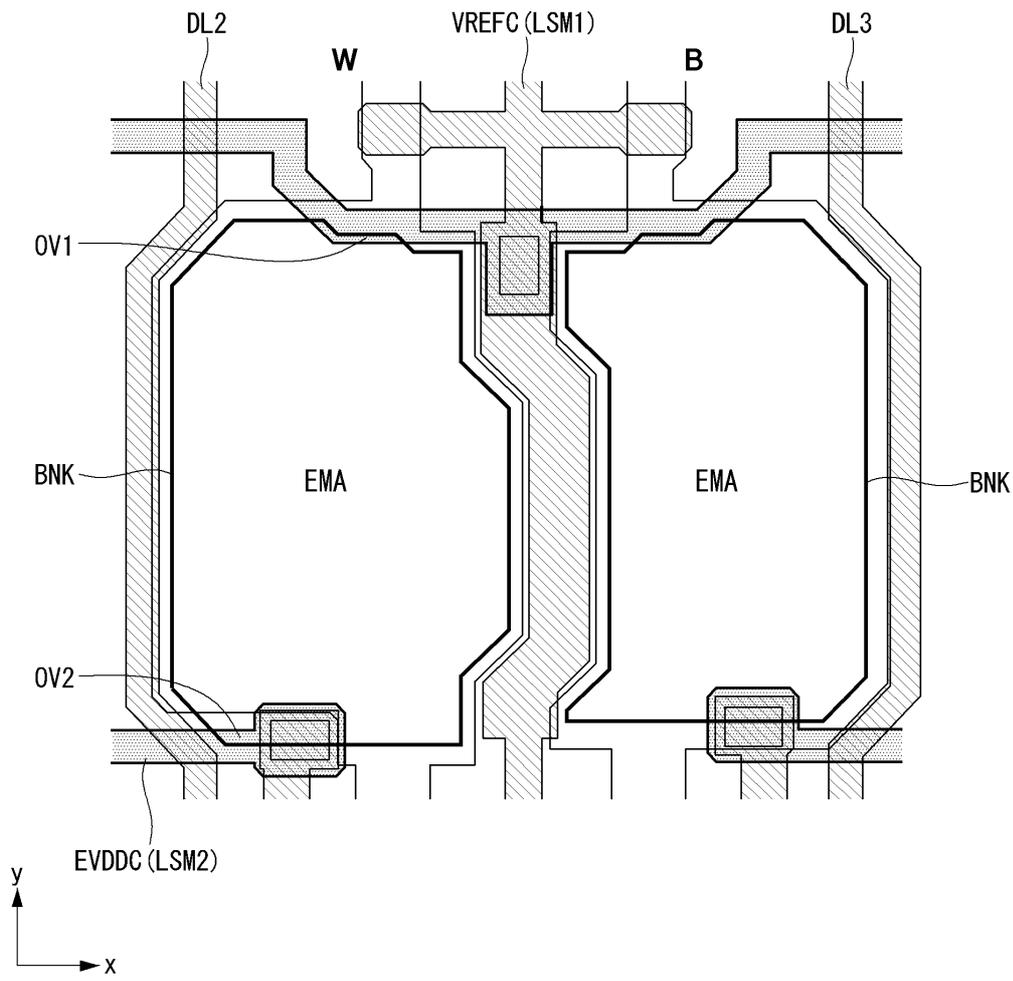


----- 설계 개구 영역
 ————— 실시예 개구 영역

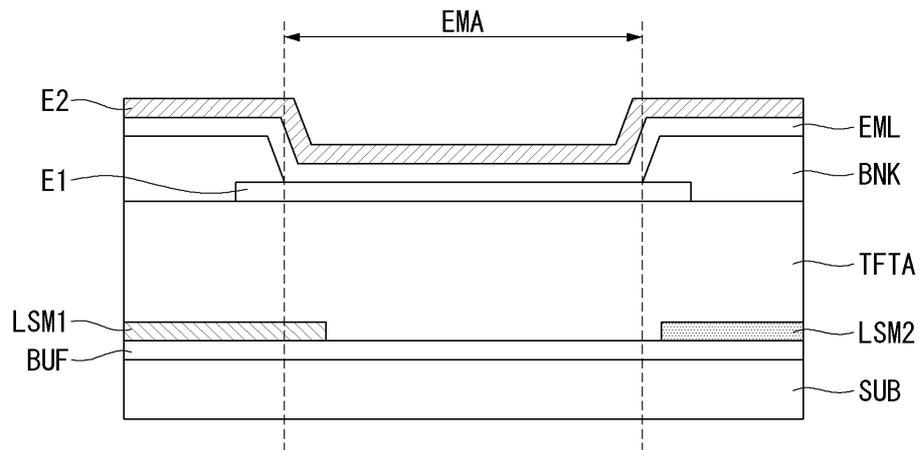
도면23



도면24



도면25



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020180003707A	公开(公告)日	2018-01-10
申请号	KR1020160082722	申请日	2016-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI KI MIN 최기민 KIM HONG SUK 김홍석		
发明人	최기민 김홍석		
IPC分类号	H01L27/32 G09G3/3233		
CPC分类号	H01L27/3276 H01L27/3246 H01L27/3272 H01L27/3262 H01L27/3213 G09G3/3233 G09G2330/021 G09G2300/0842 G09G2300/0426		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示器，包括第一基板，感测线连接部分，第一电源线连接部分，数据线，感测线和堤层。感测线连接部分由位于第一基板上的第一光阻挡层构成。第一电源线连接部分形成在第一基板上，并包括垂直设置并与第一光阻挡层间隔开的第二光阻挡层。数据线包括感测线连接部分和位于第一电源线连接部分上的薄膜晶体管部分的第一源漏金属层。感测线由薄膜晶体管部分的第二源漏金属层构成，在横向上与数据线隔开，并且电连接到感测线连接部分。堤层位于薄膜晶体管部分上并限定发光区域。堤层具有与感测线连接部分重叠的上部区域和与第一电源线连接部分重叠的下部区域。

