



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0079476
(43) 공개일자 2016년07월06일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2014-0190864
(22) 출원일자 2014년12월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
권희용
부산광역시 동래구 명륜로 185 삼덕건재
이미름
경상남도 김해시 금관대로1180번길 63 (외동)
(74) 대리인
오세일

전체 청구항 수 : 총 17 항

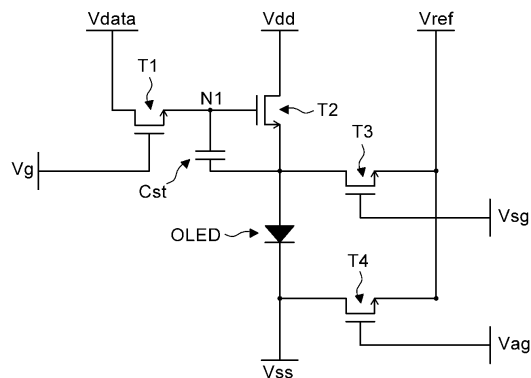
(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 불량 서브-화소의 압전화 방법

(57) 요약

유기 발광 표시 장치가 제공된다. 유기 발광 표시 장치는 구동 박막 트랜지스터, 유기 발광 소자, 센싱 박막 트랜지스터, 보조 박막 트랜지스터 및 래퍼런스(reference) 배선을 포함한다. 보조 박막 트랜지스터는 유기 발광 소자의 캐소드와 전기적으로 연결된다. 유기 발광 소자가 발광하는 발광 구간 동안 래퍼런스 배선에는 V_{ss} 전압이 인가되는 것을 특징으로 한다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 유기 발광 소자의 캐소드와 전기적으로 연결된 래퍼런스 배선을 포함하므로, 하나의 래퍼런스 배선을 통해 구동 박막 트랜지스터의 문턱 전압이 센싱되고, 캐소드에 V_{ss} 전압이 인가될 수 있다. 즉, 유기 발광 소자의 캐소드에는 보조 배선 및 래퍼런스 배선을 통해 V_{ss} 전압이 동시에 인가되므로, 유기 발광 소자의 캐소드에는 균일한 V_{ss} 전압이 인가될 수 있으며, V_{ss} 라이징 현상이 현저하게 감소될 수 있다.

대표도 - 도1

SPX



명세서

청구범위

청구항 1

게이트 전극 및 소스 전극을 포함하는 구동 박막 트랜지스터;

상기 구동 박막 트랜지스터와 전기적으로 연결된 애노드, 상기 애노드와 전기적으로 연결된 유기 발광층 및 캐소드를 포함하는 유기 발광 소자;

상기 구동 박막 트랜지스터의 상기 소스 전극과 전기적으로 연결된 센싱 박막 트랜지스터;

상기 유기 발광 소자의 상기 캐소드와 전기적으로 연결된 보조 박막 트랜지스터; 및

상기 센싱 박막 트랜지스터 및 상기 보조 박막 트랜지스터와 전기적으로 연결된 래퍼런스(reference) 배선을 포함하고,

상기 유기 발광 소자가 발광하는 발광 구간 동안 상기 래퍼런스 배선에는 V_{ss} 전압이 인가되는 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 발광 구간 동안 상기 센싱 박막 트랜지스터는 턴-오프(turn-off)되며, 상기 보조 박막 트랜지스터는 턴-온(turn-on)되는 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 3

제2항에 있어서,

상기 유기 발광 소자의 상기 캐소드와 전기적으로 연결된 보조 배선을 더 포함하고,

상기 보조 박막 트랜지스터는 상기 보조 배선과 전기적으로 연결된 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 구동 박막 트랜지스터, 상기 센싱 박막 트랜지스터 및 상기 보조 박막 트랜지스터를 덮는 평탄화층; 및

상기 보조 배선 상에 배치된 격벽을 더 포함하고,

상기 유기 발광 소자의 상기 캐소드는 상기 격벽의 경계부에서 노출된 상기 보조 배선의 상면과 접하며,

상기 보조 박막 트랜지스터는 상기 평탄화층에 구비된 컨택홀을 통해 상기 보조 배선과 전기적으로 연결된 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 5

제2항에 있어서,

상기 센싱 박막 트랜지스터 및 상기 보조 박막 트랜지스터는 모두 N형 박막 트랜지스터이거나, 상기 센싱 박막 트랜지스터 및 상기 보조 박막 트랜지스터는 모두 P형 박막 트랜지스터인 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 6

제2항에 있어서,

상기 센싱 박막 트랜지스터 및 상기 보조 박막 트랜지스터 중 하나의 박막 트랜지스터는 N형 박막 트랜지스터이

고, 나머지 박막 트랜지스터는 P형 박막 트랜지스터이며,

상기 센싱 박막 트랜지스터의 게이트 전극과 상기 보조 박막 트랜지스터의 게이트 전극은 서로 전기적으로 연결된 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 7

제6항에 있어서,

상기 N형 박막 트랜지스터는 저온 폴리 실리콘(Low Temperature Poly Silicon; LTPS)으로 이루어진 N형 액티브층을 포함하고,

상기 P형 박막 트랜지스터는 산화물 반도체(oxide semiconductor)로 이루어진 P형 액티브층을 포함하는 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 8

제1항에 있어서,

상기 구동 박막 트랜지스터와 전기적으로 연결된 Vdd배선;

상기 구동 박막 트랜지스터의 상기 게이트 전극과 전기적으로 연결된 일 전극 및 상기 구동 박막 트랜지스터의 상기 소스 전극과 전기적으로 연결된 타 전극을 포함하는 스토리지 커패시터;

상기 스토리지 커패시터의 상기 일 전극과 전기적으로 연결된 스위칭 박막 트랜지스터; 및

상기 스위칭 박막 트랜지스터와 전기적으로 연결된 데이터 배선 및 게이트 배선을 더 포함하는 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 9

기판 상에 서로 분리된 래퍼런스 배선과 하부 보조 배선; 및

복수의 서브 화소들을 포함하고, 상기 복수의 서브-화소들 각각은,

구동 박막 트랜지스터;

상기 구동 박막 트랜지스터와 전기적으로 연결된 애노드, 상기 애노드 상에 배치된 유기 발광층 및 상기 유기 발광층 상에 배치된 캐소드를 포함하는 유기 발광 소자;

상기 유기 발광 소자의 상기 캐소드와 전기적으로 연결된 아일랜드(island) 보조 전극;

상기 아일랜드 보조 전극 및 상기 하부 보조 배선과 전기적으로 연결된 보조 박막 트랜지스터; 및

상기 구동 박막 트랜지스터 및 상기 래퍼런스 배선과 전기적으로 연결된 센싱 박막 트랜지스터를 포함하고,

상기 복수의 서브-화소들이 각각 포함하는 아일랜드 보조 전극은 인접하는 다른 서브-화소의 아일랜드 보조 전극과 분리된 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 구동 박막 트랜지스터, 상기 센싱 박막 트랜지스터 및 상기 보조 박막 트랜지스터를 덮는 평탄화층; 및

상기 아일랜드 보조 전극 상에 배치된 격벽을 더 포함하고,

상기 유기 발광 소자의 상기 캐소드는 상기 격벽의 경계부에서 노출된 상기 아일랜드 보조 전극의 상면과 접하며,

상기 보조 박막 트랜지스터는 상기 평탄화층의 콘택홀을 통해 상기 아일랜드 보조 전극과 전기적으로 연결된 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 복수의 서브-화소들 각각은,

상기 구동 박막 트랜지스터의 게이트 전극과 전기적으로 연결된 일 전극 및 상기 구동 박막 트랜지스터의 소스 전극과 전기적으로 연결된 타 전극을 포함하는 스토리지 커패시터; 및

상기 스토리지 커패시터의 상기 일 전극과 전기적으로 연결된 스위칭 박막 트랜지스터를 더 포함하는 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 유기 발광 소자의 캐소드에 흐르는 캐소드 센싱 전류를 센싱하고, 센싱된 상기 캐소드 센싱 전류에 기초하여 불량 서브-화소를 검출하는 불량 검출부; 및

상기 불량 서브-화소에 대하여 데이터 전압을 차단하는 데이터 구동부를 포함하는 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 13

제12항에 있어서,

상기 캐소드 센싱 전류를 센싱하는 캐소드 센싱 구간 동안 상기 보조 박막 트랜지스터는 턴-온되고, 상기 센싱 박막 트랜지스터는 턴-오프되며,

상기 캐소드 센싱 구간 이후 상기 구동 박막 트랜지스터의 문턱 전압을 센싱하는 센싱 구간 동안 상기 보조 박막 트랜지스터는 턴-오프되고, 상기 센싱 박막 트랜지스터는 턴-온되며,

상기 센싱 구간 이후 유기 발광 소자가 발광하는 발광 구간 동안 상기 보조 박막 트랜지스터는 턴-온되고, 상기 센싱 박막 트랜지스터는 턴-오프되는 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 14

제9항에 있어서,

상기 복수의 서브-화소들중 적어도 하나의 서브-화소는 상기 유기 발광 소자의 상기 애노드 상에 배치된 이물 (particle)을 포함하고,

상기 이물의 주변에서 상기 유기 발광 소자의 상기 캐소드는 상기 애노드와 전기적으로 분리된 것을 특징으로 하는, 유기 발광 표시 장치.

청구항 15

복수의 서브-화소들 각각에 포함된 유기 발광 소자의 캐소드에 흐르는 캐소드 센싱 전류를 보조 박막 트랜지스터를 통해 센싱하는 단계;

센싱된 상기 캐소드 센싱 전류의 레벨과 기준 전류의 레벨을 비교함으로써, 불량 서브-화소를 검출하는 단계; 및

상기 불량 서브-화소에 대하여 상기 불량 서브-화소에 인가되는 데이터 전압을 차단하는 단계를 포함하는, 유기 발광 표시 장치의 불량 서브-화소의 암점화 방법.

청구항 16

제15항에 있어서,

상기 보조 박막 트랜지스터는 아일랜드 보조 전극을 통해 상기 유기 발광 소자의 상기 캐소드와 전기적으로 연결되고,

상기 아일랜드 보조 전극은 인접하는 다른 서브-화소의 아일랜드 보조 전극과 서로 분리되며,

상기 캐소드 센싱 전류는 상기 아일랜드 보조 전극 및 상기 보조 박막 트랜지스터를 통해 센싱되는 것을 특징으로

로하는, 유기 발광 표시 장치의 불량 서브-화소의 암점화 방법.

청구항 17

제16항에 있어서,

상기 캐소드 센싱 전류를 상기 보조 박막 트랜지스터를 통해 센싱하는 단계는,

상기 유기 발광 소자의 애노드와 전기적으로 연결된 구동 박막 트랜지스터 및 상기 유기 발광 소자의 상기 캐소드와 전기적으로 연결된 상기 보조 박막 트랜지스터를 턴-온시키는 단계; 및

상기 보조 박막 트랜지스터와 연결된 하부 보조 배선을 통해 캐소드 센싱 전류를 센싱하는 단계를 포함하는 것을 특징으로 하는, 유기 발광 표시 장치의 불량 서브-화소의 암점화 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 불량 서브-화소의 암점화 방법에 관한 것으로서, 보다 상세하게는 Vss 라이징 현상이 개선되고, 불량 서브-화소를 효과적으로 검출할 수 있는 유기 발광 표시 장치 및 유기 발광 표시 장치의 불량 서브-화소의 암점화 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(organic light emitting display device)는 자체 발광형 표시 장치로서, 액정 표시 장치(liquid crystal display device)와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조 가능하다. 또한, 유기 발광 표시 장치는 저전압 구동에 따라 소비 전력 측면에서 유리할 뿐만 아니라, 응답 속도, 시야각 및 명암 대비비(contrast ratio)도 우수하여, 차세대 디스플레이로서 연구되고 있다.

[0003] 유기 발광 표시 장치는 탑 에미션(top emission) 방식의 유기 발광 표시 장치와 바텀 에미션(bottom emission) 방식의 유기 발광 표시 장치로 구분될 수 있는데, 탑 에미션 방식의 유기 발광 표시 장치는 유기 발광층에서 발광된 빛을 상부로 발광시키기 위해 얇은 금속 전극 또는 투명 도전층으로 구성된 캐소드를 포함한다. 투명 도전층 또는 얇은 금속 전극은 다른 전극들에 비해 전기적 저항이 높은 단점이 있다.

[0004] 한편, 유기 발광 소자의 캐소드는 기판의 외곽에 배치되는 전원 공급 패드부와 전기적으로 연결될 수 있는데, 캐소드와 전원 공급 패드부 사이의 거리가 멀어질수록 캐소드의 높은 저항에 기인하여 캐소드의 전압이 상승하는 Vss 라이징 현상 또는 유기 발광 소자의 캐소드와 애노드 사이의 전위차가 감소되는 전압 강하(IR-drop) 현상이 더 심하게 발생할 수 있다. Vss 라이징 현상(또는 전압 강하 현상)은 유기 발광 표시 장치의 휘도 불균일 문제를 발생시킬 수 있다. 이러한, Vss 라이징 현상을 감소시키기 위해, 전원 공급 패드부로부터 멀리 떨어진 캐소드와 전기적으로 연결된 저저항의 보조 배선이 추가로 사용된다. 그러나, 대면적 유기 발광 표시 장치의 경우, 보조 배선만으로 Vss 라이징 현상이 충분히 감소되지 못하는 문제가 있다.

[0005] 한편, 유기 발광 표시 장치를 제조하는 과정에서 유기 발광 소자의 애노드 상에 이물이 유입될 수 있으며, 유기 발광 소자의 애노드와 캐소드가 이물의 주변에서 서로 접촉되는 문제가 빈번하게 발생된다. 이물에 의한 애노드와 캐소드의 접촉은 서브-화소의 암점화를 유발하므로, 애노드와 캐소드의 접촉을 서로 분리하기 위해 에이징 공정이 수반될 수 있다. 에이징 공정은 애노드와 캐소드 사이에 역바이어스(reverse bias)의 에이징 전압을 인가함으로써, 애노드와 캐소드의 접촉을 서로 분리하는 공정이다. 그러나, 유기 발광 소자의 캐소드와 전기적으로 연결된 보조 배선은 인접하는 다른 유기 발광 소자의 캐소드와도 전기적으로 연결되므로, 에이징 전압이 인가될 때, 에이징 전압은 보조 배선을 통해 인접하는 다른 유기 발광 소자에도 인가될 수 있고, 에이징 전압에 의해 정상적인 유기 발광 소자가 손상되는 문제가 빈번하게 발생된다.

[0006] 또한, 에이징 공정에도 불구하고 이물에 의한 애노드와 캐소드의 접촉이 완전하게 분리되지 못할 수 있으며, 유기 발광 표시 장치가 완성된 이후, 유기 발광 소자의 열화로 인해 추가적으로 불량이 발생할 수 있다. 유기 발광 소자의 불량은 서브-화소의 휘점 불량으로 나타나며 서브-화소의 휘점 불량은 유기 발광 표시 장치의 화질을 저하시키는 문제를 유발한다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 유기 전기발광 표시장치 및 그 구동방법 (특허출원번호 제2012-0142876호)

발명의 내용

해결하려는 과제

- [0008] 본 발명의 발명자들은 Vss 라이징 현상을 개선하기 위해서 보조 배선이 사용될 수 있지만, 대면적의 유기 발광 표시 장치에서는 보조 배선만으로 Vss 라이징 현상이 충분히 개선될 수 없음을 인식하였다. 이에, 본 발명자들은 구동 박막 트랜지스터의 문턱 전압을 센싱하는 용도로 사용되는 래퍼런스 배선을 유기 발광 소자의 캐소드와 연결시키고, 유기 발광 소자가 발광하는 발광 구간 동안 래퍼런스 배선에 Vss전압이 인가되도록 함으로써, Vss 라이징 현상이 더욱 개선된 유기 발광 표시 장치를 발명하였다.
- [0009] 이에, 본 발명이 해결하고자 하는 과제는 유기 발광 소자의 캐소드와 연결된 보조 배선 및 래퍼런스 배선을 사용하여 유기 발광 소자의 캐소드에 Vss전압을 이중으로 인가함으로써, Vss 라이징 현상을 현저하게 감소시킬 수 있는 유기 발광 표시 장치를 제공하는 것이다.
- [0010] 본 발명이 해결하고자 하는 다른 과제는 서브-화소 별로 분리된 아일랜드(island) 보조 전극을 사용하여 에이징 공정에서 인가되는 에이징 전압이 특정 서브-화소에 집중될 수 있도록 함으로써, 에이징 전압에 의한 영향이 최소화된 유기 발광 표시 장치를 제공하는 것이다.
- [0011] 본 발명이 해결하고자 하는 또 다른 과제는 유기 발광 표시 장치가 완성된 이후, 추가적으로 발생될 수 있는 불량 서브-화소를 암점화 시킴으로써, 불량 서브-화소에 의한 유기 발광 표시 장치의 화질 저하를 최소화시킬 수 있는 유기 발광 표시 장치의 불량 서브-화소의 암점화 방법을 제공하는 것이다.
- [0012] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0013] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 구동 박막 트랜지스터, 유기 발광 소자, 센싱 박막 트랜지스터, 보조 박막 트랜지스터 및 래퍼런스(reference) 배선을 포함한다. 구동 박막 트랜지스터는 게이트 전극 및 소스 전극을 포함한다. 유기 발광 소자는 구동 박막 트랜지스터와 전기적으로 연결된 애노드, 애노드와 전기적으로 연결된 유기 발광층 및 캐소드를 포함한다. 센싱 박막 트랜지스터는 구동 박막 트랜지스터의 소스 전극과 전기적으로 연결된다. 보조 박막 트랜지스터는 유기 발광 소자의 캐소드와 전기적으로 연결된다. 래퍼런스 배선은 센싱 박막 트랜지스터 및 보조 박막 트랜지스터와 전기적으로 연결되고, 유기 발광 소자가 발광하는 발광 구간 동안 래퍼런스 배선에는 Vss전압이 인가되는 것을 특징으로 한다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 유기 발광 소자의 캐소드와 전기적으로 연결된 래퍼런스 배선을 포함하므로, 하나의 래퍼런스 배선을 통해 구동 박막 트랜지스터의 문턱 전압이 센싱되고, 캐소드에 Vss전압이 인가될 수 있다. 즉, 유기 발광 소자의 캐소드에는 보조 배선 및 래퍼런스 배선을 통해 Vss전압이 동시에 인가되므로, 유기 발광 소자의 캐소드에는 균일한 Vss전압이 인가될 수 있으며, Vss라이징 현상이 현저하게 감소될 수 있다.
- [0014] 본 발명의 또 다른 특징에 따르면, 발광 구간 동안 센싱 박막 트랜지스터는 턴-오프(turn-off)되며, 보조 박막 트랜지스터는 턴-온(turn-on)되는 것을 특징으로 한다.
- [0015] 본 발명의 또 다른 특징에 따르면, 유기 발광 소자의 캐소드와 전기적으로 연결된 보조 배선을 더 포함하고, 보조 박막 트랜지스터는 보조 배선과 전기적으로 연결된 것을 특징으로 한다.
- [0016] 본 발명의 또 다른 특징에 따르면, 유기 발광 표시 장치는 구동 박막 트랜지스터, 센싱 박막 트랜지스터 및 보조 박막 트랜지스터를 덮는 평탄화층 및 보조 배선 상에 배치된 격벽을 더 포함하고, 유기 발광 소자의 캐소드는 격벽의 경계부에서 노출된 보조 배선의 상면과 접하며, 보조 박막 트랜지스터는 평탄화층에 구비된 컨택홀을

통해 보조 배선과 전기적으로 연결된 것을 특징으로 한다.

- [0017] 본 발명의 또 다른 특징에 따르면, 센싱 박막 트랜지스터 및 보조 박막 트랜지스터는 모두 N형 박막 트랜지스터이거나, 센싱 박막 트랜지스터 및 보조 박막 트랜지스터는 모두 P형 박막 트랜지스터인 것을 특징으로 한다.
- [0018] 본 발명의 또 다른 특징에 따르면, 센싱 박막 트랜지스터 및 보조 박막 트랜지스터 중 하나의 박막 트랜지스터는 N형 박막 트랜지스터이고, 나머지 박막 트랜지스터는 P형 박막 트랜지스터이며, 센싱 박막 트랜지스터의 게이트 전극과 보조 박막 트랜지스터의 게이트 전극은 서로 전기적으로 연결된 것을 특징으로 한다.
- [0019] 본 발명의 또 다른 특징에 따르면, N형 박막 트랜지스터는 저온 폴리 실리콘(Low Temperature Poly Silicon; LTPS)으로 이루어진 N형 액티브층을 포함하고, P형 박막 트랜지스터는 산화물 반도체(oxide semiconductor)로 이루어진 P형 액티브층을 포함하는 것을 특징으로 한다.
- [0020] 본 발명의 또 다른 특징에 따르면, 구동 박막 트랜지스터와 전기적으로 연결된 Vdd배선, 구동 박막 트랜지스터의 게이트 전극과 연결된 일 전극 및 구동 박막 트랜지스터의 소스 전극과 전기적으로 연결된 타 전극을 포함하는 스토리지 커패시터, 스토리지 커패시터의 일 전극과 전기적으로 연결된 스위칭 박막 트랜지스터 및 스위칭 박막 트랜지스터와 전기적으로 연결된 데이터 배선 및 게이트 배선을 더 포함하는 것을 특징으로 한다.
- [0021] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 기판 상에 서로 분리된 래퍼런스 배선과 하부 보조 배선 및 복수의 서브 화소들을 포함한다. 복수의 서브-화소들 각각은 구동 박막 트랜지스터, 유기 발광 소자, 아일랜드(island) 보조 전극, 보조 박막 트랜지스터 및 센싱 박막 트랜지스터를 포함한다. 유기 발광 소자는 구동 박막 트랜지스터와 전기적으로 연결된 애노드, 애노드 상에 배치된 유기 발광층 및 유기 발광층 상에 배치된 캐소드를 포함한다. 아일랜드 보조 전극은 유기 발광 소자의 캐소드와 전기적으로 연결된다. 보조 박막 트랜지스터는 아일랜드 보조 전극 및 하부 보조 배선과 전기적으로 연결된다. 센싱 박막 트랜지스터는 구동 박막 트랜지스터 및 래퍼런스 배선과 전기적으로 연결된다. 복수의 서브-화소들이 각각 포함하는 아일랜드 보조 전극은 인접하는 다른 서브-화소의 아일랜드 보조 전극과 분리된 것을 특징으로 한다. 본 발명의 다른 실시예 따른 유기 발광 표시 장치는 아일랜드 보조 전극, 보조 박막 트랜지스터 및 센싱 박막 트랜지스터를 포함하므로, 유기 발광 표시 장치에 대한 에이징 공정에서 에이징 전압은 특정 서브-화소의 캐소드와 애노드 양단에만 선택적으로 인가될 수 있다. 즉, 에이징 전압은 보조 박막 트랜지스터 및 아일랜드 보조 전극과 연결된 유기 발광 소자의 캐소드 및 센싱 박막 트랜지스터와 연결된 유기 발광 소자의 애노드 양단에만 인가되고, 인접하는 다른 서브-화소의 애노드 및 캐소드에는 인가되지 않는다. 따라서, 에이징 공정이 보다 효과적으로 수행될 수 있으며, 유기 발광 표시 장치의 생산 수율 및 신뢰성이 향상될 수 있다.
- [0022] 본 발명의 또 다른 특징에 따르면, 유기 발광 표시 장치는 구동 박막 트랜지스터, 센싱 박막 트랜지스터 및 보조 박막 트랜지스터를 덮는 평탄화층 및 아일랜드 보조 전극 상에 배치된 격벽을 더 포함하고, 유기 발광 소자의 캐소드는 격벽의 경계부에서 노출된 아일랜드 보조 전극의 상면과 접하며, 보조 박막 트랜지스터는 평탄화층의 컨택홀을 통해 아일랜드 보조 전극과 전기적으로 연결된 것을 특징으로 한다.
- [0023] 본 발명의 또 다른 특징에 따르면, 복수의 서브-화소들 각각은 구동 박막 트랜지스터의 게이트 전극과 전기적으로 연결된 일 전극 및 구동 박막 트랜지스터의 소스 전극과 전기적으로 연결된 타 전극을 포함하는 스토리지 커패시터 및 스토리지 커패시터의 일 전극과 전기적으로 연결된 스위칭 박막 트랜지스터를 더 포함하는 것을 특징으로 한다.
- [0024] 본 발명의 또 다른 특징에 따르면, 유기 발광 표시 장치는 유기 발광 소자의 캐소드에 흐르는 캐소드 센싱 전류를 센싱하고, 센싱된 캐소드 센싱 전류에 기초하여 불량 서브-화소를 검출하는 불량 검출부 및 불량 서브-화소에 대하여 데이터 전압을 차단하는 데이터 구동부를 포함하는 것을 특징으로 한다.
- [0025] 본 발명의 또 다른 특징에 따르면, 캐소드 센싱 전류를 센싱하는 캐소드 센싱 구간 동안 보조 박막 트랜지스터는 턴-온되고, 센싱 박막 트랜지스터는 턴-오프되며, 캐소드 센싱 구간 이후 구동 박막 트랜지스터의 문턱 전압을 센싱하는 센싱 구간 동안 보조 박막 트랜지스터는 턴-오프되고, 센싱 박막 트랜지스터는 턴-온되며, 센싱 구간 이후 유기 발광 소자가 발광하는 발광 구간 동안 보조 박막 트랜지스터는 턴-온되고, 센싱 박막 트랜지스터는 턴-오프되는 것을 특징으로 한다.
- [0026] 본 발명의 또 다른 특징에 따르면, 복수의 서브-화소들중 적어도 하나의 서브-화소는 유기 발광 소자의 애노드 상에 배치된 이물(particle)을 포함하고, 이물의 주변에서 유기 발광 소자의 캐소드는 애노드와 전기적으로 분리된 것을 특징으로 한다.

[0027] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소의 암점화 방법은 복수의 서브-화소들 각각에 포함된 유기 발광 소자의 캐소드에 흐르는 캐소드 센싱 전류를 보조 박막 트랜지스터를 통해 센싱하는 단계, 센싱된 캐소드 센싱 전류의 레벨과 기준 전류의 레벨을 비교함으로써, 불량 서브-화소를 검출하는 단계 및 불량 서브-화소에 대하여 불량 서브-화소에 인가되는 데이터 전압을 차단하는 단계를 포함하는 것을 특징으로 한다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소의 암점화 방법은 유기 발광 소자의 캐소드와 연결된 보조 박막 트랜지스터를 사용하여 유기 발광 소자의 캐소드에 흐르는 캐소드 센싱 전류를 센싱할 수 있으므로, 유기 발광 표시 장치가 완성된 이후에 추가적으로 발생될 수 있는 불량 서브-화소를 검출하고, 불량 서브-화소를 암점화할 수 있다. 이에, 불량 서브-화소에 의한 유기 발광 표시 장치의 화질 저하가 최소화될 수 있다.

[0028] 본 발명의 또 다른 특징에 따르면, 보조 박막 트랜지스터는 아일랜드 보조 전극을 통해 유기 발광 소자의 캐소드와 전기적으로 연결되고, 아일랜드 보조 전극은 인접하는 다른 서브-화소의 아일랜드 보조 전극과 서로 분리되며, 캐소드 센싱 전류는 아일랜드 보조 전극 및 보조 박막 트랜지스터를 통해 센싱되는 것을 특징으로 한다.

[0029] 본 발명의 또 다른 특징에 따르면, 캐소드 센싱 전류를 보조 박막 트랜지스터를 통해 센싱하는 단계는, 유기 발광 소자의 애노드와 전기적으로 연결된 구동 박막 트랜지스터 및 유기 발광 소자의 캐소드와 전기적으로 연결된 보조 박막 트랜지스터를 턴-온시키는 단계 및 보조 박막 트랜지스터와 연결된 하부 보조 배선을 통해 캐소드 센싱 전류를 센싱하는 단계를 포함하는 것을 특징으로 한다.

[0030] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0031] 본 발명은 구동 박막 트랜지스터의 문턱 전압을 센싱하기 위한 래퍼런스 배선 및 유기 발광 소자의 캐소드와 전기적으로 연결된 보조 박막 트랜지스터를 사용하여 캐소드에 V_{ss} 전압을 인가할 수 있으므로, V_{ss} 라이징 현상이 감소되는 효과가 있다.

[0032] 또한, 본 발명은 아일랜드 보조 전극, 보조 박막 트랜지스터 및 센싱 박막 트랜지스터를 통해 특정 서브-화소의 애노드 및 캐소드 양단에 에이징 전압이 선택적으로 인가될 수 있으므로, 에이징 전압에 의한 영향이 최소화되는 효과가 있다.

[0033] 또한, 본 발명은 유기 발광 소자의 캐소드와 연결된 보조 박막 트랜지스터를 통해 캐소드에 흐르는 캐소드 센싱 전류를 센싱할 수 있으며, 이에 기초하여 유기 발광 표시 장치가 완성된 이후에 추가로 발생될 수 있는 불량 서브-화소를 용이하게 검출할 수 있는 효과가 있다.

[0034] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0035] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 구비된 서브-화소를 설명하기 위한 회로도이다.

도 2는 도 1의 서브-화소의 개략적인 평면도이다.

도 3은 도 2의 IIIa-IIIa' 및 IIIb-IIIb'에 대한 개략적인 단면도이다.

도 4는 도 1의 서브-화소의 스위칭 박막 트랜지스터의 게이트 전극, 센싱 박막 트랜지스터의 게이트 전극 및 보조 박막 트랜지스터의 게이트 전극에 인가되는 게이트 신호들의 파형도이다.

도 5a 내지 도 5b는 도 2의 서브-화소의 동작 과정을 설명하기 위한 회로도들이다.

도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 V_{ss} 라이징 현상이 감소되는 효과를 설명하기 위한 그래프이다.

도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치에 구비된 서브-화소를 설명하기 위한 회로도이다.

도 8은 도 7의 서브-화소의 개략적인 평면도이다.

도 9는 도 8의 IXa-IXa' 및 IXb-IXb'에 대한 개략적인 단면도이다.

도 10은 도 7의 서브-화소의 스위칭 박막 트랜지스터의 게이트 전극, 센싱 박막 트랜지스터의 게이트 전극 및

보조 박막 트랜지스터의 게이트 전극에 인가되는 게이트 신호들의 파형도이다.

도 11은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 개략적인 블록도이다.

도 12는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.

도 13은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치에 구비된 서브-화소의 회로도이다.

도 14는 도 13의 서브-화소의 개략적인 평면도이다.

도 15은 도 14의 XVa-XVa' 및 XVb-XVb'에 대한 단면도이다.

도 16은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법을 설명하기 위한 순서도이다.

도 17은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법에서 스위칭 박막 트랜지스터의 게이트 전극 및 보조 박막 트랜지스터의 게이트 전극에 인가되는 게이트 신호들의 파형도이다.

도 18a 내지 도 18c는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법을 설명하기 위한 회로도들이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0037] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0038] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0039] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0040] 소자 또는 층이 다른 소자 또는 층 '위 (on)'로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0041] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0042] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0043] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0044] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0045] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0046] 도 1는 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 구비된 서브-화소를 설명하기 위한 회로도이다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 유기 발광 소자(OLED)에서 발광된 빛이 기관의 상면 방향으로

방출되는 탑 에미션 방식의 유기 발광 표시 장치이다. 탑 에미션의 유기 발광 표시 장치는 애노드에 반사층을 포함하고, 유기 발광층에서 발광된 빛은 투명한 캐소드를 통하여 방출된다.

- [0047] 본 발명의 일 실시예들에 따른 유기 발광 표시 장치는 복수의 서브-화소(SPX)들을 포함한다. 복수의 서브-화소(SPX)들은 유기 발광 표시 장치에서 하나의 색을 표시한다. 예를 들어, 각 서브-화소(SPX)는 적색, 녹색, 청색, 백색 중 어느 하나의 색을 표시한다. 이 경우, 적색, 녹색, 청색 및 백색의 서브-화소(SPX)가 하나의 화소로 정의될 수 있다. 복수의 서브-화소(SPX)들은 유기 발광 표시 장치의 기판 상에 매트릭스로 배열되며, 복수의 서브-화소(SPX)들 사이에 복수의 배선들이 배치될 수 있다. 도 1에는 유기 발광 표시 장치에 포함된 복수의 서브-화소(SPX)들 중 하나의 서브-화소(SPX)의 회로도가 도시되어 있다.
- [0048] 도 1을 참조하면, 각 서브-화소(SPX)는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 스토리지 커패시터(Cst), 센싱 박막 트랜지스터(T3), 보조 박막 트랜지스터(T4) 및 유기 발광 소자(OLED)를 포함한다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 서브-화소(SPX)는 4개의 박막 트랜지스터와 1개의 커패시터를 포함하므로, 4T1C구조로 지칭될 수 있다. 그러나, 서브-화소(SPX)의 구조가 이에 한정되는 것은 아니며, 4T2C, 5T2C, 6T2C 또는 7T2C 등 다양한 추가 보상 구조를 포함하도록 구성될 수 있다.
- [0049] 서브-화소(SPX)에 포함된 4개의 박막 트랜지스터는 각각 액티브층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하며, P형 박막 트랜지스터 또는 N형 박막 트랜지스터일 수 있다. 도 1에는 설명의 편의를 위해 N형 박막 트랜지스터를 도시하였다. 또한, 서브-화소(SPX)에 포함된 4개의 박막 트랜지스터는 각각 게이트 전극이 액티브층 상부에 배치된 코플라너(coplanar) 구조 또는 게이트 전극이 액티브층 하부에 배치된 인버티드 스테거드(inverted-staggered) 구조일 수 있다.
- [0050] 스위칭 박막 트랜지스터(T1)는 데이터 배선과 연결된 드레인 전극, 제1 노드(N1)에 연결된 소스 전극 및 게이트 배선에 연결된 게이트 전극을 포함한다. 스위칭 박막 트랜지스터(T1)는 게이트 구동부로부터 게이트 배선에 인가되는 게이트 전압(Vg)에 기초하여 턴-온(turn-on)되며, 데이터 구동부로부터 데이터 배선에 인가되는 데이터 전압(Vdata)을 제1 노드(N1)에 충전한다.
- [0051] 구동 박막 트랜지스터(T2)는 고전위 배선(즉, Vdd배선)과 연결된 드레인 전극, 유기 발광 소자(OLED)의 애노드와 연결된 소스 전극 및 제1 노드(N1)와 연결된 게이트 전극을 포함한다. 구동 박막 트랜지스터(T2)는 제1 노드(N1) 전압이 문턱 전압(threshold voltage; V_{th})보다 높은 경우 턴-온되고, 제1 노드(N1) 전압이 문턱 전압보다 낮은 경우 턴-오프(turn-off)되며, Vdd배선으로부터 전달 받은 구동 전류를 유기 발광 소자(OLED)로 전달한다.
- [0052] 스토리지 커패시터(Cst)는 제1 노드(N1)와 연결된 일 전극 및 구동 박막 트랜지스터(T2)의 소스 전극에 연결된 타 전극을 포함한다. 스토리지 커패시터(Cst)는 유기 발광 소자(OLED)가 발광하는 발광 구간(emission time) 동안 구동 박막 트랜지스터(T2)의 게이트 전극과 소스 전극 사이의 전위차를 유지시킴으로써, 유기 발광 소자(OLED)에 일정한 구동 전류가 전달되도록 한다.
- [0053] 센싱 박막 트랜지스터(T3)는 구동 박막 트랜지스터(T2)의 소스 전극과 연결된 드레인 전극, 래퍼런스 배선과 연결된 소스 전극 및 센싱 게이트 배선과 연결된 게이트 전극을 포함한다. 센싱 박막 트랜지스터(T3)는 구동 박막 트랜지스터(T2)의 문턱 전압을 센싱하기 위한 박막 트랜지스터이며, 이에 대해서는 후술하기로 한다.
- [0054] 보조 박막 트랜지스터(T4)는 유기 발광 소자(OLED)의 캐소드와 전기적으로 연결된 드레인 전극, 래퍼런스 배선과 전기적으로 연결된 소스 전극 및 보조 게이트 배선과 전기적으로 연결된 게이트 전극을 포함한다. 보조 박막 트랜지스터(T4)는 발광 구간에서 턴-온되고, 유기 발광 소자(OLED)의 캐소드에 저전위 전압(즉, Vss 전압)을 전달한다. 이에, 대해서는 후술하기로 한다.
- [0055] 도 2는 도 1의 서브-화소의 개략적인 평면도이다. 도 3은 도 2의 IIIa-IIIa' 및 IIIb-IIIb'에 대한 개략적인 단면도이다. 설명의 편의를 위해, 도 2에는 유기 발광 소자(OLED)가 생략되어 있으며, 도 2 및 도 3에는 코플라너 구조의 박막 트랜지스터가 도시되어 있다.
- [0056] 도 2를 참조하면, 데이터 배선(DL) 및 게이트 배선(GL)은 기판(110) 상에서 서로 교차하도록 연장된다. 데이터 배선(DL) 및 게이트 배선(GL)이 교차함으로써 정의되는 영역 내에 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 스토리지 커패시터(Cst), 센싱 박막 트랜지스터(T3) 및 보조 박막 트랜지스터(T4)가 배치된다. 데이터 배선(DL)은 기판(110)의 외곽에 배치되는 데이터 구동부와 전기적으로 연결될 수 있으며, 게이트 배선(GL)은 기판(110)의 외곽에 배치되는 게이트 구동부와 전기적으로 연결될 수 있다.

- [0057] Vdd배선(VDL)은 구동 박막 트랜지스터(T2)와 전기적으로 연결되며, 제1 전원 공급 패드부와 전기적으로 연결된다. 제1 전원 공급 패드부는 전원 공급부로부터 고전위 전압(즉, Vdd전압)을 제공 받으며, Vdd배선(VDL)은 제1 전원 공급 패드부로부터 제공받은 고전위 전압(즉, Vdd전압)을 구동 박막 트랜지스터(T2)의 드레인 전극에 인가한다.
- [0058] 래퍼런스 배선(RL)은 센싱 박막 트랜지스터(T3) 및 보조 박막 트랜지스터(T4)와 전기적으로 연결된다. 예를 들어, 도 2에 도시된 바와 같이, 래퍼런스 배선(RL)은 센싱 박막 트랜지스터(T3)의 드레인 전극과 연결된 제1 연결 배선(195)을 통해 센싱 박막 트랜지스터(T3)와 전기적으로 연결되고, 보조 박막 트랜지스터(T4)의 드레인 전극과 연결된 제2 연결 배선(145)을 통해 보조 박막 트랜지스터(T4)와 전기적으로 연결된다.
- [0059] 래퍼런스 배선(RL)은 센싱 구간(sensing time)에 구동 박막 트랜지스터(T2)의 문턱 전압을 센싱하기 위한 배선이다. 센싱 구간 동안 래퍼런스 배선(RL)은 유기 발광 표시 장치의 보상부와 전기적으로 연결될 수 있으며, 보상부는 래퍼런스 배선(RL)을 통해 구동 박막 트랜지스터(T2)의 문턱 전압을 센싱 및 저장하고, 데이터 전압의 보상 값을 산출한다. 데이터 구동부는 보상부에서 산출된 보상 값에 기초하여 데이터 전압을 보상한다. 보상부는 아날로그 형식의 문턱 전압을 디지털화하여 저장할 수 있으며, 이를 위해 보상부는 ADC(Analog-to-Digital Converter) 및 룩업테이블(Lookup Table; LUT)을 포함할 수 있다.
- [0060] 또한, 래퍼런스 배선(RL)은 발광 구간(emission time) 동안 Vss전압을 보조 박막 트랜지스터(T4)로 전달하기 위한 배선이다. 상술한 바와 같이, 보조 박막 트랜지스터(T4)는 유기 발광 소자(OLED)의 캐소드와 전기적으로 연결되므로, 래퍼런스 배선(RL)에 Vss전압이 인가되는 경우, Vss전압은 보조 박막 트랜지스터(T4)를 통해 유기 발광 소자의 캐소드에 동일하게 인가될 수 있다. 래퍼런스 배선(RL)에 Vss전압을 인가하기 위해, 발광 구간 동안 래퍼런스 배선(RL)은 제2 전원 공급 패드부와 전기적으로 연결된다. 제2 전원 공급 패드부는 전원 공급부와 전기적으로 연결되며, 전원 공급부로부터 제공받은 Vss전압을 래퍼런스 배선(RL)으로 전달한다.
- [0061] 결과적으로, 래퍼런스 배선(RL)은 센싱 구간 동안 보상부와 전기적으로 연결됨으로써, 구동 박막 트랜지스터(T2)의 문턱 전압을 센싱하는 용도로 사용되고, 발광 구간 동안 래퍼런스 배선(RL)은 제2 전원 공급 패드부와 전기적으로 연결됨으로써, 유기 발광 소자(OLED)의 캐소드에 Vss 전압을 인가하는 용도로 사용된다. 이를 위해, 스위칭 소자가 래퍼런스 배선(RL)의 일 측에 배치될 수 있다. 스위칭 소자는 래퍼런스 배선(RL)과 보상부 및 래퍼런스 배선(RL)과 제2 전원 공급 패드부의 연결을 스위치한다. 설명의 편의를 위해 도 2 및 도 3에서 스위칭 소자, 전원 공급부 및 보상부는 도시되어 있지 않다.
- [0062] 센싱 게이트 배선(SGL)은 센싱 박막 트랜지스터(T3)의 게이트 전극과 전기적으로 연결되며, 센싱 박막 트랜지스터(T3)를 턴-온 또는 턴-오프하기 위한 배선이다. 보조 게이트 배선(AGL)은 보조 박막 트랜지스터(T4)의 게이트 전극과 전기적으로 연결되며, 보조 박막 트랜지스터(T4)를 턴-온 또는 턴-오프하기 위한 배선이다. 센싱 게이트 배선(SGL) 및 보조 게이트 배선(AGL)은 게이트 구동부와 전기적으로 연결될 수 있으며, 게이트 구동부는 센싱 게이트 배선(SGL) 및 보조 게이트 배선(AGL)에 각각 센싱 게이트 전압 및 보조 게이트 전압을 제공한다.
- [0063] 도 3을 참조하면, 기관(110) 상에 구동 박막 트랜지스터(T2) 및 보조 박막 트랜지스터(T4)가 배치된다. 구동 박막 트랜지스터(T2) 및 보조 박막 트랜지스터(T4)는 각각 액티브층, 게이트 전극, 소스 전극 및 드레인 전극을 포함한다.
- [0064] 구체적으로, 기관(110) 상에는 버퍼층(381)이 배치되고, 버퍼층(381) 상에 구동 박막 트랜지스터(T2)의 액티브층(331) 및 보조 박막 트랜지스터(T4)의 액티브층(341)이 배치된다. 각각의 액티브층은 실리콘(Si), 폴리 실리콘(poly-Si), 비정질 실리콘(amorphous silicon; a-Si), 저온 폴리 실리콘(Low Temperature Poly Silicon; LTPS) 또는 산화물 반도체(oxide semiconductor)로 이루어질 수 있다. 특히, 산화물 반도체는 실리콘 계열의 액티브층에 비하여 높은 이동도($> 10 \text{ cm}^2/\text{V} \cdot \text{s}$)와 낮은 공정 온도($< 250 \text{ }^\circ\text{C}$)를 가지기 때문에, 박막 트랜지스터의 액티브층이 산화물 반도체로 이루어지는 경우, 박막 트랜지스터의 성능은 향상될 수 있다. 한편, 도 3에 도시되지 않은 스위칭 박막 트랜지스터(T1) 및 센싱 박막 트랜지스터(T3)의 각 액티브층도 구동 박막 트랜지스터(T2)의 액티브층(331) 및 보조 박막 트랜지스터(T4)의 액티브층(341)과 동일한 물질로 이루어질 수 있다.
- [0065] 구동 박막 트랜지스터(T2)의 액티브층(331) 및 보조 박막 트랜지스터(T4)의 액티브층(341) 상에 제1 게이트 절연층(382)이 배치되고, 제1 게이트 절연층(382) 상에 게이트 전극이 배치된다. 제1 게이트 절연층(382)은 구동 박막 트랜지스터(T2)의 액티브층(331) 및 보조 박막 트랜지스터(T4)의 액티브층(341)을 모두 덮을 수 있지만, 도 3에 도시된 바와 같이, 구동 박막 트랜지스터(T2)의 액티브층(331)의 채널 영역 및 보조 박막 트랜지스터(T4)의 액티브층(341)의 채널 영역 상에만 배치될 수도 있다. 이 경우, 구동 박막 트랜지스터(T2)의 게이트 전

극(332)은 구동 박막 트랜지스터(T2)의 액티브층(331)의 채널 영역 상에 배치된 제1 게이트 절연층(382)을 통해 액티브층(331)과 절연되고, 보조 박막 트랜지스터(T4)의 게이트 전극(342)은 보조 박막 트랜지스터(T4)의 액티브층(341) 상에 배치된 제1 게이트 절연층(382)을 통해 액티브층(341)과 절연된다. 도 2에 도시된 바와 같이, 구동 박막 트랜지스터(T2)의 게이트 전극(332)은 게이트 배선(GL)과 연결되며, 보조 박막 트랜지스터(T4)의 게이트 전극(342)은 보조 게이트 배선(AGL)과 연결된다.

[0066] 도 3을 참조하면, 구동 박막 트랜지스터(T2)의 게이트 전극(332) 및 보조 박막 트랜지스터(T4)의 게이트 전극(342)을 덮도록 제1 층간 절연층(383)이 배치되고, 제1 층간 절연층(383) 상에 소스 전극 및 드레인 전극이 배치된다. 제1 층간 절연층(383)은 구동 박막 트랜지스터(T2)의 액티브층(331)의 소스 영역 및 드레인 영역을 각각 노출하고, 보조 박막 트랜지스터(T4)의 액티브층(341)의 소스 영역 및 드레인 영역을 각각 노출하는 복수의 콘택홀들을 포함한다. 구동 박막 트랜지스터(T2)의 소스 전극(333)은 제1 층간 절연층(383)의 콘택홀을 통해 액티브층(331)의 소스 영역과 접하고, 구동 박막 트랜지스터(T2)의 드레인 전극(334)은 제1 층간 절연층(383)의 콘택홀을 통해 액티브층(331)의 드레인 영역과 접한다. 마찬가지로 방법으로 보조 박막 트랜지스터(T4)의 소스 전극(343)은 제1 층간 절연층(383)의 콘택홀을 통해 액티브층(341)의 소스 영역과 접하고, 보조 박막 트랜지스터(T4)의 드레인 전극(344)은 제1 층간 절연층(383)의 콘택홀을 통해 액티브층(341)의 드레인 영역과 접한다.

[0067] 구동 박막 트랜지스터(T2) 및 보조 박막 트랜지스터(T4)를 덮도록 평탄화층(384)이 배치된다. 평탄화층(384)은 하부에 위치한 엘리먼트들을 보호함과 동시에, 구동 박막 트랜지스터(T2) 및 보조 박막 트랜지스터(T4)의 상부에 다른 엘리먼트가 형성 또는 배치되기 용이하게 하도록 박막 트랜지스터 상부의 표면을 평탄화한다. 평탄화층(384)에는 구동 박막 트랜지스터(T2)의 소스 전극(333) 및 보조 박막 트랜지스터(T4)의 드레인 전극(344)을 각각 노출하도록 복수의 콘택홀들이 형성된다.

[0068] 유기 발광 소자(OLED)의 애노드(351)는 평탄화층(384) 상에 배치되고, 평탄화층(384)의 콘택홀을 통해 구동 박막 트랜지스터(T2)의 소스 전극(333)과 전기적으로 연결된다. 애노드(351)는 각 서브-화소(SPX)에 독립적으로 분리되어 배치된다. 즉, 애노드(351)는 인접하는 다른 서브-화소(SPX)들의 애노드와 분리된다. 애노드(351)가 배치되는 영역은 발광 영역(emission area)으로 지칭될 수 있으며, 애노드(351)가 서로 분리됨으로써, 각 서브-화소(SPX)는 각각 독립적으로 발광할 수 있다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 탑 에미션 방식의 유기 발광 표시 장치이므로, 애노드(351)는 일함수(work function)가 높은 투명 도전성 물질 및 반사층으로 구성될 수 있다. 여기서 투명 도전성 물질은 인듐 주석 산화물(ITO; Indium Tin Oxide), 인듐 아연 산화물(IZO; Indium Zinc Oxide), 인듐 주석 아연 산화물(ITZO; Indium Tin Zinc Oxide)을 포함할 수 있다.

[0069] 애노드(351)와 전기적으로 분리되도록 평탄화층(384) 상에 보조 배선(360)이 배치된다. 보조 배선(360)은 애노드(351)가 배치된 발광 영역을 벗어나도록 배치된다. 비록, 도 3에는 보조 배선(360)이 각 서브-화소(SPX)별로 독립적으로 분리된 것처럼 도시되어 있지만, 보조 배선(360)은 복수의 서브-화소(SPX)들에 공통되도록 형성될 수 있다. 예를 들어, 보조 배선(360)은 각 서브-화소(SPX)들의 발광 영역들 사이에 배치될 수 있다. 보조 배선(360)은 저항이 낮은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti) 또는 이들의 합금으로 이루어질 수 있다. 보조 배선(360)은 제2 전원 공급 패드부와 전기적으로 연결되고, 제2 전원 공급 패드부를 통해 보조 배선(360)에는 V_{ss} 전압이 인가된다. 한편, 도 3에 도시된 바와 같이, 보조 배선(360)은 평탄화층(384)의 콘택홀을 통해 보조 박막 트랜지스터(T4)의 드레인 전극(344)과 전기적으로 연결된다.

[0070] 애노드(351)의 주변을 둘러싸도록 बैं크층(385)이 배치된다. बैं크층(385)은 각 서브-화소(SPX)의 발광 영역을 서로 구분하는 역할을 한다. 또한, बैं크층(385)은 보조 배선(360)의 일부 상면을 노출하는 개구부를 포함한다. 예를 들어, 도 3에 도시된 바와 같이, बैं크층(385)은 콘택 영역(CA)에 대응하는 개구부를 포함하고, 보조 배선(360)의 상면의 일부는 콘택 영역(CA)에서 노출된다.

[0071] 애노드(351) 및 बैं크층(385) 상에 유기 발광층(352)이 배치된다. 유기 발광층(352)은 복수의 서브-화소(SPX)의 애노드들을 덮도록 공통으로 형성될 수 있다. 유기 발광층(352)은 애노드(351) 및 캐소드(353)로부터 전압을 인가받아 빛을 발광한다. 도 3에 도시되지는 않았으나, 유기 발광층(352)은 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층을 포함할 수 있다.

[0072] 유기 발광층(352) 상에는 캐소드(353)가 배치된다. 캐소드(353)는 유기 발광층(352)에 전자를 제공한다. 캐소드(353)는 복수의 서브-화소(SPX)들의 유기 발광층을 덮도록 공통으로 형성될 수 있다. 즉, 복수의 서브-화소(SPX)들의 캐소드들은 서로 연결된다. 캐소드(353)는 유기 발광층(352)에 전자를 용이하게 제공하고, 유기 발광층(352)에서 발광된 빛을 용이하게 투과할 수 있도록 일함수가 낮은 얇은 금속 전극 및 투명 도전층으로 구성된다. 캐소드(353)의 금속 전극은 예를 들어, 은(Ag), 티타늄(Ti), 알루미늄(Al), 몰리브덴(Mo) 또는 은(Ag)과 마

그네슘(Mg)의 합금 등으로 구성될 수 있으며, 200Å 이하의 얇은 두께로 형성될 수 있다. 또한, 캐소드(353)의 투명 도전층은 인듐 주석 산화물, 인듐 아연 산화물, 인듐 주석 아연 산화물 등으로 구성될 수 있다. 한편, 캐소드(353)는 제2 전원 공급 패드부와 전기적으로 연결될 수 있고, 제2 전원 공급 패드부로부터 캐소드(353)에는 Vss전압이 인가될 수 있다.

[0073] 캐소드(353)는 컨택 영역(CA)에서 보조 배선(360)과 전기적으로 연결된다. 예를 들어, 도 3에 도시된 바와 같이, 캐소드(353)는 컨택 영역(CA)에서 보조 배선(360)과 접촉된다.

[0074] 이에 대해 상세히 설명하면, 컨택 영역(CA)에서 노출된 보조 배선(360)의 상면 상에 격벽(370)이 배치된다. 격벽(370)은 역테이퍼 형상으로 형성된다. 역테이퍼 형상은 기관(110)에서 위로 점점 멀어질수록 격벽(370)의 폭이 증가하는 형상을 의미한다. 격벽(370)의 하면은 컨택 영역(CA)에서 보조 배선(360)의 일부 영역과 접하고, 격벽(370)의 상면의 면적은 격벽(370)의 하면의 면적보다 크도록 구성된다. 이 경우, 격벽(370)의 하부에는 격벽(370)의 역테이퍼 형상에 기인한 그늘이 발생된다. 한편, 유기 발광층(352)은 복수의 서브-화소(SPX)들의 애노드(351)들을 모두 덮도록 유기 발광 물질을 증착하는 방식으로 형성될 수 있다. 일반적으로, 유기 발광 물질은 단차 피복성(step coverage)이 우수하지 않은 물질로 구성된다. 유기 발광 물질의 단차 피복성에 기인하여, 격벽(370)의 역테이퍼 형상에 의해 발생하는 그늘 부분에는 유기 발광 물질이 증착되지 않는다. 이는 눈이 오는 날 지붕의 처마 밑에는 눈이 쌓이지 않는 원리와 동일한 원리로 이해될 수 있다. 따라서, 격벽(370)의 경계부 주변에서 보조 배선(360)의 상면이 노출될 수 있으며, 격벽(370)의 경계부 주변에서 보조 배선(360)과 캐소드(353)가 전기적으로 연결될 수 있는 물리적 공간이 확보될 수 있다. 이후, 캐소드(353)를 구성하는 금속 물질 및 투명 도전성 물질이 각각 순차적으로 증착될 수 있다. 이때, 금속 물질은 유기 발광 물질과 마찬가지로 단차 피복성이 우수하지 못하므로, 격벽(370)의 역테이퍼 형상에 기인한 그늘 부분에는 증착되지 못한다. 그러나, 투명 도전성 물질은 단차 피복성이 우수하므로, 격벽(370)의 역테이퍼 형상에 기인하여 발생된 그늘 부분에서 노출된 보조 배선(360)의 상면을 덮도록 증착될 수 있다. 따라서, 캐소드(353)는 보조 배선(360)과 전기적으로 연결될 수 있다.

[0075] 상술한 바와 같이, 보조 배선(360)은 보조 박막 트랜지스터(T4)의 드레인 전극(344)과 전기적으로 연결되므로, 결과적으로, 유기 발광 소자(OLED)의 캐소드(353)는 보조 박막 트랜지스터(T4)와 전기적으로 연결될 수 있다.

[0076] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 유기 발광 소자(OLED)의 캐소드(353)와 전기적으로 연결된 보조 배선(360)을 포함하므로, 캐소드(353)에서 발생하는 Vss 라이징 현상이 감소될 수 있다. 즉, 각 서브-화소(SPX)의 캐소드(353)는 저항이 높으므로, 제2 전원 공급 패드부로부터 멀리 떨어진 서브-화소(SPX)의 캐소드(353)에는 전압 강하(IR drop)가 심하게 발생되고, Vss 전압이 상승될 수 있다. 그러나, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 각 캐소드(353)는 보조 배선(360)과 전기적으로 연결되고, 보조 배선(360)은 각각 제2 전원 공급 패드부와 연결되므로, 각 서브-화소(SPX)의 캐소드(353)에는 균일한 Vss전압이 인가될 수 있다. 따라서, 애노드(351)와 캐소드(353) 사이의 전위차는 일정하게 유지될 수 있고, 각 서브-화소(SPX)의 휘도는 균일하게 유지될 수 있다. 특히, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 캐소드(353)에는 래퍼런스 배선(RL)을 통해 추가적인 Vss전압이 인가될 수 있으며, 이를 통해 Vss 라이징 현상은 더욱 감소될 수 있다. 이에 대해 보다 상세히 설명하기 위해, 도 4 내지 도 5b를 함께 참조한다.

[0077] 도 4는 도 1의 서브-화소의 스위칭 박막 트랜지스터의 게이트 전극, 센싱 박막 트랜지스터의 게이트 전극 및 보조 박막 트랜지스터의 게이트 전극에 인가되는 게이트 신호들의 파형도이다. 도 5a 내지 도 5b는 도 2의 서브-화소의 동작 과정을 설명하기 위한 회로도들이다. 설명의 편의를 위해, 도 4에는 1프레임(frame) 구간의 파형도가 도시되어 있으며, 각 구간의 시간은 개략적으로 도시되어 있다.

[0078] 도 4 내지 도 5b를 참조하면, 센싱 구간(ts)에서 먼저, 하이 레벨(H)을 갖는 게이트 전압(Vg)이 게이트 배선에 인가된다. 이 구간에서, 도 5a에 도시된 바와 같이, 스위칭 박막 트랜지스터(T1)가 턴-온되고, 제1 노드(N1)는 데이터 배선에 인가되는 데이터 전압(Vdata)으로 충전되며, 구동 박막 트랜지스터(T2)는 턴-온된다.

[0079] 한편, 하이 레벨(H)을 갖는 게이트 전압(Vg)이 게이트 배선에 인가되는 동안 도 4에 도시된 바와 같이, 하이 레벨(H)을 갖는 센싱 게이트 전압(Vsg)이 센싱 게이트 배선에 인가되고, 로우 레벨(L)을 갖는 보조 게이트 전압(Vag)이 보조 게이트 배선에 인가된다. 따라서, 도 5a에 도시된 바와 같이, 센싱 박막 트랜지스터(T3)가 턴-온되고, 보조 박막 트랜지스터(T4)는 턴-오프된다. 이 때, 래퍼런스 배선에 0V의 래퍼런스 전압이 인가되고, 래퍼런스 배선과 전기적으로 연결된 유기 발광 소자(OLED)의 애노드에는 0V의 전압이 인가되면서 유기 발광 소자(OLED)는 턴-오프된다.

- [0080] 이후, 도 4에 도시된 바와 같이, 로우 레벨(L)을 갖는 게이트 전압(V_g)이 게이트 배선에 인가되어 스위칭 박막 트랜지스터(T1)가 턴-오프된다. 이 경우, 제1 노드(N1)는 전기적으로 플로팅된다. 이 때, 센싱 게이트 전압(V_{sg})은 여전히 하이 레벨(H)을 가지므로, 유기 발광 소자(OLED)의 애노드에는 래퍼런스 배선에 인가된 0V의 래퍼런스 전압이 지속적으로 인가되며, 유기 발광 소자(OLED) 턴-오프 상태는 지속적으로 유지된다. 한편, 제1 노드(N1)는 전기적으로 플로팅된 상태이므로, 구동 박막 트랜지스터(T2)의 소스 전극(s)과 게이트 전극(g) 사이의 전위차는 지속적으로 감소되고, 센싱 박막 트랜지스터(T3)는 소스 팔로워(source follower)로 동작한다. 즉, 구동 박막 트랜지스터(T2)를 통해 흐르는 센싱 전류(I_s)는 구동 박막 트랜지스터(T2)의 소스 전극(s)과 게이트 전극(g)의 전위차가 구동 박막 트랜지스터(T2)의 문턱 전압(V_{th})과 같아질 때까지 센싱 박막 트랜지스터(T3)로 흐르게된다. 한편, 래퍼런스 배선은 도 5a에 도시된 바와 같이, 센싱 박막 트랜지스터(T3)를 통해 구동 박막 트랜지스터(T2)의 소스 전극(s)과 연결되므로, 센싱 전류(I_s)가 더 이상 흐르지 않게되는 시점에 센싱 박막 트랜지스터(T3)를 턴-오프하고, 래퍼런스 배선의 전압을 측정하면 구동 박막 트랜지스터(T2)의 소스 전극(s)의 전압이 측정될 수 있다. 센싱 구간(t_s)이 시작되는 시점에 구동 박막 트랜지스터(T2)의 게이트 전극(g)에는 제1 노드(N1)에 충전된 데이터 전압(V_{data})이 인가되었으므로, 센싱 전류(I_s)가 더 이상 흐르지 않게되는 시점에 센싱된 래퍼런스 배선의 전압은 데이터 전압(V_{data})과 구동 박막 트랜지스터(T2)의 문턱 전압(V_{th})의 차에 해당한다. 따라서, 센싱 전류(I_s)가 더 이상 흐르지 않게되는 시점의 래퍼런스 배선의 전압으로부터 구동 박막 트랜지스터(T2)의 문턱 전압이 계산될 수 있다.
- [0081] 계산된 구동 박막 트랜지스터(T2)의 문턱 전압은 래퍼런스 배선과 전기적으로 연결된 보상부에 저장되고, 보상부는 구동 박막 트랜지스터(T2)의 문턱 전압에 기초하여 데이터 배선에 인가되는 데이터 전압(V_{data})을 보상한다.
- [0082] 이후, 도 4에 도시된 바와 같이, 프로그래밍 구간(t_p)에서, 하이 레벨(H)을 갖는 게이트 전압(V_g)이 게이트 배선에 인가되고, 스위칭 박막 트랜지스터(T1)는 턴-온된다. 스위칭 박막 트랜지스터(T1)를 통해 제1 노드(N1)에는 데이터 전압(V_{data})이 충전되고, 구동 박막 트랜지스터(T2)가 제1 노드(N1)의 충전 전압 의해 턴-온된다.
- [0083] 이후, 발광 구간(t_e)에서, 로우 레벨(L)을 갖는 게이트 전압(V_g)이 게이트 배선에 인가된다. 이에, 도 5b에 도시된 바와 같이, 스위칭 박막 트랜지스터(T1)는 턴-오프된다. 이 때, 스토리지 커패시터(C_{st})에 의해 제1 노드(N1)와 구동 박막 트랜지스터(T2)의 소스 전극(s) 사이의 전위차가 유지될 수 있으며, 발광 구간(t_e) 동안 구동 박막 트랜지스터(T2)의 드레인 전극(d)에서 소스 전극(s)으로 구동 전류(I_d)가 지속적으로 흐르게된다. 구동 전류(I_d)는 유기 발광 소자(OLED)를 지속적으로 발광 시키며, 유기 발광 소자(OLED)는 발광 구간(t_e) 동안 발광하게 된다.
- [0084] 한편, 도 4에 도시된 바와 같이, 발광 구간(t_e) 동안 하이 레벨(H)을 갖는 보조 게이트 전압(V_{ag})이 보조 게이트 배선에 인가되므로, 보조 박막 트랜지스터(T4)가 턴-온되며, 같은 구간에서 로우 레벨(L)을 갖는 센싱 게이트 전압(V_{sg})이 센싱 게이트 배선에 인가되므로, 센싱 박막 트랜지스터(T3)는 턴-오프된다. 이 때, 래퍼런스 배선은 제2 전원 공급 패드부와 전기적으로 연결되고, 래퍼런스 배선에는 V_{ss} 전압이 인가된다. V_{ss} 전압은 보조 박막 트랜지스터(T4)를 통해 유기 발광 소자(OLED)의 캐소드로 인가된다. V_{ss} 전압은 보조 박막 트랜지스터(T4)의 드레인 전극과 전기적으로 연결된 보조 배선을 통해 유기 발광 소자(OLED)의 캐소드로 인가된다. 상술한 바와 같이, 보조 배선은 제2 전원 공급 패드부와 전기적으로 연결되므로, 보조 배선에는 별도의 V_{ss} 전압이 추가로 인가된다. 즉, 발광 구간(t_e) 동안 유기 발광 소자의 캐소드에는 보조 배선을 통해 인가된 V_{ss} 전압과 래퍼런스 배선을 통해 인가된 V_{ss} 전압이 이중으로 인가될 수 있으며, 캐소드의 높은 저항에 기인한 V_{ss} 라이징 현상은 더욱 현저하게 감소될 수 있다. 캐소드에 이중으로 V_{ss} 전압이 인가됨으로써, 감소되는 V_{ss} 라이징 현상을 설명하기 위해 도 6을 함께 참조한다.
- [0085] 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 V_{ss} 라이징 현상이 감소되는 효과를 설명하기 위한 그래프이다.
- [0086] 도 6에서 그래프의 가로 축은 1프레임(frame) 구간 동안의 시간을 나타내고, 세로 축은 유기 발광 소자의 캐소드의 전압을 나타낸다. 도 6에서 $5\mu s$ 을 기준으로 좌측이 프로그래밍 구간이며, 우측이 발광 구간을 나타낸다. 또한, 도 6에서 비교예는 유기 발광 소자의 캐소드가 보조 배선 및 래퍼런스 배선과 연결되지 않은 것을 제외하고는 실시예 1 및 실시예 2와 동일한 유기 발광 소자 및 박막 트랜지스터들을 포함한다. 구체적으로, 도 6에서 비교예, 실시예 1 및 실시예 2는 모두 $W/L = 12\mu m/10\mu m$ 인 구동 박막 트랜지스터, $W/L = 6\mu m/6\mu m$ 인 스위칭 박막 트랜지스터 및 $W/L = 6\mu m/6\mu m$ 인 센싱 박막 트랜지스터를 포함한다. 한편, 실시예 1은 캐소드와 전기적으로 연결되고, $W/L = 12\mu m/10\mu m$ 인 보조 박막 트랜지스터를 포함하고, 실시예 2는 캐소드와 전기적으로

연결되고, $W/L = 20\mu\text{m}/10\mu\text{m}$ 인 보조 박막 트랜지스터를 포함한다.

- [0087] 도 6을 참조하면, 비교예에 비해 실시예 1 및 실시예 2의 캐소드 전압이 현저하게 낮아졌다. 즉, $5\mu\text{s}$ 이후의 발광 구간 동안 유기 발광 소자의 캐소드에서 발생하는 V_{ss} 라이징 현상이 현저하게 낮아졌으며, 특히, 보조 박막 트랜지스터의 W/L 이 증가할수록 V_{ss} 라이징 현상은 보다 효과적으로 낮아짐을 확인할 수 있었다.
- [0088] 결과적으로, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 유기 발광 소자의 캐소드와 연결된 보조 배선 및 래퍼런스 배선을 포함하며, 유기 발광 소자가 발광하는 발광 구간 동안 유기 발광 소자의 캐소드에는 보조 배선 및 래퍼런스 배선을 통해 V_{ss} 전압이 이중으로 인가될 수 있다. 이에, 각 서브-화소의 유기 발광 소자의 캐소드에는 균일한 V_{ss} 전압이 인가될 수 있으며, 캐소드의 높은 저항에 기인하여 발생하는 V_{ss} 라이징 현상은 현저하게 개선될 수 있다. 특히, 래퍼런스 배선에 V_{ss} 전압이 인가되는 동안에는 센싱 박막 트랜지스터가 턴-오프되므로, 캐소드에는 안정적으로 V_{ss} 전압이 인가될 수 있고, 센싱 구간 동안 보조 박막 트랜지스터는 턴-오프되므로, 구동 박막 트랜지스터의 문턱 전압은 정확하게 센싱될 수 있다.
- [0089] 도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치에 구비된 서브-화소를 설명하기 위한 회로도이다. 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 비교하여 센싱 박막 트랜지스터($T3$)의 게이트 전극이 보조 박막 트랜지스터($T4$)의 게이트 전극과 전기적으로 연결된 것을 제외하고는 도 1에 도시된 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 실질적으로 동일하므로, 이에 대한 중복 설명은 생략한다.
- [0090] 도 7을 참조하면, 센싱 박막 트랜지스터($T3$)와 보조 박막 트랜지스터($T4$)는 서로 다른 형식의 박막 트랜지스터로 구성된다. 예를 들어, 센싱 박막 트랜지스터($T3$)는 N형 박막 트랜지스터로 구성되고, 보조 박막 트랜지스터($T4$)는 P형 박막 트랜지스터로 구성될 수 있다. 이 경우, 센싱 박막 트랜지스터($T3$)는 양(+)의 문턱 전압을 가지며, 보조 박막 트랜지스터($T4$)는 음(-)의 문턱 전압을 갖는다. 또한, 센싱 박막 트랜지스터($T3$)는 P형 박막 트랜지스터로 구성되고, 보조 박막 트랜지스터($T4$)는 N형 박막 트랜지스터로 구성될 수 있다. 이 경우, 센싱 박막 트랜지스터($T3$)는 음(-)의 문턱 전압을 가지며, 보조 박막 트랜지스터($T4$)는 양(+)의 문턱 전압을 갖는다.
- [0091] 센싱 박막 트랜지스터($T3$)의 게이트 전극과 보조 박막 트랜지스터($T4$)의 게이트 전극은 서로 전기적으로 연결되고, 센싱 박막 트랜지스터($T3$)의 게이트 전극 및 보조 박막 트랜지스터($T4$)의 게이트 전극은 게이트 구동부와 전기적으로 연결된다. 게이트 구동부는 센싱 박막 트랜지스터($T3$)의 게이트 전극과 보조 박막 트랜지스터($T4$)의 게이트 전극에 공통 게이트 전압(V_{cg})을 인가한다.
- [0092] 도 8은 도 7의 서브-화소의 개략적인 평면도이다. 도 9는 도 8의 IXa-IXa' 및 IXb-IXb'에 대한 개략적인 단면도이다.
- [0093] 도 8을 참조하면, 센싱 박막 트랜지스터($T3$)의 게이트 전극과 보조 박막 트랜지스터($T4$)의 게이트 전극은 공통 게이트 배선(CGL)과 전기적으로 연결된다. 예를 들어, 도 8에 도시된 바와 같이, 센싱 박막 트랜지스터($T3$)의 게이트 전극과 보조 박막 트랜지스터($T4$)의 게이트 전극은 제1 게이트 연결부(846)에 의해 서로 전기적으로 연결되며, 센싱 박막 트랜지스터($T3$)의 게이트 전극은 제2 게이트 연결부(847)에 의해 공통 게이트 배선(CGL)과 전기적으로 연결된다. 그러나, 센싱 박막 트랜지스터($T3$)의 게이트 전극과 보조 박막 트랜지스터($T4$)의 게이트 전극은 별도의 게이트 연결부를 통하지 아니하고, 하나의 공통 게이트 전극을 서로 공유하는 방식으로 연결될 수도 있다.
- [0094] 센싱 박막 트랜지스터($T3$)의 소스 전극 및 보조 박막 트랜지스터($T4$)의 드레인 전극은 래퍼런스 배선(RL)과 전기적으로 연결된다. 예를 들어, 센싱 박막 트랜지스터($T3$)의 소스 전극은 제1 연결 배선(195)을 통해 래퍼런스 배선(RL)과 전기적으로 연결되고, 보조 박막 트랜지스터($T4$)의 드레인 전극은 제2 연결 배선(845)을 통해 래퍼런스 배선(RL)과 전기적으로 연결된다.
- [0095] 도 9를 참조하면, 센싱 박막 트랜지스터($T3$)와 보조 박막 트랜지스터($T4$)는 서로 상이한 평면 상에 배치된다. 예를 들어, 기판(110)의 버퍼층(381) 상에 보조 박막 트랜지스터($T4$)가 배치된다. 구체적으로 기판(110)의 버퍼층(381) 상에 보조 박막 트랜지스터($T4$)의 액티브층(941)이 배치된다. 보조 박막 트랜지스터($T4$)의 액티브층(941)은 저온 폴리 실리콘(LTPS)으로 이루어진 P형 액티브층일 수 있다. 그러나, 이에 한정되는 것은 아니며, 보조 박막 트랜지스터($T4$)의 액티브층(941)은 비정질 실리콘(α -Si) 또는 산화물 반도체로 구성될 수도 있다. 보조 박막 트랜지스터($T4$)의 액티브층(941)을 덮도록 제1 게이트 절연층(382)이 배치되고, 제1 게이트 절연층(382) 상에서 액티브층(941)과 중첩하도록 보조 박막 트랜지스터($T4$)의 게이트 전극(942)이 배치된다. 게이트 전극(942)을 덮도록 제1 층간 절연층(383)이 배치되고, 제1 층간 절연층(383) 상에 보조 박막 트랜지스터($T4$)의

소스 전극(943) 및 드레인 전극(944)이 배치된다. 보조 박막 트랜지스터(T4)의 소스 전극(943) 및 드레인 전극(944)은 제1 층간 절연층(383) 및 제1 게이트 절연층(382)에 구비된 콘택홀을 통해 보조 박막 트랜지스터(T4)의 액티브층(941)의 소스 영역 및 드레인 영역에 각각 접한다.

[0096] 보조 박막 트랜지스터(T4)의 소스 전극(943) 및 드레인 전극(944)은 센싱 박막 트랜지스터(T3)의 액티브층(991)과 동일 평면 상에 형성되며, 도체화된 산화물 반도체로 구성될 수 있다. 예를 들어, 보조 박막 트랜지스터(T4)가 P형 박막 트랜지스터로 구성되는 경우, 센싱 박막 트랜지스터(T3)는 N형 박막 트랜지스터로 구성될 수 있고, 센싱 박막 트랜지스터(T3)의 액티브층(991)은 산화물 반도체로 이루어진 N형 액티브층일 수 있다. 이 경우, 센싱 박막 트랜지스터(T3)의 액티브층(991)과 동일한 산화물 반도체로 보조 박막 트랜지스터(T4)의 소스 전극(943) 및 드레인 전극(944)이 형성될 수 있으며, 센싱 박막 트랜지스터(T3)의 액티브층(991)의 소스 영역 및 드레인 영역이 각각 도체화되는 동안 보조 박막 트랜지스터(T4)의 소스 전극(943) 및 드레인 전극(944)이 같이 도체화될 수 있다. 보조 박막 트랜지스터(T4)의 소스 전극(943), 드레인 전극(944) 및 센싱 박막 트랜지스터(T3)의 액티브층(991)은 인듐 주석 갈륨 아연 산화물(InSnGaZnO), 인듐 갈륨 아연 산화물(InGaZnO), 인듐 주석 아연 산화물(InSnZnO), 인듐 알루미늄 아연 산화물(InAlZnO), 인듐 하프늄 아연 산화물(InHfZnO), 주석 갈륨 아연 산화물(SnGaZnO), 알루미늄 갈륨 아연 산화물(AlGaZnO), 주석 알루미늄 아연 산화물(SnAlZnO), 인듐 아연 산화물(InZnO), 주석 아연 산화물(SnZnO), 알루미늄 아연 산화물(AlZnO), 아연 마그네슘 산화물(ZnMgO), 주석 마그네슘 산화물(SnMgO), 인듐 마그네슘 산화물(InMgO), 인듐 갈륨 산화물(InGaO), 인듐 산화물(InO), 주석 산화물(SnO), 아연 산화물(ZnO) 등으로 이루어질 수 있다. 상술한 각각의 산화물 반도체 재료에서 포함되는 각각의 원소의 조성 비율은 특별히 한정되지 않고 다양하게 조정될 수 있다.

[0097] 센싱 박막 트랜지스터(T3)의 액티브층(991) 상에 제2 게이트 절연층(986)이 배치되고, 제2 게이트 절연층(986) 상에 센싱 박막 트랜지스터(T3)의 게이트 전극(992)이 배치된다. 센싱 박막 트랜지스터(T3)의 게이트 전극(992)은 제2 게이트 절연층(986)을 통해 센싱 박막 트랜지스터(T3)의 액티브층(991)과 전기적으로 절연된다. 센싱 박막 트랜지스터(T3)의 게이트 전극(992), 보조 박막 트랜지스터(T4)의 소스 전극(943) 및 드레인 전극(944)을 덮도록 제2 층간 절연층(987)이 배치되고, 제2 층간 절연층(987) 상에 센싱 박막 트랜지스터(T3)의 소스 전극(993) 및 드레인 전극(994)이 배치된다. 센싱 박막 트랜지스터(T3)의 소스 전극(993) 및 드레인 전극(994)은 각각 제2 층간 절연층(987)에 구비된 콘택홀을 통해 센싱 박막 트랜지스터(T3)의 액티브층(991)의 소스 영역 및 드레인 영역에 접한다.

[0098] 한편, 제2 층간 절연층(987) 상에 보조 박막 트랜지스터(T4)의 소스 전극(943)과 접하는 보조 연결부(865)가 배치된다. 보조 연결부(865)는 평탄화층(384) 상에 배치된 보조 배선(360)과 보조 박막 트랜지스터(T4)의 소스 전극(943)을 서로 연결시킨다. 따라서, 보조 박막 트랜지스터(T4)의 드레인 전극(944)과 전기적으로 연결된 래퍼런스 배선에 인가된 V_{ss} 전압은 보조 박막 트랜지스터(T4)의 소스 전극(943) 및 보조 연결부(865)를 통해 보조 배선(360)에 동일하게 인가될 수 있다.

[0099] 도 10은 도 7의 서브-화소의 스위칭 박막 트랜지스터의 게이트 전극, 센싱 박막 트랜지스터의 게이트 전극 및 보조 박막 트랜지스터의 게이트 전극에 인가되는 게이트 신호들의 파형도이다.

[0100] 도 10을 참조하면, 공통 게이트 배선에는 공통 게이트 전압(V_{cg})이 인가되며, 센싱 박막 트랜지스터 및 보조 박막 트랜지스터는 공통 게이트 전압(V_{cg})에 기초하여 턴-온 또는 턴-오프된다. 상술한 바와 같이, 센싱 박막 트랜지스터가 N형 박막 트랜지스터로 구성되고, 보조 박막 트랜지스터가 P형 박막 트랜지스터로 구성되는 경우, 센싱 박막 트랜지스터는 양(+)의 문턱 전압을 가지며, 보조 박막 트랜지스터는 음(-)의 문턱 전압을 갖는다. 공통 게이트 전압(V_{cg})이 센싱 박막 트랜지스터의 문턱 전압 보다 높은 양(+)의 전압을 갖는 경우, 센싱 박막 트랜지스터는 턴-온되고, 보조 박막 트랜지스터는 턴-오프된다. 반면, 공통 게이트 전압(V_{cg})이 보조 박막 트랜지스터의 문턱 전압 보다 낮은 음(-)의 전압을 갖는 경우, 보조 박막 트랜지스터는 턴-온되고, 센싱 박막 트랜지스터는 턴-오프된다.

[0101] 도 10에 도시된 바와 같이, 센싱 구간(t_s)에서 공통 게이트 전압(V_{cg})은 하이 레벨(H)을 갖는다. 만약, 공통 게이트 전압(V_{cg})의 하이 레벨(H)이 센싱 박막 트랜지스터의 문턱 전압보다 높다면, 센싱 구간(t_s)에서 센싱 박막 트랜지스터는 턴-온되고, 보조 박막 트랜지스터는 턴-오프된다. 따라서, 센싱 구간(t_s)에서 구동 박막 트랜지스터의 문턱 전압이 센싱 박막 트랜지스터를 통해 센싱될 수 있다.

[0102] 반면, 발광 구간(t_e)에서 공통 게이트 전압(V_{cg})은 로우 레벨(L)을 갖는다. 만약, 공통 게이트 전압(V_{cg})의 로우 레벨(L)이 보조 박막 트랜지스터의 문턱 전압보다 낮다면, 발광 구간(t_e)에서 보조 박막 트랜지스터는 턴-온되고, 센싱 박막 트랜지스터는 턴-오프된다. 따라서, 발광 구간(t_e) 동안 래퍼런스 배선에 인가된 V_{ss} 전압은 보

조 박막 트랜지스터를 통해 보조 배선으로 인가되고, 보조 배선을 통해 유기 발광 소자의 캐소드에 인가된다. 따라서, 캐소드와 애노드 사이의 전위차가 균일하게 유지될 수 있으며, 유기 발광 표시 장치의 휘도가 균일하게 유지될 수 있다.

[0103] 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 센싱 구간(t_s) 동안에는 턴-오프되고, 발광 구간(t_e) 동안에는 턴-온되어 유기 발광 소자의 캐소드에 V_{ss} 전압을 전달하는 보조 박막 트랜지스터를 포함하므로, 캐소드의 높은 저항에 기인하여 발생하는 V_{ss} 라이징 현상이 개선될 수 있으며, 각 서브-화소의 애노드와 캐소드 사이의 전위차가 균일하게 유지될 수 있다. 특히, 보조 박막 트랜지스터 및 센싱 박막 트랜지스터를 턴-온 또는 턴-오프하는 공통 게이트 전압이 하나의 공통 게이트 배선을 통해 인가되고, 보조 박막 트랜지스터 및 센싱 박막 트랜지스터는 서로 상이한 형식의 박막 트랜지스터로 구성되어 서로 상반되게 턴-온 또는 턴-오프되므로, 게이트 배선의 개수가 줄어들 수 있으며, 게이트 배선의 개수가 줄어든 만큼의 공간이 추가로 확보될 수 있으므로, 고해상도의 유기 발광 표시 장치가 용이하게 구현될 수 있다.

[0104] 도 11은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 개략적인 블록도이다. 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치(1100)는 도 7 내지 도 9에 도시된 본 발명의 다른 실시예에 따른 유기 발광 표시 장치와 비교하여 불량 검출부(1126)를 더 포함하고, 보조 배선을 대신하여 각 서브-화소 별로 분리된 아일랜드(island) 보조 전극을 포함하는 것을 제외하고는 도 7 내지 도 9에 도시된 유기 발광 표시 장치와 실질적으로 동일하므로, 이에 대한 중복 설명은 생략한다.

[0105] 도 11을 참조하면, 유기 발광 표시 장치(1100)는 기판(110) 상에 배치된 복수의 서브-화소(SPX)들, 데이터 구동부(1121), 게이트 구동부(1122), 타이밍 제어부(1123), 시스템(1125), 전원 공급부(1124), 불량 검출부(1126), 보상부(1127) 및 복수의 배선들을 포함한다.

[0106] 데이터 구동부(1121)는 데이터 배선을 통해 복수의 서브-화소(SPX)들 각각에 데이터 전압을 인가한다. 데이터 구동부(1121)는 집적 회로(Integrated Circuit; IC)형태로 구성될 수 있으며, 칩온글라스(chip-on-glass; COG), 테이프-커리어-패키지(tape-carrier-package; TCP) 또는 칩온필름(chip-on-film, COF) 기술을 통해 기판(110)의 외곽에 장착될 수 있다. 설명의 편의를 위해 도 1에는 COF 기술을 통해 기판(110)의 일 측에 장착된 데이터 구동부(1121)가 도시되어 있다.

[0107] 게이트 구동부(1122)는 게이트 배선을 통해 복수의 서브-화소(SPX)들 각각에 게이트 전압을 인가한다. 예를 들어, 게이트 구동부(1122)는 게이트 배선에 게이트 전압을 인가함으로써, 스위칭 박막 트랜지스터를 턴-온하고, 공통 게이트 배선에 공통 게이트 전압을 인가함으로써, 센싱 박막 트랜지스터 또는 보조 박막 트랜지스터를 각각 턴-온한다. 게이트 구동부(1122)는 집적 회로 형태로 구성될 수 있으며, COG, TCP 또는 COF 기술을 통해 기판(110)의 외곽에 장착될 수 있다. 설명의 편의를 위해 도 1에는 COG 기술을 통해 기판(110)의 일 측에 장착된 게이트 구동부(1122)가 도시되어 있다.

[0108] 시스템(1125)은 수직 동기화 신호, 수평 동기화 신호, 클럭 신호 및 이미지 데이터를 그래픽 제어기의 송신기를 통해 적합한 회로들로 공급하도록 구성될 수 있다. 예를 들어, 시스템(1125)으로부터의 클럭 신호와 수직/수평 동기화 신호(Sync)는 타이밍 제어부(1123)로 제공된다. 또한, 시스템(1125)으로부터의 이미지 데이터는 타이밍 제어부(1123)로 제공된다.

[0109] 타이밍 제어부(1123)는 수직/수평 동기화 신호(Sync), 데이터 인에이블 신호, 클럭 신호 및 이미지 데이터를 시스템(1125)으로부터 수신한다. 수직 동기화 신호는 일 프레임의 이미지가 표시되는데 요구되는 시간을 지시한다. 수평 동기화 신호는 이미지의 일 수평 라인, 즉 일 화소 라인을 표시하는데 요구되는 시간을 지시한다. 따라서, 수평 동기화 신호는 일 화소 라인에 포함되는 서브-화소(SPX)들의 숫자와 동일한 숫자의 펄스들을 포함한다. 데이터 인에이블 신호는 유효한 이미지 데이터가 위치하는 구간을 지시한다.

[0110] 타이밍 제어부(1123)는 보상부(1127)로부터 보상 신호(CS)를 수신하고, 불량 검출부(1126)로부터 검출 신호(SS)를 수신한다. 보상 신호(CS)는 복수의 서브-화소(SPX)들 각각에 제공되는 데이터 전압의 보상 값에 대한 정보를 포함하고, 검출 신호(SS)는 복수의 서브-화소(SPX)들 중 불량 서브-화소의 위치에 관한 정보를 포함한다.

[0111] 타이밍 제어부(1123)는 게이트 제어 신호(gate control signal; GCS)를 게이트 구동부(1122)에 제공하고, 데이터 제어 신호(data control signal; DCS)를 데이터 구동부(1121)에 제공한다. 즉, 타이밍 제어부(1123)에 의해 데이터 구동부(1121) 및 게이트 구동부(1122)가 각각 제어될 수 있다. 구체적으로, 데이터 구동부(1121)는 데이터 제어 신호(DCS)에 기초하여 데이터 전압을 각각의 데이터 배선에 인가한다. 예를 들어, 데이터 구동부(1121)는 각각의 데이터 배선에 서로 상이하게 보상된 데이터 전압을 인가할 수 있으며, 특정 데이터 배선에는 데이

터 전압을 인가하지 않을 수 있다. 게이트 구동부(1122)는 게이트 제어 신호(GCS)에 기초하여 게이트 전압을 각각의 게이트 배선에 인가한다.

- [0112] 전원 공급부(1124)는 시스템(1125), 타이밍 제어부(1123), 게이트 구동부(1122), 데이터 구동부(1121), 보상부(1127) 및 불량 검출부(1126)에 각각 전원(POW)을 제공한다. 비록, 도 11에는 도시되지 않았지만, 전원 공급부(1124)는 제1 전원 공급 패드부를 통해 각 서브-화소(SPX)에게 Vdd전압을 제공하며, 제2 전원 공급 패드부를 통해 각 서브-화소(SPX)에 Vss전압을 제공한다.
- [0113] 보상부(1127)는 센싱 구간 동안 래퍼런스 배선과 전기적으로 연결되며, 래퍼런스 배선을 통해 각 서브-화소(SPX)의 구동 박막 트랜지스터의 문턱 전압을 센싱하며, 센싱된 문턱 전압에 기초하여 보상 신호(CS)를 생성한다.
- [0114] 불량 검출부(1126)은 캐소드 센싱 구간 동안 하부 보조 배선과 전기적으로 연결되며, 하부 보조 배선을 통해 각 서브-화소(SPX)의 캐소드에 흐르는 캐소드 센싱 전류를 센싱한다. 불량 검출부(1126)는 캐소드 센싱 전류에 기초하여 복수의 서브-화소(SPX)들 중에서 불량 서브-화소를 검출한다. 불량 검출부(1126)의 불량 서브-화소 검출 방법에 대해서는 후술하기로 한다.
- [0115] 도 12는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다. 설명의 편의를 위해 도 12에는 4개의 서브-화소가 개략적으로 도시되어 있으며, 제1 서브-화소(SPX1), 제2 서브-화소(SPX2), 제3 서브-화소(SPX3) 및 제4 서브-화소(SPX4)의 각 애노드 하부에 배치된 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 센싱 박막 트랜지스터, 보조 박막 트랜지스터 및 스토리지 커패시터는 각각 생략되어 있다. 한편, 도 12에 도시된 4개의 서브-화소는 모두 동일한 구성 요소들을 포함하므로, 이하에서는 제1 서브-화소(SPX1)를 기준으로 설명하기로 한다.
- [0116] 도 12를 참조하면, 제1 서브-화소(SPX1)는 애노드(1251)와 전기적으로 분리된 아일랜드 보조 전극(1260)을 포함한다. 아일랜드 보조 전극(1260)은 인접하는 다른 서브-화소의 아일랜드 보조 전극과 연결되지 않으며, 독립적으로 배치된다. 즉, 도 12에 도시된 바와 같이, 제1 서브-화소(SPX1)의 아일랜드 보조 전극(1260)은 인접하는 제2 서브-화소(SPX2)의 아일랜드 보조 전극과 분리되고, 제3 서브-화소(SPX3) 및 제4 서브-화소(SPX4) 각각의 아일랜드 보조 전극과 분리된다.
- [0117] 한편, 제1 서브-화소(SPX1)의 아일랜드 보조 전극(1260)은 컨택 영역(CA)에서 제1 서브-화소(SPX1)의 캐소드와 전기적으로 연결되고, 제1 서브-화소(SPX1)의 보조 박막 트랜지스터와 전기적으로 연결된다. 또한, 제1 서브-화소(SPX1)의 캐소드는 다른 서브-화소의 캐소드와 분리된다. 예를 들어, 제1 서브-화소(SPX1)의 캐소드는 FMM(Fine Metal Mask)을 사용한 증착 공정으로 형성될 수 있으며, 이를 통해 인접하는 서브-화소의 캐소드와 제1 서브-화소(SPX1)의 캐소드가 서로 분리될 수 있다. 따라서, 제1 서브-화소(SPX1)의 보조 박막 트랜지스터를 통해 인가된 전압은 제1 서브-화소(SPX1)의 아일랜드 보조 전극(1260)에만 인가되고, 제1 서브-화소(SPX1)의 캐소드에만 인가될 수 있다.
- [0118] 도 13은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치에 구비된 서브-화소의 회로도이다. 도 14는 도 13의 서브-화소의 개략적인 평면도이다. 도 15는 도 14의 XVa-XVa' 및 XVb-XVb'에 대한 단면도이다.
- [0119] 도 13을 참조하면, 센싱 박막 트랜지스터(T3) 및 보조 박막 트랜지스터(T4)는 서로 상이한 형태의 박막 트랜지스터로 구성되고, 센싱 박막 트랜지스터(T3)의 게이트 전극과 보조 박막 트랜지스터(T4)의 게이트 전극은 서로 전기적으로 연결된다. 센싱 박막 트랜지스터(T3)의 게이트 전극과 보조 박막 트랜지스터(T4)의 게이트 전극은 게이트 구동부와 전기적으로 연결되고, 게이트 구동부는 센싱 박막 트랜지스터(T3)의 게이트 전극 및 보조 박막 트랜지스터(T4)의 게이트 전극에 공통 게이트 전압(Vcg)을 인가하며, 센싱 박막 트랜지스터(T3) 및 보조 박막 트랜지스터(T4)는 공통 게이트 전압(Vcg)에 기초하여 턴-온 또는 턴-오프된다.
- [0120] 또한, 센싱 박막 트랜지스터(T3)는 래퍼런스 배선과 전기적으로 연결되고, 보조 박막 트랜지스터(T4)는 하부 보조 배선과 전기적으로 연결된다. 구체적으로 도 14를 참조하면, 래퍼런스 배선(RL) 및 하부 보조 배선(VSL)이 서로 전기적으로 분리되도록 기판(110) 상에 배치된다. 예를 들어, 래퍼런스 배선(RL) 및 하부 보조 배선(VSL)은 데이터 배선(DL)과 동일 평면에 데이터 배선(DL)과 평행하도록 배치된다. 그러나, 래퍼런스 배선(RL) 및 하부 보조 배선(VSL)의 연장 방향이 이에 한정되는 것은 아니다.
- [0121] 래퍼런스 배선(RL)은 센싱 박막 트랜지스터(T3)의 소스 전극과 전기적으로 연결된다. 예를 들어, 래퍼런스 배선(RL)은 제1 연결 배선(195)을 통해 센싱 박막 트랜지스터(T3)의 소스 전극과 전기적으로 연결된다. 하부 보조 배선(VSL)은 보조 박막 트랜지스터(T4)의 드레인 전극과 전기적으로 연결된다. 예를 들어, 하부 보조 배선(VS

L)은 제2 연결 배선(1445)을 통해 보조 박막 트랜지스터(T4)와 전기적으로 연결된다.

[0122] 센싱 박막 트랜지스터(T3)의 드레인 전극은 구동 박막 트랜지스터(T2)의 소스 전극 및 유기 발광 소자의 애노드와 전기적으로 연결된다. 보조 박막 트랜지스터(T4)의 소스 전극은 유기 발광 소자의 캐소드와 전기적으로 연결된다. 예를 들어, 도 15를 참조하면, 보조 박막 트랜지스터(T4)의 소스 전극(943)은 보조 연결부(865) 및 아일랜드 보조 전극(1260)을 통해 유기 발광 소자(OLED)의 캐소드(1253)와 전기적으로 연결된다.

[0123] 따라서, 도 14 및 도 15에 도시된 바와 같이, 래퍼런스 배선(RL)에 인가된 전압은 센싱 박막 트랜지스터(T3)를 통해 유기 발광 소자(OLED)의 애노드(1251)에 인가되고, 하부 보조 배선(VSL)을 통해 인가된 전압은 보조 박막 트랜지스터(T4)를 통해 유기 발광 소자(OLED)의 캐소드(1253)에 인가된다. 한편, 제1 서브-화소(SPX1)의 보조 박막 트랜지스터(T4) 및 아일랜드 보조 전극(1260)은 인접하는 다른 서브-화소 유기 발광 소자의 캐소드와는 전기적으로 연결되지 않으므로, 제1 서브-화소(SPX1)의 보조 박막 트랜지스터(T4)가 턴-온되고, 다른 서브-화소의 보조 박막 트랜지스터들이 턴-오프된 경우, 하부 보조 배선(VSL)에 인가된 전압은 제1 서브-화소(SPX1) 유기 발광 소자(OLED)의 캐소드(1253)에만 인가될 수 있다.

[0124] 도 15에 도시된 바와 같이, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 적어도 하나의 유기 발광 소자(OLED)는 이물(1587)을 포함할 수 있다. 이물(1587)의 주변에서 유기 발광 소자(OLED)의 캐소드(1253)와 애노드(1251)는 서로 전기적으로 분리될 수 있다. 유기 발광 소자(OLED)의 캐소드(1253)의 일부는 이물(1587)의 주변에서 상부로 말려 올라갈 수 있다. 설명의 편의를 위해 이물(1587)의 주변에서 말려 올라간 캐소드(1253)의 일부를 분리부(1554)로 정의한다. 캐소드(1253)의 분리부(1554)는 에이징 공정에 의해 형성된다.

[0125] 구체적으로, 유기 발광층(1252)을 형성하는 공정에서 애노드(1251) 상에 이물(1587)이 유입될 수 있으며, 이 경우, 이물(1587)에 의해 애노드(1251)의 상면이 일부 노출될 수 있다. 이물(1587)의 유입으로 인해, 캐소드(1253)가 증착되는 과정에서 캐소드(1253)와 애노드(1251)가 전기적으로 접촉되는 문제가 발생할 수 있다. 캐소드(1253)와 애노드(1251)가 서로 접촉되는 경우, 애노드(1251)와 캐소드(1253)의 접촉 부분에서 누설 전류가 발생되므로, 유기 발광 소자(OLED)는 암점화될 수 있다. 이를 리페어하기 위해 에이징 공정이 진행될 수 있다. 에이징 공정은 캐소드(1253)와 애노드(1251) 사이에 역바이어스(reverse bias)의 에이징 전압을 인가함으로써, 캐소드(1253)와 애노드(1251)를 분리시킨다. 에이징 전압이 인가되면, 에이징 전압에 의해 유발된 열에 의해 이물(1587)의 주변에서 애노드(1251)와 접촉하던 캐소드(1253)의 일 부분이 말려 올라가게 되고, 이로써, 분리부(1554)가 형성된다.

[0126] 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 유기 발광 소자(OLED)의 캐소드(1253)와 전기적으로 연결된 보조 박막 트랜지스터(T4) 및 유기 발광 소자(OLED)의 애노드(1251)와 전기적으로 연결된 센싱 박막 트랜지스터(T3)를 포함하므로, 유기 발광 표시 장치의 제조 과정에서 에이징 공정이 안정적으로 수행될 수 있다. 구체적으로, 에이징 공정에서 유기 발광 소자(OLED)의 애노드(1251)와 캐소드(1253) 양단에 인가되는 에이징 전압은 역바이어스 전압이므로, 만약, 유기 발광 표시 장치에 전체적으로 역바이어스 전압이 인가될 경우, 에이징 전압은 정상적인 유기 발광 소자에 영향을 줄 수 있다. 그러나, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 유기 발광 소자(OLED)의 애노드(1251)와 전기적으로 연결된 센싱 박막 트랜지스터(T3) 및 유기 발광 소자(OLED)의 캐소드(1253)와 전기적으로 연결된 보조 박막 트랜지스터(T4)를 포함하므로, 에이징 전압이 특정 서브-화소에 선택적으로 인가될 수 있다. 즉, 에이징 전압이 인가될 필요가 없는 정상적인 유기 발광 소자와 연결된 보조 박막 트랜지스터(T4) 및 센싱 박막 트랜지스터(T3)를 턴-오프하고, 에이징 전압이 인가될 필요가 있는 유기 발광 소자(OLED)와 연결된 보조 박막 트랜지스터(T4) 및 센싱 박막 트랜지스터(T3)를 턴-온함으로써, 에이징 전압을 선택적으로 인가할 수 있다. 이 경우, 에이징 전압은 보조 박막 트랜지스터(T4)와 전기적으로 연결된 하부 보조 배선(VSL) 및 센싱 박막 트랜지스터(T3)와 전기적으로 연결된 래퍼런스 배선(RL)에 각각 인가될 수 있고, 에이징 전압은 보조 박막 트랜지스터(T4) 및 센싱 박막 트랜지스터(T3)를 통해 특정 유기 발광 소자(OLED)에 선택적으로 인가될 수 있다. 이에, 에이징 전압에 의해 정상적인 유기 발광 소자(OLED)에 미치는 영향이 최소화될 수 있다.

[0127] 또한, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 유기 발광 표시 장치가 완성된 이후에 소스 팔로워로 동작하는 센싱 박막 트랜지스터(T3)를 구비하므로, 센싱 구간에서 센싱 박막 트랜지스터(T3)와 전기적으로 연결된 래퍼런스 배선(RL)을 통해 구동 박막 트랜지스터(T2)의 문턱 전압이 센싱될 수 있다. 보상부는 구동 박막 트랜지스터(T2)의 문턱 전압을 매 프레임마다 센싱하여 보상 신호를 타이밍 제어부로 전달하고, 타이밍 제어부의 데이터 제어 신호에 기초하여 데이터 구동부는 데이터 전압을 보상할 수 있다. 이에, 구동 박막 트랜지스터(T2)의 열화에 관계 없이 각 서브-화소의 휘도가 균일하게 유지될 수 있다.

- [0128] 또한, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 Vss전압을 전달하는 하부 보조 배선(VSL)과 전기적으로 연결되고, 아일랜드 보조 전극(1260)을 통해 유기 발광 소자(OLED)의 캐소드(1253)와 전기적으로 연결된 보조 박막 트랜지스터(T4)를 포함하므로, 제2 전원 공급 패드로부터의 거리에 관계없이 각각의 유기 발광 소자(OLED)의 캐소드(1253)에는 균일한 Vss전압이 인가될 수 있다. 이에, 캐소드(1253)의 높은 저항에 기인하여 발생하는 Vss 라이징 현상이 감소될 수 있다.
- [0129] 한편, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 불량 검출부를 포함하므로, 유기 발광 표시 장치가 완성된 이후에 추가로 발생될 수 있는 서브-화소의 불량률이 용이하게 검출될 수 있다. 이에 대해 보다 상세히 설명하기 위해 도 16 내지 도 17c를 함께 참조한다.
- [0130] 도 16은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법을 설명하기 위한 순서도이다. 도 17은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법에서 스위칭 박막 트랜지스터의 게이트 전극 및 보조 박막 트랜지스터의 게이트 전극에 인가되는 게이트 신호들의 파형도이다. 도 18a 내지 도 18c는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법을 설명하기 위한 회로도들이다. 설명의 편의를 위해 도 16을 설명하면서, 도 17 내지 도 18c를 함께 참조한다.
- [0131] 도 16을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법은 복수의 서브-화소들 각각에 포함된 유기 발광 소자의 캐소드에 흐르는 캐소드 센싱 전류를 보조 박막 트랜지스터를 통해 센싱(S1610)한다.
- [0132] 도 17 내지 도 18a를 참조하면, 캐소드 센싱 구간(td) 동안 게이트 배선에 하이 레벨(H)을 갖는 게이트 전압(Vg)이 인가된다. 도 18a를 참조하면, 게이트 전압(Vg)에 의해 스위칭 박막 트랜지스터(T1)가 턴-온되고, 제1 노드(N1)는 데이터 전압(Vdata)으로 충전된다. 제1 노드(N1)의 전압이 구동 박막 트랜지스터(T2)의 문턱 전압보다 높아지는 경우, 구동 박막 트랜지스터(T2)는 턴-온되고, Vdd배선을 통해 캐소드 센싱 전류(Ids)가 유기 발광 소자(OLED)의 애노드로 유입된다.
- [0133] 동일한 구간에서, 도 17에 도시된 바와 같이, 공통 게이트 배선에 로우 레벨(L)을 갖는 공통 게이트 전압(Vcg)이 인가된다. 만약, 공통 게이트 전압(Vcg)의 로우 레벨(L)이 보조 박막 트랜지스터(T4)의 문턱 전압보다 낮은 경우, 도 18a에 도시된 바와 같이, P형 박막 트랜지스터인 보조 박막 트랜지스터(T4)는 턴-온된다. 한편, 보조 박막 트랜지스터(T4)와 전기적으로 연결된 하부 보조 배선은 불량 검출부와 전기적으로 연결되며, 하부 보조 배선을 통해 보조 박막 트랜지스터(T4)는 불량 검출부와 전기적으로 연결된다.
- [0134] 정상적인 유기 발광 소자(OLED)의 경우, 애노드로 유입된 캐소드 센싱 전류(Ids)는 유기 발광층을 거쳐 캐소드로 흐른다. 캐소드로 유입된 캐소드 센싱 전류(Ids)는 캐소드와 전기적으로 연결된 아일랜드 보조 전극, 보조 박막 트랜지스터(T4) 및 하부 보조 배선을 통해 불량 검출부로 흐를 수 있다. 즉, 캐소드 센싱 전류(Ids)는 유기 발광 소자(OLED)의 애노드, 유기 발광층, 캐소드, 아일랜드 보조 전극, 보조 박막 트랜지스터(T4) 및 하부 보조 배선을 통해 불량 검출부로 흐르게된다.
- [0135] 그러나, 유기 발광 소자(OLED)가 열화됨으로써 유기 발광 소자(OLED)에 불량이 발생된 경우, 유기 발광 소자(OLED)의 애노드와 캐소드 사이에 누설 전류가 발생될 수 있다. 설명의 편의를 위해 도 18a에는 애노드와 캐소드 사이에 누설 전류가 발생되는 지점을 저항 Rd로 표시하였고, 누설 전류의 경로(path)는 점선으로 도시되어 있다. 이 경우, 캐소드 센싱 전류(Ids)의 이동 경로가 변하면서 캐소드 센싱 전류(Ids)의 전류 레벨이 변할 수 있다.
- [0136] 따라서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법은 센싱된 캐소드 센싱 전류의 레벨과 기준 전류의 레벨을 비교함으로써, 불량 서브-화소를 검출(S1620)한다.
- [0137] 상술한 바와 같이, 유기 발광 소자(OLED)에 불량이 발생된 경우, 애노드와 캐소드 사이에 누설 전류가 발생되면서 캐소드 센싱 전류(Ids)의 전류 레벨은 변하게 된다. 불량 검출부는 정상적인 유기 발광 소자(OLED)에서 센싱된 캐소드 센싱 전류를 기준 전류로 설정하고, 기준 전류의 레벨과 불량이 발생된 서브-화소의 캐소드 센싱 전류(Ids)의 전류 레벨을 서로 비교함으로써, 서브-화소의 불량 여부를 검출한다.
- [0138] 이후, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법은 불량 서브-화소에 대해 불량 서브-화소에 인가되는 데이터 전압을 차단(S1630)한다.
- [0139] 즉, 불량 검출부는 불량 서브-화소의 위치 정보를 데이터화하여 검출 신호를 생성하고, 타이밍 제어부는 검출 신호에 기초하여 데이터 제어 신호를 생성하며, 데이터 구동부는 데이터 제어 신호에 기초하여 불량 서브-화소

에 제공될 데이터 전압을 차단한다. 이로써, 불량 서브-화소는 암점화될 수 있다.

- [0140] 한편, 정상적인 서브-화소의 경우, 도 17에 도시된 바와 같이, 센싱 구간(t_s)에서 하이 레벨(H)을 갖는 공통 게이트 전압(V_{cg})이 공통 게이트 배선에 인가된다. 센싱 구간(t_s) 동안 도 18b에 도시된 바와 같이, 센싱 박막 트랜지스터(T3)가 턴-온되고, 래퍼런스 배선은 보상부와 전기적으로 연결된다. 이 후, 도 17에 도시된 바와 같이, 로우 레벨(L)을 갖는 게이트 전압(V_g)이 게이트 배선에 인가되고, 스위칭 박막 트랜지스터(T1)가 턴-오프된다. 이에, 제1 노드(N1)는 전기적으로 플로팅되며, 센싱 박막 트랜지스터(T3)는 소스 팔로워로 동작하게 된다. 이에, 구동 박막 트랜지스터(T2)의 문턱 전압이 래퍼런스 배선을 통해 센싱된다. 보상부는 센싱된 구동 박막 트랜지스터(T2)의 문턱 전압에 기초하여 데이터 전압의 보상 값을 결정한다. 결정된 데이터 전압의 보상 값은 데이터화되어 타이밍 제어부로 전달되고, 타이밍 제어부의 데이터 제어 신호에 기초하여 데이터 구동부는 데이터 전압을 보상한다.
- [0141] 도 17에 도시된 바와 같이, 센싱 구간(t_s) 이후 프로그래밍 구간(t_p) 동안 하이 레벨(H)을 갖는 게이트 전압(V_g)이 게이트 배선에 인가된다. 이 경우, 스위칭 박막 트랜지스터(T1)가 다시 턴-온되고, 제1 노드는 데이터 전압으로 충전된다.
- [0142] 이후, 발광 구간(t_e) 동안 로우 레벨(L)을 갖는 게이트 전압(V_g)이 게이트 배선에 인가되고, 하이 레벨(H)을 갖는 공통 게이트 전압(V_{cg})이 공통 게이트 배선에 인가된다. 이 경우, 도 18c에 도시된 바와 같이, 스위칭 박막 트랜지스터(T2)는 턴-오프되고, 스토리지 커패시터(Cst)에 의해 제1 노드(N1)와 구동 박막 트랜지스터(T2)의 소스 전극 사이의 전위차가 발광 구간(t_e) 동안 유지된다. 하이 레벨(H)을 갖는 공통 게이트 전압(V_{cg})에 의해 보조 박막 트랜지스터(T4)가 턴-온되고, 하부 보조 배선은 제2 전원 공급 패드부와 전기적으로 연결되어 V_{ss} 전압이 하부 보조 배선에 인가된다. 하부 보조 배선에 인가된 V_{ss} 전압은 각 서브-화소 별로 턴-온된 보조 박막 트랜지스터(T4)를 통해 각 서브-화소의 캐소드에 균일하게 인가되며, 유기 발광 표시 장치의 각 캐소드에는 모두 균일한 V_{ss} 전압이 인가된다. 이에, V_{ss} 라이징 현상은 감소될 수 있으며, 각 서브-화소의 휘도는 균일하게 유지될 수 있다.
- [0143] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 불량 서브-화소 암점화 방법은 유기 발광 소자의 캐소드와 연결된 보조 박막 트랜지스터 및 하부 보조 배선을 사용하여 불량 서브-화소를 검출할 수 있으며, 불량 서브-화소에 제공되는 데이터 전압을 차단함으로써, 불량 서브-화소를 암점화할 수 있다. 암점화된 서브-화소는 쉽게 시인되지 않으므로, 불량 서브-화소에 의한 화질 저하는 최소화될 수 있다.
- [0144] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0145] SPX: 서브-화소

T1: 스위칭 박막 트랜지스터

T2: 구동 박막 트랜지스터

T3: 센싱 박막 트랜지스터

T4: 보조 박막 트랜지스터

Cst: 스토리지 커패시터

OLED: 유기 발광 소자

N1: 제1 노드

Vdata: 데이터 전압

Vdd: Vdd 전압
 Vss: Vss 전압
 Vref: 레퍼런스 전압
 Vg: 게이트 전압
 Vsg: 센싱 게이트 전압
 Vag: 보조 게이트 전압
 Vcg: 공통 게이트 전압
 AGL: 보조 게이트 배선
 SGL: 센싱 게이트 배선
 GL: 게이트 배선
 DL: 데이터 배선
 RL: 레퍼런스 배선
 VDL: Vdd 배선
 CA: 콘택 영역
 110: 기판
 145, 845, 1445: 제2 연결 배선
 195: 제1 연결 배선
 381: 버퍼층
 382: 제1 게이트 절연층
 986: 제2 게이트 절연층
 383: 제1 층간 절연층
 987: 제2 층간 절연층
 384: 평탄화층
 385: 뱅크층
 331: 구동 박막 트랜지스터의 액티브층
 332: 구동 박막 트랜지스터의 게이트 전극
 333: 구동 박막 트랜지스터의 소스 전극
 334: 구동 박막 트랜지스터의 드레인 전극
 341, 941: 보조 박막 트랜지스터의 액티브층
 342, 942: 보조 박막 트랜지스터의 게이트 전극
 343, 943: 보조 박막 트랜지스터의 소스 전극
 344, 944: 보조 박막 트랜지스터의 드레인 전극
 360: 보조 배선
 370: 격벽
 351, 1251: 애노드
 352, 1252: 유기 발광층

353, 1253: 캐소드

CGL: 공통 게이트 배선

846: 제1 게이트 연결부

847: 제2 게이트 연결부

865: 보조 연결부

991: 센싱 박막 트랜지스터의 액티브층

992: 센싱 박막 트랜지스터의 게이트 전극

993: 센싱 박막 트랜지스터의 소스 전극

994: 센싱 박막 트랜지스터의 드레인 전극

1121: 데이터 구동부

1122: 게이트 구동부

1123: 타이밍 제어부

1124: 전원 공급부

1125: 시스템

1126: 불량 검출부

1127: 보상부

1260: 아일랜드 보조 전극

VSL: 하부 보조 배선

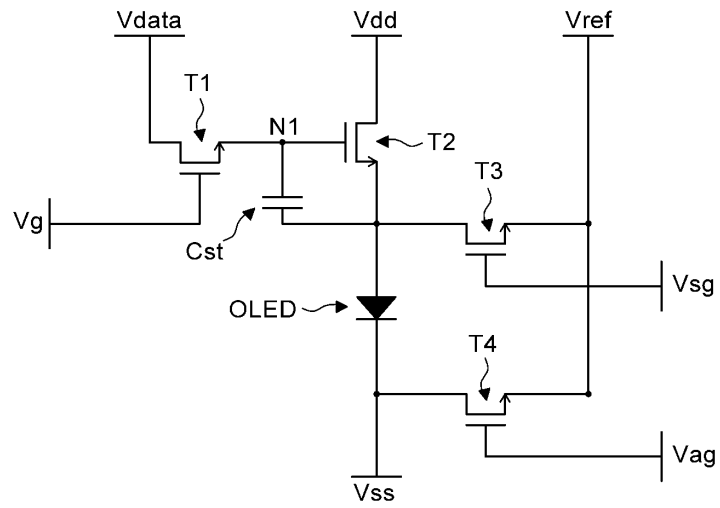
1587: 이물

1554: 분리부

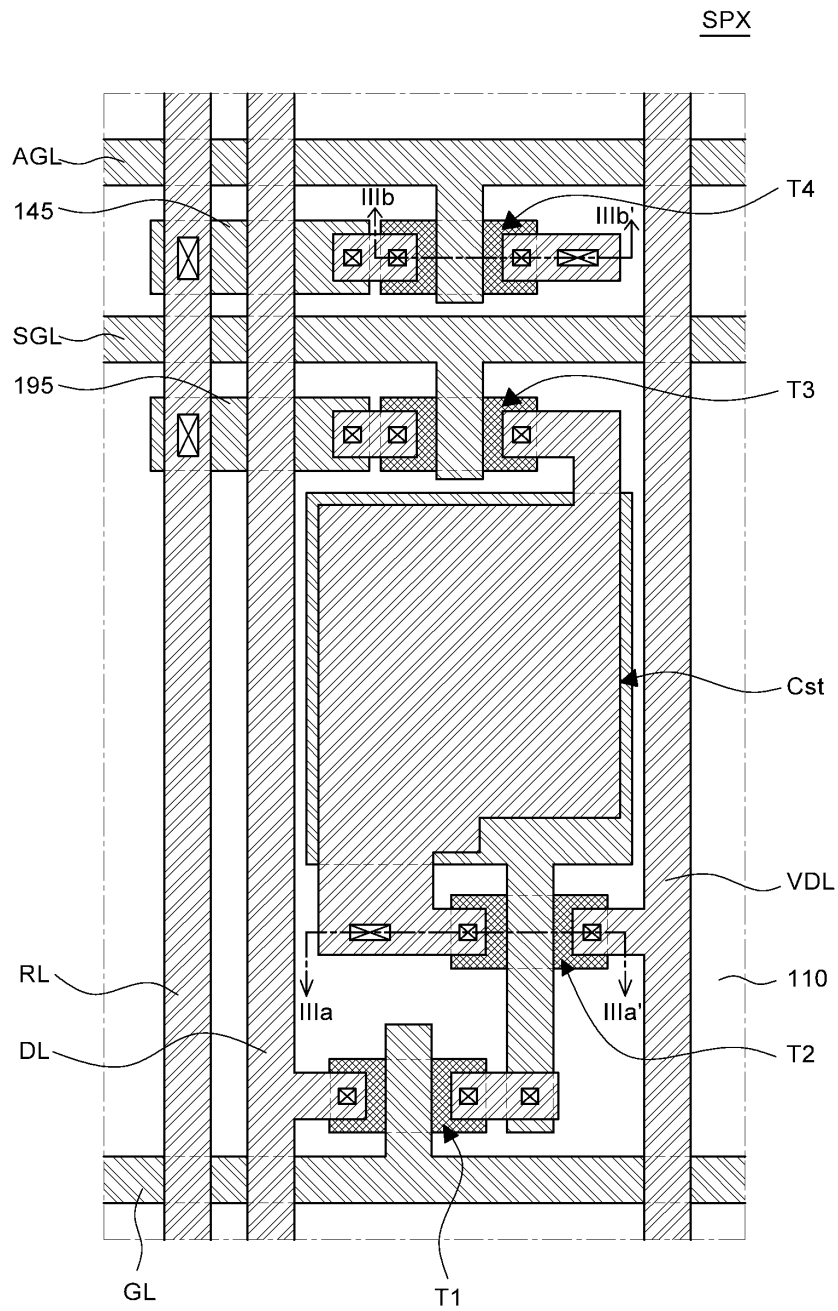
도면

도면1

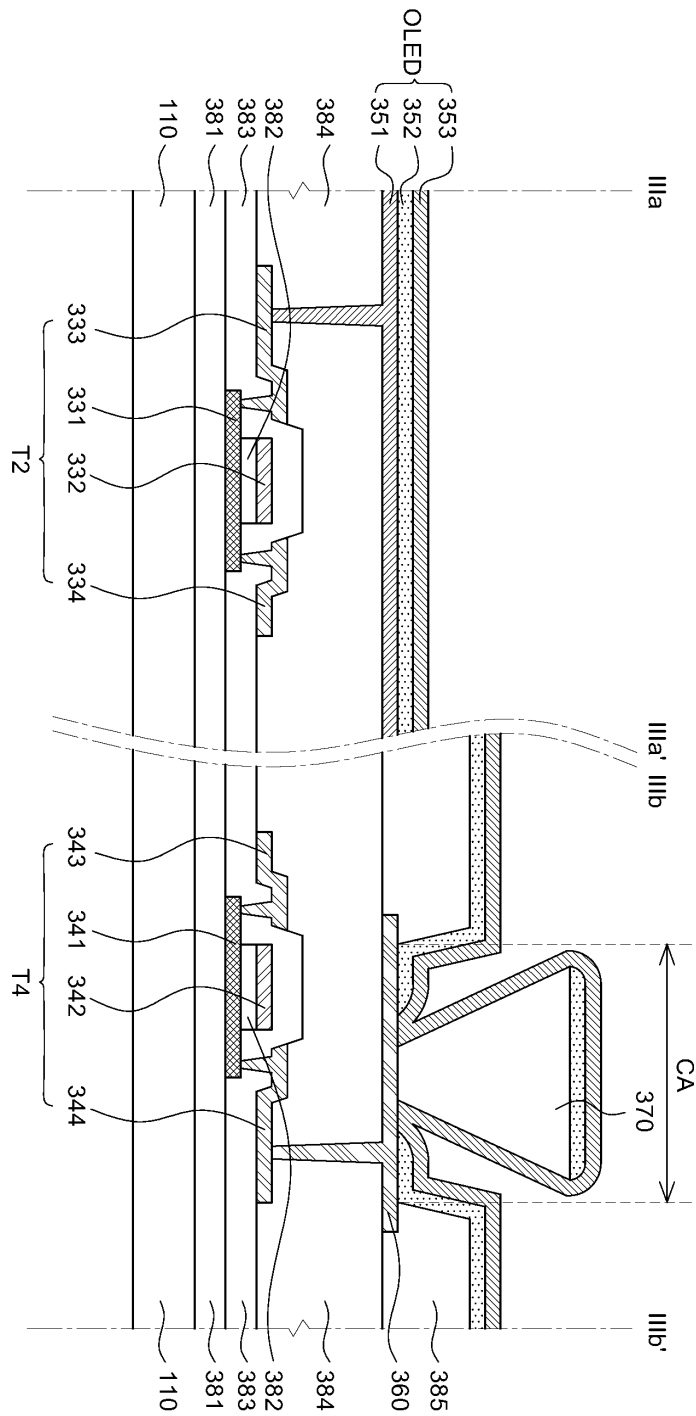
SPX



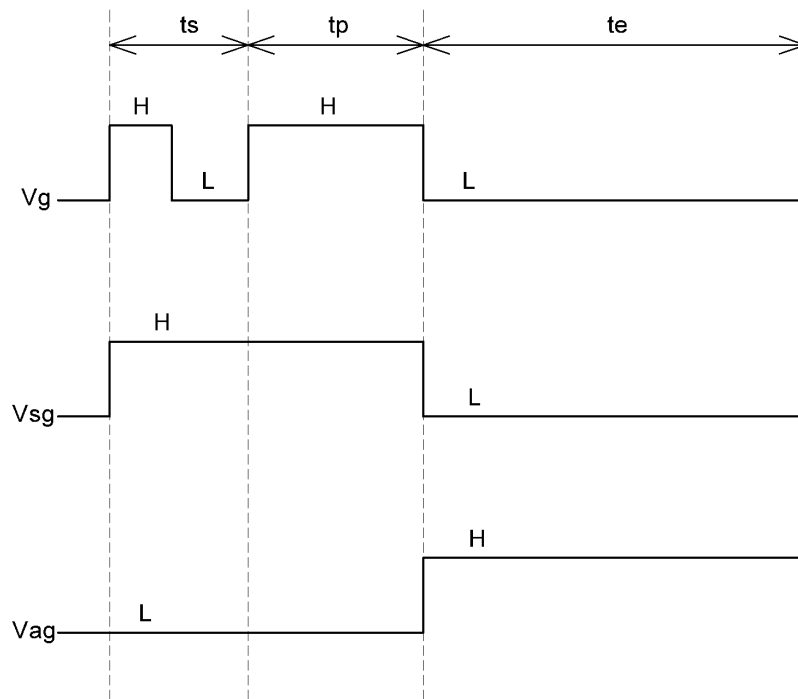
도면2



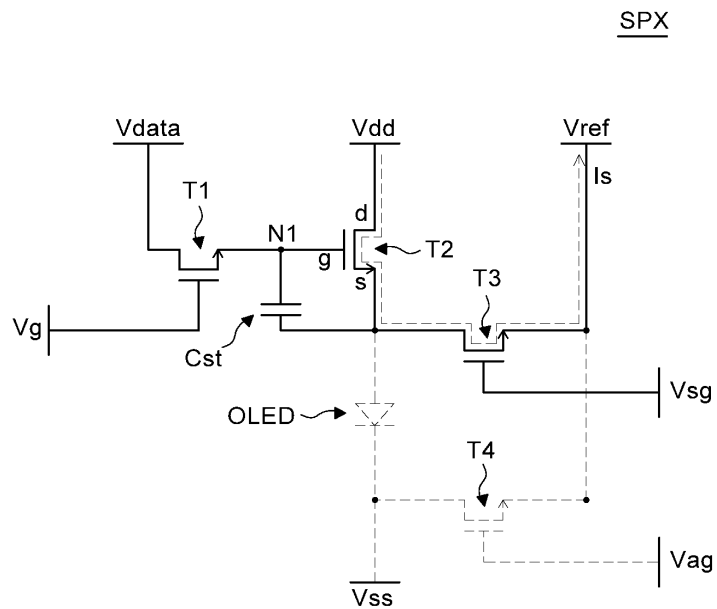
도면3



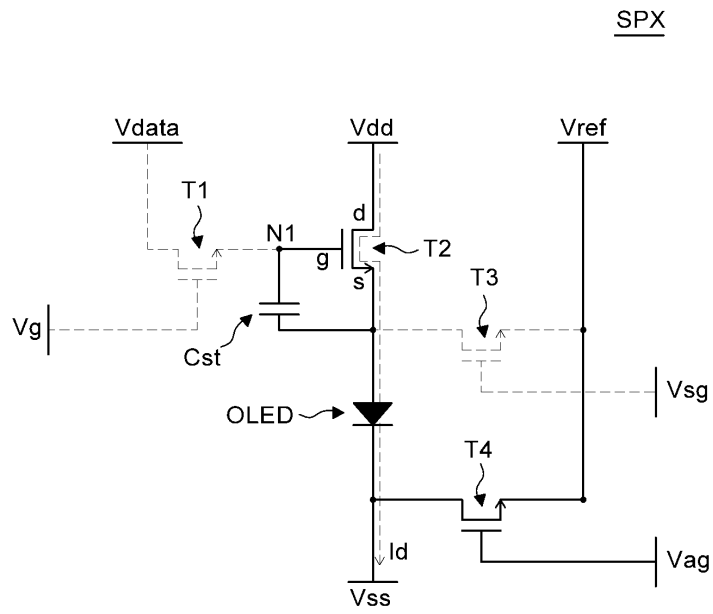
도면4



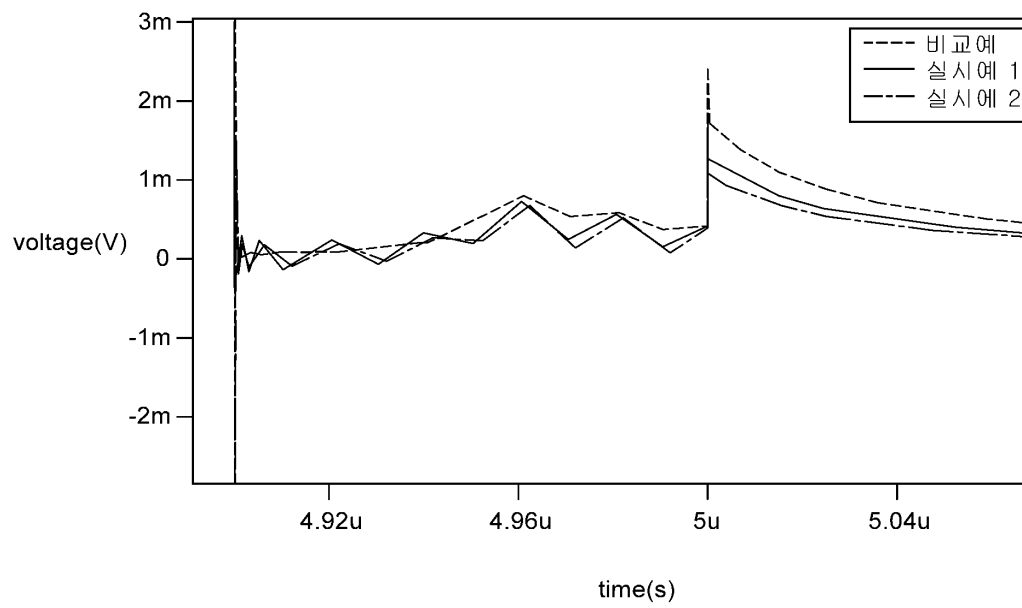
도면5a



도면5b

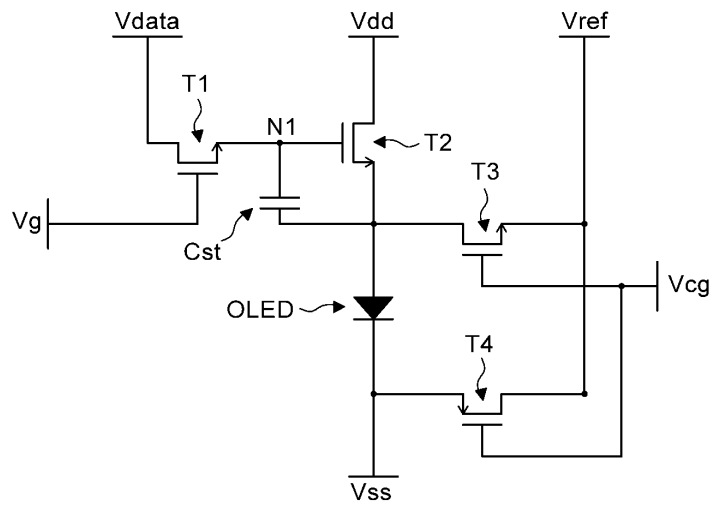


도면6

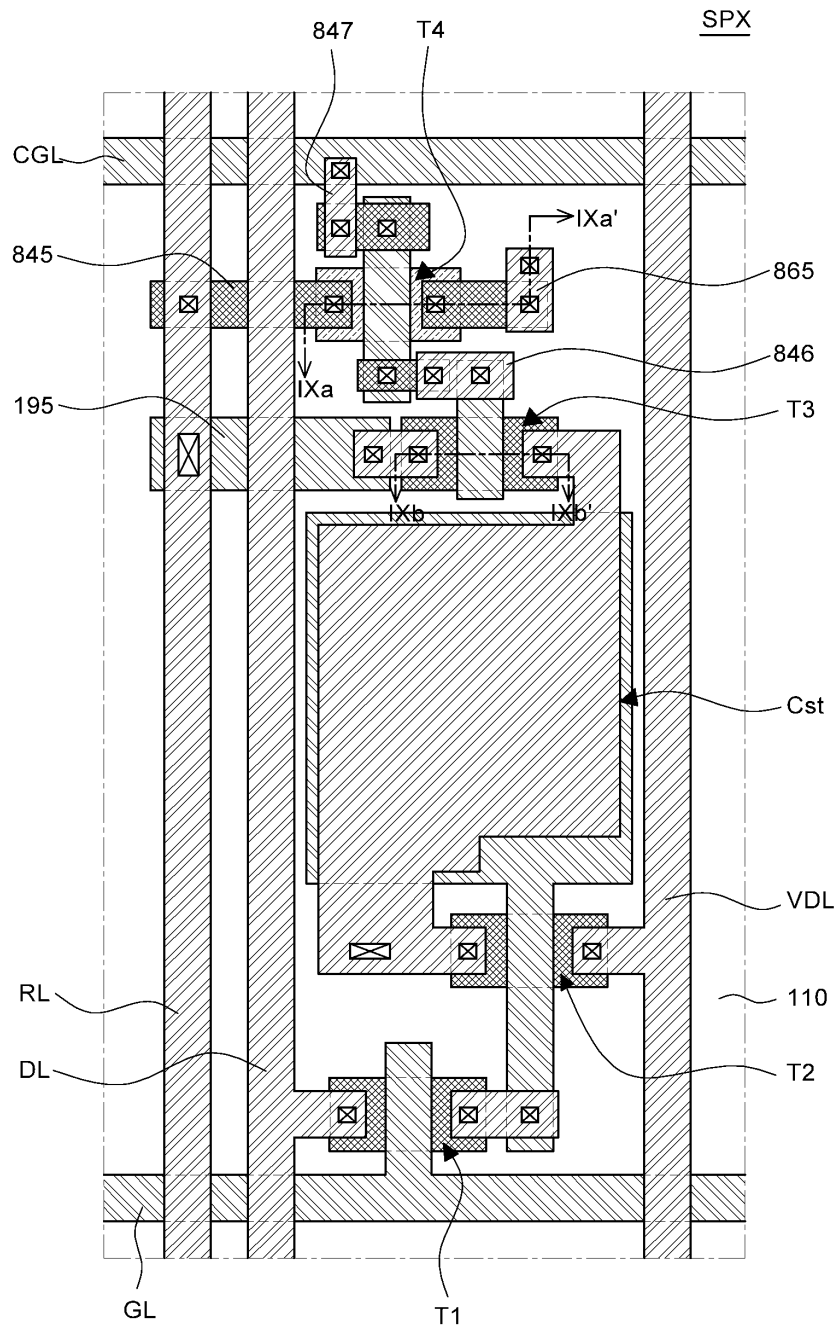


도면7

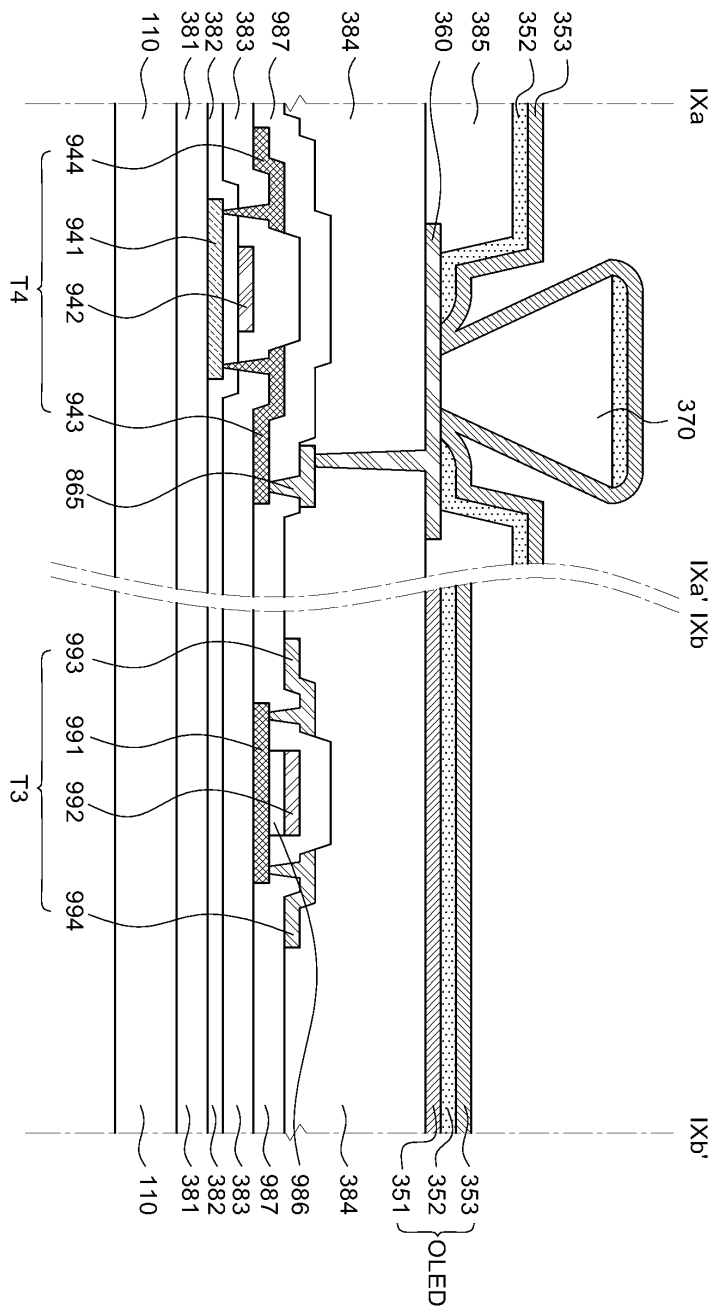
SPX



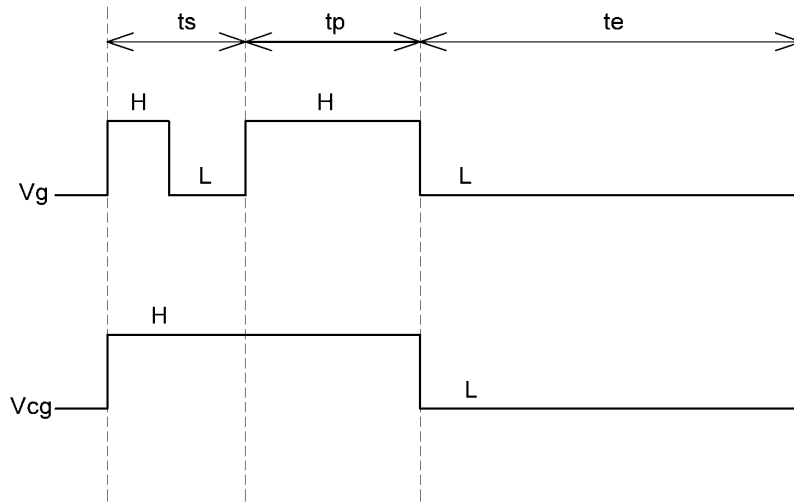
도면8



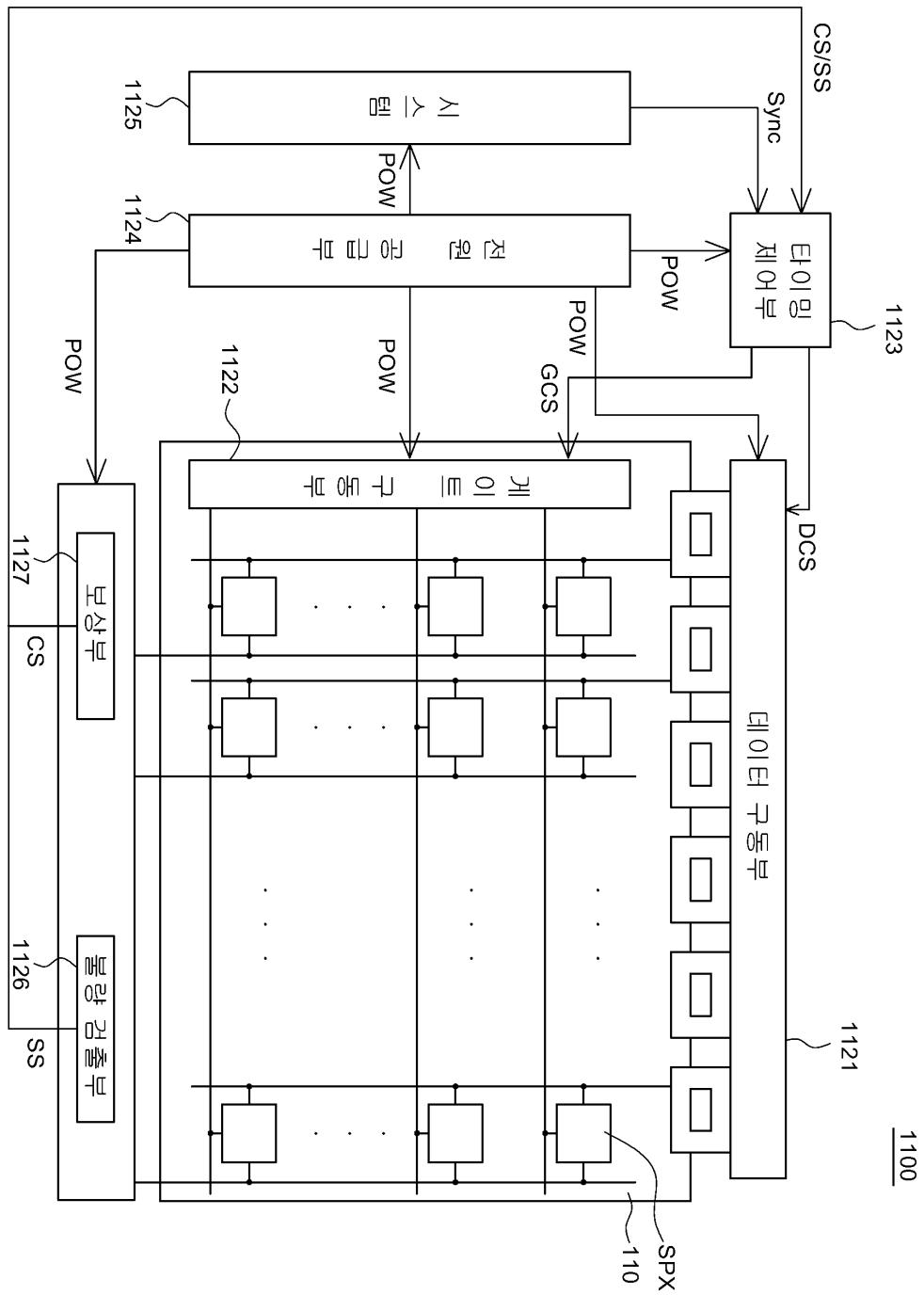
도면9



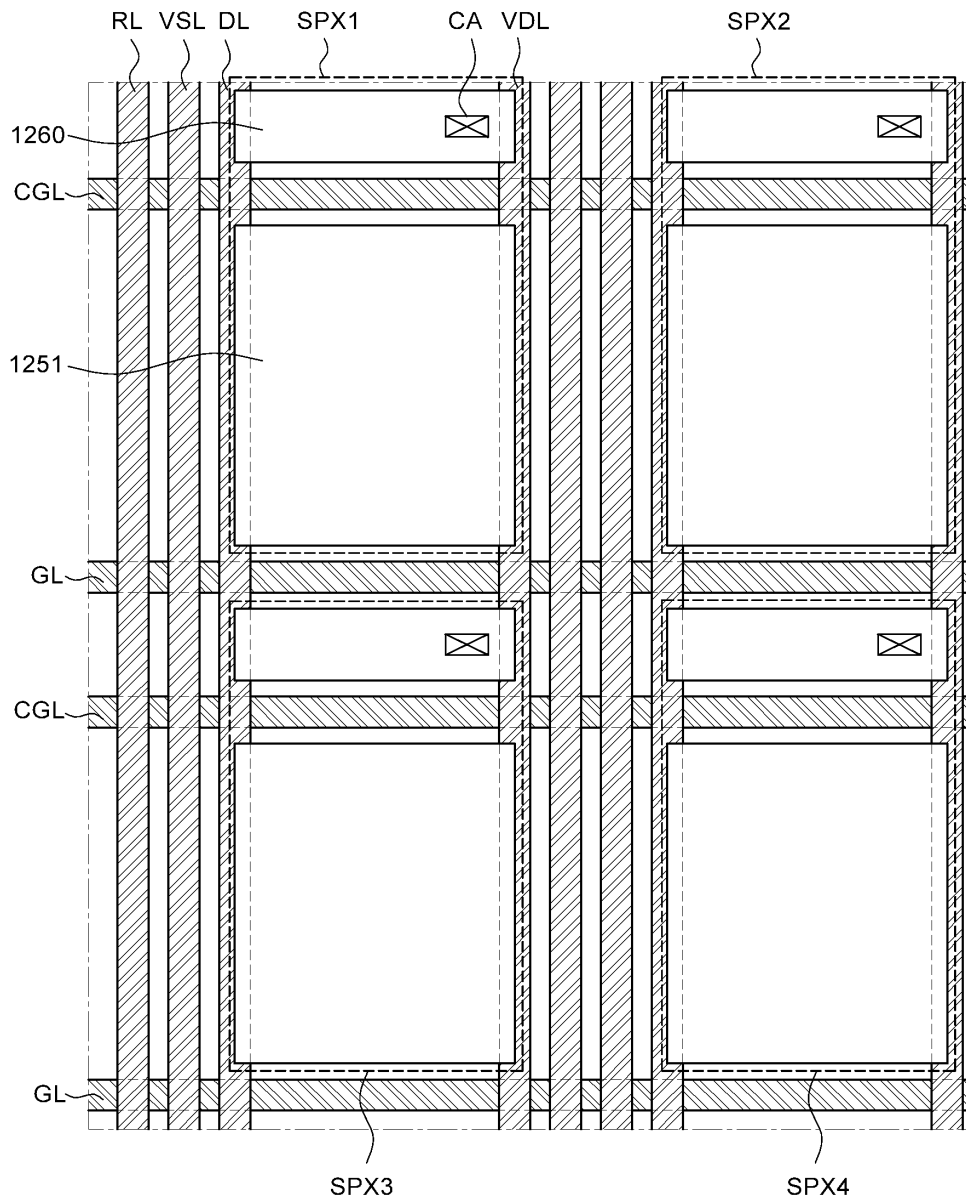
도면10



도면11

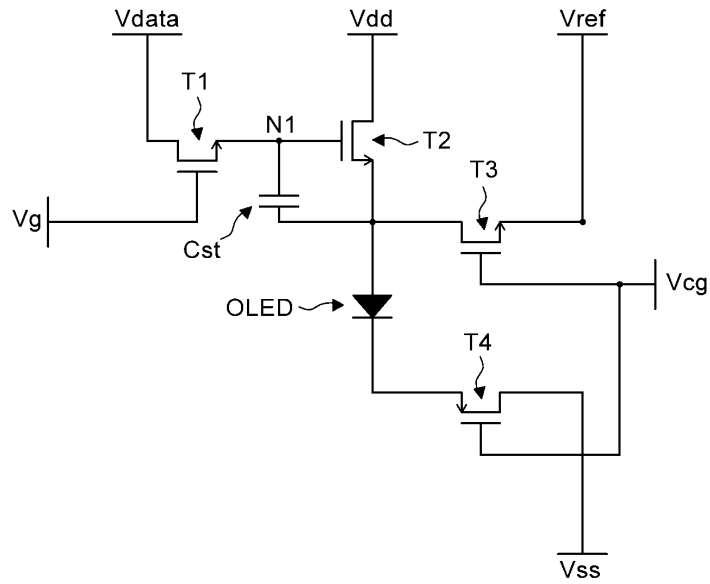


도면12

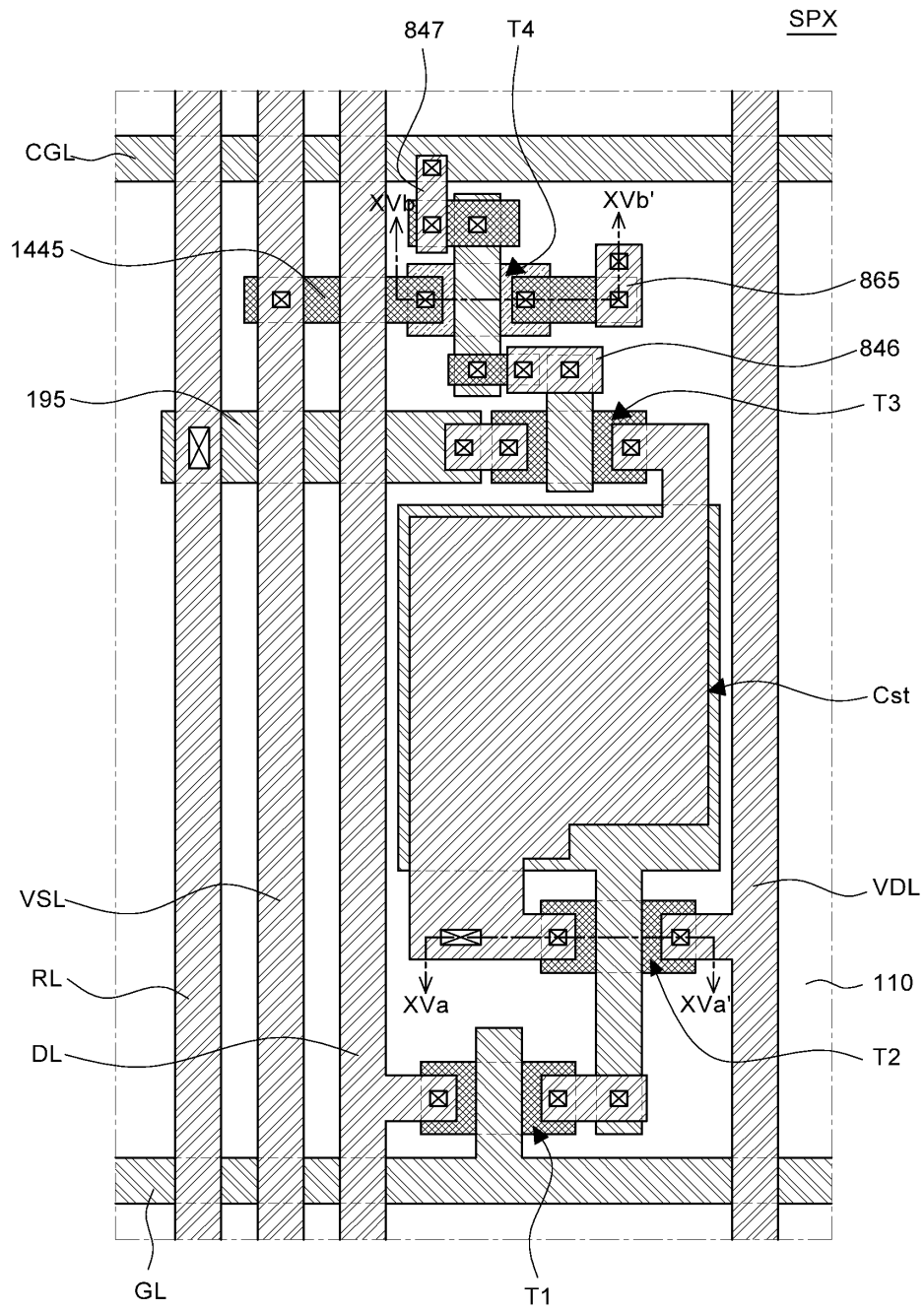


도면13

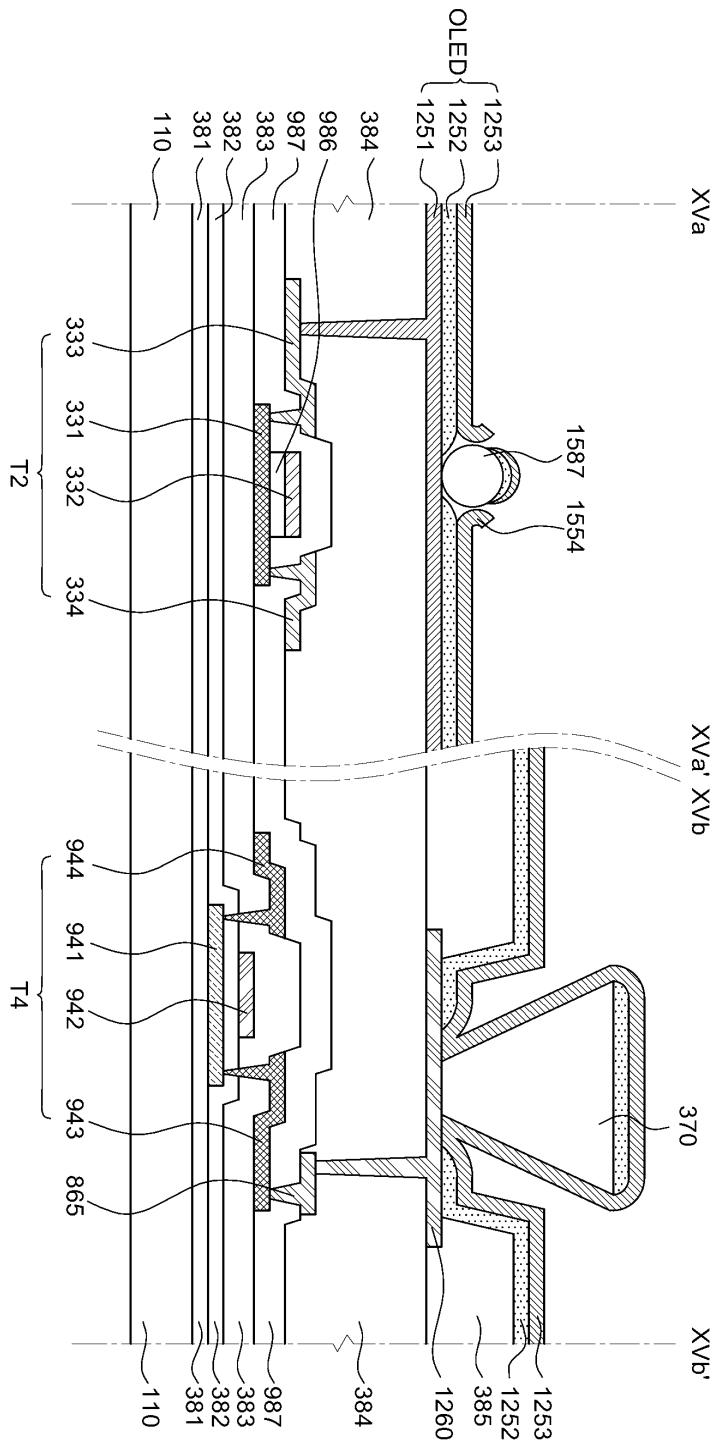
SPX



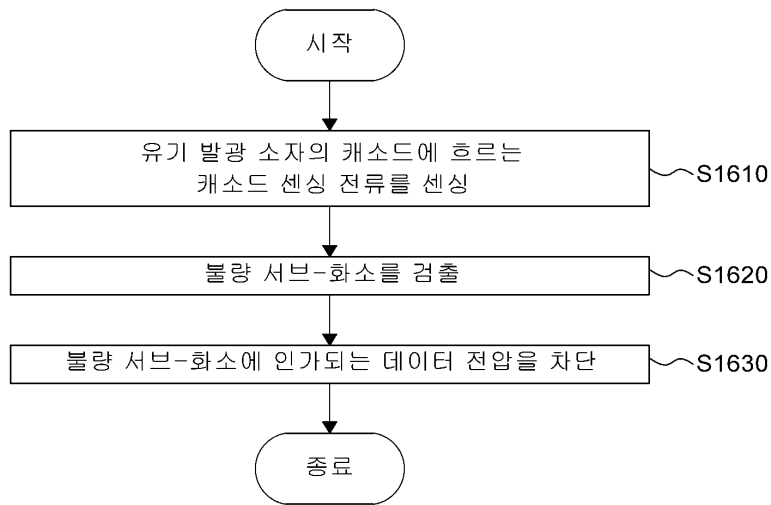
도면14



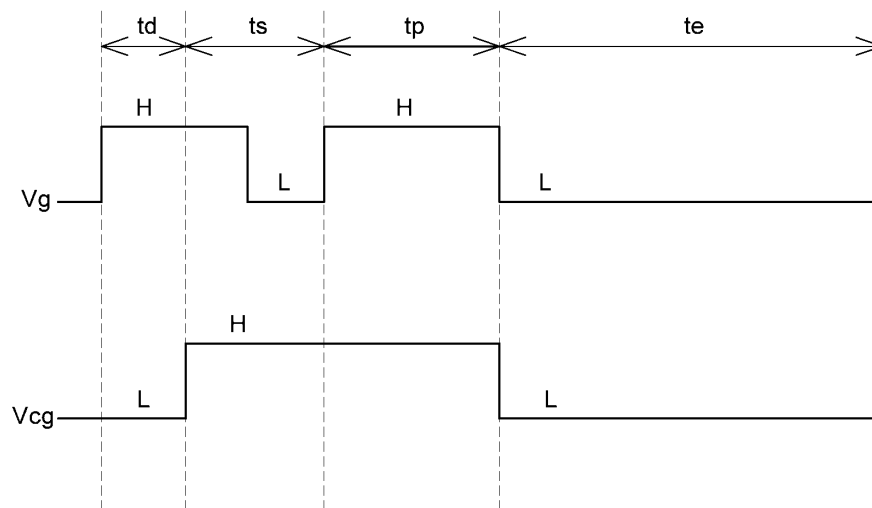
도면15



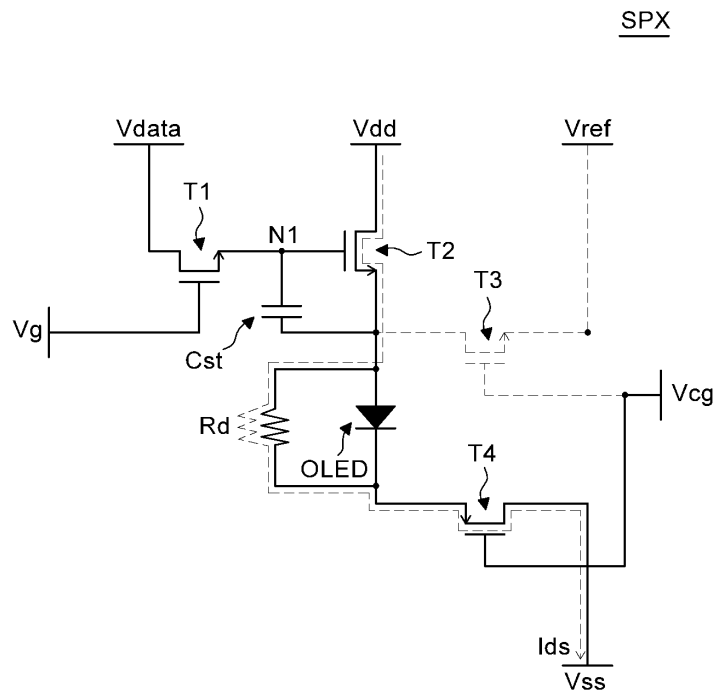
도면16



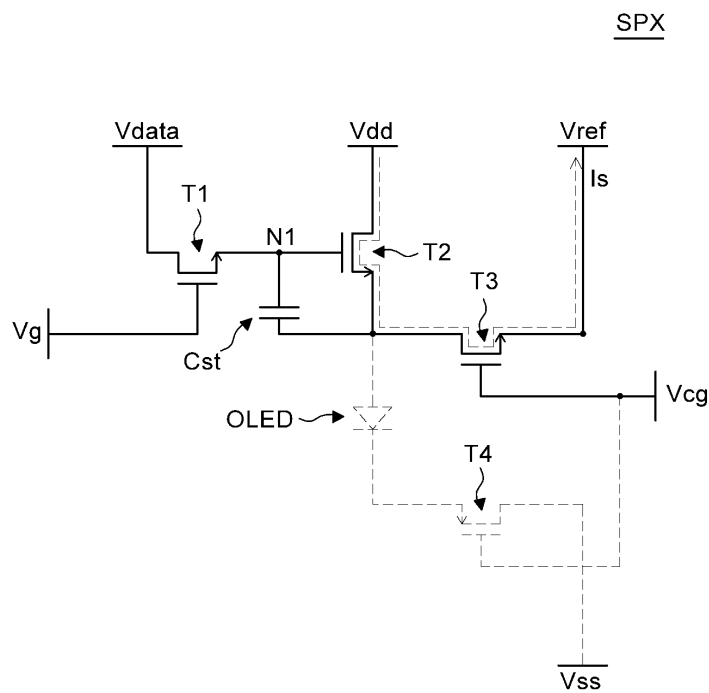
도면17



도면18a

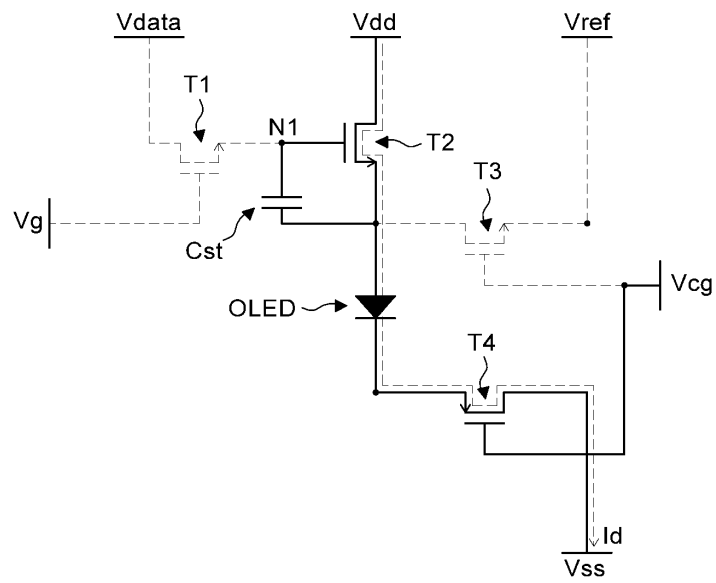


도면18b



도면18c

SPX



专利名称(译)	一种点燃有机发光显示装置的有缺陷的子像素的方法和有机发光显示装置		
公开(公告)号	KR1020160079476A	公开(公告)日	2016-07-06
申请号	KR1020140190864	申请日	2014-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON HOI YONG 권회용 LEE MI REUM 이미름		
发明人	권회용 이미름		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/32 H01L51/56 H01L27/3202		
代理人(译)	Ohseil		
外部链接	Espacenet		

摘要(译)

提供有机发光显示装置。有机发光显示装置包括驱动薄膜晶体管，有机发光装置，感测薄膜晶体管和次级薄膜晶体管，以及参考布线。二次薄膜晶体管与有机发光装置的阴极电连接。在有机发光装置发光的发光时段的参考布线中，施加Vss电压。其中包括根据本发明优选实施方式的有机发光显示装置与有机发光装置的阴极电连接的参考布线。因此，通过一个参考布线来感测驱动薄膜晶体管的阈值电压，并且可以在阴极中施加Vss电压。也就是说，在有机发光装置的阴极中，Vss电压同时通过辅助布线和参考布线施加。因此，可以在有机发光器件的阴极中施加均匀的Vss电压，并且可以显著降低Vss上升现象。

