



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0056650
(43) 공개일자 2016년05월20일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0157239

(22) 출원일자 2014년11월12일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

권우현

서울특별시 구로구 구로구 남부순환로 971 (개봉동) 개봉푸르지오아파트 107-2103

(74) 대리인

특허법인로얄

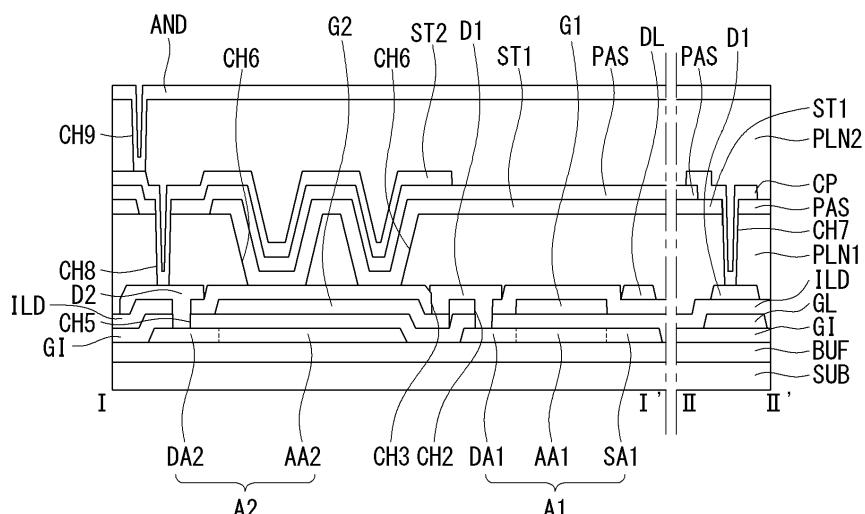
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기 전계발광 표시장치

(57) 요 약

본 발명은 고해상도 유기 전계발광 표시장치에서도 캐패시터의 정전용량을 유지할 수 있는 유기 전계발광 표시장치에 관한 것으로, 게이트 라인과 교차하며 서로 나란하게 배치되는 데이터 라인 및 전원라인에 의해 정의되는 화소영역, 적어도 2개의 박막 트랜지스터들, 제 1 절연막, 제 1 스토리지 전극, 제 2 스토리지 전극, 제 1 전극 및 제 2 전극을 포함한다. 제 1 절연막은 적어도 2개의 박막 트랜지스터들을 커버하며, 적어도 하나의 홀을 구비한다. 제 1 스토리지 전극은 적어도 하나의 홀 내면을 따르는 굴곡부를 갖도록 상기 제 1 절연막 상에 배치된다. 제 2 스토리지 전극은 제 1 절연막의 홀 내면에 대응하는 굴곡부를 갖는 제 2 절연막을 사이에 두고 상기 제 1 스토리지 전극과 중첩되도록 배치된다. 제 1 전극제 2 스토리지 전극과 제 3 절연막을 사이에 두고 중첩되도록 배치된다. 제 2 전극은 유기 발광층을 사이에 두고 상기 제 1 전극과 중첩되도록 배치된다.

대 표 도 - 도3



명세서

청구범위

청구항 1

기판 상에서 게이트 라인과, 상기 게이트 라인과 교차하며 서로 나란하게 배치되는 데이터 라인 및 전원라인에 의해 정의되는 화소영역;

상기 기판 상에 배치되는 적어도 2개의 박막 트랜지스터들;

상기 적어도 2개의 박막 트랜지스터들을 커버하며, 적어도 하나의 홀을 구비하는 제 1 절연막;

상기 적어도 하나의 홀 내면을 따르는 굴곡부를 갖도록 상기 제 1 절연막 상에 배치되는 제 1 스토리지 전극;

상기 제 1 절연막의 홀 내면에 대응하는 굴곡부를 갖는 제 2 절연막을 사이에 두고 상기 제 1 스토리지 전극과 중첩되도록 배치된 제 2 스토리지 전극;

상기 제 2 스토리지 전극과 제 3 절연막을 사이에 두고 중첩되도록 배치된 제 1 전극; 및

유기 발광층을 사이에 두고 상기 제 1 전극과 중첩되도록 배치되는 제 2 전극을 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 2

제 1 항에 있어서,

각 박막 트랜지스터의 게이트 전극과 소스 및 드레인 전극을 절연시키는 충간 절연막을 더 포함하며,

상기 제 1 절연막은 감광성 유기물질로 이루어지고, 상기 충간 절연막은 무기 절연물질로 이루어지며, 상기 제 2 절연막은 무기 절연물질로 이루어지며, 상기 제 3 절연막은 감광성 유기물질 또는 무기 절연물질로 이루어지는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 3

제 1 항에 있어서,

각 박막 트랜지스터의 게이트 전극과 소스 및 드레인 전극을 절연시키는 충간 절연막을 더 포함하며,

상기 제 1 절연막은 무기 절연물질로 이루어지고, 상기 충간 절연막은 상기 무기 절연물질에 대하여 식각 선택비가 높은 다른 무기 절연물질로 이루어지며, 상기 제 2 절연막은 상기 무기 절연물질 또는 상기 다른 무기 절연물질로 이루어지고, 상기 제 3 절연막은 감광성 유기물질, 상기 무기 절연물질, 상기 다른 무기 절연물질 중의 어느 하나로 이루어지는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 적어도 2개의 박막 트랜지스터들은,

상기 기판 상에 배치되는 제 1 액티브층과,

상기 제 1 액티브층을 커버하는 게이트 절연막 상에 배치되는 제 1 게이트 전극과,

상기 제 1 게이트 전극을 커버하는 충간 절연막 상에 서로 이격되어 배치되며, 상기 충간 절연막과 상기 게이트 절연막을 관통하는 제 1 콘택홀을 통해 노출되는 상기 제 1 액티브층의 제 1 소스영역에 연결되는 제 1 소스전

극과,

상기 충간 절연막과 상기 게이트 절연막을 관통하는 제 2 콘택홀을 통해 노출되는 상기 제 1 액티브층의 제 1 드레인 영역에 연결되는 제 1 드레인 전극을 포함하는 제 1 박막 트랜지스터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 적어도 2개의 박막 트랜지스터들은,

상기 제 1 액티브층과 이격되어 상기 기판 상에 배치되는 제 2 액티브층과,

상기 제 2 액티브층을 커버하는 상기 게이트 절연막 상에서 상기 제 1 게이트 전극과 이격되어 배치되는 제 2 게이트 전극과,

상기 제 2 게이트 전극을 커버하는 상기 충간 절연막 상에 서로 이격되어 배치되며, 상기 충간 절연막과 상기 게이트 절연막을 관통하는 제 4 콘택홀을 통해 노출되는 상기 제 2 액티브층의 제 2 소스영역에 연결되는 제 2 소스전극과,

상기 충간 절연막과 상기 게이트 절연막을 관통하는 제 5 콘택홀을 통해 노출되는 상기 제 2 액티브층의 제 2 드레인 영역에 연결되는 제 2 드레인 전극을 포함하는 제 2 박막 트랜지스터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 6

제 4 항에 있어서,

상기 제 1 스토리지 전극은 상기 제 2 절연막과 상기 제 1 절연막을 관통하는 제 7 콘택홀을 통해 노출되는 상기 제 1 드레인 전극에 접속되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 7

제 5 항에 있어서,

상기 제 2 스토리지 전극은 상기 제 2 절연막과 상기 제 1 절연막을 관통하는 제 8 콘택홀을 통해 노출되는 상기 제 2 드레인 전극에 접속되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 제 1 전극은 상기 제 3 절연막을 관통하는 제 9 콘택홀을 통해 노출되는 상기 제 2 스토리지 전극에 접속되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 제 1 드레인 전극은 상기 충간 절연막을 관통하는 제 3 콘택홀을 통해 노출되는 상기 제 2 게이트 전극에 접속되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 10

제 2 항에 있어서,

상기 데이터 라인 및 상기 전원 라인과 나란하게 상기 층간 절연막 상에 배치되는 보조전극; 및

상기 데이터 라인, 상기 전원 라인, 상기 보조전극, 상기 각 박막 트랜지스터의 소스 및 드레인전극들을 커버하고 상기 제 1 절연막 하부에 배치되는 제 4 절연막을 더 포함하며,

상기 제 4 절연막은 무기 절연물질로 이루어지는 것을 특징으로 하는 유기 전계발광 표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 유기 전계발광 표시장치에 관한 것으로, 보다 구체적으로, 제한된 면적에서 고용량의 정전용량을 확보하여 고해상도를 구현할 수 있는 유기 전계발광 표시장치에 관한 것이다.

배경기술

[0002]

최근, 음극선관(CRT : Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한, 평판 표시장치의 예로는, 액정 표시장치(LCD : Liquid Crystal Display), 전계방출 표시장치(FED : Field Emission Display), 플라즈마 표시장치(PDP : Plasma Display Panel) 및 유기 전계발광 표시장치(OLED : Organic Light Emitting Display) 등이 있다. 이들 평판 표시장치 중에서 유기 전계발광 표시장치는(Organic Light Emitting Display)는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0003]

유기 전계발광 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기 발광 다이오드는 애노드 전극, 캐소드 전극, 및 이를 전극 사이에 배치되는 유기 발광층을 포함한다. 애노드 전극으로부터는 정공이 주입되며 캐소드 전극으로부터는 전자가 주입된다. 애노드 전극과 캐소드 전극을 통해 각각 주입된 정공과 유기 발광층(emission layer : EML)에 주입되면 여기자인 엑시톤(exciton)을 형성하고, 이 엑시톤은 에너지를 빛으로 방출하면서 발광하게 된다.

[0004]

이러한 유기 전계발광 표시장치는 표시 영역의 애노드에 구동 신호를 인가하기 위해 각 화소마다 스위칭 박막 트랜지스터와 구동 박막 트랜지스터를 구비한다. 스위칭 박막 트랜지스터는 게이트 라인과 데이터 라인으로부터 신호를 인가받아 화소를 구동한다.

[0005]

최근 표시장치의 대형화와 함께 고해상도가 요구됨에 따라 화소 사이즈가 점점 작아지는 경향이 있다. 하나의 화소는 게이트 라인, 데이터 라인 및 공통전원 라인의 교차에 의해 구획되고, 이 화소에는 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 캐패시터 및 유기발광 다이오드가 형성된다. 이러한 구성에서 화소 사이즈가 작아지면 박막 트랜지스터들과 전술한 라인들이 접적화되어 매우 밀접하게 배치된다. 따라서, 종래의 고해상도 유기 전계발광 표시장치에서는 캐패시터의 면적이 줄어들어 캐패시터의 정전용량이 부족해지는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0006]

본 발명의 목적은 상술한 문제점을 해소시키기 위한 것으로, 고해상도 유기 전계발광 표시장치에서도 캐패시터의 정전용량을 유지할 수 있는 유기 전계발광 표시장치를 제공하는 것에 있다.

과제의 해결 수단

[0007]

상기 목적 달성을 위한 본 발명의 유기 전계발광 표시장치는 게이트 라인과 교차하며 서로 나란하게 배치되는 데이터 라인 및 전원라인에 의해 정의되는 화소영역, 적어도 2개의 박막 트랜지스터들, 제 1 절연막, 제 1 스토리지 전극, 제 2 스토리지 전극, 제 1 전극 및 제 2 전극을 포함한다. 제 1 절연막은 적어도 2개의 박막 트랜지스터들을 커버하며, 적어도 하나의 홀을 구비한다. 제 1 스토리지 전극은 적어도 하나의 홀 내면을 따르는 굴곡부를 갖도록 상기 제 1 절연막 상에 배치된다. 제 2 스토리지 전극은 제 1 절연막의 홀 내면에 대응하는 굴곡부를 갖는 제 2 절연막을 사이에 두고 상기 제 1 스토리지 전극과 중첩되도록 배치된다. 제 1 전극은 제 2 스토리지 전극과 제 3 절연막을 사이에 두고 중첩되도록 배치된다. 제 2 전극은 유기 발광층을 사이에 두고 상기 제 1 전극과 중첩되도록 배치된다.

[0008]

본 발명의 유기 전계발광 표시장치는 또한 각 박막 트랜지스터의 게이트 전극과 소스 및 드레인 전극을 절연시키는 층간 절연막을 더 포함한다. 제 1 절연막은 감광성 유기물질로 이루어지고, 층간 절연막은 무기 절연물질로 이루어지며, 제 2 절연막은 무기 절연물질로 이루어지며, 제 3 절연막은 감광성 유기물질 또는 무기 절연물질로 이루어질 수 있다.

[0009]

본 발명의 유기 전계발광 표시장치는 또한 각 박막 트랜지스터의 게이트 전극과 소스 및 드레인 전극을 절연시키는 층간 절연막을 더 포함한다. 제 1 절연막은 무기 절연물질로 이루어지고, 층간 절연막은 상기 무기 절연물질에 대하여 식각선택비가 높은 다른 무기 절연물질로 이루어진다. 제 2 절연막은 상기 무기 절연물질 또는 상기 다른 무기 절연물질로 이루어지며, 제 3 절연막은 감광성 유기물질, 상기 무기 절연물질, 상기 다른 무기 물질 중의 어느 하나로 이루어질 수 있다.

[0010]

상기 구성에서, 적어도 2개의 박막 트랜지스터들은 제 1 액티브층, 제 1 게이트 전극, 제 1 소스전극, 및 제 1 드레인 전극을 포함한다. 제 1 액티브층은 기판 상에 배치된다. 제 1 게이트 전극은 제 1 액티브층을 커버하는 게이트 절연막 상에 배치된다. 제 1 소스전극은 제 1 게이트 전극을 커버하는 층간 절연막 상에 서로 이격되어 배치되며, 층간 절연막과 게이트 절연막을 관통하는 제 1 콘택홀을 통해 노출되는 제 1 액티브층의 제 1 소스영역에 연결된다. 제 1 드레인 전극은 층간 절연막과 게이트 절연막을 관통하는 제 2 콘택홀을 통해 노출되는 제 1 액티브층의 제 1 드레인 영역에 연결된다.

[0011]

이와 달리 적어도 2개의 박막 트랜지스터들은 제 2 액티브층, 제 2 게이트 전극, 제 2 소스전극, 및 제 2 드레인 전극을 포함한다. 제 2 액티브층은 기판 상에서 제 1 액티브층과 이격되어 배치된다. 제 2 게이트 전극은 제 2 액티브층을 커버하는 게이트 절연막 상에서 제 1 게이트 전극과 이격되어 배치된다. 제 2 소스전극은 제 2 게이트 전극을 커버하는 층간 절연막 상에 서로 이격되어 배치되며, 층간 절연막과 상기 게이트 절연막을 관통하는 제 4 콘택홀을 통해 노출되는 제 2 액티브층의 제 2 소스영역에 연결된다. 제 1 드레인 전극은 층간 절연막과 상기 게이트 절연막을 관통하는 제 5 콘택홀을 통해 노출되는 상기 제 2 액티브층의 제 2 드레인 영역에 연결된다.

[0012]

제 1 스토리지 전극은 상기 제 2 절연막과 제 1 절연막을 관통하는 제 7 콘택홀을 통해 노출되는 상기 제 1 드레인 전극에 접속된다.

[0013]

제 2 스토리지 전극은 상기 제 2 절연막과 제 1 절연막을 관통하는 제 8 콘택홀을 통해 노출되는 상기 제 2 드레인 전극에 접속된다.

[0014]

제 1 전극은 제 3 절연막을 관통하는 제 9 콘택홀을 통해 노출되는 제 2 스토리지 전극에 접속된다.

[0015]

제 1 드레인 전극은 상기 층간 절연막과 상기 게이트 절연막을 관통하는 제 3 콘택홀을 통해 노출되는 상기 제 2 게이트 전극에 접속된다.

[0016]

본 발명의 유기 전계발광 표시장치는 또한 데이터 라인 및 전원 라인과 나란하게 층간 절연막 상에 배치되는 보조전극, 및 이를 데이터 라인, 전원 라인, 보조전극, 각 박막 트랜지스터의 소스 및 드레인전극들을 커버하고 제 1 절연막 하부에 배치되는 제 4 절연막을 더 포함하며, 상기 제 4 절연막은 무기 절연물질로 이루어질 수 있다.

발명의 효과

[0017]

본 발명에 따르는 유기 전계발광 표시장치에 의하면, 제 1 스토리지 전극이 그 하부의 절연막에 형성된 적어도 하나의 콘택홀들의 경로를 따라 위치되고, 제 2 스토리지 전극이 제 1 스토리지 전극을 커버하는 절연막 상에서 제 1 스토리지 전극과 대향 배치되므로, 서로 대향하는 제 1 스토리지 전극과 제 2 스토리지 전극의 대향 면적 이 현저히 넓어지게 된다. 따라서, 동일한 크기의 화소영역에서 스토리지 캐패시터의 정전용량을 현저하게 증가시킬 수 있게 되는 효과를 얻을 수 있다.

[0018]

또한, 본 발명에 따르는 유기 전계발광 표시장치에 의하면, 박막 트랜지스터를 커버하는 절연막으로서 감광성 유기물질을 이용함으로써 식각 공정이 불필요하게 되기 때문에 하부의 절연막에 대한 식각 선택비를 고려할 필요가 없어 재료 선택의 자유도를 향상시킬 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0019]

도 1은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 1화소를 도시한 등가 회로도,
 도 2는 본 발명의 실시예에 따른 유기발광 표시장치의 1화소를 도시한 평면도,
 도 3은 도 2의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 4a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 1 마스크 공정을 도시한 평면도,
 도 4b는 도 4a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 5a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 2 마스크 공정을 도시한 평면도,
 도 5b는 도 5a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 6a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 3 마스크 공정을 도시한 평면도,
 도 6b는 도 6a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 7a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 4 마스크 공정을 도시한 평면도,
 도 7b는 도 7a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 8a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 5 마스크 공정을 도시한 평면도,
 도 8b는 도 8a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 9a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 6 마스크 공정을 도시한 평면도,
 도 9b는 도 9a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 10a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 7 마스크 공정을 도시한 평면도,
 도 10b는 도 10a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 11a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 8 마스크 공정을 도시한 평면도,
 도 11b는 도 11a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 12a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 9 마스크 공정을 도시한 평면도,
 도 12b는 도 12a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 13a는 본 발명의 실시예에 따른 유기 전계발광 표시장치의 제 10 마스크 공정을 도시한 평면도,
 도 13b는 도 13a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 14a는 본 발명의 다른 실시예에 따른 유기발광 표시장치의 1화소를 도시한 평면도,
 도 14b는 도 14a의 라인 I-I 및 II-II'을 따라 취한 단면도,
 도 15a는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 1화소를 도시한 평면도,
 도 15b는 도 15a의 라인 I-I 및 II-II'을 따라 취한 단면도.

발명을 실시하기 위한 구체적인 내용

[0020]

이하, 첨부한 도면들을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지된 내용 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0021]

도 1 내지 도 3을 참조하여, 본 발명의 실시예에 따른 유기 전계발광 표시장치에 대해 설명하기로 한다. 도 1은 본 발명의 실시예에 따른 유기 전계발광 표시장치의 1화소를 도시한 회로도의 일례이고, 도 2는 본 발명의 실시예에 따른 유기발광 표시장치의 1화소를 도시한 평면도이며, 도 3은 도 2의 라인 I-I 및 II-II'을 따라 취한 단면도이다.

[0022]

우선, 도 1을 참조하면, 본 발명의 실시예에 따른 유기 전계발광 표시장치의 1화소는 게이트 라인(GL), 데이터 라인(DL) 및 전원 라인(PL)에 접속된 셀 구동부(DU)와, 셀 구동부(DU)와 접지(GND) 사이에 접속된 유기 발광 다이오드(OLED)를 포함한다.

[0023]

셀 구동부(DU)는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 및 스토리지 캐페시터(Cst)를 포함한다. 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)에 접속된 게이트 전극, 데이터 라인(DL)에 접속된 소스전극, 및 제 1 노드(n1)에 접속되는 드레인 전극을 포함한다. 구동 박막 트랜지스터(T2)는 전원 라인(PL)에 접속되는 소스전극, 제 1 노드(n1)에 접속되는 게이트 전극, 및 제 2 노드(n2)에 접속되는 드레인 전극을 포함한다. 스토리지 캐페시터(Cst)는 제 1 노드(n1)에 접속되는 제 1 전극 및 제 2 노드(n2)에 접속되는 제 2 전극을 포함한다. 제 1 노드(n1)에는 스위칭 박막 트랜지스터(T1)의 드레인 전극, 구동 박막 트랜지스터(T2)의 게이트 전극, 및 스토리지 캐페시터(Cst)의 제 1 전극이 접속된다. 제 2 노드(n2)에는 구동 박막 트랜지스터(T2)의 드레인 전극, 캐페시터(Cst)의 제 2 전극, 및 유기 발광 다이오드(OLED)의 애노드 전극이 접속된다.

[0024]

유기 발광 다이오드(OLED)는 셀 구동부(DU)의 제 2 노드(n2)와 접지(GND) 사이에 접속된다.

[0025]

이와 같은 구성에서, 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐페시터(Cst) 및 구동 박막 트랜지스터(T2)의 게이트 전극으로 공급한다. 구동 박막 트랜지스터(T2)는 게이트 전극으로 공급되는 데이터 신호에 응답하여 전원 라인(PL)으로부터 유기 발광 다이오드(OLED)로 공급되는 전류(I)를 제어함으로써 유기 발광 다이오드(OLED)의 발광량을 조절하게 된다. 그리고, 스위칭 박막 트랜지스터(T1)가 턴-오프되더라도 스토리지 캐페시터(Cst)에 충전된 전압에 의해 구동 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 유기 발광 다이오드(OLED)의 발광을 유지하게 한다.

[0026]

도 2 및 도 3을 참조하면, 기판(SUB) 상에는 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막 또는 이들의 다중층으로 이루어진 베퍼 절연막(BUF)이 전면적으로 도포되고, 베퍼 절연막(BUF) 상에는 서로 이격된 제 1 액티브층(A1) 및 제 2 액티브층(A2)이 배치된다. 베퍼 절연막(BUF)은 생략될 수도 있다. 제 1 액티브층(A1) 및 제 2 액티브층(A2)은 비정질 실리콘(a-Si)에 불순물 이온이 주입되어 이루어진 반도체 활성층이다. 제 1 액티브층(A1)은 제 1 액티브 영역(AA1)을 사이에 두고 배치된 제 1 소스영역(SA1)과 제 1 드레인 영역(DA1)으로 이루어진다. 제 2 액티브층(A2)은 제 2 액티브 영역(AA2)을 사이에 두고 배치된 제 2 소스영역(SA2)과 제 2 드레인 영역(DA2)으로 이루어진다.

[0027]

제 1 액티브층(A1) 및 제 2 액티브층(A2) 상에는 이들을 커버 및 절연시키도록 게이트 절연막(GI)이 배치된다. 게이트 절연막(GI)은 베퍼층(BUF)과 유사하게 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막 또는 이들의 다중층으로 이루어질 수 있다. 게이트 절연막(GI) 상에는 게이트 라인(GL), 제 1 게이트 전극(G1), 및 제 2 게이트 전극(G2)이 위치한다. 제 1 게이트 전극(G1)은 게이트 라인(GL)으로부터 연장되어 제 1 액티브층(A1)의 제 1 액티브 영역(AA1)과 적어도 일부분이 중첩된다. 제 2 게이트 전극(G2)은 게이트 라인(GL) 및 제 1 게이트 전극(G1)으로부터 이격되어 배치된다. 게이트 라인(GL), 제 1 게이트 전극(G1) 및 제 2 게이트 전극(G2)은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0028]

게이트 라인(GL), 제 1 게이트 전극(G1) 및 제 2 게이트 전극(G2)이 배치된 게이트 절연막(GI) 상에는 이들을 절연 및 커버하도록 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)은 실리콘 질화물(SiNx), 실리콘 산화물

(SiO_x)과 같은 무기절연막 또는 이들의 다중층으로 이루어질 수 있다.

[0029] 층간 절연막(ILD) 상에는 게이트 라인(GL)과 교차하는 데이터 라인(DL) 및 데이터 라인(DL)과 나란한 전원 라인(PL)이 배치된다. 층간 절연막(ILD) 상에는 또한 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1) 및 제 1 드레인 전극(D1)과, 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2) 및 제 2 드레인 전극(D2)이 배치된다. 데이터 라인(DL), 전원 라인(PL), 제 1 및 제 2 소스전극들(S1, S2)과 제 1 및 제 2 드레인 전극들(D1, D2)은 알루미늄(A1), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0030] 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1)은 데이터 라인(DL)으로부터 연장되거나 데이터 라인(DL)의 일부분일 수 있으며, 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 1 콘택홀(CH1)을 통해 노출된 제 1 액티브층(A1)의 제 1 소스영역(SA1)과 접촉하도록 배치된다. 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)은 게이트 라인(GL), 제 1 액티브층(A2)의 제 1 드레인 영역(DA1), 제 2 게이트 전극(G2)과 중첩되도록 층간 절연막(ILD) 상에 배치된다. 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)은 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 2 콘택홀(CH2)을 통해 노출된 제 1 액티브층(A1)의 제 1 드레인 영역(DA1)에 연결되고, 층간 절연막(ILD)을 관통하는 제 3 콘택홀(CH3)을 통해 노출된 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(G2)에 연결된다.

[0031] 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2)은 전원 라인(PL)으로부터 연장되거나 전원 라인(PL)의 일부분일 수 있으며, 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 4 콘택홀(CH4)을 통해 노출된 제 2 액티브층(A2)의 제 2 소스영역(SA2)과 접촉하도록 배치된다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 제 2 액티브층(A2)의 제 2 드레인 영역(DA2)과 중첩되도록 층간 절연막(ILD) 상에 배치된다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 5 콘택홀(CH5)을 통해 노출된 제 2 액티브층(A2)의 제 2 드레인 영역(DA2)에 연결된다.

[0032] 데이터 라인(DL), 전원 라인(PL), 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1) 및 제 1 드레인 전극(D1), 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2) 및 제 2 드레인 전극(D2)이 배치된 층간 절연막(ILD) 상에는, 제 1 평탄화막(PLN1)이 그들을 커버하도록 위치된다. 제 1 평탄화막(PLN1)은 감광성 폴리아크릴, 폴리이미드와 같은 감광성 유기막으로 이루어진다. 제 1 평탄화막(PLN1)은 데이터 라인(DL), 전원 라인(PL) 및 인접한 게이트 라인들(GL)에 의해 정의되는 화소영역 내에서 층간 절연막(ILD)을 노출시키도록 형성되는 적어도 하나의 제 6 콘택홀(CH6)을 포함한다. 도 2의 점선으로 표시한 영역 R은 복수의 제 6 콘택홀들(CH6)이 형성될 수 있는 영역을 나타낸다.

[0033] 제 1 평탄화막(PLN1)을 감광성 유기물질로 형성할 경우 식각 공정이 불필요하므로 식각 선택비를 고려할 필요가 없어 재료 선택의 자유도를 향상시킬 수 있다. 예를 들어, 층간 절연막(ILD)과 제 1 평탄화막(PLN1)을 무기물질로 형성할 경우에는 층간 절연막(ILD) 상의 제 1 평탄화막(PLN1)을 식각할 때 층간 절연막(ILD)이 손상되는 것을 방지하기 위해, 상호 식각비가 큰 실리콘 질화물과 실리콘 산화물을 이용하여 층간 절연막(ILD)과 제 1 평탄화막(PLN1)을 각각 형성하여야 한다. 그러나, 감광성 유기막을 이용하여 제 1 평탄화막(PLN1)을 형성하면 제 1 평탄화막(PLN1)을 식각할 필요가 없기 때문에 층간 절연막(ILD)을 보호하기 위한 식각비 선택이 불필요하게 된다. 따라서, 층간 절연막(ILD)을 형성하기 위해 실리콘 질화물과 실리콘 산화물을 모두 이용할 수 있으므로 재료 선택의 자유도가 향상되는 효과를 얻을 수 있다.

[0034] 복수의 제 6 콘택홀들(CH6)이 형성된 제 1 평탄화막(PLN1) 상의 화소영역에는 스토리지 캐페시터의 제 1 스토리지 전극(ST1)이 배치된다. 제 1 스토리지 전극(ST1)은 복수의 제 6 콘택홀들(CH6)의 내벽 경로를 따라 형성되므로 제 6 콘택홀들(CH6)의 수가 증가할수록 그 면적도 증가하게 된다.

[0035] 제 1 스토리지 전극(ST1)이 위치된 제 1 평탄화막(PLN1) 상에는 제 1 스토리지 전극(ST1)을 커버하도록 패시베이션막(PAS)이 위치된다. 패시베이션막(PAS)은 실리콘 질화물(SiNx), 실리콘 산화물(SiO_x)과 같은 무기절연막으로 이루어질 수 있다. 패시베이션막(PAS)은 제 1 평탄화막(PLN1)에 형성된 제 6 콘택홀들(CH6)의 형상을 따라 복수의 오목부를 갖게 된다.

[0036] 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)은 패시베이션막(PAS)과 제 1 평탄화막(PLN1)을 관통하는 제 7 콘택홀(CH7)을 통해 그 일부분이 노출된다. 제 7 콘택홀(CH7)은 또한 제 1 평탄화막(PLN1) 상에 위치된 제 1 스토리지 전극(ST1)의 일부분을 노출시킨다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 패시베이션막(PAS)과 제 1 평탄화막(PLN1)을 관통하는 제 8 콘택홀(CH8)을 통해 그 일부분이 노출된다.

- [0037] 제 7 및 제 8 콘택홀들(CH7, CH8)이 형성된 패시베이션막(PAS) 상에는 스토리지 캐퍼시터의 제 1 스토리지 전극(ST1)과 대향하도록 제 2 스토리지 전극(ST2)이 위치된다. 패시베이션막(PAS) 상에는 또한 제 7 콘택홀(C7)을 통해 노출된 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)과 제 1 스토리지 전극(ST1)을 연결하는 연결부(CP)가 위치된다. 제 1 및 제 2 스토리지 전극들(ST1, ST2)과 연결패턴(CP)은 알루미늄(A1), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되어 이루어질 수 있다.
- [0038] 제 2 스토리지 전극(ST2)은 복수의 제 6 콘택홀들(CH6, CH6)에 의해 패시베이션막(PAS)에 형성된 복수의 오목부들을 따라 위치되고, 제 1 스토리지 전극(ST1)은 제 1 평탄화막(PLN1)에 형성된 복수의 제 6 콘택홀들(CH6, CH6)의 경로를 따라 위치되기 때문에 서로 대향하는 제 1 스토리지 전극(ST1)과 제 2 스토리지 전극(ST2)의 대향 면적이 현저히 넓어지게 된다. 따라서, 동일한 크기의 화소영역에서 스토리지 캐퍼시터의 정전용량을 현저하게 증가시킬 수 있게 되는 효과를 얻을 수 있다.
- [0039] 제 2 스토리지 전극(ST2)과 연결부(CP)가 위치된 패시베이션막(PAS) 상에는 제 2 스토리지 전극(ST2)과 연결부(CP)를 커버하도록 제 2 평탄화막(PLN2)이 위치된다. 제 2 평탄화막(PLN2)은 감광성 폴리아크릴, 감광성 폴리이미드와 같은 감광성 유기막으로 이루어진다. 제 2 평탄화막(PLN2)은 제 2 스토리지 전극(ST2)의 일부분을 노출시키는 제 9 콘택홀(CH9)을 포함한다.
- [0040] 제 9 콘택홀(CH9)이 형성된 제 2 평탄화막(PLN2) 상에는 제 9 콘택홀(CH9)을 통해 노출되는 제 2 스토리지 전극(ST2)과 접촉하도록 유기 발광 다이오드의 애노드 전극(AND)이 위치된다. 애노드 전극(AND) 상에는 유기 발광층(도시생략) 및 캐소드 전극(도시생략)이 순차적으로 형성되어 유기 발광 다이오드(도 1의 OLED)를 형성한다. 애노드 전극(AND)과 캐소드 전극은 알루미늄(A1), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되어 이루어질 수 있다. 애노드 전극(AND) 상부의 구성은 이미 알려져 있는 공지의 구성이 적용될 수 있으므로 설명의 복잡화를 피하기 위해 더 이상의 설명은 생략하기로 한다.
- [0041] 다음으로, 도 4a 내지 도 13b를 참조하여 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제조방법에 대해 설명하기로 한다. 이하에서는 설명의 편의를 위해 유기 전계발광 표시장치의 1 화소영역을 중심으로 설명하기로 한다.
- [0042] 도 4a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 1 마스크 공정을 도시한 평면도이고, 도 4b는 도 4a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.
- [0043] 도 4a 및 도 4b를 참조하면, 기판(SUB)의 전면(entire surface) 상에 예를 들면 스퍼터링 공정을 통해 베퍼 절연막과 반도체 물질을 증착한 후 서로 이격되도록 배치되는 제 1 액티브층과 제 2 액티브층을 형성한다.
- [0044] 보다 구체적으로, 기판(SUB)의 전면 상에 예를 들면 스퍼터링 공정을 통해 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연물질로 이루어지는 베퍼층과, 비정질 실리콘(a-Si)과 같은 반도체 물질로 이루어진 반도체층, 및 제 1 포토레지스트(photoresist)를 순차적으로 증착한 다음 제 1 마스크를 이용한 포토리소그래피 공정을 수행하여 반도체층을 노출시키는 제 1 포토레지스트 패턴(도시생략)을 형성한다. 그리고 제 1 포토레지스트 패턴에 의해 노출된 반도체층을 제거한 후, 잔류하는 제 1 포토레지스트 패턴을 애싱함으로써, 베퍼층(BUF) 상에서 서로 이격된 제 1 액티브층(A1) 및 제 2 액티브층(A2)을 형성한다. 베퍼층(BUF)은 생략될 수 있다.
- [0045] 제 1 액티브층(A1) 및 제 2 액티브층(A2)은 비정질 실리콘(a-Si)에 불순물 이온이 주입되어 이루어진 반도체 활성층이다. 제 1 액티브층(A1)은 제 1 액티브 영역(AA1)을 사이에 두고 배치된 제 1 소스영역(SA1)과 제 1 드레인 영역(DA1)으로 이루어진다. 제 2 액티브층(A2)은 제 2 액티브 영역(AA2)을 사이에 두고 배치된 제 2 소스영역(SA2)과 제 2 드레인 영역(DA2)으로 이루어진다.
- [0046] 도 5a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 2 마스크 공정을 도시한 평면도이고, 도 5b는 도 5a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.
- [0047] 도 5a 및 도 5b를 참조하면, 제 1 액티브층(A1) 및 제 2 액티브층(A2)이 형성된 베퍼층(BUF) 상에 예를 들면 스퍼터링 공정을 통해 게이트 절연물질과 제 1 금속물질을 순차적으로 증착한 후, 제 2 마스크 공정을 이용하여 제 1 금속물질을 패터닝함으로써 게이트 라인(GL)과 제 1 및 제 2 게이트 전극(G1, G2)을 포함하는 게이트 금속층을 형성한다.

- [0048] 보다 구체적으로, 제 1 액티브층(A1) 및 제 2 액티브층(A2)이 형성된 베퍼층(BUF) 상에 스퍼터링 공정을 통해 게이트 절연물질, 제 1 금속물질, 및 제 2 포토레지스트를 전면적으로 증착한다. 그리고, 제 2 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 제 1 금속물질의 일부분들을 노출시키는 제 2 포토레지스트 패턴(도시 생략)을 형성한다. 제 2 포토레지스트 패턴에 의해 노출된 제 1 금속물질을 에칭을 통해 제거한 후, 잔류하는 제 2 포토레지스트 패턴을 애싱함으로써, 게이트 절연물질(GI) 상에 게이트 라인(GL)과 제 1 및 제 2 게이트 전극(G1, G2)을 포함하는 게이트 금속층을 형성한다. 제 1 게이트 전극(G1)은 게이트 라인(GL)으로부터 연장되어 제 1 액티브층(A1)의 제 1 액티브 영역(AA1)과 적어도 일부분이 중첩된다. 반면, 제 2 게이트 전극(G2)은 게이트 라인(GL) 및 제 1 게이트 전극(G1)으로부터 이격되어 배치된다.
- [0049] 게이트 절연막(GI)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기 절연막 또는 이들의 다중층으로 이루어질 수 있다. 제 1 금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들로 이루어진 다중층으로 이루어질 수 있다.
- [0050] 도 6a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 3 마스크 공정을 도시한 평면도이고, 도 6b는 도 6a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.
- [0051] 도 6a 및 도 6b를 참조하면, 게이트 라인(GL)과 제 1 및 제 2 게이트 전극(G1, G2)이 형성된 게이트 절연막(GI) 상에는 이들을 절연 및 커버하도록 예를 들면 스퍼터링 공정을 통해 층간 절연막(ILD)을 형성한 후, 제 3 마스크 공정을 이용하여 제 1 내지 제 5 콘택홀들(CH1~CH5)을 형성한다.
- [0052] 구체적으로, 게이트 라인(GL)과 제 1 및 제 2 게이트 전극(G1, G2)이 형성된 게이트 절연막(GI) 상에 예를 들면 스퍼터링 공정을 통해 층간 절연막(ILD)과 제 3 포토레지스트를 증착한 후, 제 3 마스크를 이용한 포토리소그래피 공정을 수행함으로써 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 1, 제 2, 제 4 및 제 5 콘택홀들(CH1, CH2, CH4, CH5)과, 층간 절연막(ILD)을 관통하는 제 3 콘택홀(CH3)을 형성한다. 그 후 잔류하는 제 3 포토레지스트 패턴을 애싱함으로써, 제 1 내지 제 5 콘택홀들(CH1~CH5)이 형성된 층간 절연막(ILD)을 형성한다. 층간 절연막(ILD)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기 절연막 또는 이들의 다중층을 이용할 수 있다.
- [0053] 제 1 콘택홀(CH1)은 제 1 액티브층(A1)의 제 1 소스영역(SA1)을 노출시키고, 제 2 콘택홀(CH2)은 제 1 액티브층(A1)의 제 1 드레인영역(DA1)을 노출시킨다. 또 제 3 콘택홀(CH3)은 제 2 액티브층(A2)의 제 2 게이트 전극(G2)을 노출시키고, 제 4 콘택홀(CH4)은 제 2 액티브층(A2)의 제 2 소스영역(SA2)을 노출시킨다. 제 5 콘택홀(CH5)은 제 2 액티브층(A2)의 제 2 드레인 영역(DA2)을 노출시킨다.
- [0054] 도 7a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 4 마스크 공정을 도시한 평면도이고, 도 7b는 도 7a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.
- [0055] 도 7a 및 도 7b를 참조하면, 제 1 내지 제 5 콘택홀들(CH1~CH5)이 형성된 층간 절연막(ILD) 상에는 예를 들면 스퍼터링 공정을 통해 제 2 금속물질로서의 소스/드레인 금속물질을 증착한 후, 제 4 마스크 공정을 이용하여 데이터 라인(DL), 전원라인(PL), 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1) 및 제 1 드레인 전극(D1), 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2) 및 제 2 드레인 전극(D2)을 형성한다.
- [0056] 보다 구체적으로, 제 1 내지 제 5 콘택홀들(CH1~CH5)이 형성된 층간 절연막(ILD) 상에 예를 들면 스퍼터링 공정을 통해 제 2 금속물질로서의 소스/드레인 금속물질과 제 4 포토레지스트를 증착한 후, 제 4 마스크를 이용한 포토리소그래피 공정을 수행함으로써 소스/드레인 금속물질을 노출시키는 제 4 포토레지스트 패턴(도시 생략)을 형성한다. 제 4 포토레지스트 패턴을 통해 노출된 소스/드레인 금속물질을 에칭을 통해 제거한 후 잔류하는 제 4 포토레지스트 패턴을 애싱함으로써, 데이터 라인(DL), 전원라인(PL), 스위칭 박막 트랜지스터(T1)의 제 1 소스 전극(S1) 및 제 1 드레인 전극(D1), 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2) 및 제 2 드레인 전극(D2)을 포함하는 소스/드레인 전극층을 형성한다.
- [0057] 제 2 금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들로 이루어진 다중층으로 이루어 질 수 있다.
- [0058] 데이터 라인(DL)과 전원 라인(PL)은 서로 나란하고, 게이트 라인(GL)과 교차하는 방향으로 배열된다. 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1)은 데이터 라인(DL)으로부터 연장될 수 있으며, 제 1 콘택홀(CH1)을

통해 노출된 제 1 소스영역(SA1)에 접속된다. 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)은 제 2 콘택홀(CH2)을 통해 노출된 제 1 드레인 영역(DA1)에 접속되고, 제 3 콘택홀(CH3)을 통해 노출된 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(G2)에 접속된다. 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2)은 전원 라인(PL)으로부터 연장될 수 있으며, 제 4 콘택홀(CH4)을 통해 노출된 제 2 소스영역(SA2)에 접속된다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 제 5 콘택홀(CH5)을 통해 노출된 제 2 드레인 영역(DA2)에 접속된다.

[0059] 도 8a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 5 마스크 공정을 도시한 평면도이고, 도 8b는 도 8a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.

[0060] 도 8a 및 도 8b를 참조하면, 소스/드레인 전극층이 형성된 층간 절연막(ILD) 상에 예를 들면, 스판코팅 공정을 통해 감광성 유기막으로 된 제 1 평탄화막(PLN1)을 증착한 후, 제 5 마스크 공정을 이용하여 복수의 제 6 콘택홀들(CH6, CH6)을 형성한다.

[0061] 보다 구체적으로, 데이터 라인(DL), 전원라인(PL), 제 1 소스전극(S1), 제 1 드레인 전극(D1), 제 2 소스전극(S2) 및 제 2 드레인 전극(D2)을 포함하는 소스/드레인 전극이 형성된 층간 절연막(ILD) 상에 예를 들면 스판코팅 공정을 통해 감광성 유기막으로 된 제 1 평탄화막(PLN1)과 제 5 포토레지스트를 순차적으로 증착한다. 그리고, 제 5 마스크 공정을 수행하여, 층간 절연막의 일부분들을 노출시키는 제 5 포토레지스트 패턴(도시 생략)을 형성한다. 제 5 포토레지스트 패턴에 의해 노출된 제 1 평탄화막(PLN1)을 감광하여 제거한 후, 제 5 포토레지스트 패턴을 애싱함으로써, 층간 절연막의 일부분들을 노출시키는 복수의 제 6 콘택홀들(CH6, CH6)을 형성한다. 제 1 평탄화막(PLN1)을 감광성 폴리아크릴, 감광성 폴리이미드와 같은 감광성 유기물질로 형성할 경우 제 5 포토레지스트의 증착 및 패턴 형성과정을 생략하고 감광성 유기막을 직접 감광하여 패턴을 형성할 수 있으므로 공정을 단순화하고 비용을 절감할 수 있다. 또한, 식각 공정이 불필요하므로 식각 선택비를 고려할 필요가 없어 층간 절연막(ILD)의 재료 선택의 자유도를 향상시킬 수 있는 효과를 얻을 수 있다.

[0062] 도 9a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 6 마스크 공정을 도시한 평면도이고, 도 9b는 도 9a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.

[0063] 도 9a 및 도 9b를 참조하면, 복수의 제 6 콘택홀들(CH6, CH6)이 형성된 제 1 평탄화막(PLN1) 상에 예를 들면, 스퍼터링 공정을 통해 제 3 금속물질을 증착한 후, 제 6 마스크 공정을 이용하여 스토리지 캐패시터의 제 1 스토리지 전극(ST1)을 형성한다.

[0064] 보다 구체적으로, 복수의 제 6 콘택홀들(CH6, CH6)이 형성된 제 1 평탄화막(PLN1) 상에 예를 들면, 스퍼터링 공정을 통해 제 3 금속물질과 제 6 포토레지스트를 순차적으로 증착한다. 그리고, 제 6 마스크를 이용한 포토리소그래피 공정을 수행하여, 제 3 금속물질을 노출시키는 제 6 포토레지스트 패턴(도시 생략)을 형성한다. 제 6 포토레지스트 패턴에 의해 노출된 제 3 금속물질을 애칭을 통해 제거한 후, 잔류하는 제 6 포토레지스트 패턴을 애싱함으로써, 화소 영역 내에 위치하는 스토리지 캐패시터의 제 1 스토리지 전극(ST1)을 형성한다. 제 1 스토리지 전극(ST1)은 복수의 제 6 콘택홀들(CH6)의 내벽 경로를 따라 형성되므로 제 6 콘택홀들(CH6)의 수가 증가할수록 그 면적도 증가하게 된다. 따라서, 스토리지 캐패시터의 정전용량을 향상시킬 수 있는 효과를 얻을 수 있다.

[0065] 제 3 금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들로 이루어진 다중층으로 이루어질 수 있다.

[0066] 도 10a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 7 마스크 공정을 도시한 평면도이고, 도 10b는 도 10a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.

[0067] 도 10a 및 도 10b를 참조하면, 제 1 스토리지 전극(ST1)이 형성된 제 1 평탄화막(PLN1) 상에 예를 들면, 스퍼터링 공정을 통해 패시베이션막(PAS1)을 증착한 후, 제 7 마스크 공정을 이용하여 패시베이션막(PAS) 및 제 1 평탄화막(PLN1)을 관통하는 제 7 콘택홀(CH7)과 제 8 콘택홀(CH8)을 형성한다.

[0068] 보다 구체적으로, 제 1 스토리지 전극(ST1)이 형성된 제 1 평탄화막(PLN1) 상에 예를 들면, 스퍼터링 공정을 통해 패시베이션막(PAS)과 제 7 포토레지스트를 순차적으로 증착한다. 그리고, 제 7 마스크를 이용한 포토리소그래피 공정을 수행하여, 제 1 드레인(D1)의 일부 영역과 제 2 드레인(D2)의 일부 영역에 대응하는 패시베이션막(PAS)의 영역들을 노출시키는 제 7 포토레지스트 패턴(도시 생략)을 형성한다. 제 7 포토레지스트 패턴에 의해 노출된 패시베이션막(PAS)과 제 1 평탄화막(PLN1)을 제거한 후, 제 7 포토레지스트 패턴을 애싱함으로써, 제 1

드레인(D1)의 일부 영역을 노출시키는 제 7 콘택홀(CH7)과 제 2 드레인(D2)의 일부 영역을 노출시키는 제 8 콘택홀(CH8)을 형성한다. 패시베이션막(PAS)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기질연막 또는 이들의 다중층으로 이루어질 수 있다.

[0069] 도 11a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 8 마스크 공정을 도시한 평면도이고, 도 11b는 도 11a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.

[0070] 도 11a 및 도 11b를 참조하면, 제 7 콘택홀(CH7) 및 제 8 콘택홀(CH8)이 형성된 패시베이션막(PAS) 상에 예를 들면, 스퍼터링 공정을 통해 제 4 금속물질을 증착한 후, 제 8 마스크 공정을 이용하여 스토리지 캐패시터의 제 2 스토리지 전극(ST2)과, 연결부(CP)를 형성한다.

[0071] 보다 구체적으로, 제 7 콘택홀(CH7) 및 제 8 콘택홀(CH8)이 형성된 패시베이션막(PAS) 상에 예를 들면, 스퍼터링 공정을 통해 제 4 금속물질과 제 8 포토레지스트를 순차적으로 증착한다. 그리고, 제 8 마스크를 이용한 포토리소그래피 공정을 수행하여, 스토리지 캐패시터의 제 1 스토리지 전극(ST1)과, 제 1 및 제 2 드레인 전극들(D1, D2)에 대응하는 제 4 금속물질의 영역들을 노출시키는 제 8 포토레지스트 패턴(도시 생략)을 형성한다. 제 8 포토레지스트 패턴에 의해 노출된 제 4 금속물질을 제거한 후, 제 8 포토레지스트 패턴을 애싱함으로써, 스토리지 캐패시터의 제 2 스토리지 전극(ST2)과, 연결부(CP)를 형성한다.

[0072] 제 4 금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0073] 제 2 스토리지 전극(ST2)은 제 8 콘택홀(CH8)을 통해 노출되는 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)에 접속된다. 제 2 스토리지 전극(ST2)은 복수의 제 6 콘택홀들(CH6, CH6)에 의해 패시베이션막(PAS)에 형성된 복수의 오목부들을 따라 위치되고, 제 1 스토리지 전극(ST1)은 제 1 평탄화막(PLN1)에 형성된 복수의 제 6 콘택홀들(CH6, CH6)의 경로를 따라 위치되기 때문에 서로 대향하는 제 1 스토리지 전극(ST1)과 제 2 스토리지 전극(ST2)의 대향 면적이 현저히 넓어지게 된다. 따라서, 동일한 크기의 화소영역에서 스토리지 캐패시터의 정전용량을 현저하게 증가시킬 수 있게 되는 효과를 얻을 수 있다.

[0074] 연결부(CP)는 제 7 콘택홀(CH7)을 통해 노출된 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)과 제 1 스토리지 전극(ST1)을 연결시켜 준다.

[0075] 도 12a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 9 마스크 공정을 도시한 평면도이고, 도 12b는 도 12a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.

[0076] 도 12a 및 도 12b를 참조하면, 제 2 스토리지 전극(ST2)과 연결부(CP)가 형성된 패시베이션막(PAS) 상에 예를 들면, 스퍼터링 공정을 통해 제 2 평탄화막(PLN2)을 증착한 후, 제 9 마스크 공정을 이용하여 제 9 콘택홀(CH9)을 형성한다.

[0077] 보다 구체적으로, 제 2 스토리지 전극(ST2)과 연결부(CP)가 형성된 패시베이션막(PAS) 상에 예를 들면, 스퍼터링 공정을 통해 제 2 평탄화막(PLN2) 및 제 9 포토레지스트를 순차적으로 증착한다. 그리고, 제 9 마스크를 이용한 포토리소그래피 공정을 수행하여, 스토리지 캐패시터의 제 2 스토리지 전극(ST1)의 일부 영역에 대응하는 제 2 평탄화막(PLN2)의 영역을 노출시키는 제 9 포토레지스트 패턴(도시 생략)을 형성한다. 제 9 포토레지스트 패턴에 의해 노출된 제 2 평탄화막(PLN2)을 제거한 후, 제 9 포토레지스트 패턴을 애싱함으로써, 구동 박막 트랜지스터(T2)의 드레인 전극(D2)을 노출시키는 제 9 콘택홀(CH9)을 형성한다. 제 2 평탄화막(PLN2)은 감광성 폴리아크릴, 감광성 폴리이미드와 같은 감광성 유기막으로 이루어질 수 있으며 무기 절연막으로 형성할 수도 있다.

[0078] 도 13a는 본 발명의 실시예에 따르는 유기 전계발광 표시장치의 제 10 마스크 공정을 도시한 평면도이고, 도 13b는 도 13a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.

[0079] 도 13a 및 도 13b를 참조하면, 제 9 콘택홀(CH9)이 형성된 제 2 평탄화막(PLN2) 상에 예를 들면, 스퍼터링 공정을 통해 제 5 금속물질을 증착한 후, 제 10 마스크 공정을 이용하여 애노드 전극(AND)을 형성한다.

[0080] 보다 구체적으로, 제 9 콘택홀(CH9)이 형성된 제 2 평탄화막(PLN2) 상에 예를 들면, 스퍼터링 공정을 통해 제 5 금속물질 및 제 10 포토레지스트를 순차적으로 증착한다. 그리고, 제 10 마스크를 이용한 포토리소그래피 공정을 수행하여, 화소영역에 대응하는 제 10 포토레지스트 패턴(도시 생략)을 형성한다. 제 10 포토레지스트 패턴에 의해 노출된 제 2 평탄화막(PLN2)을 제거한 후, 제 10 포토레지스트 패턴을 애싱함으로써, 제 9 콘택홀(CH

9)을 통해 노출되는 제 2 스토리지 전극(ST2)과 접촉하는 유기 발광 다이오드의 애노드 전극(AND)을 형성한다.

[0081] 제 5 금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나를 포함한다.

[0082] 다음으로, 도 14a 및 도 14b를 참조하여, 본 발명의 다른 실시예인 제 2 실시예에 따르는 유기 전계발광 표시장치에 대해 설명하기로 한다. 도 14a는 본 발명의 다른 실시예에 따른 유기발광 표시장치의 1화소를 도시한 평면도이고, 도 14b는 도 14a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.

[0083] 본 발명의 제 2 실시예에 따르는 유기 전계발광 표시장치에서는 도 14a 및 도 14b에 도시된 바와 같이, 보조 전극(CE)이 충간 절연막(ILD) 상에 배치되고, 보조 전극(CE)을 커버하도록 제 1 패시베이션막(PAS1)이 배치되는 점을 제외하고는 실질적으로 본 발명의 제 1 실시예에 따르는 유기 전계발광 표시장치와 동일하다. 보조 전극(CE)은 유기 전계 발광 다이오드의 구동을 위한 스위칭 박막 트랜지스터나 구동 박막 트랜지스터의 추가로 필요할 때 이용될 수 있고, 필요에 따라 제 1 패시베이션막(PAS1)을 사이에 두고 제 1 스토리지 전극(ST1)과 중첩되기 때문에 스토리지 캐패시터의 정전용량을 증가시킬 수 있는 효과를 얻을 수 있다. 이하, 도 14a 및 도 14b를 참조하여 본 발명의 제 2 실시예에 따르는 유기 전계발광 표시장치에 대해 보다 구체적으로 설명하기로 한다.

[0084] 도 14a 및 도 14b를 참조하면, 기판(SUB) 상에는 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막 또는 이들의 다중층으로 이루어진 베퍼 절연막(BUF)이 전면적으로 도포되고, 베퍼 절연막(BUF) 상에는 서로 이격된 제 1 액티브층(A1) 및 제 2 액티브층(A2)이 배치된다. 베퍼 절연막(BUF)은 생략될 수도 있다. 제 1 액티브층(A1) 및 제 2 액티브층(A2)은 비정질 실리콘(a-Si)에 불순물 이온이 주입되어 이루어진 반도체 활성층이다. 제 1 액티브층(A1)은 제 1 액티브 영역(AA1)을 사이에 두고 배치된 제 1 소스영역(SA1)과 제 1 드레인 영역(DA1)으로 이루어진다. 제 2 액티브층(A2)은 제 2 액티브 영역(AA2)을 사이에 두고 배치된 제 2 소스영역(SA2)과 제 2 드레인 영역(DA2)으로 이루어진다.

[0085] 제 1 액티브층(A1) 및 제 2 액티브층(A2) 상에는 이들을 커버 및 절연시키도록 게이트 절연막(GI)이 배치된다. 게이트 절연막(GI)은 베퍼층(BUF)과 유사하게 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막 또는 이들의 다중층으로 이루어질 수 있다. 게이트 절연막(GI) 상에는 게이트 라인(GL), 제 1 게이트 전극(G1), 및 제 2 게이트 전극(G2)이 위치한다. 제 1 게이트 전극(G1)은 게이트 라인(GL)으로부터 연장되어 제 1 액티브층(A1)의 제 1 액티브 영역(AA1)과 적어도 일부분이 중첩된다. 제 2 게이트 전극(G2)은 게이트 라인(GL) 및 제 1 게이트 전극(G1)으로부터 이격되어 배치된다. 게이트 라인(GL), 제 1 게이트 전극(G1) 및 제 2 게이트 전극(G2)은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0086] 게이트 라인(GL), 제 1 게이트 전극(T1) 및 제 2 게이트 전극(120c)이 배치된 게이트 절연막(GI) 상에는 이들을 절연 및 커버하도록 충간 절연막(ILD)이 위치한다. 충간 절연막(ILD)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막 또는 이들의 다중층으로 이루어질 수 있다.

[0087] 충간 절연막(ILD) 상에는 게이트 라인(GL)과 교차하는 데이터 라인(DL), 데이터 라인(DL)과 나란한 제 3 스토리지 전극(ST3) 및 전원 라인(PL)이 배치된다. 보조전극(CE)은 데이터 라인(DL)과 전원 라인 사이(PL)에 배치된다. 충간 절연막(ILD) 상에는 또한 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1) 및 제 1 드레인 전극(D1)과, 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2) 및 제 2 드레인 전극(D2)이 배치된다. 데이터 라인(DL), 전원 라인(PL), 보조전극(CE), 제 1 및 제 2 소스전극들(S1, S2)과 제 1 및 제 2 드레인 전극들(D1, D2)은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0088] 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1)은 데이터 라인(DL)으로부터 연장되거나 데이터 라인(DL)의 일부분일 수 있으며, 충간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 1 콘택홀(CH1)을 통해 노출된 제 1 액티브층(A1)의 제 1 소스영역(SA1)과 접촉하도록 배치된다. 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)은 게이트 라인(GL), 제 1 액티브층(A2)의 제 1 드레인 영역(DA1), 제 2 게이트 전극(G2)과 중첩되도록 충간 절연막(ILD) 상에 배치된다. 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)은 충간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 2 콘택홀(CH2)을 통해 노출된 제 1 액티브층(A1)의 제 1 드레인 영역(DA1)에 연결되고, 충간 절연막(ILD)을 관통하는 제 3 콘택홀(CH2)을 통해 노출된 구동 박막 트랜지스터(T2)의 제 2 게이

트 전극(G2)에 연결된다.

[0089] 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2)은 전원 라인(PL)으로부터 연장되거나 전원 라인(PL)의 일부분일 수 있으며, 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 4 콘택홀(CH4)을 통해 노출된 제 2 액티브층(A2)의 제 2 소스영역(SA2)과 접촉하도록 배치된다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 제 2 액티브층(A2)의 제 2 드레인 영역(DA2)과 중첩되도록 층간 절연막(ILD) 상에 배치된다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 5 콘택홀(CH5)을 통해 노출된 제 2 액티브층(A2)의 제 2 드레인 영역(DA2)에 연결된다.

[0090] 데이터 라인(DL), 전원 라인(PL), 보조 전극(CE), 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1) 및 제 1 드레인 전극(D1), 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2) 및 제 2 드레인 전극(D2)이 배치된 층간 절연막(ILD) 상에는, 제 1 패시베이션막(PAS1)과 감광성 유기막으로 된 제 1 평탄화막(PLN1)이 그들을 커버하도록 순차적으로 적층된다. 제 1 패시베이션막(PAS1)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막으로 이루어질 수 있다. 제 1 평탄화막(PLN1)은 감광성 폴리아크릴, 감광성 폴리이미드와 같은 감광성 유기막으로 이루어진다.

[0091] 제 1 패시베이션막(PAS1) 상에 위치되는 제 1 평탄화막(PLN1)은 데이터 라인(DL), 전원 라인(PL) 및 인접한 게이트 라인들(GL)에 의해 정의되는 화소영역 내에서 층간 절연막(ILD)을 노출시키도록 형성되는 복수의 제 6 콘택홀들(CH6)을 포함한다. 도 14a의 접선으로 표시한 영역 R은 복수의 제 6 콘택홀들(CH6)이 형성될 수 있는 영역을 나타낸다.

[0092] 제 1 평탄화막(PLN1)을 감광성 유기물질로 형성할 경우 식각 공정이 불필요하므로 식각 선택비를 고려할 필요가 없어 재료 선택의 자유도를 향상시킬 수 있다. 예를 들어, 제 1 패시베이션막(PAS1)과 제 1 평탄화막(PLN1)을 무기물질로 형성할 경우에는 제 1 패시베이션막(PAS1) 상의 제 1 평탄화막(PLN1)을 식각할 때 제 1 패시베이션막(PAS1)이 손상되는 것을 방지하기 위해, 상호 식각비가 큰 실리콘 질화물과 실리콘 산화물을 이용하여 제 1 패시베이션막(PAS1)과 제 1 평탄화막(PLN1)을 각각 형성하여야 한다. 그러나, 감광성 유기막을 이용하여 제 1 평탄화막(PLN1)을 형성하면 제 1 평탄화막(PLN1)을 식각할 필요가 없기 때문에 제 1 패시베이션막(PAS1)을 보호하기 위한 식각비 선택이 불필요하게 된다. 따라서, 제 1 패시베이션막(PAS1)을 형성하기 위해 실리콘 질화물과 실리콘 산화물을 모두 이용할 수 있으므로 재료 선택의 자유도가 향상되는 효과를 얻을 수 있다.

[0093] 복수의 제 6 콘택홀들(CH6)이 형성된 제 1 평탄화막(PLN1) 상의 화소영역에는 스토리지 캐페시터의 제 1 스토리지 전극(ST1)이 배치된다. 제 1 스토리지 전극(ST1)은 복수의 제 6 콘택홀들(CH6)의 내벽 경로를 따라 형성되므로 제 6 콘택홀들(CH6)의 수가 증가할수록 그 면적도 증가하게 된다.

[0094] 제 1 스토리지 전극(ST1)이 위치된 제 1 평탄화막(PLN1) 상에는 제 1 스토리지 전극(ST1)을 커버하도록 제 2 패시베이션막(PAS2)이 위치된다. 제 2 패시베이션막(PAS2)은 제 1 패시베이션막(PAS1)과 마찬가지로 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막으로 이루어질 수 있다. 제 2 패시베이션막(PAS2)은 제 1 평탄화막(PLN1)에 형성된 제 6 콘택홀들(CH6)의 형상을 따라 복수의 오목부를 갖게 된다.

[0095] 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)은 제 2 패시베이션막(PAS2), 제 1 평탄화막(PLN1) 및 제 1 패시베이션막(PAS1)을 관통하는 제 7 콘택홀(CH7)을 통해 그 일부분이 노출된다. 제 7 콘택홀(CH7)은 또한 제 1 평탄화막(PLN1) 상에 위치된 제 1 스토리지 전극(ST1)의 일부분을 노출시킨다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 제 2 패시베이션막(PAS2), 제 1 평탄화막(PLN1) 및 제 1 패시베이션막(PAS1)을 관통하는 제 8 콘택홀(CH8)을 통해 그 일부분이 노출된다.

[0096] 제 7 및 제 8 콘택홀들(CH7, CH8)이 형성된 제 2 패시베이션막(PAS2) 상에는 스토리지 캐페시터의 제 1 스토리지 전극(ST1)과 대향하도록 제 2 스토리지 전극(ST2)이 위치된다. 제 2 패시베이션막(PAS2) 상에는 또한 제 7 콘택홀(C7)을 통해 노출된 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)과 제 1 스토리지 전극(ST1)을 연결하는 연결부(CP)가 위치된다. 제 1 및 제 2 스토리지 전극들(ST1, ST2)과 연결파인(CP)은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0097] 제 2 스토리지 전극(ST2)은 복수의 제 6 콘택홀들(CH6, CH6)에 의해 제 2 패시베이션막(PAS2)에 형성된 복수의 오목부들을 따라 위치되고, 제 1 스토리지 전극(ST1)은 제 1 평탄화막(PLN1)에 형성된 복수의 제 6 콘택홀들(CH6, CH6)의 경로를 따라 위치되기 때문에 서로 대향하는 제 1 스토리지 전극(ST1)과 제 2 스토리지 전극(ST2)의 대향 면적이 현저히 넓어지게 된다. 따라서, 동일한 크기의 화소영역에서 스토리지 캐페시터의 정전용량

을 현저하게 증가시킬 수 있게 되는 효과를 얻을 수 있다.

[0098] 제 2 스토리지 전극(ST2)과 연결부(CP)가 위치된 제 2 패시베이션막(PAS2) 상에는 제 2 스토리지 전극(ST2)과 연결부(CP)를 커버하도록 제 2 평탄화막(PLN2)이 위치된다. 제 2 평탄화막(PLN2)은 감광성 폴리아크릴, 감광성 폴리이미드와 같은 감광성 유기막으로 이루어질 수 있으며 무기 절연막으로 형성할 수도 있다. 제 2 평탄화막(PLN2)은 제 2 스토리지 전극(ST2)의 일부분을 노출시키는 제 9 콘택홀(CH9)을 포함한다.

[0099] 제 9 콘택홀(CH9)이 형성된 제 2 평탄화막(PLN2) 상에는 제 9 콘택홀(CH9)을 통해 노출되는 제 2 스토리지 전극(ST2)과 접촉하도록 유기 발광 다이오드의 애노드(AND)이 위치된다. 애노드 전극(AND) 상에는 유기 발광층(도시생략) 및 캐소드 전극(도시생략)이 순차적으로 형성되어 유기 발광 다이오드(도 1의 OLED)를 형성한다. 애노드 전극(AND)과 캐소드 전극은 알루미늄(AI), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되어 이루어질 수 있다. 애노드 전극(AND) 상부의 구성은 이미 알려져 있는 공지의 구성이 적용될 수 있으므로 설명의 복잡화를 피하기 위해 더 이상의 설명은 생략하기로 한다.

[0100] 다음으로, 도 15a 및 도 15b를 참조하여, 본 발명의 또 다른 실시예인 제 3 실시예에 따르는 유기 전계발광 표시장치에 대해 설명하기로 한다. 도 15a는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 1화소를 도시한 평면도이고, 도 15b는 도 15a의 라인 I-I 및 II-II'을 따라 취한 단면도이다.

[0101] 본 발명의 제 3 실시예에 따르는 유기 전계발광 표시장치에서는 도 15a 및 도 15b에 도시된 바와 같이, 평탄화막 대신 제 1 패시베이션막을 이용한 점을 제외하고는 실질적으로 본 발명의 제 1 실시예에 따르는 유기 전계발광 표시장치와 동일하다. 이하, 도 15a 및 도 15b를 참조하여 본 발명의 제 3 실시예에 따르는 유기 전계발광 표시장치에 대해 보다 구체적으로 설명하기로 한다.

[0102] 도 15a 및 도 15b를 참조하면, 기판(SUB) 상에는 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막 또는 이들의 다중층으로 이루어진 베퍼 절연막(BUF)이 전면적으로 도포되고, 베퍼 절연막(BUF) 상에는 서로 이격된 제 1 액티브층(A1) 및 제 2 액티브층(A2)이 배치된다. 베퍼 절연막(BUF)은 생략될 수도 있다. 제 1 액티브층(A1) 및 제 2 액티브층(A2)은 비정질 실리콘(a-Si)에 불순물 이온이 주입되어 이루어진 반도체 활성층이다. 제 1 액티브층(A1)은 제 1 액티브 영역(AA1)을 사이에 두고 배치된 제 1 소스영역(SA1)과 제 1 드레인 영역(DA1)으로 이루어진다. 제 2 액티브층(A2)은 제 2 액티브 영역(AA2)을 사이에 두고 배치된 제 2 소스영역(SA2)과 제 2 드레인 영역(DA2)으로 이루어진다.

[0103] 제 1 액티브층(A1) 및 제 2 액티브층(A2) 상에는 이들을 커버 및 절연시키도록 게이트 절연막(GI)이 배치된다. 게이트 절연막(GI)은 베퍼층(BUF)과 유사하게 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막 또는 이들의 다중층으로 이루어질 수 있다. 게이트 절연막(GI) 상에는 게이트 라인(GL), 제 1 게이트 전극(G1), 및 제 2 게이트 전극(G2)이 위치한다. 제 1 게이트 전극(G1)은 게이트 라인(GL)으로부터 연장되어 제 1 액티브층(A1)의 제 1 액티브 영역(AA1)과 적어도 일부분이 중첩된다. 제 2 게이트 전극(G2)은 게이트 라인(GL) 및 제 1 게이트 전극(G1)으로부터 이격되어 배치된다. 게이트 라인(GL), 제 1 게이트 전극(G1) 및 제 2 게이트 전극(G2)은 알루미늄(AI), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0104] 게이트 라인(GL), 제 1 게이트 전극(T1) 및 제 2 게이트 전극(120c)이 배치된 게이트 절연막(GI) 상에는 이들을 절연 및 커버하도록 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막 또는 이들의 다중층으로 이루어질 수 있다.

[0105] 층간 절연막(ILD) 상에는 게이트 라인(GL)과 교차하는 데이터 라인(DL) 및 데이터 라인(DL)과 나란한 전원 라인(PL)이 배치된다. 층간 절연막(ILD) 상에는 또한 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1) 및 제 1 드레인 전극(D1)과, 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2) 및 제 2 드레인 전극(D2)이 배치된다. 데이터 라인(DL), 전원 라인(PL), 제 1 및 제 2 소스전극들(S1, S2)과 제 1 및 제 2 드레인 전극들(D1, D2)은 알루미늄(AI), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0106] 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1)은 데이터 라인(DL)으로부터 연장되거나 데이터 라인(DL)의 일부분일 수 있으며, 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 1 콘택홀(CH1)을 통해 노출된 제 1 액티브층(A1)의 제 1 소스영역(SA1)과 접촉하도록 배치된다. 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극

(D1)은 게이트 라인(GL), 제 1 액티브층(A2)의 제 1 드레인 영역(DA1), 제 2 게이트 전극(G2)과 중첩되도록 층간 절연막(ILD) 상에 배치된다. 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)은 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 2 콘택홀(CH2)을 통해 노출된 제 1 액티브층(A1)의 제 1 드레인 영역(DA1)에 연결되고, 층간 절연막(ILD)을 관통하는 제 3 콘택홀(CH2)을 통해 노출된 구동 박막 트랜지스터(T2)의 제 2 게이트 전극(G2)에 연결된다.

[0107] 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2)은 전원 라인(PL)으로부터 연장되거나 전원 라인(PL)의 일부분일 수 있으며, 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 4 콘택홀(CH4)을 통해 노출된 제 2 액티브층(A2)의 제 2 소스영역(SA2)과 접촉하도록 배치된다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 제 2 액티브층(A2)의 제 2 드레인 영역(DA2)과 중첩되도록 층간 절연막(ILD) 상에 배치된다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 제 5 콘택홀(CH5)을 통해 노출된 제 2 액티브층(A2)의 제 2 드레인 영역(DA2)에 연결된다.

[0108] 데이터 라인(DL), 전원 라인(PL), 스위칭 박막 트랜지스터(T1)의 제 1 소스전극(S1) 및 제 1 드레인 전극(D1), 구동 박막 트랜지스터(T2)의 제 2 소스전극(S2) 및 제 2 드레인 전극(D2)이 배치된 층간 절연막(ILD) 상에는, 제 1 패시베이션막(PAS1)이 그들을 커버하도록 위치된다. 제 1 패시베이션막(PAS1)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막으로 이루어 질 수 있으며 층간 절연막(ILD)에 대하여 식각 선택비가 높은 물질이어야 한다. 제 1 패시베이션막(PAS1)은 데이터 라인(DL), 전원 라인(PL) 및 인접한 게이트 라인들(GL)에 의해 정의되는 화소영역 내에서 층간 절연막(ILD)을 노출시키도록 형성되는 복수의 제 6 콘택홀들(CH6)을 포함한다. 도 15a의 점선으로 표시한 영역 R은 복수의 제 6 콘택홀들(CH6)이 형성될 수 있는 영역을 나타낸다.

[0109] 복수의 제 6 콘택홀들(CH6)이 형성된 제 1 패시베이션막(PAS1) 상의 화소영역에는 스토리지 캐패시터의 제 1 스토리지 전극(ST1)이 배치된다. 제 1 스토리지 전극(ST1)은 복수의 제 6 콘택홀들(CH6)의 내벽 경로를 따라 형성되므로 제 6 콘택홀들(CH6)의 수가 증가할수록 그 면적도 증가하게 된다.

[0110] 제 1 스토리지 전극(ST1)이 위치된 제 1 패시베이션막(PAS1) 상에는 제 1 스토리지 전극(ST1)을 커버하도록 제 2 패시베이션막(PAS2)이 위치된다. 제 2 패시베이션막(PAS2)은 제 1 패시베이션막(PAS1)과 마찬가지로 실리콘 질화물(SiNx), 실리콘 산화물(SiOx)과 같은 무기절연막으로 이루어질 수 있다. 제 2 패시베이션막(PAS2)은 제 1 패시베이션막(PAS1)에 형성된 제 6 콘택홀들(CH6)의 형상을 따라 복수의 오목부를 갖게 된다.

[0111] 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)은 제 2 패시베이션막(PAS2)과 제 1 패시베이션막(PAS2)을 관통하는 제 7 콘택홀(CH7)을 통해 그 일부분이 노출된다. 제 7 콘택홀(CH7)은 또한 제 1 패시베이션막(PAS1) 상에 위치된 제 1 스토리지 전극(ST1)의 일부분을 노출시킨다. 구동 박막 트랜지스터(T2)의 제 2 드레인 전극(D2)은 제 2 패시베이션막(PAS2)과 제 1 패시베이션막(PAS1)을 관통하는 제 8 콘택홀(CH8)을 통해 그 일부분이 노출된다.

[0112] 제 7 및 제 8 콘택홀들(CH7, CH8)이 형성된 제 2 패시베이션막(PAS2) 상에는 스토리지 캐패시터의 제 1 스토리지 전극(ST1)과 대향하도록 제 2 스토리지 전극(ST2)이 위치된다. 제 2 패시베이션막(PAS2) 상에는 또한 제 7 콘택홀(C7)을 통해 노출된 스위칭 박막 트랜지스터(T1)의 제 1 드레인 전극(D1)과 제 1 스토리지 전극(ST1)을 연결하는 연결부(CP)가 위치된다. 제 1 및 제 2 스토리지 전극들(ST1, ST2)과 연결패턴(CP)은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0113] 제 2 스토리지 전극(ST2)은 복수의 제 6 콘택홀들(CH6, CH6)에 의해 제 2 패시베이션막(PAS2)에 형성된 복수의 오목부들을 따라 위치되고, 제 1 스토리지 전극(ST1)은 제 1 패시베이션막(PAS1)에 형성된 복수의 제 6 콘택홀들(CH6, CH6)의 경로를 따라 위치되기 때문에 서로 대향하는 제 1 스토리지 전극(ST1)과 제 2 스토리지 전극(ST2)의 대향 면적이 현저히 넓어지게 된다. 따라서, 동일한 크기의 화소영역에서 스토리지 캐패시터의 정전용량을 현저하게 증가시킬 수 있게 되는 효과를 얻을 수 있다.

[0114] 제 2 스토리지 전극(ST2)과 연결부(CP)가 위치된 제 2 패시베이션막(PAS2) 상에는 제 2 스토리지 전극(ST2)과 연결부(CP)를 커버하도록 평탄화막(PLN)이 위치된다. 평탄화막(PLN)은 감광성 폴리아크릴, 감광성 폴리이미드와 같은 감광성 유기막으로 이루어 질 수 있으며 무기 절연막으로 형성할 수도 있다. 평탄화막(PLN2)은 제 2 스토리지 전극(ST2)의 일부분을 노출시키는 제 9 콘택홀(CH9)을 포함한다.

[0115] 제 9 콘택홀(CH9)이 형성된 평탄화막(PLN) 상에는 제 9 콘택홀(CH9)을 통해 노출되는 제 2 스토리지 전극(ST2)

과 접촉하도록 유기 발광 다이오드의 애노드 전극(AND)이 위치된다. 애노드 전극(AND) 상에는 유기 발광층(도시생략) 및 캐소드 전극(도시생략)이 순차적으로 형성되어 유기 발광 다이오드(도 1의 OLED)를 형성한다. 애노드 전극(AND)과 캐소드 전극은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 금(Au), 은(Ag), 텉스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되어 이루어질 수 있다. 애노드 전극(AND) 상부의 구성은 이미 알려져 있는 공지의 구성이 적용될 수 있으므로 설명의 복잡화를 피하기 위해 더 이상의 설명은 생략하기로 한다.

[0116]

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

[0117]

SUB: 기판 BUF: 버퍼 절연막

T1: 스위칭 박막 트랜지스터 T2: 구동 박막 트랜지스터

A1, A2: 액티브층 AA1, AA2: 액티브 영역

DA1, DA2: 드레인 영역 SA1, SA2: 소스 영역

GL: 게이트 라인 G1, G2: 게이트 전극

GI: 게이트 절연막 DL: 데이터 라인

PL: 전원 라인 D1, D2: 드레인 전극

S1, S2: 소스전극 ILD: 충간 절연막

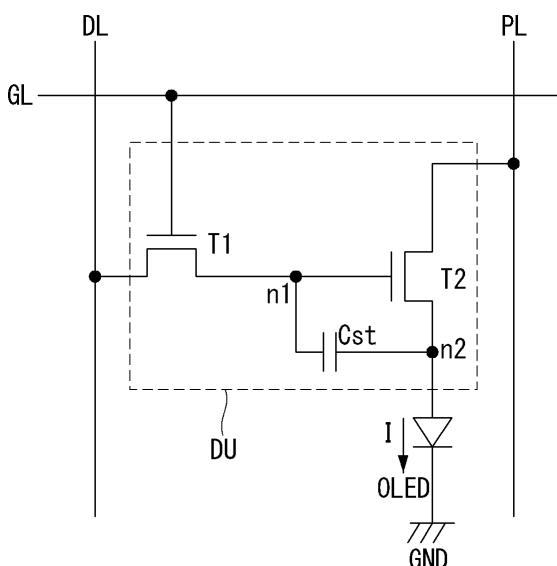
PLN, PLN1, PLN2: 평탄화막 PAS: 패시베이션막

ST1, ST2: 스토리지 전극 CP: 연결부

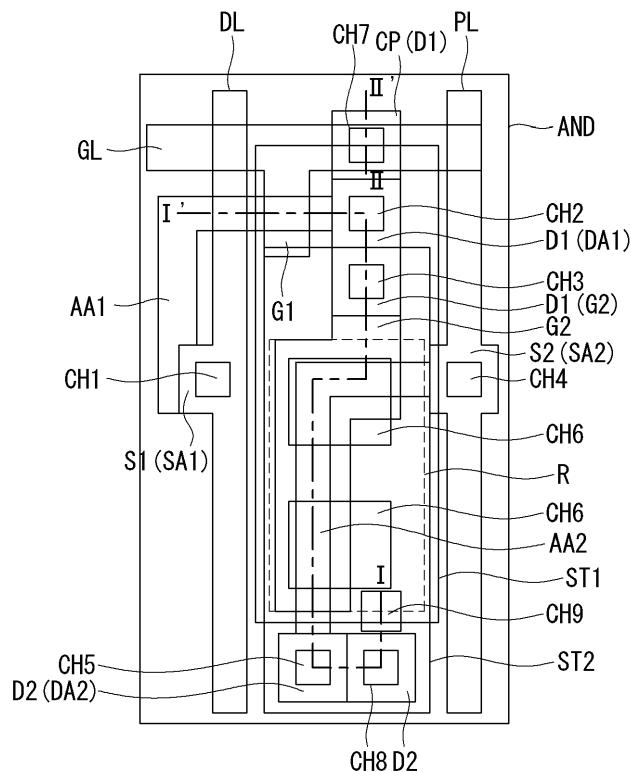
CE: 보조전극

도면

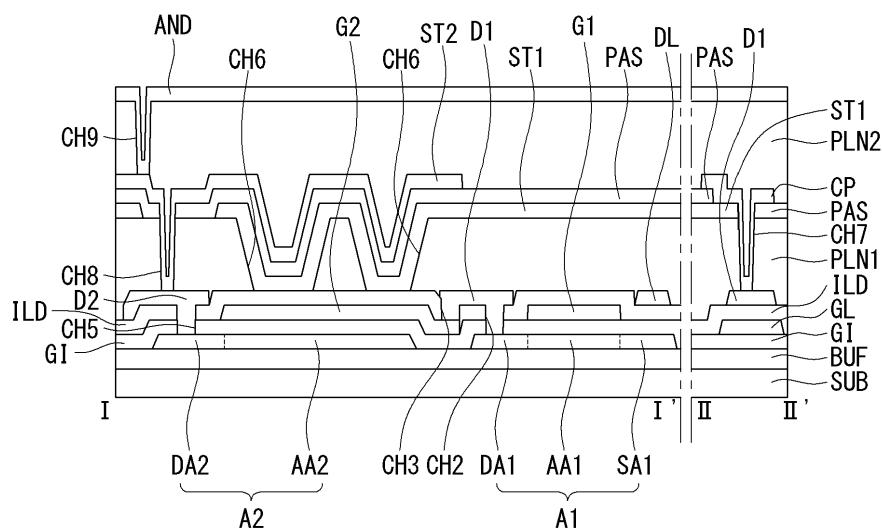
도면1



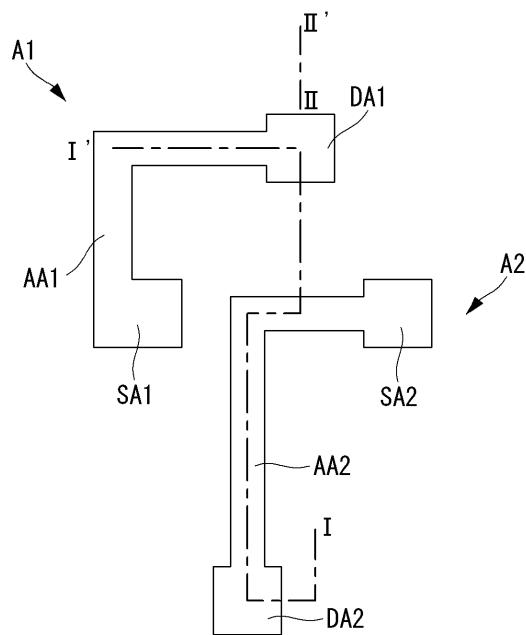
도면2



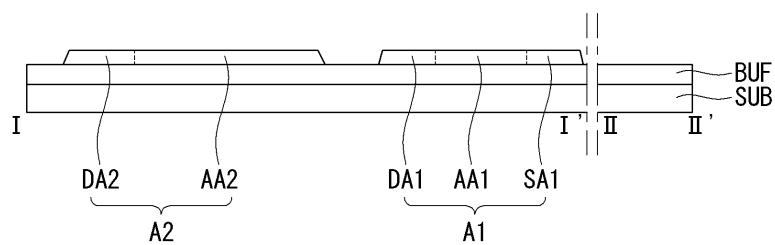
도면3



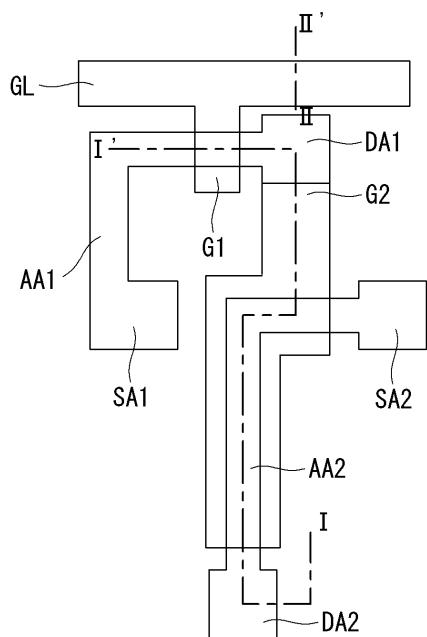
도면4a



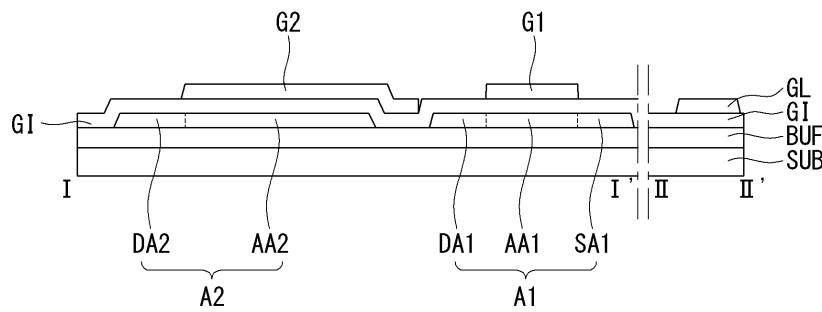
도면4b



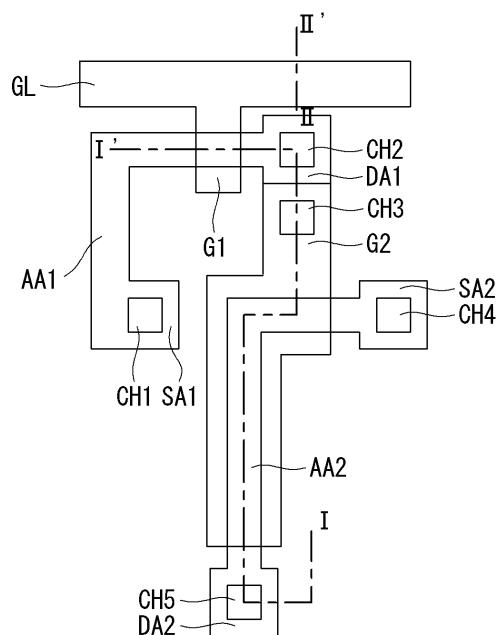
도면5a



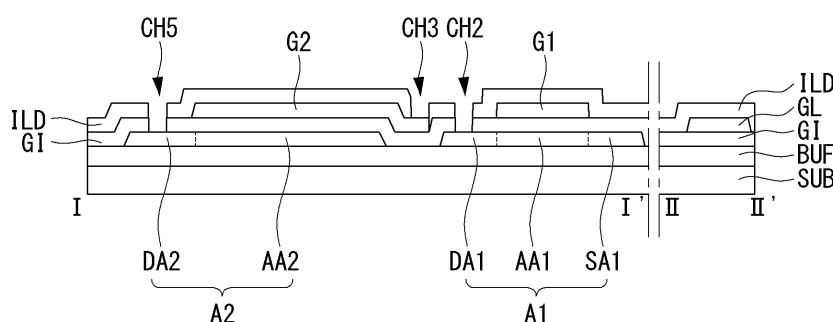
도면5b



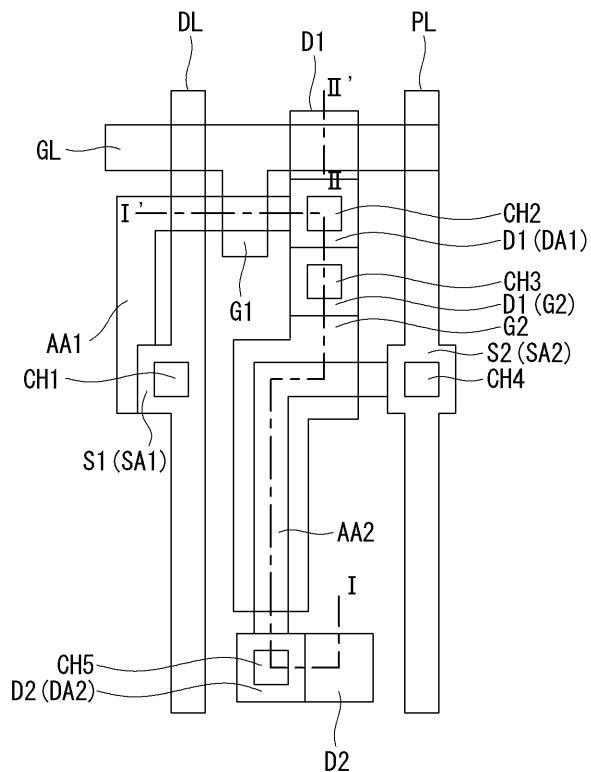
도면6a



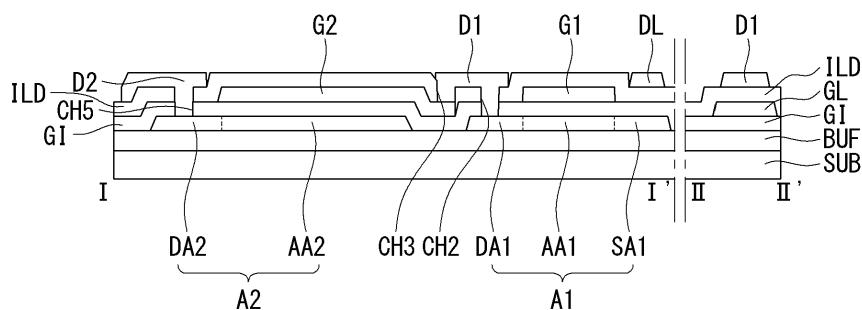
도면6b



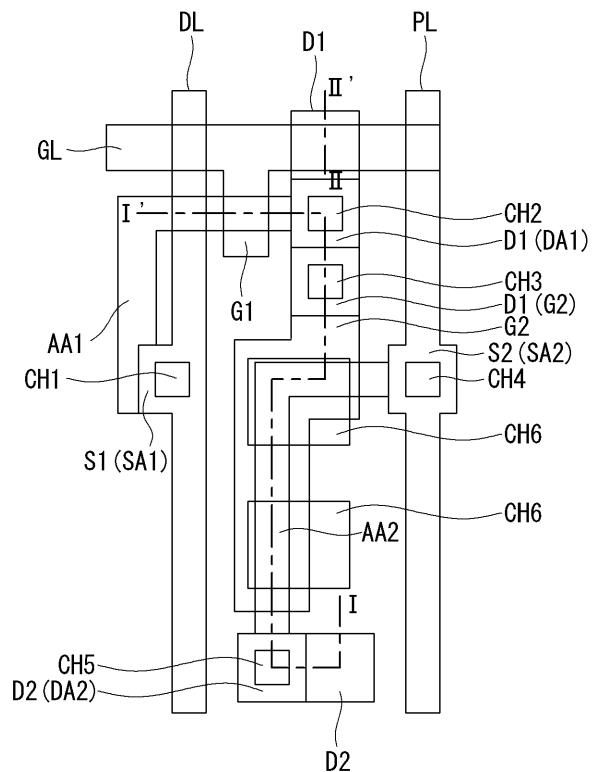
도면7a



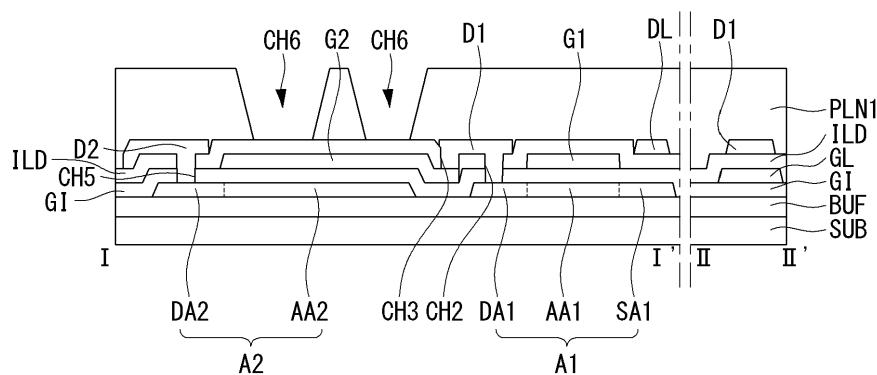
도면7b



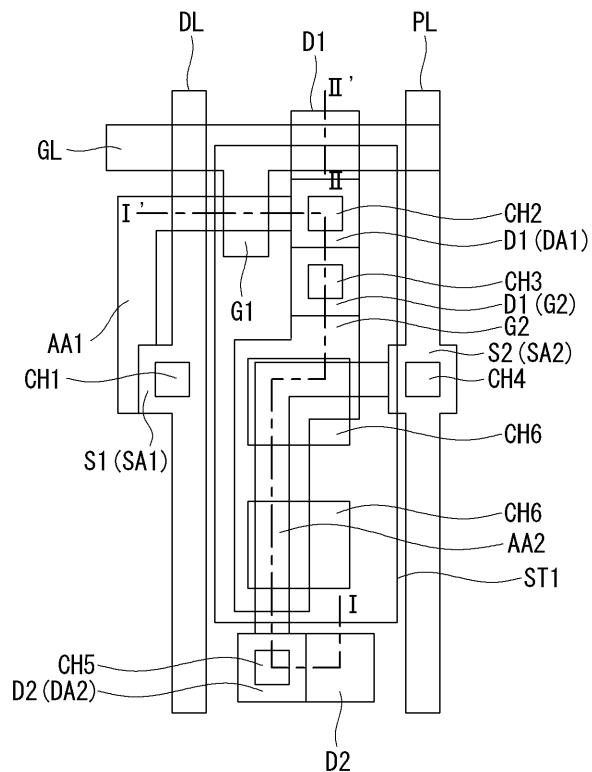
도면8a



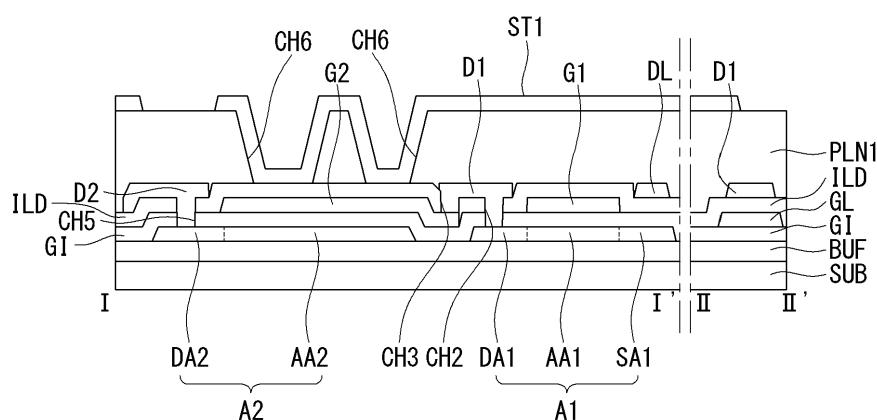
도면8b



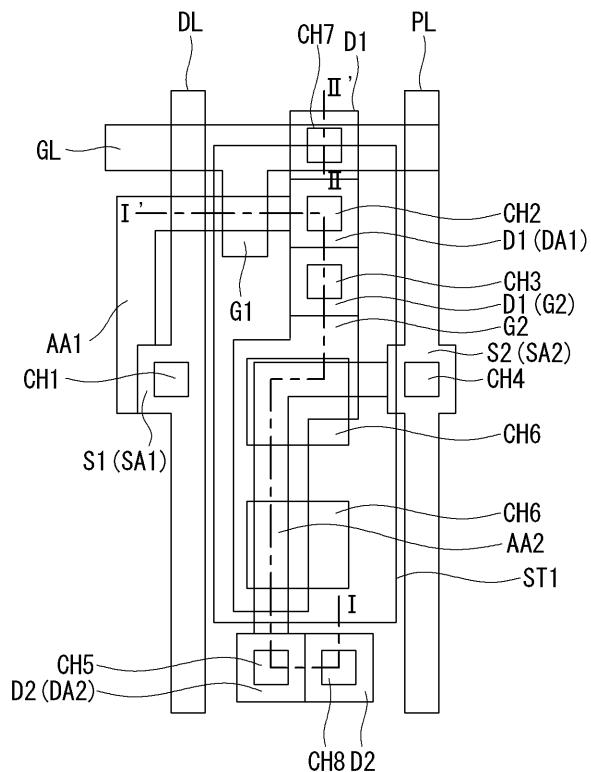
도면9a



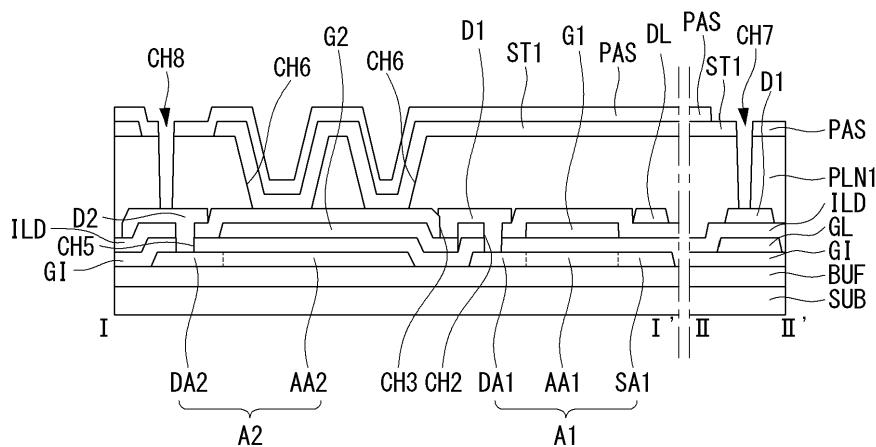
도면9b



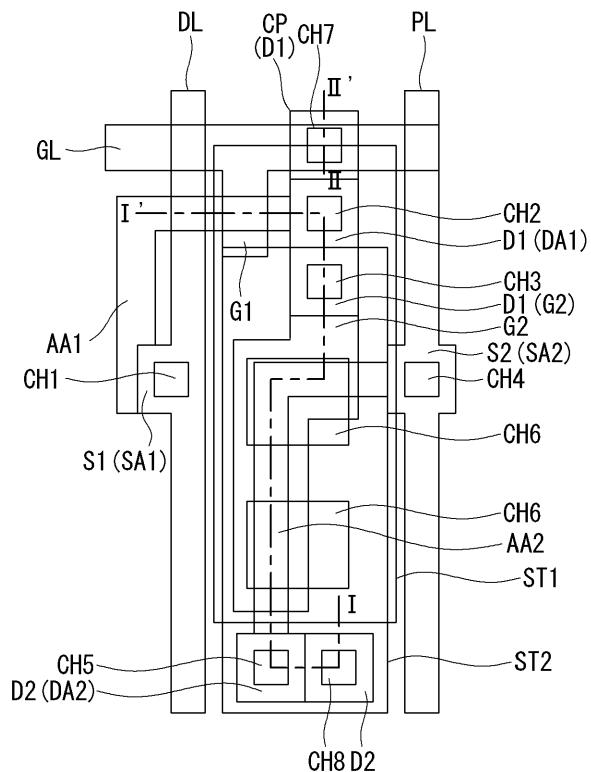
도면10a



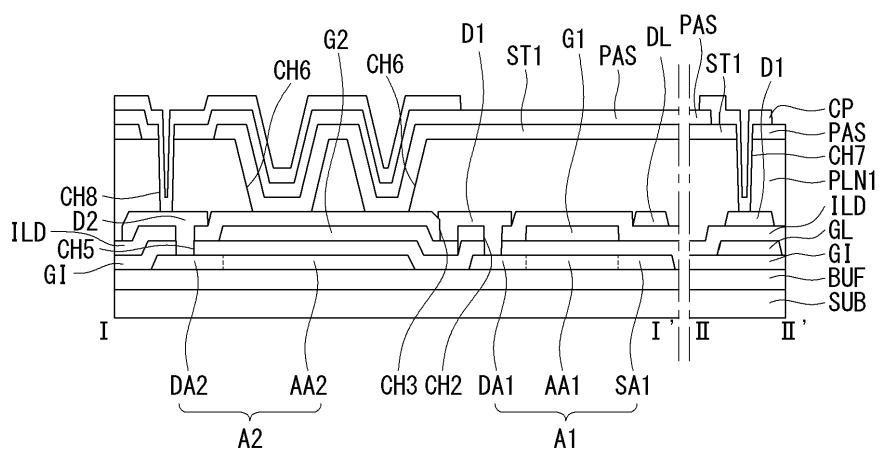
도면10b



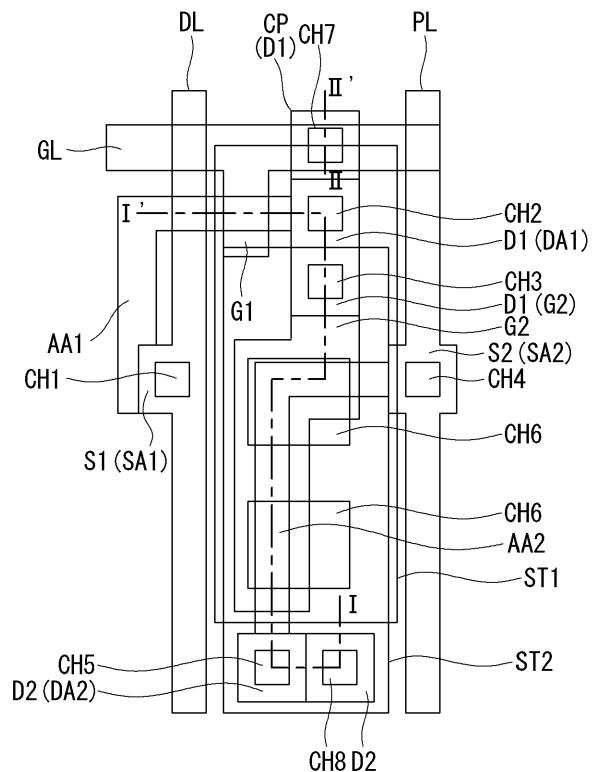
도면11a



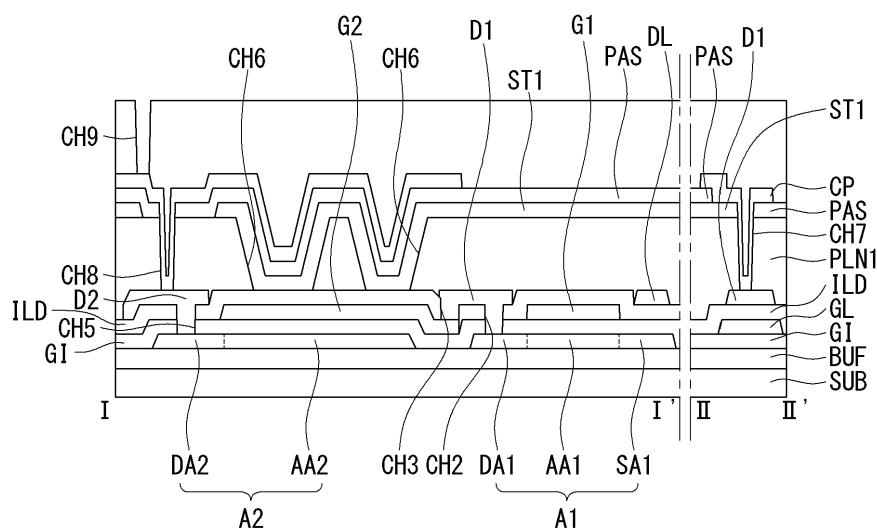
도면11b



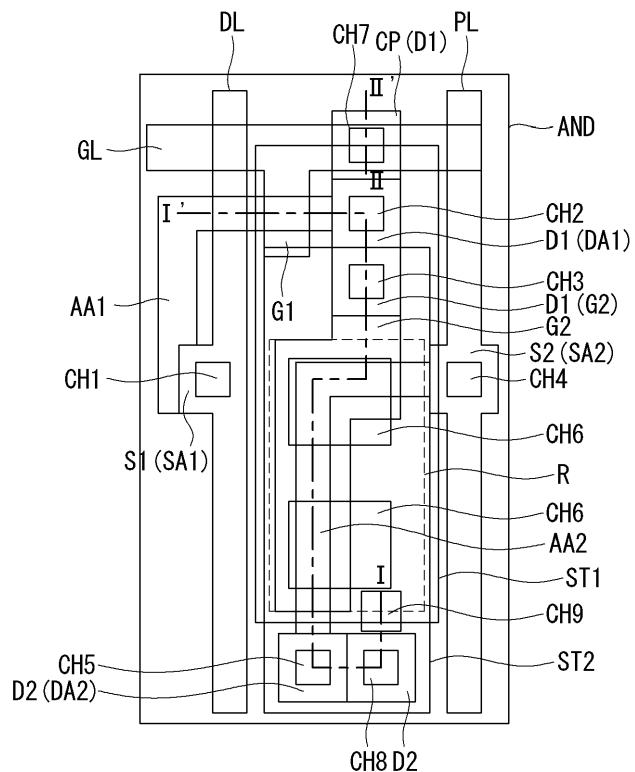
도면12a



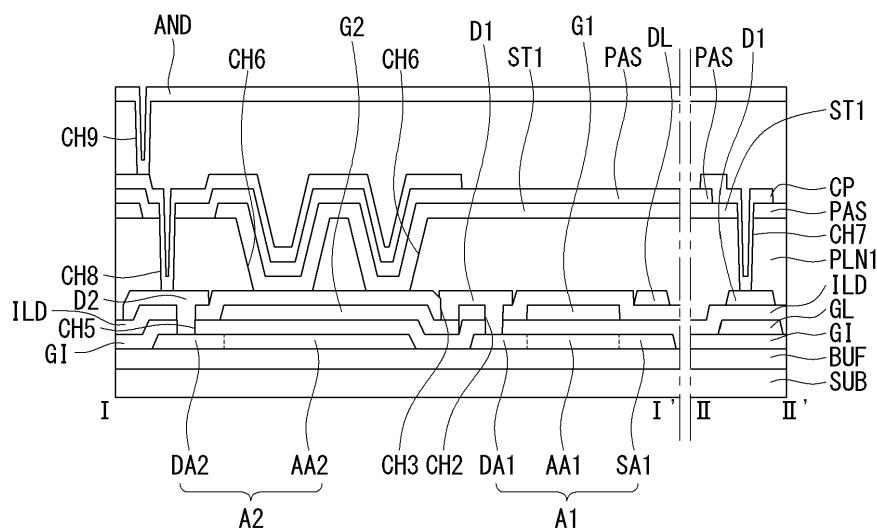
도면12b



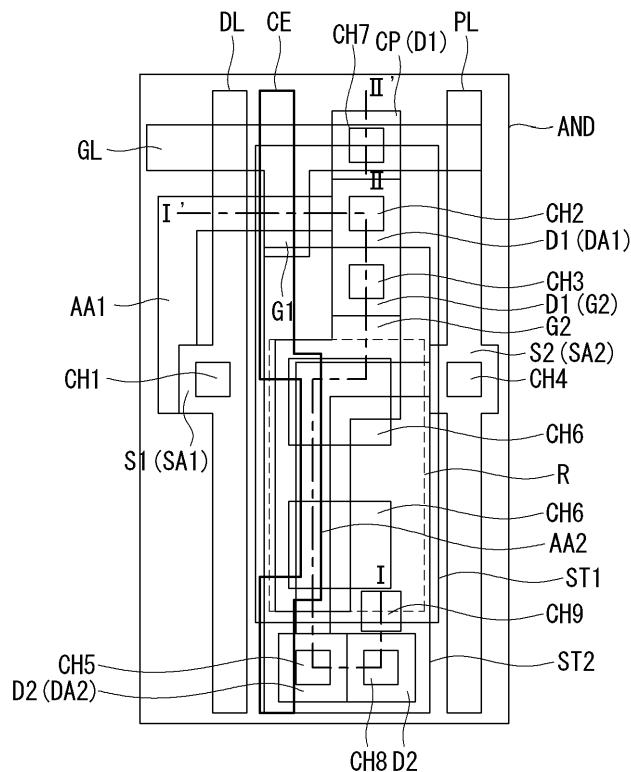
도면13a



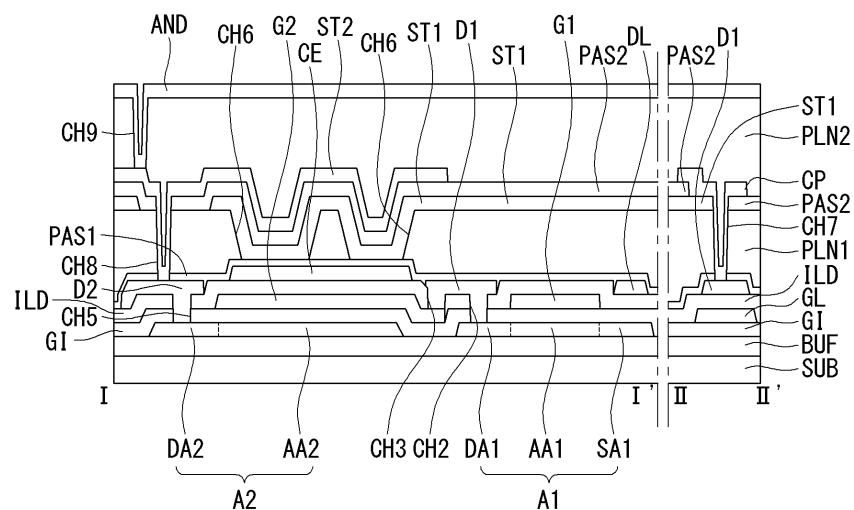
도면13b



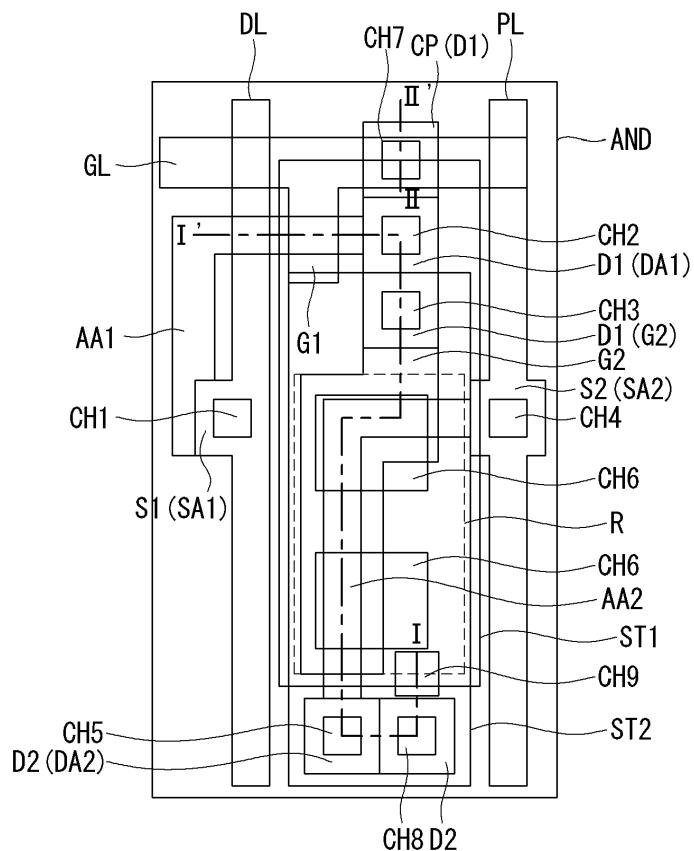
도면14a



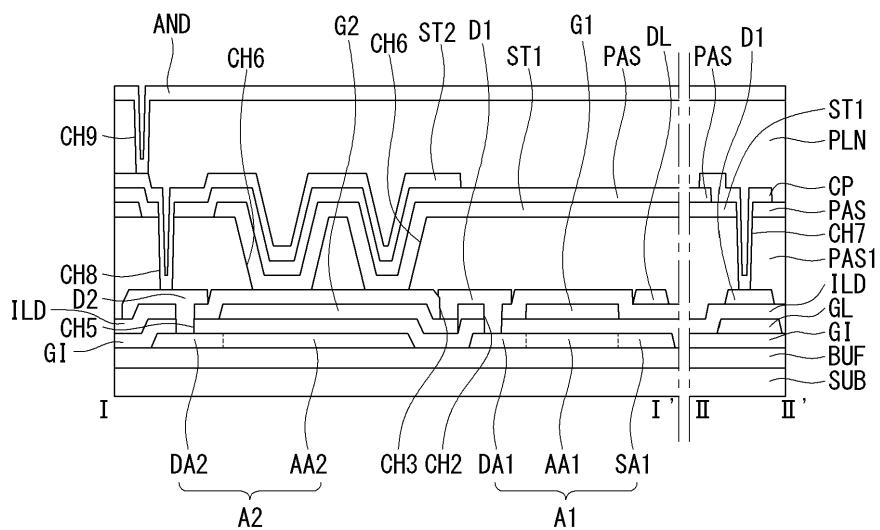
도면14b



도면15a



도면15b



专利名称(译)	标题 : 有机电致发光显示装置		
公开(公告)号	KR1020160056650A	公开(公告)日	2016-05-20
申请号	KR1020140157239	申请日	2014-11-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON WOO HYUN 권우현		
发明人	KWON WOO HYUN 권우현		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3265 H01L27/1248 H01L27/1255		
外部链接	Espacenet		

摘要(译)

本发明涉及在高分辨率有机电致发光显示器中保持电容器的静电容量的有机发光显示器，并且包括数据线，其布置在线数据线中，与像素区域的栅极线相交，在至少2个薄膜晶体管，第一绝缘层，第一存储电极，第二存储电极，第一电极和用电源线限定的第二电极。第一绝缘层包括至少一个孔，覆盖至少2个薄膜晶体管。为了使第一存储电极沿着至少一个孔内表面的弯曲部分，它设置在第一绝缘层上。具有对应于第二存储电极的弯曲部分的第二绝缘层是第一绝缘层的孔内表面，其设置在该间隔中，并且设置为与第一存储电极重叠。第一电极阵列材料2存储电极和第三电介质抛光层设置在该间隔中并且设置为重叠。设置第二电极以将有机发光层置于该间隔中，并且将第二电极设置为与第一电极重叠。

