



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0053383
(43) 공개일자 2016년05월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2014-0151943
(22) 출원일자 2014년11월04일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
배종옥
서울 양천구 신목로 7, 104동 1802호 (신정동, 목동삼성아파트)
박세희
서울 마포구 희우정로 82, 401호 (망원동, 휴먼스빌)
윤필상
경기도 부천시 원미구 소향로 11 (상동, 코오롱이데아폴리스) A동 3201호
(74) 대리인
김기문

전체 청구항 수 : 총 30 항

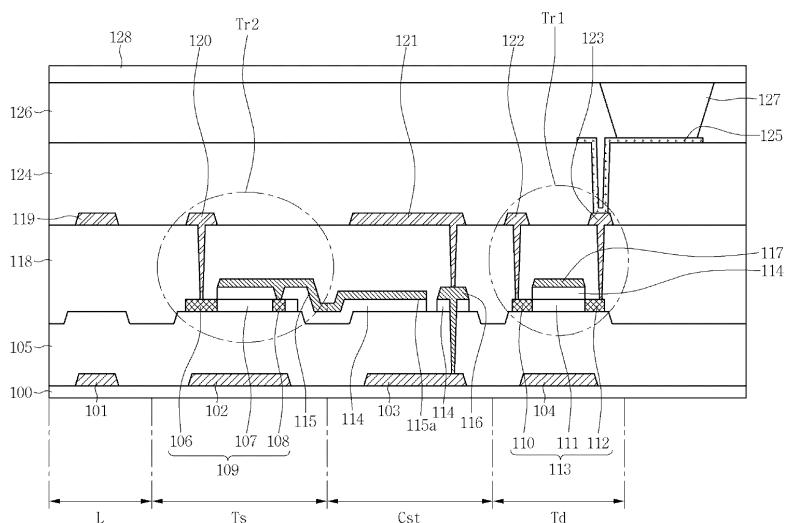
(54) 발명의 명칭 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치

(57) 요 약

본 발명은 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치를 개시한다. 개시된 본 발명의 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치는 제 1 전극, 유기발광층 및 제 2 전극을 포함하는 유기전계발광 소자를 포함하고, 상기 유기전계발광 소자의 제 1 전극과 연결되고, 제 1 반도체층 및 상기 제 1 반도체층 상부에 배치되는 제 1 게이트 전극을 포함하는 제 1 박막 트랜지스터를 포함한다. 그리고, 상기 제 1 박막 트랜지스터와 전기적으로 연결되고, 제 2 반도체층 및 상기 제 2 반도체층 하부에 배치되는 제 2 게이트 전극을 포함하는 제 2 박막 트랜지스터를 포함한다.

이를 통해, 고속 구동이 가능한 박막 트랜지스터 및 유기전계발광 표시장치를 제공할 수 있다.

대 표 도



명세서

청구범위

청구항 1

제 1 전극, 유기발광층 및 제 2 전극을 포함하는 유기전계발광 소자;

상기 유기전계발광 소자의 제 1 전극과 연결되고, 제 1 반도체층 및 상기 제 1 반도체층 상부에 배치되는 제 1 게이트 전극을 포함하는 제 1 박막 트랜지스터; 및

상기 제 1 박막 트랜지스터와 전기적으로 연결되고, 제 2 반도체층 및 상기 제 2 반도체층 하부에 배치되는 제 2 게이트 전극을 포함하는 제 2 박막 트랜지스터;를 포함하는 박막 트랜지스터 어레이 기판.

청구항 2

제 1항에 있어서,

상기 박막 트랜지스터 어레이 기판은,

배선영역, 스위칭 박막 트랜지스터 영역, 캐패시터 영역 및 구동 박막 트랜지스터 영역을 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 3

제 1항에 있어서,

상기 제 2 박막 트랜지스터의 제 2 게이트 전극과 동일층에 배치되는 제 1 게이트 배선 및 제 2 게이트 배선을 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 4

제 3항에 있어서,

상기 제 1 게이트 배선은 박막 트랜지스터 어레이 기판의 배선영역에 배치되고,

상기 제 2 게이트 배선은 박막 트랜지스터 어레이 기판의 구동 박막 트랜지스터 영역에 배치되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 5

제 2항에 있어서,

상기 제 1 게이트 배선, 제 2 게이트 배선 및 제 2 게이트 전극을 포함하는 기판 상에 배치되는 베퍼층을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 6

제 5항에 있어서,

상기 베퍼층 상에 배치되고, 구동 박막 트랜지스터 영역에 배치되는 제 1 반도체층 및 스위칭 박막 트랜지스터 영역에 배치되는 제 2 반도체층을 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 7

제 6항에 있어서,

상기 제 1 반도체층 및 캐패시터 영역에 배치된 버퍼층 상에 배치되는 게이트 절연막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 8

제 7항에 있어서,

상기 캐패시터 영역에서 상기 게이트 절연막 상에 배치되는 제 1 캐패시터 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 9

제 7항에 있어서,

상기 제 1 반도체층 상에 배치되는 상기 게이트 절연막과 중첩하여 배치되는 제 1 게이트 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 10

제 9항에 있어서,

상기 제 1 게이트 전극 및 제 1 캐패시터 전극을 포함하는 기판 상에 배치되는 층간절연막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 11

제 10항에 있어서,

상기 층간절연막 상에 배치되고, 컨택홀을 통해 제 1 반도체층 및 제 2 반도체층 각각에 연결되는 제 1 소스전극, 제 1 드레인전극, 제 2 소스전극 및 제 2 드레인전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 12

제 11항에 있어서,

상기 제 1 소스전극, 제 1 드레인전극, 제 2 소스전극 및 제 2 드레인전극과 동일층에 배치되고, 캐패시터 영역에 배치되는 제 2 캐패시터 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 13

제 11항에 있어서,

상기 제 1 소스전극, 제 1 드레인전극, 제 2 소스전극 및 제 2 드레인전극과 동일층에 배치되고, 배선영역 상에 배치되는 데이터 배선을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 14

제 11항에 있어서,

상기 층간절연막 상에 배치되는 평탄화막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 15

제 14항에 있어서,

상기 평탄화막 상에 배치되고, 캐패시터 영역 상에 배치되는 제 3 캐패시터 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 16

제 15항에 있어서,

상기 평탄화막은 버퍼층의 두께와 동일한 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 17

제 6항에 있어서,

상기 제 1 반도체층 및 제 2 반도체층 상에 배치되는 제 1 게이트 절연막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 18

제 17항에 있어서,

상기 제 1 게이트 절연막 상에 중첩되어 배치되고, 캐패시터 영역 상에 배치되는 버퍼층 상에 중첩되어 배치되는 제 2 게이트 절연막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 19

제 1항에 있어서,

상기 제 2 박막 트랜지스터의 제 2 게이트 전극과 동일층에 배치되는 제 1 게이트 배선, 제 2 게이트 배선 및 제 1 캐패시터 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 20

제 19항에 있어서,

상기 제 1 게이트 배선은 박막 트랜지스터 어레이 기판의 배선영역에 배치되고,

상기 제 2 게이트 배선은 박막 트랜지스터 어레이 기판의 구동 박막 트랜지스터 영역에 배치되고,

상기 제 1 캐패시터 전극은 박막 트랜지스터 어레이 기판의 캐패시터 영역에 배치되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 21

제 19항에 있어서,

상기 제 1 게이트 배선, 제 2 게이트 배선, 제 1 캐패시터 전극, 제 2 게이트 전극을 포함하는 기판 상에 배치되는 버퍼층을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 22

제 21항에 있어서,

상기 버퍼층 상에 배치되고, 구동 박막 트랜지스터 영역에 배치되는 제 1 반도체층 및 스위칭 박막 트랜지스터 영역에 배치되는 제 2 반도체층을 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 23

제 22항에 있어서,

상기 제 1 반도체층 및 제 2 반도체층 상에 배치되는 게이트 절연막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 24

제 23항에 있어서,

상기 게이트 절연막 상에 배치되고, 캐패시터 영역 상에 배치되는 제 2 캐패시터 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 25

제 24항에 있어서,

상기 제 2 캐패시터 전극 상에 배치되는 충간절연막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 26

제 25항에 있어서,

상기 충간절연막 상에 배치되고,

컨택홀을 통해 제 1 반도체층과 연결되는 제 1 소스전극 및 제 1 드레인전극을 포함하고, 제 2 반도체층과 연결되는 제 2 소스/드레인전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 27

제 26항에 있어서,

상기 제 1 반도체층과 연결되는 제 1 소스전극과 제 1 드레인전극 및 상기 제 2 반도체층과 연결되는 제 2 소스/드레인전극과 동일층에 배치되고, 캐패시터 영역 상에 배치되는 제 3 캐패시터 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 28

제 26항에 있어서,

상기 제 1 반도체층과 연결되는 제 1 소스전극과 제 1 드레인전극 및 상기 제 2 반도체층과 연결되는 제 2 소스/드레인전극과 동일층에 배치되고, 배선영역 상에 배치되는 데이터 배선을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 29

제 1항에 있어서,

상기 제 1 반도체층 및 제 2 반도체층의 두께는 250 Å이하인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 30

제 1항 내지 제 28항 중 어느 한 항을 따른 박막 트랜지스터 어레이 기판; 및

상기 박막 트랜지스터 어레이 기판과 대향하여 배치되는 컬러필터 어레이 기판;을 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

발명의 설명**기술 분야**

[0001]

본 발명은 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치에 관한 것으로, 보다 구체적으로는 고속 구동이 가능한 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치에 관한 것이다.

배경기술

[0002]

현대 사회에서는 정보 표시를 위한 표시 장치의 중요성이 대두되고 있다. 이에 최근 다양한 형태의 표시 장치들이 개발되어 다방면에서 광범위하게 이용되고 있다. 특히, 표시 장치 중에서 초박형이 가능하며 색재현 능력이 뛰어난 평판 표시 장치로 유기전계발광 표시장치(Organic Light Emitting Display: OLED)가 주목받고 있다.

[0003]

일반적으로 유기전계발광 표시장치는 유기 물질을 전기적으로 여기 발광시켜 화상을 표시하는 표시 장치로서, 정공 주입 전극(애노드)와, 전자 주입 전극(캐소드) 및 이를 사이에 형성된 유기 발광층을 포함한다. 그리고, 유기전계발광 표시장치는 유기 발광층의 구동을 위한 구동 박막 트랜지스터와, 구동 박막 트랜지스터를 제어하기 위한 스위칭 박막 트랜지스터를 포함한다. 이 때, 구동 박막 트랜지스터와 스위칭박막 트랜지스터는 모두 탑 게이트 구조로 이루어질 수 있다.

[0004]

이러한 유기전계발광 표시장치는 RC delay로 인해 왜곡된 신호가 전달될 수 있다. 또한, RC delay로 인해 유기 전계발광 표시장치의 고속 구동이 어려운 문제가 있다.

[0005]

RC delay를 저감하기 위해서는 배선의 선폭 및 두께를 증가시키거나, 금속층과 중첩되어 배치되는 다른 금속층 사이에 형성되는 기생 캐패시턴스(Cgs)를 줄이는 방법이 있다. 그러나, 상기 배선의 선폭을 증가시킬 경우, 개 구율이 저하될 수 있다. 또한, 배선의 두께를 증가 시킬 경우, 평탄도(step coverage) 유지를 위해 절연막의 두께가 증가하므로 충전 특성이 저하될 수 있다. 따라서 기생 캐패시턴스를 줄일 수 있는 방안이 필요하다.

[0006]

여기서, 상기 기생 캐패시턴스를 줄일 수 있는 방법으로는 배선과 중첩되어 배치되는 다른 배선 사이의 기생 캐 패시턴스를 줄이고 스위칭 박막 트랜지스터의 반도체층과 게이트 전극 사이의 기생 캐패시턴스를 줄이는 방법이 있다. 이 때, 상기 반도체층의 소스영역 및 드레인영역은 도핑으로 인해 도체화됨으로써, 상기 게이트 전극과

기생 캐패시턴스를 발생시킬 수 있다.

[0007] 상기 기생 캐패시턴스의 크기는 배선과 배선 사이의 거리와 반비례하므로, 배선과 배선 사이의 기생 캐패시턴스를 줄이기 위해서는 상기 배선과 배선 사이에 배치되는 절연층의 두께를 증가시켜야 한다. 또한, 스위칭 박막 트랜지스터의 반도체층과 게이트 전극 사이에 절연층의 두께를 증가시켜야 한다. 다만, 배선과 배선 사이에 배치되는 절연막 두께가 증가하게 되면, 스토리지 캐패시턴스가 줄어들어 충전특성이 저하되고, 박막 트랜지스터 반도체층과 게이트 전극 사이의 절연층 두께가 증가하게 되면 구동 전류값이 낮아져 유기전계발광 표시장치의 휘도가 떨어지는 문제가 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 탑 게이트 구조의 제 1 박막 트랜지스터와 바텀 게이트 구조의 제 2 박막 트랜지스터를 구비함으로써, 고속 구동을 가능하게 하는 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0009] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치는, 제 1 전극, 유기발광층 및 제 2 전극을 포함하는 유기전계발광 소자를 포함하고, 상기 유기전계발광 소자의 제 1 전극과 연결되고, 제 1 반도체층 및 상기 제 1 반도체층 상부에 배치되는 제 1 게이트 전극을 포함하는 제 1 박막 트랜지스터를 포함한다. 그리고, 상기 제 1 박막 트랜지스터와 전기적으로 연결되고, 제 2 반도체층 및 상기 제 2 반도체층 하부에 배치되는 제 2 게이트 전극을 포함하는 제 2 박막 트랜지스터를 포함함으로써, 고속 구동이 가능한 박막 트랜지스터 및 유기전계발광 표시장치를 제공할 수 있다.

발명의 효과

[0010] 본 발명에 따른 박막 트랜지스터 어레이 기판 및 이를 구비하는 유기전계발광 표시장치는, 탑 게이트 구조의 제 1 박막 트랜지스터와 바텀 게이트 구조의 제 2 박막 트랜지스터를 구비함으로써, 고속 구동을 가능하게 하는 효과가 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 제 1 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 도시한 단면도이다.

도 2a 내지 도 2e는 제 1 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 제조방법을 도시한 도면이다.

도 3은 본 발명의 제 2 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 도시한 단면도이다.

도 4a 내지 도 4e는 제 2 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 제조방법을 도시한 도면이다.

도 5는 본 발명의 제 3 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본

발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0013] 도 1 은 본 발명의 제 1 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 도시한 단면도이다. 도 1을 참조하면, 본 발명에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판은 표시영역과 비표시영역으로 이루어진다. 상기 표시영역은 배선영역(L), 스위칭 박막 트랜지스터 영역(Ts), 캐패시터 영역(Cst) 및 구동 박막 트랜지스터 영역(Td)을 포함한다.

[0014] 상기 배선영역(L)은 게이트 배선(101)과 데이터 배선(119)이 교차하는 영역이다. 또한, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에는 제 2 박막 트랜지스터(Tr2)가 배치된다. 상기 캐패시터 영역(Cst) 상에는 캐패시터가 배치되며, 구동 박막 트랜지스터 영역(Td) 상에는 제 1 박막 트랜지스터(Tr1)가 배치된다.

[0015] 이 때, 상기 제 1 박막 트랜지스터(Tr1)는 유기전계발광 소자의 제 1 전극(125)과 연결되고, 상기 유기전계발광 소자를 구동하는 구동 박막 트랜지스터일 수 있다. 또한, 상기 제 2 박막 트랜지스터(Tr2)는 상기 제 1 박막 트랜지스터(Tr1)와 전기적으로 연결되는 스위칭 박막 트랜지스터일 수 있다.

[0016] 자세하게는, 상기 기판(100) 상의 배선영역(L) 상에 제 1 게이트 배선(101)이 배치되고, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 제 2 게이트 전극(102)이 배치된다. 여기서, 상기 제 2 게이트 (102) 전극은 제 2 박막 트랜지스터(Tr2)의 게이트 전극(102)일 수 있다.

[0017] 또한, 상기 기판(100)의 캐패시터 영역(Cst) 상에 제 1 캐패시터 전극(103)이 배치되고, 상기 구동 박막 트랜지스터 영역(Td) 상에 제 2 게이트 배선(104)이 배치된다.

[0018] 이 때, 상기 제 1 캐패시터 전극(103) 및 제 2 게이트 배선(104)은 광 차단층 역할을 할 수 있다. 상기 제 1 게이트 배선(101), 제 2 게이트 전극(102), 제 1 캐패시터 전극(103) 및 제 2 게이트 배선(104)을 포함하는 기판(100) 상에 베퍼층(105)이 배치된다.

[0019] 상기 구동 박막 트랜지스터 영역(Td) 상에 배치된 베퍼층(105) 상에 제 1 반도체층(113)이 배치된다. 그리고, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 배치된 베퍼층(105) 상에 제 2 반도체층(109)이 배치된다.

[0020] 이 때, 상기 제 1 반도체층(113) 및 제 2 반도체층(109)은 각각 소스영역(110,106), 채널영역(111,107) 및 드레인영역(112,108)으로 구분될 수 있다. 다만 이에 한정되지 않고, 상기 제 2 반도체층(109)은 소스영역(108)과 드레인영역(106)으로 구성될 수 있다. 이 후, 상기 제 2 반도체층(109)은 소스영역(106)과 드레인전극(108)으로 구성되는 실시예로 설명한다.

[0021] 상기 제 1 반도체층(113) 및 제 2 반도체층(109)의 소스영역(110,106) 및 드레인영역(112,108)은 도핑으로 인해 높은 전기전도도를 가질 수 있다. 즉, 상기 제 1 반도체층(113) 및 제 2 반도체층(109)의 소스영역(110,106) 및 드레인영역(112,108)은 도핑으로 인해 도체화 될 수 있다.

[0022] 또한, 상기 제 1 반도체층(113) 및 제 2 반도체층(109)은 동일층에 배치될 수 있다. 여기서, 상기 제 1 반도체층(113) 및 제 2 반도체층(109)의 두께는 250 Å 미만으로 형성될 수 있다. 이 때, 상기 제 1 반도체층(113) 및 제 2 반도체층(109)의 두께가 250 Å 이상일 경우, 상기 제 1 박막 트랜지스터(Tr1) 및 제 2 박막 트랜지스터(Tr2)의 구동별 소자 특성이 다름으로 인해 상기 제 1 박막 트랜지스터(Tr1) 및 제 2 박막 트랜지스터(Tr2)가 항상 on인 상태일 수 있다.

[0023] 상기 제 1 반도체층(113) 및 제 2 반도체층(109) 상에는 게이트 절연막(114)이 배치된다. 여기서, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 배치되는 게이트 절연막(114)은 상기 캐패시터 영역(Cst)까지 연장되어 배치될 수 있다. 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 배치되는 게이트 절연막(114) 상에 상기 제 2 박막 트랜지스터(Tr2)의 드레인전극(115)이 배치된다.

[0024] 그리고, 상기 캐패시터 영역(Cst)에서 상기 게이트 절연막(114) 상에 제 2 캐패시터 전극(115a)이 배치될 수 있다. 이 때, 상기 제 2 캐패시터 전극(115a)은 상기 제 2 박막 트랜지스터(Tr2)의 드레인전극(115)이 상기 캐패시터 영역(Cst)까지 연장되어 배치된다.

[0025] 또한, 상기 캐패시터 영역(Cst)에서 상기 제 2 캐패시터 전극(115a)과 이격되어 배치되고, 상기 제 1 캐패시터

전극(103)과 연결되는 연결부(116)가 배치된다. 상기 연결부(116) 하부에는 게이트 절연막(114)이 배치될 수 있다.

[0026] 그리고, 상기 구동 박막 트랜지스터 영역(Td) 상에 배치되는 게이트 절연막(114) 상에는 제 1 박막 트랜지스터(Tr1)의 제 1 게이트 전극(117)이 배치될 수 있다. 상기 제 2 박막 트랜지스터(Tr2)의 드레인전극(115), 제 2 캐패시터 전극(115) 및 제 1 박막 트랜지스터(Tr1)의 제 1 게이트 전극(117)을 포함하는 기판(100) 상에 충간절연막(118)이 배치될 수 있다.

[0027] 상기 충간절연막(118) 상에 형성된 컨택홀을 통해, 상기 제 1 반도체층(113) 및 제 2 반도체층(109) 각각에 연결되는 제 1 및 제 2 소스전극(122, 120)과 상기 제 1 반도체층(113)에 연결되는 제 1 드레인전극(123)이 배치된다. 이를 통해, 상기 제 1 소스전극(122) 및 제 1 드레인전극(123)은 상기 제 1 반도체층(113)과 전기적으로 연결되고, 상기 제 2 소스전극(120)은 상기 제 2 반도체층(109)과 전기적으로 연결될 수 있다.

[0028] 그리고, 상기 제 1 및 제 2 소스전극(112, 120) 및 제 1 드레인전극(123)과 동일층에서 배치되고, 상기 캐패시터 영역(Cst) 상에 제 3 캐패시터 전극(121)이 배치된다. 즉, 제 1 캐패시터 전극(103), 제 2 캐패시터 전극(115a) 및 제 3 캐패시터 전극(121)을 통해, 유기전계발광 표시장치의 충전용량을 확보 할 수 있다.

[0029] 또한, 상기 제 1 및 제 2 소스전극(112, 120) 및 제 1 드레인전극(123)과 동일층에서 배치되고, 상기 배선영역(L) 상에 데이터 배선(119)이 배치된다.

[0030] 이와 같이, 상기 제 1 박막 트랜지스터(Tr1)는 탑 게이트 구조로 구성될 수 있다. 또한, 상기 제 2 박막 트랜지스터(Tr2)는 바텀 게이트 구조로 구성될 수 있다. 특히, 제 1 반도체층(113) 및 제 2 반도체층(109)의 두께가 250 Å 이하로 이루어짐으로써, 탑 게이트 구조의 제 1 박막 트랜지스터(Tr1)와 바텀 게이트 구조의 제 2 박막 트랜지스터(Tr2)를 동시에 구동할 수 있다.

[0031] 그리고, 상기 제 1 및 제 2 소스전극(112, 120), 제 1 드레인전극(123), 제 3 캐패시터 전극(121) 및 데이터 배선(119)을 포함하는 기판(100) 상에 평탄화막(124)이 배치된다. 여기서, 상기 평탄화막(124)의 두께는 상기 벼파층(105)의 두께와 동일하게 이루어질 수 있다.

[0032] RC delay를 저감하기 위해서는 배선의 선폭 및 두께를 증가시키거나, 금속층과 중첩되어 배치되는 다른 금속층 사이에 형성되는 기생 캐패시턴스(Cgs)를 줄이는 방법이 있다. 그러나, 상기 배선의 선폭을 증가시킬 경우, 개구율이 저하될 수 있다. 또한, 배선의 두께를 증가 시킬 경우, 이와 동시에 절연막의 두께가 증가하므로 충전 특성이 저하될 수 있다. 따라서, 기생 캐패시턴스를 줄일 수 있는 방안이 필요하다.

[0033] 여기서, 상기 기생 캐패시턴스를 줄일 수 있는 방법으로는 배선과 중첩되어 배치되는 다른 배선 사이의 기생 캐패시턴스를 줄이고 스위칭 박막 트랜지스터의 반도체층과 게이트 전극 사이의 기생 캐패시턴스를 줄이는 방법이 있다. 이 때, 상기 반도체층의 소스영역 및 드레인영역은 도핑으로 인해 도체화됨으로써, 상기 게이트 전극과 기생 캐패시턴스를 발생시킬 수 있다.

[0034] 배선과 배선 사이의 기생 캐패시턴스를 줄이기 위해서는 상기 배선과 배선 사이에 배치되는 절연층의 두께를 증가시켜야 한다. 또한, 스위칭 박막 트랜지스터의 반도체층과 게이트 전극 사이에 절연층의 두께를 증가시켜야 한다. 다만, 절연층의 두께가 증가하게 되면 스토리지 캐패시턴스가 줄어들어 충전특성이 저하되고, 구동 전류 값이 낮아지게 되어, 이는 유기전계발광 표시장치의 휘도를 떨어뜨리게 하는 원인이 된다. 여기서, 스토리지 캐패시턴스와 구동 전류값을 유지하기 위해서는 캐패시터 전극들 사이에 배치되는 절연층과 구동 박막트랜지스터의 반도체층과 게이트 전극사이에 배치되는 절연막 두께를 유지해야 한다.

[0035] 본 발명에 따른 유기전계발광 표시장치는 상기 배선영역(L)에 배치되는 게이트 배선(101)과 데이터 배선(119) 사이에 절연층인 벼파층(105)과 충간절연막(118)이 배치됨으로써, 배선간의 기생 캐패시턴스를 줄일 수 있다. 자세하게는, 상기 벼파층(105)이 상기 게이트 배선(101)과 데이터 배선(119) 사이에 더 배치됨으로써, 배선간의 기생 캐패시턴스를 줄일 수 있는 효과가 있다.

[0036] 또한, 스위칭 박막 트랜지스터인 제 2 박막 트랜지스터(Tr2)의 반도체층(109)과 제 2 게이트 전극(102) 사이에 벼파층(105)이 배치됨으로써, 스위칭 박막 트랜지스터의 기생 캐패시턴스를 줄일 수 있다. 자세하게는, 상기 반도체층(109)과 제 2 게이트 전극(102) 사이에 게이트 절연막 보다 두껍게 형성되는 벼파층(105)이 배치됨으로써, 상기 반도체층(109)과 제 2 게이트 전극(102) 사이에 형성되는 기생 캐패시턴스를 줄일 수 있는 효과가 있다.

[0037] 그리고, 상기 평탄화막(124)과 벼파층(105)의 두께가 동일하게 형성됨으로써, 제 1 캐패시터 전극(103)과 제 2

캐패시터 전극(115a) 사이의 절연층 두께가 유지될 수 있다. 즉, 상기 제 1 캐패시터 전극(103), 제 2 캐패스터 전극(115a) 및 제 3 캐패시터 전극(121)이 절연층인 상기 베퍼층(105)과 중간절연막(118)을 통해 이격되어 형성됨으로써, 박막 트랜지스터 어레이 기판에 발생하는 기생 캐패시턴스를 줄임과 동시에 충전용량이 줄어들지 않을 수 있다.

[0038] 상기 평탄화막(124) 상에는 컨택홀을 통해 상기 제 1 박막 트랜지스터(Tr1)의 드레인 전극(123)과 연결되는 유기전계발광 소자의 제 1 전극(125)이 배치된다. 또한, 상기 평탄화막(124) 상에는 상기 제 1 전극의 상면의 일부를 노출하는 뱅크 패턴(126)이 배치된다. 그리고, 노출된 상기 제 1 전극의 상면의 일부에 유기발광층(127)이 배치된다.

[0039] 상기 유기발광층(127)은 발광 효율을 높이기 위해 정공주입층(hole injection layer), 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 다중층으로 구성할 수 있다. 상기 유기발광층(127)을 포함하는 기판 상에는 유기전계발광 소자의 제 2 전극(128)이 배치될 수 있다.

[0040] 여기서, 유기전계발광 표시장치는 상기 유기전계발광 소자를 포함하는 박막 트랜지스터 어레이 기판과 대향하여 배치되는 컬러필터 어레이 기판을 포함한다.

[0041] 본 발명에 따른 유기전계발광 표시장치는 탑 게이트 구조의 제 1 박막 트랜지스터(Tr1) 및 바텀 게이트 구조의 제 2 박막 트랜지스터(Tr2)를 형성함으로써, 배선영역(L)과 스위칭 박막 트랜지스터 영역(Ts)에서 형성되는 기생 캐패시턴스를 저감하는 동시에, 캐패시터 용량을 유지할 수 있는 효과가 있다. 또한, 제 1 반도체층(113) 및 제 2 반도체층(109)의 두께가 얇게 형성됨으로써, 탑 게이트 구조의 제 1 박막 트랜지스터(Tr1)와 바텀 게이트 구조의 제 2 박막 트랜지스터(Tr2)의 구동별 소자 특성이 유사한 효과가 있다.

[0042] 이어서, 도 2a 내지 도 2e를 참조하여, 본 발명의 제 1 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 제조방법을 설명한다. 도 2a 내지 도 2e는 제 1 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 제조방법을 도시한 도면이다.

[0043] 도 2a를 참조하면, 기판(100) 상에 제 1 게이트 전극 물질을 도포한다. 이 후, 포토리소그래피 공정을 통해 상기 제 1 게이트 전극 물질을 식각하여, 제 1 게이트 배선(101), 제 2 게이트 전극(102), 제 1 캐패시터 전극(103) 및 제 2 게이트 배선(104)을 형성한다.

[0044] 즉, 상기 제 1 게이트 배선(101), 제 2 게이트 전극(102), 제 1 캐패시터 전극(103) 및 제 2 게이트 배선(104)은 동일층에서 동일물질로 이루어질 수 있다.

[0045] 이어서 도 2b를 참조하면, 상기 제 1 게이트 배선(101), 제 2 게이트 전극(102), 제 1 캐패시터 전극(103) 및 제 2 게이트 배선(104)을 포함하는 기판(100) 상에 절연층인 베퍼층(105)을 형성한다. 상기 베퍼층(105)이 형성된 기판(100) 상에 반도체층 물질을 형성한다. 이 후, 포토리소그래피 공정을 통해 상기 반도체층 물질을 식각하여, 제 1 반도체층 패턴(113a) 및 제 2 반도체층 패턴(109a)을 형성한다.

[0046] 이어서 도 2c를 참조하면, 상기 제 1 반도체층 패턴과 제 2 반도체층 패턴이 형성된 기판(100) 상에 게이트 절연막 물질이 형성된다. 상기 제 1 반도체층 패턴 및 제 2 반도체층 패턴 상에는 게이트 절연막(114)이 형성된다. 여기서, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 배치되는 게이트 절연막(114)은 상기 캐패시터 영역(Cst)까지 연장되어 형성될 수 있다.

[0047] 그리고, 상기 제 2 반도체층 패턴 상에 형성된 게이트 절연막(114) 상에 홀이 형성된다. 이 후, 상기 게이트 절연막(114)이 형성된 기판(100) 상에 전극물질이 형성된다. 상기 전극물질을 포토리소그래피 공정을 통해 패터닝 한다.

[0048] 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 배치되는 게이트 절연막(114) 상에 제 2 박막 트랜지스터의 드레인 전극(115)이 형성된다. 상기 드레인전극(115)은 상기 캐패시터 영역(Cst)까지 연장되어 형성된다. 이 때, 상기 캐패시터 영역(Cst)까지 연장되어 형성된 드레인전극(115) 하부에는 게이트 절연막(114)이 배치될 수 있다. 여기서, 상기 캐패시터 영역(Cst)까지 연장되어 형성된 드레인전극(115)은 제 2 캐패시터 전극(115a)일 수 있다.

[0049] 상기 제 2 박막 트랜지스터의 드레인전극(115) 및 제 2 캐패시터 전극(115a)이 형성되는 동시에 제 1 박막 트랜지스터의 제 1 게이트 전극(117)이 형성된다. 즉, 상기 제 2 박막 트랜지스터의 드레인전극(115), 제 2 캐패시-

터 전극(115a) 및 제 1 박막 트랜지스터의 제 1 게이트 전극(117)은 동일물질로 형성될 수 있다.

[0050] 또한, 상기 제 1 반도체층 패턴과 제 2 반도체층 패턴에는 고농도의 불순물 이온을 도핑하여 소스영역(110, 106) 및 드레인영역(112, 108)이 형성된다. 상기 제 1 반도체층 패턴과 제 2 반도체층 패턴 각각에 형성된 소스영역(110, 106) 및 드레인영역(112, 108) 사이에는 채널영역(111, 107)이 형성된다.

[0051] 이와 같이 제 1 반도체층(113) 및 제 2 반도체층(109)이 형성된다. 여기서, 상기 제 1 반도체층(113) 및 제 2 반도체층(109)은 동일층에 배치될 수 있다. 또한, 상기 제 1 반도체층(113) 및 제 2 반도체층(109)의 두께는 250 Å 미만으로 형성될 수 있다.

[0052] 이어서, 도 2d 및 도 2e를 참조하면, 상기 제 2 박막 트랜지스터의 드레인전극(115) 및 제 2 캐패시터 전극(115a)이 형성되는 동시에 제 1 박막 트랜지스터(Tr1)의 제 1 게이트 전극(117)이 형성된 기판(100) 상에 충간 절연막(118)이 형성된다. 그리고, 상기 충간절연막(118) 상에 전극물질이 형성된다. 이 후, 포토리소그래피 공정을 통해 데이터 라인(119), 제 2 박막 트랜지스터의 소스전극(120), 제 3 캐패시터 전극(121), 제 1 박막 트랜지스터의 소스전극(122) 및 드레인전극(123)을 형성한다.

[0053] 이 때, 상기 데이터 라인(119)은 상기 배선영역(L)에 형성된 게이트 라인(101)과 중첩하여 형성된다. 또한, 제 3 캐패시터 전극(121)은 상기 캐패시터 영역(Cst)에서 상기 제 1 캐패시터 전극(103) 및 제 2 캐패시터 전극(115a)과 중첩하여 형성된다. 이 때, 상기 제 3 캐패시터 전극(121)은 연결부(116)를 통해 제 1 캐패시터 전극(103)과 연결되어 형성된다. 또한, 제 1 박막 트랜지스터는 탑 게이트 구조로 형성되며, 제 2 박막 트랜지스터는 바텀 게이트 구조로 형성될 수 있다.

[0054] 상기 데이터 라인(119), 제 2 박막 트랜지스터의 소스전극(120), 제 3 캐패시터 전극(121), 제 1 박막 트랜지스터의 소스전극(122) 및 드레인전극(123)이 형성된 기판(100) 상에 평탄화막(124)이 형성된다. 이 때, 상기 평탄화막(124)은 상기 베퍼층(105)과 동일한 두께로 형성될 수 있다.

[0055] 본 발명에 따른 유기전계발광 표시장치는 탑 게이트 구조의 제 1 박막 트랜지스터 및 바텀 게이트 구조의 제 2 박막 트랜지스터를 형성함으로써, 배선영역(L)과 스위칭 박막 트랜지스터 영역(Ts)에서 형성되는 기생 캐패시턴스를 저감하는 동시에, 캐패시터 용량을 유지할 수 있는 효과가 있다. 또한, 제 1 반도체층(113) 및 제 2 반도체층(109)의 두께가 얇게 형성됨으로써, 탑 게이트 구조의 제 1 박막 트랜지스터와 바텀 게이트 구조의 제 2 박막 트랜지스터의 구동별 소자 특성이 유사한 효과가 있다.

[0056] 이어서, 도 3을 참조하여, 본 발명의 제 2 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 설명한다. 도 3은 본 발명의 제 2 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 도시한 단면도이다. 제 2 실시예에 따른 유기전계발광 표시장치는 앞서 설명한 실시예와 동일한 구성요소를 포함할 수 있다. 앞서 설명한 실시예와 중복되는 설명은 생략할 수 있다. 또한, 동일한 구성은 동일한 도면부호를 갖는다.

[0057] 도 3을 참조하면, 본 발명의 제 2 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판은 상기 표시영역은 배선영역(L), 스위칭 박막 트랜지스터 영역(Ts), 캐패시터 영역(Cst) 및 구동 박막 트랜지스터 영역(Td)을 포함한다.

[0058] 상기 배선영역(L)은 게이트 배선(101)과 데이터 배선(119)이 교차하는 영역이다. 또한, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에는 제 2 박막 트랜지스터(Tr2)가 배치된다. 상기 캐패시터 영역(Cst) 상에는 캐패시터가 배치되며, 구동 박막 트랜지스터 영역(Td) 상에는 제 1 박막 트랜지스터(Tr1)가 배치된다.

[0059] 이 때, 상기 제 1 박막 트랜지스터(Tr1)는 유기전계발광 소자의 제 1 전극(125)과 연결되고, 상기 유기전계발광 소자를 구동하는 구동 박막 트랜지스터일 수 있다. 또한, 상기 제 2 박막 트랜지스터(Tr2)는 상기 제 1 박막 트랜지스터(Tr1)와 전기적으로 연결되는 스위칭 박막 트랜지스터일 수 있다.

[0060] 자세하게는, 상기 기판(100) 상에 배선영역(L) 상에 제 1 게이트 배선(201)이 배치되고, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 제 2 게이트 전극(202)이 배치된다. 여기서, 상기 제 2 게이트 (202) 전극은 제 2 박막 트랜지스터(Tr2)의 게이트 전극(202)이다. 또한, 상기 기판(100)의 구동 박막 트랜지스터 영역(Td) 상에 제 2 게이트 배선(203)이 배치된다.

[0061] 여기서, 상기 제 2 게이트 배선(203)은 차광층 역할을 할 수 있다. 이를 통해, 유기전계발광 표시장치의 기판

(100) 방향으로 유입되는 외부 광으로부터, 제 1 박막 트랜지스터(Tr1)의 제 1 반도체층(209)을 보호할 수 있다. 또한, 상기 제 1 게이트 배선(201), 제 2 게이트 전극(202) 및 제 2 게이트 배선(203)은 동일층에서 동일 물질로 이루어질 수 있다.

[0062] 상기 제 1 게이트 배선(201), 제 2 게이트 전극(202) 및 제 2 게이트 배선(203)을 포함하는 기판(100) 상에 벼퍼층(204)이 배치된다. 상기 구동 박막 트랜지스터 영역(Td) 상에 배치된 벼퍼층(204) 상에 제 1 반도체층(209)이 배치된다. 그리고, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 배치된 벼퍼층(204) 상에 제 2 반도체층(205)이 배치된다.

[0063] 여기서, 상기 제 1 반도체층(209) 및 제 2 반도체층(205)은 동일층에 배치될 수 있다. 또한, 상기 제 1 반도체층(209) 및 제 2 반도체층(205)의 두께는 250 Å 미만으로 형성될 수 있다. 상기 제 1 반도체층(209)은 소스영역(206), 채널영역(207) 및 드레인영역(208)으로 구분될 수 있다. 그리고, 상기 소스영역(206) 및 드레인영역(208)은 도핑으로 인해 도체화 될 수 있다.

[0064] 상기 제 1 반도체층(209) 및 제 2 반도체층(205) 상에 제 1 게이트 절연막(210)이 배치된다. 그리고, 상기 캐패시터 영역(Cst)에 배치된 벼퍼층(204) 및 상기 제 1 반도체층(209) 상에 배치된 제 1 게이트 절연막(210) 상에 제 2 게이트 절연막(212)이 배치된다.

[0065] 그리고, 상기 제 2 게이트 절연막(212) 상에는 제 1 캐패시터 전극(215) 및 제 1 박막 트랜지스터(Tr1)의 제 1 게이트 전극(216)이 배치된다. 자세하게는, 상기 캐패시터 영역(Cst)에 배치된 제 2 게이트 절연막(212) 상에 제 1 캐패시터 전극(215)이 배치된다. 그리고, 상기 구동 박막 트랜지스터 영역(Td)에 배치된 제 2 게이트 절연막(212) 상에 제 1 게이트 전극(216)이 배치된다.

[0066] 여기서, 상기 제 1 반도체층(209)과 제 1 게이트 전극(106) 사이에 제 1 게이트 절연막(210) 및 제 2 게이트 절연막(212)이 배치됨으로써, 상기 제 1 반도체층(209)과 제 1 게이트 전극(106) 사이의 기생 캐패시턴스를 줄일 수 있는 효과가 있다.

[0067] 상기 제 1 캐패시터 전극(215) 및 제 1 게이트 전극(216)이 배치된 기판(100) 상에 충간절연막(217)이 배치된다. 그리고, 상기 충간절연막(217) 상에 형성된 컨택홀을 통해, 상기 제 1 반도체층(209) 및 제 2 반도체층(205) 각각에 연결되는 제 1 및 제 2 소스전극(222, 219)과 상기 제 1 반도체층(209)에 연결되는 제 1 및 제 2 드레인전극(223, 220)이 배치된다. 이 때, 상기 제 2 드레인전극(220)은 상기 캐패시터 영역(Cst)까지 연장되어 배치된다. 여기서, 상기 캐패시터 영역(Cst)에 배치된 제 2 드레인전극(220)은 제 2 캐패시터 전극(220a)일 수 있다.

[0068] 또한, 상기 배선영역(L) 상에 데이터 배선(218)이 배치된다. 이 때, 상기 데이터 배선(218)은 상기 제 1 및 제 2 소스전극(222, 219) 및 제 1 및 제 2 드레인전극(223, 220)과 동일층 배치되고, 동일물질로 이루어질 수 있다. 또한, 상기 데이터 배선(218)은 상기 배선영역(L)에서 상기 게이트 배선(201)과 중첩하여 배치된다.

[0069] 이와 같이, 상기 제 1 박막 트랜지스터(Tr1)는 탑 게이트 구조로 구성될 수 있다. 또한, 상기 제 2 박막 트랜지스터(Tr2)는 바텀 게이트 구조로 구성될 수 있다.

[0070] 상기 제 1 박막 트랜지스터(Tr1)와 제 2 박막 트랜지스터(Tr2)를 포함하는 기판 상에 평탄화막(224)이 배치된다. 그리고, 상기 평탄화막(224) 상에는 컨택홀을 통해 상기 제 1 박막 트랜지스터(Tr1)의 드레인 전극(223)과 연결되는 유기전계발광 소자의 제 1 전극(226)이 배치된다. 그리고, 상기 캐패시터 영역(Cst) 상에는 제 3 캐패시터 전극(225)이 배치된다. 이 때, 상기 제 3 캐패시터 전극(225)은 연결부(221)를 통해 상기 제 1 캐패시터 전극(215)과 연결된다.

[0071] 또한, 상기 평탄화막(224) 상에는 상기 제 1 전극(226)의 상면의 일부를 노출하는 뱅크 패턴(126)이 배치된다. 그리고, 노출된 상기 제 1 전극(226)의 상면의 일부에 유기발광층(127)이 배치된다.

[0072] 상기 유기발광층(127)은 발광 효율을 높이기 위해 정공주입층(hole injection layer), 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 다중층으로 구성할 수 있다. 상기 유기발광층(127)을 포함하는 기판 상에는 유기전계발광 소자의 제 2 전극(128)이 배치될 수 있다.

[0073] 또한, 유기전계발광 표시장치는 상기 유기전계발광 소자를 포함하는 박막 트랜지스터 어레이 기판과 대향하여 배치되는 컬러필터 어레이 기판을 포함한다.

- [0074] 본 발명에 따른 유기전계발광 표시장치는 탑 게이트 구조의 제 1 박막 트랜지스터(Tr1) 및 바텀 게이트 구조의 제 2 박막 트랜지스터(Tr2)를 형성함으로써, 배선영역(L)과 스위칭 박막 트랜지스터 영역(Ts)에서 형성되는 기생 캐패시턴스를 저감하는 동시에, 캐패시터 용량을 유지할 수 있는 효과가 있다. 이를 통해, 본 발명에 따른 유기전계발광 표시장치는 캐패시터 용량을 유지하면서 고속구동 할 수 있는 효과가 있다.
- [0075] 이어서, 도 4a 내지 도 4e를 참조하여, 본 발명의 제 2 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 제조방법을 설명한다. 도 4a 내지 도 4e는 제 2 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판의 제조방법을 도시한 도면이다. 제 2 실시예에 따른 유기전계발광 표시장치의 제조방법은 앞서 설명한 실시예와 동일한 구성요소를 포함할 수 있다. 앞서 설명한 실시예와 중복되는 설명은 생략할 수 있다. 또한, 동일한 구성은 동일한 도면부호를 갖는다.
- [0076] 도 4a를 참조하면, 기판(100) 상에 제 1 게이트 배선(201), 제 2 게이트 전극(202) 및 제 2 게이트 배선(203)을 형성한다. 이 때, 상기 제 1 게이트 배선(201), 제 2 게이트 전극(202) 및 제 2 게이트 배선(203)은 동일층에서 동일물질로 이루어질 수 있다. 또한, 상기 제 2 게이트 전극(202)은 제 2 박막 트랜지스터의 게이트 전극 일 수 있다.
- [0077] 이어서 도 4b를 참조하면, 상기 제 1 게이트 배선(201), 제 2 게이트 전극(202) 및 제 2 게이트 배선(203)을 포함하는 기판(100) 상에 절연층인 버퍼층(204)을 형성한다. 상기 버퍼층(204)이 형성된 기판(100) 상에 반도체층 물질을 형성한다. 이 후, 포토리소그래피 공정을 통해 상기 반도체층 물질을 식각하여, 제 1 반도체층 패턴(209a) 및 제 2 반도체층(205)을 형성한다.
- [0078] 이어서, 도 4c를 참조하면, 제 1 반도체층 패턴 및 제 2 반도체층 패턴이 형성된 기판(100) 상에 제 1 게이트 절연막 물질이 형성된다. 이 후, 포토리소그래피 공정을 통해 상기 제 1 게이트 절연막 물질이 패터닝되어 스위칭 박막 트랜지스터 영역(Ts) 및 구동 박막 트랜지스터 영역(Td)에 제 1 게이트 절연막(210)이 형성된다. 이 때, 상기 제 1 게이트 절연막(210)은 상기 스위칭 박막 트랜지스터 영역(Ts)에 배치된 제 2 반도체층(205) 상에 형성되고, 상기 제 1 반도체층 패턴의 상면의 일부에 형성된다.
- [0079] 그리고, 상기 제 1 게이트 절연막(210)이 형성된 기판(100) 상에 제 2 게이트 절연막 물질이 형성된다. 상기 제 2 게이트 절연막 물질이 형성된 기판(100) 상에 제 1 게이트 금속 물질이 형성된다. 이 후, 포토리소그래피 공정으로 상기 제 1 게이트 금속 물질이 패터닝되어, 캐패시터 영역(Cst) 상에 제 1 캐패시터 전극(215)이 형성되고, 상기 구동 박막 트랜지스터 영역(Td) 상에 제 1 게이트 전극(216)이 형성된다. 상기 제 1 게이트 전극(216)은 제 1 박막 트랜지스터의 게이트 전극일 수 있다.
- [0080] 그리고, 상기 제 1 캐패시터 전극(215)과 제 1 게이트 전극(216)을 마스크로 하여, 상기 제 2 게이트 절연막 물질을 패터닝한다. 이를 통해, 상기 제 1 캐패시터 전극(215) 및 제 1 게이트 전극(216) 하부에만 제 2 게이트 절연막(212)이 형성된다.
- [0081] 그리고, 상기 제 1 게이트 전극(216)을 마스크로 하여, 상기 제 1 반도체층 패턴에 고농도의 불순물 이온을 도핑하여 소스영역(206) 및 드레인영역(208)을 형성한다. 이 때, 상기 소스영역(206) 및 드레인영역(208) 사이에 배치된 영역은 채널영역(207)이며, 상기 소스영역(206), 채널영역(207) 및 드레인영역(208)으로 구성된 제 1 반도체층(209)이 형성된다.
- [0082] 이어서, 도 4d 및 도 4e를 참조하면, 상기 제 1 캐패시터 전극(215) 및 제 1 게이트 전극(216)을 포함하는 기판(100) 상에 총간절연막(217)이 형성된다. 그리고, 상기 총간절연막(217)에 컨택홀이 형성되며, 상기 제 2 반도체층(205) 상에 형성된 제 1 게이트 절연막(210)에도 컨택홀이 형성된다. 상기 컨택홀이 형성된 총간 절연막(217) 상에 전극물질이 형성된다.
- [0083] 이 후, 포토리소그래피 공정을 통해 구동 박막 트랜지스터 영역(Td)에 형성된 제 1 반도체층(209)의 소스영역(206) 및 드레인영역(208)과 연결되는 제 1 소스전극(222) 및 제 1 드레인전극(223)이 형성된다. 이와 동시에, 스위칭 박막 트랜지스터 영역(Ts)에 형성된 제 2 반도체층(205)과 연결되는 제 2 소스전극(219) 및 제 2 드레인전극(220)이 형성된다.
- [0084] 또한, 상기 제 2 드레인전극(220)은 캐패시터 영역(Cst)까지 연장되어 형성됨으로써, 제 2 캐패시터 전극(220a)을 형성하며, 상기 캐패시터 영역(Cst)에 형성되고, 상기 제 2 캐패시터 전극(220a)과 이격되어 배치되는 연결부(221)가 형성된다. 그리고, 상기 배선영역(L) 상에는 상기 게이트 배선(201)과 중첩되어 배치되는 테이터

배선(218)이 형성된다.

[0085] 이 후, 상기 기판(100) 상에는 평탄화막(224)이 형성된다. 이 때, 상기 평탄화막(224)의 두께는 상기 벼퍼층(204)의 두께와 동일하게 형성될 수 있다.

[0086] 본 발명에 따른 유기전계발광 표시장치는 탑 게이트 구조의 제 1 박막 트랜지스터 및 바텀 게이트 구조의 제 2 박막 트랜지스터를 형성함으로써, 배선영역(L)과 스위칭 박막 트랜지스터 영역(Ts)에서 형성되는 기생 캐패시턴스를 저감하는 동시에, 캐패시터 용량을 유지할 수 있는 효과가 있다. 또한, 제 1 반도체층(209) 및 제 2 반도체층(205)의 두께가 얇게 형성됨으로써, 탑 게이트 구조의 제 1 박막 트랜지스터와 바텀 게이트 구조의 제 2 박막 트랜지스터를 동시에 구동할 수 있는 효과가 있다.

[0087] 이어서, 도 5를 참조하여, 본 발명의 제 3 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 설명한다. 도 5는 본 발명의 제 3 실시예에 따른 유기전계발광 표시장치의 박막 트랜지스터 어레이 기판을 도시한 단면도이다. 제 3 실시예에 따른 유기전계발광 표시장치는 앞서 설명한 실시예와 동일한 구성요소를 포함할 수 있다. 앞서 설명한 실시예와 중복되는 설명은 생략할 수 있다. 또한, 동일한 구성은 동일한 도면부호를 갖는다.

[0088] 도 5를 참조하면, 본 발명의 제 3 실시예에 따른 유기전계발광 표시장치는 상기 표시장치의 배선영역(L), 스위칭 박막 트랜지스터 영역(Ts), 캐패시터 영역(Cst) 및 구동 박막 트랜지스터 영역(Td)을 포함한다.

[0089] 상기 배선영역(L)은 게이트 배선(101)과 데이터 배선(119)이 교차하는 영역이다. 또한, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에는 제 2 박막 트랜지스터(Tr2)가 배치된다. 상기 캐패시터 영역(Cst) 상에는 캐패시터가 배치되며, 구동 박막 트랜지스터 영역(Td) 상에는 제 1 박막 트랜지스터(Tr1)가 배치된다.

[0090] 이 때, 상기 제 1 박막 트랜지스터(Tr1)는 유기전계발광 소자의 제 1 전극(125)과 연결되고, 상기 유기전계발광 소자를 구동하는 구동 박막 트랜지스터일 수 있다. 또한, 상기 제 2 박막 트랜지스터(Tr2)는 상기 제 1 박막 트랜지스터(Tr1)와 전기적으로 연결되는 스위칭 박막 트랜지스터일 수 있다.

[0091] 자세하게는, 상기 기판(100) 상에 배선영역(L) 상에 제 1 게이트 배선(201)이 배치되고, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 제 2 게이트 전극(202)이 배치된다. 여기서, 상기 제 2 게이트 전극은 제 2 박막 트랜지스터(Tr2)의 게이트 전극(202)이다.

[0092] 또한, 상기 기판(100)의 구동 박막 트랜지스터 영역(Td) 상에 제 2 게이트 배선(203)이 배치된다. 여기서, 상기 제 2 게이트 배선(203)은 차광층 역할을 할 수 있다.

[0093] 상기 제 1 게이트 배선(201), 제 2 게이트 전극(202) 및 제 2 게이트 배선(203)을 포함하는 기판(100) 상에 벼퍼층(204)이 배치된다. 상기 구동 박막 트랜지스터 영역(Td) 상에 배치된 벼퍼층(204) 상에 제 1 반도체층(209)이 배치된다. 그리고, 상기 스위칭 박막 트랜지스터 영역(Ts) 상에 배치된 벼퍼층(204) 상에 제 2 반도체층(205)이 배치된다.

[0094] 여기서, 상기 제 1 반도체층(209) 및 제 2 반도체층(205)은 동일층에 배치될 수 있다. 또한, 상기 제 1 반도체층(209) 및 제 2 반도체층(205)의 두께는 250 Å 미만으로 형성될 수 있다. 상기 제 1 반도체층(209)은 소스영역(206), 채널영역(207) 및 드레인영역(208)으로 구분될 수 있다. 그리고, 상기 소스영역(206) 및 드레인영역(208)은 도핑으로 인해 도체화된 영역일 수 있다.

[0095] 상기 캐패시터 영역(Cst)에 배치된 벼퍼층(204) 및 상기 제 1 반도체층(209) 상에 게이트 절연막(312)이 배치된다. 상기 게이트 절연막(312)은 상기 제 1 반도체층(209) 상에 배치됨으로써, 상기 제 1 반도체층(209)을 보호하는 역할을 할 수 있다. 그리고, 상기 게이트 절연막(312) 상에는 제 1 캐패시터 전극(215) 및 제 1 박막 트랜지스터(Tr1)의 제 1 게이트 전극(216)이 배치된다.

[0096] 자세하게는, 상기 캐패시터 영역(Cst)에 배치된 게이트 절연막(312) 상에 제 1 캐패시터 전극(215)이 배치된다. 그리고, 상기 구동 박막 트랜지스터 영역(Td)에 배치된 게이트 절연막(312) 상에 제 1 게이트 전극(216)이 배치된다.

[0097] 상기 제 1 캐패시터 전극(215) 및 제 1 게이트 전극(216)이 배치된 기판(100) 상에 충간절연막(217)이 배치된다. 상기 충간절연막(217)은 상기 제 1 캐패시터 전극(215) 및 제 1 게이트 전극(216)을 보호하는 역할을 할 수 있다.

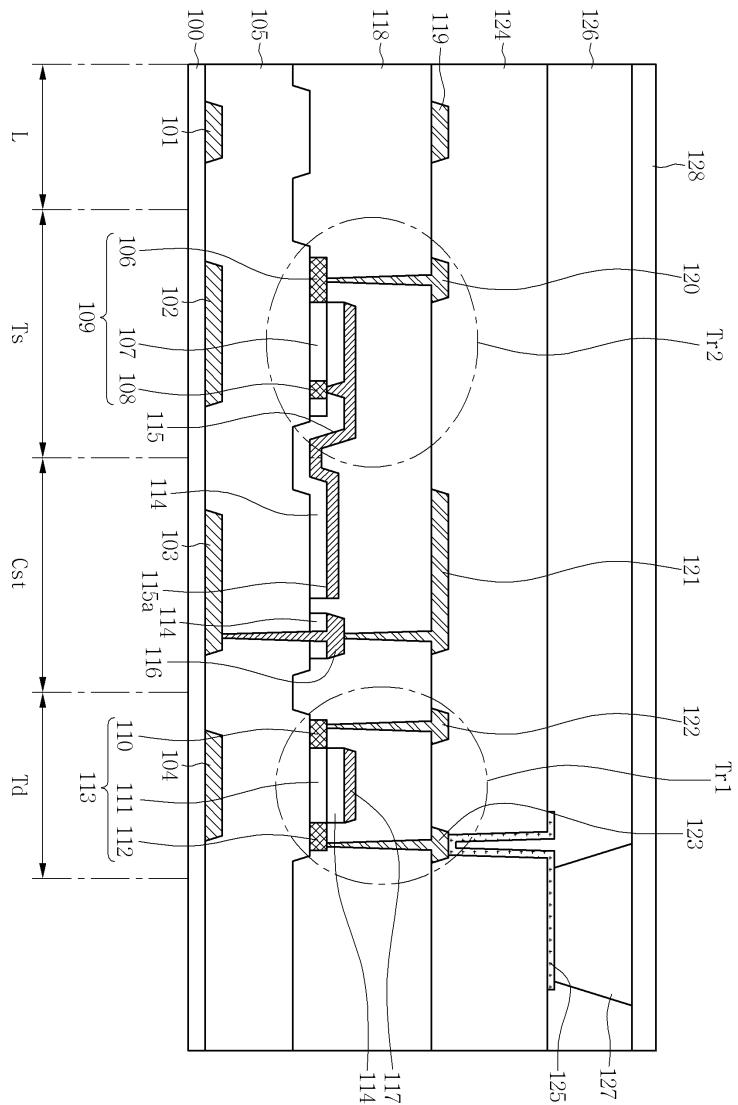
- [0098] 그리고, 상기 충간절연막(217) 상에 형성된 컨택홀을 통해, 상기 제 1 반도체층(209)에 제 1 소스전극(222) 및 제 1 드레인전극(223)이 연결되고, 상기 제 2 반도체층(205)에 제 2 소스전극(219) 및 제 2 드레인전극(220)이 연결된다. 이를 통해, 상기 제 1 소스전극(222) 및 제 1 드레인전극(223)은 상기 제 1 반도체층(209)과 전기적으로 연결되고, 상기 제 2 소스전극(219) 및 제 2 드레인전극(220)은 상기 제 2 반도체층(205)과 전기적으로 연결될 수 있다.
- [0099] 이 때, 상기 제 2 드레인전극(220)은 상기 캐패시터 영역(Cst)까지 연장되어 배치된다. 여기서, 상기 캐패시터 영역(Cst)에 배치된 제 2 드레인전극(220)은 제 2 캐패시터 전극(220a)일 수 있다.
- [0100] 또한, 상기 배선영역(L) 상에 데이터 배선(218)이 배치된다. 이 때, 상기 데이터 배선(218)은 상기 제 1 및 제 2 소스전극(222, 219) 및 제 1 및 제 2 드레인전극(223, 220)과 동일층 배치되고, 동일물질로 이루어질 수 있다. 또한, 상기 데이터 배선(218)은 상기 배선영역(L)에서 상기 게이트 배선(201)과 중첩하여 배치된다.
- [0101] 이와 같이, 상기 제 1 박막 트랜지스터(Tr1)는 탑 게이트 구조로 구성될 수 있다. 또한, 상기 제 2 박막 트랜지스터(Tr2)는 바텀 게이트 구조로 구성될 수 있다.
- [0102] 상기 제 1 박막 트랜지스터(Tr1)와 제 2 박막 트랜지스터(Tr2)를 포함하는 기판 상에 평탄화막(224)이 배치된다. 여기서, 상기 평탄화막(224)은 상기 베퍼층(204)과 동일한 두께로 형성될 수 있다. 이를 통해, 박막 트랜지스터 기판의 기생 캐패시턴스를 줄일 수 있다.
- [0103] 그리고, 상기 평탄화막(224) 상에는 컨택홀을 통해 상기 제 1 박막 트랜지스터(Tr1)의 드레인 전극(223)과 연결되는 유기전계발광 소자의 제 1 전극(226)이 배치된다. 그리고, 상기 캐패시터 영역(Cst) 상에는 제 3 캐패시터 전극(225)이 배치된다. 이 때, 상기 제 3 캐패시터 전극(225)은 연결부(221)를 통해 상기 제 1 캐패시터 전극(215)과 연결된다.
- [0104] 또한, 상기 평탄화막(224) 상에는 상기 제 1 전극(226)의 상면의 일부를 노출하는 뱅크 패턴(126)이 배치된다. 그리고, 노출된 상기 제 1 전극(226)의 상면의 일부에 유기발광층(127)이 배치된다. 또한, 상기 유기발광층(127)을 포함하는 기판 상에는 유기전계발광 소자의 제 2 전극(128)이 배치될 수 있다.
- [0105] 여기서, 유기전계발광 표시장치는 상기 유기전계발광 소자를 포함하는 박막 트랜지스터 어레이 기판과 대향하여 배치되는 컬러필터 어레이 기판을 포함한다.
- [0106] 본 발명에 따른 유기전계발광 표시장치는 탑 게이트 구조의 제 1 박막 트랜지스터(Tr1) 및 바텀 게이트 구조의 제 2 박막 트랜지스터(Tr2)를 형성함으로써, 배선영역(L)과 스위칭 박막 트랜지스터 영역(Ts)에서 형성되는 기생 캐패시턴스를 저감하는 동시에, 캐패시터 용량을 유지할 수 있는 효과가 있다. 이를 통해, 본 발명에 따른 유기전계발광 표시장치는 캐패시터 용량을 유지하면서 고속구동 할 수 있는 효과가 있다.
- [0107] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사항을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

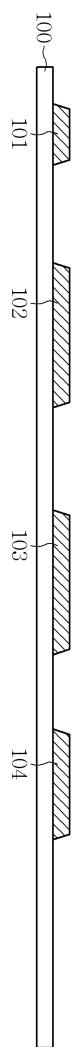
- [0108] 102: 제 2 게이트 전극 109: 제 2 반도체층
 113: 제 1 반도체층 117: 제 1 게이트 전극
 125: 제 1 전극 127: 유기발광층
 128: 제 2 전극

도면

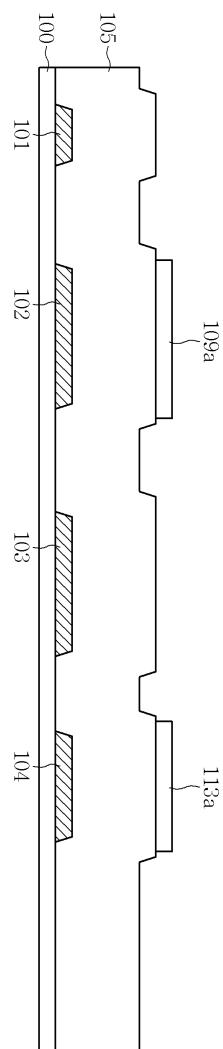
도면1



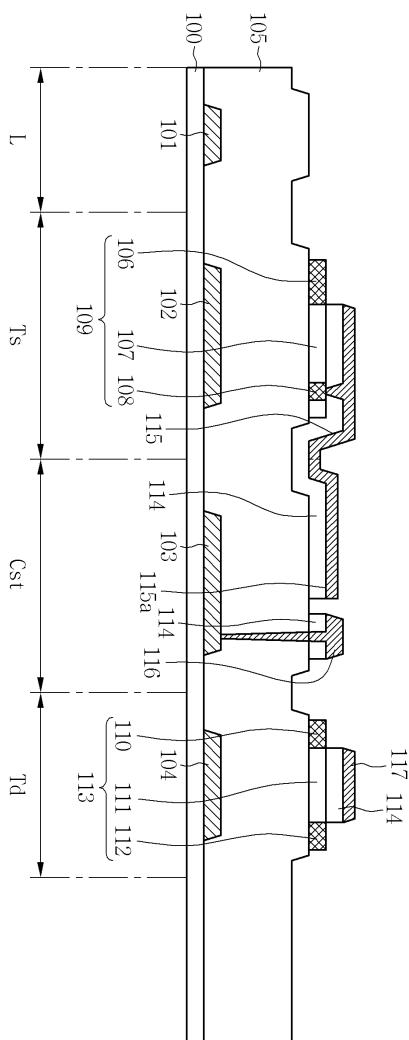
도면2a



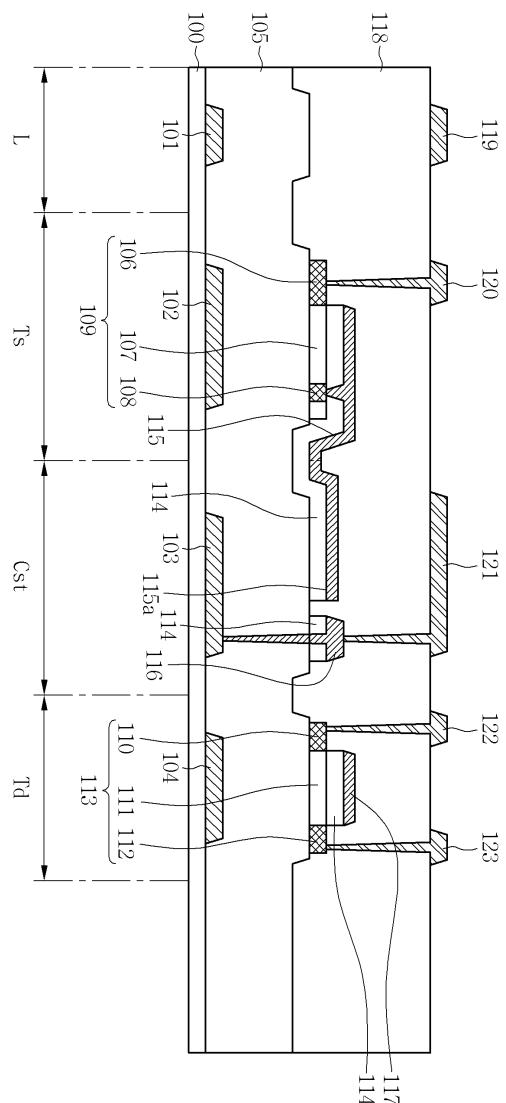
도면2b



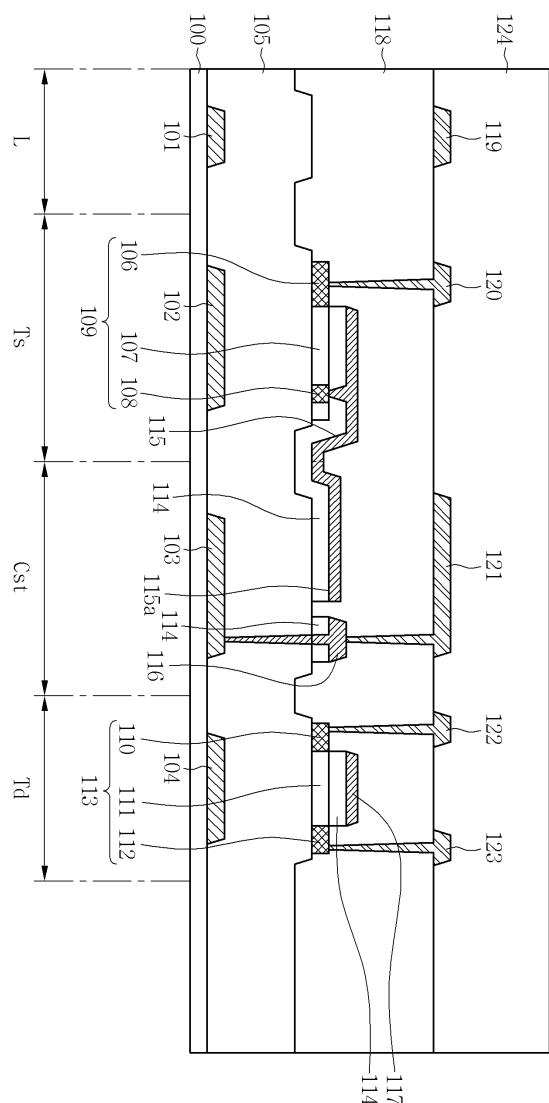
도면2c



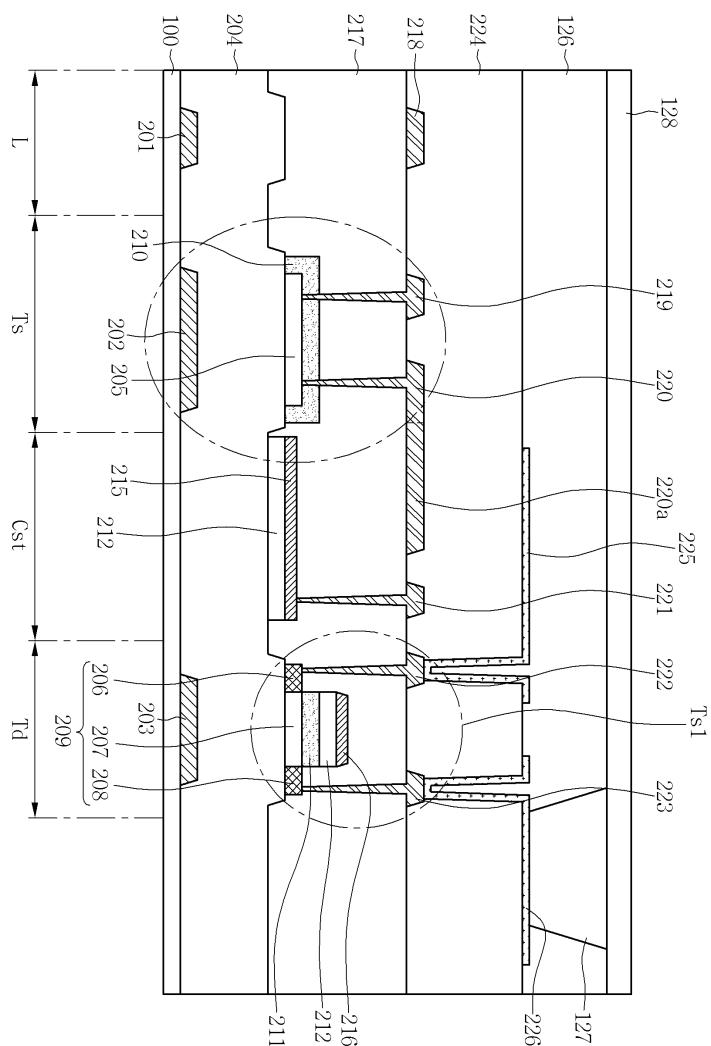
도면2d



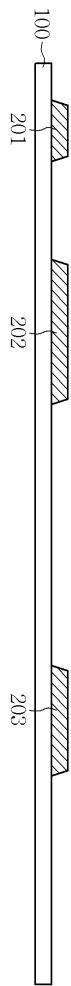
도면2e



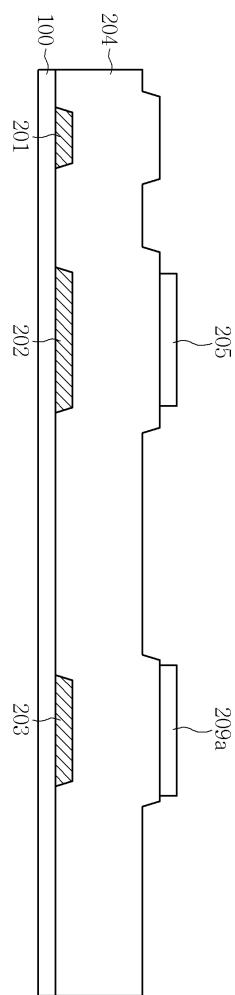
도면3



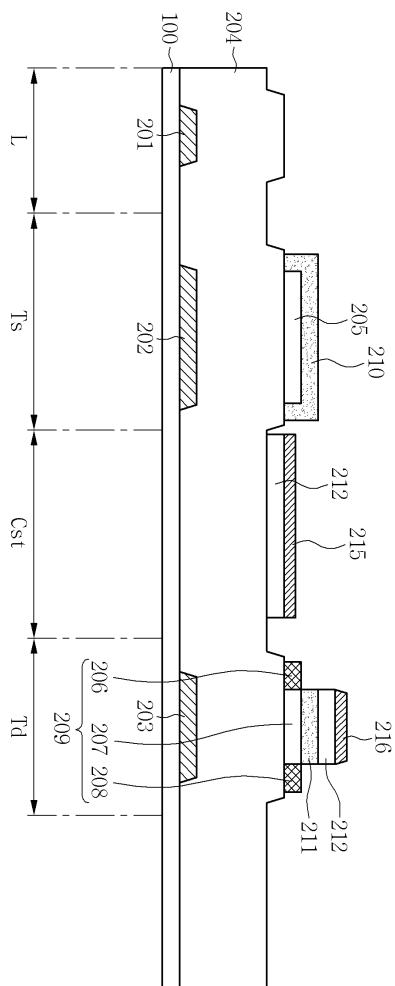
도면4a



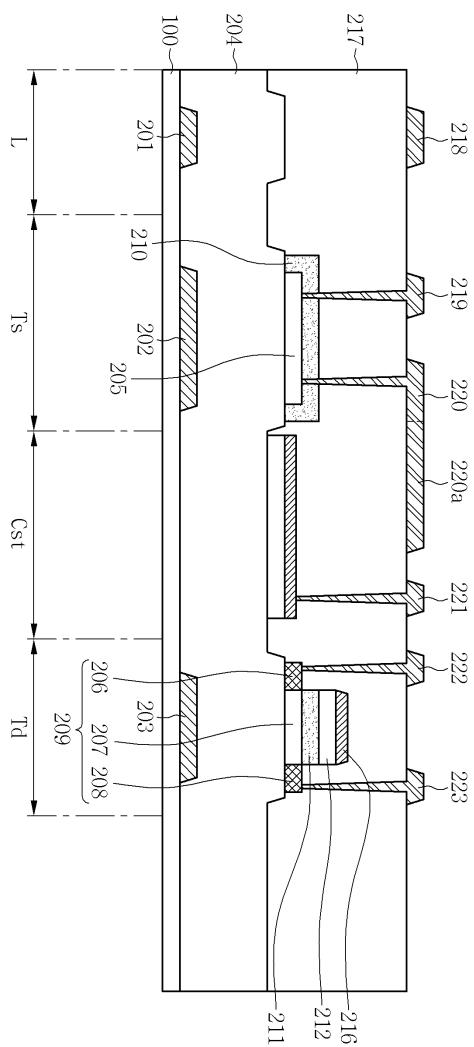
도면4b



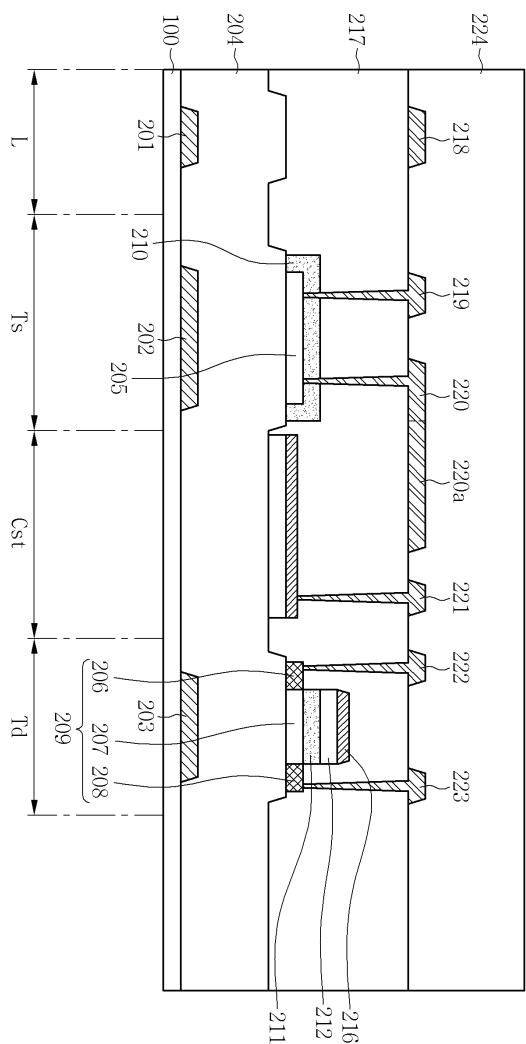
도면4c



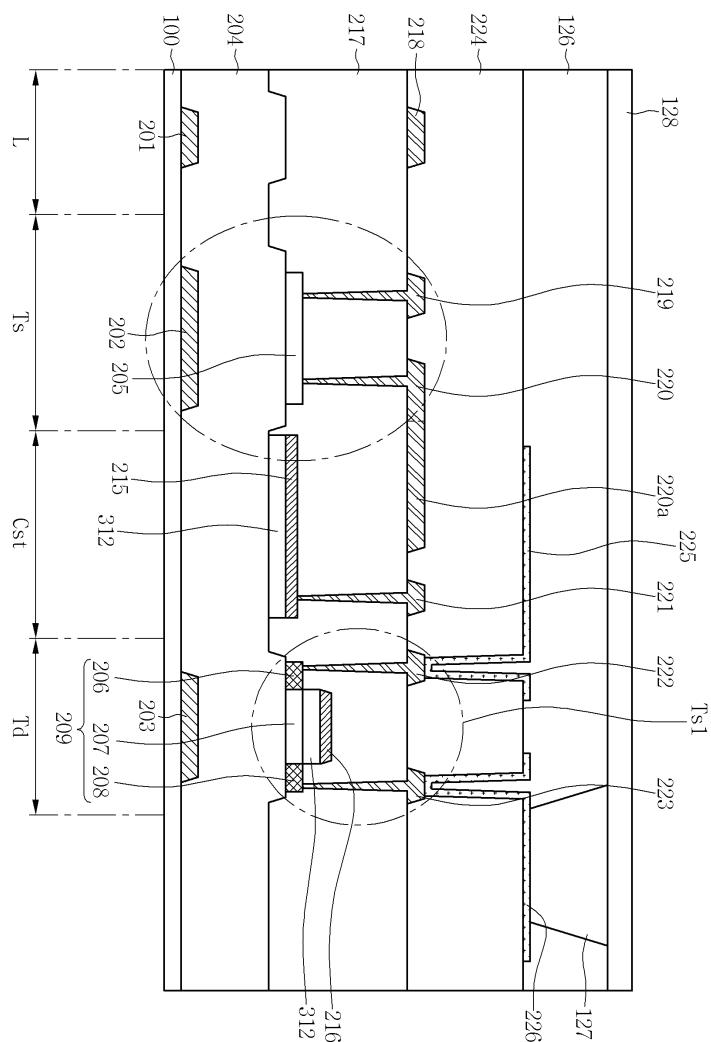
도면4d



도면4e



도면5



专利名称(译)	标题 : 薄膜晶体管阵列基板和具有该基板的有机发光显示装置		
公开(公告)号	KR1020160053383A	公开(公告)日	2016-05-13
申请号	KR1020140151943	申请日	2014-11-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BAE JONG UK 배종욱 PARK SE HEE 박세희 YUN PIL SANG 윤필상		
发明人	배종욱 박세희 윤필상		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/1251 H01L27/124 H01L27/1255 H01L27/3244		
代理人(译)	谁召기문Ki月亮		
外部链接	Espacenet		

摘要(译)

本发明公开了一种薄膜晶体管阵列基板和具有该基板的有机发光显示装置。本发明的薄膜晶体管阵列基板和包括有机薄膜晶体管阵列基板的有机发光显示装置包括有机电致发光装置，该有机电致发光装置包括第一电极，有机发光层和第二电极，第一薄膜晶体管包括第一半导体层和设置在第一半导体层上的第一栅电极。第二薄膜晶体管连接到第一薄膜晶体管并包括第二半导体层和设置在第二半导体层下面的第二栅电极。因此，可以提供能够高速驱动的薄膜晶体管和有机发光显示装置。

