



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0128038

(43) 공개일자 2015년11월18일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0054743

(22) 출원일자 2014년05월08일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

한전필

서울특별시 강동구 고덕로80길 13, 351동 201호
(상일동, 주공아파트)

류호진

경기도 파주시 가람로 22, 101동 901호 (와동동,
가람마을1단지벽산한라아파트)

(74) 대리인

박영복

전체 청구항 수 : 총 10 항

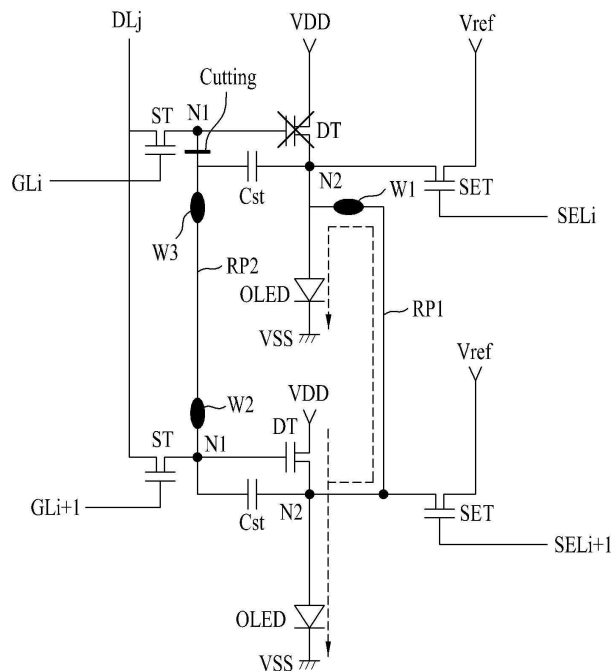
(54) 발명의 명칭 유기 전계 발광 표시 장치 및 그의 리페어 방법

(57) 요약

본 발명은 휘도 편차 및 경사 변화를 줄일 수 있는 유기 전계 발광 표시 장치 및 그 리페어 방법에 관한 것으로, 본 발명에 따른 유기 발광 표시 장치의 제조 방법은 게이트 라인 및 데이터 라인의 교차로 마련된 서브 화소 영역에 형성되며 애노드 전극 및 캐소드 전극을 가지는 발광 소자와, 게이트 라인에 인가되는 스캔 신호에 응답하

(뒷면에 계속)

대표도 - 도5



여 상기 데이터 라인에 인가되는 데이터 전압을 제1 노드로 공급하는 스위칭 트랜지스터와, 제1 노드의 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터와, 제1 노드에 접속된 제1 단자와, 애노드 전극과 접속된 제2 노드에 접속된 제2 단자를 포함하는 스토리지 커패시터와, 게이트 라인 및 데이터 라인 중 어느 하나를 사이에 두고 인접한 서브 화소들 각각의 상기 제1 노드들 사이와, 제2 노드들 사이에 형성되는 리페어 패턴을 포함하는 유기 전계 발광 표시 장치를 형성하는 단계와; 서브 화소들의 불량 유무를 판단하는 단계와; 상기 서브 화소들 중 구동 박막트랜지스터에 불량이 발생된 불량 서브 화소의 구동 박막트랜지스터의 게이트 전극과 제1 노드를 분리하는 단계와; 게이트 라인 및 데이터 라인 중 어느 하나를 사이에 두고 인접한 서브 화소들 각각의 상기 제1 노드들 사이와, 제2 노드들 사이를 상기 리페어 패턴을 이용하여 전기적으로 연결하는 단계를 포함하는 것을 특징으로 한다.

명세서

청구범위

청구항 1

기관 상에 서로 교차하도록 형성되어 서브 화소 영역을 마련하는 게이트 라인 및 데이터 라인과;

상기 서브 화소 영역에 형성되며 애노드 전극 및 캐소드 전극을 가지는 발광 소자와;

상기 게이트 라인에 인가되는 스캔 신호에 응답하여 상기 데이터 라인에 인가되는 데이터 전압을 제1 노드로 공급하는 스위칭 트랜지스터와;

상기 제1 노드의 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터와;

상기 제1 노드에 접속된 제1 단자와, 상기 애노드 전극과 접속된 제2 노드에 접속된 제2 단자를 포함하는 스토리지 커패시터와;

상기 게이트 라인 및 데이터 라인 중 어느 하나를 사이에 두고 인접한 서브 화소들 각각의 상기 제1 노드들 사이와, 상기 제2 노드들 사이에 형성되는 리페어 패턴을 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 리페어 패턴은

상기 제2 노드들 사이에 형성되는 제1 리페어 패턴과;

상기 제1 노드들 사이에 형성되는 제2 리페어 패턴을 구비하며,

상기 제1 및 제2 리페어 패턴은 상기 애노드 전극과 동일 재질로 동일층에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 제2 리페어 패턴은

상기 서로 다른 색을 구현하는 인접한 서브 화소들 사이에 위치하는 데이터 라인들 또는 게이트 라인들 사이에 형성되는 연결부와;

상기 연결부 양측에 형성되며 상기 서로 동일 색을 구현하는 인접한 서브 화소들 각각의 스토리지 커패시터의 제1 단자와 중첩되는 공유부를 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 구동 박막트랜지스터에 불량이 발생한 경우,

상기 불량 발생된 구동 박막트랜지스터와 접속된 상기 스위칭 트랜지스터를 통해 상기 스토리지 커패시터로의 전압 인가를 차단하고,

상기 불량 발생된 불량 서브 화소와, 그 불량 서브 화소와 게이트 라인 또는 데이터 라인을 사이에 두고 인접한 정상 서브 화소 각각의 애노드 전극을 상기 제1 리페어 패턴을 통해 서로 연결하고,

상기 불량 서브 화소 및 상기 정상 서브 화소 각각의 상기 스토리지 커패시터를 상기 제2 리페어 패턴을 통해 병렬로 연결하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 구동 박막트랜지스터에 불량이 발생한 경우, 상기 각 서브 화소의 스토리지 커패시터와 병렬로 연결되는 리페어 커패시터를 추가로 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6

게이트 라인 및 데이터 라인의 교차로 마련된 서브 화소 영역에 형성되며 애노드 전극 및 캐소드 전극을 가지는 발광 소자와, 상기 게이트 라인에 인가되는 스캔 신호에 응답하여 상기 데이터 라인에 인가되는 데이터 전압을 제1 노드로 공급하는 스위칭 트랜지스터와, 상기 제1 노드의 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터와, 상기 제1 노드에 접속된 제1 단자와, 상기 애노드 전극과 접속된 제2 노드에 접속된 제2 단자를 포함하는 스토리지 커패시터와, 상기 게이트 라인 및 데이터 라인 중 어느 하나를 사이에 두고 인접한 서브 화소들 각각의 상기 제1 노드들 사이와, 상기 제2 노드들 사이에 형성되는 리페어 패턴을 포함하는 유기 전계 발광 표시 장치를 형성하는 단계와;

상기 서브 화소들의 불량 유무를 판단하는 단계와;

상기 서브 화소들 중 상기 구동 박막트랜지스터에 불량인 불량 서브 화소의 구동 박막트랜지스터의 게이트 전극과 상기 제1 노드를 분리하는 단계와;

상기 게이트 라인 및 데이터 라인 중 어느 하나를 사이에 두고 인접한 서브 화소들 각각의 상기 제1 노드들 사이와, 상기 제2 노드들 사이를 상기 리페어 패턴을 이용하여 전기적으로 연결하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 리페어 방법.

청구항 7

제 6 항에 있어서,

상기 리페어 패턴을 포함하는 유기 전계 발광 표시 장치를 형성하는 단계는

상기 애노드 전극과 동일 재질로 동일층으로, 상기 제2 노드들 사이에 위치하는 제1 리페어 패턴과, 상기 제1 노드들 사이에 위치하는 제2 리페어 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 리페어 방법.

청구항 8

제 7 항에 있어서,

상기 제2 리페어 패턴을 형성하는 단계는

상기 서로 다른 색을 구현하는 인접한 서브 화소들 사이에 위치하는 데이터 라인들 또는 게이트 라인들 사이에 형성되는 연결부와, 상기 연결부 양측에 형성되며 상기 서로 동일 색을 구현하는 인접한 서브 화소들 각각의 스토리지 커패시터의 제1 단자와 중첩되는 공유부를 가지는 제2 리페어 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 리페어 방법.

청구항 9

제 8 항에 있어서,

상기 제1 노드들 사이와, 상기 제2 노드들 사이를 상기 리페어 패턴을 이용하여 전기적으로 연결하는 단계는

상기 불량인 불량 서브 화소와, 그 불량 서브 화소와 게이트 라인 또는 데이터 라인을 사이에 두고 인접한 정상 서브 화소 각각의 애노드 전극을 상기 제1 리페어 패턴을 통해 서로 연결하고,

상기 불량 서브 화소 및 상기 정상 서브 화소 각각의 상기 스토리지 커패시터를 상기 제2 리페어 패턴을 통해 병렬로 연결하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 구동 박막트랜지스터에 불량이 발생한 경우, 상기 각 서브 화소의 스토리지 커패시터와 리페어 커패시터를 레이저 웰딩 공정을 통해 병렬로 연결하는 단계를 추가로 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그의 제조 방법에 관한 것으로, 특히 휘도 편차 및 경사 변화를 줄일 수 있는 유기 전계 발광 표시 장치 및 그 리페어 방법에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 전계 발광 표시 장치 등이 각광받고 있다.

[0003] 유기 발광 표시 장치는 다수의 서브 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 여기서, 각 서브 화소는 발광 소자와, 그 발광 소자를 독립적으로 구동하는 다수의 트랜지스터로 이루어진 화소 구동부를 구비한다. 이러한 화소 구동부에 포함된 트랜지스터 형성시 소스 및 드레인 전극의 패터닝 불량으로 인해 소스 및 드레인 전극이 분리되지 않거나, 박막트랜지스터 부위에 도전성 이물이 남아 구동이 불량한 트랜지스터가 종종 발생된다. 이러한 불량 트랜지스터를 가지는 불량 서브 화소 발생시, 불량 서브 화에 정상 서브 화소의 전류가 분배되도록 서로 인접한 불량 서브 화소와 정상 서브 화소를 연결하는 리페어 공정을 실시한다. 그러나, 정상 화소의 전류를 불량 화소에 분배하게 되면, 리페어 공정을 통해 서로 연결된 정상 화소와 불량 화소 각각에 흐르는 전류량이 불량 화소와 인접하지 않은 다른 정상 화소와 대비하여 약 1/2로 줄어들어 휘도 편차 및 경사 변화가 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 휘도 편차 및 경사 변화를 줄일 수 있는 유기 전계 발광 표시 장치 및 그 리페어 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치는 기관 상에 서로 교차하도록 형성되어 서브 화소 영역을 마련하는 게이트 라인 및 데이터 라인과; 상기 서브 화소 영역에 형성되며 애노드 전극 및 캐소드 전극을 가지는 발광 소자와; 상기 게이트 라인에 인가되는 스캔 신호에 응답하여 상기 데이터 라인에 인가되는 데이터 전압을 제1 노드로 공급하는 스위칭 트랜지스터와; 상기 제1 노드의 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터와; 상기 제1 노드에 접속된 제1 단자와, 상기 애노드 전극과 접속된 제2 노드에 접속된 제2 단자를 포함하는 스토리지 커패시터와; 상기 게이트 라인 및 데이터 라인 중 어느 하나를 사이에 두고 인접한 서브 화소들 각각의 상기 제1 노드들 사이와, 상기 제2 노드들 사이에 형성되는 리페어 패턴을 구비하는 것을 특징으로 한다.

[0006] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 유기 전계 발광 표시 장치의 제조 방법은 게이트 라인 및 데이터 라인의 교차로 마련된 서브 화소 영역에 형성되며 애노드 전극 및 캐소드 전극을 가지는 발광 소자와, 상기 게이트 라인에 인가되는 스캔 신호에 응답하여 상기 데이터 라인에 인가되는 데이터 전압을 제1 노드로 공급하는 스위칭 트랜지스터와, 상기 제1 노드의 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터와, 상기 제1 노드에 접속된 제1 단자와, 상기 애노드 전극과 접속된 제2 노드에 접속된 제2 단자를 포함하는 스토리지 커패시터와, 상기 게이트 라인 및 데이터 라인 중 어느 하나를 사이에 두고 인접한 서브 화소들 각각의 상기 제1 노드들 사이와, 상기 제2 노드들 사이에 형성되는 리페어 패턴을 포함하는 유기 전계 발광 표시 장치를 형성하는 단계와; 상기 서브 화소들의 불량 유무를 판단하는 단계와; 상기 서브 화소들 중 상기 구동 박막

트랜지스터에 불량이 발생된 불량 서브 화소의 구동 박막트랜지스터의 게이트 전극과 상기 제1 노드를 분리하는 단계와; 상기 게이트 라인 및 데이터 라인 중 어느 하나를 사이에 두고 인접한 서브 화소들 각각의 상기 제1 노드들 사이와, 상기 제2 노드들 사이를 상기 리페어 패턴을 이용하여 전기적으로 연결하는 단계를 포함하는 것을 특징으로 한다.

[0007] 상기 리페어 패턴은 상기 제2 노드들 사이에 형성되는 제1 리페어 패턴과; 상기 제1 노드들 사이에 형성되는 제2 리페어 패턴을 구비하며, 상기 제1 및 제2 리페어 패턴은 상기 애노드 전극과 동일 재질로 동일층에 형성되는 것을 특징으로 한다.

[0008] 상기 제2 리페어 패턴은 상기 서로 다른 색을 구현하는 인접한 서브 화소들 사이에 위치하는 데이터 라인들 또는 게이트 라인들 사이에 형성되는 연결부와; 상기 연결부 양측에 형성되며 상기 서로 동일 색을 구현하는 인접한 서브 화소들 각각의 스토리지 커패시터의 제1 단자와 중첩되는 공유부를 구비하는 것을 특징으로 한다.

[0009] 상기 구동 박막트랜지스터에 불량이 발생한 경우, 상기 불량이 발생된 구동 박막트랜지스터와 접속된 상기 스위칭 트랜지스터를 통해 상기 스토리지 커패시터로의 전압 인가를 차단하고, 상기 불량이 발생된 불량 서브 화소와, 그 불량 서브 화소와 게이트 라인 또는 데이터 라인을 사이에 두고 인접한 정상 서브 화소 각각의 애노드 전극을 상기 제1 리페어 패턴을 통해 서로 연결하고, 상기 불량 서브 화소 및 상기 정상 서브 화소 각각의 상기 스토리지 커패시터를 상기 제2 리페어 패턴을 통해 병렬로 연결하는 것을 특징으로 한다.

[0010] 상기 구동 박막트랜지스터에 불량이 발생한 경우, 상기 각 서브 화소의 스토리지 커패시터와 병렬로 연결되는 리페어 커패시터를 추가로 구비하는 것을 특징으로 한다.

발명의 효과

[0011] 본 발명의 유기 발광 표시 장치 및 그 리페어 방법은 인접한 서브 화소들 각각의 상기 제1 노드들 사이와, 상기 제2 노드들 사이를 리페어 패턴을 이용하여 전기적으로 연결한다. 즉, 불량 서브 화소와 정상 서브 화소 각각의 스토리지 커패시터가 병렬로 연결됨으로써 구동 트랜지스터의 제2 게이트 전극에 공급되는 데이터 전달량이 높아지며, 높아진 데이터 전달량에 의해 같은 데이터 전압 대비 더 많은 전류를 발광 소자에 공급할 수 있다. 이에 따라, 본 발명은 데이터 전압 대비 많은 전류를 공급할 수 있어 종래보다 휘도 및 경시 변화 편차를 개선할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 제1 실시 예에 따른 유기 전계 발광 표시 장치를 나타내는 블록도이다.
 도 2는 도 1에 도시된 유기 전계 발광 표시 장치의 화소 회로를 설명하기 위한 도면이다.
 도 3은 도 2에 도시된 화소 회로를 나타내는 평면도이다.
 도 4는 도 3에서 선 "I-I'", "II-II'", "III-III'"를 따라 절단한 유기 전계 발광 표시 장치를 나타내는 단면도이다.
 도 5는 도 2에 도시된 화소 회로의 리페어 방법을 설명하기 위한 회로도이다.
 도 6은 도 3에 도시된 화소 회로의 리페어 방법을 설명하기 위한 평면도이다.
 도 7은 도 4에 도시된 화소 회로의 리페어 방법을 설명하기 위한 단면도이다.
 도 8a 내지 도 8g는 본 발명에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
 도 9는 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치를 나타내는 회로도이다.
 도 10은 도 9에 도시된 화소 회로의 리페어 방법을 설명하기 위한 회로도이다.
 도 11은 본 발명의 제3 실시 예에 따른 유기 발광 표시 장치를 나타내는 회로도이다.
 도 12는 도 11에 도시된 화소 회로의 리페어 방법을 설명하기 위한 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다.

- [0014] 도 1은 본 발명에 따른 유기 전계 발광 표시 장치를 나타내는 블럭도이다.
- [0015] 도 1에 도시된 발광표시장치는 발광 표시 패널(102)과, 데이터 구동부(104)와, 게이트 구동부(106)와, 타이밍 제어부(108)와, 전원 공급부(110)를 포함한다.
- [0016] 타이밍 제어부(108)는 게이트 구동부(106) 및 데이터 구동부(104)의 구동 타이밍을 제어하는 다수의 제어 신호를 생성함과 아울러 화소 데이터를 정렬하여 데이터 구동부(104)에 공급한다. 여기서, 타이밍 제어부(108)에서 생성된 제어 신호들에는 게이트 구동부(106)의 구동 타이밍을 제어하기 위한 게이트 제어 신호와, 데이터 구동부(104)의 구동 타이밍을 제어하기 위한 데이터 제어 신호 등이 포함된다.
- [0017] 게이트 구동부(106)는 타이밍 제어부(108)로부터의 게이트 제어 신호에 응답하여 다수의 스캔 펄스 및 감지 펄스를 순차적으로 생성한다. 게이트 구동부(106)는 발광 표시 패널(102)에 형성된 게이트 라인들(GL1 내지 GLm)에 스캔 펄스를 순차적으로 공급하며, 감지 라인들(SEL1 내지 SELm)에 감지 펄스를 순차적으로 공급한다.
- [0018] 데이터 구동부(104)는 타이밍 제어부(108)로부터의 제어 신호 및 감마 전압을 이용하여 디지털 형태의 화소 데이터를 아날로그 형태의 데이터 전압으로 변환하고, 변환된 아날로그 형태의 데이터 전압을 데이터 라인(DL)에 공급한다.
- [0019] 전원 구동부(110)는 외부로부터의 입력 전원을 이용하여 각 서브 화소 구동시 필요한 기준 전압(Vref), 고전위 전압(VDD) 및 저전위 전압(VSS)을 생성하여 각 화소에 공급한다.
- [0020] 발광 표시 패널(102)은 도 2에 도시된 바와 같이 서로 교차되는 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)과, 매트릭스 형태로 배치된 서브 화소들(SP1, SP2)을 포함한다. 각 서브 화소(SP)는 발광 소자(OLED)와, 발광 소자(OLED)에 구동전류를 공급하는 구동 트랜지스터(DT), 스위칭 트랜지스터(ST), 감지 트랜지스터(SET) 및 스토리지 커패시터(Cst)를 포함한다.
- [0021] 스위칭 트랜지스터(ST)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 전압을 스토리지 커패시터(Cst) 및 구동 트랜지스터(DT)의 게이트 전극에 공급한다. 이를 위해, 스위칭 트랜지스터(ST1)는 도 3 및 도 4에 도시된 바와 같이 게이트 라인(GL)과 접속된 제1 게이트 전극(136)과, 데이터 라인(DL)과 접속된 제1 소스 전극(138)과, 제1 소스 전극(138)과 마주하며 구동 박막 트랜지스터(DT)의 제2 게이트 전극(146) 및 스토리지 커패시터(Cst)와 접속된 제1 드레인 전극(140)과, 제1 소스 전극(138) 및 제1 드레인 전극(140) 사이에 채널부를 형성하는 제1 액티브층(134)을 구비한다.
- [0022] 여기서, 제1 액티브층(134)은 제1 채널 영역(134C)과, 그 제1 채널 영역(134C)을 사이에 두고 마주보는 제1 소스 영역(134S) 및 제1 드레인 영역(134D)을 구비한다. 제1 채널 영역(134C)은 게이트 절연막(112)을 사이에 두고 제1 게이트 전극(136)과 중첩된다. 제1 소스 영역(134S)은 n형 또는 p형 불순물이 주입되며, 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 제1 소스 콘택홀(132S)을 통해 노출되어 제1 소스 전극(138)과 접속된다. 제1 드레인 영역(134D)은 n형 또는 p형 불순물이 주입되며, 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 제1 드레인 콘택홀(132D)을 통해 노출되어 제1 드레인 전극(140)과 접속된다.
- [0023] 구동 트랜지스터(DT)는 스토리지 커패시터(Cst)에 저장된 데이터 전압에 응답하여 전원 라인(PL)으로부터 발광 소자(OLED)로 공급되는 전류를 제어함으로써 발광 소자(OLED)의 발광량을 조절하게 된다. 이를 위해, 구동 박막 트랜지스터(DT)는 도 3 및 도 4에 도시된 바와 같이 스위칭 트랜지스터(ST1)의 제1 드레인 전극(140)과 접속된 제2 게이트 전극(146), 전원 라인(PL)과 접속된 제2 소스 전극(148), 제2 소스 전극(148)과 마주하며 발광셀의 양극(122)과 접속된 제2 드레인 전극(150), 제2 소스 및 제2 드레인 전극(148, 150) 사이에 채널부를 형성하는 제2 액티브층(144S, 144D)을 구비한다.
- [0024] 여기서, 제2 게이트 전극(146)은 "U"자 형태로 형성되며, 층간 절연막(116)을 관통하는 제1 게이트 콘택홀(172a)을 통해 노출되어 스위칭 트랜지스터(ST1)의 제1 드레인 전극(140)과 접속된다. 제1 게이트 콘택홀(172a)과 중첩되는 제2 액티브층의 채널 영역은 제거되어 제1 게이트 콘택홀(172a) 형성시 제2 액티브층이 노출되어 제2 게이트 전극(146)과 제2 액티브층이 쇼트되는 것을 방지할 수 있다.
- [0025] 제2 소스 전극(148)은 층간 절연막(116)을 관통하여 전원 라인(PL)을 노출시키는 제2 게이트 콘택홀(172b)을 통해 전원 라인(PL)과 접속되며, 층간 절연막(116) 및 게이트 절연막(112)을 관통하여 제2 소스 영역(144S)을 노출시키는 제2 소스 콘택홀(142S)을 통해 제2 소스 영역(144S)과 접속된다.
- [0026] 제2 드레인 전극(150)은 제1 및 제2 보호막(118, 128)을 관통하는 화소 콘택홀(164)을 통해 노출되어 애노드 전극(122)과 접속되며, 층간 절연막(116) 및 게이트 절연막(112)을 관통하여 제2 드레인 영역(144D)을 노출시키는

제2 드레인 콘택홀(142D)을 통해 제2 드레인 영역(144D)과 접속된다.

- [0027] 제2 액티브층의 제2 채널 영역은 제1 게이트 콘택홀(172a)과 중첩되는 영역을 제외하고서 게이트 절연막(112)을 사이에 두고 U자 형태의 제2 게이트 전극(146)과 중첩된다. 제2 소스 영역(144S)은 n형 또는 p형 불순물이 주입되며, 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 제2 소스 콘택홀(142S)을 통해 노출되어 제2 소스 전극(138)과 접속된다. 제2 드레인 영역(144D)은 n형 또는 p형 불순물이 주입되며, 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 제2 드레인 콘택홀(142D)을 통해 노출되어 제2 드레인 전극(150)과 접속된다.
- [0028] 감지 트랜지스터(SET)는 감지 라인(SEL)에 감지 펄스가 공급되면 턴온되어 제2 노드(N2)의 전압, 즉 구동 트랜지스터(DT)의 문턱 전압 및 발광 소자의 문턱전압을 감지한다. 즉, 감지 트랜지스터(SET)가 턴온되면, 제2 노드, 감지 트랜지스터(SET) 및 기준 전압(Vref) 라인으로의 전류 패스가 형성되어 데이터 드라이버(104) 또는 타이밍 제어부(108)는 전류 패스를 통해 흐르는 전류를 감지하여 구동 트랜지스터(DT)의 문턱 전압 및 발광 소자(OLED)의 문턱전압을 감지한다. 감지된 문턱 전압을 기초로 데이터 전압은 보상되며, 보상된 데이터 전압은 데이터 라인(DL)에 공급된다.
- [0029] 이를 위해, 감지 트랜지스터(SET)는 도 3 및 도 4에 도시된 바와 같이 감지 라인(SEL)과 접속된 제3 게이트 전극(156), 기준 전압 라인(VL)과 접속된 제3 소스 전극(158), 제3 소스 전극(158)과 마주하는 제3 드레인 전극(160), 제3 소스 및 제3 드레인 전극(158,160) 사이에 채널부를 형성하는 제3 액티브층(154S,154D)을 구비한다.
- [0030] 제3 게이트 전극(156)은 게이트 라인(GL)과 나란한 감지 라인(SEL)과 접속된다. 제3 소스 전극(158)은 층간 절연막(116) 및 게이트 절연막(112)을 관통하여 제3 소스 영역(154S)을 노출시키는 제3 소스 콘택홀(152S)을 통해 제2 소스 영역(154S)과 접속된다. 제3 드레인 전극(160)은 구동 트랜지스터의 제2 드레인 전극(150)으로부터 연장되어 형성되며, 층간 절연막(116) 및 게이트 절연막(112)을 관통하여 제3 드레인 영역(154D)을 노출시키는 제3 드레인 콘택홀(152D)을 통해 제3 드레인 영역(154D)과 접속된다.
- [0031] 제3 액티브층(154)의 제3 채널 영역(154C)은 게이트 절연막(112)을 사이에 두고 제3 게이트 전극(156)과 중첩된다. 제3 소스 영역(154S)은 n형 또는 p형 불순물이 주입되며, 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 제3 소스 콘택홀(152S)을 통해 노출되어 제3 소스 전극(158)과 접속된다. 제3 드레인 영역(154D)은 n형 또는 p형 불순물이 주입되며, 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 제3 드레인 콘택홀(152D)을 통해 노출되어 제3 드레인 전극(160)과 접속된다.
- [0032] 스토리지 캐패시터(Cst)는 제1 노드(N1)에 접속된 제1 단자와, 제2 노드(N2)에 접속된 제2 단자를 구비하여 제1 및 제2 노드(N1,N2) 간의 차전압을 저장한다. 즉, 스토리지 캐패시터(Cst)는 구동 트랜지스터(DT)의 제2 드레인 전극(150)과 구동 트랜지스터(DT)의 제2 게이트 전극(146)이 게이트 절연막(112)을 사이에 두고 중첩됨으로써 형성된다. 이러한 스토리지 캐패시터(Cst)에 충전된 전압에 의해 스위칭 트랜지스터(ST)가 턴-오프되더라도 구동 트랜지스터(DT)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 발광 소자(OLED)의 발광을 유지하게 한다.
- [0033] 발광 소자(OLED)는 구동 트랜지스터(DT)의 제2 드레인 전극(150)과 접속된 애노드 전극(122)과, 애노드 전극(122) 상에 형성되는 유기 발광층(도시하지 않음)과, 유기 발광층 위에 형성되며 저전위 전압(VSS)과 접속된 캐소드 전극(도시하지 않음)을 구비한다. 유기 발광층은 애노드 전극(122) 위에 적층된 정공 관련층, 발광층, 전자 관련층 순으로 또는 역순으로 구성된다.
- [0034] 리페어 패턴은 상하로 인접한 서브화소 각각의 발광 소자(OLED)의 애노드 전극들(122) 사이, 즉 제2 노드들(N2) 사이에 형성되는 제1 리페어 패턴(RP1)과, 서로 동일한 색일 구현하는 상하로 인접한 서브 화소의 구동 트랜지스터(DT)의 게이트 전극들 사이, 즉 제1 노드들(N1) 사이에 형성되는 제2 리페어 패턴(RP2)을 구비한다.
- [0035] 제1 리페어 패턴(RP1)은 정상 서브 화소의 애노드 전극(122)으로부터 구동 트랜지스터(DT)에 불량이 발생된 불량 서브 화소 쪽으로 연장되어 형성된다. 이러한 제1 리페어 패턴(RP1)은 불량 서브 화소의 애노드 전극(122)과 접속된 구동 트랜지스터(DT)의 제2 드레인 전극(150)과 제1 및 제2 보호막(118,128)을 사이에 두고 중첩된다. 이에 따라, 도 5에 도시된 바와 같이 구동 트랜지스터(DT)에 불량이 발생되면, 도 5 내지 도 7에 도시된 바와 같이 불량서브 화소의 구동 트랜지스터(DT)의 제2 드레인 전극(150)과, 제1 리페어 패턴(RP1)의 중첩 영역에 레이저를 조사(W1)하는 웰딩(Welding; W1) 공정을 실시한다. 이 웰딩 공정을 통해, 구동 트랜지스터의 제2 드레인 전극(150)과 접속된 불량 서브 화소의 애노드 전극(122)과, 제1 리페어 패턴(RP1)과 접속된 정상 서브 화소의 애노드 전극(122)이 전기적으로 접속된다. 이에 따라, 게이트 라인(GL)을 기준으로 상부에 위치하는

불량 서브 화소는 게이트 라인(GL)을 기준으로 하부에 위치하는 정상 서브 화소의 발광 소자(OLED)에 공급되는 구동 전류를 공유할 수 있다. 즉, 게이트 라인(GL)을 기준으로 상부에 위치하는 서브 화소에 불량이 발생한 경우, 리페어 공정을 통해 불량 서브 화소의 애노드 전극(122)과 정상 서브 화소의 애노드 전극(122)이 전기적으로 접속됨으로써 정상 서브 화소에 공급되는 구동 전류가 제1 리페어 패턴(RP1)을 통해 불량 서브 화소의 애노드 전극(122)으로 전달되므로 그 불량 서브 화소는 정상적으로 동작하게 된다.

[0036]

제2 리페어 패턴(RP2)은 서로 다른 색을 구현하는 좌우로 인접한 서브 화소들 사이에서 공유된다. 이를 위해, 제2 리페어 패턴(RP2)은 도 3 및 도 4에 도시된 바와 같이 연결부(174)와, 연결부(174) 양측에 형성되는 공유부(176)를 구비한다. 연결부(174)는 서로 다른 색을 구현하는 좌우로 인접한 서브 화소의 데이터 라인들(DLj, DLj+1) 사이에 형성된다. 공유부(176)는 좌우로 인접한 서브 화소들 각각의 스위칭 트랜지스터(ST)의 제1 드레인 전극(140)으로부터 연장된 스토리지 커패시터의 제1 단자(166)와 중첩된다. 이 연결부(174) 및 공유부(176)는 제2 보호막(128) 상에 애노드 전극(122)과 동일 재질의 투명 도전막으로 형성된다. 이러한 제2 리페어 패턴(RP2)의 공유부(176)는 구동 트랜지스터(DT)에 불량이 발생한 불량 서브 화소(SP1)의 스토리지 커패시터의 제1 단자(166)와, 게이트 라인(GL)을 기준으로 불량 서브 화소(SP1)보다 하부에 위치하는 정상 서브 화소(SP2)의 스토리지 커패시터(Cst)의 제1 단자(166) 각각과의 중첩 영역에 레이저 웰딩(laser welding; W2, W3)을 실시한다. 이 레이저 웰딩(W2, W3)을 통해, 게이트 라인(GL)을 기준으로 상/하부로 위치하는 불량 및 정상 서브 화소 각각의 스토리지 커패시터(Cst)의 제1 단자(166)와 제2 리페어 패턴(RP2)의 공유부(176)가 전기적으로 연결된다. 이에 따라, 게이트 라인(GL)을 기준으로 상부에 위치하는 불량 서브 화소(SP1)의 스토리지 커패시터는 게이트 라인(GL)을 기준으로 하부에 위치하는 정상 서브 화소(SP2)의 구동 트랜지스터(DT)의 스토리지 커패시터와 병렬 연결된다. 병렬 연결된 불량 서브 화소(SP1)의 스토리지 커패시터와 정상 서브 화소(SP2)의 스토리지 커패시터의 총용량은 불량 서브 화소와 인접하지 않은 정상 서브 화소의 스토리지 커패시터(Cst)의 용량보다 2배 증가하게 된다. 이에 따라, 각 서브 화소의 발광 소자(OLED)의 발광 기간동안 스토리지 커패시터와 접속된 구동 트랜지스터(DT)의 제2 게이트 전극(146)에 공급되는 데이터 전달량이 표 1과 같이 높아지며, 높아진 데이터 전달량에 의해 같은 데이터 전압 대비 더 많은 전류를 발광 소자에 공급할 수 있다.

[0037]

표 1은 종래 정상 서브 화소, 종래 리페어된 서브 화소 및 본 발명의 리페어된 서브 화소의 구동 트랜지스터(DT)의 게이트-소스 전극 간 전압(Vgs)과, 발광 소자에 공급되는 구동 전류의 시뮬레이션 결과이다.

표 1

[0038]

	종래 정상 서브 화소		종래 리페어된 서브 화소		본 발명의 리페어된 서브 화소	
	Vgs[V]	Current	Vgs[V]	Current	Vgs[V]	Current
Data input time	5.07	518.03[fA]	5.07	97.963[pA]	5.07	579.47[pA]
emission time	3.85	791.95[nA]	3.90	404.32[nA]	4.45	562.47[nA]
데이터 전달률	3.85×100/5.07=75.94%		3.90×100/5.07=76.92%		4.45×100/5.07=87.74%	

[0039]

이와 같이, 본 발명은 불량 서브 화소와, 그 불량 서브 화소와 인접한 정상 서브 화소에 공급되는 각각의 전류는 불량 서브 화소의 인접하지 않은 다른 정상 서브 화소의 2/3을 초과하는 전류를 공급할 수 있다. 이에 따라, 본 발명은 같은 데이터 전압 대비 많은 전류를 공급할 수 있어 종래보다 휘도 및 경시 변화 편차를 개선할 수 있다.

[0040]

도 8a 내지 도 8g는 도 7에 도시된 본 발명의 제1 실시 예에 따른 유기 발광 표시 장치의 제조 방법을 나타낸 단면도들이다.

[0041]

도 8a를 참조하면, 기판(100) 상에 제1 마스크 공정으로 제1 내지 제3 액티브층(134, 144, 154)이 형성된다.

[0042]

구체적으로, 기판(100) 상에 증착 방법을 통해 아몰퍼스 실리콘 박막을 형성한 다음, 결정화하여 폴리 실리콘 박막을 형성한다. 그런 다음, 폴리 실리콘 박막을 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 제1 내지 제3 액티브층(134, 144, 154)이 형성된다.

[0043]

도 8b를 참조하면, 제1 내지 제3 액티브층(134, 144, 154)이 형성된 기판(101) 상에 게이트 절연막(112)이 형성되고, 그 위에 제2 마스크 공정으로 게이트 라인(GL), 감지 라인(SEL), 고전압 라인(PL), 기준 전압 라인(VL), 제1 내지 제3 게이트 전극(136, 146, 156)이 형성된다.

[0044]

구체적으로, 제1 내지 제3 액티브층(134, 144, 154)이 형성된 기판(101) 상에 게이트 절연막(116) 및 게이트 금속

층이 순차적으로 적층된다. 그런 다음, 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(GL), 감지 라인(SEL), 고전압 라인(PL), 기준 전압 라인(VL), 제1 내지 제3 게이트 전극(136, 146, 156)이 형성된다.

[0045] 그리고, 제1 내지 제3 게이트 전극(136, 146, 156)을 마스크로 이용하여 제1 내지 제3 액티브층(134, 144, 154)에 n형 또는 p형 불순물을 주입하여 제1 내지 제3 액티브층(134, 144, 154) 각각의 소스 영역(134S, 144S, 154S) 및 드레인 영역(134D, 144D, 154D)이 형성된다.

[0046] 도 8c를 참조하면, 제3 마스크 공정으로 제1 내지 제3 액티브층(134, 144, 154) 각각을 노출시키는 소스 및 드레인 콘택홀(132S, 142S, 152S, 132D, 142D, 152D)과, 제1 및 제2 게이트 콘택홀(172a, 172b)을 갖는 층간 절연막(116)이 형성된다.

[0047] 구체적으로, 게이트 라인(GL), 감지 라인(SEL), 고전압 라인(PL), 기준 전압 라인(VL), 제1 내지 제3 게이트 전극(136, 146, 156)이 형성된 게이트 절연막(112) 상에 층간 절연막(116)이 형성된다. 그 다음, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 층간 절연막(116) 및 게이트 절연막(112)을 관통하여 제1 내지 제3 액티브층(134, 144, 154) 각각의 소스 영역(134S, 144S, 154S) 및 드레인 영역(134D, 144D, 154D)을 각각 노출시키는 소스 및 드레인 콘택홀(132S, 142S, 152S, 132D, 142D, 152D)과, 구동 트랜지스터의 제2 게이트 전극(146)을 노출시키는 제1 게이트 콘택홀(172a)과, 고전압 라인(PL)을 노출시키는 제2 게이트 콘택홀(172b)이 형성된다.

[0048] 도 8d를 참조하면, 제4 마스크 공정으로 층간 절연막(118) 상에 데이터 라인(DL), 제1 내지 제3 소스 전극(138, 148, 158) 및 제1 내지 제3 드레인 전극(140, 150, 160)이 형성된다.

[0049] 구체적으로, 층간 절연막(118) 상에 소스/드레인 금속층을 형성한 후, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층을 패터닝함으로써 데이터 라인(DL), 제1 내지 제3 소스 전극(138, 148, 158) 및 제1 내지 제3 드레인 전극(140, 150, 160)이 형성된다. 제1 내지 제3 소스 전극(138, 148, 158) 각각은 제1 내지 제3 소스 콘택홀(132S, 142S, 152S) 각각을 통해 제1 내지 제3 소스 영역(134S, 144S, 154S)과 접속되며, 제1 내지 제3 드레인 전극(140, 150, 160) 각각은 제1 내지 제3 드레인 콘택홀(132D, 142D, 152D)을 각각을 통해 제1 내지 제3 드레인 영역(134D, 144D, 154D)과 접속된다.

[0050] 도 8e를 참조하면, 데이터 라인(DL), 제1 내지 제3 소스 전극(138, 148, 158) 및 제1 내지 제3 드레인 전극(140, 150, 160)이 형성된 기판(101) 상에 화소 콘택홀(164)을 가지는 제1 및 제2 보호막(118, 128)이 형성된다.

[0051] 구체적으로, 데이터 라인(DL), 제1 내지 제3 소스 전극(138, 148, 158) 및 제1 내지 제3 드레인 전극(140, 150, 160)이 형성된 기판(101) 상에 무기 절연막과, 포토 아크릴계 수지와 같은 유기 절연막이 순차적으로 형성되므로 제1 및 제2 보호막(118, 128)이 형성된다. 이어서, 제5 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 제1 및 제2 보호막(118, 128)을 패터닝함으로써 화소 콘택홀(164)이 형성된다. 이 화소 콘택홀(164)은 해당 서브 화소 영역의 구동 트랜지스터의 드레인 전극(150)을 노출시킨다.

[0052] 도 8f를 참조하면, 화소 콘택홀(164)을 가지는 제1 및 제2 보호막(118, 128)이 형성된 하부 기판(101) 상에 애노드 전극(122)과 제1 및 제2 리페어 패턴(RP1, RP2)이 형성된다.

[0053] 구체적으로, 화소 콘택홀(164)을 가지는 제1 및 제2 보호막(118, 128)이 형성된 하부 기판(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 ITO(Indium Tin Oxide; 이하, ITO), IZO(Indium Zinc Oxide; 이하, IZO) 등의 투명 도전 물질이 형성된다. 이어서, 투명 도전 물질이 제6 마스크를 이용한 포토리소그래피 공정과 식각 공정을 통해 패터닝됨으로써 애노드 전극(122)과 제1 및 제2 리페어 패턴(RP1, RP2)이 형성된다.

[0054] 그런 다음, 애노드 전극(122)과 제1 및 제2 리페어 패턴(RP1, RP2)이 형성된 기판 상에 유기 발광층 및 캐소드 전극이 순차적으로 형성된다.

[0055] 도 8g를 참조하면, 검사 공정을 통해 구동 트랜지스터에 불량 발생되면, 제1 및 제2 리페어 패턴(RP1, RP2)을 통해 리페어 공정을 진행한다.

[0056] 구체적으로, 검사 공정을 통해 구동 트랜지스터(DT)에 불량 발생되면, 불량이 발생된 불량 서브 화소의 스위칭 트랜지스터(ST)의 제1 드레인 전극(140)과, 스토리지 커패시터의 제1 단자(166) 사이에 레이저를 조사한 커팅 공정을 통해 이들을 분리한다. 그런 다음, 불량이 발생된 서브 화소의 구동 트랜지스터의 제2 드레인 전극(150)과, 애노드 전극(122)으로부터 연장된 제1 리페어 패턴(RP1)의 증착 영역에 레이저를 조사하는 웰딩 공정을 통해 이들을 서로 연결한다. 이와 동시에 불량이 발생된 서브 화소의 스토리지 커패시터(Cst)의 제1

단자와, 불량이 발생된 서브 화소와 상하로 인접한 서브 화소의 스토리지 커패시터(Cst)의 제1 단자 각각과, 제2 리페어 패턴(RP2)의 중첩 영역에 레이저를 조사하는 웰딩 공정을 통해 이들을 서로 연결한다.

[0057] 이에 따라, 게이트 라인(GL)을 기준으로 상부에 위치하는 불량 서브 화소는 게이트 라인(GL)을 기준으로 하부에 위치하는 정상 서브 화소의 발광 소자(OLED)에 공급되는 구동 전류를 공유할 수 있다. 즉, 게이트 라인(GL)을 기준으로 상부에 위치하는 서브 화소에 불량이 발생한 경우, 리페어 공정을 통해 불량 서브 화소의 애노드 전극(122)과 정상 서브 화소의 애노드 전극(122)이 전기적으로 접속됨으로써 정상 서브 화소에 공급되는 구동 전류가 제1 리페어 패턴(RP1)을 통해 불량 서브 화소의 애노드 전극(122)으로 전달되므로 그 불량 화소는 정상적으로 동작하게 된다.

[0058] 또한, 리페어 공정을 통해 불량 서브 화소의 스토리지 커패시터(Cst)의 제1 단자와, 정상 서브 화소의 스토리지 커패시터(Cst)의 제1 단자가 제2 리페어 패턴(RP2)을 통해 전기적으로 접속됨으로써 불량 서브 화소의 스토리지 커패시터 및 정상 서브 화소의 스토리지 커패시터는 병렬 연결된다.

[0059] 도 9는 본 발명의 제2 실시 예에 따른 유기 전계 발광 표시 장치를 나타내는 도면이다.

[0060] 도 9에 도시된 유기 전계 발광 표시 장치는 도 2에 도시된 유기 전계 발광 표시 장치와 대비하여 동일 색을 구현하는 서브 화소들이 게이트 라인을 따라 배열되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

[0061] 리페어 패턴은 서로 동일 색을 구현하는 좌우로 인접한 서브화소 각각의 발광 소자(OLED)의 애노드 전극들(122) 사이에 형성되는 제1 리페어 패턴(RP1)과, 좌우로 인접한 서브 화소의 구동 트랜지스터(DT)의 게이트 전극들 사이에 형성되는 제2 리페어 패턴(RP2)을 구비한다.

[0062] 제1 리페어 패턴(RP1)은 구동 트랜지스터(DT)에 불량이 발생된 불량 서브 화소와 데이터 라인을 사이에 두고 인접한 정상 서브 화소의 애노드 전극(122)으로부터 연장되어 형성된다. 이에 따라, 구동 트랜지스터(DT)에 불량이 발생되면, 도 10에 도시된 바와 같이 불량서브 화소의 애노드 전극과, 제1 리페어 패턴(RP1)의 중첩 영역에 레이저를 조사(W1)하는 웰딩(Welding) 공정을 실시한다. 이 웰딩 공정을 통해, 불량 서브 화소의 애노드 전극(122)과, 제1 리페어 패턴(RP1)과 접속된 정상 서브 화소의 애노드 전극(122)이 전기적으로 접속된다. 이에 따라, 불량 서브 화소에는 그 불량 서브 화소와 데이터 라인을 사이에 두고 인접하고 동일 색을 구현하는 정상 서브 화소의 발광 소자(OLED)에 공급되는 구동 전류를 공유할 수 있다. 즉, 데이터 라인(GL)을 기준으로 좌우에 위치하는 서브 화소들 중 어느 하나에 불량이 발생한 경우, 리페어 공정을 통해 불량 서브 화소의 애노드 전극(122)과 정상 서브 화소의 애노드 전극(122)이 전기적으로 접속됨으로써 정상 서브 화소에 공급되는 구동 전류가 제1 리페어 패턴(RP1)을 통해 불량 서브 화소의 애노드 전극(122)으로 전달되므로 그 불량 서브 화소는 정상적으로 동작하게 된다.

[0063] 제2 리페어 패턴(RP2)은 구동 트랜지스터(DT)에 불량이 발생된 불량 서브 화소(SP1)의 스토리지 커패시터의 제1 단자(166)와, 게이트 라인(GL)을 기준으로 불량 서브 화소(SP1)보다 하부에 위치하는 정상 서브 화소(SP2)의 스토리지 커패시터(Cst)의 제1 단자(166) 각각과의 중첩 영역에 레이저 웰딩(laser welding; W2, W3)을 실시한다. 이 레이저 웰딩을 통해, 데이터 라인(DL)을 기준으로 좌우로 위치하는 불량 및 정상 서브 화소 각각의 스토리지 커패시터(Cst)의 제1 단자(166)들이 서로 연결되어 불량 서브 화소(SP1)의 스토리지 커패시터와, 정상 서브 화소(SP2)의 스토리지 커패시터와 병렬 연결된다. 병렬 연결된 불량 서브 화소(SP1)의 스토리지 커패시터와 정상 서브 화소(SP2)의 스토리지 커패시터의 총용량은 개별적인 정상 서브 화소의 스토리지 커패시터(Cst)의 용량보다 2배 증가하게 된다. 이에 따라, 각 서브 화소의 발광 소자의 발광 기간동안 스토리지 커패시터와 접속된 구동 트랜지스터(DT)의 제2 게이트 전극(146)에 공급되는 데이터 전달량이 높아지며, 높아진 데이터 전달량에 의해 같은 데이터 전압 대비 더 많은 전류를 발광 소자에 공급할 수 있다. 이에 따라, 본 발명은 같은 데이터 전압 대비 많은 전류를 공급할 수 있어 종래보다 휘도 및 경시 변화 편차를 개선할 수 있다.

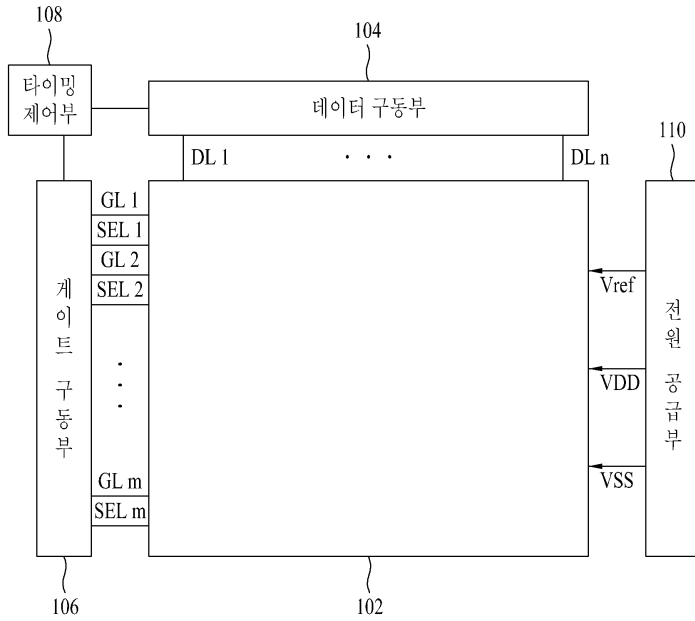
[0064] 도 11은 본 발명의 제3 실시 예에 따른 유기 전계 발광 표시 장치를 나타내는 회로도이다.

[0065] 도 11에 도시된 유기 전계 발광 표시 장치는 도 2에 도시된 유기 전계 발광 표시 장치와 대비하여 리페어 커패시터를 추가로 구비하는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

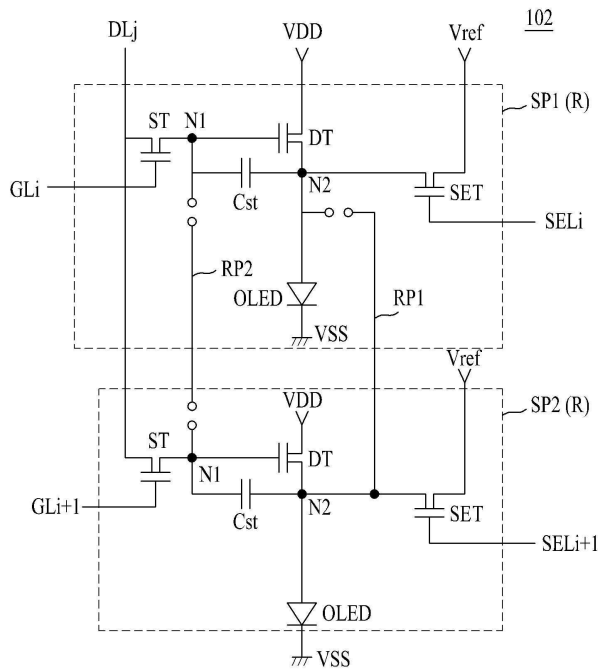
[0066] 리페어 패턴은 전술한 바와 같이 상하로 인접한 서브화소 각각의 발광 소자(OLED)의 애노드 전극들(122) 사이에 형성되는 제1 리페어 패턴(RP1)과, 서로 동일한 색일 구현하는 상하로 인접한 서브 화소의 구동 트랜지스터(DT)

도면

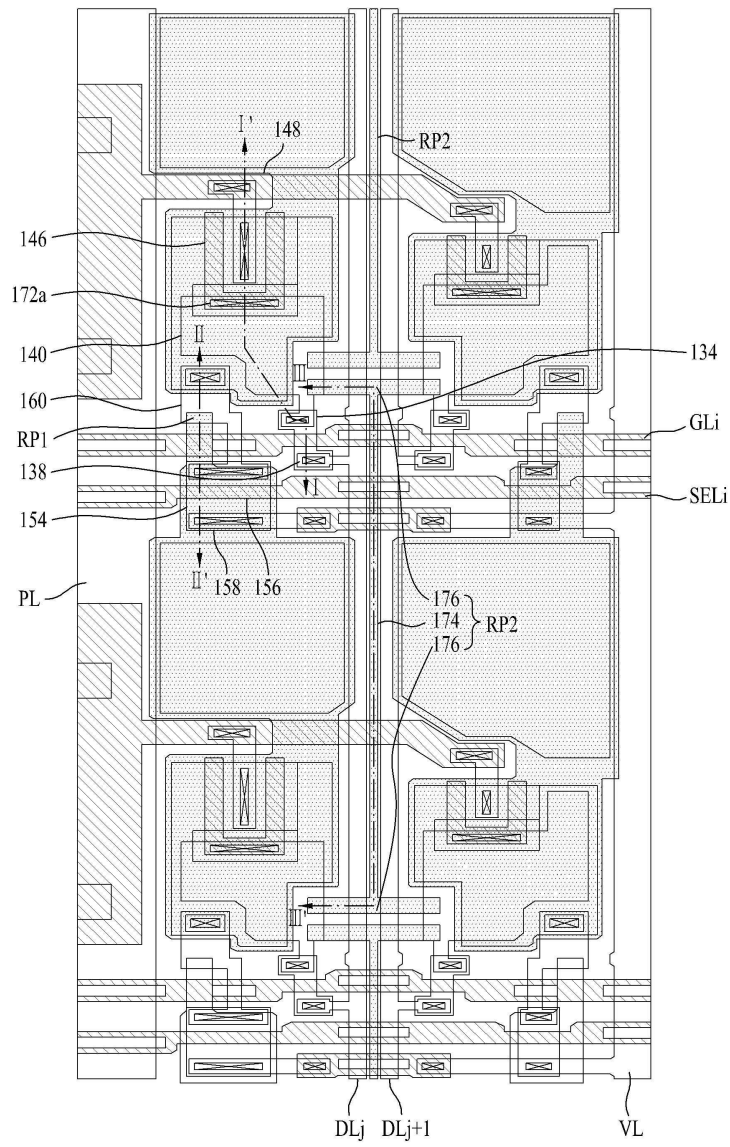
도면1



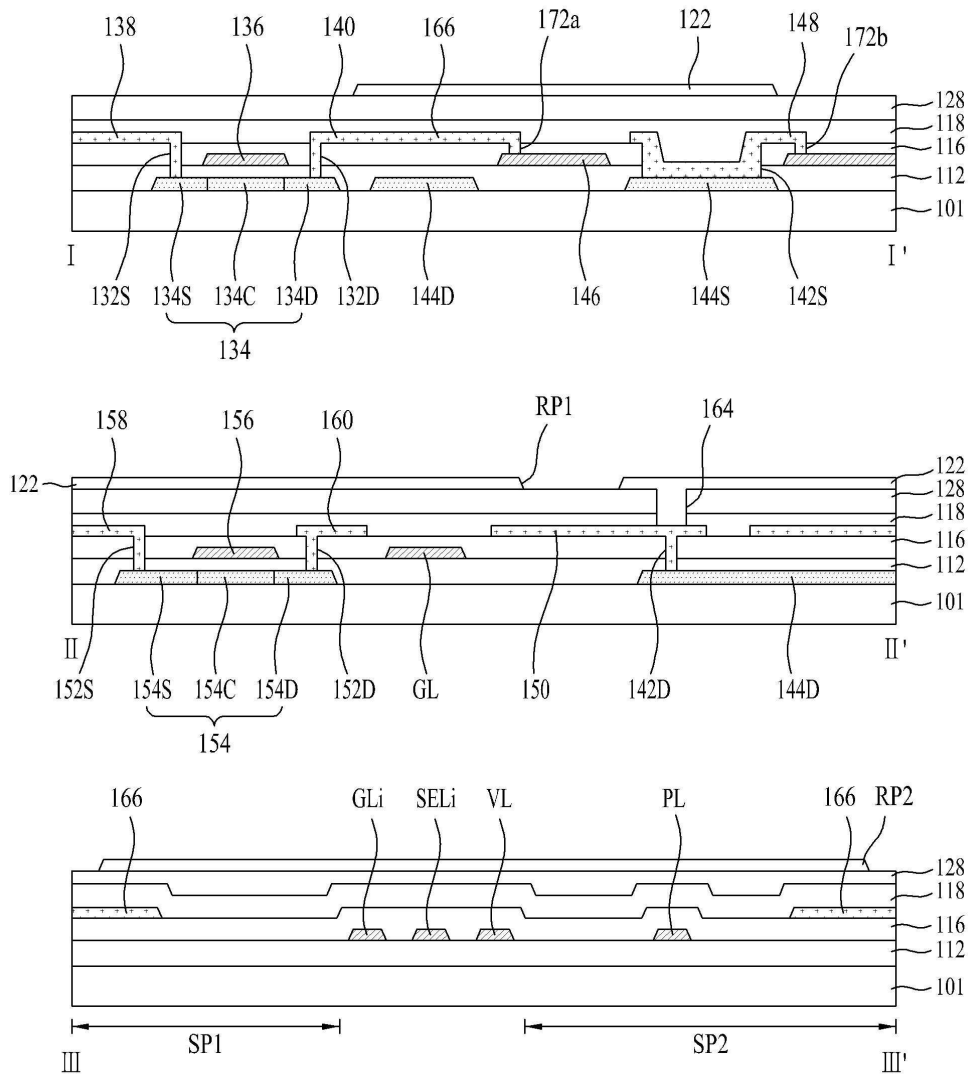
도면2



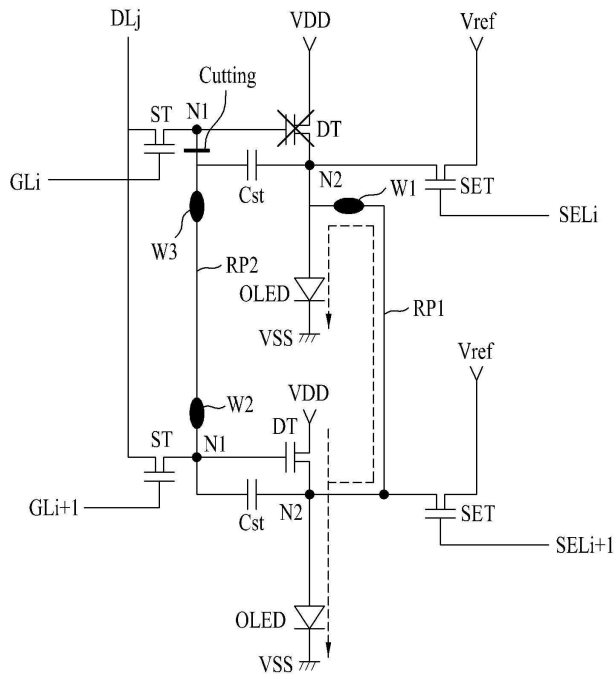
도면3



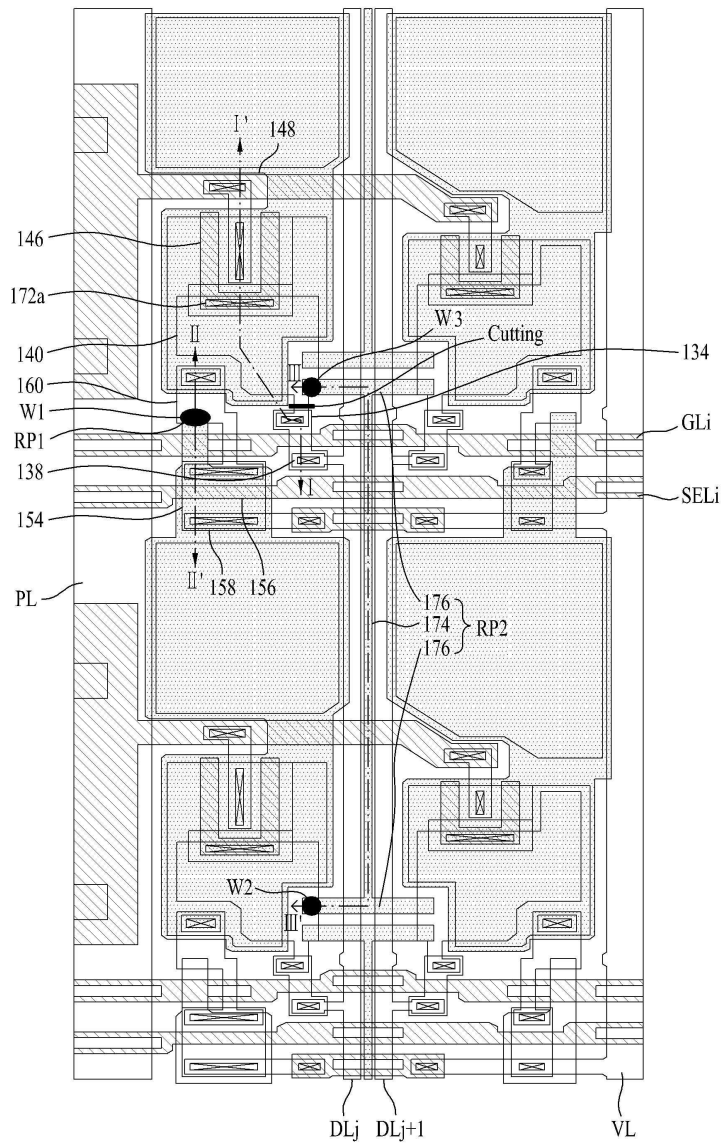
도면4



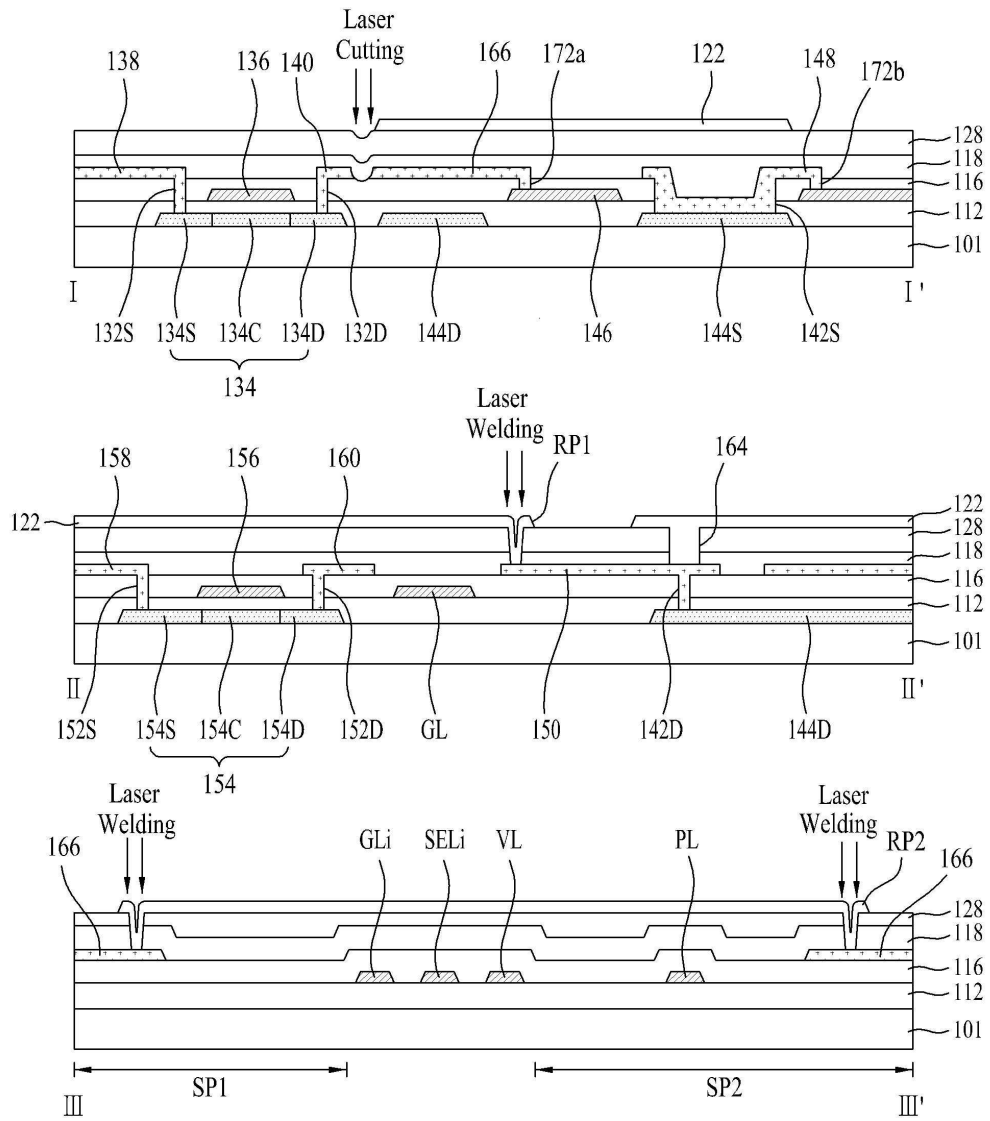
도면5



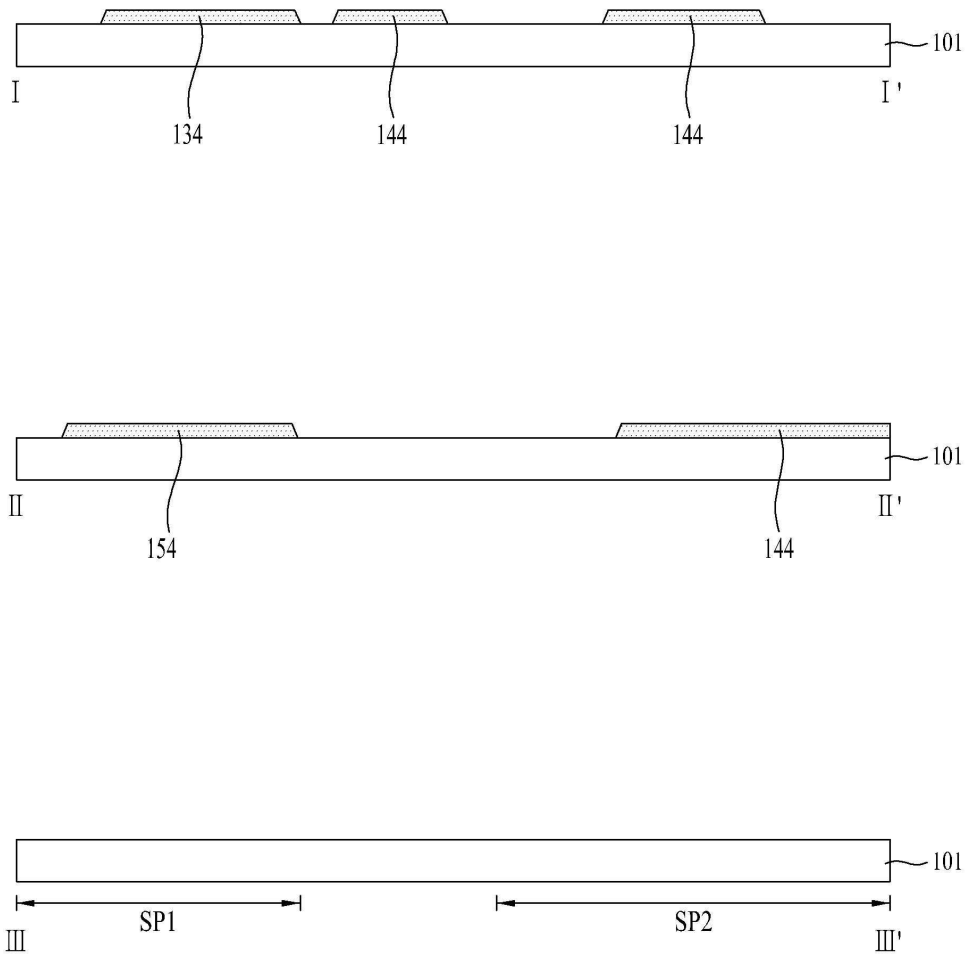
도면6



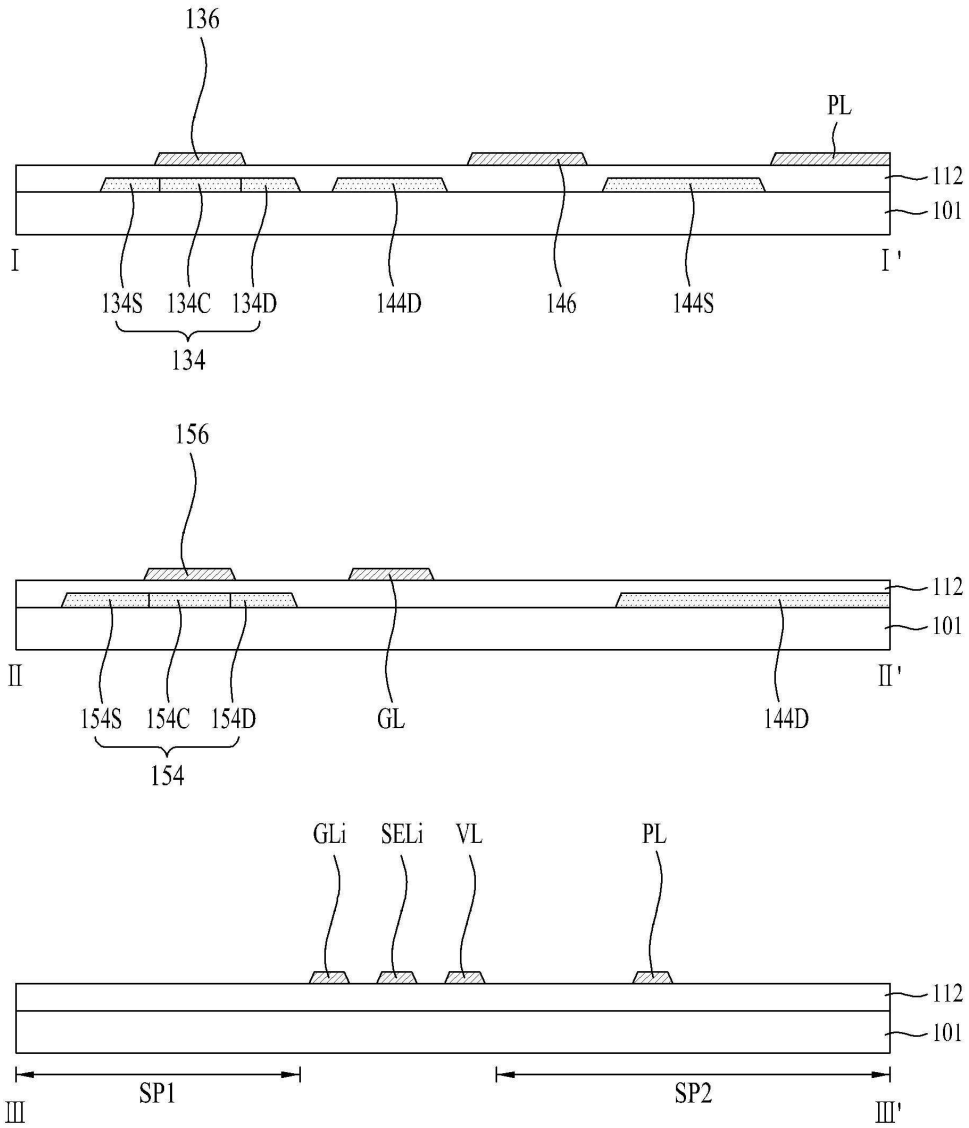
도면7



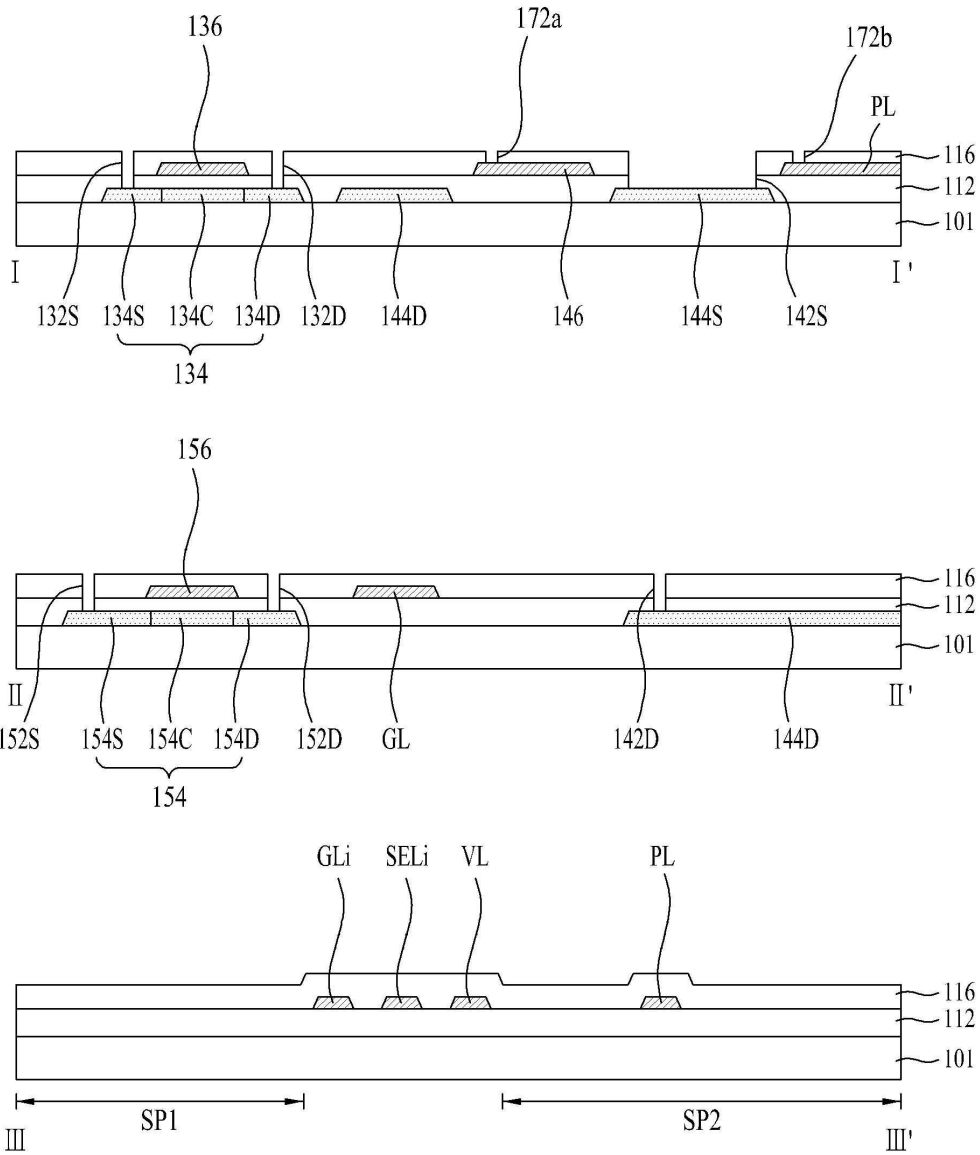
도면8a



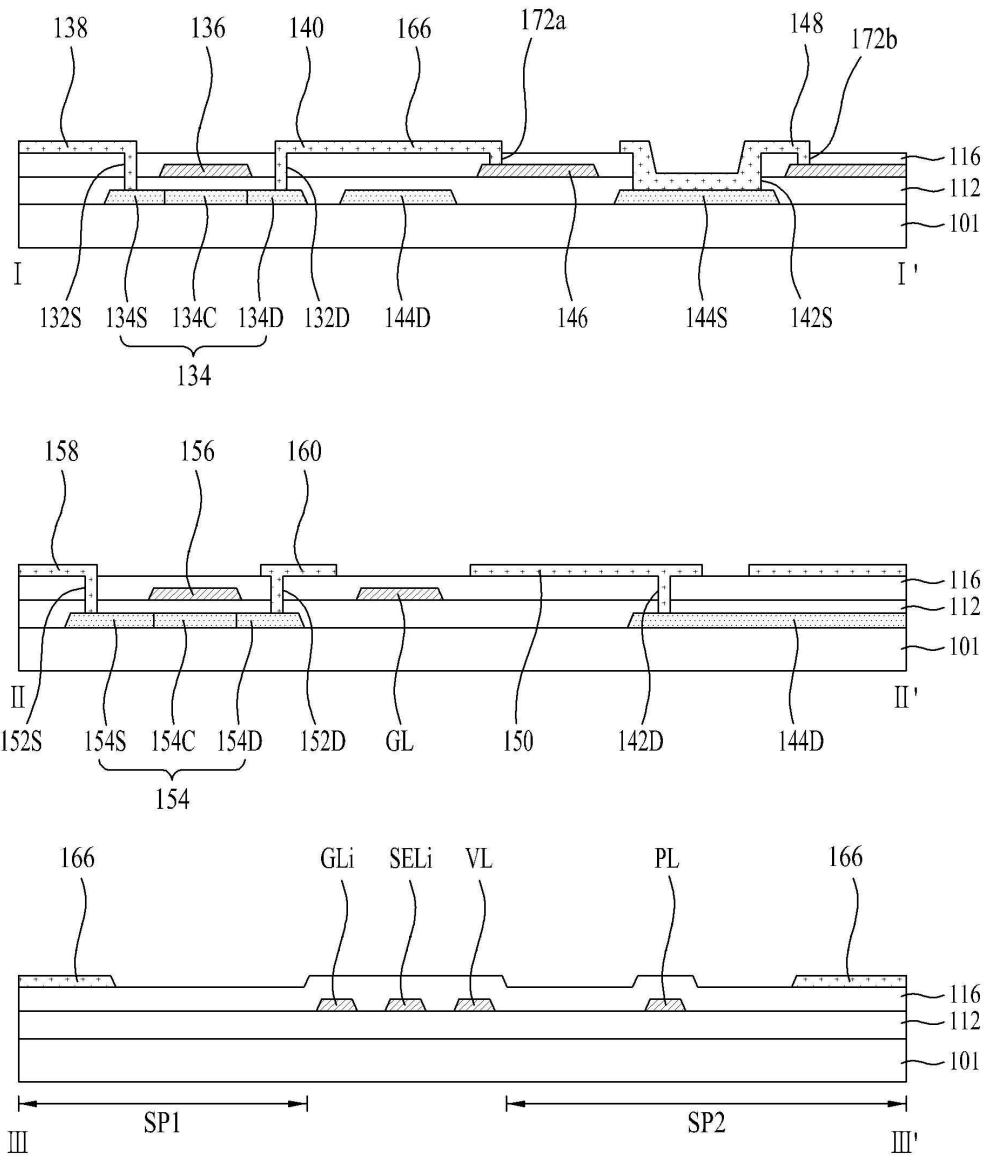
도면8b



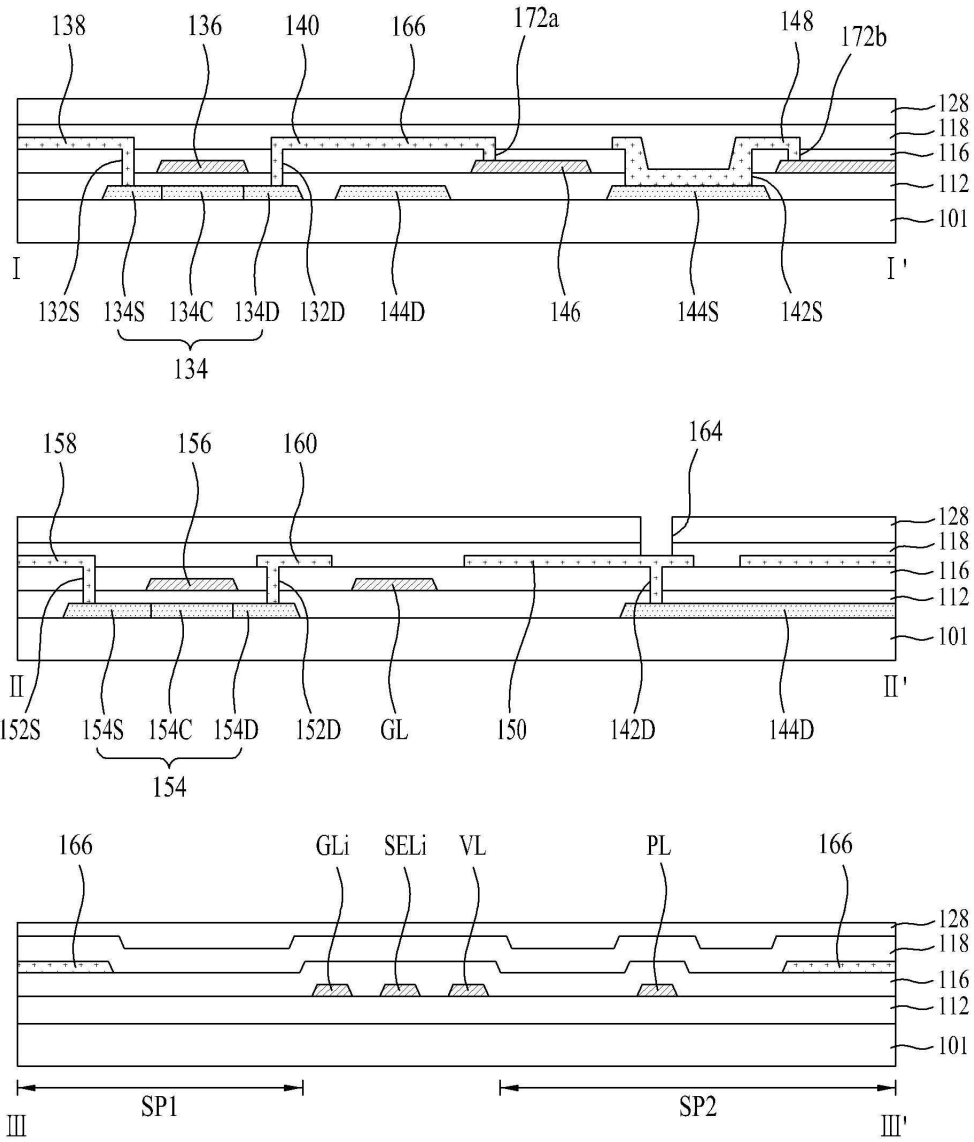
도면8c



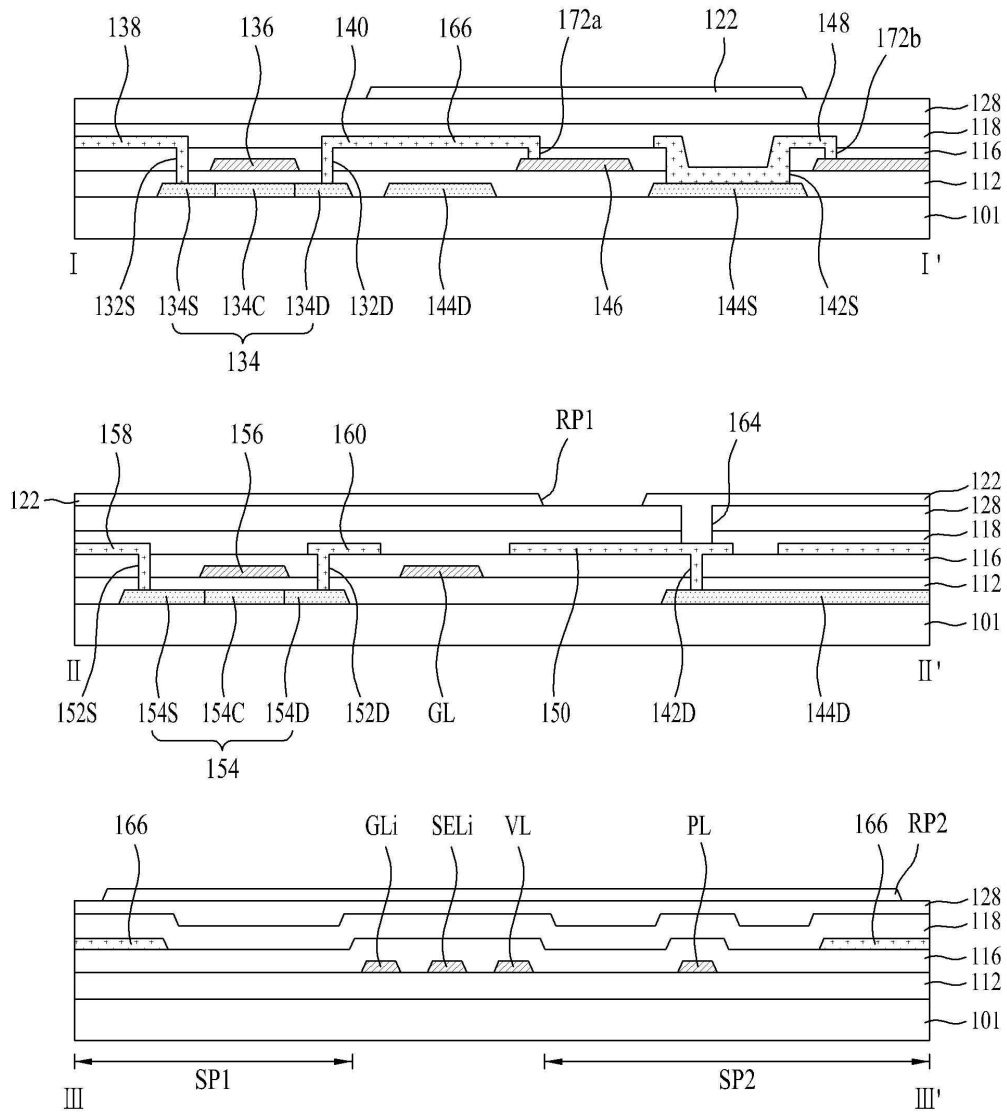
도면8d



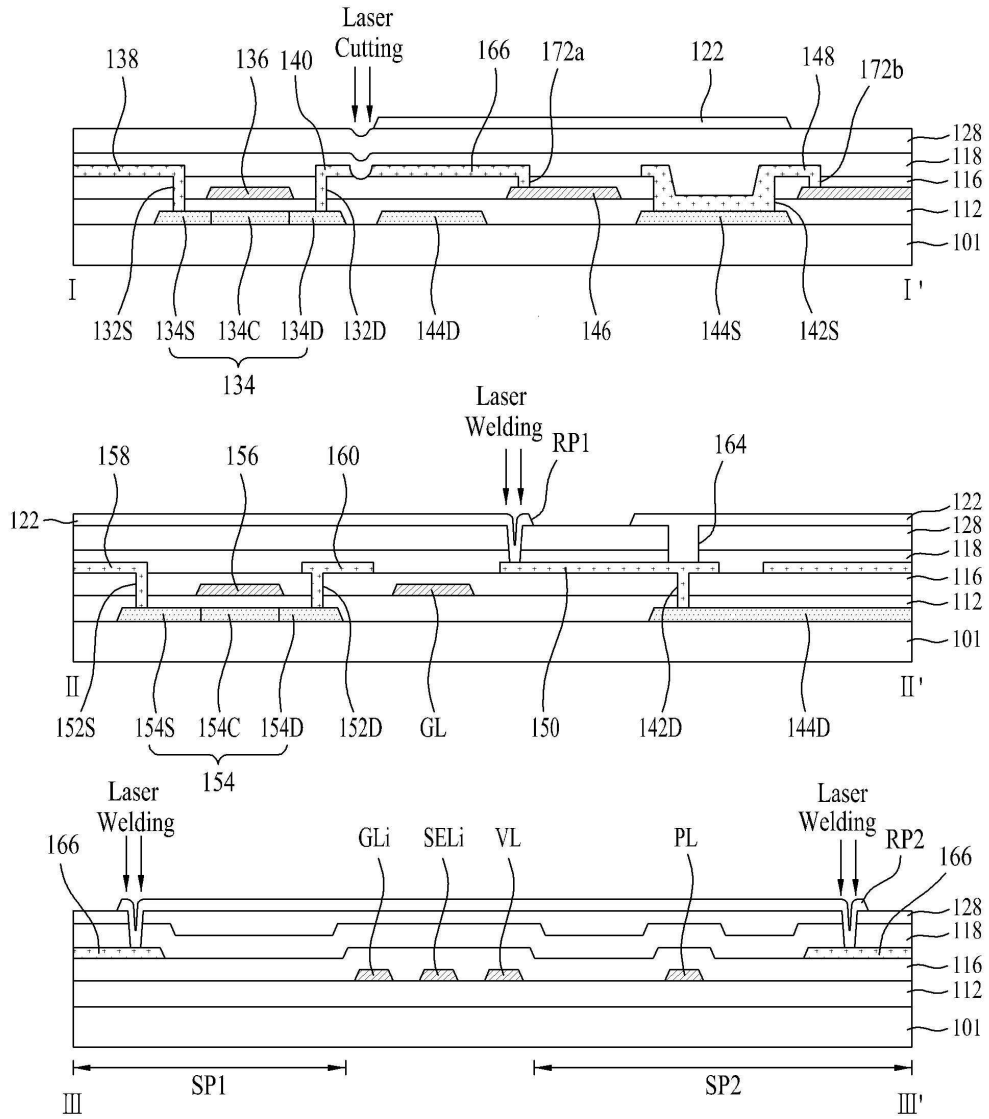
도면8e



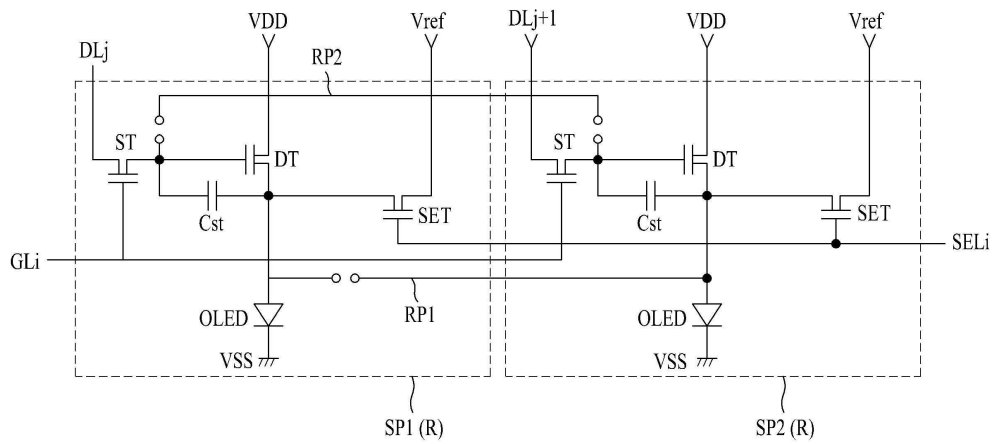
도면8f



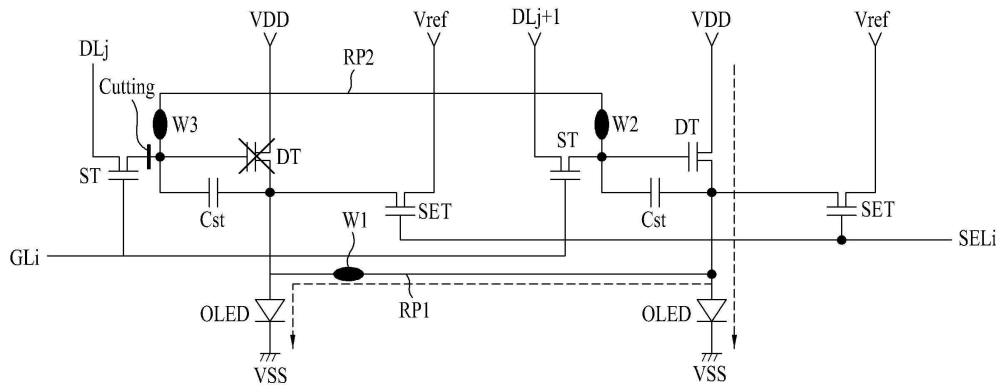
도면8g



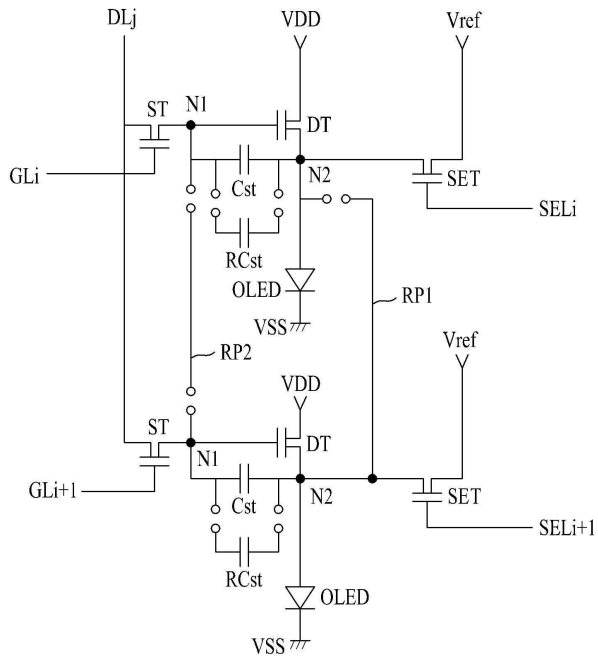
도면9



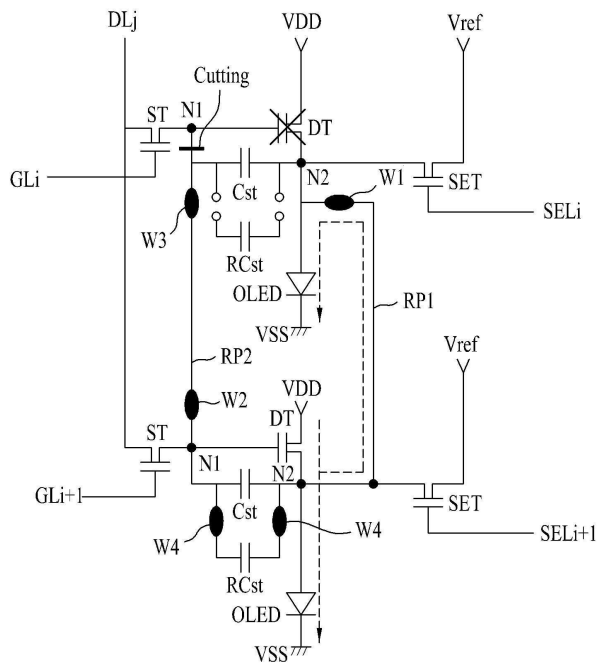
도면10



도면11



도면12



专利名称(译)	标题：有机发光显示器及其修复方法		
公开(公告)号	KR1020150128038A	公开(公告)日	2015-11-18
申请号	KR1020140054743	申请日	2014-05-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN JEON PHILL 한전필 RYU HO JIN 류호진		
发明人	한전필 류호진		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 G09G3/3233 G09G2300/0842 G09G2320/0295 G09G2330/08 H01L27/3262 H01L27/3276 H01L2251/568		
代理人(译)	PARK , YOUNG BOK		
外部链接	Espacenet		

摘要(译)

本发明涉及一种亮度变化，并且所述有机发光减小斜率变化显示装置及其维修方法，制造有机光在栅极线的交叉点和数据线设置在子像素区域中形成发光根据本发明的显示装置的方法一种具有阳极和阴极的发光元件，一种开关晶体管，用于响应于施加的扫描信号将施加到数据线的数据电压提供给第一节点；开关晶体管，用于根据第一节点的电压控制发光元件的发光；第一端子连接到阳极电极，第二端子连接到第二节点连接到阳极电极，电容器和栅极线，并在每个所述第一节点，用于形成有机发光包括在节点之间形成的修复图案显示装置的第二中的相邻子像素之间的一个假的数据线之间的步骤；确定子像素是否有缺陷；在子像素中，将第一节点与产生有缺陷薄膜晶体管的缺陷子像素的驱动薄膜晶体管的栅极分开；使用修复图案经由栅极线或数据线电连接每个相邻子像素的第一节点和第二节点之间的步骤它其特征在于它包括。

