

상기 보호층 상부에 형성되고, 상기 구동 박막트랜지스터에 연결되는 제 1 전극과; 상기 화소영역 사이에 매트릭스 형태로 형성되는 VSS배선과; 상기 VSS배선 상부에 형성되는 지지패턴과; 상기 제 1 전극 및 상기 VSS배선의 가장자리와 중첩하며 상기 제1전극의 중앙부를 노출하는 제1뱅크층과; 상기 지지패턴 상부에 형성되고, 상기 지지패턴보다 큰 폭을 갖는 제2뱅크층과; 상기 제1 및 제2뱅크층 상부에 형성되고, 노출된 상기 제1전극의 중앙부와 접촉하고, 상기 VSS배선을 노출하는 유기 발광층과; 상기 유기 발광층 상부에 형성되고, 상기 VSS배선과 접촉하는 제 2 전극과; 상기 제 1 기판과 합착되는 제 2 기판을 포함하는 유기발광 다이오드 디스플레이장치를 제공한다.

특허청구의 범위

청구항 1

제1 기판과;

상기 제 1 기판 상부에 형성되고, 서로 교차하여 화소영역을 정의하는 게이트배선 및 데이터 배선과;

상기 게이트배선 및 상기 데이터배선에 연결되는 스위칭 박막트랜지스터와, 상기 스위칭박막트랜지스터에 연결되는 구동 박막트랜지스터와;

상기 스위칭 및 상기 구동 박막트랜지스터 상부에 형성되는 보호층과;

상기 보호층 상부에 형성되고, 상기 구동 박막트랜지스터에 연결되는 제 1 전극과;

상기 화소영역 사이에 매트릭스 형태로 형성되는 VSS배선과;

상기 VSS배선 상부에 형성되는 지지패턴과;

상기 제 1 전극 및 상기 VSS배선의 가장자리와 중첩하며 상기 제1전극의 중앙부를 노출하는 제1뱅크층과;

상기 지지패턴 상부에 형성되고, 상기 지지패턴보다 큰 폭을 갖는 제2뱅크층과;

상기 제1 및 제2뱅크층 상부에 형성되고, 노출된 상기 제1전극의 중앙부와 접촉하고, 상기 VSS배선을 노출하는 유기 발광층과;

상기 유기 발광층 상부에 형성되고, 상기 VSS배선과 접촉하는 제 2 전극과;

상기 제 1 기판과 합착되는 제 2 기판

을 포함하는 유기발광 다이오드 디스플레이장치.

청구항 2

제 1 항에 있어서,

상기 지지패턴 및 상기 제2뱅크층은 상기 화소영역 사이에 상기 게이트배선 및 상기 데이터배선에 각각 평행한 제1 및 제2방향을 따라 매트릭스 형태로 형성되고,

상기 제1방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭 보다 좁게 형성되고, 상기 제2방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭보다 넓게 형성되는 유기발광 다이오드 디스플레이장치.

청구항 3

제 1 항에 있어서,

상기 지지패턴 및 상기 제2뱅크층은 상기 화소영역 사이에 상기 게이트배선 및 상기 데이터배선에 각각 평행한 제1 및 제2방향을 따라 매트릭스 형태로 형성되고,

상기 제1방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭보다 넓게 형성되고, 상기 제2방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭보다 좁게 형성되는 유기발광 다이오드 디스플레이장치.

청구항 4

제 1 항에 있어서,

상기 지지패턴 및 상기 제2뱅크층은 상기 화소영역 사이에 상기 게이트배선 및 상기 데이터배선에 각각 평행한 제1 및 제2방향을 따라 매트릭스 형태로 형성되고,

상기 제1 및 제2방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭보다 넓게 형성되는 유기발광 다이오드 디스플레이장치.

청구항 5

제 1 항에 있어서,

상기 지지패턴의 두께는 상기 유기발광층의 두께보다 큰 형성되는 유기발광 다이오드 디스플레이장치.

청구항 6

제 1 항에 있어서,

상기 지지패턴은 무기절연물질로 이루어지는 유기발광 다이오드 디스플레이장치.

청구항 7

제 1 항에 있어서,

상기 게이트 배선과 나란하게 이격되는 VDD배선과;

상기 보호층 상부에 형성되고, 상기 VDD배선 및 상기 구동박막트랜지스터의 소스전극에 연결되는 전원보조패턴을 더 포함하는 유기발광 다이오드 디스플레이장치.

청구항 8

제1기판 상부에, 서로 교차하여 화소영역을 정의하는 게이트배선 및 데이터 배선을 형성하는 단계와;

상기 게이트배선 및 상기 데이터배선에 연결되는 스위칭박막트랜지스터와, 상기 스위칭박막트랜지스터에 연결되는 구동박막트랜지스터를 형성하는 단계와;

상기 스위칭 및 상기 구동박막트랜지스터 상부에 보호층을 형성하는 단계와;

상기 보호층 상부에, 상기 구동 박막트랜지스터에 연결되는 제1전극과, 상기 화소영역 사이에 매트릭스 형태로 형성되는 VSS배선을 형성하는 단계와;

상기 VSS배선 상부에 지지패턴을 형성하는 단계와;

상기 제1전극 및 상기 VSS배선의 가장자리와 중첩하며 상기 제1전극의 중앙부를 노출하는 제1뱅크층과, 상기 지지패턴 상부에 상기 지지패턴보다 큰 폭을 갖는 제2뱅크층을 형성하는 단계와;

상기 제1 및 제2뱅크층 상부에, 노출된 상기 제1전극의 중앙부와 접촉하고, 상기 VSS배선을 노출하는 유기발광층을 형성하는 단계와;

상기 유기발광층 상부에, 상기 VSS배선과 접촉하는 제2전극을 형성하는 단계와;

상기 제1기판에 제2기판을 합착하는 단계

를 포함하는 유기발광 다이오드 디스플레이장치의 제조방법.

청구항 9

제 8 항에 있어서,

상기 지지패턴을 형성하는 단계와 상기 제1 및 제2뱅크층을 형성하는 단계는,

상기 VSS배선 상부에 희생패턴을 형성하는 단계와;

상기 제1전극 및 상기 VSS배선 상부에 제1뱅크층을 형성하고, 상기 희생패턴의 상면 내부에 제2뱅크층을 형성하는 단계와;

상기 희생패턴을 식각하여 상기 제2뱅크층의 폭보다 작은 폭을 갖는 상기 지지패턴을 형성하는 단계를 더 포함하는 유기발광 다이오드 디스플레이장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기발광 다이오드 디스플레이 장치에 관한 것으로, 특히 지지패턴을 사용하는 유기발광 다이오드 디스플레이장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 평판 디스플레이(FPD ; Flat Panel Display)중 하나인 유기발광 다이오드 디스플레이장치는 높은 휘도와 낮은 동작 전압 특성을 갖는다. 또한 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서 도 안정적이고, 직류 5 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하다.

[0003] 또한 상기 유기발광 다이오드 디스플레이장치의 제조공정은 증착(deposition) 및 인캡슐레이션(encapsulation) 장비가 전부라고 할 수 있기 때문에 제조 공정이 매우 단순하다.

[0004] 이러한 특성을 갖는 유기발광 다이오드 디스플레이장치는 크게 패시브 매트릭스 타입과 액티브 매트릭스 타입으로 나뉘어지는데, 패시브 매트릭스 방식에서는 주사선(scan line)과 신호선(signal line)이 교차하면서 매트릭스 형태로 소자를 구성하므로, 각각의 픽셀을 구동하기 위하여 주사선을 시간에 따라 순차적으로 구동하므로, 요구되는 평균 휘도를 나타내기 위해서는 평균 휘도에 라인수를 곱한 것만큼의 순간 휘도를 내야만 한다.

[0005] 그러나, 액티브 매트릭스 방식에서는, 픽셀(pixel)을 온/오프(on/off)하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor)가 서브픽셀(sub pixel)별로 위치하고, 픽셀에 인가된 전압이 스토리지 캐패시터(storage capacitance)에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전원을 인가해 주도록 함으로써, 주사선 수에 관계없이 한 화면동안 계속해서 구동한다. 따라서, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가지므로 최근에는 액티브 매트릭스 타입의 유기발광 다이오드 디스플레이장치가 주로 이용되고 있다.

[0006] 이러한 액티브 매트릭스형 유기전계발광 다이오드 디스플레이장치는 서로 교차하여 화소를 정의하는 게이트 배선 및 데이터 배선과, 데이터 배선과 이격하며 전원전압을 인가하기 위한 전원배선이 내부에 형성된다.

[0007] 이때, 화소는 스위칭(switching) 박막트랜지스터와 구동(driving) 박막트랜지스터, 스토리지 캐패시터, 그리고 유기전계 발광 다이오드로 이루어진다.

[0008] 이와 같은 구성으로 인해 유기발광 다이오드 디스플레이 장치는 게이트 배선을 통해 신호가 인가되면 스위칭 박막트랜지스터가 온(on) 되고, 데이터 배선의 신호가 구동 박막트랜지스터의 게이트 전극에 전달되어 구동 박막트랜지스터가 온(on) 되므로 유기전계발광 다이오드를 통해 빛이 출력된다. 이때, 구동 박막트랜지스터가 온(on) 상태가 되면, 전원배선으로부터 유기전계발광 다이오드에 흐르는 전류의 레벨이 정해지며 이로 인해 유기전계발광 다이오드는 그레이 스케일(gray scale)을 구현할 수 있게 되며, 스토리지 캐패시터는 스위칭 박막트랜지스터가 오프(off) 되었을 때, 구동 박막트랜지스터의 게이트 전압을 일정하게 유지시키는 역할을 함으로써 스위칭 박막트랜지스터가 오프(off) 상태가 되더라도 다음 프레임(frame)까지 유기전계발광 다이오드에 흐르는 전류의 레벨을 일정하게 유지할 수 있게 된다.

- [0009] 이러한 구동을 하는 유기발광 다이오드 디스플레이장치는 유기전계발광 다이오드를 통해 발광된 빛의 투과방향에 따라 상부 발광방식(top emission type)과 하부 발광방식(bottom emission type)으로 나뉜다. 이때 하부 발광방식은 개구율이 저하되는 문제가 발생하므로 최근에는 상부발광 방식이 주로 이용되고 있다.
- [0010] 이러한 상부발광 방식의 유기발광 다이오드 디스플레이장치의 구성을 설명하면, 제 1 기판 상부에는 반도체층, 게이트 절연막, 게이트 전극, 반도체층 콘택홀을 갖는 층간절연막, 소스 및 드레인 전극이 순차적으로 적층되어 구동 박막트랜지스터가 형성된다.
- [0011] 그리고 상기 소스 및 드레인 전극은 각각 전원배선 및 유기전계 발광 다이오드와 연결된다.
- [0012] 또한, 상기 유기전계 발광 다이오드는 유기 발광층이 개재된 상태로 서로 대향되어 배치되는 제 1 전극 및 제 2 전극으로 구성된다.
- [0013] 이때 상기 제 1 전극은 각 화소영역 별로 구동 박막트랜지스터의 일전극과 접촉하며 형성되며, 상기 제 2 전극은 상기 유기 발광층 위로 제1기판 전면에 형성된다.
- [0014] 그리고, 내부의 인캡슐레이션을 위해 제 1 기판과 마주하는 제 2 기판이 형성된다.
- [0015] 한편, 애노드 전극의 역할을 하는 제 1 전극은 일함수 값이 상대적으로 높은 물질로 이루어지고, 캐소드 전극의 역할을 하는 제 2 전극은 일함수 값이 상대적으로 낮은 물질로 이루어진다.
- [0016] 여기서, 상부 발광을 위해서는, 제1기판 최상부에 형성되는 제2전극은 가시광에 대하여 투과특성을 갖고, 제2전극의 하부에 형성되는 제1전극은 광효율을 개선하기 위하여 가시광에 대하여 반사특성을 갖는 것이 바람직하다.
- [0017] 제 2전극을 이루는 상대적으로 낮은 일함수 값의 물질은 일반적으로 불투명한 특성의 금속물질이므로, 이러한 불투명한 특성의 금속물로 이루어지는 제2전극은 가시광이 투과할 정도로 상대적으로 얇은 두께로 형성함으로써 가시광에 대하여 투과특성을 갖도록 할 수 있다.
- [0018] 그러나, 두께가 저감됨에 따라 제1기판 전면에 형성되는 제2전극은 그 자체의 내부 저항이 증가하고 그 결과 제 2전극에 인가되는 기저전압의 강하로 인해 휘도 분포가 불균일해지는 불량이 발생한다.

발명의 내용

해결하려는 과제

- [0019] 본 발명은, 상기한 문제점을 해결하기 위하여 제시된 것으로, 균일한 휘도의 빛을 발광할 수 있는 유기발광 다이오드 디스플레이장치 및 그 제조방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0020] 상기의 목적을 달성하기 위하여, 본 발명은, 상기 제 1 기판 상부에 형성되고, 서로 교차하여 화소영역을 정의하는 게이트배선 및 데이터 배선과; 상기 게이트배선 및 상기 데이터배선에 연결되는 스위칭 박막트랜지스터와, 상기 스위칭박막트랜지스터에 연결되는 구동 박막트랜지스터와; 상기 스위칭 및 상기 구동 박막트랜지스터 상부에 형성되는 보호층과; 상기 보호층 상부에 형성되고, 상기 구동 박막트랜지스터에 연결되는 제 1 전극과; 상기 화소영역 사이에 매트릭스 형태로 형성되는 VSS배선과; 상기 VSS배선 상부에 형성되는 지지패턴과; 상기 제 1 전극 및 상기 VSS배선의 가장자리와 중첩하며 상기 제1전극의 중앙부를 노출하는 제1뱅크층과; 상기 지지패턴 상부에 형성되고, 상기 지지패턴보다 큰 폭을 갖는 제2뱅크층과; 상기 제1 및 제2뱅크층 상부에 형성되고, 노출된 상기 제1전극의 중앙부와 접촉하고, 상기 VSS배선을 노출하는 유기 발광층과; 상기 유기 발광층 상부에 형성되고, 상기 VSS배선과 접촉하는 제 2 전극과; 상기 제 1 기판과 합착되는 제 2 기판을 포함하는 유기발광 다이오드 디스플레이장치를 제공한다.
- [0021] 이때, 상기 지지패턴 및 상기 제2뱅크층은 상기 화소영역 사이에 상기 게이트배선 및 상기 데이터배선에 각각 평행한 제1 및 제2방향을 따라 매트릭스 형태로 형성되고, 상기 제1방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭 보다 좁게 형성되고, 상기 제2방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭보다 넓게 형성된다.

- [0022] 그리고, 상기 지지패턴 및 상기 제2뱅크층은 상기 화소영역 사이에 상기 게이트배선 및 상기 데이터배선에 각각 평행한 제1 및 제2방향을 따라 매트릭스 형태로 형성되고, 상기 제1방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭보다 넓게 형성되고, 상기 제2방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭보다 좁게 형성된다.
- [0023] 그리고, 상기 지지패턴 및 상기 제2뱅크층은 상기 화소영역 사이에 상기 게이트배선 및 상기 데이터배선에 각각 평행한 제1 및 제2방향을 따라 매트릭스 형태로 형성되고, 상기 제1 및 제2방향을 따라 형성되는 상기 제2뱅크층의 폭은 하부의 상기 지지패턴의 폭보다 넓게 형성된다.
- [0024] 그리고, 상기 지지패턴의 두께는 상기 유기발광층의 두께보다 크게 형성된다.
- [0025] 그리고, 상기 지지패턴은 무기절연물질로 이루어진다.
- [0026] 그리고, 상기 게이트 배선과 나란하게 이격되는 VDD배선과; 상기 보호층 상부에 형성되고, 상기 VDD배선 및 상기 구동박막트랜지스터의 소스전극에 연결되는 전원보조패턴을 더 포함한다.
- [0027] 한편 본 발명은 제1기판 상부에, 서로 교차하여 화소영역을 정의하는 게이트배선 및 데이터 배선을 형성하는 단계와; 상기 게이트배선 및 상기 데이터배선에 연결되는 스위칭박막트랜지스터와, 상기 스위칭박막트랜지스터에 연결되는 구동박막트랜지스터를 형성하는 단계와; 상기 스위칭 및 상기 구동박막트랜지스터 상부에 보호층을 형성하는 단계와; 상기 보호층 상부에, 상기 구동 박막트랜지스터에 연결되는 제1전극과, 상기 화소영역 사이에 매트릭스 형태로 형성되는 VSS배선을 형성하는 단계와; 상기 VSS배선 상부에 지지패턴을 형성하는 단계와; 상기 제1전극 및 상기 VSS배선의 가장자리와 중첩하며 상기 제1전극의 중앙부를 노출하는 제1뱅크층과, 상기 지지패턴 상부에 상기 지지패턴보다 큰 폭을 갖는 제2뱅크층을 형성하는 단계와; 상기 제1 및 제2뱅크층 상부에, 노출된 상기 제1전극의 중앙부와 접촉하고, 상기 VSS배선을 노출하는 유기발광층을 형성하는 단계와; 상기 유기발광층 상부에, 상기 VSS배선과 접촉하는 제2전극을 형성하는 단계와; 상기 제1기판에 제2기판을 합착하는 단계를 포함하는 유기발광 다이오드 디스플레이장치의 제조방법을 제공한다.
- [0028] 이때, 상기 지지패턴을 형성하는 단계와 상기 제1 및 제2뱅크층을 형성하는 단계는, 상기 VSS배선 상부에 희생패턴을 형성하는 단계와; 상기 제1전극 및 상기 VSS배선 상부에 제1뱅크층을 형성하고, 상기 희생패턴의 상면 내부에 제2뱅크층을 형성하는 단계와; 상기 희생패턴을 식각하여 상기 제2뱅크층의 폭보다 작은 폭을 갖는 상기 지지패턴을 형성하는 단계를 더 포함한다.

발명의 효과

- [0029] 본 발명에서는, 보조전극을 노출하여 제2 전극과 보조전극을 접촉시켜 유기발광 다이오드 디스플레이 장치의 휘도 균일도를 향상시키는 효과가 있다.
- [0030] 그리고, 희생패턴 상부에 뱅크층을 형성하고 희생패턴을 식각하여 지지패턴이 형성되어 하부의 보조전극을 노출 시킴으로써, 지지패턴의 형상에 제한이 없어 설계 자유도가 증가하고 개구율이 향상되는 효과가 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 제1 실시예에 따른 유기발광 다이오드 디스플레이 장치의 일부를 개략적으로 도시한 단면도이다.
 도 2는 본 발명의 제 2 실시예에 따른 유기발광 다이오드 디스플레이 장치의 일부를 개략적으로 도시한 단면도이다.
 도 3a과 도 3b는 본 발명의 제2 실시예에 따른 유기발광 다이오드 디스플레이장치를 개략적으로 도시한 평면도이다.
 도 4a 내지 도 4g는 도 5의 유기발광 디스플레이장치의 제조방법을 수행하는 각 단계를 도시한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

- [0033] 도 1는 본 발명의 제1 실시예에 따른 유기발광 다이오드 디스플레이 장치의 일부를 개략적으로 도시한 단면도이다.
- [0034] 도시한 바와 같이, 본 발명의 제1 실시예에 따른 상부발광 방식 유기발광 다이오드 디스플레이장치는, 구동 및 스위칭 박막트랜지스터(DTr, 미도시)와 유기전계 발광 다이오드(E)가 형성된 제 1 기판(110)과, 인캡슐레이션을 위한 제 2 기판(170)을 포함한다.
- [0035] 제 1 기판(110) 상부에는 일방향으로 게이트 배선(미도시)이 형성되어 있으며, 상기 게이트 배선(미도시)과 나란하게 이격하며 VDD배선(114)이 형성된다.
- [0036] 또한, 각 스위칭 영역 및 구동 영역(미도시, DA)에는 게이트 전극(112)이 형성되며, 이들 게이트 배선(미도시) 및 VDD배선(114)과 게이트 전극(112)을 덮으며 전면에 게이트 절연막(115)이 형성된다.
- [0037] 그리고, 상기 게이트 절연막(115) 상부에는 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하며 데이터 배선(미도시)이 형성되며, 상기 구동 및 스위칭 영역(DA, 미도시)에는 상기 게이트 전극(112)에 대응하여 순수 비정질 실리콘의 액티브층(119a)과 그 상부로 서로 이격하며 불순물 비정질 실리콘의 오믹콘택층(119b)으로 구성된 반도체층(119)과, 상기 반도체층(119) 위로 서로 이격하는 소스 및 드레인 전극(121, 123)이 형성된다.
- [0038] 이때, 구동 및 스위칭 영역(DA, 미도시)에 순차 적층된 상기 게이트 전극(112)과 게이트 절연막(115)과 반도체층(119)과 서로 이격하는 소스 및 드레인 전극(121, 123)은 각각 구동 및 스위칭 박막트랜지스터(DTr, 미도시)를 이루며, 이러한 보텀 게이트 구조를 갖는 박막트랜지스터는 n타입 또는 p타입으로 구성할 수 있다.
- [0039] 한편, 도면에는 나타나지 않았지만, 상기 스위칭 박막트랜지스터의 게이트 전극은 상기 게이트 배선과 연결되며, 상기 스위칭 박막트랜지스터의 소스 전극은 상기 데이터 배선과 연결되고, 스위칭 박막트랜지스터의 드레인 전극은 구동 박막트랜지스터(DTr)의 게이트 전극(112)과 연결된다.
- [0040] 이러한 보텀 게이트 타입 구조를 갖는 스위칭 및 구동 박막트랜지스터(미도시, DTr) 상부에는 상기 구동 박막트랜지스터(DTr)의 소스 전극(121) 및 드레인 전극(123)을 각각 노출시키는 소스 콘택홀(141) 및 드레인 콘택홀(143)을 갖는 보호층(140)이 형성된다.
- [0041] 이때, 상기 보호층(140)과 그 하부의 게이트 절연막(115)은 패터닝됨으로써 각 화소영역(P)별로 상기 VDD배선(114)을 노출시키는 제 1 전원 콘택홀(144)이 구비된다.
- [0042] 보호층(140) 위로는, 상기 구동 박막트랜지스터(DTr)의 드레인 전극(136)과 상기 드레인 콘택홀(143)을 통해 접촉하는 제 1 전극(147)이 각 화소영역(P) 별로 형성되며, 상기 제 1 전극(147)과 동일한 물질로 이루어지고 상기 제 1 전원 콘택홀(144) 및 소스 콘택홀(141)을 통해 상기 VDD배선(114) 및 소스 전극(121)과 각각 접촉하는 전원 보조 패턴(148)이 형성된다.
- [0043] 또한, 보호층(140) 상부에는 제 1 전극(147) 및 전원보조패턴(148)과 동일층, 동일물질로 이루어지는 VSS배선(149)이 형성된다.
- [0044] 이때, 상기 제 1 전극(147)은 애노드 전극의 역할을 하도록 일함수 값이 상대적으로 높고 가시광에 대하여 반사 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금, 은(Ag), 마그네슘(Mg), 금(Au) 중 어느 하나의 물질로 이루어지며, 상기 전원 보조 패턴(148) 및 VSS배선(149) 또한 상기 제 1 전극(147)과 동일한 물질로 이루어진다.
- [0045] 따라서, 제1전극(147), 전원보조패턴(148) 및 VSS배선(149)은 상대적으로 낮은 저항을 갖도록 형성될 수 있다.
- [0046] 그리고, 상기 제 1 전극(147), 전원보조패턴(148) 및 VSS배선(149) 상부에는 बैं크층(150)이 형성된다.
- [0047] 이때 상기 बैं크층(150)은 각 화소영역(P)을 둘러싸는 형태로 상기 제 1 전극(147) 및 VSS배선(149)의 테두리와 중첩하도록 형성되어 제 1 전극(147) 및 VSS배선(149)의 중앙부를 노출한다.
- [0048] 그리고, बैं크층(150)을 통하여 노출되는 VSS배선(149)의 중앙부 상부에는 그 단면 형태가 역테이퍼(taper) 구조를 갖는 격벽(156)이 형성된다.
- [0049] 격벽(156)은 유기물질로 이루어지는데, 예를 들어 네가티브 타입의 포토레지스트(photoresist)의 도포, 노광, 현상 단계를 통하여 형성할 수 있다.
- [0050] 한편, 상기 बैं크층(150) 및 격벽(156)을 포함하는 제1기판(110) 전면에는 유기 발광층(160)이 형성된다.

- [0051] 이때 상기 유기발광층(160)은 상기 격벽(156)의 상면 가장자리를 기준으로 끊김이 발생함으로써 상기 격벽(156)이 형성된 부분에 대응해서는 상기 격벽(156)의 상면에만 형성되고 상기 격벽(156)의 상면 가장자리에 의해 가려진 VSS배선(149) 상부에는 형성되지 않는다.
- [0052] 따라서, VSS배선(149)의 일부는 유기발광층(160)을 통하여 노출된다.
- [0053] 상기 유기 발광층(160)을 포함하는 제1기판(110) 전면에는 제 2 전극(163)이 형성된다.
- [0054] 이때 상기 제 2 전극(163)은 각 화소영역(P)에 구비된 상기 격벽(156)에 의하여 유기발광층(160)을 통하여 노출되는 VSS배선(149)과 접촉하도록 형성된다.
- [0055] 제2전극(163)은 캐소드 전극의 역할을 하도록 일함수 값이 상대적으로 낮은 금속물질로 이루어질 수 있으며, 가시광에 대하여 투과특성을 갖도록 상대적으로 얇은 두께로 형성된다.
- [0056] 따라서, 제2전극(163)은 상대적으로 높은 저항을 갖도록 형성되는데, 이러한 제2전극(163)이 상대적으로 낮은 저항을 갖는 VSS배선(149)에 접촉되도록 함으로써, VSS배선(149)을 통하여 제2전극(163)에 인가되는 기저전압(VSS)이 각 화소영역(P)에서 균일한 값을 갖도록 할 수 있다. 따라서, 제2 전극(163)의 고저항으로 인한 휘도 불균일을 방지하여, 휘도 균일도를 향상시킬 수 있다.
- [0057] 하지만 제1 실시예에 따른 유기발광 다이오드 디스플레이 장치의 상기 격벽(156)은 유기발광층(160)의 분리를 위하여 역테이퍼 형상으로 형성하여야 하는데, 이러한 역테이퍼 형상으로 인해 격벽(156)이 무너지거나 들뜨는 현상이 발생한다.
- [0058] 예를 들어 격벽(156)의 상면에 대한 격벽(156)의 하면의 비율이 0.5이하가 되면 격벽(156)이 무너지거나 들뜨 수 있다.
- [0059] 또한, 이와 같은 격벽(156)은 네거티브타입 포토레지스트를 이용하여 형성하기 때문에 불량 발생 시 재작업(re-work)이 불가능한 단점이 있다.
- [0060] 이와 같은 문제를 해결하기 위해 본 발명에서는 제2 실시예를 제공한다.
- [0061] 이하 도 2를 참조하여 본 발명의 제2 실시예에 따른 유기발광 다이오드 디스플레이 장치를 설명한다. 이때, 전술한 바와 동일한 구성에 대하여 설명을 생략할 수 있다.
- [0062] 도 2는 본 발명의 제 2 실시예에 따른 유기발광 다이오드 디스플레이 장치의 일부를 개략적으로 도시한 단면도이다.
- [0063] 도시한 바와 같이, 본 발명의 제2 실시예에 따른 상부발광 방식 유기발광 다이오드 디스플레이장치는, 구동 및 스위칭 박막트랜지스터(DTr, 미도시)와 유기전계 발광 다이오드(E)가 형성된 제 1 기판(210)과, 인캡슐레이션을 위한 제 2 기판(270)을 포함한다.
- [0064] 제 1 기판(210) 상부에는 게이트 배선(미도시)과, 게이트 배선과 이격된 VDD배선(214)과, 각 스위칭 영역 및 구동 영역(미도시, DA)에 게이트 전극(212)이 형성되어 있으며, 이들 게이트 배선(미도시) 및 VDD배선(214)과 게이트 전극(212)을 덮으며 전면에 게이트 절연막(215)이 형성된다.
- [0065] 그리고, 상기 게이트 절연막(215) 상부에는, 액티브층(219a)과, 상기 액티브층 상부에 서로 이격하는 오믹콘택층(219b)으로 구성된 반도체층(219)과, 상기 반도체층(219) 위로 서로 이격하는 소스 및 드레인 전극(221, 223)을 포함하는 구동 및 스위칭 박막트랜지스터(DTr, 미도시)가 형성된다.
- [0066] 이때, 구동 및 스위칭 박막트랜지스터(DTr, 미도시)는 보텀 게이트 구조를 갖는 박막트랜지스터이며, n타입 또는 p타입으로 구성할 수 있다.
- [0067] 한편, 도면에는 나타나지 않았지만, 상기 스위칭 박막트랜지스터의 게이트 전극은 상기 게이트 배선과 연결되며, 상기 스위칭 박막트랜지스터의 소스 전극은 상기 데이터 배선과 연결되고, 스위칭 박막트랜지스터의 드레인 전극은 구동 박막트랜지스터(DTr)의 게이트 전극(212)과 연결된다.
- [0068] 그리고, 스위칭 및 구동 박막트랜지스터(미도시, DTr) 상부에는 상기 구동 박막트랜지스터(DTr)의 소스 전극

(221) 및 드레인 전극(223)을 노출시키는 드레인 콘택홀(243)을 갖는 보호층(240)이 형성된다.

- [0069] 이때, 상기 보호층(240)과 그 하부의 게이트 절연막(215)은 패터닝됨으로써 각 화소영역(P)별로 상기 VDD배선(214)을 노출시키는 제 1 전원 콘택홀(244)이 구비된다.
- [0070] 그리고, 상기 보호층(240) 상부에는, 상기 구동 박막트랜지스터(DTr)의 드레인 전극(236)과 상기 드레인 콘택홀(243)을 통해 접촉되는 제 1 전극(247)이 각 화소영역(P) 별로 형성되며, 상기 제 1 전극(247)과 동일한 물질로 이루어지고 상기 제 1 전원 콘택홀(244) 및 소스콘택홀((241)을 통해 상기 VDD배선(214) 및 소스전극(221)과 각각 접촉하는 전원 보조패턴(248)이 형성된다.
- [0071] 또한, 화소영역(P)의 가장자리에 대응되는 보호층(240) 상부에는, 상기 제1 전극(247) 및 전원보조패턴(248)과 동일층, 동일물질로 이루어지는 VSS배선(249)이 형성된다.
- [0072] 이때, 상기 제 1 전극(247)은 애노드 전극의 역할을 하도록 일함수 값이 상대적으로 높고 가시광에 대하여 반사 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금, 은(Ag), 마그네슘(Mg), 금(Au) 중 어느 하나의 물질로 이루어지며, 상기 전원보조패턴(248) 및 VSS배선(249) 또한 상기 제1전극(247)과 동일한 물질로 이루어진다.
- [0073] 따라서, 제1전극(247), 전원보조패턴(248) 및 VSS배선(249)은 상대적으로 낮은 저항을 갖도록 형성될 수 있다.
- [0074] 그리고, 상기 VSS배선(249) 상부에는 지지패턴(257)이 형성되는데, 지지패턴(257)은 VSS배선(249) 내부에 VSS배선(249)보다 작은 폭으로 형성되어 VSS배선(249)의 일부는 격벽(249)로 노출된다.
- [0075] 지지패턴(257)은 무기절연물질로 이루어지는데, 예를 들어 실리콘 산화막(SiO₂) 또는 실리콘 질화막(SiN_x)의 증착단계, 포토레지스트의 도포, 노광, 현상단계, 실리콘 산화막 또는 실리콘 질화막의 식각단계를 통하여 형성할 수 있다.
- [0076] 이때, 지지패턴(257)은 다양한 단면구조를 가질 수 있는데, 예를 들어 정테이퍼 구조, 역테이퍼 구조 또는 측벽이 수직인 구조를 가질 수 있다.
- [0077] 그리고 상기 제1 전극(247), 전원보조패턴(248), VSS배선(249) 및 상기 격벽(249) 상부에는 제1 및 제2뱅크층(250a, 250b)이 형성된다.
- [0078] 제1뱅크층(250a)은, 각 화소영역(P)을 둘러싸는 형태로 상기 제 1 전극(247) 및 VSS배선(249)의 테두리와 중첩하도록 형성되어 제 1 전극(247)의 중앙부를 노출한다.
- [0079] 그리고, 제2뱅크층(250b)은 상기 지지패턴(257) 상부에 형성되는데, 제2뱅크층(250b)은 지지패턴(257)을 완전히 덮으면서 지지패턴(257)보다 큰 폭으로 형성되어 지지패턴(257) 외부로 노출된 VSS배선(249)의 일부를 가린다.
- [0080] 한편, 상기 제1 및 제2뱅크층(250a, 250b)을 포함하는 제1기관(210) 전면에는 유기 발광층(260)이 형성되고, 유기발광층(260)은 노출된 제1전극(247)의 중앙부와 접촉한다.
- [0081] 이때 상기 유기발광층(260)은 상기 지지패턴(257) 상부의 제2뱅크층(250b)의 상면 가장자리를 기준으로 굽김(단절)이 발생함으로써 상기 제2뱅크층(250b)이 형성된 부분에 대응해서는 상기 제2뱅크층(250b)의 상면에만 형성되고 상기 제2뱅크층(250b)의 상면 가장자리에 의해 가려진 VSS배선(249) 상부에는 형성되지 않는다.
- [0082] 따라서, VSS배선(249)의 일부는 유기발광층(260)을 통하여 노출된다.
- [0083] 그리고, 상기 유기 발광층(260)을 포함하는 제1기관(210) 전면에는 제 2 전극(263)이 형성된다.
- [0084] 이때 제2전극(263)은 지지패턴(257) 상부의 상기 제2뱅크층(250b)에 의하여 유기발광층(260)을 통하여 노출되는 VSS배선(249)과 접촉하도록 형성된다.
- [0085] 상기 제 1, 2 전극(247, 263)과 그 사이에 형성된 유기 발광층(260)은 유기전계 발광 다이오드(E)를 이루게 된다.
- [0086] 상기 제 2 전극(263)은 캐소드 전극의 역할을 하도록 일함수 값이 상대적으로 낮은 금속물질을 이용하여 가시광에 대하여 투과특성을 갖도록 상대적으로 얇은 두께로 형성하거나, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명 도전성 물질을 이용하여 수백 내지 수천 Å 정도의 두께로 형성할 수 있다.
- [0087] 따라서, 제2전극(263)은 상대적으로 높은 저항을 갖도록 형성될 수 있는데, 이러한 제2전극(263)이 상대적으로 낮은 저항을 갖는 VSS배선(249)에 접촉되도록 함으로써, VSS배선(249)을 통하여 제2전극(263)에 인가되는 기저

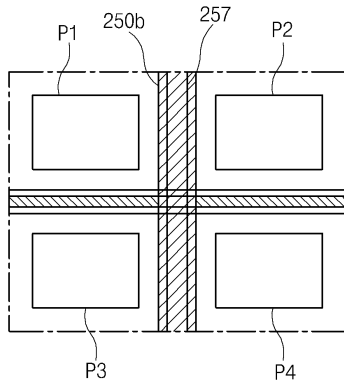
전압(VSS)이 각 화소영역(P)에서 균일한 값을 갖도록 할 수 있다.

- [0088] 이러한 구조를 갖는 제 1 기관(210)과 대향하여 투명한 재질의 제 2 기관(270)이 그 테두리를 따라 셀패턴(미도시)에 의해 합착됨으로써, 본 발명에 따른 상부 발광 방식 유기발광 다이오드 디스플레이장치를 이루고 있다.
- [0089] 본 발명의 제2 실시예에 따른 유기발광 다이오드 디스플레이장치의 경우, 상기 표시영역 전면에 형성되는 제 2 전극(263)이 하부에 각 화소영역(P)을 관통하며 저저항 금속물질로 이루어진 VSS배선(249)과 접촉하여 전기적으로 연결되도록 함으로써 제2 전극(263)의 고저항으로 인한 휘도 불균일 현상을 방지할 수 있다.
- [0090] 한편, 상기 VSS배선(249)은 인접한 화소가 공유할 수 있는데 상기 제2뱅크층(250b) 및 지지패턴(257)의 형태에 따라 상기 VSS배선(249)을 공유하는 인접한 화소의 구성이 달라진다.
- [0091] 이하 도면을 참조하여 보조전극을 공유하는 화소를 설명한다.
- [0092] 도 3a과 도 3b는 본 발명의 제2 실시예에 따른 유기발광 다이오드 디스플레이장치를 개략적으로 도시한 평면도이다.
- [0093] 이때, 모든 구성요소는 전술한 실시예와 동일하며, 뱅크의 형태만이 차이가 있으므로 상기 실시예와 차별적인 부분만을 설명한다. 이때 동일한 구성요소에 대해서는 동일한 도면부호를 부여하였다.
- [0094] 그리고, 설명의 편의를 위해 게이트 배선과 평행한 방향(가로방향)을 제1 방향, 데이터 배선과 평행한 방향(세로방향)을 제2 방향이라 한다.
- [0095] 도 3a 및 도 3b에 도시한 바와 같이, 지지패턴(257) 및 지지패턴(257) 상부의 제2뱅크층(250b)은 인접 화소영역(P) 사이에 제1 및 제2방향을 따라 매트릭스 형태로 형성되고, 지지패턴(257) 하부의 VSS배선(도 2의 249) 역시 인접 화소영역(P) 사이에 제1 및 제2방향을 따라 매트릭스 형태로 형성된다.
- [0096] 도 3a에서는, 제1방향을 따라 형성되는 제2뱅크층(250b)의 폭은 하부의 지지패턴(257)의 폭 보다 좁게 형성하고, 제2 방향을 따라 형성되는 제2뱅크층(250b)의 폭은 하부의 지지패턴(257)의 폭보다 넓게 형성한다.
- [0097] 이에 따라, 제1 방향을 따라 형성되는 제2뱅크층(250b) 및 지지패턴(257)은 상부가 하부보다 넓은 단면구조를 갖고, 그 결과 유기발광층(260)은 제1방향을 따라 형성되는 제2뱅크층(250b) 및 지지패턴(257)에 의하여 단절된다.
- [0098] 반면에, 제2방향을 따라 형성되는 제2뱅크층(250b) 및 지지패턴(257)은 상부가 하부보다 좁은 단면구조를 갖고, 그 결과 유기발광층(260)은 제2방향을 따라 형성되는 제2뱅크층(250b) 및 지지패턴(257)에 의하여 단절되지 않고 연속적으로 형성된다.
- [0099] 따라서, 제1 내지 제4화소영역(P1 내지 P4) 각각의 좌우 가장자리에서는 VSS배선(249)이 유기발광층(260)을 통하여 노출되고, 제1 내지 제4화소영역(P1 내지 P4) 각각의 상하 가장자리에서는 VSS배선(249)이 유기발광층(260)으로 덮여서 노출되지 않으며, 그 결과 제1 및 제2화소영역(P1, P2)의 제2 전극(263)은 노출된 VSS배선(249)의 좌우측부에 함께 접촉되고, 제3 및 제4화소영역(P3, P4)의 제2 전극(263)은 노출된 VSS배선(249)의 좌우측부에 함께 접촉된다.
- [0100] 즉, 제1 방향으로 인접한 다수의 화소영역(P)은 좌우로 인접한 VSS배선(249)을 공유할 수 있다.
- [0101] 한편 도 3b에서는, 제1방향을 따라 형성되는 제2뱅크층(250b)의 폭은 하부의 지지패턴(257)의 폭 보다 넓게 형성하고, 제2 방향을 따라 형성되는 제2뱅크층(250b)의 폭은 하부의 지지패턴(257)의 폭보다 좁게 형성한다.
- [0102] 이에 따라, 제2 방향을 따라 형성되는 제2뱅크층(250b) 및 지지패턴(257)은 상부가 하부보다 넓은 단면구조를 갖고, 그 결과 유기발광층(260)은 제2방향을 따라 형성되는 제2뱅크층(250b) 및 지지패턴(257)에 의하여 단절된다.
- [0103] 반면에, 제1방향을 따라 형성되는 제2뱅크층(250b) 및 지지패턴(257)은 상부가 하부보다 좁은 단면구조를 갖고, 그 결과 유기발광층(260)은 제1방향을 따라 형성되는 제2뱅크층(250b) 및 지지패턴(257)에 의하여 단절되지 않고 연속적으로 형성된다.
- [0104] 따라서, 제1 내지 제4 화소영역(P1 내지 P4) 각각의 상하 가장자리에서 VSS배선(249)이 유기발광층(260)을 통하여

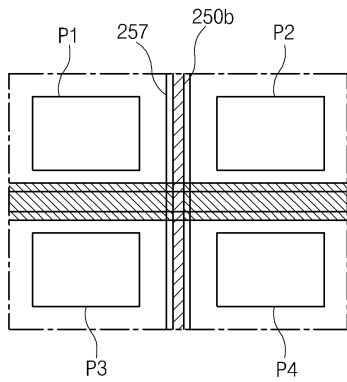
여 노출되고, 제1 내지 제4화소영역(P1 내지 P4) 각각의 좌우 가장자리에서는 VSS배선(249)이 유기발광층(260)으로 덮여서 노출되지 않으며, 그 결과 제1 및 제3화소영역(P1, P3)의 제2 전극(263)은 노출된 VSS배선(249)의 상하측부에 함께 접촉되고, 제2 및 제4화소영역(P2, P4)의 제2전극(263)은 노출된 VSS배선(249)의 좌우측부에 함께 접촉된다.

- [0105] 즉, 제2 방향으로 인접한 다수의 화소영역(P)은 상하로 인접한 VSS배선(249)을 공유할 수 있다.
- [0106] 한편 도시하지 않았지만, 제1 방향 및 제2 방향을 따라 형성되는 제2뱅크층(260b)의 폭을 모두 지지패턴(257)의 폭보다 넓게 형성하면, 다수의 화소영역(P)은 상하좌우로 인접한 VSS배선(249)을 공유할 수 있다.
- [0107] 이하 도면을 참조하여 본 발명의 제2 실시예에 따른 유기발광 다이오드 디스플레이 장치의 형성 방법을 설명한다.
- [0108] 도 4a 내지 도 4g는 도 5의 유기발광 디스플레이장치의 제조방법을 수행하는 각 단계를 도시한 도면들이다.
- [0109] 도 4a에 도시한 바와 같이, 기판(210)상부에 게이트 전극(212), 게이트절연막(215), 반도체층(219), 소스 및 드레인 전극(221, 223)을 포함하는 구동 박막 트랜지스터(DTr)를 형성한다.
- [0110] 여기서, 스위칭 박막트랜지스터(미도시)는 구동 박막 트랜지스터(DTr)와 동시에 형성될 수 있으며, 게이트 배선(미도시) 및 VDD배선(214)은 게이트 전극(212)과 동시에 형성될 수 있다.
- [0111] 그 다음 도 4b에 도시한 바와 같이, 구동 박막 트랜지스터(DTr) 상부에, 구동 박막트랜지스터(DTr)의 소스 전극(221) 및 드레인 전극(223)을 노출시키는 드레인 콘택홀(243)과 VDD배선(214)을 노출시키는 제1전원콘택홀(244)을 갖는 보호층(240)을 형성한다.
- [0112] 이때, 보호층(240)은 SiO₂, SiN_x 등의 무기절연물질로 형성될 수 있다.
- [0113] 그 다음 도 4c에 도시한 바와 같이, 보호층(240)상부에, 상기 구동 박막트랜지스터(DTr)의 드레인 전극(236)과 상기 드레인 콘택홀(243)을 통해 접촉하는 제 1 전극(247)과, 상기 제 1 공통 콘택홀(244)을 통해 상기 VDD배선(214)과 접촉하는 전원보조패턴(248)과, 화소영역(P)의 가장자리에 대응되는 VSS배선(249)을 형성한다.
- [0114] 그 다음 도 4d에 도시한 바와 같이, VSS배선(249) 상부에 희생패턴(256)을 형성한다. 이때, 희생패턴(256)은 규소(Si) 계열의 규소물 또는 산화물, 질화물과 같은 무기절연물질로 형성할 수 있다.
- [0115] 한편, 상기 희생패턴층(256)의 두께는 이후 형성될 유기발광층(260)의 두께보다 크게 형성하는 것이 이상적이다.
- [0116] 그리고, 상기 제1 전극(247), 전원보조패턴(248) 및 VSS배선(249) 상부에는 제1뱅크층(250a)을 형성하고, 희생패턴(256) 상부에는 제2뱅크층(250b)을 형성한다.
- [0117] 제1뱅크층(250a)은, 상기 제1 전극(247) 및 VSS배선(249) 각각의 가장자리부를 덮도록 형성되어 상기 제1 전극(247) 및 VSS배선(249) 각각의 중앙부를 노출한다.
- [0118] 제2뱅크층(250b)은 상기 희생패턴(256)의 상면 내부에 형성된다.
- [0119] 예를 들어, 제1 및 제2뱅크층(250a, 250b) 각각의 두께는 1 μ m 일 수 있다.
- [0120] 그 다음 도 4e에 도시한 바와 같이, 상기 희생패턴(256)을 식각하여 상기 제2뱅크층(250b)보다 폭이 좁아지도록 함으로써, 제2뱅크층(250b)보다 폭이 좁은 지지패턴(257)을 형성한다. 이와 같은 상기 지지패턴(257)은 상부의 제2 뱅크층(250b)을 지지하는 역할을 한다.
- [0121] 이때, 상기 희생패턴(256)은 예를 들어 습식 식각이나 건식 식각을 통해 식각 할 수 있다.
- [0122] 그 다음 도 4f에 도시한 바와 같이 상기 제1 및 제2뱅크(250)을 포함하는 제1기판(210) 전면에 유기 발광층(260)과, 제2 전극(263)을 형성한다.
- [0123] 이때, 상기 유기발광층(260)은 제2뱅크층(250b)의 상면에만 형성되고 상기 제2뱅크층(250b)에 의해 가려진 VSS 배선(249)은 노출되도록 형성된다. 그리고, 상기 제2 전극(263)은 상기 제2뱅크층(250b)에 의해 가려진 VSS배선(249)과 접촉되도록 형성된다.
- [0124] 따라서 제2 전극(263)이 VSS배선(249)에 접촉되어 제2 전극(263)의 높은 저항을 낮춤으로써, 휘도 균일도를 개

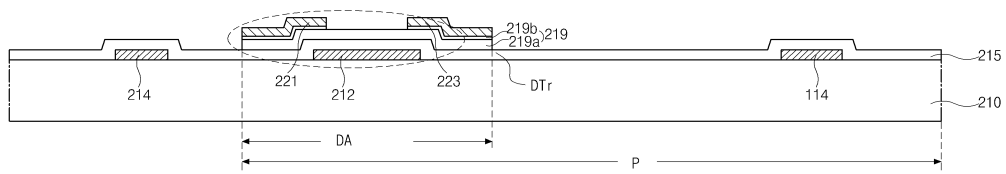
도면3a



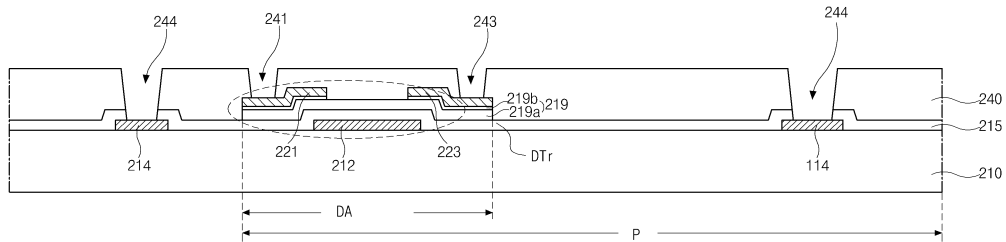
도면3b



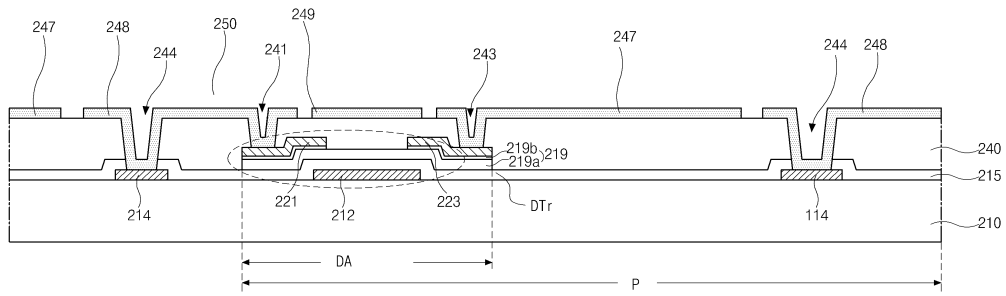
도면4a



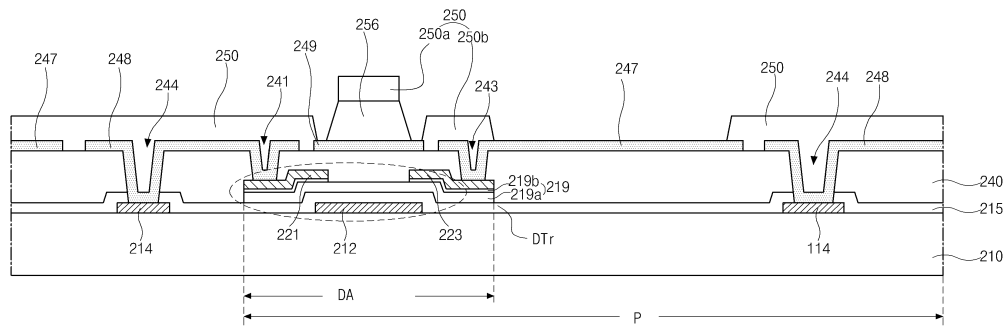
도면4b



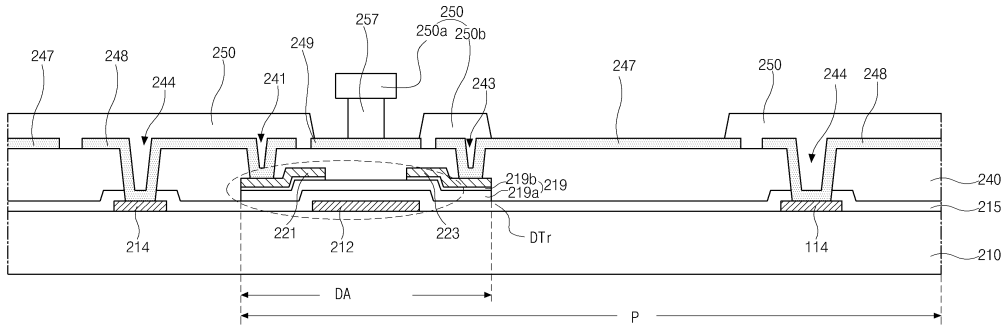
도면4c



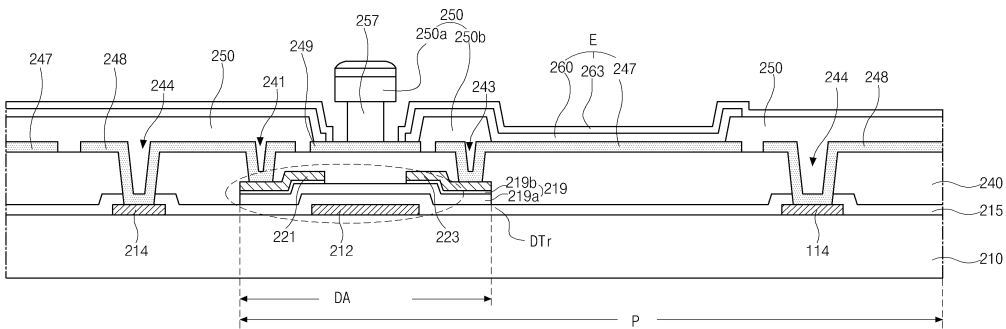
도면4d



도면4e



도면4f



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 标题：有机发光二极管显示装置及其制造方法 | | |
| 公开(公告)号 | KR1020150025902A | 公开(公告)日 | 2015-03-11 |
| 申请号 | KR1020130104063 | 申请日 | 2013-08-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | KIM EUN AH 김은아 LEE JOON SUK 이준석 | | |
| 发明人 | 김은아 이준석 | | |
| IPC分类号 | H01L51/52 H01L51/56 | | |
| CPC分类号 | H01L51/56 H01L27/3246 H01L51/5225 H01L51/5228 H01L51/5281 H01L2251/53 | | |
| 其他公开文献 | KR102067966B1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

有机发光二极管显示装置及其制造方法本发明涉及有机发光二极管显示装置及其制造方法。有机发光二极管显示装置包括：第一基板；栅极线和数据线形成在第一基板的上部并且彼此交叉以限定像素区域；开关薄膜晶体管，连接到栅极线和数据线；驱动薄膜晶体管，连接到开关薄膜晶体管；保护层形成在开关和驱动薄膜晶体管的上部；第一电极，形成在保护层的上部，并连接到驱动薄膜晶体管；以矩阵图案形成在像素区域之间的VSS线；形成在VSS线的上部的支撑图案；第一堤层与第一电极和VSS线的边缘重叠并暴露第一电极的中心部分；第二堤层形成在上部并且宽度大于支撑图案的宽度；和有机发光层，形成在第一和第二堤层的上部，与第一电极的暴露的中心部分接触，并暴露VSS线；第二电极，形成在有机发光层的上部并与VSS线接触；和粘附在第一基板上的第二基板。

