



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0117229
(43) 공개일자 2014년10월07일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2013-0032420
(22) 출원일자 2013년03월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
류원상
경기 고양시 일산서구 고양대로 633, 110동 1304
호 (일산동, 동양아파트)
(74) 대리인
특허법인네이트

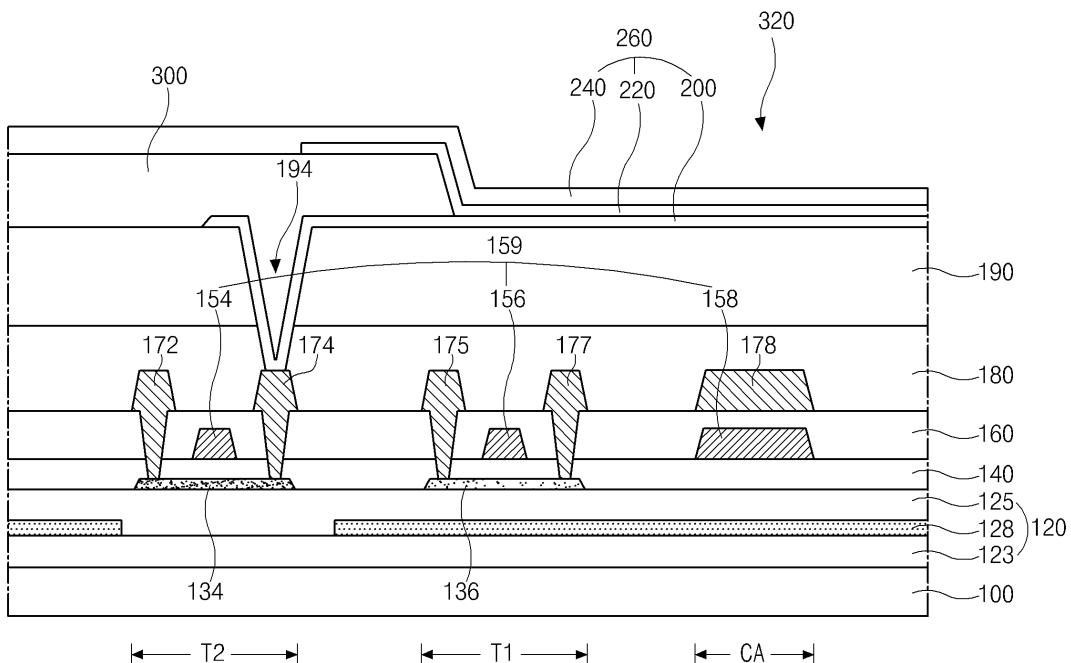
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **폴리 실리콘 박막트랜지스터를 포함하는 유기발광 디스플레이 장치 및 이의 제조방법**

(57) 요 약

본 발명은, 기판과; 상기 기판 상부에 형성되고 무기막을 포함하는 벼파층과; 상기 기판 상부에 서로 교차하여 다수의 화소를 정의하는 게이트 배선, 데이터 배선 및 전원 배선과; 상기 게이트 배선 및 상기 데이터 배선에 연결되는 제1 박막트랜지스터와; 상기 제1 박막트랜지스터 및 상기 전원 배선에 연결되는 제2 박막트랜지스터와; 상기 제2 박막트랜지스터와 연결되고 상기 제2 박막트랜지스터에 의해 전류가 흘러 빛을 발하는 유기발광 다이오드를 포함하고, 상기 무기막은 상기 제2 박막트랜지스터에 대응하는 영역에 개구부를 가지고 상기 기판 전면에 위치하는 것을 특징으로 하는 유기발광 디스플레이 장치를 제공한다.

대 표 도 - 도4



특허청구의 범위

청구항 1

기판과;

상기 기판 상부에 형성되고 무기막을 포함하는 벼퍼층과;

상기 기판 상부에 서로 교차하여 다수의 화소를 정의하는 게이트 배선, 데이터 배선 및 전원 배선과;

상기 게이트 배선 및 상기 데이터 배선에 연결되는 제1 박막트랜지스터와;

상기 제1 박막트랜지스터 및 상기 전원 배선에 연결되는 제2 박막트랜지스터와;

상기 제2 박막트랜지스터와 연결되고 상기 제2 박막트랜지스터에 의해 전류가 흘러 빛을 발하는 유기발광 다이오드를 포함하고,

상기 무기막은 상기 제2 박막트랜지스터에 대응하는 영역에 개구부를 가지고 상기 기판 전면에 위치하는 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 벼퍼층은 상기 무기막과 상부 또는 하부에 산화 실리콘층을 더 포함하며, 상기 산화실리콘층의 열 전도율은 상기 무기막보다 작은 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 3

제 1 항에 있어서,

상기 무기막 하부와 상부에 각각 제1 산화 실리콘층과 제2 산화 실리콘층을 더 포함하고, 상기 제1 및 제2 산화 실리콘층의 열 전도율은 상기 무기막보다 작은 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 4

제 1 항에 있어서,

상기 제1 박막트랜지스터와 상기 제2 박막트랜지스터의 반도체층은 폴리실리콘을 포함하고,

상기 제1 박막트랜지스터의 반도체층은 상기 제2 박막트랜지스터의 반도체층보다 그레인 크기가 큰 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 5

기판 상부에 무기막을 포함하는 벼퍼층을 형성하는 단계와;

상기 벼퍼층 상부에 서로 교차하여 다수의 화소를 정의하는 게이트 배선, 데이터 배선 및 전원 배선을 형성하는 단계와;

상기 게이트 배선 및 상기 데이터 배선에 연결되는 제1 박막트랜지스터와 상기 제1 박막트랜지스터 및 상기 전원 배선에 연결되는 제2 박막트랜지스터를 형성하는 단계와;

상기 제2 박막 트랜지스터와 전기적으로 연결되는 유기발광 다이오드를 형성하는 단계를 포함하고,

상기 무기막은 상기 제2 박막 트랜지스터에 대응하는 영역에 개구부를 가지고 상기 기판 전면에 위치하는 것을

특징으로 하는 유기발광 디스플레이 장치의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 베퍼층을 형성하는 단계는,

상기 무기막 상부 또는 하부에 산화 실리콘층을 형성하는 단계를 더 포함하고, 상기 산화실리콘층의 열 전도율은 상기 무기막보다 작은 것을 특징으로 하는 유기발광 디스플레이 장치의 제조 방법.

청구항 7

제 5 항에 있어서,

상기 베퍼층을 형성하는 단계는,

상기 무기막 하부 또는 상부에 각각 제1 및 제2 산화 실리콘층을 형성하는 단계를 더 포함하며 상기 제1 및 제2 산화실리콘층의 열 전도율은 상기 무기막보다 작은 것을 특징으로 하는 유기발광 디스플레이 장치의 제조 방법.

청구항 8

제 5 항에 있어서,

상기 제1 및 제2 박막트랜지스터를 형성하는 단계는 제1 및 제2반도체층을 형성하는 단계를 포함하고,

상기 제1 및 제2 반도체층을 형성하는 단계는, 비정질 실리콘층을 형성하는 단계와, 상기 비정질 실리콘층에 액시미 레이저빔을 조사하여 폴리 실리콘층을 형성하는 단계와, 상기 폴리 실리콘층을 패터닝하는 단계를 포함하며,

상기 제1 반도체층의 그레인 크기는 상기 제2 반도체층의 그레인 크기보다 큰 것을 특징으로 하는 유기발광 디스플레이 장치의 제조 방법.

명세서

기술 분야

[0001]

본 발명은 유기발광 디스플레이 장치에 관한 것으로, 특히 서로 다른 특성을 갖는 폴리실리콘 박막트랜지스터를 포함하는 유기발광 디스플레이 장치 및 이의 제조방법에 관한 것이다.

배경기술

[0002]

정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시 장치(LCD : liquid crystal display device), 플라즈마표시 장치(PDP : plasma display panel device), 유기발광 디스플레이 장치 (OLED : organic light emitting display device)와 같은 여러 가지 평판표시장치(flat panel display device)가 활용되고 있다.

[0003]

이와 같은 표시장치 중, 유기발광 디스플레이 장치는 자발광소자를 이용함으로써, 비발광소자를 사용하는 액정 표시장치에 사용되는 백라이트가 필요하지 않기 때문에 경량, 박형이 가능하다.

[0004]

그리고, 액정표시장치에 비해 시야각 및 대조비가 우수하며, 소비전력 측면에서도 유리하다. 또한, 직류저전압 구동이 가능하고, 응답속도가 빠르며, 내부 구성요소가 고체이기 때문에 외부충격에 강하고, 사용온도범위도 넓으며, 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

[0005]

이러한 유기발광소자의 특성을 갖는 유기발광 디스플레이장치는 크게 패시브 매트릭스 타입(passive matrix

type)과 액티브 매트릭스 타입(active matrix type)으로 나뉘는데, 패시브 매트릭스 타입은 신호선을 교차하면서 매트릭스 형태로 소자를 구성하는 반면, 액티브 매트릭스 타입은 화소를 온/오프(on/off)하는 스위칭 박막 트랜지스터와 전류를 흘려보내주는 구동 박막트랜지스터 및 구동 박막트랜지스터에 한 프레임 동안 전압을 유지해 주는 캐패시터가 화소 별로 위치하도록 한다.

- [0006] 도 1은 종래의 유기발광 디스플레이 장치(Organic light emitting display device)의 한 화소를 개략적으로 도시한 회로도이다.
- [0007] 도 1에 도시된 바와 같이, 종래의 유기발광 디스플레이 장치의 한 화소에는 게이트 배선(GL1)과 데이터 배선(DL1)이 교차하며 정의하는 화소와 각각의 화소마다 스위칭 박막트랜지스터(T_{SW})와 구동 박막트랜지스터(T_D)와 스토리지 캐패시터(Storage Capacitor: C_S) 및 유기발광 다이오드(Organic light emitting diode: D_{EL})가 구성된다.
- [0008] 이와 동시에 데이터 배선(DL1)과 평행하게 이격된 위치에 일 방향으로 전원배선(VL1)이 구성된다.
- [0009] 스위칭 박막트랜지스터(T_{SW})와 구동 박막트랜지스터(T_D)는 각각 게이트 전극과 반도체층과 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터가 사용된다.
- [0010] 이때, 스위칭 박막트랜지스터(T_{SW})의 게이트 전극은 상기 게이트 배선(GL1)과 연결되고, 소스 전극은 데이터 배선(DL1)과 연결된다.
- [0011] 그리고 스위칭 박막 트랜지스터(T_{SW})의 드레인 전극은 구동 박막트랜지스터(T_D)의 게이트 전극과 연결된다.
- [0012] 또한 구동 박막트랜지스터(T_D)의 드레인 전극은 유기발광 다이오드(D_{EL})에 연결되고, 소스전극은 전원 배선(VL1)과 연결된다.
- [0013] 한편 스토리지 캐패시터(C_S)는 구동박막트랜지스터(T_D)의 게이트 전극과 전원 배선(VL1) 사이에 연결된다.
- [0014] 그리고, 유기발광 다이오드(D_{EL})는 구동 박막트랜지스터(T_D)의 드레인 전극에 연결된다.
- [0015] 이와 같이 구성된 스위칭(T_{SW}) 및 구동(T_D) 박막 트랜지스터에 사용되는 반도체층은 폴리 실리콘(poly-Si)을 이용한 박막 트랜지스터를 사용한다.
- [0016] 이러한 폴리 실리콘은 직접 증착(as-deposition)하거나, 플라즈마 화학 기상 증착법(Plasma Enhanced Chemical Vapor Deposition ; PECVD) 또는 저압 화학 기상 증착법(Low Pressure Chemical Vapor Deposition ; LPCVD)으로 비정질 실리콘을 증착한 후 이를 결정화함으로써 형성할 수 있다.
- [0017] 비정질 실리콘을 이용하여 폴리 실리콘을 형성하는 방법으로는 고상 결정화(Solid Phase Crystallization : SPC) 방법, 금속유도 결정화(Metal Induced Crystallization : MIC) 방법, 그리고 엑시머 레이저 어닐링(Excimer Laser Annealing : ELA) 방법, 순차측면고상법(sequential lateral solidification : SLS) 등이 있다.
- [0018] 이 중에서 엑시머 레이저 어닐링(ELA)법은 가장 널리 사용되는 결정화 방법으로 엑시머 레이저라는 펄스화된 자외선(UV)을 사용하는 어닐링 방법이다. 비정질 실리콘 박막을 엑시머 레이저를 이용하여 어닐링함으로써 양질의 폴리 실리콘을 형성할 수 있다. 레이저에 의해 비정질 실리콘이 녹는 온도가 높음에도 불구하고 비교적 짧은 시간내에 열처리되기 때문에 기판에 손상을 주지 않는 장점을 가지고 있다.
- [0019] 이와 같은 엑시머 레이저 어닐링법을 이용한 비정질 실리콘의 결정화 방법을 종래의 영상표시장치에 적용하면 스위칭 박막트랜지스터(T_{SW}) 및 구동 박막트랜지스터(T_D)의 반도체층을 폴리 실리콘으로 형성할 수 있다.
- [0020] 따라서 스위칭 박막트랜지스터(T_{SW})와 구동 박막트랜지스터(T_D)가 동일한 특성을 가진다.
- [0021] 하지만 영상표시장치의 스위칭 박막트랜지스터(T_{SW})와 구동 박막트랜지스터(T_D)에서 요구되는 특성은 각각 다르기 때문에 기판 전면에 증착되어 있는 비정질 실리콘 전체를 동일한 특성을 가진 폴리 실리콘으로 형성하는 종래의 영상표시장치는 효율에 문제가 발생한다.
- [0022] 즉, 구동 박막트랜지스터(T_D)에서 요구되는 균일한 구동 특성을 위하여 비정질 실리콘의 결정화를 하면 스위칭

박막트랜지스터(Tsw)에서 필요한 높은 이동도를 구현하지 못한다.

[0023] 또는, 스위칭 박막트랜지스터(Tsw)에서 요구되는 높은 이동도를 구현하기 위하여 비정질 실리콘의 결정화를 하면 구동 박막트랜지스터(T_D)의 균일한 구동 특성을 구현하지 못한다.

[0024] 고효율, 고속응답을 요구하는 영상표시장치에서 이와 같은 문제는 영상표시장치의 품질저하의 요인이다.

발명의 내용

해결하려는 과제

[0025] 본 발명은, 상기한 문제점을 해결하기 위하여 제시된 것으로, 스위칭 박막트랜지스터와 구동 박막트랜지스터의 결정화 정도를 각각 다르게 결정화하여 각각 특성이 다른 반도체층을 갖는 스위칭 및 구동 박막트랜지스터를 포함하는 유기발광 디스플레이 장치 및 이의 제조 방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0026] 위와 같은 과제의 해결을 위해, 본 발명은, 기판과; 상기 기판 상부에 형성되고 무기막을 포함하는 베퍼층과; 상기 기판 상부에 서로 교차하여 다수의 화소를 정의하는 게이트 배선, 데이터 배선 및 전원 배선과; 상기 게이트 배선 및 상기 데이터 배선에 연결되는 제1 박막트랜지스터와; 상기 제1 박막트랜지스터 및 상기 전원 배선에 연결되는 제2 박막트랜지스터와; 상기 제2 박막트랜지스터와 연결되고 상기 제2 박막트랜지스터에 의해 전류가 흘러 빛을 발하는 유기발광 다이오드를 포함하고, 상기 무기막은 상기 제2 박막트랜지스터에 대응하는 영역에 개구부를 가지고 상기 기판 전면에 위치하는 것을 특징으로 하는 유기발광 디스플레이 장치를 제공한다.

[0027] 이때, 상기 베퍼층은 상기 무기막과 상부 또는 하부에 산화 실리콘층을 더 포함하며, 상기 산화실리콘층의 열 전도율은 상기 무기막보다 작은 것을 특징으로 한다.

[0028] 그리고 상기 무기막 하부와 상부에 각각 제1 산화 실리콘층과 제2 산화 실리콘층을 더 포함하고, 상기 제1 및 제2 산화실리콘층의 열 전도율은 상기 무기막보다 작은 것을 특징으로 한다.

[0029] 그리고, 상기 제1 박막트랜지스터와 상기 제2 박막트랜지스터의 반도체층은 폴리실리콘을 포함하고, 상기 제1 박막트랜지스터의 반도체층은 상기 제2 박막트랜지스터의 반도체층보다 그레인 크기가 큰 것을 특징으로 한다.

[0030] 한편 본 발명은, 기판 상부에 무기막을 포함하는 베퍼층을 형성하는 단계와; 상기 베퍼층 상부에 서로 교차하여 다수의 화소를 정의하는 게이트 배선, 데이터 배선 및 전원 배선을 형성하는 단계와; 상기 게이트 배선 및 상기 데이터 배선에 연결되는 제1 박막트랜지스터와 상기 제1 박막트랜지스터 및 상기 전원 배선에 연결되는 제2 박막트랜지스터를 형성하는 단계와; 상기 제2 박막트랜지스터와 전기적으로 연결되는 유기발광 다이오드를 형성하는 단계를 포함하고, 상기 무기막은 상기 제2 박막트랜지스터에 대응하는 영역에 개구부를 가지고 상기 기판 전면에 위치하는 것을 특징으로 하는 유기발광 디스플레이 장치의 제조 방법을 제공한다.

[0031] 이때, 상기 베퍼층을 형성하는 단계는, 상기 무기막 상부 또는 하부에 산화 실리콘층을 형성하는 단계를 더 포함하고, 상기 산화실리콘층의 열 전도율은 상기 무기막보다 작은 것을 특징으로 한다.

[0032] 그리고, 상기 베퍼층을 형성하는 단계는, 상기 무기막 하부 또는 상부에 각각 제1 및 제2 산화 실리콘층을 형성하는 단계를 더 포함하며 상기 제1 및 제2 산화실리콘층의 열 전도율은 상기 무기막보다 작은 것을 특징으로 한다.

[0033] 그리고, 상기 제1 및 제2 박막트랜지스터를 형성하는 단계는 제1 및 제2반도체층을 형성하는 단계를 포함하고, 상기 제1 및 제2 반도체층을 형성하는 단계는, 비정질 실리콘층을 형성하는 단계와, 상기 비정질 실리콘층에 액시미 레이저빔을 조사하여 폴리 실리콘층을 형성하는 단계와, 상기 폴리 실리콘층을 패터닝하는 단계를 포함하며, 상기 제1 반도체층의 그레인 크기는 상기 제2 반도체층의 그레인 크기보다 큰 것을 특징으로 한다.

발명의 효과

[0034] 본 발명은 영상표시장치의 어레이 기판의 다수의 박막트랜지스터용 반도체층을 결정화 시킬 때 각각의 박막트랜지스터의 반도체층이 받는 에너지를 제어함으로써 각 반도체층의 결정화 정도를 다르게 하여 박막트랜지스터의 특성을 각각 다르게 형성함으로써 이동도가 큰 박막트랜지스터와, 균일성이 큰 박막트랜지스터를 동시에 형성하는 효과가 있다.

도면의 간단한 설명

[0035] 도 1은 종래의 유기발광 디스플레이 장치의 한 화소를 개략적으로 도시한 회로도이다.

도 2는 본 발명의 실시예를 적용한 유기발광 디스플레이 장치의 한 화소를 개략적으로 도시한 회로도이다.

도 3은 엑시머 레이저의 에너지 밀도에 따른 결정화된 그레인 크기를 도시한 그래프이다.

도 4는 본 발명의 실시예에 따른 유기발광 디스플레이 장치의 일부를 개략적으로 도시한 단면도이다.

도 5a 내지 도 5k는 도 4의 유기발광 디스플레이 장치의 제조방법을 수행하는 각 단계를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0036] 이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

[0037] 도 2는 본 발명의 실시예를 적용한 유기발광 디스플레이 장치의 한 화소를 개략적으로 도시한 회로도이다.

[0038] 도 2를 참조하면, 본 발명의 실시예를 적용한 유기발광 디스플레이 장치의 한 화소에는 게이트 배선(GL1)과 데이터 배선(DL1)이 교차하여 정의하는 화소와 각 화소마다 데이터 배선(DL1)과 평행하게 형성되는 전원배선(VL1)과, 데이터 배선(DL1)에서 스캔신호를 받아 화소를 온/오프(On/Off)하는 스위칭 박막트랜지스터(T_{SW})와, 전류를 흘려 보내는 구동 박막트랜지스터(T_D)와 구동 박막트랜지스터(T_D)에 한 프레임 동안 전압을 유지해 주는 스토리지 캐패시터(Storage Capacitor: C_S) 및 구동 박막트랜지스터(T_D)와 전기적으로 연결되어 구동 박막트랜지스터에서 인가하는 신호에 따라 대응되는 휘도의 빛을 생성하는 유기발광 다이오드(D_{EL})가 구성된다.

[0039] 그리고, 무기물질로 이루어진 무기막(128)이 각 화소의 구동 박막트랜지스터(T_D)를 제외한 나머지 화소영역을 덮는다.

[0040] 이때, 도시하지 않았지만 무기막은 벼파층(미도시)의 제1 및 제2 산화실리콘층(미도시) 사이에 위치한다.

[0041] 한편, 스위칭 박막트랜지스터(T_{SW})와 구동 박막트랜지스터(T_D)는 각각 게이트 전극과 반도체층과 소스 전극 및 드레인 전극을 포함한다.

[0042] 이때, 무기막(128)은 제1 및 제2 산화실리콘층보다 열 전도율이 높은 무기물질로 이루어질 수 있다.

[0043] 그리고, 스위칭 박막트랜지스터(T_{SW})의 게이트 전극은 게이트 배선(GL1)과 연결되고, 소스 전극은 데이터 배선(DL1)과 연결된다.

[0044] 그리고 스위칭 박막 트랜지스터(T_{SW})의 드레인 전극은 구동 박막트랜지스터(T_D)의 게이트 전극과 연결된다.

[0045] 또한 구동 박막트랜지스터(T_D)의 드레인 전극은 유기발광 다이오드(D_{EL})에 연결되고, 소스전극은 전원 배선(VL1)과 연결된다.

[0046] 한편 스토리지 캐패시터(C_S)는 구동박막트랜지스터(T_D)의 게이트 전극과 전원 배선(VL1) 사이에 연결된다.

[0047] 이와 같은 구성으로 유기발광 디스플레이 장치를 형성하면, 스위칭 박막트랜지스터(T_{SW}) 및 구동 박막트랜지스터(T_D)에 사용되는 반도체층인 비정질 실리콘(amorphous silicon: a-Si)을 엑시머 레이저 어닐링(ELA)법으로 결정화할 때, 무기막(128)이 위치하는 영역과 대응되는 비정질 실리콘은 산화실리콘층보다 열전도율이 높은 무기막(128)에 의해 가해지는 레이저의 에너지가 무기막이 없는 영역과 대응되는 비정질 실리콘에 비해 작다.

[0048] 이때, 비정질 실리콘이 흡수하는 레이저의 에너지 밀도에 따라 비정질 실리콘의 결정화 정도가 달라진다.

[0049] 이하 도 3을 참조하여 비정질 실리콘의 레이저 에너지 밀도 흡수 정도에 따른 결정화 차이를 설명한다.

- [0050] 도 3은 엑시머 레이저의 에너지 밀도에 따른 결정화된 그레인 크기를 도시한 그래프이다.
- [0051] 도 3에 도시한 바와 같이, 레이저의 에너지의 밀도를 높이면 그레인 크기가 커지다가 일정 에너지 밀도 이상에서는 완전 용융되어 그레인 크기가 매우 작아진다.
- [0052] 즉, 레이저의 에너지 밀도가 높아지면, 반도체층의 비정질 실리콘은 표면으로부터 더 깊은 곳까지 용융되는데, 에너지 밀도가 증가할수록 용융되는 양이 많아지며, 소정의 임계 에너지 밀도 이상에서는 비정질 실리콘이 완전히 용융되어 버린다.
- [0053] 이때, 비정질 실리콘이 완전히 용융되었다가 재결정화시 그레인의 크기가 매우 작게 형성되는 임계 에너지 밀도 이상의 영역을 완전 용융 영역(complete melting area : CM)이라 한다.
- [0054] 그리고, 비정질 실리콘이 기판의 계면까지 거의 용융되어 대략 $1000\mu\text{m}$ 내지 $6000\mu\text{m}$ 정도 크기의 그레인이 형성되는 에너지 밀도 영역을 완전 용융 근접 영역(near complete melting area : NCM)이라 한다.
- [0055] 또한, 레이저 에너지 밀도가 낮아 비정질 실리콘 중 상층 일부만 용융되는 영역을 부분 용융 영역(partial melting area : PM)이라 한다.
- [0056] 부분 용융 영역(PM)의 경우 용융된 비정질 실리콘 하부의 용융되지 않는 비정질 실리콘 내의 미세 그레인 시드(seed)로부터 상부 용융된 실리콘으로 응고되면서 그레인이 수직으로 성장하게 된다. 따라서 에너지 밀도 변화에 따른 그레인 크기의 변화가 적지만 형성되는 그레인 크기가 작게 된다.
- [0057] 따라서 도 2에 도시된 바와 같은 본 발명의 실시예를 참고하면, 완전용융 영역(CM)의 에너지 밀도를 가지는 엑시머 레이저를 기판상에 조사하였을 때, 무기막(도 2의 128)이 위치한 영역에서는 무기막(도 2의 128)에 의해 가해지는 엑시머 레이저의 에너지가 작아져 반도체층에 엑시머 레이저를 완전 용융 근접 영역(NCM)에 해당하는 에너지 밀도로 조사하는 것과 동일한 효과가 발생한다.
- [0058] 즉, 무기막(도 2의 128)이 적층된 영역의 스위칭 박막트랜지스터(Tsw)의 반도체층은 완전 용융 근접 영역(NCM)의 에너지 밀도를 가지는 엑시머 레이저를 조사하여 반도체층의 결정화를 이루는 것과 동일한 형태로 결정화가 이루어진다.
- [0059] 따라서 비정질 실리콘층이 기판과의 계면까지 거의 용융되지만 그 계면 일부에 용융되지 않는 비정질 실리콘이 존재한다.
- [0060] 이런 용융되지 않은 소량의 비정질 실리콘을 시드(Seed)로 하여 상부의 용융된 실리콘쪽으로 그레인의 성장이 일어나 그레인 크기는 불균일 하지만 그레인 크기는 최대화가 된다.
- [0061] 이와 같이, 동일한 에너지 밀도를 갖는 레이저를 조사하였을 때, 스위칭 박막트랜지스터(Tsw)의 반도체층은 결정화될 때 무기막으로 인해 조사하는 에너지 밀도를 받지 못한다. 따라서 스위칭 박막트랜지스터(Tsw)는 도 3에 도시된 완전 용융 근접 영역(NCM)의 레이저 밀도를 가지는 레이저를 조사하였을 때와 같은 결정화를 이룬다.
- [0062] 즉, 스위칭 박막트랜지스터(Tsw)의 반도체층은 그레인 크기가 크므로 스위칭 박막트랜지스터(Tsw)는 높은 이동도를 가지게 된다.
- [0063] 그리고, 구동 박막트랜지스터(T_D)의 반도체층은 결정화될 때 완전 용융 영역(CM)에 해당하는 엑시머 레이저의 에너지 밀도를 그대로 받는다.
- [0064] 따라서, 구동 박막트랜지스터(T_D)의 반도체층은 완전 용융 영역(CM)의 레이저 밀도를 가지는 레이저를 조사하였을 때와 같은 결정화를 이룬다.
- [0065] 즉, 구동 박막트랜지스터(T_D)의 반도체층은 내부의 비정질 실리콘이 완전 용융되어 그레인 크기는 작지만 균일한 결정화 특성을 가진 영역이 되어 균일한 구동 특성을 갖는다.
- [0066] 이와 같이 본 발명의 바람직한 실시예에 따르면, 무기막(128)으로 덮여있는 면에 대응하는 스위칭 박막트랜지스터(Tsw)의 반도체층과, 무기막(128)이 덮여있지 않는 면에 대응하는 구동 박막트랜지스터(T_D)의 반도체층은 서로 다른 특성을 가진다.
- [0067] 그러므로 스위칭 박막트랜지스터(Tsw)와 구동 박막트랜지스터(T_D)에서 요구되는 높은 이동도와 균일한 구동 특성을 각각 맞출 수 있게 되어 고속응답을 요구하는 유기발광 디스플레이 장치의 효율을 향상시킬 수 있다.

- [0068] 도 4는 본 발명의 실시예에 따른 유기발광 디스플레이 장치의 일부를 개략적으로 도시한 단면도이다.
- [0069] 도 4에 도시한 바와 같이, 본 발명의 실시예에 따른 유기발광 디스플레이 장치는 액티브 매트릭스 타입(Active Matrix type)으로, 각 화소영역에 제1 박막 트랜지스터 영역(T1)과 제2 박막트랜지스터 영역(T2) 및 캐패시터 영역(CA)이 정의된다.
- [0070] 기판(100) 상부에는 산화실리콘(SiO_2)이 전면 증착되어 일정한 두께를 갖는 베퍼층(120)이 위치한다.
- [0071] 이때, 베퍼층(120)은 내부에 산화실리콘 보다 열 전도율이 큰 무기막(128)을 포함하며 무기막(128)은 제1 산화 실리콘층(123)과 제2 산화실리콘층(125) 사이에 위치한다.
- [0072] 이때, 무기막(128)은 제2 박막트랜지스터 영역(T2)에 대응하여 제거되고 제1 박막트랜지스터 영역(T1) 및 캐패 시터 영역(CA)에 대응하여 위치한다.
- [0073] 따라서, 무기막(128)은 제2 박막트랜지스터 영역(T2)에 대응하여 개구부를 가지고, 기판(100) 전면에 형성된다.
- [0074] 그리고 무기막(128)은 무기막(128) 상부의 반도체층(134, 136)을 결정화하는 정도에 따라 형성되는 높이가 달라 질 수 있다.
- [0075] 한편, 제1 산화실리콘층(123) 또는 제2 산화실리콘층(125) 중 어느 하나의 산화실리콘층을 생략할 수 있으면, 남아있는 하나의 산화실리콘층의 두께를 제1 및 제2 산화실리콘층(123, 125)의 두께를 합한 것과 동일하게 형성 한 후 무기막을 형성하여 베퍼층(120)을 이룰 수 있다.
- [0076] 그리고, 베퍼층(120) 상부에는 제1 반도체층(136)과 제2 반도체층(134)이 위치한다.
- [0077] 이때, 제1 반도체층(136)과 제2 반도체층(134)은 각각 채널 영역(미도시)과 채널 영역 양측에 위치하여 제1 및 제 2 드레인 전극(177, 174)과 접촉하는 드레인 영역(미도시)과 제1 및 제2 소스 전극(175, 172)과 접촉하는 소스 영역(미도시)을 포함한다.
- [0078] 한편, 이와 같은 제1 반도체층(136) 및 제2 반도체층(134)은 폴리 실리콘으로 이루어진다.
- [0079] 이때, 베퍼층(120)은 베퍼층(120) 상부에 위치한 제1 반도체층(136) 및 제2 반도체층(134)을 결정화할 경우, 열에 의해 기판(100) 내부에 존재하는 알칼리 이온, 예를 들면 칼륨 이온(K^+), 나트륨 이온(Na^+) 등이 발생할 수 있는데, 이러한 알칼리 이온에 의해 결정화되어 형성된 폴리 실리콘의 막질 특성이 저하되는 것을 방지한다.
- [0080] 그리고, 제1 반도체층(136)과 제2 반도체층(134)은 각각 결정화된 정도가 다르다.
- [0081] 이때, 제1 반도체층(136)의 그레인 크기는 제2 반도체층(134)보다 크다.
- [0082] 한편, 제1 반도체층(136) 및 제2 반도체층(134)은 게이트 절연막(140)으로 덮여 있는데, 게이트 절연막(140)은 제1 반도체층(136) 및 제2 반도체층(134)의 양측 가장자리를 노출할 수 있다.
- [0083] 그리고, 게이트 절연막(140) 상부에는 제1 반도체층(136)과 제2 반도체층(134)의 채널영역에 대응하여 제1 및 제2 게이트 전극(156, 154)이 위치한다. 그리고 제1 및 제2 게이트 전극(156, 154)과 동일 공정으로 형성되는 제1 스토리지 캐패시터 전극(158)이 동일한 층에 위치한다.
- [0084] 이때, 제1 스토리지 캐패시터 전극(158)과 제1 및 제2 게이트 전극(156, 154)은 층간절연막(160)으로 덮여 있는데, 층간절연막(160)과 게이트 절연막(140)에는 제1 및 제2 반도체층(136, 134)의 소스 영역 및 드레인 영역 각각을 노출하는 반도체 콘택홀이 형성된다.
- [0085] 층간절연막(160) 상부에는, 제1 소스 전극(175)과 제1 드레인 전극(177)과 제2 소스전극(172)과 제2 드레인 전극(174)과 제2 스토리지 캐패시터 전극(178)이 위치한다.
- [0086] 이때, 제1 소스 전극(175)과 제1 드레인 전극(177)과 제1 게이트 전극(156) 및 제1 반도체층(136)은 제1 박막트 랜지스터 영역(T1)에 위치하고 제2 소스 전극(172)과 제2 드레인전극(174)과 제2 게이트 전극(154) 및 제2 반도체층(134)은 제2 박막트랜지스터 영역에 위치한다.
- [0087] 그리고, 제1 및 제2 소스 전극(175, 172)과 제1 및 제2 드레인 전극(177, 174)은, 각각 대응되는 반도체 콘택홀을 통해, 제1 및 제2 반도체층(136, 134)의 소스 영역 및 드레인 영역과 각각 접촉한다.
- [0088] 한편, 제1 소스 전극(175)과 제1 드레인 전극(177)과 제1 게이트 전극(156) 및 제1 반도체층(136)은 스위칭 박 막트랜지스터를 이룬다.

- [0089] 그리고 제2 소스 전극(172)과 제2 드레인 전극(174)과 제2 게이트 전극(154) 및 제1 반도체층(134)은 구동 박막 트랜지스터를 이룬다.
- [0090] 이때, 제1 스토리지 캐패시터 전극(158)과 제2 스토리지 캐패시터 전극(178)은 스토리지 캐패시터를 이룬다.
- [0091] 그리고, 제1 및 제2 소스 전극(175, 172)과 제1 및 제2 드레인 전극(177, 174)과 제2 스토리지 캐패시터 전극(178) 상부에는, 보호층(180)이 형성될 수 있다.
- [0092] 이때, 보호층(180) 상부에는 평탄화막(190)과 뱅크층(300) 및 유기발광 다이오드(260)가 위치한다.
- [0093] 한편, 보호층(180)과 평탄화막(190)은 제2 드레인 전극(174)을 노출하는 드레인 콘택홀(194)을 가진다. 이와 같은 드레인 콘택홀(194)을 통해, 유기발광 다이오드(260)는 구동 박막트랜지스터와 전기적으로 연결된다.
- [0094] 그리고, 유기발광 다이오드(260)는 제1 전극(200)과 제2 전극(240) 및 제1 및 제2 전극(200, 240) 사이에 형성된 유기발광층(220)을 포함한다.
- [0095] 한편 제1 전극(200)은, 화소전극이라 불릴 수 있고 투명도전성물질로 이루어질 수 있다. 예를 들면, ITO, IZO, GZO, IGZO 등의 물질이 사용될 수 있다. 이에 따라, 유기발광층(220)에서 생성된 빛은 제1 전극(200)을 통과할 수 있게 되며, 더 나아가 기판(100)을 통과하여 외부로 출사되는 하부발광 방식의 유기발광 디스플레이 장치로 사용할 수 있다.
- [0096] 제2 전극(240)은, 반사특성이 높은 불투명한 도전성물질로 이루어질 수 있다. 예를 들면, Al, AlNd, MgAg, MgAl 등과 같이 반사특성을 갖는 물질로 이루어 질 수 있다. 이에 따라, 유기발광층(220)에서 생성된 빛은 제2 전극(240)을 통과하지 않고 제1 전극(200) 방향으로 반사되어 나아갈 수 있게 된다.
- [0097] 전술한 바에서, 제1 전극(200) 및 제2 전극(240) 각각은, 애노드(anode) 및 캐소드(cathode)의 역할을 할 수 있다. 이처럼, 애노드의 역할을 하는 제1 전극(200)은 일함수 값과 투과도가 상대적으로 높은 물질로 이루어질 수 있으며, 캐소드 역할을 하는 제2 전극(240)은 일함수 값과 투과도가 상대적으로 낮은 물질로 이루어질 수 있다.
- [0098] 또는 제1 전극(200)과 제2 전극(240) 모두 금속재질로 만들고 그 중 하나의 두께를 얇게 형성하여 빛이 투과되도록 사용할 수 있다.
- [0099] 한편, 제1 전극(180) 상부에는, 화소영역마다 개구부(320)를 갖는 뱅크(bank)층(300)이 형성될 수 있다.
- [0100] 자세하게는 뱅크층(300)은 제1 전극(200)의 가장자리를 덮을 수 있고, 제1 전극(200)의 가장자리를 제외한 나머지는 개구부(320)로 형성할 수 있다.
- [0101] 이때, 뱅크층(300)의 개구부(320)에 대응하여 유기발광층(220)이 형성된다.
- [0102] 이때, 유기발광층(220)은, 애노드 역할을 하는 제1 전극(200)으로부터 공급되는 정공파, 캐도스 역할을 하는 제2 전극(240)으로부터 공급되는 전자의 결합에 의해 빛을 방출하는 기능을 하게 된다.
- [0103] 그리고, 제1 전극(200)과 제2 전극(240)은 각각의 재질을 바꾸어 형성할 수 있다. 즉, 제1 전극(200)과 제2 전극(240)의 재질을 바꾸면 상부발광 방식의 유기발광 디스플레이 장치로 사용할 수 있다.
- [0104] 이하 도면을 참조하여 본 발명의 유기발광 디스플레이 장치의 공정 단계를 설명한다.
- [0105] 도 5a 내지 도 5k는 도 4의 유기발광 디스플레이 장치의 제조방법을 수행하는 각 단계를 도시한 단면도이다.
- [0106] 이때, 설명의 편의를 위해 한 화소영역에는 제1 박막트랜지스터 영역(T1)과 제2 박막트랜지스터 영역(T2) 및 캐패시터 영역(CA)가 정의된다.
- [0107] 도 5a에 도시한 바와 같이, 투명한 기판(100) 상부에 산화실리콘(SiO_2)을 전면 증착하여 제1 산화실리콘층(123)을 형성한다.
- [0108] 제1 산화실리콘층(123) 상부에는 무기물을 전면 증착하고 포토 마스크(Photo mask)를 사용하여 패터닝하여 무기막(128)을 형성한다.
- [0109] 이때, 무기막(128)은 산화실리콘보다 열 전도율이 높은 무기물질로 형성될 수 있다.
- [0110] 이와 같은, 무기막(128)은 제2 박막트랜지스터 영역(T2)을 제외한 나머지 제1 산화실리콘층(123) 상부에 형성된

다.

[0111] 따라서, 무기막(128)은 제2 박막트랜지스터 영역(T2)에 대응하여 개구부를 가진다.

[0112] 다음 도 5b를 참조하면, 무기막(128)과 제1 산화실리콘층(123) 상부에 산화실리콘(SiO_2)를 전면 증착하여 제2 산화실리콘층(125)을 형성한다.

[0113] 이때, 제1 산화실리콘층(123)과 제2 산화실리콘층(125) 및 무기막(128)은 베퍼층(120)을 이룬다.

[0114] 또한, 제2 산화실리콘층(125)은 무기막(128)의 개구부를 통해 제1 산화실리콘층(123)과 접촉한다.

[0115] 한편, 무기막(128)이 베퍼층(120) 내부에 위치하는 높이는 무기막(128)의 열 전도율과 박막트랜지스터의 반도체층의 결정화 정도를 조절하기 위해 달라질 수 있다.

[0116] 그리고, 베퍼층(120) 상부에는 비정질 실리콘(a-Si)을 증착하여 비정질 실리콘층(130)을 형성한다.

[0117] 다음 도 5c를 참조하면, 베퍼층(120)과 비정질 실리콘층(130)이 형성된 기판(100) 상부에 엑시머 레이저빔을 조사함으로써 비정질 실리콘을 용융시켜 폴리 실리콘으로 결정화하여 폴리 실리콘층(132)을 형성한다.

[0118] 이때 베퍼층(120) 내부의 무기막(128)으로 인해, 무기막(128)이 형성된 영역에 대응되는 제1 영역(132b)에서는 비정질 실리콘이 조사된 엑시머 레이저빔의 에너지를 온전하게 받지 못해 완전 용융되지 않는다.

[0119] 하지만 무기막(128)이 형성되지 않은 영역의 제2 영역(132a)에서는 비정질 실리콘이 엑시머 레이저빔의 에너지를 온전하게 받아 완전 용융된다.

[0120] 이와 같이 무기막(128)으로 인해 비정질 실리콘의 용융 정도를 조절 가능하여 스위칭 박막트랜지스터(Tsw) 및 구동(T_D) 박막트랜지스터의 특성을 각각 조절할 수 있다. 예를들어 엑시머 레이저빔의 에너지 밀도, 즉 파워가 완전 용융 영역(CM)의 밀도를 가지면 엑시머 레이저빔에 노출된 비정질 실리콘은 완전 용융된다.

[0121] 하지만 무기막(128)이 형성된 영역에서는 무기막(128)이 존재하기 때문에 결정화하는데 필요한 에너지 밀도가 높아져 비정질 실리콘이 완전 용융 근접 영역(NCM)의 레이저 밀도를 가지는 레이저를 조사하였을 때와 같이 용융된다.

[0122] 이후, 용융된 비정질 실리콘이 냉각되어 폴리 실리콘이 된다.

[0123] 이때, 완전 용융 근접 영역(NCM)의 레이저를 조사하였을 때와 같이 비정질 실리콘이 기판의 계면까지 거의 용융되어 대략 $1000\mu m$ 내지 $6000\mu m$ 정도 크기의 그레인이 형성된다.

[0124] 따라서, 그레인 크기가 완전 용융 영역(CM)의 레이저 에너지 밀도를 받아 결정화된 제2 박막트랜지스터 영역(T2)에서 보다 크게 형성된다.

[0125] 다음 도 5d를 참조하면, 베퍼층(120)과 폴리 실리콘층(132)이 형성된 기판(100) 상부에 감광 수지를 도포하고 빛에 노출함으로써 섬 형태의 제1 및 제2 반도체층(136, 134)을 형성하기 위한 패턴을 형성하고, 이후 식각 공정을 통해 섬 형태의 제1 및 제2 반도체층(136, 134)을 형성할 수 있다.

[0126] 다음 도 5e를 참조하면, 베퍼층(120)과 제1 및 제2 반도체층(136, 134) 상부에는 게이트 절연막(140)이 전면에 증착된다.

[0127] 이때, 게이트 절연막(140)은 제1 및 제2 반도체층(136, 134)을 보호하며 제1 및 제2 반도체층(136, 134)을 절연시킨다. 그리고, 게이트 절연막(140) 상부에는 제1 금속층(미도시)이 전면에 증착된다.

[0128] 이후 제1 금속층을 포토마스크를 사용하여 패터닝하여 섬 형태로 형성한다.

[0129] 즉, 제1 금속층은 패터닝되어 제1 게이트 전극(156)과 제2 게이트 전극(154) 및 제1 스토리지 캐패시터 전극(158)으로 섬 형태로 형성한다.

[0130] 다음 도 5f를 참조하면, 게이트 전극(159)과 게이트 절연막(140) 상부에는 게이트 전극(159)을 덮으며 충간절연막(160)이 증착된다.

[0131] 이때, 충간 절연막(160)과 게이트 절연막(140)이 형성된 기판(100) 상부에 감광 수지를 도포하고 빛에 노출함으로써 패턴을 형성하고, 이후 식각 공정을 통해 에칭(Etching)하여 충간절연막(160)과 게이트 절연막(140)에 제1 내지 제4 콘택홀(160a, 160b, 160c, 160d)을 형성하여 제1 및 제2 반도체층(136, 134)의 양 측면을 노출한다.

- [0132] 그리고, 이와 같은 공정은 층간 절연막(160)과 게이트 절연막(140) 각각에서 이루어질 수 있다.
- [0133] 다음 5g를 참조하면, 층간 절연막(160)과 게이트 절연막(140) 상부와 제1 내지 제4 콘택홀(도 5의 160a, 160b, 160c, 160d)을 따라 제2 금속층(미도시)이 형성된다.
- [0134] 그리고, 제2 금속층을 포토 마스크로 패터닝하여 제1 소스 전극(175) 및 제1 드레인 전극(177)과 제2 소스 전극(172) 및 제2 드레인 전극(174)과 제2 스토리지 캐패시터 전극(178)을 형성한다.
- [0135] 이때, 제2 소스 전극(172) 및 제2 드레인 전극(174)과 제1 소스 전극(175) 및 제1 드레인 전극(177)은 제1 콘택홀 내지 제4 콘택홀(도 5f의 160a, 160b, 160c, 160d)을 통해 구동 박막트랜지스터(T_D)와 스위칭 박막트랜지스터(T_{SW})의 제1 및 제2 반도체층(136, 134)에 각각 접촉한다.
- [0136] 더 자세하게는, 제1 소스 전극(175)과 제1 드레인 전극(177)은 제1 반도체층(136)의 소스 영역과 드레인 영역에 각각 접촉하고, 제2 소스 전극(172)과 제2 드레인 전극(174)은 제2 반도체층(134)의 소스 영역과 드레인 영역에 각각 접촉한다.
- [0137] 다음 도 5h를 참조하면, 제1 및 제2 소스 전극(175, 172)과 제1 및 제2 드레인 전극(177, 174)과 제2 스토리지 캐패시터 전극(178) 상부에는 각각을 보호하는 보호층(180)이 증착된다.
- [0138] 이때, 보호층(180)은 SiO_2 , $SiNx$ 등의 무기물로 형성될 수 있다.
- [0139] 그리고 보호층(180)의 상부에는 평탄화막(190)이 형성된다. 이때, 평탄화막(190)은 유기물질로 이루어질 수 있는데, 예를 들어 포토아크릴(photocrylic), 폴리이미드(polyimide), BCB(Benzo Cyclo Butene)를 포함할 수 있다.
- [0140] 이어, 평탄화막(190)과 보호층(180)을 패터닝하여 구동 박막트랜지스터의 드레인 전극(174)을 노출하는 드레인 콘택홀(194)을 형성한다.
- [0141] 이와 같은 드레인 콘택홀(194)은 평탄화막(170)과 보호층(180) 상부에 감광 수지를 도포하고 빛에 노출함으로써 드레인 콘택홀(194)을 형성하기 위한 패턴을 형성하고, 이후 식각 공정을 통해 에칭하여 드레인 콘택홀(194)을 형성할 수도 있다.
- [0142] 그리고, 이와 같은 공정은 평탄화막(170)과 보호층(180) 각각에서 이루어질 수도 있다.
- [0143] 한편, 드레인 콘택홀(194)을 형성한 후에는 스트립(Strip) 공정을 통해 도포된 감광수지를 제거할 수 있다.
- [0144] 다음 도 5i를 참조하면, 평탄화막(170) 상부에 드레인 콘택홀(194)을 통해 구동 박막 트랜지스터(T_D)의 드레인 전극(174)과 전기적으로 연결되는 제1 전극(200)을 형성한다.
- [0145] 이때, 제1 전극(200)은 화소전극이라 불릴 수 있고, 투명도전성물질로 이루어질 수 있다. 예를 들면, ITO, IZO, GZO, IGZO 등의 물질이 사용될 수 있다.
- [0146] 다음 도 5j를 참조하면, 제1 전극(200) 상부에는 유기물질을 도포하고 이를 패터닝하여 화소영역 마다 개구부(320)를 갖는 뱅크(bank)층(300)이 형성된다.
- [0147] 좀 더 자세히, 뱅크층(300)은 제1 전극(200)의 가장자리를 덮을 수 있고, 제1 전극(200)의 가장자리를 제외한 나머지에는 개구부(320)가 형성된다.
- [0148] 다음 5k를 참조하면, 제1 전극의 상부에 유기발광층(220)이 형성되고, 뱅크층(300)과 유기발광층(220) 상부에는 제2 전극(240)이 형성된다.
- [0149] 이때, 뱅크층(300)의 개구부(320)에는 적, 녹, 청의 발광층이 형성될 수 있다.
- [0150] 그리고, 제2 전극(240)은 반사특성이 높은 불투명한 도전성물질로 이루어질 수 있다. 예를 들면, Al, AlNd, MgAg, MgAl 등과 같이 반사특성을 갖는 물질로 이루어 질 수 있다.
- [0151] 이에 따라, 유기발광층(220)에서 생성된 빛은 제2 전극(240)을 통과하지 않고 투명도전성물질로 이루어진 제1 전극(280) 방향으로 반사되어 나아갈 수 있게 된다.
- [0152] 한편, 제1 전극(200)과 제2 전극(240) 및 유기발광층(220)은 유기발광다이오드(260)를 이룬다.
- [0153] 이와 같이 기판 상부의 버퍼층 내부에 무기막을 형성하여 박막트랜지스터의 결정화가 이루어 질 때 무기막이 존재하면 비정질 실리콘의 결정화하는데 필요한 에너지 밀도가 높아져 반도체층의 비정질 실리콘의 결정화 정도를

조절 가능하여 고속응답이 필요한 유기발광 디스플레이 장치에서 효율을 높일 수 있다.

[0154]

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 기술자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

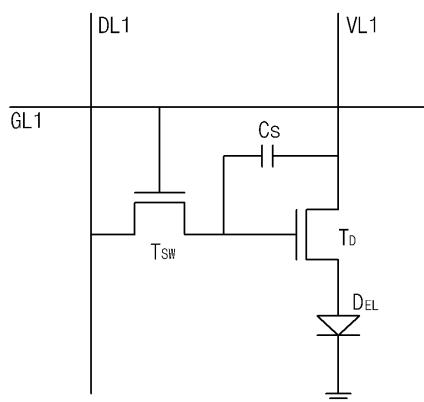
부호의 설명

[0155]

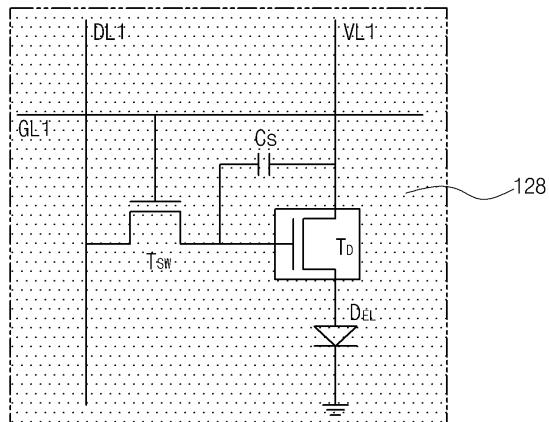
100 : 기판	120 : 베퍼층
123 : 제1 산화실리콘층	125 : 제2 산화실리콘층
128 : 무기막	134: 제2 반도체층
136: 제1 반도체층	138 : 반도체층
140 : 게이트 절연막	154 : 제2 게이트 전극
156 : 제1 게이트 전극	
158 : 제1 스토리지 캐패시터 전극	160 : 층간 절연막
172 : 제2 소스 전극	174 : 제2 드레인 전극
175 : 제1 소스 전극	177 : 제1 드레인 전극
178 : 제2 스토리지 캐패시터 전극	180 : 보호층
190 : 평탄화막	194 : 드레인 콘택홀
200 : 제1 전극	220 : 유기발광층
240 : 제2 전극	260 : 유기발광 다이오드
300 : 뱅크층	320 : 개구부
T1 : 스위칭 박막트랜지스터	T2 : 구동 박막트랜지스터
CA : 스토리지 캐패시터	

도면

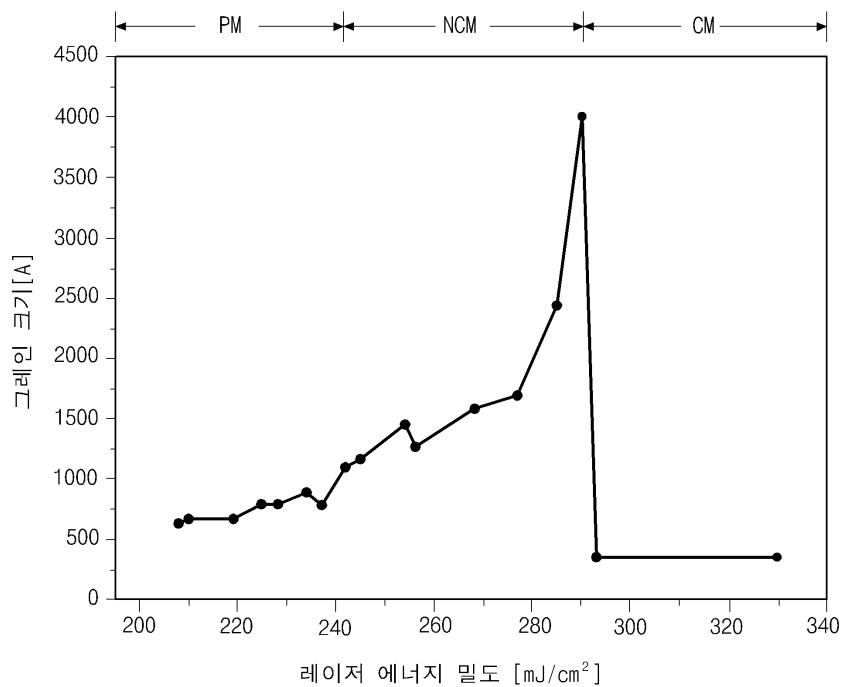
도면1



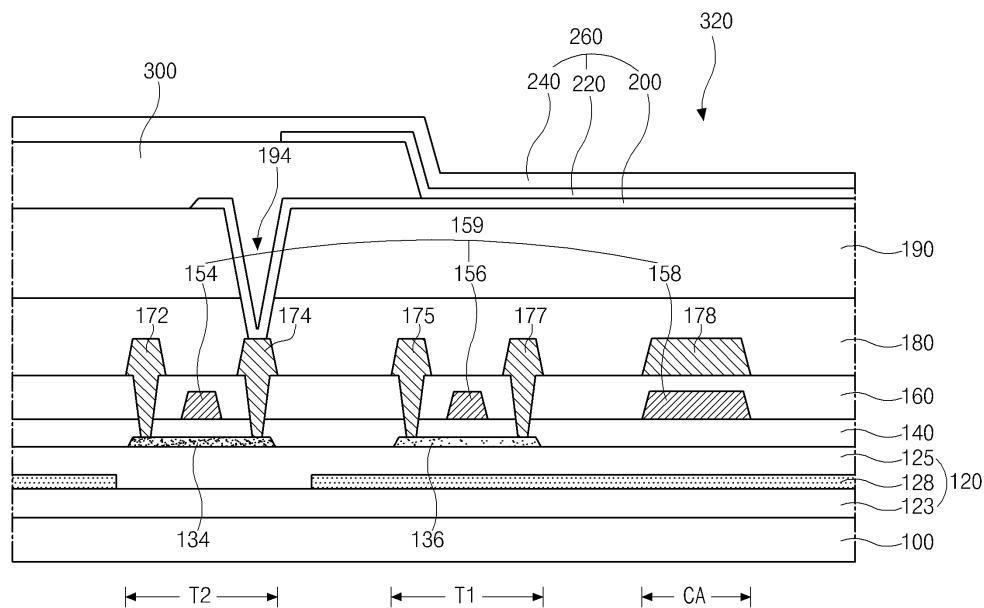
도면2



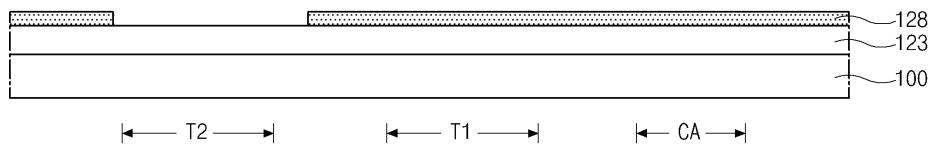
도면3



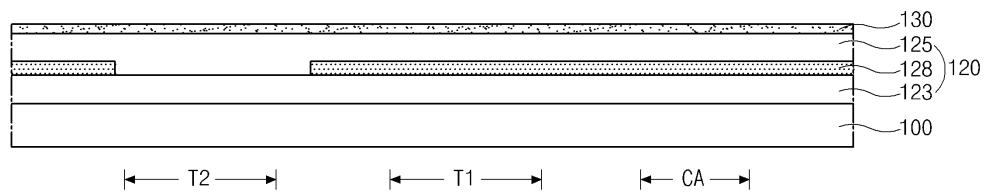
도면4



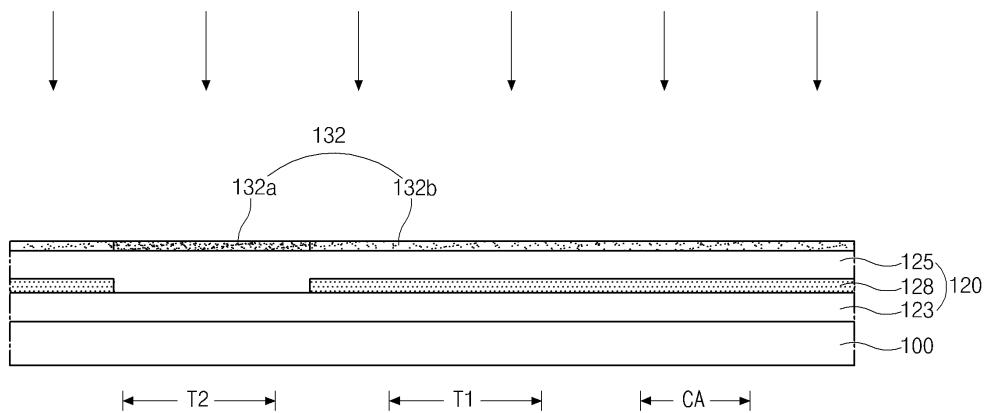
도면5a



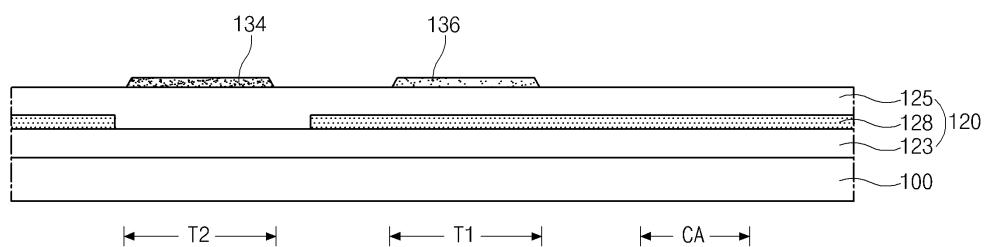
도면5b



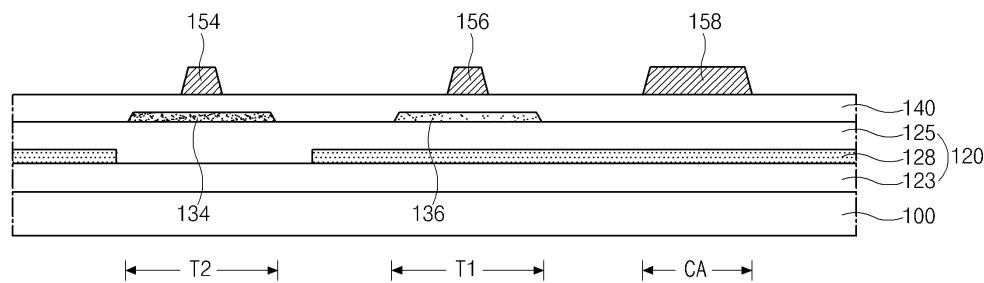
도면5c



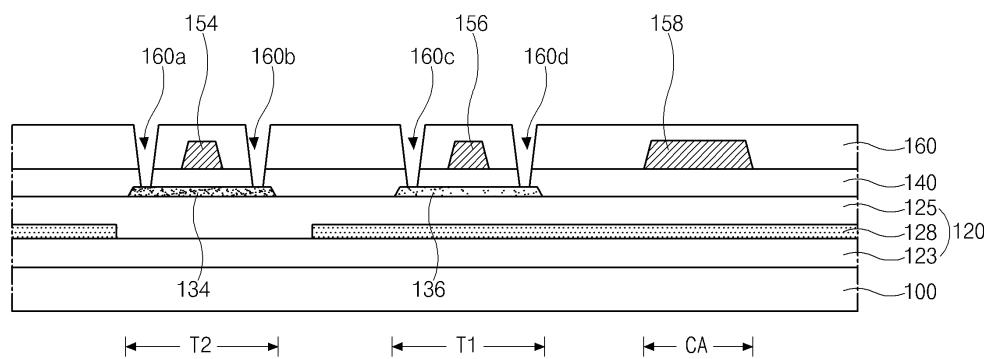
도면5d



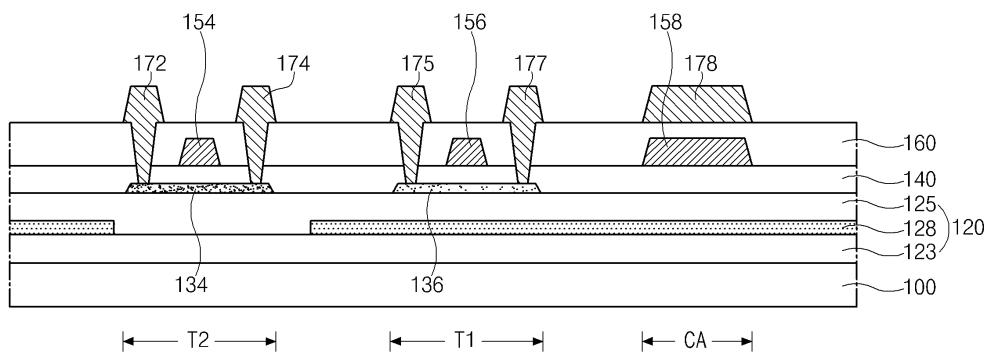
도면5e



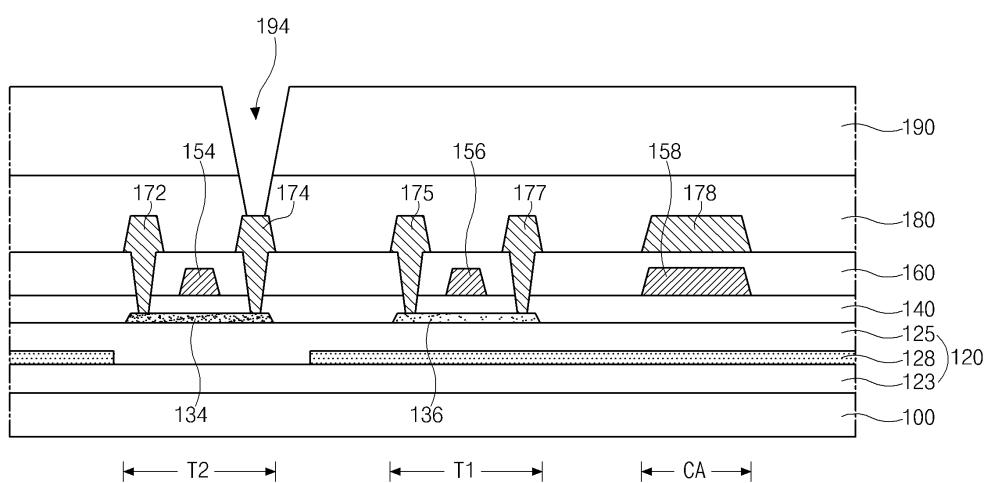
도면5f



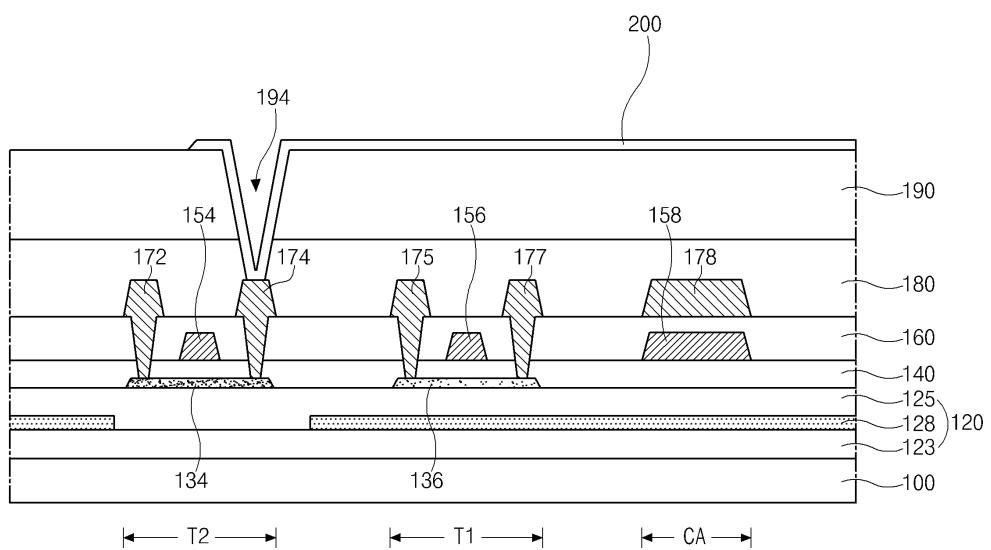
도면5g



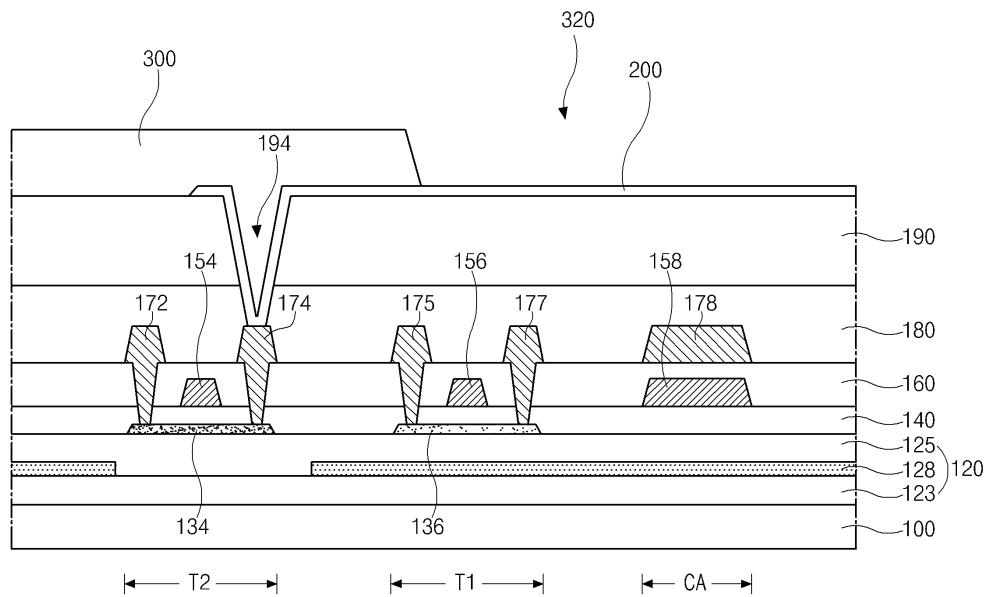
도면5h



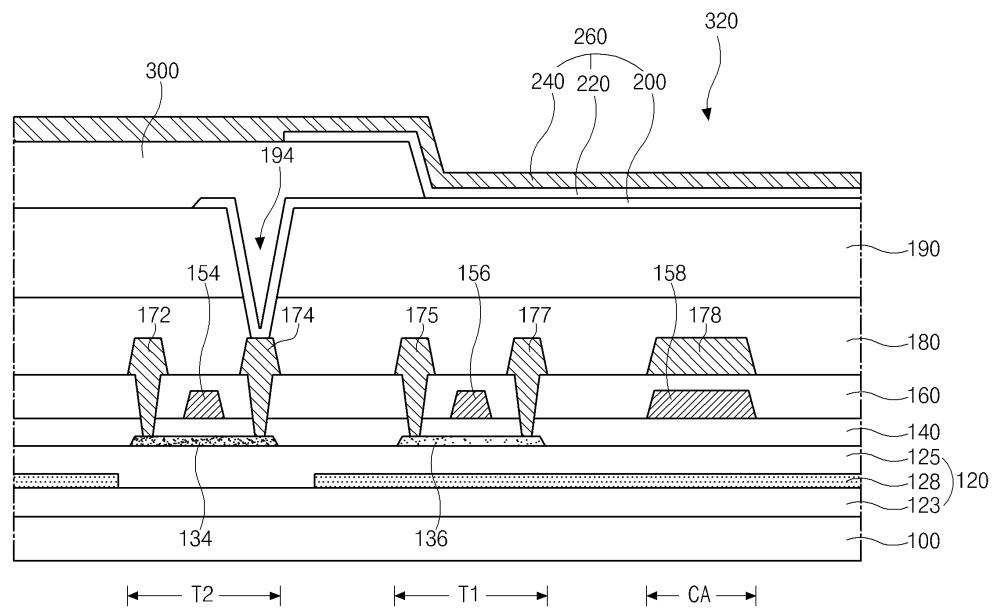
도면5i



도면5j



도면5k



专利名称(译)	包括多晶硅薄膜晶体管的有机发光显示装置及其制造方法		
公开(公告)号	KR1020140117229A	公开(公告)日	2014-10-07
申请号	KR1020130032420	申请日	2013-03-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	RYU WON SANG 류원상		
发明人	류원상		
IPC分类号	H01L51/50 H01L29/786 H05B33/10		
CPC分类号	H01L27/3276 H01L27/1229 H01L27/1218 H01L27/3244 H01L27/1262 H01L21/02675 H01L27/3262		
其他公开文献	KR102034071B1		
外部链接	Espacenet		

摘要(译)

도4

本发明的基材；缓冲层形成在基板上并包括无机膜；栅极布线，数据布线和电源布线在基板上彼此交叉以限定多个像素；第一薄膜晶体管连接至栅极线和数据线；第二薄膜晶体管连接至第一薄膜晶体管和电源线；以及有机发光二极管，其连接至第二薄膜晶体管并且具有流过第二薄膜晶体管的电流，其中无机层是无机膜。提供一种有机发光显示装置，该有机发光显示装置在与第二薄膜晶体管相对应的区域中具有开口并且位于基板的前面。专利出版物10-2014-0117229

