



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0035156
(43) 공개일자 2014년03월21일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) G09G 3/30 (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2012-0101667
(22) 출원일자 2012년09월13일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
신황섭
경기 성남시 분당구 서현로 204, 에클라트2차 81
8호 (서현동, LG)
(74) 대리인
팬코리아특허법인

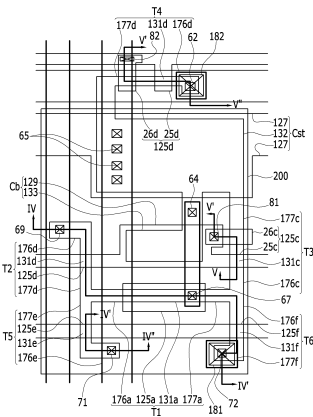
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선, 상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터 및 상기 구동 전압선과 연결되어 있는 구동 박막 트랜지스터, 상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터, 상기 구동 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드를 포함하고, 상기 보상 박막 트랜지스터의 보상 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 보상 게이트 전극 및 제2 보상 게이트 전극을 포함할 수 있다. 따라서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 보상 박막 트랜지스터의 보상 게이트 전극은 서로 다른 층에 형성되어 있는 제1 보상 게이트 전극 및 제2 보상 게이트 전극을 포함하는 이중 게이트 전극 구조로 형성하고, 제1 보상 게이트 전극은 데이터 신호가 유입되는 보상 소스 전극과 인접하게 형성하여 전하 이동도를 향상시키고, 제2 보상 게이트 전극은 보상 드레인 전극과 인접하게 형성하여 오프 누설 전류를 감소시킬 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

기관,

상기 기관 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선,

상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선,

상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터,

상기 스위칭 박막 트랜지스터 및 상기 구동 전압선과 연결되어 있는 구동 박막 트랜지스터,

상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터,

상기 구동 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드

를 포함하고,

상기 보상 박막 트랜지스터의 보상 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 보상 게이트 전극 및 제2 보상 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 보상 박막 트랜지스터는

상기 기관 위에 형성되어 있는 보상 반도체층,

상기 보상 반도체층을 덮고 있는 제1 게이트 절연막,

상기 제1 게이트 절연막 위에 형성되어 있는 제1 보상 게이트 전극,

상기 제1 게이트 절연막 및 상기 제1 보상 게이트 전극을 덮고 있는 제2 게이트 절연막,

상기 제2 게이트 절연막 위에 형성되어 있는 제2 보상 게이트 전극

을 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 제1 보상 게이트 전극은 상기 보상 박막 트랜지스터의 보상 소스 전극과 인접하고 있으며,

상기 제2 보상 게이트 전극은 상기 보상 박막 트랜지스터의 보상 드레인 전극과 인접하고 있는 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 제1 보상 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 보상 게이트 전극과 연결되어 있는 유기 발광 표시 장치.

청구항 5

제3항에서,

상기 제1 보상 게이트 전극과 상기 제2 보상 게이트 전극은 서로 평행한 유기 발광 표시 장치.

청구항 6

제3항에서,

상기 제1 보상 게이트 전극과 상기 제2 보상 게이트 전극은 사이각을 가지는 유기 발광 표시 장치.

청구항 7

제4항에서,

상기 제1 보상 게이트 전극은 상기 스캔선과 동일한 층에 형성되어 있는 유기 발광 표시 장치.

청구항 8

제1항에서,

이전 스캔선을 통해 전달받은 이전 스캔 신호에 따라 턴 온되어 초기화 전압을 상기 구동 박막 트랜지스터의 구동 게이트 전극에 전달하는 초기화 박막 트랜지스터를 더 포함하고,

상기 초기화 박막 트랜지스터의 초기화 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 초기화 게이트 전극 및 제2 초기화 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 초기화 박막 트랜지스터는

상기 기판 위에 형성되어 있는 초기화 반도체층,

상기 초기화 반도체층을 덮고 있는 제1 게이트 절연막 위에 형성되어 있는 제1 초기화 게이트 전극,

상기 제1 게이트 절연막 및 상기 제1 초기화 게이트 전극을 덮고 있는 상기제2 게이트 절연막 위에 형성되어 있는 제2 초기화 게이트 전극

을 포함하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 제1 초기화 게이트 전극은 상기 초기화 박막 트랜지스터의 초기화 소스 전극과 인접하고 있으며,

상기 제2 초기화 게이트 전극은 상기 초기화 박막 트랜지스터의 초기화 드레인 전극과 인접하고 있는 유기 발광 표시 장치.

청구항 11

제9항에서,

상기 제1 초기화 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 초기화 게이트 전극과 연결되어 있는 유기 발광 표시 장치.

청구항 12

제9항에서,

상기 제1 초기화 게이트 전극과 상기 제2 초기화 게이트 전극은 서로 평행한 유기 발광 표시 장치.

청구항 13

제9항에서,

상기 제1 초기화 게이트 전극과 상기 제2 초기화 게이트 전극은 서로 사이각을 가지는 유기 발광 표시 장치.

청구항 14

제4항에서,

상기 제1 초기화 게이트 전극은 상기 스캔선과 동일한 층에 형성되어 있는 유기 발광 표시 장치.

청구항 15

제8항에서,

상기 스위칭 박막 트랜지스터의 스위칭 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 스위칭 게이트 전극 및 제2 스위칭 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 16

제15항에서,

상기 스위칭 박막 트랜지스터는

상기 기판 위에 형성되어 있는 스위칭 반도체층,

상기 스위칭 반도체층을 덮고 있는 제1 게이트 절연막 위에 형성되어 있는 제1 스위칭 게이트 전극,

상기 제1 게이트 절연막 및 상기 제1 스위칭 게이트 전극을 덮고 있는 상기제2 게이트 절연막 위에 형성되어 있는 제2 스위칭 게이트 전극

을 포함하는 유기 발광 표시 장치.

청구항 17

제16항에서,

상기 제1 스위칭 게이트 전극은 상기 스위칭 박막 트랜지스터의 스위칭 소스 전극과 인접하고 있으며,

상기 제2 스위칭 게이트 전극은 상기 스위칭 박막 트랜지스터의 스위칭 드레인 전극과 인접하고 있는 유기 발광 표시 장치.

청구항 18

제16항에서,

상기 제1 스위칭 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 스위칭 게이트 전극과 연결되어 있는 유기 발광 표시 장치.

청구항 19

제8항에서,

발광 제어선에 의해 전달된 발광 제어 신호에 의해 턴온되어 상기 구동 전압을 상기 구동 박막 트랜지스터에서 상기 유기 발광 다이오드로 전달하는 발광 제어 박막 트랜지스터를 더 포함하고,

상기 발광 제어 박막 트랜지스터의 발광 제어 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 발광 제어 게이트 전극 및 제2 발광 제어 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 20

제19항에서,

상기 발광 제어 박막 트랜지스터는

상기 기판 위에 형성되어 있는 발광 제어 반도체층,

상기 발광 제어 반도체층을 덮고 있는 제1 게이트 절연막 위에 형성되어 있는 제1 발광 제어 게이트 전극,

상기 제1 게이트 절연막 및 상기 제1 발광 제어 게이트 전극을 덮고 있는 상기제2 게이트 절연막 위에 형성되어

있는 제2 발광 제어 게이트 전극
을 포함하는 유기 발광 표시 장치.

청구항 21

제20항에서,
상기 제1 발광 제어 게이트 전극은 상기 발광 제어 박막 트랜지스터의 발광 제어 소스 전극과 인접하고 있으며,
상기 제2 발광 제어 게이트 전극은 상기 발광 제어 박막 트랜지스터의 발광 제어 드레인 전극과 인접하고 있는
유기 발광 표시 장치.

청구항 22

제20항에서,
상기 제1 발광 제어 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 발광
제어 게이트 전극과 연결되어 있는 유기 발광 표시 장치.

청구항 23

제19항에서,
상기 발광 제어선에 의해 전달된 발광 제어 신호에 의해 턴온되어 상기 구동 전압을 상기 구동 박막 트랜지스터
로 전달하는 동작 제어 박막 트랜지스터를 더 포함하고,
상기 동작 제어 박막 트랜지스터의 동작 제어 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있
는 제1 동작 제어 게이트 전극 및 제2 동작 제어 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 24

제23항에서,
상기 동작 제어 박막 트랜지스터는
상기 기판 위에 형성되어 있는 동작 제어 반도체층,
상기 동작 제어 반도체층을 덮고 있는 제1 게이트 절연막 위에 형성되어 있는 제1 동작 제어 게이트 전극,
상기 제1 게이트 절연막 및 상기 제1 동작 제어 게이트 전극을 덮고 있는 상기제2 게이트 절연막 위에 형성되어
있는 제2 동작 제어 게이트 전극
을 포함하는 유기 발광 표시 장치.

청구항 25

제24항에서,
상기 제1 동작 제어 게이트 전극은 상기 동작 제어 박막 트랜지스터의 동작 제어 소스 전극과 인접하고 있으며,
상기 제2 동작 제어 게이트 전극은 상기 동작 제어 박막 트랜지스터의 동작 제어 드레인 전극과 인접하고 있는
유기 발광 표시 장치.

청구항 26

제24항에서,
상기 제1 동작 제어 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 동작
제어 게이트 전극과 연결되어 있는 유기 발광 표시 장치.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 박막 트랜지스터 및 하나 이상의 캐패시터(Capacitor)가 형성되어 있다.

[0004] 이러한 박막 트랜지스터의 오프 상태에서 누설(leakage)되는 오프 누설 전류(Off leakage current)를 감소시키기 위해 박막 트랜지스터의 채널 영역에 2개의 게이트 전극을 형성하는 이중 게이트 구조가 사용된다. 그러나 고해상도의 유기 발광 표시 장치에서는 공간 부족으로 이중 게이트 구조를 형성하기 어렵다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전술한 배경 기술의 문제점을 해결하기 위한 것으로서, 고해상도에서도 이중 게이트 구조를 형성할 수 있고, 이를 통해 얼룩 발생을 방지할 수 있는 유기 발광 표시 장치에 관한 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선, 상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터 및 상기 구동 전압선과 연결되어 있는 구동 박막 트랜지스터, 상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터, 상기 구동 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드를 포함하고, 상기 보상 박막 트랜지스터의 보상 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 보상 게이트 전극 및 제2 보상 게이트 전극을 포함할 수 있다.

[0007] 상기 보상 박막 트랜지스터는 상기 기판 위에 형성되어 있는 보상 반도체층, 상기 보상 반도체층을 덮고 있는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 형성되어 있는 제1 보상 게이트 전극, 상기 제1 게이트 절연막 및 상기 제1 보상 게이트 전극을 덮고 있는 제2 게이트 절연막, 상기 제2 게이트 절연막 위에 형성되어 있는 제2 보상 게이트 전극을 포함할 수 있다.

[0008] 상기 제1 보상 게이트 전극은 상기 보상 박막 트랜지스터의 보상 소스 전극과 인접하고 있으며, 상기 제2 보상 게이트 전극은 상기 보상 박막 트랜지스터의 보상 드레인 전극과 인접하고 있을 수 있다.

[0009] 상기 제1 보상 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 보상 게이트 전극과 연결되어 있을 수 있다.

[0010] 상기 제1 보상 게이트 전극과 상기 제2 보상 게이트 전극은 서로 평행할 수 있다.

[0011] 상기 제1 보상 게이트 전극과 상기 제2 보상 게이트 전극은 서로 사이각을 가질 수 있다.

[0012] 상기 제1 보상 게이트 전극은 상기 스캔선과 동일한 층에 형성되어 있을 수 있다.

[0013] 이전 스캔선을 통해 전달받은 이전 스캔 신호에 따라 턴 온되어 초기화 전압을 상기 구동 박막 트랜지스터의 구동 게이트 전극에 전달하는 초기화 박막 트랜지스터를 더 포함하고, 상기 초기화 박막 트랜지스터의 초기화 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 초기화 게이트 전극 및 제2 초기화 게이트 전극을 포함할 수 있다.

[0014] 상기 초기화 박막 트랜지스터는 상기 기판 위에 형성되어 있는 초기화 반도체층, 상기 초기화 반도체층을 덮고 있는 제1 게이트 절연막 위에 형성되어 있는 제1 초기화 게이트 전극, 상기 제1 게이트 절연막 및 상기 제1 초기화 게이트 전극을 덮고 있는 상기제2 게이트 절연막 위에 형성되어 있는 제2 초기화 게이트 전극을 포함할 수 있다.

- [0015] 상기 제1 초기화 게이트 전극은 상기 초기화 박막 트랜지스터의 초기화 소스 전극과 인접하고 있으며, 상기 제2 초기화 게이트 전극은 상기 초기화 박막 트랜지스터의 초기화 드레인 전극과 인접하고 있을 수 있다.
- [0016] 상기 제1 초기화 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 초기화 게이트 전극과 연결되어 있을 수 있다.
- [0017] 상기 제1 초기화 게이트 전극과 상기 제2 초기화 게이트 전극은 서로 평행할 수 있다.
- [0018] 상기 제1 초기화 게이트 전극과 상기 제2 초기화 게이트 전극은 서로 사이각을 가질 수 있다.
- [0019] 상기 제1 초기화 게이트 전극은 상기 스캔선과 동일한 층에 형성되어 있을 수 있다.
- [0020] 상기 스위칭 박막 트랜지스터의 스위칭 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 스위칭 게이트 전극 및 제2 스위칭 게이트 전극을 포함할 수 있다.
- [0021] 상기 스위칭 박막 트랜지스터는 상기 기판 위에 형성되어 있는 스위칭 반도체층, 상기 스위칭 반도체층을 덮고 있는 제1 게이트 절연막 위에 형성되어 있는 제1 스위칭 게이트 전극, 상기 제1 게이트 절연막 및 상기 제1 스위칭 게이트 전극을 덮고 있는 상기제2 게이트 절연막 위에 형성되어 있는 제2 스위칭 게이트 전극을 포함할 수 있다.
- [0022] 상기 제1 스위칭 게이트 전극은 상기 스위칭 박막 트랜지스터의 스위칭 소스 전극과 인접하고 있으며, 상기 제2 스위칭 게이트 전극은 상기 스위칭 박막 트랜지스터의 스위칭 드레인 전극과 인접하고 있을 수 있다.
- [0023] 상기 제1 스위칭 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 스위칭 게이트 전극과 연결되어 있을 수 있다.
- [0024] 발광 제어선에 의해 전달된 발광 제어 신호에 의해 턴온되어 상기 구동 전압을 상기 구동 박막 트랜지스터에서 상기 유기 발광 다이오드로 전달하는 발광 제어 박막 트랜지스터를 더 포함하고, 상기 발광 제어 박막 트랜지스터의 발광 제어 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 발광 제어 게이트 전극 및 제2 발광 제어 게이트 전극을 포함할 수 있다.
- [0025] 상기 발광 제어 박막 트랜지스터는 상기 기판 위에 형성되어 있는 발광 제어 반도체층, 상기 발광 제어 반도체층을 덮고 있는 제1 게이트 절연막 위에 형성되어 있는 제1 발광 제어 게이트 전극, 상기 제1 게이트 절연막 및 상기 제1 발광 제어 게이트 전극을 덮고 있는 상기제2 게이트 절연막 위에 형성되어 있는 제2 발광 제어 게이트 전극을 포함할 수 있다.
- [0026] 상기 제1 발광 제어 게이트 전극은 상기 발광 제어 박막 트랜지스터의 발광 제어 소스 전극과 인접하고 있으며, 상기 제2 발광 제어 게이트 전극은 상기 발광 제어 박막 트랜지스터의 발광 제어 드레인 전극과 인접하고 있을 수 있다.
- [0027] 상기 제1 발광 제어 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 발광 제어 게이트 전극과 연결되어 있을 수 있다.
- [0028] 상기 발광 제어선에 의해 전달된 발광 제어 신호에 의해 턴온되어 상기 구동 전압을 상기 구동 박막 트랜지스터로 전달하는 동작 제어 박막 트랜지스터를 더 포함하고, 상기 동작 제어 박막 트랜지스터의 동작 제어 게이트 전극은 서로 이격되어 있으며 서로 다른 층에 형성되어 있는 제1 동작 제어 게이트 전극 및 제2 동작 제어 게이트 전극을 포함할 수 있다.
- [0029] 상기 동작 제어 박막 트랜지스터는 상기 기판 위에 형성되어 있는 동작 제어 반도체층, 상기 동작 제어 반도체층을 덮고 있는 제1 게이트 절연막 위에 형성되어 있는 제1 동작 제어 게이트 전극, 상기 제1 게이트 절연막 및 상기 제1 동작 제어 게이트 전극을 덮고 있는 상기 제2 게이트 절연막 위에 형성되어 있는 제2 동작 제어 게이트 전극을 포함할 수 있다.
- [0030] 상기 제1 동작 제어 게이트 전극은 상기 동작 제어 박막 트랜지스터의 동작 제어 소스 전극과 인접하고 있으며, 상기 제2 동작 제어 게이트 전극은 상기 동작 제어 박막 트랜지스터의 동작 제어 드레인 전극과 인접하고 있을 수 있다.
- [0031] 상기 제1 동작 제어 게이트 전극은 상기 제2 게이트 절연막에 형성된 게이트 접촉 구멍을 통해 상기 제2 동작 제어 게이트 전극과 연결되어 있을 수 있다.

발명의 효과

- [0032] 본 발명의 일 실시예에 따르면, 보상 박막 트랜지스터의 보상 게이트 전극은 서로 다른 층에 형성되어 있는 제1 보상 게이트 전극 및 제2 보상 게이트 전극을 포함하는 이중 게이트 전극 구조로 형성하고, 제1 보상 게이트 전극은 데이터 신호가 유입되는 보상 소스 전극과 인접하게 형성하여 전하 이동도를 향상시키고, 구동 박막 트랜지스터의 구동 게이트 전극과 연결되는 제2 보상 게이트 전극은 보상 드레인 전극과 인접하게 형성하여 오프 누설 전류를 감소시킬 수 있다.
- [0033] 이와 같이, 전하 이동도를 향상시키는 동시에 오프 누설 전류를 감소시켜 온 오프 특성을 모두 향상시킬 수 있으며, 오프 누설 전류가 감소되므로 구동 박막 트랜지스터의 구동 게이트 전극의 게이트 전압이 일정하게 유지되어 얼룩 발생을 방지할 수 있다.
- [0034] 또한, 이중 게이트 전극 구조를 이루는 제1 보상 게이트 전극과 제2 보상 게이트 전극이 서로 다른 층에 형성되어 있으므로, 제1 보상 게이트 전극과 제2 보상 게이트 전극 사이의 간격을 줄일 수 있어 400 ppi(pixel per inch) 이상의 고해상도에서도 이중 게이트 전극 구조를 적용할 수 있다.
- [0035] 또한, 초기화 박막 트랜지스터의 초기화 게이트 전극, 스위칭 박막 트랜지스터의 스위칭 게이트 전극, 동작 제어 박막 트랜지스터의 동작 제어 게이트 전극 및 발광 제어 박막 트랜지스터의 발광 제어 게이트 전극도 보상 게이트 전극과 동일한 이중 게이트 전극 구조로 형성하여 전하 이동도를 향상시키는 동시에 오프 누설 전류를 감소시켜 온 오프 특성을 모두 향상시킬 수 있다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 2는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소에서 복수개의 박막 트랜지스터 및 캐패시터의 위치를 개략적으로 도시한 도면이다.
- 도 3은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이다.
- 도 4는 도 3의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이다.
- 도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.
- 도 6은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 제1 보상 게이트 전극의 게이트 전압(Vg)에 따른 소스 드레인간 전류(Ids)를 나타낸 그래프이다.
- 도 7은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 제2 보상 게이트 전극의 게이트 전압(Vg)에 따른 소스 드레인간 전류(Ids)를 나타낸 그래프이다.
- 도 8은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이다.
- 도 9는 본 발명의 제3 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0038] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0039] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0040] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0041] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0042] 또한, 첨부 도면에서는, 하나의 화소에 6개의 박막 트랜지스터(thin film transistor, TFT)와 2개의 캐패시터(capacitor)를 구비하는 6Tr 2Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치는 하나의 화소에 복수개의 박막 트랜지스터와 하나 이상의 캐패시터를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다. 여기서, 화소는 화상을 표시하는 최소 단위를 말하며, 유기 발광 표시 장치는 복수의 화소들을 통해 화상을 표시한다.
- [0043] 그러면 본 발명의 제1 실시예에 따른 유기 발광 표시 장치에 대하여 도 1 내지 도 5를 참고로 상세하게 설명한다.
- [0044] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- [0045] 도 1에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수의 신호선(121, 122, 123, 124, 171, 172), 복수의 신호선에 연결되어 있는 복수개의 박막 트랜지스터(T1, T2, T3, T4, T5, T6), 캐패시터(Cst, Cb) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.
- [0046] 박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터(switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)를 포함하며, 캐패시터(Cst, Cb)는 스토리지 캐패시터(storage capacitor)(Cst) 및 부스팅 캐패시터(boosting capacitor)(Cb)를 포함한다.
- [0047] 신호선은 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(122), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(123), 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하며 데이터선(171)과 거의 평행하게 형성되어 있는 구동 전압선(172), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(124)을 포함한다.
- [0048] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 캐패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다.
- [0049] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121), 부스팅 캐패시터의 타단(Cb2) 및 보상 박막 트랜지스터(T3)의 게이트 전극(G3)에 함께 연결되어 있고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0050] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121), 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2) 및 부스팅 캐패시터(Cb)의 타단(Cb2)에 함께 연결되어 있고, 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 캐패시터(Cst)의 일단(Cst1), 부스팅 캐패시터(Cb)의 일단(Cb1), 구동 박막 트랜지스터(T1)의 게이트 전극(G1) 및 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다. 이러한 보상 박막 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.

- [0051] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 부스팅 캐패시터의 일단(Cb1), 스토리지 캐패시터의 일단(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 초기화 박막 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0052] 동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)과 연결되어 있고, 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(S2)에 연결되어 있다.
- [0053] 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(En)에 따라 턴 온되어 구동 전압(ELVDD)이 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 구동 전류(Id)가 흐르게 된다.
- [0054] 스토리지 캐패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.
- [0055] 이하에서 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.
- [0056] 우선, 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(124)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 연결되고, 초기화 전압(Vint)에 의해 구동 박막 트랜지스터(T1)가 초기화된다.
- [0057] 이 후, 데이터 프로그래밍 기간동안 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴 온된다.
- [0058] 이 때, 구동 박막 트랜지스터(T1)는 턴 온된 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.
- [0059] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 인가된다.
- [0060] 스토리지 캐패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 캐패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다.
- [0061] 이 후, 스캔 신호(Sn)의 공급이 중단되면서 스캔 신호(Sn)의 전압 레벨이 하이 레벨(high level)로 변경되면, 부스팅 캐패시터(Cb)의 커플링 작용에 의해 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 전압이 스캔 신호(Sn)의 전압 변동폭에 대응하여 변경된다. 이때, 스토리지 캐패시터(Cst)와 부스팅 캐패시터(Cb) 간의 차지 웨어링(charge sharing)에 의해 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 전압이 변경되므로, 구동 게이트 전극(G1)에 인가되는 전압 변화량은 스캔 신호(Sn)의 전압 변동폭과 더불어, 스토리지 캐패시터(Cst) 및 부스팅 캐패시터(Cb) 간의 차지 웨어링(charge sharing) 값에 비례하여 변동된다.
- [0062] 이 후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다.
- [0063] 그러면, 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(Id)가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 다이오드(OLED)에 공

급된다. 발광 기간동안 스토리지 캐패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 '(Dm+Vth)-ELVDD'으로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 게이트-소스 전압(Vgs)에서 문턱 전압(Vth)을 차감한 값의 제곱 '(Dm-ELVDD)²'에 비례한다. 따라서 구동 전류(Id)는 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정된다.

[0064] 그러면 도 1에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 2 내지 도 5를 도 1과 함께 참고하여 상세하게 설명한다.

[0065] 도 2는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소에서 복수개의 박막 트랜지스터 및 캐패시터의 위치를 개략적으로 도시한 도면이고, 도 3은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이고, 도 4는 도 3의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이고, 도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.

[0066] 도 2 내지 도 5에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 화소는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(En) 및 초기화 전압(Vint)을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124) 모두와 교차하고 있으며 화소에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다.

[0067] 또한, 화소에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 스토리지 캐패시터(Cst), 부스팅 캐패시터(Cb), 그리고 유기 발광 다이오드(OLED)(70)가 형성되어 있다.

[0068] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 반도체층(131)을 따라 형성되어 있으며, 반도체층(131)은 다양한 형상으로 굴곡되어 형성되어 있다. 이러한 반도체층(131)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 이러한 반도체층(131)은 구동 박막 트랜지스터(T1)에 형성되는 구동 반도체층(131a), 스위칭 박막 트랜지스터(T2)에 형성되는 스위칭 반도체층(131b), 보상 박막 트랜지스터(T3)에 형성되는 보상 반도체층(131c), 초기화 박막 트랜지스터(T4)에 형성되는 초기화 반도체층(131d), 동작 제어 박막 트랜지스터(T5)에 형성되는 동작 제어 반도체층(131e) 및 발광 제어 박막 트랜지스터(T6)에 형성되는 발광 제어 반도체층(131f)을 포함한다.

[0069] 구동 박막 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a) 및 구동 드레인 전극(177a)을 포함한다. 구동 소스 전극(176a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 소스 영역(176a)에 해당하고, 구동 드레인 전극(177a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 드레인 영역(177a)에 해당한다. 구동 게이트 전극(125a)은 구동 반도체층(131a)과 중첩하고 있으며, 직사각형상이다.

[0070] 구동 게이트 전극(125a)은 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 스위칭 게이트 전극(125b), 제2 스토리지 축전판(127) 및 제2 부스팅 축전판(129)과 동일한 물질로 동일한 층에 형성되어 있다.

[0071] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(131b), 스위칭 게이트 전극(125b), 스위칭 소스 전극(176b) 및 스위칭 드레인 전극(177b)을 포함한다. 스위칭 소스 전극(176b)은 데이터선(171)의 일부분이고, 스위칭 드레인 전극(177b)은 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 드레인 영역(177b)에 해당한다.

[0072] 보상 박막 트랜지스터(T3)는 보상 반도체층(131c), 보상 게이트 전극(125c), 보상 소스 전극(176c) 및 보상 드레인 전극(177c)을 포함하고, 보상 소스 전극(176c)은 보상 반도체층(131c)에서 불순물이 도핑된 보상 소스 영역에 해당하고, 보상 드레인 전극(177c)은 보상 반도체층(131c)에서 불순물이 도핑된 보상 드레인 영역에 해당한다.

[0073] 보상 게이트 전극(125c)은 스캔선(121)의 일부인 제1 보상 게이트 전극(25c), 제1 보상 게이트 전극(25c)과 평행하게 이격되어 있으며 서로 다른 층에 형성되어 있는 제2 보상 게이트 전극(26c)을 포함한다. 제2 보상 게이트 전극(26c)은 도 2에 도시된 바와 같이 직선형상일 수도 있고 돌출부를 가지는 직선형상일 수도 있다. 이와 같이, 보상 게이트 전극(125c)은 서로 이격된 제1 보상 게이트 전극(25c)과 제2 보상 게이트 전극(26c)으로 이루어지는 이중 게이트 전극 구조로 형성되어 오프 누설 전류를 감소시킨다.

- [0074] 초기화 박막 트랜지스터(T4)는 초기화 반도체층(131d), 초기화 게이트 전극(125d), 초기화 소스 전극(176d) 및 초기화 드레인 전극(177d)을 포함한다. 초기화 소스 전극(176d)은 사각형 형상으로서, 데이터선(171)과 동일한 층에 동일한 물질로 형성된다. 그리고, 초기화 소스 전극(176d)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속으로 형성된 접촉 구멍(61)을 통해 초기화 반도체층(131d)과 초기화 전압선(124)을 연결시키며, 초기화 드레인 전극(177d)은 초기화 반도체층(131d)에서 불순물이 도핑된 초기화 드레인 영역(177b)에 해당한다.
- [0075] 초기화 게이트 전극(125d)은 이전 스캔선(122)에서 돌출되며 서로 평행하게이격되어있으며 서로 다른 층에 형성되어 있는 제1 초기화 게이트 전극(25d) 및 제2 초기화 게이트 전극(26d)을 포함한다. 제2 초기화 게이트 전극(26d)은 도 2에 도시된 바와 같이 돌출부를 가지는 직선 형상일 수도 있고 돌출부가 없는 직선 형상일 수도 있다. 이와 같이, 초기화 게이트 전극(125d)은 서로 이격된 제1 초기화 게이트 전극(25d) 및 제2 초기화 게이트 전극(26d)으로 이루어지는 이중 게이트 전극 구조로 형성되어 오프 누설 전류를 감소시킨다.
- [0076] 동작 제어 박막 트랜지스터(T5)는 동작 제어 반도체층(131e), 동작 제어 게이트 전극(125e), 동작 제어 소스 전극(176e) 및 동작 제어 드레인 전극(177e)을 포함한다. 동작 제어 소스 전극(176e)은 구동 전압선(172)의 일부 분이고, 동작 제어 드레인 전극(177e)은 동작 제어 반도체층(131e)에서 불순물이 도핑된 동작 제어 드레인 영역(177e)에 해당한다.
- [0077] 발광 제어 박막 트랜지스터(T6)는 발광 제어 반도체층(131f), 발광 제어 게이트 전극(125f), 발광 제어 소스 전극(176f) 및 발광 제어 드레인 전극(177f)을 포함한다. 발광 제어 소스 전극(176f)은 발광 제어 반도체층(131f)에서 불순물이 도핑된 발광 제어 소스 영역(176f)에 해당하고, 발광 제어 드레인 전극(177f)은 사각형 형상으로서, 데이터선(171)과 동일한 층에 동일한 물질로 형성된다.
- [0078] 구동 박막 트랜지스터(T1)의 구동 반도체층(131a)의 일단은 스위칭 반도체층(131b) 및 동작 제어 반도체층(131e)과 연결되어 있으며, 구동 반도체층(131a)의 타단은 보상 반도체층(131c) 및 발광 제어 반도체층(131f)과 연결되어 있다. 따라서, 구동 소스 전극(176a)은 스위칭 드레인 전극(177b) 및 동작 제어 드레인 전극(177e)과 연결되고, 구동 드레인 전극(177a)은 보상 소스 전극(176c) 및 발광 제어 소스 전극(176f)과 연결된다.
- [0079] 스토리지 캐패시터(Cst)는 제1 게이트 절연막(141)을 사이에 두고 배치되는 제1 스토리지 축전판(132)과 제2 스토리지 축전판(127)을 포함한다. 여기서, 제1 게이트 절연막(141)은 유전체가 되며, 스토리지 캐패시터(Cst)에서 축전된 전하와 양 축전판(132, 127) 사이의 전압에 의해 스토리지 캐패시턴스(Storage Capacitance)가 결정된다.
- [0080] 제1 스토리지 축전판(132)는 구동 반도체층(131a), 스위칭 반도체층(131b), 보상 반도체층(131c), 초기화 반도체층(131d), 동작 제어 반도체층(131e), 발광 제어 반도체층(131f) 및 제1 부스팅 축전판(133)과 동일한 층에 형성되어 있으며, 보상 반도체층(131c)과 초기화 반도체층(131d) 사이에 형성되어 있다.
- [0081] 그리고, 제2 스토리지 축전판(127)은 이전 스캔선(122), 발광 제어선(123), 스위칭 게이트 전극(125b) 및 제2 부스팅 축전판(129)과 동일한 물질로 동일한 층에 형성되어 있다. 이러한 제2 스토리지 축전판(127)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), Al-Ni-La 합금 및 Al-Nd 합금 중 하나 이상의 금속을 포함하는 게이트 배선으로 형성할 수 있다.
- [0082] 스토리지 캐패시터(Cst)와 중첩하며 지나가는 구동 전압선(172)은 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(65)을 통해 제2 스토리지 축전판(127)과 연결되어 있다.
- [0083] 구동 전압선(172)과 평행하게 동일한 층에 연결 부재(174)가 형성되어 있다. 연결 부재(174)는 구동 게이트 전극(125a)과 제1 스토리지 축전판(132)을 연결하고 있다. 연결 부재(174)의 일단(174a)은 층간 절연막(160)에 형성된 접촉 구멍(67)을 통해 구동 게이트 전극(125a)과 연결되어 있으며, 연결 부재(174)의 타단(174b)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속하여 형성된 접촉 구멍(64)을 통해 제1 스토리지 축전판(132)과 연결되어 있다.
- [0084] 이와 같이, 스토리지 캐패시터(Cst)의 제1 스토리지 축전판(132)은 연결 부재(174)의 일단(174a)을 통해 구동 게이트 전극(125a)과 연결되어 있고, 스토리지 캐패시터(Cst)의 제2 스토리지 축전판(127)은 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속하여 형성된 접촉 구멍(65)을 통해 구동 전압선(172)과 연결되어 있음으로써, 스토리지 캐패시터(Cst)에는 구동 전압선(172)을 통해 전달된 구동 전압(ELVDD)과 구동 게이트 전극(125a)의 게이트 전압간의 차에 대응하는 스토리지 캐패시턴스가 저장된다.

- [0085] 그리고, 부스팅 캐패시터(Cb)의 제1 부스팅 축전판(133)은 제1 스토리지 축전판(132)에서 연장된 연장부이고, 제2 부스팅 축전판(129)은 스캔선(121)에서 돌출된 돌출부이다. 제1 부스팅 축전판(133)은 해머 형상을 가지며, 제1 부스팅 축전판(133)은 구동 전압선(172)과 평행한 손잡이부, 손잡이부의 단부에 형성된 헤드부를 포함한다. 제1 부스팅 축전판(133)의 헤드부는 제2 부스팅 축전판(129) 내부에 중첩하여 위치하고 있다.
- [0086] 한편, 스위칭 박막 트랜지스터(T2)는 발광시킴고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극(125b)은 스캔선(121)의 일부이고, 스위칭 소스 전극(176b)은 데이터선(171)의 일부이며, 스위칭 드레인 전극(177b)은 구동 박막 트랜지스터(T1) 및 동작 제어 박막 트랜지스터(T5)와 연결되어 있다. 그리고, 발광 제어 박막 트랜지스터(T6)의 발광 제어 드레인 전극(177f)은 보호막(180)에 형성된 접촉구(181)를 통해 유기 발광 다이오드(70)의 화소 전극(191)과 직접 연결되어 있다.
- [0087] 이하, 도 4 내지 도 6을 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 구조에 대해 박막 트랜지스터를 중심으로 적층 순서에 따라 구체적으로 설명한다.
- [0088] 기판(110) 위에는 버퍼층(111)이 형성되어 있고, 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성되어 있다.
- [0089] 버퍼층(111) 위에는 구동 반도체층(131a), 스위칭 반도체층(131b), 보상 반도체층(131c), 초기화 반도체층(131d), 동작 제어 반도체층(131e) 및 발광 제어 반도체층(131f)이 형성되어 있다. 구동 반도체층(131a)은 구동 채널 영역(131a1), 구동 채널 영역(131a1)을 사이에 두고 서로 마주보는 구동 소스 영역(176a) 및 구동 드레인 영역(177a)을 포함하고, 스위칭 반도체층(131b)은 스위칭 채널 영역(131b1), 스위칭 채널 영역(131b1)을 사이에 두고 서로 마주보는 스위칭 소스 영역(132b) 및 스위칭 드레인 영역(177b)을 포함한다.
- [0090] 그리고, 보상 반도체층(131c)은 보상 채널 영역(131c1), 보상 채널 영역(131c1)을 사이에 두고 서로 마주보는 보상 소스 영역(176c) 및 보상 드레인 영역(177c)을 포함하고, 초기화 반도체층(131d)은 초기화 채널 영역(131d1), 초기화 채널 영역(131d1)을 사이에 두고 서로 마주보는 초기화 소스 영역(132d) 및 초기화 드레인 영역(177d)을 포함한다.
- [0091] 그리고, 동작 제어 박막 트랜지스터(T5)는 동작 제어 채널 영역(131e1), 동작 제어 채널 영역(131e1)을 사이에 두고 서로 마주보는 동작 제어 소스 영역(176e) 및 동작 제어 드레인 영역(133e)을 포함하고, 발광 제어 박막 트랜지스터(T6)는 발광 제어 채널 영역(131f1), 발광 제어 채널 영역(131f1)을 사이에 두고 서로 마주보는 발광 제어 소스 영역(176f) 및 발광 제어 드레인 영역(133f)을 포함한다.
- [0092] 반도체층(131a, 131b, 131c, 131d, 131e, 131f) 위에는 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위로 형성된 제1 게이트 절연막(141)이 형성되어 있다.
- [0093] 제1 게이트 절연막(141) 위에는 구동 게이트 전극(125a), 스위칭 게이트 전극(125b) 및 제1 보상 게이트 전극(25c)을 포함하는 스캔선(121), 제1 초기화 게이트 전극(25d)을 포함하는 이전 스캔선(122), 동작 제어 게이트 전극(125e) 및 발광 제어 게이트 전극(125f)을 포함하는 발광 제어선(123), 제2 스토리지 축전판(127) 및 제2 부스팅 축전판(129)을 포함하는 제1 게이트 배선(121, 122, 125a, 125b, 25c, 25d, 125e, 125f, 127, 129)이 형성되어 있다.
- [0094] 제1 게이트 배선(121, 122, 125a, 125b, 25c, 25d, 125e, 125f, 127, 129) 및 제1 게이트 절연막(141) 위에는 제2 게이트 절연막(142)이 형성되어 있다. 제2 게이트 절연막(142)은 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위로 형성되어 있다.
- [0095] 제2 게이트 절연막(142) 위에는 제2 보상 게이트 전극(26c) 및 제2 초기화 게이트 전극(26d)을 포함하는 제2 게이트 배선(26c, 26d)이 형성되어 있다.
- [0096] 제2 보상 게이트 전극(26c)은 제2 게이트 절연막(142)에 형성된 게이트 접촉 구멍(81)을 통해 제1 보상 게이트 전극(25c)과 연결되어 있다. 이 때, 제1 보상 게이트 전극(25c)은 보상 박막 트랜지스터(T3)의 보상 소스 전극(176c)과 인접하고 있으며, 제2 보상 게이트 전극(26c)은 보상 박막 트랜지스터(T3)의 보상 드레인 전극(177c)과 인접하고 있다.
- [0097] 도 6은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 제1 보상 게이트 전극의 게이트 전압(Vg)에 따른 소스 드레인간 전류(Ids)를 나타낸 그래프이고, 도 7은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 제2 보상 게이트 전극의 게이트 전압(Vg)에 따른 소스 드레인간 전류(Ids)를 나타낸 그래프이다.

- [0098] 도 5 및 도 6에 도시한 바와 같이, 데이터 신호(Dm)가 유입되는 보상 소스 전극(176c)과 인접하게 형성된 제1 보상 게이트 전극(25c)과 보상 반도체층(131c) 사이에는 제1 게이트 절연막(141)만이 형성되어 있으므로 제1 보상 게이트 전극(25c)과 보상 반도체층(131c) 사이의 간격이 작아 전하 이동도가 빠르며, 따라서 보상 박막 트랜지스터(T3)의 온 특성을 향상시킬 수 있다. 또한, 도 5 및 도 7에 도시한 바와 같이, 구동 박막 트랜지스터(T10)의 구동 게이트 전극(125a)과 연결되는 보상 드레인 전극(177c)과 인접하게 형성된 제2 보상 게이트 전극(26c)과 보상 반도체층(131c) 사이에는 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)이 형성되어 있으므로 제2 보상 게이트 전극(26c)과 보상 반도체층(131c) 사이의 간격이 커져 오프 누설 전류를 감소시킬 수 있다. 이와 같이, 오프 누설 전류가 감소되므로 구동 박막 트랜지스터(T1)의 구동 게이트 전극(125a)의 게이트 전압이 일정하게 유지되어 얼룩 발생을 방지할 수 있다.
- [0099] 따라서, 온 상태에서 전하 이동도를 향상시키는 동시에 오프 누설 전류를 감소시켜 온 오프 특성을 모두 향상시킬 수 있다.
- [0100] 또한, 이중 게이트 전극 구조를 이루는 제1 보상 게이트 전극(25c)과 제2 보상 게이트 전극(26c)이 서로 다른 층에 형성되어 있으므로, 서로 평행하게 형성되어 있는 제1 보상 게이트 전극(25c)과 제2 보상 게이트 전극(26c) 사이의 간격(d1)을 줄일 수 있어 400 ppi(pixel per inch) 이상의 고해상도에서도 이중 게이트 전극 구조를 적용할 수 있다.
- [0101] 한편, 상기 보상 게이트 전극(125c)과 동일하게 제2 초기화 게이트 전극(26d)은 제2 게이트 절연막(142)에 형성된 게이트 접촉 구멍(82)을 통해 제1 초기화 게이트 전극(25d)과 연결되어 있다.
- [0102] 이 때, 제1 초기화 게이트 전극(25d)은 초기화 박막 트랜지스터(T4)의 초기화 소스 전극(176d)과 인접하고 있으며, 제2 초기화 게이트 전극(26d)은 초기화 박막 트랜지스터의 초기화 드레인 전극(177d)과 인접하고 있다. 초기화 전압(Vint)이 유입되는 초기화 소스 전극(176d)과 인접하게 형성된 제1 초기화 게이트 전극(25d)과 초기화 반도체층(131d) 사이에는 제1 게이트 절연막(141)만이 형성되어 있으므로 제1 초기화 게이트 전극(25d)과 초기화 반도체층(131d) 사이의 간격이 작아 전하 이동도가 빠르며, 따라서 초기화 박막 트랜지스터(T4)의 온 특성을 향상시킬 수 있다. 또한, 구동 박막 트랜지스터(T1)의 구동 게이트 전극(125a)과 연결되는 초기화 드레인 전극(177d)과 인접하게 형성된 제2 초기화 게이트 전극(26d)과 초기화 반도체층(131d) 사이에는 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)이 형성되어 있으므로 제2 초기화 게이트 전극(26d)과 초기화 반도체층(131d) 사이의 간격이 커져 오프 누설 전류를 감소시킬 수 있다. 이와 같이, 오프 누설 전류가 감소되므로 구동 박막 트랜지스터(T1)의 구동 게이트 전극(125a)의 게이트 전압이 일정하게 유지되어 얼룩 발생을 방지할 수 있다.
- [0103] 따라서, 온 상태에서 전하 이동도를 향상시키는 동시에 오프 누설 전류를 감소시켜 온 오프 특성을 모두 향상시킬 수 있다.
- [0104] 또한, 이중 게이트 전극 구조를 이루는 제1 초기화 게이트 전극(25d)과 제2 초기화 게이트 전극(26d)이 서로 다른 층에 형성되어 있으므로, 서로 평행하게 형성되어 있는 제1 초기화 게이트 전극(25d)과 제2 초기화 게이트 전극(26d) 사이의 간격(d2)을 줄일 수 있어 400 ppi(pixel per inch) 이상의 고해상도에서도 이중 게이트 전극 구조를 적용할 수 있다.
- [0105] 제2 게이트 배선(26c, 26d) 및 제2 게이트 절연막(142) 위에는 층간 절연막(160)이 형성되어 있다. 층간 절연막(160)은 제1 게이트 절연막(141), 제2 게이트 절연막(142)과 마찬가지로, 질화 규소(SiNx) 또는 산화 규소(SiO₂) 등의 세라믹(ceramic) 계열의 소재를 사용하여 만들어진다.
- [0106] 층간 절연막(160) 위에는 스위칭 소스 전극(176b)를 포함하는 데이터선(171), 구동 제어 소스 전극(176e)을 포함하는 구동 전압선(172), 구동 전압선(172)과 평행하게 형성되어 있는 연결 부재(174), 초기화 소스 전극(176d) 및 발광 제어 드레인 전극(177f)을 포함하는 데이터 배선이 형성되어 있다.
- [0107] 그리고, 스위칭 소스 전극(176b)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속하여 형성된 접촉 구멍(69)을 통해 스위칭 반도체층(131b)의 스위칭 소스 영역(132b)와 연결되어 있고, 초기화 소스 전극(176d)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 연속하여 형성된 접촉 구멍(62)을 통해 초기화 반도체층(131d)의 초기화 소스 영역(132d)와 연결되어 있다.
- [0108] 구동 제어 소스 전극(176e)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(71)을 통해 구동 제어 반도체층(131e)의 구동 제어 소스 영역(132e)와 연결되어 있고, 발광 제어 드레인 전극(177f)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍

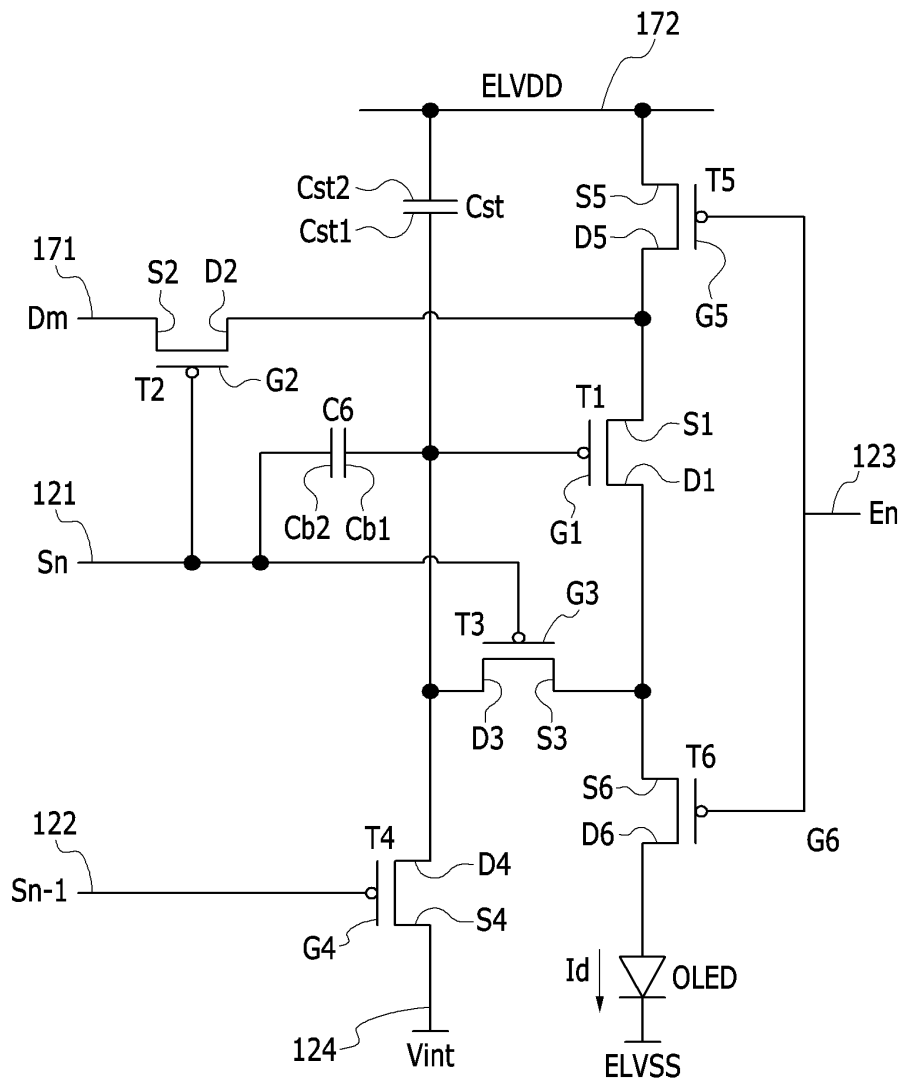
(72)을 통해 발광 제어 반도체층(131f)의 발광 제어 드레인 영역(133f)과 연결되어 있다.

- [0109] 층간 절연막(160) 상에는 데이터 배선(171, 172, 174, 176b, 176e, 176d, 177f)을 덮는 보호막(180)이 형성되어 있고, 보호막(180) 위에는 화소 전극(190) 및 초기화 전압선(124)이 형성되어 있다. 보호막(180)에 형성된 접촉구(181)을 통해 화소 전극(190)은 발광 제어 드레인 전극(177f)과 연결되며, 보호막(180)에 형성된 접촉구(182)를 통해 초기화 전압선(124)은 초기화 소스 전극(176d)와 연결된다.
- [0110] 화소 전극(190)의 가장자리 및 보호막(180) 위에는 격벽(210)이 형성되어 있고, 격벽(210)은 화소 전극(190)을 드러내는 격벽 개구부(211)를 가진다. 격벽(210)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지 또는 실리카 계열의 무기물 등으로 만들 수 있다.
- [0111] 격벽 개구부(211)로 노출된 화소 전극(190) 위에는 유기 발광층(220)이 형성되고, 유기 발광층(220) 상에는 공통 전극(230)이 형성된다. 이와 같이, 화소 전극(190), 유기 발광층(220) 및 공통 전극(230)을 포함하는 유기 발광 다이오드(200)가 형성된다.
- [0112] 여기서, 화소 전극(190)은 정공 주입 전극인 애노드이며, 공통 전극(230)은 전자 주입 전극인 캐소드가 된다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(190)이 캐소드가 되고, 공통 전극(230)이 애노드가 될 수도 있다. 화소 전극(190) 및 공통 전극(230)으로부터 각각 정공과 전자가 유기 발광층(220) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.
- [0113] 유기 발광층(220)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(220)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(710) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다. 공통 전극(230)은 반사형 도전성 물질로 형성되므로 배면 발광형의 유기 발광 표시 장치가 된다. 반사형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 물질을 사용할 수 있다.
- [0114] 한편, 상기 제1 실시예에서는 보상 박막 트랜지스터와 초기화 박막 트랜지스터만 이중 게이트 전극 구조를 가지나, 스위칭 박막 트랜지스터, 구동 제어 박막 트랜지스터 또는 발광 제어 박막 트랜지스터 중의 적어도 하나가 이중 게이트 전극 구조를 가지는 제2 실시예도 가능하다.
- [0115] 이하에서, 도 8을 참조하여, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치에 대해 상세히 설명한다.
- [0116] 도 8은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이다.
- [0117] 제2 실시예는 도 1 내지 도 5에 도시된 제1 실시예와 비교하여 스위칭 박막 트랜지스터, 구동 제어 박막 트랜지스터 및 발광 제어 박막 트랜지스터가 이중 게이트 전극 구조를 가지는 것만을 제외하고 실질적으로 동일한 반복되는 설명은 생략한다.
- [0118] 도 8에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(125b)은 스캔선(121)의 일부인 제1 스위칭 게이트 전극(25b), 제1 스위칭 게이트 전극(25b)과 이격되어 있으며 다른 층에 형성되어 있는 제2 스위칭 게이트 전극(26b)을 포함하고, 구동 제어 박막 트랜지스터의 구동 제어 게이트 전극은 발광 제어선(123)의 일부인 제1 구동 제어 게이트 전극(25e), 제1 구동 제어 게이트 전극(25e)과 이격되어 있으며 다른 층에 형성되어 있는 제2 구동 제어 게이트 전극(26e)을 포함하며, 발광 제어 박막 트랜지스터의 발광 제어 게이트 전극은 발광 제어선(123)의 일부인 제1 발광 제어 게이트 전극(25f), 제1 발광 제어 게이트 전극(25f)과 이격되어 있으며 다른 층에 형성되어 있는 제2 발광 제어 게이트 전극(26f)을 포함한다.
- [0119] 스위칭 게이트 전극, 구동 제어 게이트 전극 및 발광 제어 게이트 전극의 상세한 구조에 대해서는 이하에서 상세히 설명한다.
- [0120] 도 8에 도시한 바와 같이, 스위칭 반도체층, 구동 제어 반도체층 및 발광 제어 반도체층을 덮는 제1 게이트 절연막(141)이 형성되어 있고, 제1 게이트 절연막(141) 위에 제1 스위칭 게이트 전극(25b), 제1 구동 제어 게이트 전극(25e) 및 제1 발광 제어 게이트 전극(25f)이 형성되어 있으며, 제1 게이트 절연막(141), 제1 스위칭 게이트 전극(25b), 제1 구동 제어 게이트 전극(25e) 및 제1 발광 제어 게이트 전극(25f)을 덮는 제2 게이트 절연막

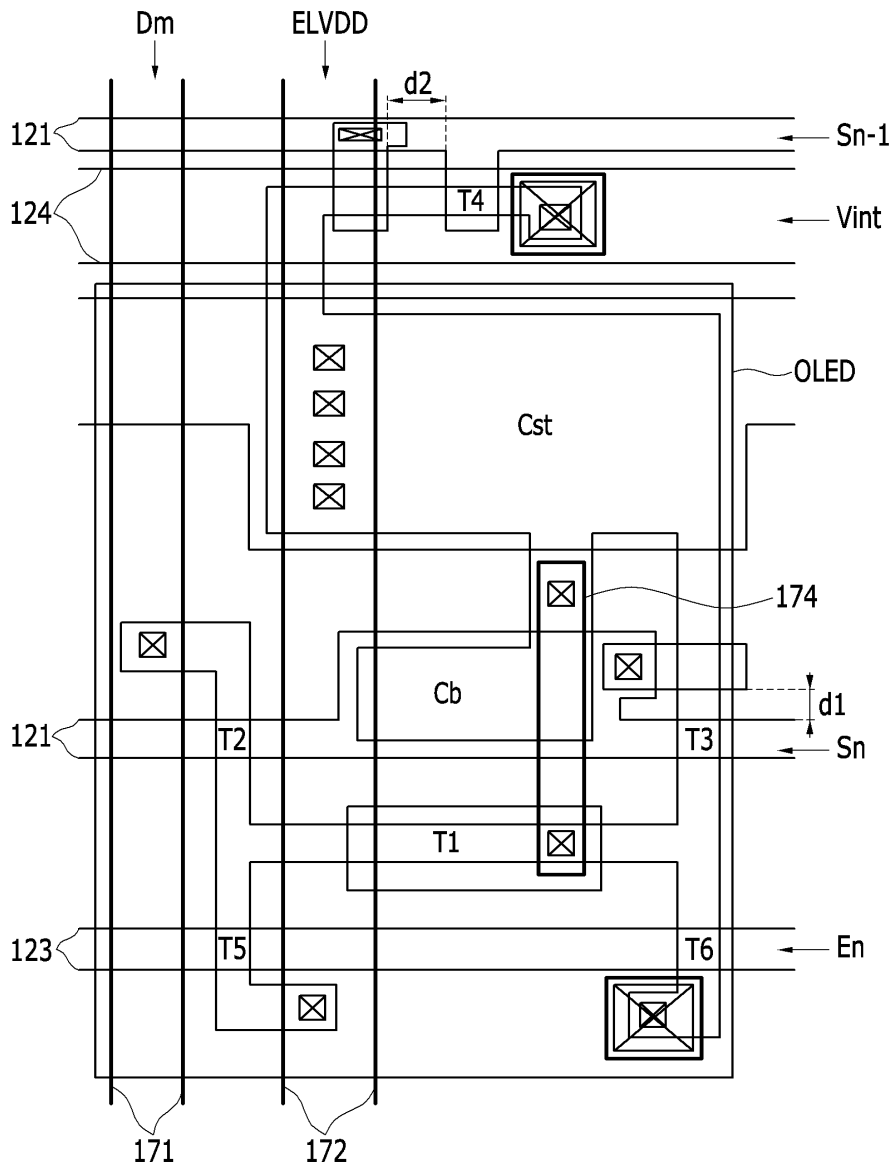
- | | |
|------------------|------------------|
| 110: 기판 | 121: 스캔선 |
| 122: 이전 스캔선 | 123: 발광 제어선 |
| 124: 초기화 전압선 | 125a: 구동 게이트 전극 |
| 125b: 스위칭 게이트 전극 | 126: 제1 스토리지 축전판 |
| 127: 제2 스토리지 축전판 | 128: 제1 부스팅 축전판 |
| 129: 제2 부스팅 축전판 | 131: 반도체층 |
| 141: 제1 게이트 절연막 | 142: 제2 게이트 절연막 |
| 160: 층간 절연막 | 171: 데이터선 |
| 172: 구동 전압선 | 174: 연결 부재 |

도면

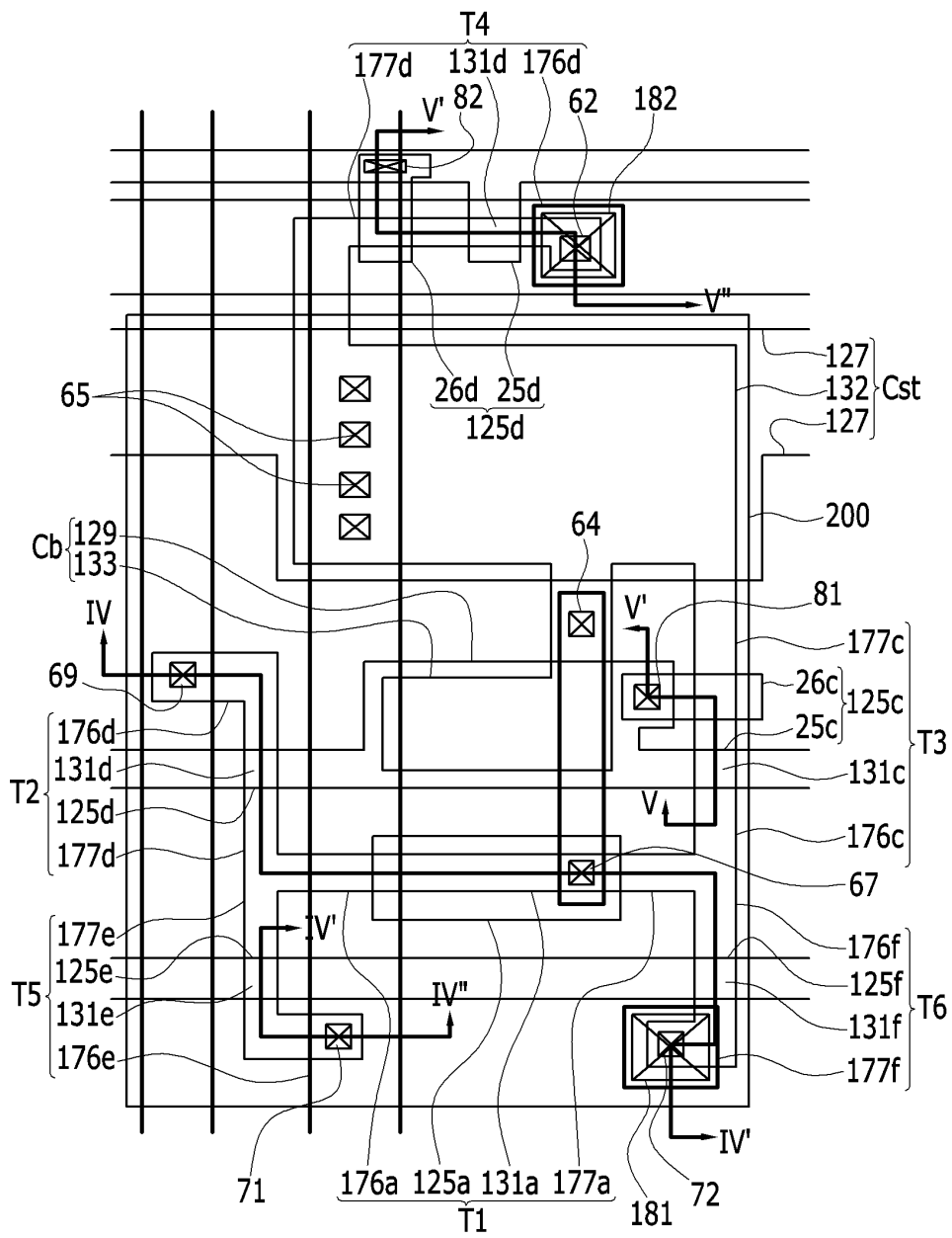
도면1



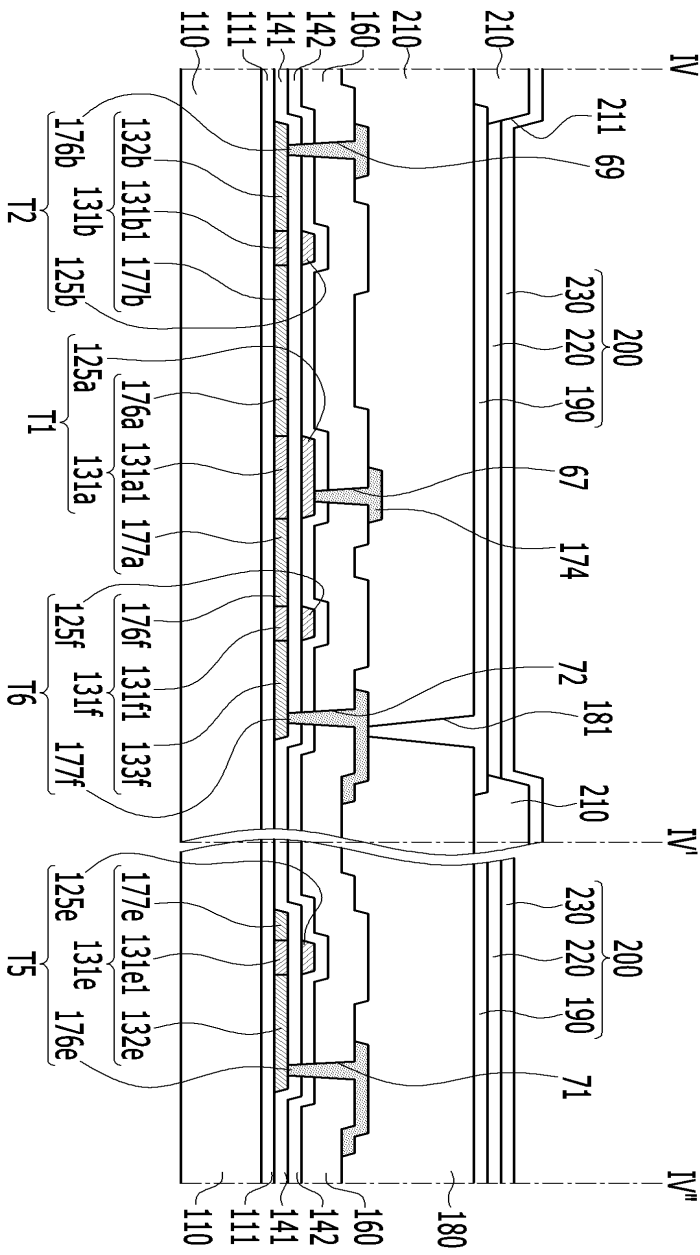
도면2



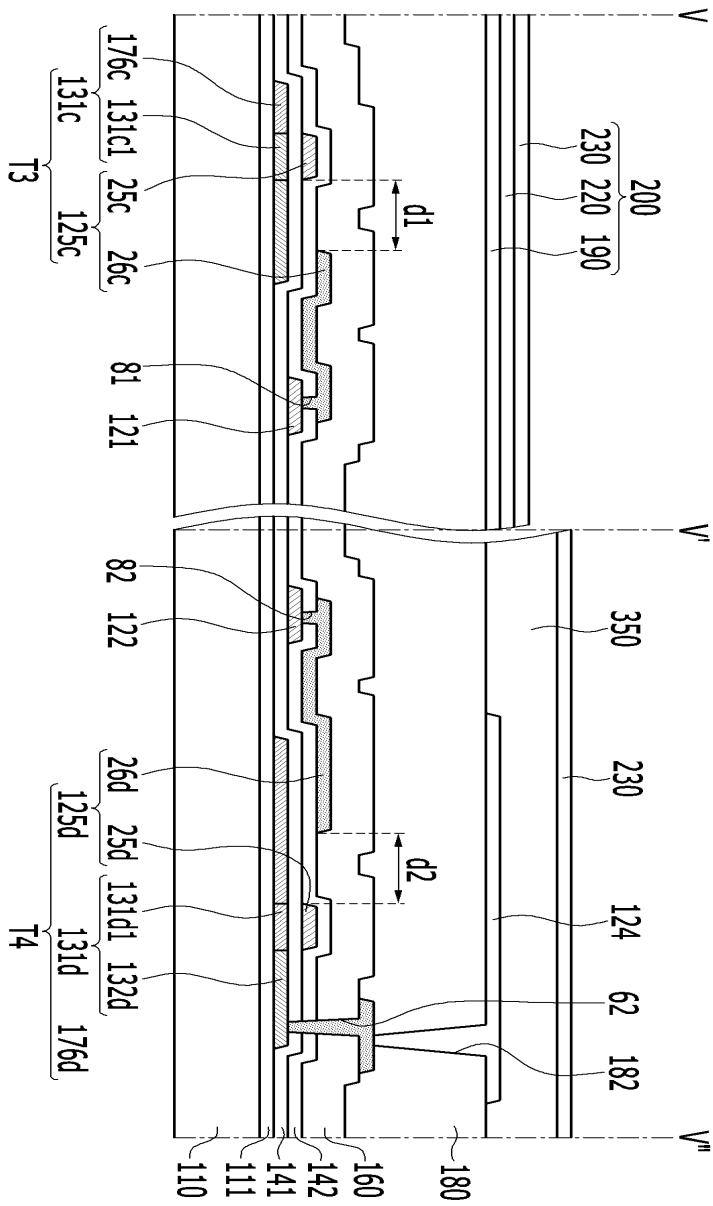
도면3



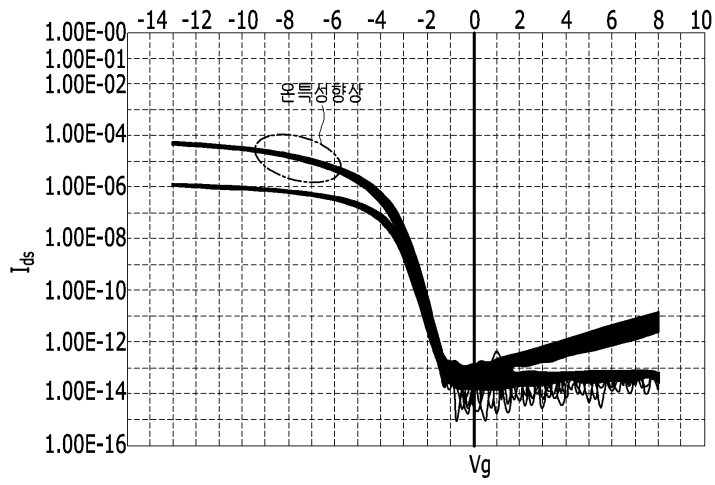
도면4



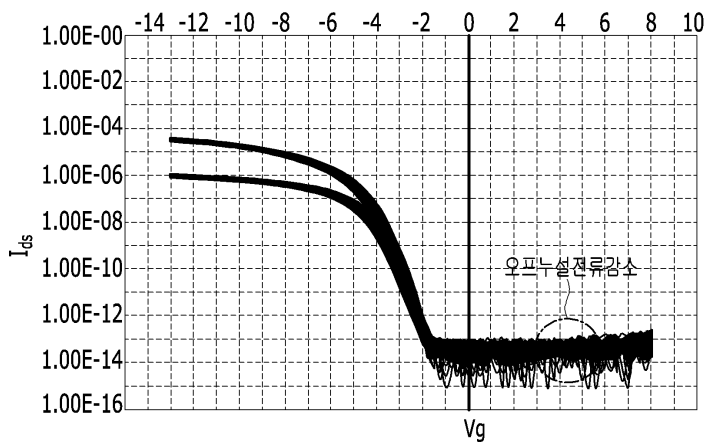
도면5



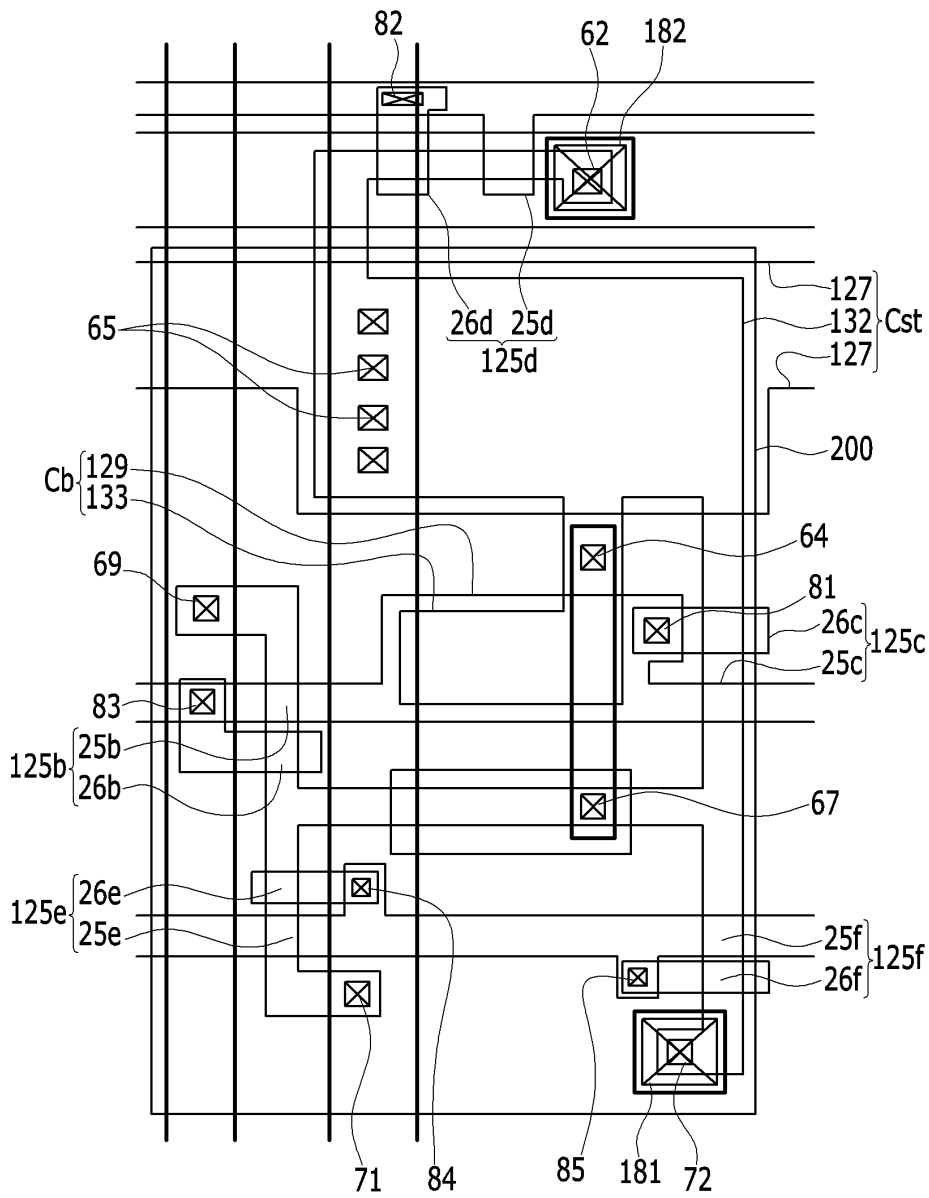
도면6



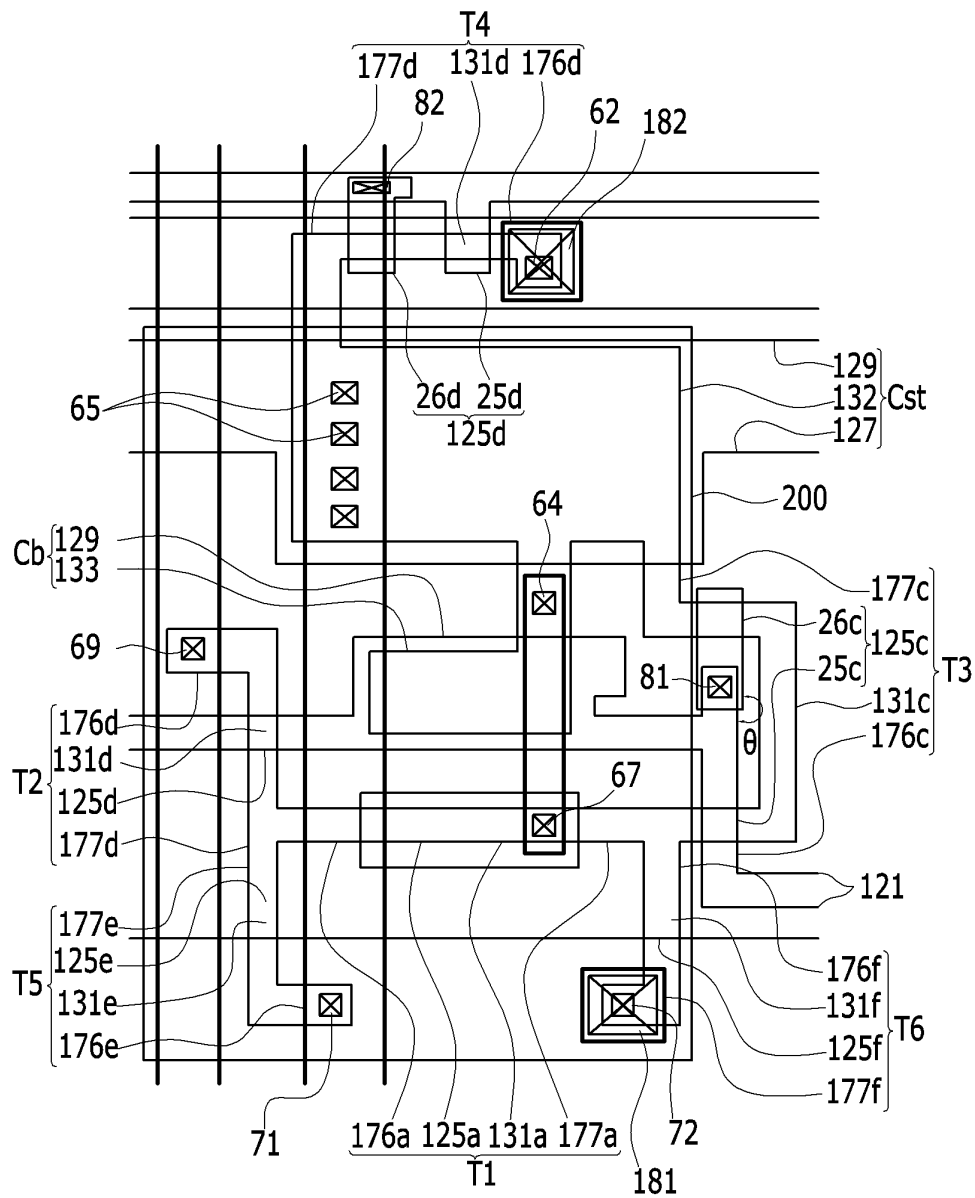
도면7



도면8



도면9



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020140035156A	公开(公告)日	2014-03-21
申请号	KR1020120101667	申请日	2012-09-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN HWANG SUP 신황섭		
发明人	신황섭		
IPC分类号	H01L51/52 G09G3/30 H01L29/786		
CPC分类号	H05B33/0896 H01L51/52 H01L27/3276 H01L27/3262 H01L27/3265 H05B45/00 Y02B20/36 H05B45/60		
其他公开文献	KR101975000B1		
外部链接	Espacenet		

摘要(译)

根据本发明的一个实施方式的OLED显示器包括基板，形成在基板上，并且扫描线，数据线，和相交并传递数据信号，驱动电压，各条线和所述扫描驱动电压线，其中，用于发送扫描信号扫描线和补偿驱动薄膜晶体管的阈值电压以及连接到所述开关薄膜晶体管，所述开关薄膜晶体管和连接到相应的数据线和补偿薄膜晶体管连接到所述驱动薄膜晶体管的驱动电压线驱动薄膜晶体管，其中所述驱动器包括一个有机发光连接到所述薄膜晶体管二极管，补偿薄膜晶体管的补偿栅电极彼此间隔开，并且包括一个第一补偿栅电极和各自形成不同的层上，一个第二补偿栅电极可以。因此，根据本发明的实施例的OLED显示器的双栅电极结构，其包括第一补偿栅电极和补偿薄膜晶体管的第二补偿栅电极补偿栅电极的形成均形成不同的层上并且，第一补偿栅电极可以提高电荷转移以形成邻近于所述补偿源电极，所述数据信号偶数流和所述第二补偿栅电极相邻地形成，以补偿漏电极减小截止态漏电流。专利文献10-2014-0035156

