



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2013-0090825  
(43) 공개일자 2013년08월14일

(51) 국제특허분류(Int. Cl.)  
H01L 51/52 (2006.01) G09G 3/30 (2006.01)  
(21) 출원번호 10-2013-0012512  
(22) 출원일자 2013년02월04일  
심사청구일자 2013년02월04일  
(30) 우선권주장  
13/366,270 2012년02월04일 미국(US)

(71) 출원인  
인테그레이티드 디지털 테크놀로지스, 인코포레이티드  
대만 신주 시티 신주 사이언스 파크 리싱 로드 1  
넘버 1 씨1 3층  
(72) 발명자  
**양-후이 장**  
대만 신주 카운티 주베이 시티 지아싱 로드 넘버  
459 2 플로어  
**내-제 황**  
대만 신주 사이언스 파크 넘버 1 리싱 1 로드 씨1  
3에프 내  
**셴-타이 라우**  
대만 신주 시티 300 이스트 디스트릭트 공다오 5  
로드 섹터 2 넘버 375 4 플로어 -1  
(74) 대리인  
특허법인에이아이피

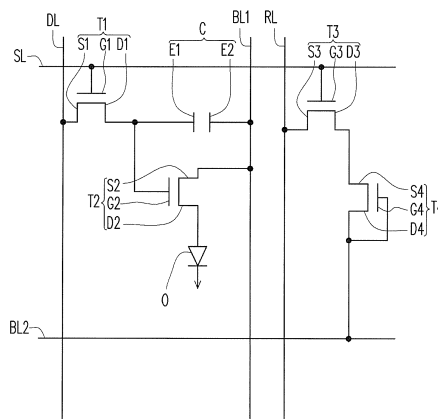
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **유기 전계발광 디바이스의 픽셀 구조**

**(57) 요약**

유기 전계발광 디바이스의 픽셀 구조는, 기관 상의 스캔 라인 및 데이터 라인, 바이어스 라인 및 판독 라인을 포함하고, 제 1 스위치 디바이스, 커패시터, 구동 디바이스, 유기 발광 디바이스, 제 2 스위치 디바이스 및 포토 센서 디바이스를 포함한다. 제 1 스위치 디바이스는 스캔 라인 및 데이터 라인에 전기적으로 연결된다. 커패시터는 제 1 스위치 디바이스 및 바이어스 라인에 전기적으로 연결된다. 구동 디바이스는 제 1 스위치 디바이스, 커패시터 및 바이어스 라인에 전기적으로 연결된다. 유기 발광 디바이스는 구동 디바이스에 전기적으로 연결된다. 제 2 스위치 디바이스는 스캔 라인 및 판독 라인에 전기적으로 연결된다. 포토 센서 디바이스는 제 2 스위치 디바이스 및 바이어스 라인에 전기적으로 연결된다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

유기 전계발광 디바이스(organic electroluminescence device)의 픽셀 구조(pixel structure)에 있어서,  
 기판 상의 스캔 라인, 데이터 라인, 바이어스 라인 및 관독(readout) 라인;  
 상기 스캔 라인 및 상기 데이터 라인에 전기적으로 연결된 제 1 스위치 디바이스;  
 상기 제 1 스위치 디바이스 및 상기 바이어스 라인에 전기적으로 연결된 커패시터;  
 상기 제 1 스위치 디바이스, 상기 커패시터 및 상기 바이어스 라인에 전기적으로 연결된 구동(driving) 디바이스;  
 상기 구동 디바이스에 전기적으로 연결된 유기 발광 디바이스(organic light emitting device);  
 상기 스캔 라인 및 상기 관독 라인에 전기적으로 연결된 제 2 스위치 디바이스; 및  
 상기 제 2 스위치 디바이스 및 상기 바이어스 라인에 전기적으로 연결된 포토 센서 디바이스(photo sensor device)를 포함하는, 픽셀 구조.

### 청구항 2

청구항 1에 있어서,  
 상기 바이어스 라인은,  
 상기 데이터 라인과 평행(parallel)하게 배치되며, 상기 커패시터 및 상기 구동 디바이스에 전기적으로 연결되는 제 1 바이어스 라인; 및  
 상기 스캔 라인과 평행하게 배치되며, 상기 포토 센서 디바이스와 전기적으로 연결되는 제 2 바이어스 라인을 포함하는, 픽셀 구조.

### 청구항 3

청구항 2에 있어서,  
 상기 포토 센서 디바이스는 상기 제 1 바이어스 라인과 상기 관독 라인 사이에 배치되는, 픽셀 구조.

### 청구항 4

청구항 2에 있어서,  
 상기 관독 라인은 상기 제 1 바이어스 라인과 상기 포토 센서 디바이스 사이에 배치되는, 픽셀 구조.

### 청구항 5

청구항 1에 있어서,  
 상기 바이어스 라인은 상기 데이터 라인과 평행하게 배치되며, 상기 커패시터, 상기 구동 디바이스 및 상기 포토 센서 디바이스에 전기적으로 연결되는, 픽셀 구조.

### 청구항 6

청구항 1에 있어서,  
 상기 바이어스 라인은 상기 스캔 라인과 평행하게 배치되며, 상기 커패시터, 상기 구동 디바이스 및 상기 포토 센서 디바이스에 전기적으로 연결되는, 픽셀 구조.

### 청구항 7

청구항 1에 있어서,

상기 유기 발광 디바이스는 하부 방출(bottom emission) 유기 발광 디바이스이고, 상기 포토 센서 디바이스는 상부 게이트 박막 트랜지스터(top gate thin film transistor)인, 픽셀 구조.

**청구항 8**

청구항 7에 있어서,

상기 포토 센서 디바이스를 커버(cover)하는 차광 패턴(light shielding pattern)을 더 포함하는, 픽셀 구조.

**청구항 9**

청구항 8에 있어서,

상기 차광 패턴은, 상기 기판의 외부 표면(outer surface) 상에, 상기 기판과 상기 포토 센서 디바이스 사이에, 상기 포토 센서 디바이스 상에, 또는 그들의 조합에 배치되는, 픽셀 구조.

**청구항 10**

청구항 1에 있어서,

상기 유기 발광 디바이스는 상부 방출(top emission) 유기 발광 디바이스이고, 상기 포토 센서 디바이스는 하부 게이트 박막 트랜지스터(bottom gate thin film transistor)인, 픽셀 구조.

**청구항 11**

청구항 1에 있어서,

상기 제 1 스위치 디바이스, 상기 구동 디바이스 및 상기 제 2 스위치 디바이스는 각각 하부 게이트 박막 트랜지스터인, 픽셀 구조.

**청구항 12**

청구항 1에 있어서,

상기 유기 발광 디바이스는 하부 방출 유기 발광 디바이스이고, 상기 포토 센서 디바이스는 하부 게이트 박막 트랜지스터인, 픽셀 구조.

**청구항 13**

유기 전계발광 디바이스의 픽셀 구조에 있어서,

기판;

상기 기판 상에 배치되며, 제 1 게이트(gate), 제 2 게이트, 제 3 게이트 및 제 1 전극을 포함하는 제 1 전도성 층(conductive layer);

상기 제 1 전도성 층을 커버하는 제 1 절연층(insulating layer);

상기 제 1 절연층 상에 배치되며, 제 1 채널(channel), 제 2 채널, 제 3 채널 및 제 4 채널을 포함하는 반도체 층;

상기 반도체 층 상에 배치되며, 제 1 소스(source), 제 1 드레인(drain), 제 2 소스, 제 2 드레인, 제 3 소스, 제 3 드레인, 제 4 소스, 제 4 드레인 및 제 2 전극을 포함하는 제 2 전도성 층으로서, 상기 제 1 게이트, 상기 제 1 채널, 상기 제 1 소스 및 상기 제 1 드레인은 제 1 스위치 디바이스를 형성하고, 상기 제 2 게이트, 상기 제 2 채널, 상기 제 2 소스 및 상기 제 2 드레인은 구동 디바이스를 형성하며, 상기 제 3 게이트, 상기 제 3 채널, 상기 제 3 소스 및 상기 제 3 드레인은 제 2 스위치 디바이스를 형성하고, 상기 제 1 전극 및 상기 제 2 전극은 커패시터를 형성하는, 제 2 전도성 층;

상기 제 2 전도성 층을 커버하는 제 2 절연층;

상기 제 2 절연층 상에 배치되며, 제 4 게이트 및 하부 전극(bottom electrode)을 포함하는 제 3 전도성 층으로서, 상기 제 4 게이트, 상기 제 4 채널, 상기 제 4 소스 및 상기 제 4 드레인은 포토 센서 디바이스를 형성하고, 상기 하부 전극은 상기 구동 디바이스의 상기 제 2 드레인에 전기적으로 연결되는, 제 3 전도성 층;

상기 제 3 전도성 층 상에 배치되며, 상기 하부 전극을 노출하는 제 3 절연층;

상기 하부 전극 상에 배치되는 유기 발광층; 및

상기 유기 발광층 상에 배치되는 상부 전극(upper electrode)을 포함하는, 픽셀 구조.

**청구항 14**

청구항 13에 있어서,

상기 하부 전극은 투명 전극 재료(transparent electrode material)를 포함하는, 픽셀 구조.

**청구항 15**

청구항 13에 있어서,

상기 상부 전극은 반사성(reflective) 전극 재료 또는 투명 전극 재료를 포함하는, 픽셀 구조.

**청구항 16**

청구항 13에 있어서,

상기 제 1 전도성 층은 스캔 라인 및 차광 패턴을 더 포함하며,

상기 스캔 라인은 상기 제 1 게이트에 전기적으로 연결되고, 상기 차광 패턴은 상기 제 4 채널 아래에(under) 배치되는, 픽셀 구조.

**청구항 17**

청구항 13에 있어서,

상기 제 2 전도성 층은 데이터 라인, 판독 라인 및 바이어스 라인을 더 포함하며,

상기 데이터 라인은 상기 제 1 소스에 전기적으로 연결되고, 상기 판독 라인은 상기 제 3 소스에 전기적으로 연결되며, 상기 바이어스 라인은 상기 제 2 전극 및 상기 제 2 소스에 전기적으로 연결되는, 픽셀 구조.

**청구항 18**

청구항 13에 있어서,

상기 제 3 전도성 층은 상기 제 4 게이트 및 상기 제 4 드레인에 전기적으로 연결된 제 4 바이어스 라인을 더 포함하는, 픽셀 구조.

**청구항 19**

청구항 13에 있어서,

상기 기관의 외부 표면 상에, 상기 기관과 상기 포토 센서 디바이스 사이에, 상기 포토 센서 디바이스 상에, 또는 이들의 조합에 배치되는 차광 패턴을 더 포함하는, 픽셀 구조.

**청구항 20**

유기 전계발광 디바이스의 픽셀 구조에 있어서,

기관,

상기 기관 상에 배치되며, 제 1 게이트, 제 2 게이트, 제 3 게이트, 제 4 게이트 및 제 1 전극을 포함하는 제 1 전도성 층;

상기 제 1 전도성 층을 커버하는 제 1 절연층;

상기 제 1 절연층 상에 배치되며, 제 1 채널, 제 2 채널, 제 3 채널 및 제 4 채널을 포함하는 반도체 층;

상기 반도체 층 상에 배치되며, 제 1 소스, 제 1 드레인, 제 2 소스, 제 2 드레인, 제 3 소스, 제 3 드레인, 제 4 소스, 제 4 드레인 및 제 2 전극을 포함하는 제 2 전도성 층으로서, 상기 제 1 게이트, 상기 제 1 채널, 상기

제 1 소스 및 상기 제 1 드레인은 제 1 스위치 디바이스를 형성하며, 상기 제 2 게이트, 상기 제 2 채널, 상기 제 2 소스 및 상기 제 2 드레인은 구동 디바이스를 형성하고, 상기 제 3 게이트, 상기 제 3 채널, 상기 제 3 소스 및 상기 제 3 드레인은 제 2 스위치 디바이스를 형성하며, 상기 제 4 게이트, 상기 제 4 채널, 상기 제 4 소스 및 상기 제 4 드레인은 포토 센서 디바이스를 형성하고, 상기 제 1 전극 및 상기 제 2 전극은 커패시터를 형성하는, 제 2 전도성 층;

상기 제 2 전도성 층을 커버하는 제 2 절연층;

상기 제 2 절연층 상에 배치되며, 상기 구동 디바이스의 상기 제 2 드레인에 전기적으로 연결되는 하부 전극;

상기 제 2 절연층 상에 배치되며, 상기 하부 전극을 노출하는 제 3 절연층;

상기 노출된 하부 전극 상에 배치되는 유기 발광층; 및

상기 유기 발광층 상에 배치되는 상부 전극을 포함하는, 픽셀 구조.

#### 청구항 21

청구항 20에 있어서,

상기 상부 전극은 투명 전극 재료를 포함하는, 픽셀 구조.

#### 청구항 22

청구항 20에 있어서,

상기 하부 전극은 반사성 전극 재료 또는 투명 전극 재료를 포함하는, 픽셀 구조.

#### 청구항 23

청구항 20에 있어서,

상기 제 2 전도성 층은 스캔 라인 및 바이어스 라인을 더 포함하며,

상기 스캔 라인은 상기 제 1 게이트에 전기적으로 연결되고, 상기 바이어스 라인은 상기 제 2 게이트 및 상기 제 4 드레인에 전기적으로 연결되는, 픽셀 구조.

#### 청구항 24

청구항 20에 있어서,

상기 제 2 전도성 층은 데이터 라인, 판독 라인 및 바이어스 라인을 더 포함하며,

상기 데이터 라인은 상기 제 1 소스에 전기적으로 연결되고, 상기 판독 라인은 상기 제 3 소스에 전기적으로 연결되며, 상기 바이어스 라인은 상기 제 2 전극 및 상기 제 2 소스에 전기적으로 연결되는, 픽셀 구조.

### 명세서

#### 기술분야

[0001] 본 발명은 픽셀 구조에 관한 것이다. 보다 구체적으로, 본 발명은 유기 전계발광 디바이스의 픽셀 구조에 관한 것이다.

#### 배경기술

[0002] 발광 디바이스로서, 유기 전계발광 디바이스는, 소형화 및 낮은-프로파일(low-profile) 디자인을 제공할 뿐만 아니라, 시야각(view angle) 무제한, 낮은 제조 비용, 빠른 응답 속도(액정 크리스탈의 반응 속도에 비하여 약 100배 이상 빠른), 파워 절감, 포터블 디바이스들에서의 직류 구동에 대한 적응성(adaptability), 광범위한 동작 온도 범위, 가벼운 중량의 이점을 갖는다. 따라서, 유기 전계발광 디바이스는 거대한 성장 잠재성을 가지며, 차세대 평판 패널 디스플레이로서 기대된다.

[0003] 또한, 모바일 폰들, 핸드헬드 개인용 컴퓨터들(PCs), 개인용 휴대 단말기들(PDAs) 및 스마트 폰들이 우리의 일상 생활의 전반에 걸쳐 널리 퍼졌다. 포터블, 컴팩트, 및 사용자-친화적인 정보통신 기술(IT) 제품들 상의 현재

요구들을 충족시키기 위하여, 터치 센싱 디스플레이 패널들이 종래의 키보드들 또는 마우스들을 대신하여 입력 디바이스로서 도입되었다. 터치 센싱 디스플레이 패널들 중, 터치 기능 및 디스플레이 기능 모두를 수행할 수 있는 터치 센싱 디스플레이 패널이 현재 가장 각광받는 제품들 중 하나이다.

[0004] 따라서, 터치 센싱 기능을 갖는 유기 전계발광 디바이스가 개발된다.

### 발명의 내용

#### 과제의 해결 수단

[0005] 따라서, 본 발명은 터치 센싱 기능을 갖는 유기 전계발광 디바이스의 픽셀 구조를 목적으로 한다.

[0006] 기관 상의 스캔 라인, 데이터 라인, 바이어스 라인 및 관독(readout) 라인을 포함하며, 제 1 스위치 디바이스, 커패시터, 구동(driving) 디바이스, 유기 발광(organic light emitting) 디바이스, 제 2 스위치 디바이스 및 포토 센서 디바이스를 포함하는 유기 전계발광 디바이스의 픽셀 구조가 제공된다. 제 1 스위치 디바이스는 스캔 라인 및 데이터 라인에 전기적으로 연결된다. 커패시터는 제 1 스위치 디바이스 및 바이어스 라인에 전기적으로 연결된다. 구동 디바이스는 제 1 스위치 디바이스, 커패시터, 및 바이어스 라인에 전기적으로 연결된다. 유기 발광 디바이스는 구동 디바이스에 전기적으로 연결된다. 제 2 스위치 디바이스는 스캔 라인 및 관독 라인에 전기적으로 연결된다. 포토 센서 디바이스는 제 2 스위치 디바이스 및 바이어스 라인에 전기적으로 연결된다.

[0007] 유기 전계발광 디바이스의 픽셀 구조는 기관, 제 1 전도성 층(layer), 제 1 절연층, 반도체 층, 제 2 전도성 층, 제 2 절연층, 제 3 전도성 층, 유기 발광층 및 상부 전극(upper electrode)을 포함한다. 제 1 전도성 층은 기관 상에 배치되며, 제 1 게이트(gate), 제 2 게이트, 제 3 게이트 및 제 1 전극을 포함한다. 제 1 절연층은 제 1 전도성 층을 커버(cover)한다. 반도체 층은 제 1 절연층 상에 배치되며, 제 1 채널, 제 2 채널, 제 3 채널 및 제 4 채널을 포함한다. 제 2 전도성 층은 반도체 층 상에 배치되며, 제 1 소스(source), 제 1 드레인(drain), 제 2 소스, 제 2 드레인, 제 3 소스, 제 3 드레인, 제 4 소스, 제 4 드레인 및 제 2 전극을 포함한다. 제 1 게이트, 제 1 채널, 제 1 소스 및 제 1 드레인은 제 1 스위치 디바이스를 형성한다. 제 2 게이트, 제 2 채널, 제 2 소스 및 제 2 드레인은 구동 디바이스를 형성한다. 제 3 게이트, 제 3 채널, 제 3 소스 및 제 3 드레인은 제 2 스위치 디바이스를 형성한다. 제 1 전극 및 제 2 전극은 커패시터를 형성한다. 제 2 절연층은 제 2 전도성 층을 커버한다. 제 3 전도성 층은 제 2 절연층 상에 배치되며, 제 4 게이트 및 하부(bottom) 전극을 포함한다. 제 4 게이트, 제 4 채널, 제 4 소스 및 제 4 드레인은 포토 센서 디바이스를 형성한다. 하부 전극은 제 2 드레인에 전기적으로 연결된다. 제 3 절연층은 제 3 전도성 층 상에 배치되며, 하부 전극을 노출한다. 상부 전극은 유기 발광층 상에 배치된다.

[0008] 유기 전계발광 디바이스의 픽셀 구조는 기관, 제 1 전도성 층, 제 1 절연층, 반도체 층, 제 2 전도성 층, 제 2 절연층, 하부 전극, 유기 발광층 및 상부 전극을 포함한다. 제 1 전도성 층은 기관 상에 배치되며, 제 1 게이트, 제 2 게이트, 제 3 게이트, 제 4 게이트 및 제 1 전극을 포함한다. 제 1 절연층은 제 1 전도성 층을 커버한다. 반도체 층은 제 1 절연층 상에 배치되며, 제 1 채널, 제 2 채널, 제 3 채널 및 제 4 채널을 포함한다. 제 2 전도성 층은 반도체 층 상에 배치되며, 제 1 소스, 제 1 드레인, 제 2 소스, 제 2 드레인, 제 3 소스, 제 3 드레인, 제 4 소스, 제 4 드레인 및 제 2 전극을 포함한다. 제 1 게이트, 제 1 채널, 제 1 소스 및 제 1 드레인은 제 1 스위치 디바이스를 형성한다. 제 2 게이트, 제 2 채널, 제 2 소스 및 제 2 드레인은 구동 디바이스를 형성한다. 제 3 게이트, 제 3 채널, 제 3 소스 및 제 3 드레인은 제 2 스위치 디바이스를 형성한다. 제 4 게이트, 제 4 채널, 제 4 소스 및 제 4 드레인은 포토 센서 디바이스를 형성한다. 제 1 전극 및 제 2 전극은 커패시터를 형성한다. 제 2 절연층은 제 2 전도성 층을 커버한다. 하부 전극은 제 2 절연층 상에 배치되며, 제 2 드레인에 전기적으로 연결된다. 제 3 절연층은 제 2 절연층 상에 배치되며, 하부 전극을 노출한다. 유기 발광층은 노출된 하부 전극 상에 배치된다. 상부 전극은 유기 발광 층 상에 배치된다.

[0009] 이상을 고려하면, 픽셀 구조는 그 안에 유기 발광 디바이스 및 포토 센서 디바이스를 가지며, 따라서 유기 전계 발광 디바이스는 터치 센싱 기능을 갖는다.

[0010] 본 발명의 기술된 내용 및 다른 특징들 및 이점들을 보다 용이하게 이해할 수 있게 하기 위하여, 도면들을 수반 하는 몇몇 실시예들이 이하에서 상세하게 기술된다.

#### 도면의 간단한 설명

[0011] 본 명세서의 일부를 구성하는 첨부된 도면들은 본 발명의 보다 양호한 이해를 제공하기 위하여 본 명세서에 통

합된다. 여기에서, 도면들은 본 발명의 실시예들을 예시하며, 상세한 설명과 함께 본 발명의 원리들에 대한 설명을 제공한다.

도 1은 본 발명의 일 실시예에 따른 픽셀 구조의 등가 회로를 도시한다.

도 2는 본 발명의 일 실시예에 따른 픽셀 구조의 단면도이다.

도 3은 본 발명의 일 실시예에 따른 픽셀 구조의 상면도를 나타내는 도면이다.

도 4 및 도 5는 본 발명의 다른 실시예에 따른 픽셀 구조의 등가 회로도들이다.

도 6은 본 발명의 다른 실시예에 따른 픽셀 구조의 상면도를 나타내는 도면이다.

도 7은 본 발명의 다른 실시예에 따른 픽셀 구조의 단면도이다.

도 8 내지 도 11은 본 발명의 몇몇 실시예들에 따른 픽셀 구조의 단면도들이다.

도 12 내지 도 13은 본 발명의 실시예들에 따른 픽셀 구조의 상면도를 나타내는 도면들이다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 도 1은 본 발명의 일 실시예에 따른 픽셀 구조의 등가 회로를 도시한다. 도 1을 참조하면, 픽셀 구조는 스캔 라인(SL), 데이터 라인(DL), 제 1 바이어스 라인(BL1), 제 2 바이어스 라인(BL2), 판독(readout) 라인(RL), 제 1 스위치 디바이스(T1), 커패시터(C), 구동 디바이스(T2), 유기 발광 디바이스(O), 제 2 스위치 디바이스(T3) 및 포토 센서 디바이스(T4)를 포함한다. 제 1 스위치 디바이스(T1)는 스캔 라인(SL) 및 데이터 라인(DL)에 전기적으로 연결된다. 커패시터(C)는 제 1 스위치 디바이스(T1) 및 제 1 바이어스 라인(BL1)에 전기적으로 연결된다. 구동 디바이스(T2)는 제 1 스위치 디바이스(T1), 커패시터(C) 및 제 1 바이어스 라인(BL1)에 전기적으로 연결된다. 유기 발광 디바이스(O)는 구동 디바이스(T2)에 전기적으로 연결된다. 제 2 스위치 디바이스(T3)는 스캔 라인(SL) 및 판독 라인(RL)에 전기적으로 연결된다. 포토 센서 디바이스(T4)는 제 2 스위치 디바이스(T3) 및 제 2 바이어스 라인(BL2)에 전기적으로 연결된다.

[0013] 제 1 스위치 디바이스(T1), 구동 디바이스(T2), 제 2 스위치 디바이스(T3) 및 포토 센서 디바이스(T4)는 각각 하부 게이트 박막 트랜지스터(bottom gate thin film transistor) 또는 상부 게이트 박막 트랜지스터일 수 있다. 제 1 스위치 디바이스(T1), 구동 디바이스(T2), 제 2 스위치 디바이스(T3) 및 포토 센서 디바이스(T4)는 또한 각각 비정질 박막 트랜지스터(amorphous thin film transistor) 또는 저온 폴리-실리콘(low temperature poly-silicon, LTPS) 박막 트랜지스터일 수 있다. 유기 발광 디바이스(O)는 하부 방출(bottom emission) 유기 발광 디바이스, 상부 방출(top emission) 유기 발광 디바이스 또는 듀얼 방출(dual emission) 유기 발광 디바이스일 수 있다. 본 발명의 픽셀 구조를 알기 쉽게 예시하기 위하여, 유기 발광 디바이스(O)(하부 방출), 제 1 스위치 디바이스(T1)(하부 게이트 박막 트랜지스터), 구동 디바이스(T2)(하부 게이트 박막 트랜지스터), 제 2 스위치 디바이스(T3)(하부 게이트 박막 트랜지스터) 및 포토 센서 디바이스(T4)(상부 게이트 박막 트랜지스터)를 갖는 픽셀 구조가 기술되지만, 이는 본 발명을 한정하지 않는다.

[0014] 도 2는 본 발명의 일 실시예에 따른 픽셀 구조의 단면도이다. 도 3은 본 발명의 일 실시예에 따른 픽셀 구조의 상면도를 나타내는 도면이며, 픽셀 구조의 유기 발광층 및 상부 전극 층은 예시를 위하여 도시되지 않는다. 도 1, 도 2 및 도 3을 참조하면, 픽셀 구조는 기판(100), 제 1 전도성 층(M1), 제 1 절연층(102), 반도체 층(CH), 제 2 전도성 층(M2), 제 2 절연층(104), 제 3 전도성 층(M3), 유기 발광층(130) 및 상부 전극(upper electrode)(140)을 포함한다.

[0015] 기판(100)은 유리(glass) 기판 또는 실리콘 기판과 같은 강성 기판(rigid substrate), 또는 폴리머 기판 또는 플라스틱 기판과 같은 연성 기판(flexible substrate)일 수 있다.

[0016] 제 1 전도성 층(M1)은 기판(100) 상에 배치되며, 제 1 게이트(G1), 제 2 게이트(G2), 제 3 게이트(G3) 및 제 1 전극(E1)을 포함한다. 제 1 전도성 층(M1)은 금속 재료 또는 다른 적절한 전도성 재료들을 포함한다. 실시예에 따르면, 제 1 전도성 층(M1)은 제 1 게이트(G1)에 전기적으로 연결된 스캔 라인(SL)(도 1에 도시된)을 더 포함한다.

[0017] 제 1 절연층(102)은 제 1 전도성 층(M1)을 커버(cover)한다. 제 1 절연층(102)은 산화 실리콘, 질화 실리콘 또는 산화질화 실리콘(silicon oxynitride)과 같은 무기 절연 재료, 또는 유기 절연 재료를 포함한다.

[0018] 반도체 층(CH)은 제 1 절연층(102) 상에 배치되며, 제 1 게이트(G1) 위의(above) 제 1 채널(CH1), 제 2 게이트

(G2) 위의 제 2 채널(CH2), 제 3 게이트(G3) 위의 제 3 채널(CH3) 및 제 4 채널(CH4)을 포함한다. 실시예에 따르면, 제 1 채널(CH1)은 제 1 게이트(G1) 바로 위에 배치되며, 제 2 채널(CH2)은 제 2 게이트(G2) 바로 위에 배치되고, 제 3 채널(CH3)은 제 3 게이트(G3) 바로 위에 배치된다. 또한, 반도체 층(CH)은 비정질(amorphous) 실리콘, 폴리-실리콘, 미세-결정(micro-crystal) 실리콘 또는 다른 적절한 반도체 재료들을 포함한다.

[0019] 제 2 전도성 층(M2)은 반도체 층(CH) 상에 배치되며, 제 1 소스(source)(S1), 제 1 드레인(drain)(D1), 제 2 소스(S2), 제 2 드레인(D2), 제 3 소스(S3), 제 3 드레인(D3), 제 4 소스(S4), 제 4 드레인(D4) 및 제 2 전극(E2)을 포함한다. 제 1 소스(S1) 및 제 1 드레인(D1)은 제 1 채널(CH1) 상에 배치된다. 제 2 소스(S2) 및 제 2 드레인(D2)은 제 2 채널(CH2) 상에 배치된다. 제 3 소스(S3) 및 제 3 드레인(D3)은 제 3 채널(CH3) 상에 배치된다. 제 4 소스(S4) 및 제 4 드레인(D4)은 제 4 채널(CH4) 상에 배치된다. 제 2 전극(E2)은 제 1 전극(E1) 위에 배치된다.

[0020] 따라서, 제 1 게이트(G1), 제 1 채널(CH1), 제 1 소스(S1) 및 제 1 드레인(D1)은 제 1 스위치 디바이스(T1)를 형성한다. 제 2 게이트(G2), 제 2 채널(CH2), 제 2 소스(S2) 및 제 2 드레인(D2)은 구동 디바이스(T2)를 형성한다. 제 3 게이트(G3), 제 3 채널(CH3), 제 3 소스(S3) 및 제 3 드레인(D3)은 제 2 스위치 디바이스(T3)를 형성한다. 제 1 전극(E1) 및 제 2 전극(E2)은 커패시터(C)를 형성한다. 실시예에 있어, 제 1 스위치 디바이스(T1)의 제 1 드레인(D1)은 커패시터(C)의 제 1 전극(E1) 및 구동 디바이스(T2)의 제 2 소스(S2)에 전기적으로 연결된다. 제 2 스위치 디바이스(T3)의 제 3 드레인(D3)은 제 4 소스(S4)에 전기적으로 연결된다.

[0021] 또한, 제 2 전도성 층(M2)은 데이터 라인(DL), 판독 라인(RL) 및 제 1 바이어스 라인(BL1)을 더 포함한다. 데이터 라인(DL)은 제 1 스위치 디바이스(T1)의 제 1 소스(S1)에 전기적으로 연결된다. 판독 라인(RL)은 제 2 스위치 디바이스(T3)의 제 3 소스(S3)에 전기적으로 연결된다. 제 1 바이어스 라인(BL1)은 커패시터(C)의 제 2 전극(E2) 및 구동 디바이스(T2)의 제 2 소스(S2)에 연결된다. 데이터 라인(DL), 판독 라인(RL) 및 제 1 바이어스 라인(BL1)은 스캔 라인(SL)과 교차하여(cross over) 배치된다. 실시예에 있어, 데이터 라인(DL), 판독 라인(RL) 및 제 1 바이어스 라인(BL1)은 서로 평행하다. 다시 말해서, 데이터 라인(DL), 판독 라인(RL) 및 제 1 바이어스 라인(BL1)의 연장 방향(extending direction)은 스캔 라인(SL)의 연장 방향과 평행하지 않다. 실시예에 있어, 데이터 라인(DL), 판독 라인(RL) 및 제 1 바이어스 라인(BL1)의 연장 방향은 스캔 라인(SL)의 연장 방향에 수직하지만, 이는 본 발명을 한정하지 않는다.

[0022] 또한, 도 3에 도시된 바와 같이, 판독 라인(RL)은 제 1 바이어스 라인(BL1)과 포토 센서 디바이스(T4)(및 제 2 스위치 디바이스(T3)) 사이에 배치된다. 다시 말해서, 포토 센서 디바이스(T4)(제 2 스위치 디바이스(T3))는 판독 라인(RL)과 다음의 픽셀 구조의 다음의 데이터 라인(미도시) 사이에 배치된다.

[0023] 제 2 절연층(104)은 제 2 전도성 층(M2)을 커버한다. 제 2 절연층(104)은 산화 실리콘, 질화 실리콘 또는 산화 질화 실리콘과 같은 무기 절연 재료, 또는 유기 절연 재료를 포함한다.

[0024] 제 3 전도성 층(M3)은 제 2 절연층(104) 상에 배치되며, 제 4 게이트(G4) 및 하부 전극(bottom electrode)(120)을 포함한다. 제 4 게이트(G4)는 제 4 채널(CH4) 위에 배치되며, 제 4 게이트(G4)는 제 4 드레인(D4)에 전기적으로 연결된다. 제 4 게이트(G4), 제 4 채널(CH4), 제 4 소스(S4) 및 제 4 드레인(D4)은 포토 센서 디바이스(T4)를 형성한다. 하부 전극(120)은 제 2 절연층(104) 내에 형성된 접촉 비아(contact via)(V1)를 통해 구동 디바이스(T2)의 제 2 드레인(D2)에 전기적으로 연결된다.

[0025] 실시예에 있어, 제 3 전도성 층(M3)은 제 1 스위치 디바이스(T1)의 제 1 드레인(D1)과 커패시터(C)의 제 1 전극(E1)을 전기적으로 연결하기 위한 연결 패턴(connecting pattern)(122)을 더 포함한다. 보다 상세하게, 연결 패턴(122)은 제 2 절연층(104) 상에 배치되며, 접촉 비아(V2) 및 접촉 비아(V3)가 제 2 절연층(104) 내에 형성된다. 제 1 스위치 디바이스(T1)의 제 1 드레인(D1)과 커패시터(C)의 제 1 전극(E1)은 연결 패턴(122), 접촉 비아(V2) 및 접촉 비아(V3)를 통해 서로 전기적으로 연결된다.

[0026] 또한, 제 3 전도성 층(M3)은 제 4 게이트(G4) 및 제 4 드레인(D4)(도 1 및 도 3에 도시된 바와 같은)에 전기적으로 연결된 제 2 바이어스 라인(BL2)을 더 포함한다. 제 2 바이어스 라인(BL2)은 데이터 라인(DL), 판독 라인(RL) 및 제 1 바이어스 라인(BL1)과 교차하여 배치된다. 실시예에 있어, 제 2 바이어스 라인(BL2)은 스캔 라인(SL)과 평행하며, 데이터 라인(DL), 판독 라인(RL) 및 제 1 바이어스 라인(BL1)에 수직한다.

[0027] 제 3 전도성 층(M3)은, 예를 들어, 산화 인듐 주석(Indium Tin Oxide, ITO) 또는 산화 인듐 아연(Indium Zinc Oxide, IZO)을 포함하는 투명 전도성 층이다. 제 3 전도성 층(M3)은 투명 전도성 층이며, 하부 전극(120)은 투명 전극이다.

- [0028] 제 3 절연층(106)은 제 3 전도성 층(M3) 상에 배치되며, 하부 전극(120)을 노출한다. 제 3 절연층(106)은 산화 실리콘, 질화 실리콘 또는 산화질화 실리콘과 같은 무기 절연 재료, 또는 유기 절연 재료를 포함한다.
- [0029] 유기 발광층(130)은 노출된 하부 전극(120) 상에 배치된다. 유기 발광층(130)은 적색 유기 발광 재료, 녹색 유기 발광 재료 또는 청색 유기 발광 재료를 포함할 수 있다. 유기 발광층(130)은 또한 전자 주입층(electron injection layer), 전자 수송층(electron transport layer), 홀(hole) 주입층, 홀 수송층 또는 이들의 조합을 포함할 수 있다. 본 발명의 일부 예들에 있어, 터치 센싱 광원(light source)은 유기 발광층(130) 내에 디자인되거나, 또는 독립된 층 내에 형성될 수 있다. 터치 센싱 광의 파장은, 예를 들어, 가시적인 유기 발광 재료 중 하나와 상이하하며, 적외선 또는 다른 비가시 광일 수 있다.
- [0030] 상부 전극(140)은 유기 발광층(130) 상에 배치되며, 상부 전극(140), 유기 발광층(130) 및 하부 전극(120)은 유기 발광 디바이스(O)를 형성한다. 상부 전극(140)은 반사성 전극 재료 또는 투명 전극 재료를 포함한다. 상부 전극(140)이 반사성 전극인 경우, 유기 발광층(130)으로부터 방출되는 광(L)은 하부 전극(120) 및 기판(100)을 통해 진행할 수 있으며, 그 결과 유기 발광 디바이스(O)는 하부 방출 유기 발광 디바이스이다. 상부 전극(140)이 투명 전극인 경우, 유기 발광층(130)으로부터 방출되는 광(L)은 하부 전극(120) 및 기판(100)을 통해 진행할 수 있고, 또한 상부 전극(140)을 통해 진행할 수 있으며, 그 결과 유기 발광 디바이스(O)는 듀얼 방출 유기 발광 디바이스이다.
- [0031] 따라서, 제 1 스위치 디바이스(T1), 구동 디바이스(T2) 및 유기 발광 디바이스(O)가 스캔 라인(SL), 데이터 라인(DL) 및 제 1 바이어스 라인(BL1)에 의해 제어되며, 그 결과 픽셀 구조는 광(L)을 방출하거나 또는 방출하지 않도록 구동될 수 있다. 또한, 제 2 스위치 디바이스(T3) 및 포토 센서 디바이스(T4)는 판독 라인(RL) 및 제 2 바이어스 라인(BL2)에 전기적으로 연결된다. 픽셀 구조의 하부로부터 포토 센싱 신호가 기판(100)을 통해 진행하는 경우, 이는 포토 센서 디바이스(T4)에 의해 센싱되거나 또는 수신되며, 판독 라인(RL)으로 전송되고, 그 결과 픽셀 구조는 터치 센싱 기능을 갖는다.
- [0032] 도 2의 실시예에 있어, 유기 발광 디바이스(O)가 하부 방출 유기 발광 디바이스 또는 듀얼 방출 유기 발광 디바이스이므로, 유기 발광 디바이스(O)로부터 방출되는 광(L)이 포토 센서 디바이스(T4)의 제 4 채널(CH4)로 발광할 수 있다는 것을 주목해야 한다. 실시예에 있어, 제 1 전도성 층(M1)은 포토 센서 디바이스(T4) 아래에 배치된, 블랙 매트릭스(black matrix)와 같은 차광 패턴(light shielding pattern)(SH)을 더 포함할 수 있다. 포토 센서 디바이스(T4) 아래에 배치된 차광 패턴(SH)은, 광(L)이 포토 센서 디바이스(T4)의 포토 센싱 기능을 간섭하는 것을 방지하기 위하여, 제 4 채널(CH4)(활성층) 내로 발광하는 광(L)을 차폐할 수 있다. 실시예에 있어, 차광 패턴(SH)은, 라이트 펜(light pen)과 같은 외부 광원으로부터의 포토 센싱 신호의 콜리메이션 광(collimation light)만을 허용하기 위하여, 포토 센서 디바이스(T4)의 제 4 채널(CH4)에 대응하여 배치된다. 따라서, 픽셀 구조의 하부로부터의 그리고 기판(100)을 통과하는 포토 센싱 신호가 포토 센서 디바이스(T4)의 제 4 채널(CH4)에 의해 계속 센싱되거나 또는 수신될 수 있다.
- [0033] 도 4는 본 발명의 다른 실시예에 따른 픽셀 구조의 등가 회로도이다. 도 4를 참조하면, 실시예는 도 1에 도시된 실시예와 유사하다. 따라서, 동일한 컴포넌트들은 동일한 숫자들로 표시될 것이며, 여기에서 반복되지 않는다. 도 4의 실시예와 도 1의 실시예 사이의 차이는 도 4의 픽셀 구조가 단지 하나의 바이어스 라인(BL1)을 갖는다는 것이다. 바이어스 라인(BL1)은 데이터 라인(DL) 및 판독 라인(RL)에 평행하게 배치된다. 커패시터(C)의 제 2 전극(E2) 및 구동 디바이스(T2)의 제 2 소스(S2)가 바이어스 라인(BL1)과 전기적으로 연결되며, 제 4 게이트(G4) 및 제 4 드레인(D4) 또한 바이어스 라인(BL1)에 전기적으로 연결된다.
- [0034] 도 5는 본 발명의 다른 실시예에 따른 픽셀 구조의 등가 회로도이다. 도 5를 참조하면, 실시예는 도 1에 도시된 실시예와 유사하다. 따라서, 동일한 컴포넌트들은 동일한 숫자들로 표시될 것이며, 여기에서 반복되지 않는다. 도 5의 실시예와 도 1의 실시예 사이의 차이는 도 5의 픽셀 구조가 단지 하나의 바이어스 라인(BL2)을 갖는다는 것이다. 바이어스 라인(BL2)은 스캔 라인(SL)과 평행하게 배치된다. 커패시터(C)의 제 2 전극 및 구동 디바이스(T2)의 제 2 소스(S2)가 바이어스 라인(BL2)에 전기적으로 연결되며, 제 4 게이트(G4) 및 제 4 드레인(D4) 또한 바이어스 라인(BL2)에 전기적으로 연결된다.
- [0035] 도 6은 본 발명의 다른 실시예에 따른 픽셀 구조의 상면도를 나타내는 도면이다. 도 6을 참조하면, 실시예는 도 3에 도시된 실시예와 유사하다. 따라서, 동일한 컴포넌트들은 동일한 숫자들로 표시될 것이며, 여기에서 반복되지 않는다. 도 6의 실시예와 도 3의 실시예 사이의 차이는 포토 센서 디바이스(T4)(및 제 2 스위치 디바이스(T3))가 제 1 바이어스 라인(BL1)과 판독 라인(RL) 사이에 배치된다는 것이다.

- [0036] 도 7은 본 발명의 다른 실시예에 따른 픽셀 구조의 단면도이다. 도 7을 참조하면, 실시예는 도 2에 도시된 실시예와 유사하다. 따라서, 동일한 컴포넌트들은 동일한 숫자들로 표시될 것이며, 여기에서 반복되지 않는다. 도 7을 참조하면, 유기 발광 디바이스(O)는 상부 방출 유기 발광 디바이스(또는 듀얼 방출 유기 발광 디바이스)이고, 포토 센서 디바이스(T4)는 하부 게이트 박막 트랜지스터이다.
- [0037] 상세하게, 유기 발광 디바이스(O)의 상부 전극(140)은, 산화 인듐 주석(Indium Tin Oxide, ITO) 또는 산화 인듐 아연(Indium Zinc Oxide, IZO)과 같은 투명 전극 재료를 포함하며, 하부 전극(120)은 반사성 전극 재료 또는 투명 전극 재료를 포함한다. 하부 전극(120)이 반사성 전극인 경우, 유기 발광층(130)으로부터 방출되는 광(L)은 상부 전극(140)을 통과하며, 그 결과 유기 발광 디바이스(O)는 상부 방출 유기 발광 디바이스이다. 하부 전극(120)이 투명 전극인 경우, 유기 발광층(130)으로부터 방출되는 광(L)은 상부 전극(140)을 통과하며 그리고 또한 하부 전극(120) 및 기판(100)을 통과할 수 있으며, 그 결과 유기 발광 디바이스(O)는 듀얼 방출 유기 발광 디바이스이다.
- [0038] 또한, 포토 센서 디바이스(T4)는 하부 게이트 박막 트랜지스터 구조이다. 즉, 제 4 게이트(G4)는 기판(100) 상의 제 1 전도성 층(M1)의 부분이며, 제 4 채널(CH4)은 제 4 게이트(G4) 위에 배치되고, 제 4 소스(S4) 및 제 4 드레인(D4)이 제 4 채널(CH4) 상에 배치된다. 제 4 게이트(G4)가 제 1 전도성 층(M1)에 속하기 때문에, 제 4 게이트 및 제 4 드레인(D4)에 전기적으로 연결된 바이어스 라인 또한 제 1 전도성 층(M1)에 속할 수 있다. 픽셀 구조의 상부로부터의 포토 센싱 신호가 상부 전극(140) 및 제 3 절연층(106)을 통과하는 경우, 이는 포토 센서 디바이스(T4)의 제 4 채널(CH4)에 의해 센싱되거나 또는 수신된다. 실시예에 있어, 유기 발광층(130)으로부터 광(L)을 차폐하기 위하여 제 4 게이트(G4)가 제 4 채널(CH4) 아래에 배치되기 때문에, 차광 패턴이 생략될 수 있다.
- [0039] 도 8 내지 도 11은 본 발명의 몇몇 실시예들에 따른 픽셀 구조의 단면도들이다. 도 8에 도시된 바와 같이, 실시예는 도 2에 도시된 실시예와 유사하다. 따라서, 동일한 컴포넌트들은 동일한 숫자들로 표시될 것이며, 여기에서 반복되지 않는다. 도 8의 실시예와 도 2의 실시예 사이의 차이는 차광 패턴(B)이 기판(100)의 외부 표면 상에 배치된다는 것이다. 구체적으로, 차광 패턴(B)이 포토 센서 디바이스(T4) 아래에 기판(100)의 외부 표면 상에 배치된다. 차광 패턴(B)은, 예를 들어, 컬러 필터 패턴(color filter pattern) 또는 블랙 레진(black resin)일 수 있다. 차광 패턴(B)은 특정 파장이 통과하도록 하기 위하여 사용되고, 포토 센서 디바이스(T4)의 센싱 민감도를 향상시킨다.
- [0040] 도 9에 도시된 바와 같이, 실시예는 도 8에 도시된 실시예와 유사하다. 따라서, 동일한 컴포넌트들은 동일한 숫자들로 표시될 것이며, 여기에서 반복되지 않는다. 도 9의 실시예와 도 8의 실시예 사이의 차이는 차광 패턴(B)이 기판(100)의 내부 표면 상에 배치된다는 것이다. 구체적으로, 차광 패턴(B)은 기판(100)과 포토 센서 디바이스(T4) 사이에 배치된다. 차광 패턴(B)은 컬러 필터 패턴일 수 있으며, 포토 센서 디바이스(T4)를 유기 발광 디바이스(O)의 광(L) 및 주변으로부터 유입되는 반사된 광으로부터 차폐하고, 특정 파장이 통과하도록 하며 반사된 광의 간섭을 차단한다.
- [0041] 도 10에 도시된 바와 같이, 실시예는 도 9에 도시된 실시예와 유사하다. 따라서, 동일한 컴포넌트들은 동일한 숫자들로 표시될 것이며, 여기에서 반복되지 않는다. 유기 발광 디바이스(O)는, 3원색 발광 다이오드(trichromatic light emitting diode)들을 제외하고, 적외선 또는 다른 비가시 광과 같은, 터칭 센싱 광원을 포함하며, 도 10의 실시예와 도 9의 실시예 사이의 차이는 차광 패턴(B)이 포토 센서 디바이스(T4) 상에 배치되는 것임이 주목되어야 한다. 상세하게, 차광 패턴(B)은 포토 센서 디바이스(T4)의 게이트(G4)를 커버한다. 차광 패턴(B)은 블랙 레진일 수 있으며, 3원색 광 및 비가시 광으로 구성된 유기 발광 디바이스(O)의 반사된 광(L)으로부터 포토 센서 디바이스(T4)를 차폐한다.
- [0042] 도 11에 도시된 바와 같이, 실시예는 도 10의 실시예와 유사하다. 따라서, 동일한 컴포넌트들은 동일한 숫자들로 표시될 것이며, 여기에서 반복되지 않는다. 도 11의 실시예와 도 10의 실시예 사이의 차이는 차광 패턴(B)이 기판(100)의 내부 표면 상에 그리고 포토 센서 디바이스(T4) 상에 배치된다는 것이다. 상세하게, 차광 패턴(B)은 기판(100)과 포토 센서 디바이스(T4) 사이에 배치되며, 포토 센서 디바이스(T4)의 게이트(G4)를 커버한다. 차광 패턴(B)은 주변으로부터 유입되는 반사된 광 및 유기 발광 디바이스(O)의 광(L)으로부터 포토 센서 디바이스(T4)를 차폐할 수 있다.
- [0043] 도 12 내지 도 13은 본 발명의 실시예들에 따른 픽셀 구조의 상면도를 나타내는 도면들이다. 도 8, 9, 10 또는 11에 도시된 차광 패턴(B)은, 도 12 및 13에 도시된 바와 같이, 포토 센서 디바이스(T4)에 대응하여 배치된다.

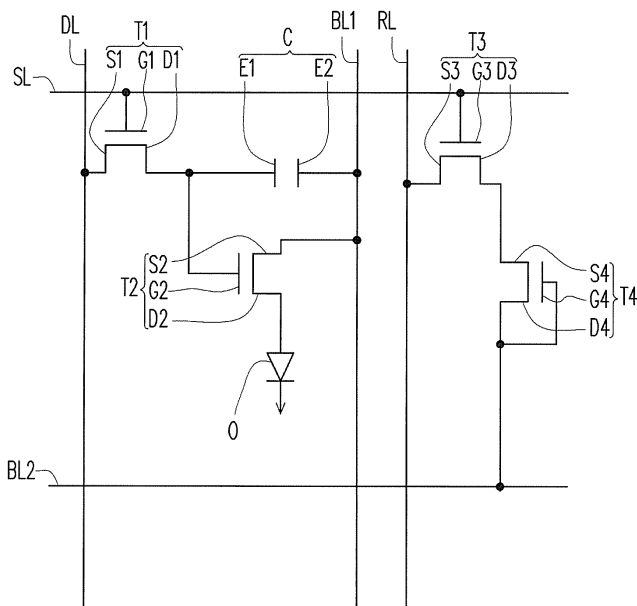
즉, 차광 패턴(B)은 주로 포토 센서 디바이스(T4)를 커버하며, 픽셀 구조의 다른 컴포넌트들을 노출한다.

[0044] 전술한 바에 비추어, 픽셀 구조가 유기 발광 디바이스 및 그 안에 포토 센서 디바이스를 가지므로, 유기 전계발광 디바이스는 터치 센싱 기능을 갖는다. 또한, 터치 센싱 엘리먼트들(포토 센서 디바이스, 제 2 스위치 디바이스, 판독 라인 및 바이어스 라인을 포함하는)의 제조 프로세스가 유기 발광 엘리먼트들(제 1 스위치 디바이스, 구동 디바이스, 유기 발광 디바이스, 스캔 라인 및 데이터 라인을 포함하는)의 제조 프로세스에 따를 수 있으므로, 따라서 픽셀 구조에 대한 추가적인 프로세스가 요구되지 않는다.

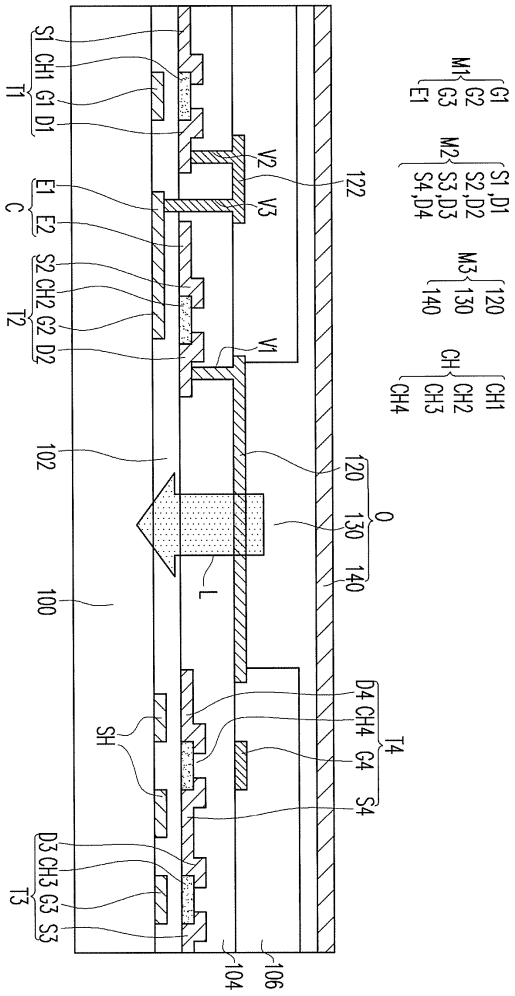
[0045] 본 발명의 범위 또는 사상에서 벗어나지 않고, 본 발명의 구조에 대한 다양한 수정들 및 변형들이 이루어질 수 있음이 당업자에게 자명할 것이다. 전술한 내용의 관점에서, 본 발명은 다음의 청구항들 및 등가물들의 범위 내에 속하도록 제공되는 이러한 발명의 수정들 및 변형들을 포함하도록 의도된다.

**도면**

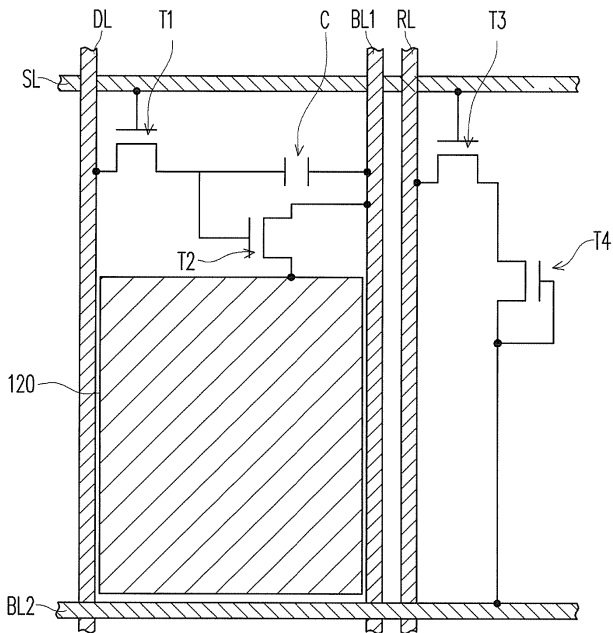
**도면1**



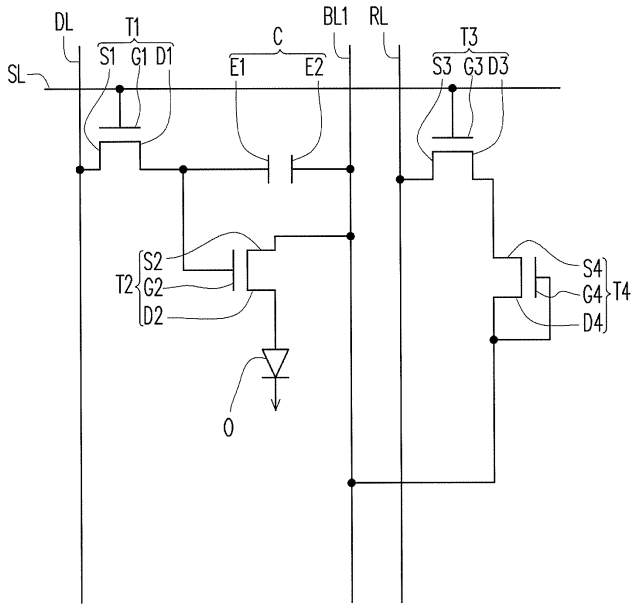
도면2



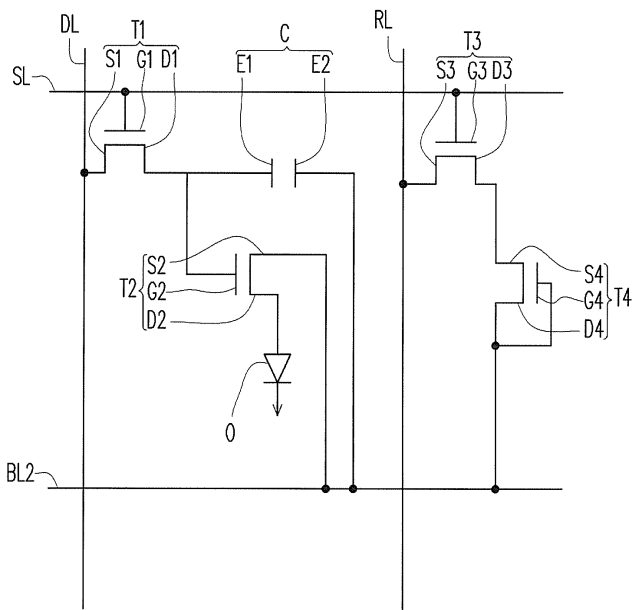
도면3



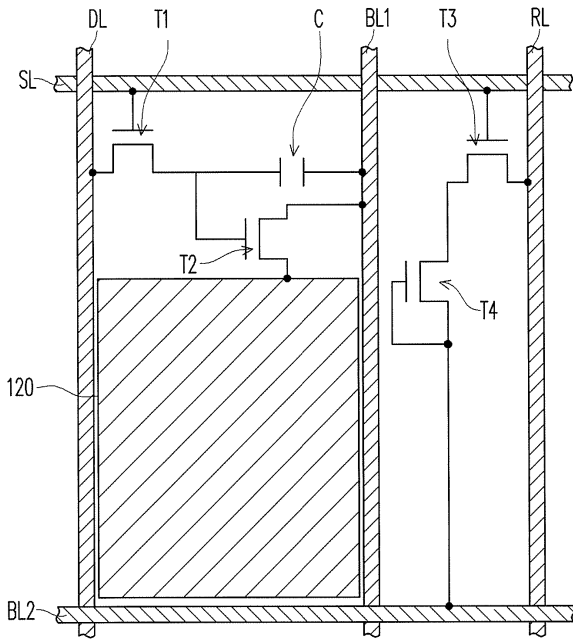
도면4



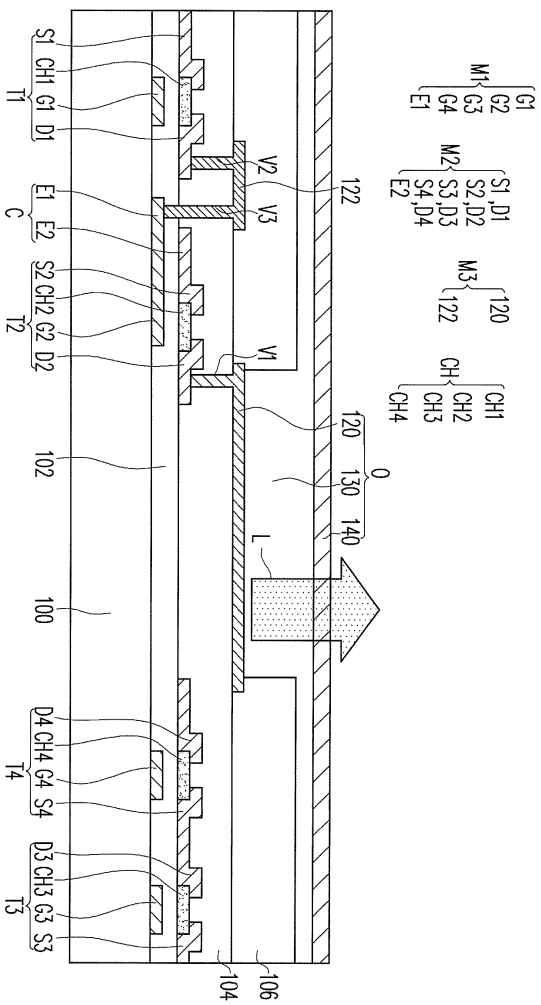
도면5



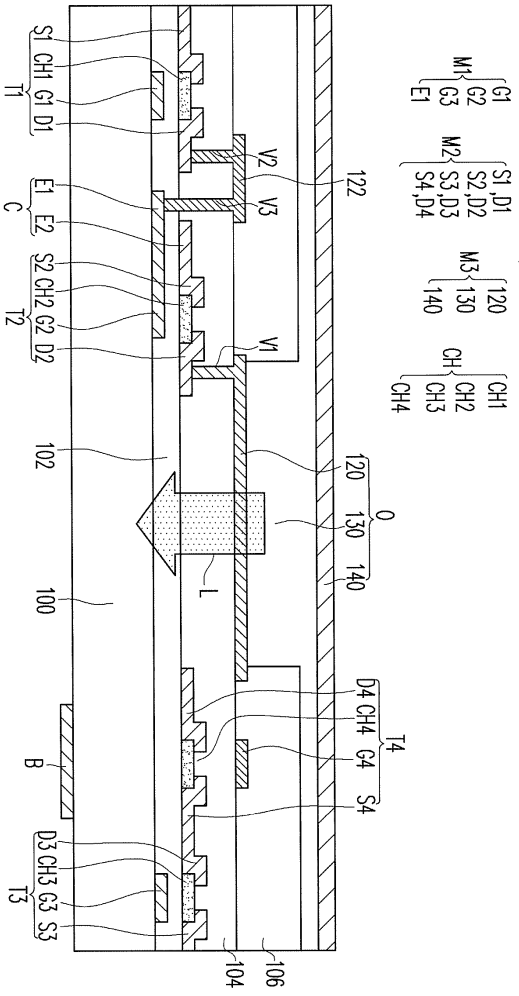
도면6



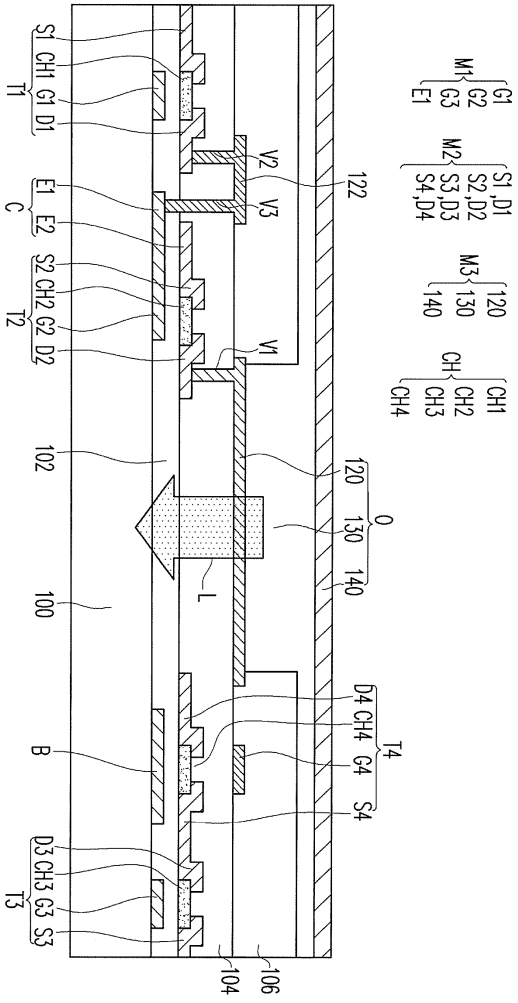
도면7



도면8

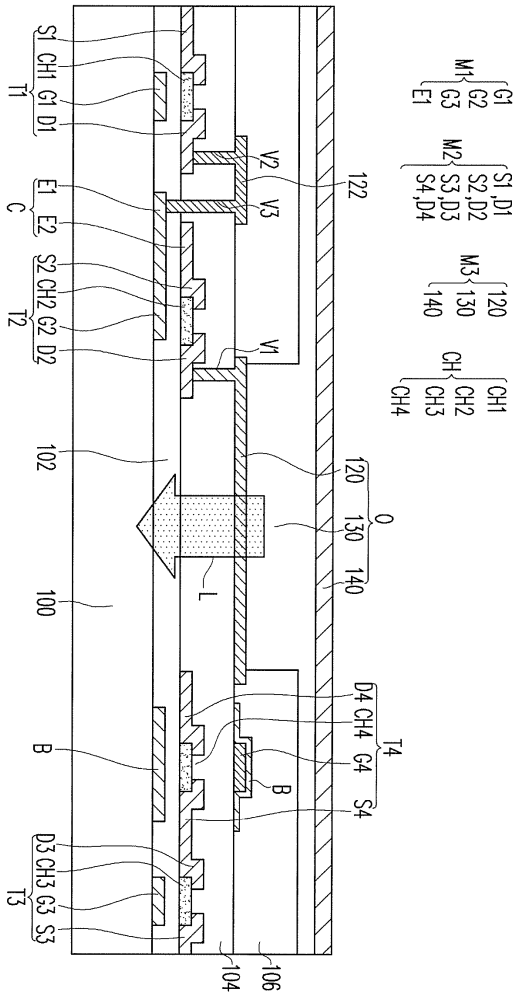


도면9

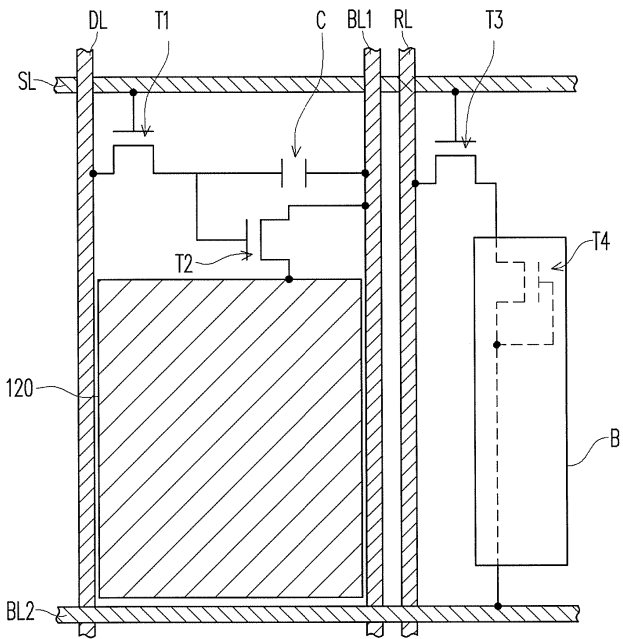




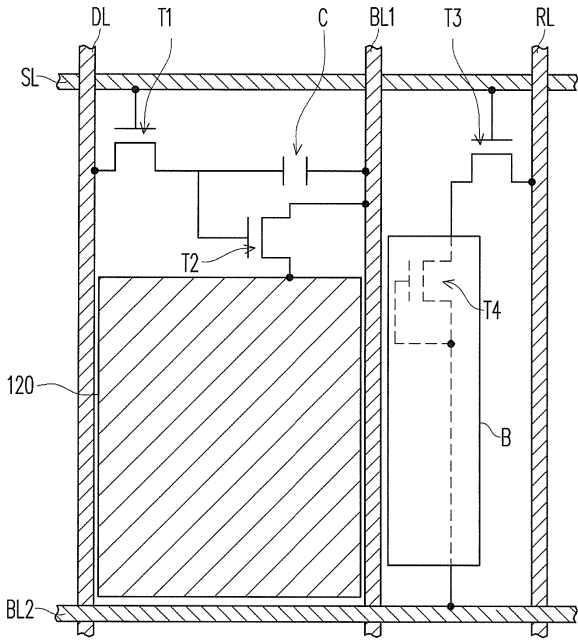
도면11



도면12



도면13



专利名称(译)	标题：有机电致发光器件的像素结构		
公开(公告)号	<a href="#">KR1020130090825A</a>	公开(公告)日	2013-08-14
申请号	KR1020130012512	申请日	2013-02-04
[标]申请(专利权)人(译)	剑扬股份有限公司		
申请(专利权)人(译)	室内灰色的数码技术，激光炮的鼻子的		
当前申请(专利权)人(译)	室内灰色的数码技术，激光炮的鼻子的		
[标]发明人	YANG HUI CHANG 양후이장 NAE JYE HWANG 내제항 SHEN TAI LIAW 센타이라우		
发明人	양 후이장 내 제항 센 타이랴우		
IPC分类号	H01L51/52 G09G3/30		
CPC分类号	G09G3/3258 G06F3/0412 G06F3/0421 G06F2203/04103 G09G2300/0426 G09G2320/0295 H01L27/3269 H01L27/3209 H01L27/3218 H01L27/3241 H01L27/3248 H01L27/326 H01L27/3265 H01L51/5012 H01L51/504 H01L51/5203 H01L51/5218 H01L51/5234		
优先权	13/366270 2012-02-04 US		
其他公开文献	KR101415894B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有机电致发光器件的像素结构包括基板上的扫描线，数据线和偏置线，第一开关器件，电容器，驱动器件，有机发光器件，第二开关器件和光电传感器设备包括解释线。第一开关器件在扫描线和数据线中电连接。电容器在第一开关器件和偏置线中电连接。驱动装置在第一开关装置，电容器和偏置线中电连接。有机发光器件在驱动装置中电连接。第二开关装置在扫描线和解释线中电连接。光电传感器装置在第二开关装置和偏置线中电连接。

