



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0065381
(43) 공개일자 2013년06월19일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/26 (2006.01)
(21) 출원번호 10-2011-0132219
(22) 출원일자 2011년12월09일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
임현택
부산광역시 동래구 연안로 71, 안락뜨란채아파트
101동 1604호 (안락동)
이성호
강원도 강릉시 입암동 입암4주공아파트 403동 10
3호
(74) 대리인
서교준

전체 청구항 수 : 총 17 항

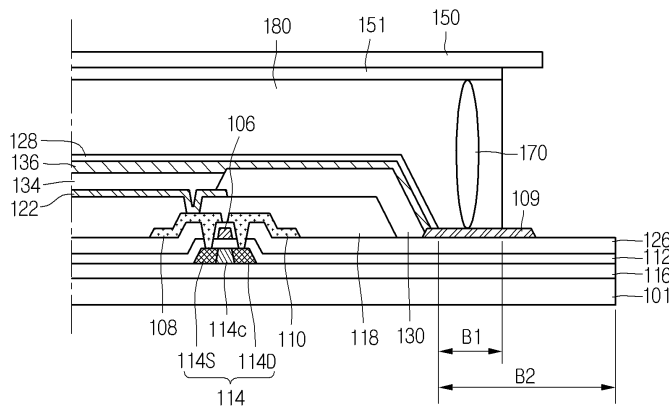
(54) 발명의 명칭 유기전계 발광표시장치 및 그 제조 방법

(57) 요약

본 발명은 공정을 간소화할 수 있을 뿐만 아니라 비표시 영역을 최소화할 수 있는 유기전계 발광표시장치가 개시된다.

유기전계 발광표시장치는 하부 기판의 화소 표시부에 형성된 구동 박막 트랜지스터와, 구동 박막 트랜지스터 상에 형성되는 제1 전극과, 제1 전극 상에 형성되는 유기 발광층과, 유기 발광층 상에 형성되는 제2 전극과, 하부 기판과 대면되는 상부 기판에 형성된 보조 전극과, 하부 기판의 비표시부에 형성되어 제2 전극과 전기적으로 연결된 버스 전극 및 버스 전극과 보조 전극을 전기적으로 접속시키기 위한 도전 볼을 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

하부 기관의 화소 표시부에 형성된 구동 박막 트랜지스터;
 상기 구동 박막 트랜지스터 상에 형성되는 제1 전극;
 상기 제1 전극 상에 형성되는 유기 발광층;
 상기 유기 발광층 상에 형성되는 제2 전극;
 상기 하부 기관과 대면되는 상부 기관에 형성된 보조 전극;
 상기 하부 기관의 비표시부에 형성되어 상기 제2 전극과 전기적으로 연결된 버스 전극; 및
 상기 버스 전극과 상기 보조 전극을 전기적으로 접속시키기 위한 도전 볼을 포함하는 유기전계 발광표시장치.

청구항 2

제1 항에 있어서,
 상기 도전 볼은 수 μm 의 지름을 가지는 유기전계 발광표시장치.

청구항 3

제1 항에 있어서,
 상기 버스 전극은 상기 구동 박막 트랜지스터의 소스/드레인 전극 형성시에 동시에 형성된 유기전계 발광표시장치.

청구항 4

제3 항에 있어서,
 상기 도전 볼은 상기 소스/드레인 전극 형성 이후에 형성된 유기전계 발광표시장치.

청구항 5

제1 항에 있어서,
 상기 버스 전극은 상기 제1 전극 형성시에 동시에 형성된 유기전계 발광표시장치.

청구항 6

제5 항에 있어서,
 상기 도전 볼은 상기 제1 전극 형성 이후에 형성된 유기전계 발광표시장치.

청구항 7

제1 항에 있어서,
 상기 버스 전극은 상기 제2 전극 형성시에 동시에 형성된 유기전계 발광표시장치.

청구항 8

제7 항에 있어서,
 상기 도전 볼은 상기 제2 전극 형성 이후에 형성된 유기전계 발광표시장치.

청구항 9

제1 기관의 화소 표시부에 버퍼층 및 액티브 패턴이 순차적으로 형성되는 단계;

상기 버퍼층 및 상기 액티브 패턴 상에 게이트 절연층이 형성되는 단계;
 상기 게이트 절연층 상에 게이트 전극이 형성되는 단계;
 상기 게이트 전극을 포함한 상기 게이트 절연층 상에 층간 절연층이 형성되는 단계;
 상기 층간 절연층 상에 소스/드레인 전극이 형성되는 단계;
 상기 소스/드레인 전극 상에 평탄층이 형성되는 단계;
 상기 평탄층 상에 상기 드레인 전극과 접속되는 제1 전극이 형성되는 단계;
 상기 평탄층 상에 बैं크 절연층이 형성되는 단계;
 상기 제1 전극 상에 유기 발광층이 형성되는 단계;
 상기 유기 발광층 상에 제2 전극이 형성되는 단계;
 제2 기판에 보조 전극이 형성되는 단계;
 상기 제1 기판의 비표시부에 상기 소스/드레인 전극, 상기 제1 및 제2 전극 중 어느 하나의 형성공정 시에 동시에 버스 전극이 형성되는 단계; 및
 상기 버스 전극 상에 마스크를 이용하여 도전 불이 증착되는 단계를 포함하는 유기전계 발광표시장치의 제조방법.

청구항 10

제9 항에 있어서,
 상기 제1 기판과 상기 제2 기판은 점착필름에 의해 서로 합착되는 단계를 더 포함하고, 상기 합착되는 단계에서 상기 도전 불은 상기 보조 전극과 접촉되는 유기전계 발광표시장치의 제조방법.

청구항 11

제9 항에 있어서,
 상기 도전 불은 수 μm 의 지름을 가지는 유기전계 발광표시장치의 제조방법.

청구항 12

제9 항에 있어서,
 상기 버스 전극은 상기 소스/드레인 전극 형성시에 동시에 형성된 유기전계 발광표시장치의 제조방법.

청구항 13

제12 항에 있어서,
 제3 항에 있어서,
 상기 도전 불은 상기 소스/드레인 전극 형성 이후에 형성된 유기전계 발광표시장치의 제조방법.

청구항 14

제9 항에 있어서,
 상기 버스 전극은 상기 제1 전극 형성시에 동시에 형성된 유기전계 발광표시장치의 제조방법.

청구항 15

제14 항에 있어서,
 상기 도전 불은 상기 제1 전극 형성 이후에 형성된 유기전계 발광표시장치의 제조방법.

청구항 16

제9 항에 있어서,

상기 버스 전극은 상기 제2 전극 형성시에 동시에 형성된 유기전계 발광표시장치의 제조방법.

청구항 17

제16 항에 있어서,

상기 도전 볼은 상기 제2 전극 형성 이후에 형성된 유기전계 발광표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기전계 발광표시장치에 관한 것으로, 공정을 간소화할 수 있을 뿐만 아니라 비표시 영역을 최소화할 수 있는 유기전계 발광표시장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 최근 표시장치는 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기전계 발광표시장치(OLED)가 각광받고 있다.

[0003] 상기 유기전계 발광표시장치는 전극 사이의 발광층을 이용한 자발광 소자로써, 액정표시장치와 같이 광을 제공하는 백라이트 유닛이 필요로 하지 않아 박형화가 가능한 장점을 가진다.

[0004] 유기전계 발광표시장치는 3색(R,G,B) 서브 화소로 구성된 화소들이 매트릭스 형태로 배열되어 화상을 표시한다.

[0005] 상기 각각의 서브 화소는 유기전계 발광 셀과, 상기 유기전계 발광 셀을 독립적으로 구동하는 셀 구동부를 구비한다.

[0006] 상기 셀 구동부는 스캔 신호를 공급하는 게이트 라인과, 영상 데이터 신호를 공급하는 데이터 라인과, 공통전원 신호를 공급하는 공통전원 라인 사이에 적어도 2개 이상의 박막 트랜지스터와, 스토리지 캐패시터로 구성되어 유기전계 발광 셀의 화소 전극을 구동한다.

[0007] 유기전계 발광 셀은 셀 구동부와 접속된 화소 전극과, 화소 전극 위에 유기층과, 유기층 위에 음극으로 구성된다. 여기서, 유기전계 발광표시패널은 박막 트랜지스터와 유기전계 발광 셀이 형성된 하부 기판과 상부 기판이 합착되어 형성된다.

[0008] 유기전계 발광표시장치는 점차 대형화 되어감에 따라 음극의 저항이 높아져 발광 효율 및 컬러 특성이 저하되는 문제가 있었다.

[0009] 일반적인 유기전계 발광표시장치는 위의 문제를 해소하기 위해 상부 기판에 보조 전극을 형성하고, 도전물질이 함유된 도전 실(seal)을 상기 음극과 전기적으로 접속된 보조 라인 상에 형성한 후에 상기 상부 기판과 합착하여 상기 음극과 상기 보조 전극을 접속시켜 저항을 낮게 구현하고 있다. 그러나, 일반적인 유기전계 발광표시장치는 상기 도전 실을 이용하여 음극과 상기 보조 전극을 전기적으로 연결하는 구조로써, 도전 실의 산화를 방지하기 위한 별도의 보상 실을 더 형성해야 함으로 공정이 복잡해지는 문제가 있었다.

[0010] 또한, 도전 실 및 보상 실은 전체 폭이 수 mm로써, 표시 영역의 가장자리에 위치하는 비표시 영역을 최소화하기에 곤란한 문제가 있었다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 공정을 간소화할 수 있을 뿐만 아니라 비표시 영역을 최소화할 수 있는 유기전계 발광표시장치 및 그 제조 방법을 제공함에 그 목적이 있다.

과제의 해결 수단

- [0012] 본 발명의 일 실시예에 따른 유기전계 발광표시장치는,
- [0013] 하부 기관의 화소 표시부에 형성된 구동 박막 트랜지스터; 상기 구동 박막 트랜지스터 상에 형성되는 제1 전극; 상기 제1 전극 상에 형성되는 유기 발광층; 상기 유기 발광층 상에 형성되는 제2 전극; 상기 하부 기관과 대면되는 상부 기관에 형성된 보조 전극; 상기 하부 기관의 비표시부에 형성되어 상기 제2 전극과 전기적으로 연결된 버스 전극; 및 상기 버스 전극과 상기 보조 전극을 전기적으로 접속시키기 위한 도전 볼을 포함한다.
- [0014] 본 발명의 다른 실시예에 따른 유기전계 발광표시장치는,
- [0015] 제1 기관의 화소 표시부에 버퍼층 및 액티브 패턴이 순차적으로 형성되는 단계; 상기 버퍼층 및 상기 액티브 패턴 상에 게이트 절연층이 형성되는 단계; 상기 게이트 절연층 상에 게이트 전극이 형성되는 단계; 상기 게이트 전극을 포함한 상기 게이트 절연층 상에 층간 절연층이 형성되는 단계; 상기 층간 절연층 상에 소스/드레인 전극이 형성되는 단계; 상기 소스/드레인 전극 상에 평탄층이 형성되는 단계; 상기 평탄층 상에 상기 드레인 전극과 접속되는 제1 전극이 형성되는 단계; 상기 평탄층 상에 뱅크 절연층이 형성되는 단계; 상기 제1 전극 상에 유기 발광층이 형성되는 단계; 상기 유기 발광층 상에 제2 전극이 형성되는 단계; 제2 기관에 보조 전극이 형성되는 단계; 상기 제1 기관의 비표시부에 상기 소스/드레인 전극, 상기 제1 및 제2 전극 중 어느 하나의 형성공정 시에 동시에 버스 전극이 형성되는 단계; 및 상기 버스 전극 상에 마스크를 이용하여 도전 볼이 증착되는 단계를 포함한다.

발명의 효과

- [0016] 본 발명은 도전 실을 이용한 수 μm 의 폭을 가지는 유효 비표시부를 포함하는 일반적인 유기전계 발광표시장치와 대비하여 상기 도전 볼에 의한 유효 비표시부는 수백 μm 의 폭으로 형성이 가능함으로써, 전체 비표시부를 줄일 수 있을 뿐만 아니라 도전 실의 형성 공정 및 도전 실을 보호하기 위한 보호 실 형성 공정을 생략함으로써, 공정을 간소화할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 일 실시예에 따른 유기전계 발광표시장치를 도시한 회로 블록도이다.
- 도 2는 도 1의 단위 발광 영역을 도시한 회로도이다.
- 도 3은 유기전계 발광표시장치의 가장자리 영역을 도시한 단면도이다.
- 도 4는 본 발명의 일 실시예에 따른 도전 볼을 형성하는 방법을 도시한 단면도이다.
- 도 5는 본 발명의 도전 볼이 형성된 제1 기관을 도시한 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명은 하부 기관의 화소 표시부에 형성된 구동 박막 트랜지스터와, 구동 박막 트랜지스터 상에 형성되는 제1 전극과, 제1 전극 상에 형성되는 유기 발광층과, 유기 발광층 상에 형성되는 제2 전극과, 하부 기관과 대면되는 상부 기관에 형성된 보조 전극과, 하부 기관의 비표시부에 형성되어 제2 전극과 전기적으로 연결된 버스 전극 및 버스 전극과 보조 전극을 전기적으로 접속시키기 위한 도전 볼을 포함한다.
- [0019] 첨부한 도면을 참조하여 본 발명에 따른 실시 예를 상세히 설명하도록 한다.
- [0020] 본 발명의 일 실시예는 당업자에게 본 발명의 기술 사상이 충분히 전달될 수 있도록 하기 위함이다. 따라서, 이하에서 설명하는 실시예에 한정되지 않고, 본 발명의 기술 사상을 기초로 다른 실시예들은 얼마든지 추가될 수 있다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 유기전계 발광표시장치를 도시한 회로 블록도이고, 도 2는 도 1의 단위 발광 영역을 도시한 회로도이다.
- [0022] 도 1에 도시된 바와 같이, 유기전계 발광표시장치는 화상을 표시하는 화상 표시부(100)와, 상기 화상 표시부

(100)의 가장자리에 위치하는 비표시 영역을 포함하는 발광표시패널(200)을 포함한다.

- [0023] 여기서, 유기전계 발광표시장치는 복수의 게이트 라인(GL1 내지 GLn)과, 복수의 데이터 라인(DL1 내지 DLm)이 교차되어 화소를 정의한다.
- [0024] 도면에는 도시되지 않았지만, 상기 복수의 게이트 라인(GL1 내지 GLn)의 끝단에는 외부로부터 게이트 신호가 공급되는 게이트 패드부(미도시)가 구비되고, 상기 복수의 데이터 라인(DL1 내지 DLm)의 끝단에는 외부로부터 데이터 신호가 공급되는 데이터 패드부(미도시)가 구비된다.
- [0025] 상기 발광표시패널(200)은 서로 대면되어 합착된 상부 기관 및 하부 기관을 구비하고, 상기 발광표시패널(200)의 화소 표시부(100)에는 상기 게이트 라인(GL1 내지 GLn)과 데이터 라인(DL1 내지 DLm)이 교차하여 정의되는 다수의 화소영역 각각에 발광영역(EL)이 형성된다. 상기 발광영역(EL)은 전원부(미도시)로부터 구동전압(VDD)과 기저전압(GND)을 공급받는다.
- [0026] 상기 구동전압(VDD)은 구동전압 공급라인(220)을 통해 각각의 발광영역(EL)으로 구동전압(VDD)을 공급한다.
- [0027] 상기 기저전압(GND)은 기저전압 공급라인(210)을 통해 각각의 발광영역(EL)으로 기저전압(GND)을 공급한다.
- [0028] 상기 발광영역(EL)은 도 2를 참조하면, 게이트 라인(GL), 데이터 라인(DL) 및 전원라인(PL)과 접속된 셀 구동부(240)와, 상기 셀 구동부(240)와 기저 전원라인(GND)과 접속된 OEL 셀을 포함한다.
- [0029] 셀 구동부(240)는 상기 게이트 라인(GL) 및 상기 데이터 라인(DL)과 접속된 스위치 박막 트랜지스터(T1)과, 상기 스위치 박막 트랜지스터(T1) 및 전원라인(PL)과 OEL 셀의 양극 사이에 접속된 구동 박막 트랜지스터(T2)와, 전원라인(PL)과 스위치 박막 트랜지스터(T1)의 드레인 전극 사이에 접속된 스토리지 캐패시터(C)를 구비한다.
- [0030] 상기 스위치 박막 트랜지스터(T1)의 게이트 전극은 게이트 라인(GL)과 접속되고, 소스 전극은 데이터 라인(DL)과 접속되며, 드레인 전극은 구동 박막 트랜지스터(T2)의 게이트 전극 및 스토리지 캐패시터(C)와 접속된다.
- [0031] 상기 구동 박막 트랜지스터(T2)의 소스 전극은 전원 라인(PL)과 접속되고, 드레인 전극은 OEL 셀의 양극 역할을 하는 화소 전극과 접속된다. 스토리지 캐패시터(C)는 전원 라인(PL)과 구동 박막 트랜지스터(T2)의 게이트 전극 사이에 접속된다.
- [0032] 상기 스위치 박막 트랜지스터(T1)는 상기 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 상기 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐패시터(C) 및 구동 박막 트랜지스터(T2)의 게이트 전극으로 공급한다. 구동 박막 트랜지스터(T2)는 게이트 전극으로 공급되는 데이터 신호에 응답하여 전원 라인(PL)으로부터 OEL 셀로 공급되는 전류를 제어함으로써 OEL 셀의 발광량을 조절하게 된다. 그리고, 상기 스위치 박막 트랜지스터(T1)가 턴-오프되더라도 스토리지 캐패시터(C)에 충전된 전압에 의해 구동 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 OEL 셀이 발광을 유지하게 한다.
- [0033] 이상에서와 같은 구조의 유기전계 발광표시장치는 상부 기관이 불투명 물질 또는 투명 물질로 이루어져 앤캡(encap) 형태로 구비된다.
- [0034] 상기 상부 기관이 불투명 물질로 이루어지는 경우, 유기전계 발광표시장치는 하부기관의 하부방향으로 영상이 디스플레이되는 후면 발광형 유기전계 발광표시장치의 구조를 가진다.
- [0035] 또한, 상기 상부 기관이 투명 물질로 이루어지는 경우, 유기전계 발광표시장치는 상부 기관의 상부방향으로 영상이 디스플레이되는 상면 발광형 유기전계 발광표시장치의 구조를 가진다.
- [0036] 도 3은 유기전계 발광표시장치의 가장자리 영역을 도시한 단면도이다.
- [0037] 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계 발광표시장치는 상부 기관과 하부 기관이 점착층(180)에 의해 합착된다.
- [0038] 하부 기관의 화상 표시부(도의 100)에는 구동 박막 트랜지스터가 형성된다.
- [0039] 상기 구동 박막 트랜지스터는 투명한 제1 기관(101) 상에 버퍼층(116) 및 게이트 절연층(112)이 형성되고, 게이트 절연층(112) 상에 게이트 라인으로부터 분기된 게이트 전극(106)과, 상기 게이트 절연층(112) 상에 층간 절연층(126)이 형성되고, 상기 게이트 전극(106) 주변의 상기 층간 절연층(126) 상에 형성된 소스 전극(108) 및 드레인 전극(110)과, 상기 게이트 절연층(112) 및 상기 층간 절연층(126)에 형성되는 컨택홀을 통해 상기 소스 전극(108) 및 드레인 전극(110) 사이의 채널을 형성하는 액티브 패턴(114)을 포함한다.

- [0040] 상기 액티브 패턴(114)은 버퍼층(116)을 사이에 두고 상기 절연 기판(101) 상에 형성된다.
- [0041] 상기 게이트 전극(106)은 상기 액티브 패턴(114)의 채널 영역(114C)과 게이트 절연층(112)을 사이에 두고 중첩된다.
- [0042] 상기 소스 전극(108) 및 드레인 전극(110) 각각은 컨택홀에 의해 상기 액티브 패턴(114)의 불순물이 주입된 소스 영역(114S) 및 드레인 영역(114D)과 각각 접촉된다.
- [0043] 상기 층간 절연층(126) 상에는 평탄층(118)이 형성된다.
- [0044] 상기 평탄층(118) 상에는 투명한 도전 물질의 제1 전극(122)이 형성된다.
- [0045] 상기 제1 전극(122)은 상기 평탄층(118)을 관통하는 컨택홀을 통해 드레인 전극(110)과 전기적으로 접속된다.
- [0046] 상기 유기전계 발광표시장치는 상기 제1 전극(122) 및 평탄층(118) 상에는 화소영역의 상기 제1 전극(122)을 노출시키는 बैं크 절연층(130)과, 노출된 제1 전극(122) 상에 발광층을 포함하는 유기 발광층(134)과, 상기 유기 발광층(134) 및 상기 बैं크 절연층(130) 상에 형성되는 제2 전극(136)을 포함한다.
- [0047] 상기 유기 발광층(134)은 상기 제1 전극(122)으로부터 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층으로 구성될 수 있다.
- [0048] 상기 유기 발광층(134)에 포함된 발광층은 상기 제1 전극(122)에 공급된 전류량에 따라 발광하게 된다.
- [0049] 상기 제2 전극(136) 상에는 보호층(128)이 형성된다.
- [0050] 상기 제2 전극(126)은 화상 표시부(도1의 100)의 가장자리에 형성된 버스 전극(109)과 접촉된다.
- [0051] 상기 버스 전극(109)은 상기 층간 절연층(126) 상에 형성될 수 있다.
- [0052] 유기전계 발광표시장치는 발광표시패널이 대면적으로 갈수록 제2 전극(136)의 저항이 높아지게 되므로 제2 전극(136)의 저항을 낮추기 위한 보조 전극(151)이 상부 기판의 제2 기판(150)상에 형성된다.
- [0053] 상기 보조 전극(151)은 상기 버스 전극(109)과 도전 불(170)에 의해 서로 전기적으로 연결된다. 상기 도전 불(170)은 은(Ag)으로 이루어질 수 있다.
- [0054] 상기 도전 불(170)은 수백 μm 의 지름을 가진다.
- [0055] 상기 도전 불(170)은 하부 기판의 제조공정에 있어서, 제1 및 제2 전극(122, 136) 등의 금속 물질 증착 공정에서 별도의 마스크를 이용한 금속 증착 공정을 통해 형성될 수 있다.
- [0056] 즉, 상부 기판은 하부 기판의 제2 전극(136)과 접속되도록 제2 기판(150)상에 형성된 보조 전극(151)이 형성된다.
- [0057] 상기 보조 전극(151)은 ITO(Indium Tin Oxide; 이하,ITO), IZO(Indium Zinc Oxide; 이하,IZO)와 같은 투명한 도전 물질로 형성되거나, 불투명 도전 물질로 형성된다. 즉, 본 발명의 유기전계 발광표시장치는 상기 보조 전극(151)에 따라 전면 또는 후면 발광방식으로 변경될 수 있다.
- [0058] 이와 같이 상기 보조 전극(151)은 제2 전극(136)과 접촉시 접촉 저항을 작게 할 수 있다.
- [0059] 상기 버스 전극(109)은 도전율이 높은 금속으로 형성되어 제2 전극(136) 및 보조 전극(151) 중 적어도 어느 하나의 저항 성분을 보상함으로써 보조 전극(151)과 제2 전극(136) 간의 접촉 저항은 상대적으로 낮아지며, 발광 효율 및 컬러 특성을 향상시킬 수 있다.
- [0060] 본 발명은 접착층(180)에 의한 상부 기판과 하부 기판의 합착 공정 전에 상기 제2 전극(136)과 상기 보조 전극(151)을 전기적으로 접속하기 위한 상기 도전 불(170)이 화상 표시부(도1의 100)의 가장자리에 형성되어 비표시부(B2)에 포함되는 상기 제2 전극(136)과 보조 전극(151)의 접지를 위한 유효 비표시부(B1)를 최소화하여 유기전계 발광표시장치의 전체 비표시부(B2)을 최소화할 수 있다.
- [0061] 구체적으로 본 발명은 도전 실을 이용한 수 mm의 폭을 가지는 유효 비표시부를 포함하는 일반적인 유기전계 발광표시장치와 대비하여 상기 도전 불(170)에 의한 유효 비표시부(B1)는 수백 μm 의 폭으로 형성이 가능함으로써, 전체 비표시부(B2)을 줄일 수 있을 뿐만 아니라 도전 실의 형성 공정 및 도전 실을 보호하기 위한 보호 실 형성 공정을 생략함으로써, 공정을 간소화할 수 있다.

- [0062] 본 발명의 유기전계 발광표시장치의 제조방법은 상부 기관과 하부 기관을 각각 형성하여 합착한다.
- [0063] 먼저, 상부 기관의 제조방법은 제1 기관(101) 상에 상기 버퍼층(116)이 형성되고, 상기 버퍼층(116) 상에 액티브 패턴(114)이 형성된다.
- [0064] 상기 액티브 패턴(114)은 버퍼층(116) 상에 아몰퍼스-실리콘을 증착한 후, 상기 아몰퍼스-실리콘을 레이저로 결정화하여 폴리-실리콘이 되게 한 다음, 상기 폴리-실리콘을 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써, 화소 표시부(도1의 100)에 형성된다.
- [0065] 상기 액티브 패턴(114)을 포함한 버퍼층(116) 상에 게이트 절연층(112)이 형성되고, 액티브 패턴(114)과 대응되는 영역에 게이트 전극(106)이 형성된다.
- [0066] 상기 게이트 전극(106)은 불투명한 금속층을 증착한 후, 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써, 화소 표시부(도1의 100)에 형성된다.
- [0067] 그리고, 게이트 전극(106)을 마스크로 이용하여 액티브 패턴(114)에 n+ 불순물을 주입하여 게이트 전극(106)과 비중첩된 액티브 패턴(114)의 소스 영역(114S) 및 드레인 영역(114D)이 형성된다. 이러한 액티브 패턴(114)의 소스 및 드레인 영역(114S, 114D)은 게이트 전극(106)과 중첩되는 채널 영역(114C)을 사이에 두고 마주하게 된다.
- [0068] 상기 게이트 절연층(112) 상에 층간 절연층(126)이 형성되고, 상기 층간 절연층(126) 및 게이트 절연층(112)을 관통하는 콘택홀이 형성된다.
- [0069] 콘택홀에 의해 상기 소스 및 드레인 영역(114S, 114D)이 외부로 노출된다.
- [0070] 상기 층간 절연층(126) 상에 소스 전극(108)과, 드레인 전극(110)이 형성된다.
- [0071] 여기서, 상기 버스 전극(109)은 상기 소스/드레인 전극(108, 110) 형성 공정 시에 동시에 형성될 수 있다.
- [0072] 소스/드레인 전극(108, 110)은 층간 절연층(126) 상에 불투명한 금속층을 형성하고, 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써, 형성될 수 있다.
- [0073] 상기 소스/드레인 전극(108, 110)을 포함한 상기 층간 절연층(126) 상에 평탄층(118)이 형성된다.
- [0074] 상기 평탄층(118)은 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써, 상기 드레인 전극(110)이 외부로 노출되는 콘택홀이 형성될 수 있다.
- [0075] 상기 평탄층(118) 상에 투명한 금속층을 증착하고, 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써, 화소 표시부(도1의 100)에 드레인 전극(110)과 전기적으로 접속되는 제1 전극(122)이 형성된다.
- [0076] 여기서, 상기 버스 전극(109)은 상기 제1 전극(122) 형성 공정 시에 동시에 형성될 수 있다.
- [0077] 즉, 본 발명의 상기 버스 전극(109)은 소스/드레인 전극(108, 110) 또는 제1 전극(122) 형성 공정에서 동시에 형성될 수 있다.
- [0078] 또한, 본 발명의 도전 볼(170)은 상기 버스 전극(109)이 형성된 공정 이후에 마스크를 이용하여 형성될 수 있다.
- [0079] 즉, 상기 버스 전극(109)이 소스/드레인 전극(108, 110) 형성 시에 동시에 형성된 경우, 상기 소스/드레인 전극(108, 110) 형성 공정 이후에 마스크를 이용하여 유효 비표시부(B1)에 형성될 수 있고, 상기 버스 전극(109)이 상기 제1 전극(122) 형성 시에 동시에 형성된 경우, 상기 제1 전극(122) 형성 공정 이후에 마스크를 이용하여 유효 비표시 영역(B1)에 형성될 수 있다.
- [0080] 상기 제1 전극(122)을 포함한 상기 평탄층(118) 상에 बैं크 절연층(130)이 형성된다.
- [0081] 상기 बैं크 절연층(130)은 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써, 상기 제1 전극(122)이 외부로 노출된다.
- [0082] 상기 제1 전극(122) 상에 유기 발광층(134)이 형성되고, 상기 유기 발광층(134)을 포함한 बैं크 절연층(130) 상에 제2 전극(136)이 포토리소그래피 공정 및 식각 공정을 통해 형성된다.
- [0083] 상기 제2 전극(136) 상에 보호층(128)이 더 형성된다.

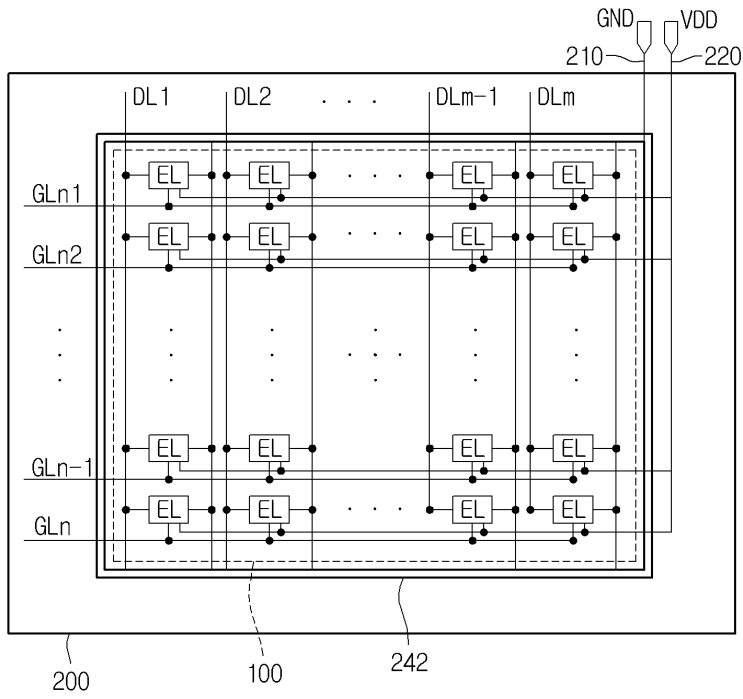
- [0084] 여기서, 상기 버스 전극(109)은 상기 제2 전극(136) 형성 시에 형성될 수 있다.
- [0085] 즉, 본 발명의 상기 버스 전극(109)은 소스/드레인 전극(108, 110) 또는 제1 전극(122) 또는 제2 전극(136) 형성 공정에서 동시에 형성될 수 있다.
- [0086] 따라서, 상기 버스 전극(109)이 상기 제2 전극(136) 형성 시에 동시에 형성된 경우, 상기 도전 볼(170)은 상기 제2 전극(136) 형성 공정 이후에 마스크를 이용하여 유효 비표시부(B1)에 형성될 수 있다.
- [0087] 상기 상부 기판의 제조방법은 제2 기판(150) 상에 보조 전극(151)이 형성된다.
- [0088] 상기 보조 전극(151)은 ITO(Indium Tin Oxide; 이하, ITO), IZO(Indium Zinc Oxide; 이하, IZO)와 같은 투명한 도전 물질 또는 불투명한 도전 물질로 이루어질 수 있다.
- [0089] 이상에서와 같이, 상기 상부 기판과 하부 기판의 제조가 완료되면, 상기 하부 기판상에 접착필름이 도포되고, 가열공정을 통해 상기 접착필름을 가열한 후, 상기 상부 기판과 합착하는 공정을 진행한다.
- [0090] 도 4는 본 발명의 일 실시예에 따른 도전 볼을 형성하는 방법을 도시한 단면도이고, 도 5는 본 발명의 도전 볼이 형성된 제1 기판을 도시한 평면도이다.
- [0091] 도 4 및 도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 도전 볼(170)은 차단영역(190a)과, 노출영역(190b)을 가지는 마스크(190)에 의해 제1 기판(101)의 화소 표시부 영역(a1)의 가장자리에 위치한 유효 비표시 영역(a3)에 형성될 수 있다.
- [0092] 상기 유효 비표시 영역(a3)은 게이트 및 데이터 패드부가 형성된 비표시 영역(a2)에 포함된다.
- [0093] 구체적으로 본 발명은 도전 실을 이용한 수 μm 의 폭을 가지는 유효 비표시부를 포함하는 일반적인 유기전계 발광표시장치와 대비하여 상기 도전 볼(170)에 의한 유효 비표시부(B1)는 수백 μm 의 폭으로 형성이 가능함으로써, 전체 비표시부(B2)을 줄일 수 있을 뿐만 아니라 도전 실의 형성 공정 및 도전 실을 보호하기 위한 보호 실 형성 공정을 생략함으로써, 공정을 간소화할 수 있다.
- [0094] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

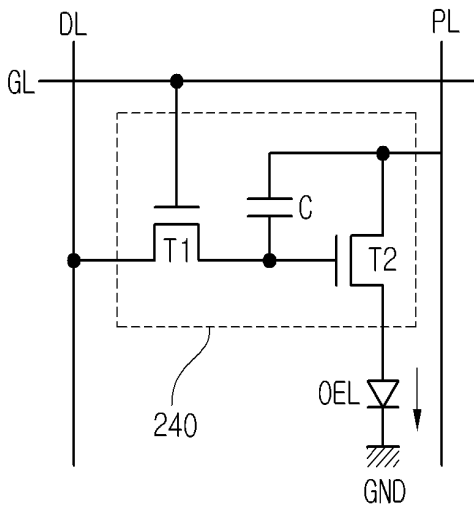
- [0095] 109: 버스 전극 170: 도전 볼

도면

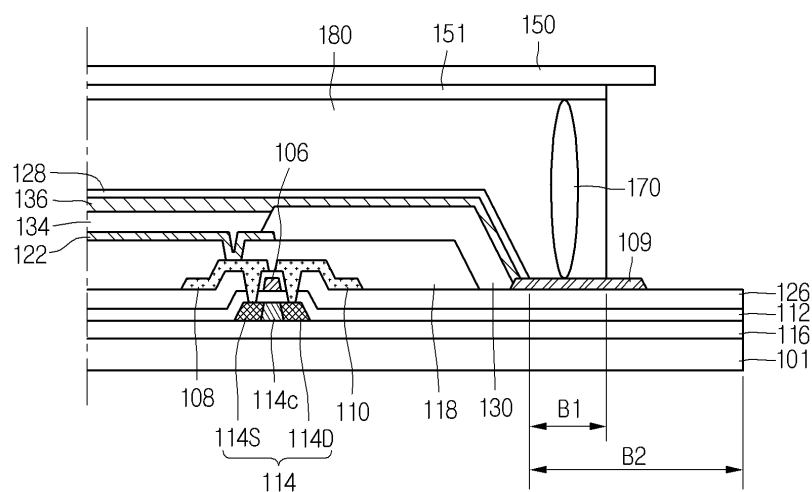
도면1



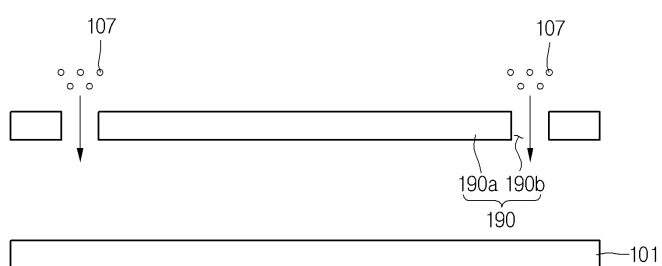
도면2



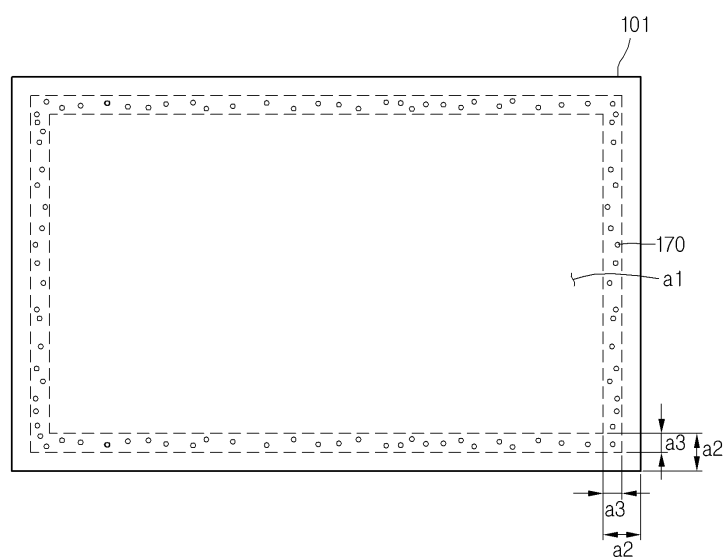
도면3



도면4



도면5



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020130065381A	公开(公告)日	2013-06-19
申请号	KR1020110132219	申请日	2011-12-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM HYUN TAEK 임현택 LEE SUNG HO 이성호		
发明人	임현택 이성호		
IPC分类号	H01L51/50 H05B33/26		
CPC分类号	H01L27/3276 H01L27/3279		
其他公开文献	KR101928407B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机电致发光显示装置，其不仅能够简化工艺而且能够使非显示区域最小化。有机电致发光显示装置包括形成在下基板的像素显示部分上的驱动薄膜晶体管，形成在驱动薄膜晶体管上的第一电极，形成在第一电极上的有机发光层，总线电极电连接到第二电极，导电球将汇流电极和辅助电极电连接到形成在面下基板的上基板上的辅助电极。专利文献1：JP-A-10-2013-0065381

