



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0007006
(43) 공개일자 2013년01월18일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2011-0062891
(22) 출원일자 2011년06월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김영대
경기도 용인시 기흥구 농서동 삼성전자(주)기흥사업장
임장순
경기도 용인시 기흥구 농서동 삼성전자(주)기흥사업장
(뒷면에 계속)
(74) 대리인
박영우

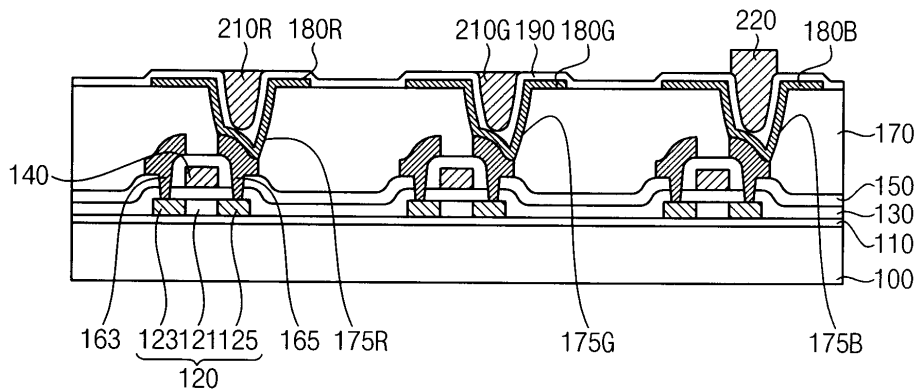
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법

(57) 요약

유기 발광 표시 장치는 박막 트랜지스터들, 층간 절연막, 제1 전극, 화소 정의막, 유기 발광 구조물, 제2 전극, 평탄화 패턴들 및 스페이서를 포함한다. 기판 상에 박막 트랜지스터들이 형성된다. 상기 박막 트랜지스터들 상에 상기 박막 트랜지스터들의 전극들을 부분적으로 노출시키는 제1 내지 제3 콘택 홀을 갖는 층간 절연막이 형성된다. 상기 층간 절연막 및 상기 제1 내지 제3 콘택 홀의 측벽들 상에 상기 박막 트랜지스터들에 전기적으로 연결되는 제1 전극들이 형성된다. 상기 층간 절연막, 상기 제1 전극들의 일부들, 상기 제1 내지 제3 콘택 홀의 측벽들 상에 화소 영역을 정의하는 화소 정의막이 형성된다. 상기 화소 영역의 상기 제1 전극들 상에 유기 발광 구조물들이 형성된다. 상기 유기 발광 구조물들 상에 제2 전극이 형성된다. 상기 제1 및 제2 콘택 홀을 채우며 상기 화소 정의막 상에 평탄화 패턴들이 형성된다. 상기 제3 콘택 홀을 채우며 상기 화소 정의막 상에 스페이서가 형성된다. 상기 유기 발광 표시 장치는 전사 불량을 방지하여 향상된 신뢰성을 갖는다.

대표도 - 도2



(72) 발명자
이일정
경기도 용인시 기흥구 농서동 삼성전자(주)기흥사
업장

이상봉
경기도 용인시 기흥구 농서동 삼성전자(주)기흥사
업장

특허청구의 범위

청구항 1

기관 상에 형성되는 박막 트랜지스터들;

상기 박막 트랜지스터들 상에 배치되며, 상기 박막 트랜지스터들의 전극들을 부분적으로 노출시키는 제1 내지 제3 콘택 홀을 갖는 층간 절연막;

상기 층간 절연막 및 상기 제1 내지 제3 콘택 홀의 측벽들 상에 배치되며, 상기 박막 트랜지스터들에 전기적으로 연결되는 제1 전극들;

상기 층간 절연막, 상기 제1 전극들의 일부들, 상기 제1 내지 제3 콘택 홀의 측벽들 상에 배치되며 화소 영역을 정의하는 화소 정의막;

상기 화소 영역의 상기 제1 전극들 상에 배치되는 유기 발광 구조물들;

상기 유기 발광 구조물들 상에 배치되는 제2 전극;

상기 제1 및 제2 콘택 홀을 채우며 상기 화소 정의막 상에 배치되는 평탄화 패턴들; 및

상기 제3 콘택 홀을 채우며 상기 화소 정의막 상에 배치되는 스페이서를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서, 상기 스페이서는 상기 평탄화 패턴들보다 높은 높이를 가지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제1항에 있어서, 상기 평탄화 패턴들의 상면들은 각기 상기 화소 정의막의 상면과 동일한 평면 상에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제1항에 있어서, 상기 스페이서는 상기 평탄화 패턴들과 동일한 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제1항에 있어서, 상기 박막 트랜지스터는 각기,

상기 기관 상에 배치되며, 채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체 패턴;

상기 반도체 패턴 상에 배치되는 게이트 절연막;

상기 게이트 절연막 상에 배치되는 게이트 전극; 및

상기 소스 영역 및 드레인 영역에 각각 전기적으로 연결되는 소스 전극 및 드레인 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

기관 상에 박막 트랜지스터들을 형성하는 단계;

상기 기관 상에 상기 박막 트랜지스터들을 덮는 층간 절연막을 형성하는 단계;

상기 층간 절연막을 관통하여 상기 박막 트랜지스터들의 전극들을 각기 노출시키는 제1 내지 제3 콘택 홀을 형성하는 단계;

상기 층간 절연막, 상기 제1 내지 제3 콘택 홀의 측벽들 및 상기 노출된 박막 트랜지스터들의 전극들 상에 각기 제1 전극들을 형성하는 단계;

상기 제1 전극들의 일부들과 상기 층간 절연막 상에 화소 정의막을 형성하는 단계;

상기 화소 정의막 상에 상기 제1 및 제2 콘택 홀을 각기 채우는 제1 및 제2 평탄화 패턴을 형성하는 단계;

상기 화소 정의막 상에 상기 제3 콘택 홀을 채우며, 상기 제3 콘택 홀 상으로 돌출되는 스페이서를 형성하는 단계;

상기 화소 정의막에 의해 노출되는 상기 제1 전극들 상에 유기 발광 구조물들을 형성하는 단계; 및

상기 유기 발광 구조물들 상에 제2 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 7

제6항에 있어서, 상기 제1 및 제2 평탄화 패턴을 형성하는 단계는,

상기 화소 정의막 상에 상기 제1 콘택 홀 및 상기 제2 콘택 홀을 채우는 평탄화막을 형성하는 단계; 및

하프톤 마스크를 사용하여 상기 평탄화막을 패터닝하여 상기 제1 콘택 홀 및 상기 제2 콘택 홀을 채우는 상기 제1 및 제2 평탄화 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 8

제7항에 있어서, 상기 제1 및 제2 평탄화 패턴은 각기 상기 제1 콘택 홀 및 상기 제2 콘택 홀 상에서 평탄한 상면을 가지는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 9

제7항에 있어서, 상기 스페이서를 형성하는 단계는,

상기 화소 정의막 상에 상기 제3 콘택 홀을 채우는 평탄화막을 형성하는 단계; 및

하프톤 마스크를 사용하여 상기 평탄화막을 패터닝하여 상기 제3 콘택 홀을 채우며, 상기 제3 콘택 홀 상부로 돌출되는 상기 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 10

제9항에 있어서, 상기 스페이서의 상면은 상기 제1 및 제2 평탄화 패턴의 상면들보다 높게 위치하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 11

제7항에 있어서, 상기 제1 및 제2 평탄화 패턴을 형성하는 단계 및 상기 스페이서를 형성하는 단계는,

상기 화소 정의막 상에 상기 제1 내지 제3 콘택 홀을 채우는 평탄화막을 형성하는 단계;

하프톤 마스크를 사용하여 상기 평탄화막을 패터닝하여 상기 제1 및 제2 콘택 홀에 상기 제1 및 제2 평탄화 패턴을 형성하고, 상기 제3 콘택 홀에 상기 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제11항에 있어서, 상기 평탄화막은 감광성 물질을 사용하여 형성되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제12항에 있어서, 상기 하프톤 마스크는 투과 영역, 차단 영역 및 반투과 영역들을 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 14

제13항에 있어서, 상기 평탄화막은 포지티브 감광성 물질을 사용하여 형성되며, 상기 하프톤 마스크의 반투과 영역은 상기 제1 및 제2 콘택 홀에 대응하고, 상기 하프톤 마스크의 차단 영역은 상기 제3 콘택 홀에 대응하며,

상기 하프톤 마스크의 투과 영역은 상기 제1 내지 제3 콘택 홀에 대응되지 않는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제13항에 있어서, 상기 평탄화막은 네거티브 감광성 물질을 사용하여 형성되며, 상기 하프톤 마스크의 반투과 영역들은 상기 제1 및 제2 콘택 홀에 대응하고, 상기 하프톤 마스크의 투과 영역은 상기 제3 콘택 홀에 대응하며, 상기 하프톤 마스크의 차단 영역은 상기 제1 내지 제3 콘택 홀에 대응하지 않는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제7항에 있어서, 상기 제1 및 제2 평탄화 패턴의 상면들은 각기 상기 제1 및 제2 콘택 홀에 인접하는 상기 화소 정의막의 상면과 동일한 평면 상에 위치하며, 상기 스페이서의 상면은 상기 제3 콘택 홀에 인접하는 상기 화소 정의막의 상면보다 높게 위치하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 17

적색 서브 픽셀 영역, 녹색 서브 픽셀 영역 및 청색 서브 픽셀 영역을 갖는 기관;
 상기 기관의 상기 적색 서브 픽셀 영역 내에 배치되는 적색 발광 영역 및 제1 콘택 홀;
 상기 기관의 상기 녹색 서브 픽셀 영역 내에 배치되는 녹색 발광 영역 및 제2 콘택 홀;
 상기 기관의 상기 청색 서브 픽셀 영역 내에 배치되는 청색 발광 영역 및 제3 콘택 홀;
 상기 제1 및 제2 콘택 홀을 각기 채우며, 상기 제1 및 제2 콘택 홀과 동일한 높이를 갖는 제1 및 제2 평탄화 패턴; 및
 상기 제3 콘택 홀을 채우며, 상기 제3 콘택 홀 상부로 돌출되는 스페이서를 포함하는 유기 발광 표시 장치.

청구항 18

제17항에 있어서, 상기 기관 상에 배치되는 박막 트랜지스터들을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제17항에 있어서, 상기 스페이서와 상기 제1 및 제2 평탄화 패턴은 동일한 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제17항에 있어서, 상기 스페이서와 상기 제1 및 제2 평탄화 패턴은 감광성 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 평탄화 패턴 및 스페이서를 구비하는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치는 통상적으로 기관 상에 형성된 박막 트랜지스터, 화소 전극, 유기 발광 구조물 및 공통 전극을 구비한다. 유기 발광 구조물은 백색, 적색, 녹색 및 청색 중 하나 이상의 빛을 발하는 유기 발광층을 포함하며, 정공 주입층(HIL), 정공 수송층(HTL), 전자 수송층(ETL), 전자 주입층(EIL) 중 적어도 하나를 추가적으로 포함할 수 있다.

[0003] 상기 유기 발광 구조물은 유기 전사층이 형성된 도너 기관을 상기 유기 발광 표시 장치의 화소 전극 상에 합착하고, 레이저를 조사하여 전사하는 방식으로 형성할 수 있다. 이때, 화소 영역 하부에 형성되는 콘택홀의 단차에 의해 전사 불량이 발생하기 쉽다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 전사 불량을 방지하여 향상된 신뢰성을 갖는 유기 발광 표시 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 전사 불량을 방지하여 신뢰성을 향상시킬 수 있는 유기 발광 표시 장치의 제조 방법을 제공하는 것이다.

[0006] 그러나, 본 발명이 해결하고자 하는 과제는 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0007] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는, 박막 트랜지스터들, 층간 절연막, 제1 전극들, 화소 정의막, 유기 발광 구조물들, 제2 전극들, 평탄화 패턴들 및 스페이서를 포함한다. 기관 상에 박막 트랜지스터들이 형성된다. 상기 박막 트랜지스터들 상에 상기 박막 트랜지스터들의 전극들을 부분적으로 노출시키는 제1 내지 제3 콘택 홀을 갖는 층간 절연막이 형성된다. 상기 층간 절연막 및 상기 제1 내지 제3 콘택 홀의 측벽들 상에 상기 박막 트랜지스터들에 전기적으로 연결되는 제1 전극들이 형성된다. 상기 층간 절연막, 상기 제1 전극들의 일부들, 상기 제1 내지 제3 콘택 홀의 측벽들 상에 화소 영역을 정의하는 화소 정의막이 형성된다. 상기 화소 영역의 상기 제1 전극들 상에 유기 발광 구조물들이 형성된다. 상기 유기 발광 구조물들 상에 제2 전극이 형성된다. 상기 제1 및 제2 콘택 홀을 채우며 상기 화소 정의막 상에 평탄화 패턴들이 형성된다. 상기 제3 콘택 홀을 채우며 상기 화소 정의막 상에 배치되는 스페이서가 형성된다.

[0008] 예시적인 실시예들에 따르면, 상기 스페이서는 상기 평탄화 패턴들보다 높은 높이를 가질 수 있다.

[0009] 예시적인 실시예들에 따르면, 상기 평탄화 패턴들의 상면들은 각기 상기 화소 정의막의 상면과 동일한 평면 상에 위치할 수 있다.

[0010] 예시적인 실시예들에 따르면, 상기 스페이서는 상기 평탄화 패턴들과 동일한 물질을 포함할 수 있다.

[0011] 예시적인 실시예들에 따르면, 상기 박막 트랜지스터는 각기, 상기 기관 상에 배치되며, 채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체 패턴, 상기 반도체 패턴 상에 배치되는 게이트 절연막, 상기 게이트 절연막 상에 배치되는 게이트 전극, 및 상기 소스 영역 및 드레인 영역에 각각 전기적으로 연결되는 소스 전극 및 드레인 전극을 포함할 수 있다.

[0012] 상술한 본 발명의 다른 목적을 달성하기 위하여 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법은, 기관 상에 박막 트랜지스터들을 형성한다. 상기 기관 상에 상기 박막 트랜지스터들을 덮는 층간 절연막을 형성한다. 상기 층간 절연막을 관통하여 상기 박막 트랜지스터들의 전극들을 각기 노출시키는 제1 내지 제3 콘택 홀을 형성한다. 상기 층간 절연막, 상기 제1 내지 제3 콘택 홀의 측벽들 및 상기 노출된 박막 트랜지스터들의 전극들 상에 각기 제1 전극들을 형성한다. 상기 제1 전극들의 일부들과 상기 층간 절연막 상에 화소 정의막을 형성한다. 상기 화소 정의막 상에 상기 제1 및 제2 콘택 홀을 각기 채우는 제1 및 제2 평탄화 패턴을 형성한다. 상기 화소 정의막 상에 상기 제3 콘택 홀을 채우며, 상기 제3 콘택 홀 상으로 돌출되는 스페이서를 형성한다. 상기 화소 정의막에 의해 노출되는 상기 제1 전극들 상에 유기 발광 구조물들을 형성한다. 상기 유기 발광 구조물들 상에 제2 전극을 형성한다.

[0013] 예시적인 실시예들에 따르면, 상기 제1 및 제2 평탄화 패턴을 형성할 때, 상기 화소 정의막 상에 상기 제1 콘택 홀 및 상기 제2 콘택 홀을 채우는 평탄화막을 형성하며, 하프톤 마스크를 사용하여 상기 평탄화막을 패터닝하여 상기 제1 콘택 홀 및 상기 제2 콘택 홀을 채우는 상기 제1 및 제2 평탄화 패턴을 형성할 수 있다.

[0014] 예시적인 실시예들에 따르면, 상기 제1 및 제2 평탄화 패턴은 각기 상기 제1 콘택 홀 및 상기 제2 콘택 홀 상에서 평탄한 상면을 가질 수 있다.

- [0015] 예시적인 실시예들에 따르면, 상기 스페이서를 형성할 때, 상기 화소 정의막 상에 상기 제3 콘택 홀을 채우는 평탄화막을 형성하며, 하프톤 마스크를 사용하여 상기 평탄화막을 패터닝하여 상기 제3 콘택 홀을 채우며, 상기 제3 콘택 홀 상부로 돌출되는 상기 스페이서를 형성할 수 있다.
- [0016] 예시적인 실시예들에 따르면, 상기 스페이서의 상면은 상기 제1 및 제2 평탄화 패턴의 상면들보다 높게 위치할 수 있다.
- [0017] 예시적인 실시예들에 따르면, 상기 제1 및 제2 평탄화 패턴 및 상기 스페이서를 형성할 때, 상기 화소 정의막 상에 상기 제1 내지 제3 콘택 홀을 채우는 평탄화막을 형성하고, 하프톤 마스크를 사용하여 상기 평탄화막을 패터닝하여 상기 제1 및 제2 콘택 홀에 상기 제1 및 제2 평탄화 패턴을 형성하고, 상기 제3 콘택 홀에 상기 스페이서를 형성할 수 있다.
- [0018] 예시적인 실시예들에 따르면, 상기 평탄화막은 감광성 물질을 사용하여 형성될 수 있다.
- [0019] 예시적인 실시예들에 따르면, 상기 하프톤 마스크는 투과 영역, 차단 영역 및 반투과 영역들을 포함할 수 있다.
- [0020] 예시적인 실시예들에 따르면, 상기 평탄화막은 포지티브 감광성 물질을 사용하여 형성되며, 상기 하프톤 마스크의 반투과 영역은 상기 제1 및 제2 콘택 홀에 대응하고, 상기 하프톤 마스크의 차단 영역은 상기 제3 콘택 홀에 대응하며, 상기 하프톤 마스크의 투과 영역은 상기 제1 내지 제3 콘택 홀에 대응되지 않을 수 있다.
- [0021] 예시적인 실시예들에 따르면, 상기 평탄화막은 네거티브 감광성 물질을 사용하여 형성되며, 상기 하프톤 마스크의 반투과 영역들은 상기 제1 및 제2 콘택 홀에 대응하고, 상기 하프톤 마스크의 투과 영역은 상기 제3 콘택 홀에 대응하며, 상기 하프톤 마스크의 차단 영역은 상기 제1 내지 제3 콘택 홀에 대응하지 않을 수 있다.
- [0022] 예시적인 실시예들에 따르면, 상기 제1 및 제2 평탄화 패턴의 상면들은 각기 상기 제1 및 제2 콘택 홀에 인접하는 상기 화소 정의막의 상면과 동일한 평면 상에 위치하며, 상기 스페이서의 상면은 상기 제3 콘택 홀에 인접하는 상기 화소 정의막의 상면보다 높게 위치할 수 있다.
- [0023] 상술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는, 기관, 적색 발광 영역, 녹색 발광 영역, 청색 발광 영역, 제1 콘택홀, 제2 콘택홀, 제3 콘택홀, 제1 및 제2 평탄화 패턴 및 스페이서를 포함한다. 기관은 적색 서브 픽셀 영역, 녹색 서브 픽셀 영역 및 청색 서브 픽셀 영역을 갖는다. 상기 기관의 상기 적색 서브 픽셀 영역 내에 적색 발광 영역 및 제1 콘택 홀이 형성된다. 상기 기관의 상기 녹색 서브 픽셀 영역 내에 녹색 발광 영역 및 제2 콘택 홀이 형성된다. 상기 기관의 상기 청색 서브 픽셀 영역 내에 청색 발광 영역 및 제3 콘택 홀이 형성된다. 상기 제1 및 제2 콘택 홀을 각기 채우며, 상기 제1 및 제2 콘택 홀과 동일한 높이를 갖는 제1 및 제2 평탄화 패턴이 형성된다. 상기 제3 콘택 홀을 채우며, 상기 제3 콘택 홀 상부로 돌출되는 스페이서가 형성된다.
- [0024] 예시적인 실시예들에 따르면, 상기 기관 상에 배치되는 박막 트랜지스터들이 형성될 수 있다.
- [0025] 예시적인 실시예들에 따르면, 상기 스페이서와 상기 제1 및 제2 평탄화 패턴은 동일한 물질을 포함할 수 있다.
- [0026] 예시적인 실시예들에 따르면, 상기 스페이서와 상기 제1 및 제2 평탄화 패턴은 감광성 물질을 포함할 수 있다.

발명의 효과

- [0027] 본 발명에 따른 유기 발광 표시 장치는, 제1 콘택 홀 및 제2 콘택 홀을 채우는 평탄화 패턴들과 제3 콘택 홀을 채우는 스페이서를 구비할 수 있다. 따라서, 유기 발광 구조물들을 형성하는 과정에서 화소 정의막의 단차부들에 의해 유기층들의 전사 불량이 발생하는 것을 방지할 수 있고, 상기 유기 발광 표시 장치의 구조적 안정성이 개선되어 그 신뢰성이 향상될 수 있다. 또한, 하프톤 마스크를 사용하여 평탄화 패턴들 및 스페이서를 동시에 형성할 수 있으므로 제조 공정이 단순화될 수 있다.

도면의 간단한 설명

- [0028] 도 1은 예시적인 실시예들에 따른 유기 발광 표시 장치를 설명하기 위한 평면도이다.
- 도 2는 도 1에 도시된 유기 발광 표시 장치를 A-A'선을 따라 자른 단면도이다.
- 도 3은 도 1에 도시된 유기 발광 표시 장치를 B-B'선을 따라 자른 단면도이다.
- 도 4 내지 도 10은 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치 및 유기발광 표시 장치의 제조 방법에 대하여 첨부된 도면들을 참조하여 상세하게 설명하지만, 본 발명이 하기 실시예들에 의해 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다.
- [0030] 본 명세서에 있어서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예들을 설명하기 위한 목적으로 예시된 것이며, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되는 것으로 해석되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접촉되어" 있다고 기재된 경우, 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접촉되어 있을 수도 있지만, 중간에 또 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 또한, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접촉되어" 있다고 기재된 경우에는, 중간에 또 다른 구성 요소가 존재하지 않는 것으로 이해될 수 있다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 예를 들면, "~사이에"와 "직접 ~사이에" 또는 "~에 인접하는"과 "~에 직접 인접하는" 등도 마찬가지로 해석될 수 있다.
- [0031] 본 명세서에서 사용되는 용어는 단지 예시적인 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도는 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다", "구비하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0032] 제1, 제2 및 제3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제1 구성 요소가 제2 또는 제3 구성 요소 등으로 명명될 수 있으며, 유사하게 제2 또는 제3 구성 요소도 교호적으로 명명될 수 있다.
- [0033] 도 1 내지 도 3은 각기 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도 및 단면도들이다. 여기서, 도 2는 도 1에 도시된 유기 발광 표시 장치를 A-A'선을 따라 자른 단면도이다. 도 3은 도 1에 도시된 유기 표시 장치를 B-B'선을 따라 자른 단면도이다.
- [0034] 도 1을 참조하면, 예시적인 실시예들에 따른 유기 발광 표시 장치의 픽셀영역은 적색 서브 픽셀 영역(10R), 녹색 서브 픽셀 영역(10G) 및 청색 서브 픽셀 영역(10B)을 포함할 수 있다. 이 경우, 적색, 녹색 및 청색 서브 픽셀 영역(10R, 10G, 10B)은 실질적으로 나란하게 배치될 수 있다. 다른 예시적인 실시예들에 있어서, 상기 픽셀 영역은 백색 서브 픽셀 영역(도시되지 않음)을 추가적으로 구비할 수도 있다. 이 때, 상기 백색 서브 픽셀 영역은 적색, 녹색 및 청색 서브 픽셀 영역(10R, 10G, 10B)과 나란하게 배치되거나, 적색 서브 픽셀 영역(10R), 녹색 서브 픽셀 영역(10G) 및/또는 청색 서브 픽셀 영역(10B)에 인접하여 배치될 수 있다. 또 다른 예시적인 실시예들에 따르면, 적색, 녹색 및 청색 서브 픽셀 영역(10R, 10G, 10B)은 실질적으로 사각형의 평면 구조 또는 실질적으로 오각형의 평면 구조 등으로 배열될 수도 있다.
- [0035] 적색 서브 픽셀 영역(10R)은 적색 발광 영역(20R)과 적색 발광 영역(20R)을 둘러싸는 분리 패턴(40)을 포함할 수 있으며, 녹색 서브 픽셀 영역(10G)은 녹색 발광 영역(20G)과 녹색 발광 영역(20G)을 둘러싸는 분리 패턴(40)을 포함할 수 있다. 또한, 청색 서브 픽셀 영역(10R)은 청색 발광 영역(20B), 스페이서(50) 및 분리 패턴(40)을 포함할 수 있다. 적색, 녹색 및 청색 서브 픽셀 영역(10R, 10G, 10B)은 각기 제1 내지 제3 콘택 홀(30R, 30G, 30B)을 포함할 수 있다.
- [0036] 스페이서(50)는 청색 서브 픽셀 영역(10B) 내의 제3 콘택 홀(30B)에 배치된다. 스페이서(50)는 청색 발광 영역(20B)으로부터 이격되며, 분리 패턴(40)에 의해 청색 발광 영역(20B)과 분리된다.
- [0037] 적색 서브 픽셀 영역(10R) 내의 제1 콘택 홀(30R)에는 제1 평탄화 패턴(45R)이 배치되며, 녹색 서브 픽셀 영역

(10G) 내의 제2 콘택 홀(30G)에는 제2 평탄화 패턴(45G)이 위치한다.

- [0038] 도 1에 예시적으로 도시한 유기 발광 표시 장치는 청색 서브 픽셀 영역(10B)의 제3 콘택 홀(30B)에 배치되는 스페이서(50)를 구비하지만, 이와는 달리 녹색 서브 픽셀 영역(10G)의 제2 콘택 홀(30G)에 제2 평탄화 패턴(45G) 대신에 스페이서(도시되지 않음)가 배치될 수도 있다. 이 경우, 적색 및 청색 서브 픽셀(10R, 10B)의 제1 및 제3 콘택 홀(30R, 30B)에는 각기 평탄화 패턴(도시되지 않음)이 형성될 수 있다. 또한, 적색 서브 픽셀 영역(10R)의 제1 콘택 홀(30R)에 제1 평탄화 패턴(45R) 대신에 스페이서(도시되지 않음)가 위치할 수도 있다. 여기서, 녹색 및 청색 서브 픽셀(10G, 10B)의 제2 및 제3 콘택 홀(30G, 30B)에는 각기 평탄화 패턴(도시되지 않음)이 배치될 수도 있다.
- [0039] 도 2 내지 도 3을 참조하면, 상기 유기 발광 표시 장치는 제1 기판(100), 버퍼층(110), 박막 트랜지스터(TFT)들, 제1 층간 절연막(130), 제2 층간 절연막(150), 제1 전극(180), 화소 정의막(190), 유기 발광 구조물(230), 제2 전극(240), 제1 및 제2 평탄화 패턴(210R, 210G), 스페이서(220) 등을 포함할 수 있다.
- [0040] 제1 기판(100)은 유리 기판, 석영 기판, 투명 플라스틱 기판 등과 같은 투명 기판을 포함할 수 있다. 예를 들면, 제1 기판(100)으로 사용될 수 있는 투명 플라스틱 기판은 폴리이미드(polyimide), 아크릴(acryl), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate), 폴리카보네이트(polycarbonate), 폴리아크릴레이트(polyacrylate), 폴리에테르(polyether) 등을 포함할 수 있다.
- [0041] 제1 기판(100) 상에는 버퍼층(110)이 배치될 수 있다. 버퍼층(110)은 제1 기판(100)으로부터 발생하는 불순물들의 확산을 방지할 수 있고, 반도체 패턴(120)의 형성을 위한 결정화 공정 시에 열의 전달 속도를 조절하는 역할을 수행할 수 있다. 예시적인 실시예들에 따르면, 버퍼층(110)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xN_y) 등을 포함할 수 있다. 버퍼층(110)은 실리콘 화합물을 포함하는 단층 구조 또는 다층 구조를 가질 수 있다.
- [0042] 상기 박막 트랜지스터들은 제1 기판(100) 상에 제공되며, 각기 반도체 패턴(120), 게이트 절연막(130), 게이트 전극(140), 소스 전극(163), 드레인 전극(165) 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 상기 박막 트랜지스터들은 스위칭용 트랜지스터와 구동용 트랜지스터를 포함할 수 있다. 상기 스위칭용 트랜지스터는 데이터 라인으로부터 데이터 신호를 제공하는 기능을 수행할 수 있으며, 상기 구동용 트랜지스터는 상기 스위칭용 트랜지스터로부터 상기 데이터 신호를 받아 유기 발광 구조물(230)에 흐르는 전류량을 제어하는 기능을 수행할 수 있다.
- [0043] 각 박막 트랜지스터의 반도체 패턴(120)은 제1 기판(100) 상에 형성된 소스 영역(123), 드레인 영역(125) 및 소스 영역(123)과 드레인 영역(125) 사이에 제공되는 채널 영역(121)을 포함한다. 예시적인 실시예들에 따르면, 반도체 패턴(120)은 폴리실리콘을 포함할 수 있다.
- [0044] 게이트 절연막(130)은 반도체 패턴(120)을 덮으며 제1 기판(100) 상에 배치된다. 예를 들면, 게이트 절연막(130)은 실리콘 산화물, 금속 산화물 등을 포함할 수 있다. 게이트 절연막(130)에 포함되는 금속 산화물로는 알루미늄 산화물(AlO_x), hafnium 산화물(HfO_x), 지르코늄 산화물(ZrO_x), 탄탈륨 산화물(TaO_x) 등을 들 수 있다.
- [0045] 게이트 전극(140)은 게이트 절연막(130) 상에 배치된다. 예를 들면, 게이트 전극(140)은 크롬(Cr), 알루미늄(Al), 탄탈륨(Ta), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu), 은(Ag) 등의 금속이나 폴리실리콘 등을 포함할 수 있다. 도시하지는 않았으나, 게이트 절연막(130) 상에는 게이트 전극(140)에 전기적으로 연결되며, 게이트 절연막(130) 상에서 소정의 방향을 따라 연장되는 게이트 라인이 배치될 수 있다.
- [0046] 게이트 절연막(130) 상에는 게이트 전극(140)을 덮는 제1 층간 절연막(150)이 형성된다. 예를 들면, 제1 층간 절연막(150)은 실리콘 산화물, 실리콘 산질화물, 실리콘 산질화물 등을 포함할 수 있다.
- [0047] 소스 전극(163) 및 드레인 전극(165)은 제1 층간 절연막(150) 상에 형성되며, 제1 층간 절연막(150) 및 게이트 절연막(130)을 관통하여 반도체 패턴(120)의 소스 영역(123) 및 드레인 영역(125)에 각기 전기적으로 연결된다. 예를 들면, 소스 전극(163) 및 드레인 전극(165)은 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 및/또는 이들 금속의 합금 포함할 수 있다.
- [0048] 제1 층간 절연막(150) 상에는 소스 전극(163) 및 드레인 전극(165)을 덮는 제2 층간 절연막(170)이 배치된다. 제2 층간 절연막(170)에는 상기 박막 트랜지스터들의 드레인 전극(165)들을 각기 노출시키는 제1 내지 제3 콘택 홀(175R, 175G, 175B)이 형성된다. 예시적인 실시예들에 따르면, 제2 층간 절연막(170)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등의 무기 물질을 포함할 수 있다. 다른 실시예들에 따르면, 제2 층간 절연막(17

0)은 아크릴계 수지, 폴리이미드계 수지, 실록산계 수지, 벤조사이클로부텐(benzocyclobutene: BCB) 등의 유기 물질을 포함할 수도 있다.

[0049] 제1 전극들(180R, 180G, 180B)은 제2 층간 절연막(170)과 제1 내지 제3 콘택 홀(175R, 175G, 175B)의 측벽들 상에 각기 배치된다. 제1 전극들(180R, 180G, 180B)은 각기 상기 박막 트랜지스터들의 드레인 전극(165)들에 전기적으로 연결된다. 제1 전극들(180R, 180G, 180B)은 각기 투명 도전성 물질, 금속 등을 포함할 수 있다. 예를 들면, 제1 전극들(180R, 180G, 180B)은 인듐 주석 산화물(ITO), 아연 주석 산화물(ZTO), 인듐 아연 산화물(IZO), 아연 산화물(ZnOx), 갈륨 산화물(GaOx), 주석 산화물(SnOx), 은(Ag), 알루미늄(Al), 백금(Pt), 금(Au), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 팔라듐(Pd) 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 전극들(180R, 180G, 180B)은 각기 상기 투명 도전성 물질, 상기 금속 등을 포함하는 단층 구조 또는 다층 구조를 가질 수도 있다. 예를 들면, 제1 전극들(180R, 180G, 180B)은 각기 제1 인듐 주석 산화물(ITO)층, 은(Ag)층 및 제2 인듐 주석 산화물(ITO)층을 포함하는 다층 구조를 가질 수 있다.

[0050] 화소 정의막(190)은 제2 층간 절연막(170) 및 제1 전극들(180R, 180G, 180B)의 일부들 상에 배치된다. 화소 정의막(190)에 의해 유기 발광 표시 장치의 적색 발광 영역(20B), 녹색 발광 영역(20G) 및 청색 발광 영역(20R)이 정의될 수 있다. 이 때, 화소 정의막(190)에 의해 노출되는 제1 전극들(180R, 180G, 180B)이 각기 적색, 녹색 및 청색 발광 영역(20R, 20G, 20B)에 대응될 수 있다. 예를 들면, 화소 정의막(190)은 폴리아크릴(polyacryl)계 수지, 에폭시(epoxy) 수지, 페놀(phenol)계 수지, 폴리아미드(polyamide)계 수지, 폴리이미드(polyimide)계 수지, 불포화 폴리에스테르(unsaturated polyester)계 수지, 폴리페닐렌(polyphenylene)계 수지, 폴리페닐렌설파이드[poly(phenylenesulfide)]계 수지, 벤조사이클로부텐(benzocyclobutene: BCB) 등의 유기 물질을 포함할 수 있다. 이와는 달리, 화소 정의막(190)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등과 같은 무기 물질을 포함할 수도 있다.

[0051] 예시적인 실시예들에 따르면, 제1 내지 제3 콘택 홀(175R, 175G, 175B)은 각기 제1 전극들(180R, 180G, 180B)과 화소 정의막(190)의 두께보다 실질적으로 깊은 깊이를 가질 수 있다. 이 경우, 제1 내지 제3 콘택 홀(175R, 175G, 175B) 내에는 각기 제1 전극들(180R, 180G, 180B) 및 화소 정의막(190)이 컨포말(conformal)하게 형성될 수 있다. 여기서, 제1 내지 제3 콘택 홀(175R, 175G, 175B)의 저면들 상에 위치하는 화소 정의막(190)의 상면은 제2 층간 절연막(170) 상에 위치하는 화소 정의막(190)의 상면보다 실질적으로 낮게 형성된다. 즉, 제1 내지 제3 콘택 홀(175R, 175G, 175B)에서 화소 정의막(190)은 단차부들을 가질 수 있다. 예를 들면, 화소 정의막(190)의 단차부들은 각기 약 1 μ m 내지 약 3 μ m 정도의 높이를 가질 수 있다.

[0052] 제1 및 제2 평탄화 패턴(210R, 210G)은 각기 적색 서브 픽셀 영역(10R)의 제1 콘택 홀(175R) 및 녹색 서브 픽셀 영역(10G)의 제2 콘택 홀(175G)을 채우며, 화소 정의막(190) 상에 배치된다. 제1 및 제2 평탄화 패턴(210R, 210G)의 상면은 화소 정의막(190)의 상면과 실질적으로 동일한 평면 상에 위치할 수 있다. 예를 들면, 제1 및 제2 평탄화 패턴(210R, 210G)은 각기 폴리아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 등을 포함할 수 있다. 제1 및 제2 평탄화 패턴(210R, 210G)은 유기 발광 구조물(230)들을 형성하는 과정 동안 제1 및 제2 콘택 홀(175R, 175G)과 화소 정의막(190)의 단차부들에 의해 유기 발광 구조물(230)들의 전사 불량 이 발생하는 것을 방지할 수 있다.

[0053] 스페이서(220)는 청색 서브 픽셀 영역(10B)의 제3 콘택 홀(175B)을 채우며 화소 정의막(190) 상에 배치된다. 스페이서(220)의 상면은 화소 정의막(190)의 상면보다 실질적으로 높게 위치할 수 있다. 스페이서(220)가 화소 정의막(190) 상으로 돌출될 경우, 제1 기관(100)과 제2 기관(도시되지 않음)을 합착하는 동안 스페이서(220)가 제1 기관(100)과 상기 제2 기관 사이에 소정의 갭(gap)을 유지하는 역할을 수행할 수 있다. 이에 따라, 상기 제2 기관의 표면에 외부로부터의 압력이나 충격이 가해지더라도 스페이서(220)에 의해 상기 유기 발광 표시 장치의 손상을 방지할 수 있으므로 유기 발광 표시 장치의 구조적 안정성을 향상시킬 수 있다. 예를 들면, 스페이서(220)는 폴리아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 등을 포함할 수 있다. 예시적인 실시예들에 따르면, 제1 및 제2 평탄화 패턴(210R, 210G)과 스페이서(220)는 실질적으로 동일하거나 실질적으로 유사한 물질을 포함할 수 있다.

[0054] 도 3에 도시한 바와 같이, 화소 정의막(190)에 의해 노출되는 제1 전극(180)들 상에는 유기 발광 구조물(230)들이 배치된다. 유기 발광 구조물(230)들은 각기 정공 주입층(HIL), 정공 수송층(HTL), 유기 발광층(EML), 전자 수송층(ETL), 전자 주입층(EIL) 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 적색 발광 영역(10R)에 위

치하는 제1 전극(180) 상에 배치되는 유기 발광 구조물(230)은 적색 유기 발광층을 포함할 수 있고, 녹색 발광 영역(10G)의 제1 전극(180) 상에 위치하는 유기 발광 구조물(230)은 녹색 유기 발광층을 포함할 수 있다. 또한, 청색 발광 영역(10B)에 배치되는 제1 전극(180) 상에 위치하는 유기 발광 구조물(230)은 청색 유기 발광층을 포함할 수 있다.

[0055] 예시적인 실시예들에 따른 유기 발광 구조물(230)에 있어서, 상기 정공 주입층은 아릴 아민계 화합물, 프탈로시아닌 화합물, 스타버스터형 아민류 등을 포함할 수 있다. 예를 들면, 상기 정공 주입층은 4,4,4-트리스(3-메틸페닐아미노)트리페닐아미노(m-MTDATA), 프타로시아닌 구리(CuPc), 1,3,5-트리스[4-(3-메틸페닐아미노)페닐]벤젠(m-MTDATB) 등을 포함할 수 있다. 상기 정공 수송층은 아릴렌 디아민 유도체, 스타버스터형 화합물, 스피로기를 갖는 비페닐디아민유도체, 사다리형 화합물 등을 포함할 수 있다. 예를 들면, 상기 정공 수송층은 N,N'-디페닐-N,N'-비스(3-메틸페닐)-1,1'-바이페닐-4,4'-디아민(TPD), N,N'-디(나프탈렌-1-일)-N,N'-디페닐 벤지딘(α -NPD), 4,4'-비스(1-나프틸페닐아미노)비페닐(NPB) 등을 포함할 수 있다. 상기 유기 발광층은 유기 발광 호스트 물질과 이와 같은 유기 발광 호스트 물질에 도핑된 유기 발광 도펀트 물질을 포함할 수 있다. 예를 들면, 상기 유기 발광 호스트 물질은 4,4'-N,N'-디카바졸-비페닐(4,4'-N,N' dicarbazole-biphenyl: CBP), 비스-(2-메틸-8-퀴놀리나토)-(4-페닐페놀레이트 알루미늄)(bis(2-methyl-8-quinolinato)-4-phenylphenolate aluminum: BALq), 2,9-디메틸-4,7-디페닐-1,10-페난트롤린(2,9-dimethyl-4,7-diphenyl-1,10-phenanthroline: BCP), N,N'-디카바졸릴-1,4-디메텐-벤젠(N,N'-dicarbazolyl-1,4-dimethene-benzene: DCB), 루브렌(rubrene), 디스티릴아릴렌 유도체, 옥사디아졸 유도체, 안트라센 유도체 등을 포함할 수 있다. 상기 유기 발광 도펀트 물질이 형광 도펀트를 포함하는 경우, 상기 유기 발광 도펀트 물질은 디스티릴아민유도체, 피렌 유도체, 페릴렌 유도체, 디스티릴비페닐 유도체(distyrylbiphenyl: DSBP), 10-(1,3-벤조티아졸-2-yl)-1,1,7,7-테트라메틸-2,3,6,7-테트라하이드로-1H,5H,11H-피라노(2,3-f)피리도(3,2,1-ij)퀴놀린-11-one[C545T], 퀴나크리돈(Quinacridone) 유도체, 4-(디시아노메틸렌)-2-터트-부틸-6-(1,1,7,7-테트라메틸줄로리딜-9-에닐)-4H-피란(약칭:DCJTB), 4-(디시아노메틸렌)-2-메틸-6-(p-디메틸아미노스티릴)-4H-피란[DCM] 등을 포함할 수 있다. 한편, 상기 유기 발광 도펀트 물질이 인광 도펀트를 포함하는 경우, 상기 유기 발광 도펀트 물질은 F2Irpic(비스(3,5-디플루오로-2-(2-피리딜)페닐-(2-카르복시피리딜)이리듐), PQIr, (F2ppy)2Ir(tmd), Ir(piq)2(acac), Ir(PPy)3(트리스(2-페닐피리딘)이리듐(III)), Btp2Ir(acac), PtOEP(2,3,7,8,12,13,17,18-옥타에틸-21H, 23H-포르피린-백금 착체) 등을 포함할 수 있다. 또한, 상기 전자 수송층은 TAZ, PBD, spiro-PBD, Alq3, BALq, SALq 등을 포함할 수 있으며, 상기 전자 주입층은 LiF, 갈륨 혼합물(Ga complex), Liq, CsF 등을 포함할 수 있다.

[0056] 화소 정의막(190) 및 유기 발광 구조물(230)들 상에는 제2 전극(240)이 배치된다. 제2 전극(240)은 투명 도전성 물질을 포함할 수 있다. 예를 들면, 제2 전극(240)은 인듐 주석 산화물, 인듐 아연 산화물, 아연 주석 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0057] 예시적인 실시예들에 있어서, 제2 전극(240)은 적색, 녹색 및 청색 발광 영역(10R, 10G, 10B)으로부터 분리 패턴(40) 상으로 연장될 수 있다. 다른 예시적인 실시예들에 따르면, 제2 전극(240)은 적색, 녹색 및 청색 발광 영역(10R, 10G, 10B)에만 위치할 수도 있다. 예를 들면, 제2 전극(240)은 유기 발광 구조물(230)들과 화소 정의막(190)의 일부(예를 들면, 화소 정의막(190)의 측벽) 상에만 배치될 수 있다. 또한, 제2 전극(240)의 상면은 스페이서(220)의 상면보다 실질적으로 낮게 위치할 수 있다.

[0058] 제2 전극(240) 상에 보호층(도시되지 않음)이 추가적으로 형성될 수 있다. 또한, 상기 보호층 및 스페이서(220) 상에 제2 기관(도시되지 않음)이 추가적으로 배치될 수 있다. 즉, 스페이서(220)가 제2 전극(240)의 상부로 돌출될 수 있다.

[0059] 도시되지는 않았으나, 상기 유기 발광 표시 장치는 제1 기관(100) 상에 제공되는 스토리지 커패시터를 추가적으로 포함할 수 있다. 이러한 스토리지 커패시터는 상기 스위칭용 트랜지스터가 턴오프(turn-off)되더라도 상술한 박막 트랜지스터에 소정의 전류를 제공하는 역할을 할 수 있다.

[0060] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 제1 콘택 홀(175R) 및 제2 콘택 홀(175G)을 실질적으로 매립하는 제1 및 제2 평탄화 패턴(210R, 210G)과 제3 콘택 홀(175B)을 실질적으로 채우는 스페이서(220)를 구비할 수 있다. 이에 따라, 유기 발광 구조물(230)들을 형성하는 과정에서 화소 정의막(190)의 단차부에 의해 유기층들의 전자 불량이 발생하는 현상을 방지할 수 있으며, 상기 유기 발광 표시 장치의 구조적 안정성을 개선할 수 있다.

[0061] 도 4 내지 도 10은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단

면도이다.

- [0062] 도 4를 참조하면, 제1 기판(100) 상에 버퍼층(110)을 형성한다. 제1 기판(100)은 투명 절연 기판을 포함할 수 있다. 예를 들면, 제1 기판(100)은 유리 기판, 석영 기판, 투명 수지 기판 등으로 구성될 수 있다. 제1 기판(100)으로 사용될 수 있는 투명 수지 기판은 폴리이미드 수지, 아크릴 수지, 폴리아크릴레이트 수지, 폴리카보네이트 수지, 폴리에테르 수지, 폴리에틸렌 테레프탈레이트 수지, 술폰산 수지 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0063] 버퍼층(110)은 제1 기판(100)으로부터 금속 원자들, 불순물들 등이 확산되는 현상을 방지할 수 있으며, 버퍼층(110)에 의해 후속하여 반도체 패턴(120)들을 수득하기 위한 결정화 공정 동안 열의 전달 속도가 조절되어 균일한 반도체 패턴(120)을 형성할 수 있다. 또한, 버퍼층(110)은 제1 기판(100)이 표면이 균일하지 않을 경우, 제1 기판(100)의 표면의 평탄도를 향상시키는 역할도 수행할 수 있다. 버퍼층(110)은 실리콘 화합물을 사용하여 형성될 수 있다. 예를 들면, 버퍼층(110)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 또한, 버퍼층(110)은 실리콘 화합물을 포함하는 단층 구조 또는 다층 구조를 가질 수 있다.
- [0064] 버퍼층(110) 상에 반도체 패턴(120)들을 형성한다. 반도체 패턴(120)들을 형성하는 과정에 있어서, 제1 기판(100) 상에 반도체층(도시되지 않음)을 형성한 후, 상기 반도체층을 패터닝하여 예비 반도체 패턴(도시되지 않음)들을 형성할 수 있다. 이후, 상기 예비 반도체 패턴들을 결정화시켜 반도체 패턴(120)들을 수득할 수 있다. 상기 반도체층은 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 저압 화학 기상 증착 공정, 스퍼터링 공정 등을 이용하여 형성될 수 있다. 상기 반도체층이 비정질 실리콘을 포함할 경우, 반도체 패턴(120)들은 각기 폴리실리콘으로 이루어질 수 있다. 여기서, 상기 예비 반도체 패턴들로부터 반도체 패턴(120)들을 형성하기 위한 결정화 공정은 레이저 조사 공정, 열처리 공정, 촉매를 이용하는 열처리 공정 등을 포함할 수 있다.
- [0065] 다른 예시적인 실시예들에 있어서, 상기 반도체층 및/또는 상기 예비 반도체 패턴들을 형성한 다음, 상기 반도체층 및/또는 상기 예비 반도체 패턴들에 대하여 탈수소 공정을 수행할 수 있다. 이에 따라, 상기 반도체층 및/또는 상기 예비 반도체 패턴들 내의 수소 원자들의 농도를 감소시켜, 각 반도체 패턴(120)의 전기적인 특성을 향상시킬 수 있다.
- [0066] 도 5를 참조하면, 버퍼층(110) 상에 반도체 패턴(120)들을 커버하는 게이트 절연막(130)을 형성한다. 게이트 절연막(130)은 화학 기상 증착 공정, 스핀 코팅 공정, 플라즈마 증대 화학 기상 증착 공정, 스퍼터링 공정, 진공 증착 공정, 고밀도 플라즈마-화학 기상 증착 공정, 프린팅 공정 등을 이용하여 형성될 수 있다. 또한, 게이트 절연막(130)은 실리콘 산화물, 금속 산화물 등을 사용하여 형성될 수 있다. 게이트 절연막(130)을 구성하는 금속 산화물은 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물, 티타늄 산화물, 탄탈륨 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0067] 게이트 절연막(130)은 반도체 패턴(120)들의 프로파일(profile)을 따라 버퍼층(110) 상에 실질적으로 균일하게 형성될 수 있다. 이 때, 게이트 절연막(130)은 상대적으로 얇은 두께를 가질 수 있으며, 게이트 절연막(130)에는 반도체 패턴(120)들에 인접하는 단차부들이 생성될 수 있다. 다른 예시적인 실시예들에 따르면, 게이트 절연막(130)은 반도체 패턴(120)들을 충분히 커버하면서 실질적으로 평탄한 상면을 가질 수 있다. 이 경우, 게이트 절연막(130)은 상대적으로 두꺼운 두께를 가질 수 있다.
- [0068] 게이트 절연막(130) 상에는 게이트 전극(140)들이 형성된다. 게이트 전극(140)들은 각기 게이트 절연막(130) 중에서 아래에 반도체 패턴(120)들이 위치하는 부분 상에 위치한다. 예시적인 실시예들에 있어서, 게이트 절연막(130) 상에 제1 도전막(도시되지 않음)을 형성한 후, 사진 식각 공정 또는 추가적인 식각 마스크를 이용하는 식각 공정 등을 통해 상기 제1 도전막을 패터닝함으로써 게이트 전극(140)들을 수득할 수 있다. 여기서, 상기 제1 도전막은 스퍼터링 공정, 화학 기상 증착 공정, 펄스 레이저 증착 공정, 진공 증착 공정, 원자층 적층 공정 등을 이용하여 형성될 수 있다.
- [0069] 각 게이트 전극(140)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 게이트 전극(140)들은 알루미늄(Al), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlN_x), 은(Ag), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WN_x), 구리(Cu), 구리를 함유하는 합금, 니켈(Ni), 크롬(Cr), 크롬 질화물(CrO_x), 몰리브덴(Mo), 몰리브덴을 함유하는 합금, 티타늄(Ti), 티타늄 질화물(TiN_x), 백금(Pt), 탄탈륨(Ta), 탄탈륨 질화물(TaN_x), 네오디뮴(Nd), 스칸듐(Sc), 스트론튬 루테튬 산화물(SrRu_xO_y), 아연 산화물(ZnO_x), 인듐 주석 산화물(ITO), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 갈륨 산화물(GaO_x), 인듐 아연

산화물(IZO) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 게이트 전극(140)들은 각기 상술한 금속, 합금, 금속 질화물, 도전성 금속 산화물 또는 투명 도전성 물질로 이루어진 단층 구조를 가질 수 있다. 이와는 달리, 게이트 전극(140)들은 각기 전술한 금속, 합금, 금속 질화물, 도전성 금속 산화물 및/또는 투명 도전성 물질로 구성된 다층 구조로 형성될 수도 있다.

[0070] 도 5에 도시하지는 않았으나, 게이트 전극(140)들과 함께 게이트 절연막(130)의 일측 상에는 게이트 라인이 형성된다. 게이트 전극(140)들은 이러한 게이트 라인에 연결되며, 상기 게이트 라인은 게이트 절연막(130) 상에서 제1 방향을 따라 연장될 수 있다.

[0071] 게이트 전극(140)들을 이온 주입 마스크로 이용하여, 반도체 패턴(120)들에 불순물들을 주입함으로써, 각 반도체 패턴(120)에 소스 영역(123)과 드레인 영역(125)을 형성한다. 상기 불순물들을 주입하기 위한 이온 주입 에너지의 조절에 따라 상기 불순물들이 게이트 절연막(130)을 통과하여 반도체 패턴(120)들의 양측부에 주입될 수 있다. 여기서, 게이트 전극(140)들 아래에 위치하는 반도체 패턴(120)들의 중앙부들에는 상기 불순물들이 주입되지 않으며, 이에 따라 반도체 패턴(120)들의 중앙부들은 각기 소스 영역(123)과 드레인 영역 사이의 채널 영역(121)이 된다. 다시 말하면, 소스 및 드레인 영역(121, 123)의 형성에 따라 각 반도체 패턴(120)에 채널 영역(121)이 정의된다. 다른 예시적인 실시예들에 따르면, 게이트 절연막(130) 상에 게이트 전극(140)들에 인접하는 게이트 절연막(130)의 일부들을 노출시키는 마스크를 형성한 다음, 이와 같은 마스크와 게이트 전극(140)들을 함께 이온 주입 마스크들로 이용하여 소스 영역(123)들 및 드레인 영역(125)들을 형성할 수도 있다.

[0072] 예시적인 실시예들에 있어서, 각 게이트 전극(140)은 반도체 패턴(120)에 비하여 실질적으로 작은 폭을 가질 수 있다. 예를 들면, 게이트 전극(140)들은 채널 영역(121)들과 실질적으로 동일하거나 실질적으로 유사한 폭을 가질 수 있다. 그러나, 게이트 전극(140)들의 치수 및/또는 채널 영역(121)들의 치수는 이들을 포함하는 박막 트랜지스터들에 요구되는 전기적인 특성에 따라 변화될 수 있다.

[0073] 도 6을 참조하면, 게이트 절연막(130) 상에 게이트 전극(140)들을 덮는 제1 층간 절연막(150)을 형성한다. 제1 층간 절연막(150)은 게이트 전극(140)들의 프로파일들을 따라 게이트 절연막(130) 상에 균일한 두께로 형성될 수 있다. 따라서, 제1 층간 절연막(150)에는 게이트 전극(140)들에 인접하는 단차부들이 생성될 수 있다. 제1 층간 절연막(150) 실리콘 화합물을 사용하여 형성될 수 있다. 예를 들면, 제1 층간 절연막(150)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 또한, 제1 층간 절연막(150)은 전술한 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄질화물, 실리콘 산탄화물 등을 포함하는 단층 구조 또는 다층 구조를 가질 수 있다. 이 때, 제1 층간 절연막(150)은 스핀 코팅 공정, 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마-화학 기상 증착 공정 등을 이용하여 수득될 수 있다. 제1 층간 절연막(150)은 후속하여 형성되는 소스 전극(163)들과 드레인 전극(165)들로부터 게이트 전극(140)들을 절연시키는 역할을 수행할 수 있다.

[0074] 제1 층간 절연막(150) 상에 소스 전극(163)들과 드레인 전극(165)들을 형성한다. 소스 및 드레인 전극(163, 165)들은 게이트 전극(140)들을 중심으로 소정의 간격으로 이격되며, 게이트 전극(140)들에 인접하여 형성된다. 예를 들면, 소스 및 드레인 전극(163, 165)들은 각기 소스 및 드레인 영역(123, 125)들의 상부에 위치하는 제1 층간 절연막(150)으로부터 게이트 전극(140)들 상부에 위치하는 제1 층간 절연막(150)까지 연장될 수 있다. 또한, 소스 및 드레인 전극(163, 165)들은 각기 제1 층간 절연막(150)을 관통하여 소스 및 드레인 영역(123, 125)들에 접속된다.

[0075] 예시적인 실시예들에 있어서, 제1 층간 절연막(150)을 부분적으로 식각하여 소스 및 드레인 영역(123, 125)들을 부분적으로 노출시키는 홀들을 형성한 후, 이러한 홀들을 채우면서 제1 층간 절연막(150) 상에 제2 도전막(도시되지 않음)을 형성한다. 다음에, 상기 제2 도전막을 패터닝하여 도 6에 예시적으로 도시한 바와 같은 소스 및 드레인 전극(163, 165)들을 형성한다. 상기 제2 도전막은 스퍼터링 공정, 화학 기상 증착 공정, 펄스 레이저 증착 공정, 진공 증착 공정, 원자층 적층 공정 등을 이용하여 수득될 수 있다. 소스 및 드레인 전극(163, 165)들은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 소스 및 드레인 전극(163, 165)들은 각기 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 크롬 질화물, 몰리브덴, 몰리브덴을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 탄탈륨 질화물, 네오디뮴, 스칸듐, 스트론튬 루테튬 산화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 한편, 소스 및 드레인 전극(163,

165)들은 각기 전술한 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등으로 이루어진 단층 구조 또는 다층 구조를 가질 수 있다.

- [0076] 도시하지는 않았으나, 제1 층간 절연막(150) 상에는 제2 방향을 따라 연장되는 데이터 라인이 소스 및 드레인 전극(163, 165)들과 함께 형성된다. 여기서, 상기 제2 방향은 상기 게이트 라인이 연장되는 제1 방향과 실질적으로 직교할 수 있다. 상기 데이터 라인은 소스 전극(163)들에 연결된다.
- [0077] 제1 층간 절연막(150) 상에 소스 및 드레인 전극(163, 165)들이 형성됨에 따라, 제1 기판(100) 상에는 반도체 패턴(120), 게이트 절연막(130), 게이트 전극(140), 소스 전극(163) 및 드레인 전극(165)을 각기 포함하는 박막 트랜지스터들이 제공된다.
- [0078] 도 7을 참조하면, 제1 층간 절연막(150) 상에 소스 및 드레인 전극(163, 165)들을 덮는 제2 층간 절연막(170)을 형성한다. 제2 층간 절연막(170)은 소스 및 드레인 전극(163, 165)들을 완전하게 덮을 수 있도록 충분한 두께를 가질 수 있다. 제2 층간 절연막(170)은 유기 물질, 무기 물질 등을 사용하여 형성될 수 있다. 예를 들면, 제2 층간 절연막(170)은 포토레지스트, 아크릴계 폴리머, 폴리이미드계 폴리머, 폴리아미드계 폴리머, 실록산계 폴리머, 감광성 아크릴 카르복실기를 포함하는 폴리머, 노블락 수지, 알칼리 가용성 수지, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 알루미늄, 마그네슘, 아연, 하프늄, 지르코늄, 티타늄, 탄탈륨, 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 마그네슘 산화물, 아연 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 제2 층간 절연막(170)을 구성하는 물질에 따라 제2 층간 절연막(170)은 스핀 코팅 공정, 프린팅 공정, 스퍼터링 공정, 화학 기상 증착 공정, 원자층 적층 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마-화학 기상 증착 공정, 진공 증착 공정 등을 이용하여 수득될 수 있다.
- [0079] 제2 층간 절연막(170) 상에는 드레인 전극(165)들을 부분적으로 노출시키는 제1 내지 제3 콘택 홀(175R, 175G, 175B)이 형성된다. 제2 층간 절연막(170)이 감광성 물질을 포함하는 경우, 별도의 마스크 형성 공정, 식각 공정, 제거 공정 등을 수행할 필요 없이 노광 공정 및 현상 공정만을 통해 제1 내지 제3 콘택 홀(175R, 175G, 175B)을 형성할 수 있다. 예를 들면, 소스 및 드레인 전극(163, 165)들과 제1 층간 절연막(150) 상에 스핀 코팅 공정, 프린팅 공정, 도포 공정 등을 사용하여 감광성 물질을 도포하고, 상기 감광성 물질을 소정의 패턴을 갖는 마스크를 이용하여 노광시킨다. 상기 마스크는 투과 영역 및 차단 영역을 포함할 수 있다. 상기 감광성 물질이 포지티브형 감광성 물질일 경우, 제1 내지 제3 콘택 홀(175R, 175G, 175B)이 형성될 영역들 상부에 상기 마스크의 투과 영역들이 배치될 수 있다. 이에 따라, 제2 층간 절연막(170) 중에서 제1 내지 제3 콘택 홀(175R, 175G, 175B)이 형성될 영역들에만 광이 조사될 수 있으며, 제1 내지 제3 콘택 홀(175R, 175G, 175B)이 형성될 영역들 상에 위치하는 감광성 물질은 후속하는 현상 공정에서 제거될 수 있다.
- [0080] 상기 감광성 물질이 네거티브형 감광성 물질일 경우, 제1 내지 제3 콘택 홀(175R, 175G, 175B)이 형성될 영역들 상부에 상기 마스크의 차단 영역들이 배치한 후, 상기 마스크를 사용하여 노광 및 현상 공정을 수행할 수 있다.
- [0081] 제2 층간 절연막(170)이 무기 물질을 포함하는 경우에는, 제2 층간 절연막(170)을 형성한 후 사진 식각 공정 등을 이용하여 제1 내지 제3 콘택 홀(175R, 175G, 175B)을 형성할 수 있다. 예를 들면, 제2 층간 절연막(170) 상에 포토레지스트 패턴(도시되지 않음)을 형성하고 상기 포토레지스트 패턴을 식각 마스크로 사용하여 제2 층간 절연막(170)에 드레인 전극(165)들의 일부들을 노출시키는 제1 내지 제3 콘택 홀(175R, 175G, 175B)을 형성할 수 있다.
- [0082] 도 8을 참조하면, 제2 층간 절연막(170)과 제1 내지 제3 콘택 홀(175R, 175G, 175B)의 측벽들 상에 드레인 전극(165)들에 전기적으로 연결되는 제1 전극들(180R, 180G, 180B)을 형성한다.
- [0083] 상기 유기 발광 표시 장치가 전면 발광 방식을 가질 경우, 제1 전극들(180R, 180G, 180B)은 각기 반사성을 갖는 물질을 사용하여 형성될 수 있다. 예를 들면, 제1 전극들(180R, 180G, 180B)은 알루미늄, 은, 백금, 금(Au), 크롬, 텅스텐, 몰리브덴, 티타늄, 팔라듐(Pd), 이리듐(Ir) 등과 같은 금속, 이들의 합금 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 또한, 제1 전극들(180R, 180G, 180B)은 각기 상기 금속 및/또는 상기 합금을 포함하는 단층 구조 또는 다층 구조로 형성될 수 있다.
- [0084] 예시적인 실시예들에 있어서, 드레인 전극(165)들을 노출시키는 제1 내지 제3 콘택 홀(175R, 175G, 175B)의 측벽들과 제2 층간 절연막(170) 상에 제1 전극층(도시되지 않음)을 형성한 다음, 이와 같은 제1 전극층을 패터닝하여 제2 층간 절연막(170) 상에 제1 전극들(180R, 180G, 180B)을 형성할 수 있다. 여기서, 상기 제1 전극층은 제1 전극들(180R, 180G, 180B)을 구성하는 물질에 따라 스퍼터링 공정, 진공 증착 공정, 화학 기상 증착 공정,

펄스 레이저 증착 공정, 프린팅 공정, 원자층 적층 공정 등을 이용하여 형성될 수 있다. 후술하는 바와 같이, 제1 전극들(180R, 180G, 180B)은 상기 유기 발광 표시 장치의 발광 영역(luminescent region)을 중심으로 인접하는 비발광 영역(non-luminescent region)의 일부까지 연장될 수 있다.

- [0085] 제2 층간 절연막(170)과 제1 전극(180R, 180G, 180B)들 일부들 상에 화소 정의막(190)을 형성한다. 화소 정의막(190)이 형성되지 않은 제1 전극들(180R, 180G, 180B)의 부분들은 발광 영역들(도 1의 참조부호 10R, 10G, 10B)으로 정의될 수 있다. 화소 정의막(190)은 유기 물질, 무기 물질 등을 사용하여 형성될 수 있다. 예를 들면, 화소 정의막(190)은 아크릴계 폴리머, 폴리이미드계 폴리머, 폴리아미드계 폴리머, 실록산계 폴리머, 감광성 아크릴 카르복실기를 포함하는 폴리머, 노블락 수지, 알칼리 가용성 수지 등의 유기 물질이나 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 알루미늄, 마그네슘, 아연, 하프늄, 지르코늄, 티타늄, 탄탈륨, 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 마그네슘 산화물, 아연 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 실리콘 화합물과 같은 무기 물질을 사용하여 형성할 수 있다.
- [0086] 도 9 및 도 10을 참조하면, 제1 전극들(180R, 180G, 180B)과 화소 정의막(190) 상에 평탄화막(200)을 형성한다. 예를 들면, 평탄화막(200)은 아크릴계 폴리머, 폴리이미드계 폴리머, 폴리아미드계 폴리머, 실록산계 폴리머, 감광성 아크릴 카르복실기를 포함하는 폴리머, 노블락 수지, 알칼리 가용성 수지 등을 사용하여 형성할 수 있다.
- [0087] 하프톤 마스크(300) 또는 하프톤 슬릿 마스크를 사용하는 식각 공정을 통해 평탄화막(200)을 패터닝함으로써, 제1 콘택 홀(175R) 및 제2 콘택 홀(175G)을 매립하는 제1 및 제2 평탄화 패턴(210R, 210G)과 제3 콘택 홀(175B)을 채우는 스페이서(220)를 형성한다.
- [0088] 예시적인 실시예들에 있어서, 하프톤 마스크(300)는 영역별로 상이한 광 투과율을 가지며, 투과 영역(I), 반투과 영역(II) 및 차단 영역(III)을 포함한다. 도 9에 예시적으로 도시한 하프톤 마스크(300)는 평탄화막(200)이 포지티브 감광성 물질을 포함하는 경우에 사용될 수 있다.
- [0089] 예시적인 실시예들에 따르면, 하프톤 마스크(300)는 제1 콘택 홀(175R) 및 제2 콘택 홀(175G)에 실질적으로 대응하는 반투과 영역(II)들과 제3 콘택 홀(175B)에 실질적으로 대응하는 차단 영역(III)을 포함한다. 또한, 하프톤 마스크(300)는 제1 내지 제3 콘택 홀(175R, 175G, 175B)에 대응되지 않은 투과 영역(I)을 구비한다. 포지티브 감광성 물질을 광에 노출시키는 경우, 노출된 부위의 감광성 물질은 광에 의해 분해되어 화학 결합이 끊어지거나 특정 용매에 대한 용해도가 증가하게 되므로 이후 현상 공정을 통해서 상기 노출된 부위의 감광성 물질이 제거될 수 있다.
- [0090] 제1 콘택 홀(175R) 및 제2 콘택 홀(175G) 상부에 배치되는 하프톤 마스크(300)의 반투과 영역(II)들에 의하여 제1 콘택 홀(175R) 및 제2 콘택 홀(175G) 상의 평탄화막(200)은 일부만이 노광되어 제거되므로, 평탄화막(200)의 부분들이 소정의 두께를 가지면서 잔류할 수 있다. 따라서, 하프톤 마스크(300)의 반투과 영역(II)들의 투과율 또는 노광 시간 등을 조절함에 따라 제1 및 제2 콘택 홀(175R, 175G) 상의 평탄화막(200)이 화소 정의막(190)의 상면과 실질적으로 동일한 높이를 가질 때까지 노광 공정을 수행할 수 있다. 이에 따라, 제1 콘택 홀(175R) 및 제2 콘택 홀(175G)을 매립하는 제1 및 제2 평탄화 패턴(210R, 210G)이 수득될 수 있다.
- [0091] 제3 콘택 홀(175B) 상부에 배치되는 하프톤 마스크(300)의 차단 영역(III)에 의하여 제3 콘택 홀(175B) 상의 평탄화막(200)은 광에 노출되지 않으므로, 제3 콘택 홀(175B) 상의 평탄화막(200)은 초기의 두께를 유지할 수 있다. 한편, 제1 내지 제3 콘택 홀(175R, 175G, 175B)에 대응되지 않는 하프톤 마스크(300)의 투과 영역(I)에 의해 평탄화막(200)이 노광되어 모두 제거되므로, 제3 콘택 홀(175B)를 채우는 고립된 스페이서(220)를 형성할 수 있다. 제3 콘택 홀(175B)에 위치하는 스페이서(220)는 화소 정의막(190)의 상면보다 실질적으로 높게 형성될 수 있다. 즉, 스페이서(220)는 화소 정의막(190) 상으로 돌출될 수 있다. 또한, 스페이서(220)는 후속하여 화소 정의막(190) 상에 형성되는 제2 전극(240)보다 실질적으로 높은 높이를 가질 수 있다.
- [0092] 예시적인 실시예들에 따르면, 제1 및 제2 평탄화 패턴(210R, 210G)은 화소 정의막(190)의 상면과 실질적으로 동일한 높이로 형성될 수 있다. 제1 및 제2 콘택 홀(175R, 175G)에 제1 및 제2 평탄화 패턴(210R, 210G)이 각기 형성됨에 따라, 제1 및 제2 콘택 홀(175R, 175G)에서 화소 정의막(190)에 단차가 발생하지 않을 수 있다. 이에 따라, 후속하여 유기 발광 구조물(230)들이 형성될 때 유기 발광 구조물(230)들의 전자 불량을 방지할 수 있다.
- [0093] 스페이서(220)는 화소 정의막(190)보다 실질적으로 돌출되게 형성되므로, 제1 기판(100)과 제2 기판(도시되지 않음)을 합착할 때 제1 기판(100)과 상기 제2 기판 사이에 일정한 갭을 제공할 수 있다. 상기 제2 기판의 표면에 외부로부터 압력이나 충격이 가해지더라도 스페이서(220)에 의해 상기 유기 발광 표시 장치의 손상을 방지할

수 있으므로 유기 발광 표시 장치의 신뢰성을 향상시킬 수 있다

- [0094] 평탄화막(200)이 네거티브 감광성 물질을 포함하는 경우에는, 하프톤 마스크(300)는 제3 콘택 홀(175B)에 대응하는 투과 영역, 제1 콘택 홀(175R) 및 제2 콘택 홀(175G)에 대응하는 반투과 영역들 및 제1 내지 제3 콘택 홀(175R, 175G, 175B)에 대응하지 않는 차단 영역을 포함할 수 있다. 평탄화막(200)이 네거티브 감광성 물질로 구성되는 경우, 광에 노출되는 부위의 상기 감광성 물질은 가교 반응 또는 중합 반응 등이 발생하여 경화되므로, 현상 공정을 거치면 광에 노출되지 않은 부위의 상기 감광성 물질이 제거될 수 있다. 제1 내지 제3 콘택 홀(175R, 175G, 175B)이 형성되지 않은 부분들의 평탄화막(200)은 모두 제거되며, 제3 콘택 홀(175B)에 위치하는 부분의 평탄화막(200)은 제거되지 않으므로, 제3 콘택 홀(175B)을 채우는 스페이서(220)가 형성된다. 제1 콘택 홀(175R) 및 제2 콘택 홀(175G) 상의 평탄화막(200)은 화소 정의막(190)의 상면과 실질적으로 동일한 높이를 갖도록 부분적으로 제거됨으로써, 제1 콘택 홀(175R) 및 제2 콘택 홀(175G)에 제1 및 제2 평탄화 패턴(210R, 210G)이 각기 형성될 수 있다.
- [0095] 도 3에 도시한 바와 같이, 발광 영역의 화소 정의막(190)과 제1 전극(180)들 상에 유기 발광 구조물(230)들 형성한다. 유기 발광 구조물(230)들의 하부들은 제1 전극(180)들 상에 위치하며, 유기 발광 구조물(230)들의 측부들은 화소 정의막(190)에 접촉된다. 예시적인 실시예들에 있어서, 유기 발광 구조물(230)들은 각기 유기 발광층(EL), 정공 주입층(HIL), 정공 수송층(HTL), 전자 수송층(ETL), 전자 주입층(EIL) 등을 포함하는 다층 구조를 가질 수 있다. 유기 발광 구조물(230)들은 상기 유기 발광 표시 장치의 각 화소에 따라 적색광, 녹색광, 청색광 등과 같은 서로 다른 색광들을 발생시킬 수 있는 발광 물질들을 사용하여 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 유기 발광 구조물(1350)은 적색광, 녹색광, 청색광 등의 상이한 색광들을 구현할 수 있는 복수의 발광 물질들이 적층되어 백색광을 발광하는 다층 구조를 가질 수도 있다.
- [0096] 제2 전극(240)은 유기 발광 구조물(230)들과 화소 정의막(190) 상에 형성된다. 제2 전극(240)은 유기 발광 구조물(230)들과 화소 정의막(190) 상에 실질적으로 균일한 두께로 형성될 수 있다. 상기 유기 발광 표시 장치가 전면 발광 방식을 가질 경우, 제2 전극(240)은 투명 도전 물질을 사용하여 형성될 수 있다. 예를 들면, 제2 전극(240)은 인듐 주석 산화물, 인듐 아연 산화물, 아연 주석 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0097] 예시적인 실시예들에 있어서, 제2 전극(240)은 상기 발광 영역으로부터 비발광 영역까지 연장될 수 있다. 다른 예시적인 실시예들에 따르면, 제2 전극(240)은 상기 발광 영역에만 위치할 수도 있다. 예를 들면, 제2 전극(240)은 유기 발광 구조물(230)들과 화소 정의막(190)의 일부(예를 들면, 화소 정의막(190)의 개구의 측벽) 상에 배치될 수 있다. 여기서, 유기 발광 구조물(230)과 화소 정의막(190) 상에 제2 전극층(도시되지 않음)을 형성한 후, 상기 제2 전극층을 패터닝하여 상기 발광 영역에 제2 전극(240)을 형성할 수 있다.
- [0098] 도시하지는 않았으나, 제2 전극(240) 상에 보호막(도시되지 않음)을 형성할 수 있다. 상기 보호막은 상기 발광 영역으로부터 상기 비발광 영역까지 연장될 수 있다. 상기 보호막은 유기 물질, 무기 물질 등을 사용하여 형성될 수 있다. 예를 들면, 상기 보호막은 포토레지스트, 아크릴계 폴리머, 폴리이미드계 폴리머, 폴리이미드계 폴리머, 실록산계 폴리머, 감광성 아크릴 카르복실기를 포함하는 폴리머, 노블락 수지, 알칼리 가용성 수지, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 알루미늄, 마그네슘, 아연, 하프늄, 지르코늄, 티타늄, 탄탈륨, 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 마그네슘 산화물, 아연 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 상기 보호막을 구성하는 물질에 따라 상기 보호막은 스핀 코팅 공정, 프린팅 공정, 스퍼터링 공정, 화학 기상 증착 공정, 원자층 적층 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마-화학 기상 증착 공정, 진공 증착 공정 등을 이용하여 수득될 수 있다.
- [0099] 상기 보호막 및 스페이서(220) 상에는 제2 기판(도시되지 않음)이 배치될 수 있다. 상기 제2 기판은 유리, 투명 플라스틱, 투명 세라믹 등과 같은 투명 절연 기판을 포함할 수 있다. 예시적인 실시예들에 있어서, 상기 발광 영역에 위치하는 상기 보호막과 상기 제2 기판 사이의 공간은 공기, 질소와 같은 불활성 기체 등으로 채워질 수 있다. 다른 예시적인 실시예들에 따르면, 상기 발광 영역의 공간은 광 투과성과 흡습성을 갖는 수지로 충전될 수도 있다.
- [0100] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법에 있어서, 제1 콘택 홀(175R) 및 제2 콘택 홀(175G)을 채우는 제1 및 제2 평탄화 패턴(210R, 210G)과 제3 콘택 홀(175B)을 채우는 스페이서(220)를 형성한다. 따라서, 유기 발광 구조물(230)들을 형성하는 공정에서 화소 정의막(190)의 단차부들에 의해 유기층들의 전사 불량이 발생하는 현상을 방지할 수 있고, 상기 유기 발광 표시 장치의 구조적 안정성을 개선하여 그 신

퇴성을 향상시킬 수 있다. 또한, 하프톤 마스크(300)를 사용하여 제1 및 제2 평탄화 패턴(210R, 210G)과 스페이서(220)를 동시에 형성할 수 있기 때문에 제조 공정을 단순화시킬 수 있다.

[0101] 상술한 바에서는 본 발명의 예시적인 실시예들을 설명하였지만, 본 발명은 이에 한정되지 않으며 해당 기술 분야에서 통상의 지식을 가진 자라면 다음에 기재하는 특허 청구 범위의 개념과 범위를 벗어나지 않는 범위 내에서 다양한 변경 및 변형이 가능하다는 것을 이해할 수 있을 것이다.

산업상 이용가능성

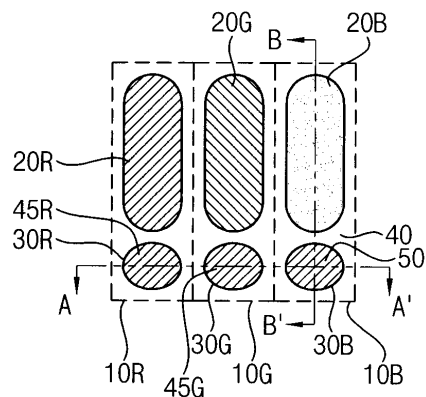
[0102] 본 발명의 예시적인 실시예들에 따르면, 제1 콘택 홀 및 제2 콘택 홀을 채우는 평탄화 패턴들을 형성하고, 제3 콘택 홀을 채우는 스페이서를 형성한다. 따라서, 유기 발광 구조물들을 형성하는 공정에서 화소 정의막의 단차 부들에 의해 유기층들의 전사 불량이 발생하는 것을 방지할 수 있으며, 상기 유기 발광 표시 장치의 구조적 안정성을 향상시킬 수 있다.

부호의 설명

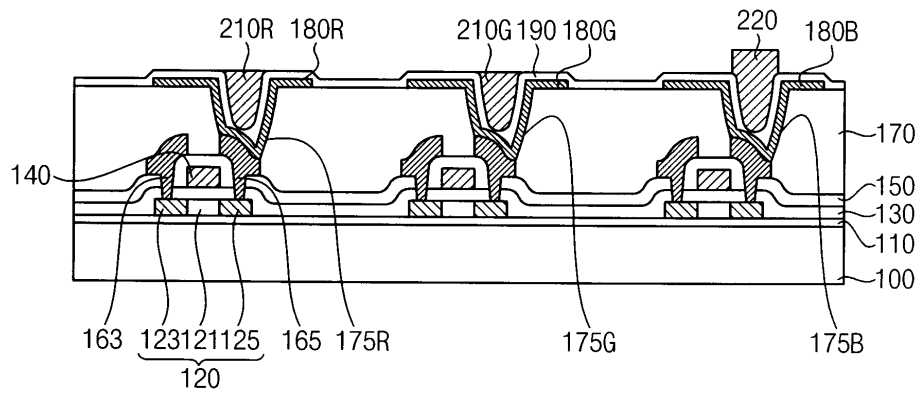
- | | | |
|--------|----------------|-------------------------|
| [0103] | 100: 제1 기판 | 110: 버퍼층 |
| | 120: 반도체 패턴 | 121: 채널 영역 |
| | 123: 소스 영역 | 125: 드레인 영역 |
| | 130: 게이트 절연막 | 140: 게이트 전극 |
| | 150: 제1 층간 절연막 | 163: 소스 전극 |
| | 165: 드레인 전극 | 170: 제2 층간 절연막 |
| | 175R: 제1 콘택 홀 | 175G: 제2 콘택 홀 |
| | 175B: 제3 콘택 홀 | 180R, 180G, 180B: 제1 전극 |
| | 190: 화소 정의막 | 200: 평탄화막 |
| | 210: 평탄화 패턴 | 220: 스페이서 |
| | 230: 유기 발광 구조물 | 240: 제2 전극 |

도면

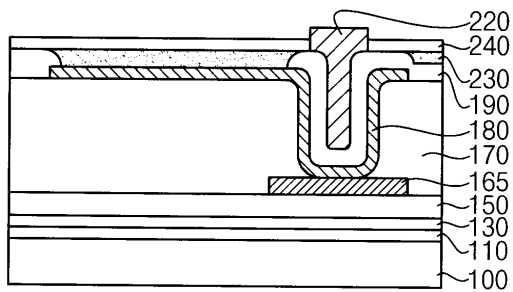
도면1



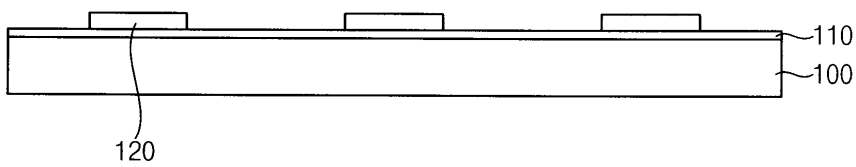
도면2



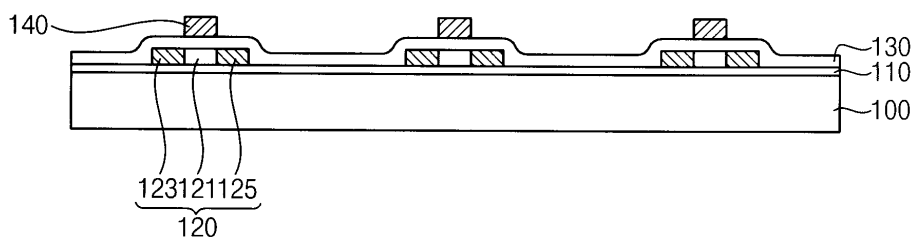
도면3



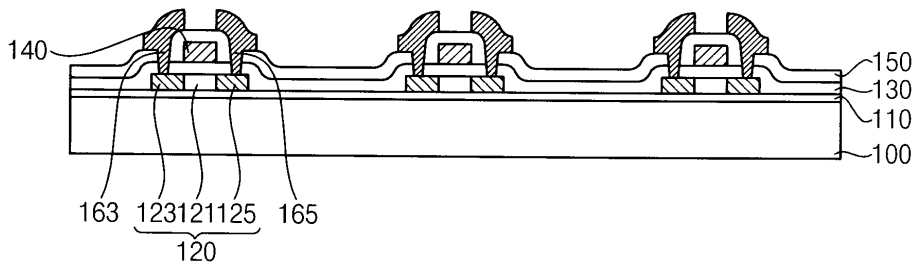
도면4



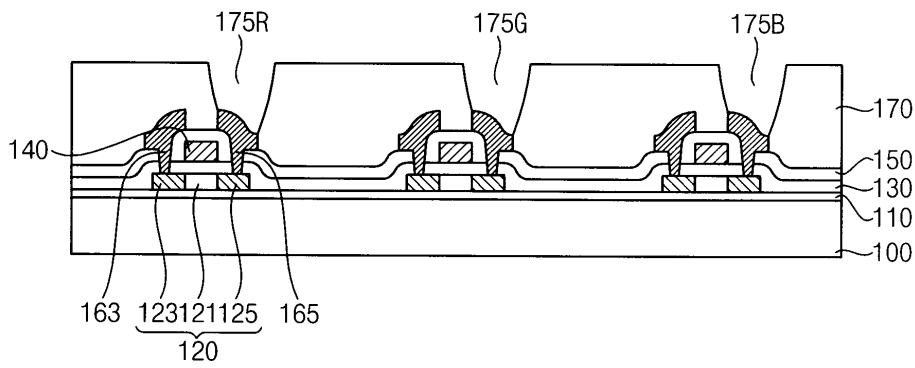
도면5



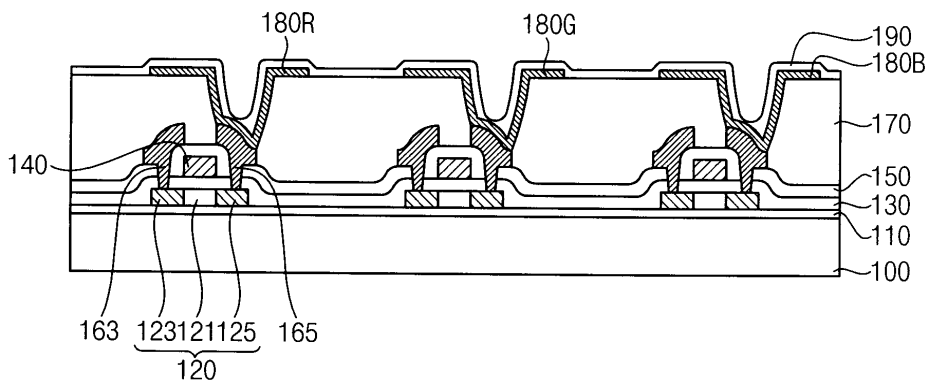
도면6



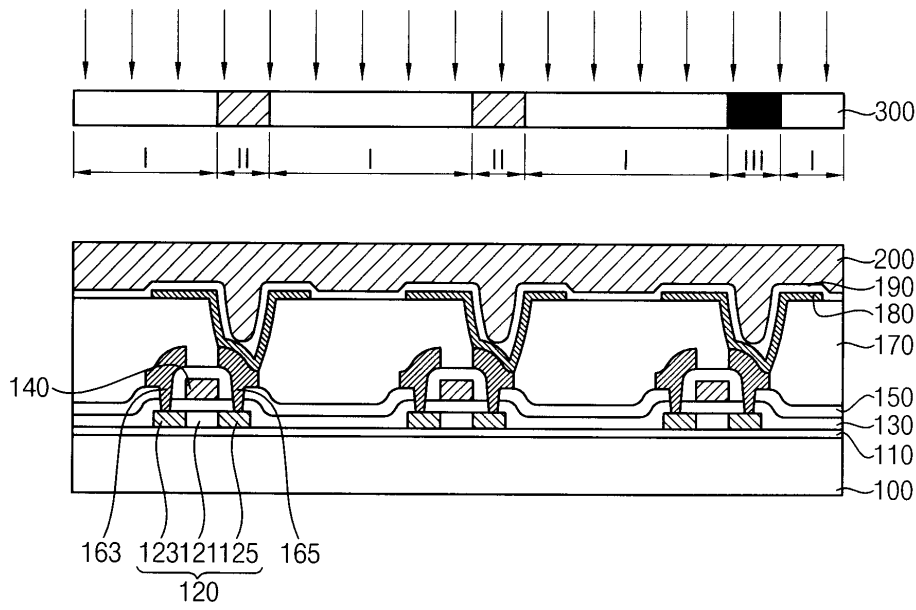
도면7



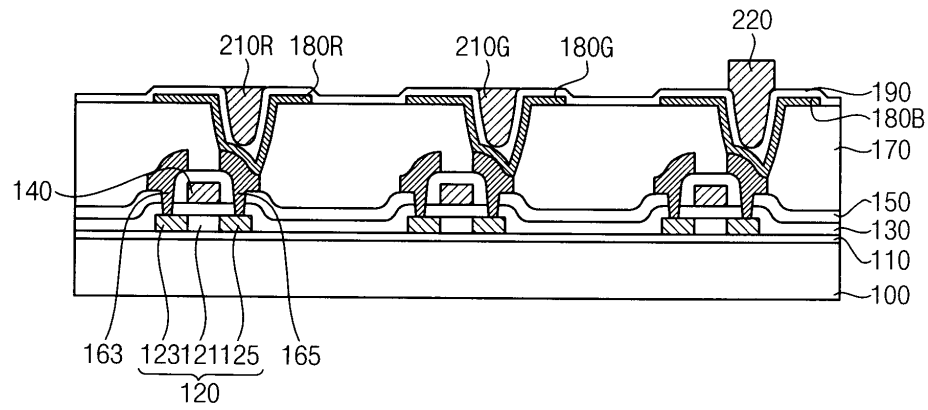
도면8



도면9



도면10



专利名称(译)	标题：OLED显示装置和制造OLED显示装置的方法		
公开(公告)号	KR1020130007006A	公开(公告)日	2013-01-18
申请号	KR1020110062891	申请日	2011-06-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM YOUNG DAE 김영대 IM JANG SOON 임장순 LEE IL JEONG 이일정 LEE SANG BONG 이상봉		
发明人	김영대 임장순 이일정 이상봉		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L27/3248 H01L21/77 H01L27/32 H01L51/0016 H01L27/1259 H01L27/326 H01L27/3262		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括薄膜晶体管，层间绝缘膜，第一电极，像素限定层，有机发光结构，第二电极，平坦化图案和间隔物。在基板上形成薄膜晶体管。形成具有第一至第三接触孔的层间绝缘膜，该第一至第三接触孔部分地暴露薄膜晶体管上的薄膜晶体管的电极。它形成有第一电极，其电连接在层间绝缘膜的侧壁和薄膜晶体管中的第一至第三接触孔。限定像素区域的像素限定层形成在层间绝缘膜上，并且第一电极的部分的侧壁形成第一至第三接触孔。有机发光结构形成在像素区域的第一电极上。第二电极形成在有机发光结构上。在填充第一和第二接触孔的同时，在像素限定层上模制平面化图案。在填充第三接触孔的同时，在像素限定层上形成间隔物。有机发光显示装置具有改善的可靠性，防止了转印劣势。

