



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년02월13일  
 (11) 등록번호 10-1947163  
 (24) 등록일자 2019년02월01일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/30 (2006.01) H01L 51/50 (2006.01)  
 (21) 출원번호 10-2012-0013837  
 (22) 출원일자 2012년02월10일  
 심사청구일자 2017년02월07일  
 (65) 공개번호 10-2013-0092229  
 (43) 공개일자 2013년08월20일  
 (56) 선행기술조사문헌  
 KR1020110011942 A\*  
 KR1020110036456 A\*  
 JP2012212168 A  
 KR1020080002202 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성디스플레이 주식회사  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
 안치욱  
 경기도 용인시 기흥구 동백5로 79 2002동 202호  
 (중동, 백현마을상록롯데캐슬아파트)  
 태승규  
 경기 오산시 오산로132번길 10, 210동 1801호 (원  
 동, 대림e-편한세상2단지아파트)  
 이승규  
 경기 수원시 영통구 영통로90번길 24, 2층 202호  
 (망포동)  
 (74) 대리인  
 팬코리아특허법인

전체 청구항 수 : 총 19 항

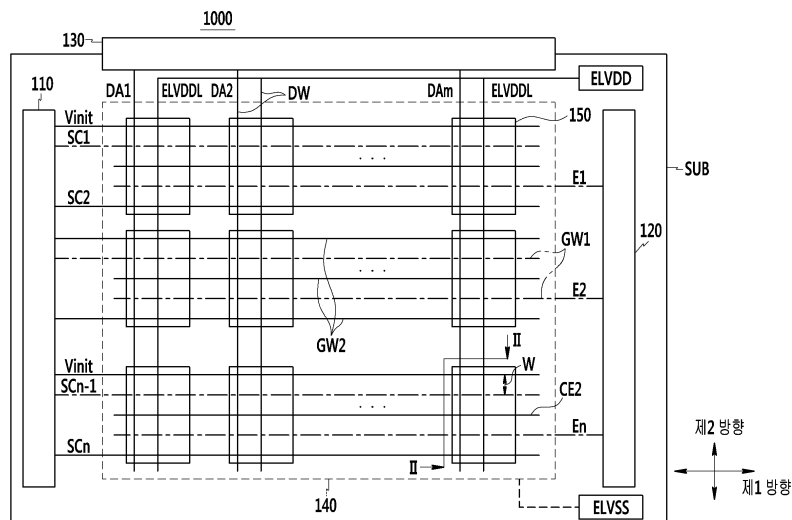
심사관 : 이옥우

(54) 발명의 명칭 **유기 발광 표시 장치**

**(57) 요약**

유기 발광 표시 장치는 제1 절연층을 사이에 두고 기판 상에 위치하며, 제1 방향으로 연장된 제1 게이트 배선들, 제2 절연층을 사이에 두고 상기 제1 게이트 배선들 상에 위치하며 상기 제1 방향으로 연장된 제2 게이트 배선들, 상기 제2 게이트 배선들 상에 위치하며, 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 배선들, 상기 제1 게이트 배선들, 상기 제2 게이트 배선들, 상기 데이터 배선들 각각에 연결되어 있는 화소 회로, 및 상기 화소 회로에 연결된 유기 발광 소자를 포함한다.

**대표도 - 도1**



## 명세서

### 청구범위

#### 청구항 1

제1 절연층을 사이에 두고 기판 상에 위치하며, 제1 방향으로 연장된 제1 게이트 배선들;

제2 절연층을 사이에 두고 상기 제1 게이트 배선들 상에 상기 제1 게이트 배선들과 비중첩하여 위치하며 상기 제1 방향으로 연장된 제2 게이트 배선들;

상기 제2 게이트 배선들 상에 위치하며, 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 배선들;

상기 제1 게이트 배선들, 상기 제2 게이트 배선들, 상기 데이터 배선들 각각에 연결되어 있는 화소 회로; 및

상기 화소 회로에 연결된 유기 발광 소자

를 포함하고

상기 제1 게이트 배선들 및 상기 제2 게이트 배선들은 복수의 화소를 포함하는 표시부에 위치하는 유기 발광 표시 장치.

#### 청구항 2

삭제

#### 청구항 3

제1항에서,

상기 제2 게이트 배선들은,

제1 스캔 라인; 및

상기 제1 스캔 라인과 이격되는 초기화 전원 라인

을 포함하며,

상기 데이터 배선들은,

데이터 라인; 및

상기 데이터 라인과 이격되는 구동 전원 라인

을 포함하는 유기 발광 표시 장치.

#### 청구항 4

제3항에서,

상기 화소 회로는,

상기 초기화 전원 라인 및 상기 구동 전원 라인과 연결된 제1 캐패시터;

상기 구동 전원 라인과 상기 유기 발광 소자 사이에 연결된 제1 박막 트랜지스터; 및

상기 데이터 라인과 상기 제1 박막 트랜지스터 사이에 연결된 제2 박막 트랜지스터

를 포함하는 유기 발광 표시 장치.

#### 청구항 5

제4항에서,

상기 제1 캐패시터는,

상기 제1 게이트 배선들과 동일한 층에 형성되어 상기 초기화 전원 라인과 연결된 제1 캐패시터 전극; 및  
 상기 제2 게이트 배선들과 동일한 층에 형성되어 상기 구동 전원 라인과 연결된 제2 캐패시터 전극  
 을 포함하는 유기 발광 표시 장치.

**청구항 6**

제5항에서,

상기 제1 캐패시터는 상기 제1 캐패시터 전극과 대응하여 상기 기판과 상기 제1 절연층 사이에 위치하며, 상기 제2 캐패시터 전극과 연결된 액티브 전극을 더 포함하는 유기 발광 표시 장치.

**청구항 7**

제5항에서,

상기 제2 캐패시터 전극은 상기 제1 방향으로 연장된 유기 발광 표시 장치.

**청구항 8**

제5항에서,

상기 제1 박막 트랜지스터는,

상기 기판과 상기 제1 절연층 사이에 위치하는 제1 액티브층;

상기 제1 캐패시터 전극과 연결되며 상기 제2 게이트 배선들과 동일한 층에 위치하는 제1 게이트 전극;

상기 구동 전원 라인과 연결된 제1 소스 전극; 및

상기 유기 발광 소자와 연결된 제1 드레인 전극

을 포함하는 유기 발광 표시 장치.

**청구항 9**

제8항에서,

상기 제2 박막 트랜지스터는,

상기 기판과 상기 제1 절연층 사이에 위치하는 제2 액티브층;

상기 제1 스캔 라인과 연결되며 상기 제1 게이트 배선들과 동일한 층에 위치하는 제2 게이트 전극;

상기 데이터 라인과 연결된 제2 소스 전극; 및

상기 제1 박막 트랜지스터의 상기 제1 소스 전극과 연결된 제2 드레인 전극

을 포함하는 유기 발광 표시 장치.

**청구항 10**

제8항에서,

상기 제2 박막 트랜지스터는,

상기 기판과 상기 제1 절연층 사이에 위치하는 제2 액티브층;

상기 제1 스캔 라인과 연결되며 상기 제2 게이트 배선들과 동일한 층에 위치하는 제2 게이트 전극;

상기 데이터 라인과 연결된 제2 소스 전극; 및

상기 제1 박막 트랜지스터의 상기 제1 소스 전극과 연결된 제2 드레인 전극

을 포함하는 유기 발광 표시 장치.

**청구항 11**

제9항에서,

상기 화소 회로는,

상기 제1 게이트 배선들과 동일한 층에 형성되어 상기 제1 캐패시터 전극과 연결된 제3 캐패시터 전극 및 상기 제2 게이트 배선들과 동일한 층에 형성되어 상기 제1 스캔 라인과 연결된 제4 캐패시터 전극을 포함하는 제2 캐패시터

를 더 포함하는 유기 발광 표시 장치.

#### 청구항 12

제11항에서,

상기 화소 회로는,

상기 기관과 상기 제1 절연층 사이에 위치하는 제3 액티브층, 상기 제1 스캔 라인과 연결되며 상기 제2 게이트 배선들과 동일한 층에 위치하는 제3 게이트 전극, 상기 제1 박막 트랜지스터의 상기 제1 드레인 전극과 연결된 제3 소스 전극, 상기 제1 박막 트랜지스터의 상기 제1 게이트 전극과 연결된 제3 드레인 전극을 포함하는 제3 박막 트랜지스터

를 더 포함하는 유기 발광 표시 장치.

#### 청구항 13

제12항에서,

상기 제1 게이트 배선들은 제2 스캔 라인을 포함하며,

상기 화소 회로는,

상기 기관과 상기 제1 절연층 사이에 위치하는 제4 액티브층, 상기 제2 스캔 라인과 연결되며 상기 제1 게이트 배선들과 동일한 층에 위치하는 제4 게이트 전극, 상기 초기화 전원 라인과 연결된 제4 소스 전극 및 상기 제1 박막 트랜지스터의 제1 게이트 전극과 연결된 제4 드레인 전극을 포함하는 제4 박막 트랜지스터

를 더 포함하는 유기 발광 표시 장치.

#### 청구항 14

제13항에서,

상기 제1 게이트 배선들은 발광 제어 라인을 더 포함하며,

상기 화소 회로는,

상기 기관과 상기 제1 절연층 사이에 위치하는 제5 액티브층, 상기 발광 제어 라인과 연결되며 상기 제1 게이트 배선들과 동일한 층에 위치하는 제5 게이트 전극, 상기 구동 전원 라인과 연결된 제5 소스 전극, 상기 제1 박막 트랜지스터의 상기 제1 소스 전극과 연결된 제5 드레인 전극을 포함하는 제5 박막 트랜지스터

를 더 포함하는 유기 발광 표시 장치.

#### 청구항 15

제14항에서,

상기 화소 회로는,

상기 기관과 상기 제1 절연층 사이에 위치하는 제6 액티브층, 상기 발광 제어 라인과 연결되며 상기 제1 게이트 배선들과 동일한 층에 위치하는 제6 게이트 전극, 상기 제1 박막 트랜지스터의 상기 제1 드레인 전극과 연결된 제6 소스 전극, 상기 유기 발광 소자와 연결된 제6 드레인 전극을 포함하는 제6 박막 트랜지스터

를 더 포함하는 유기 발광 표시 장치.

#### 청구항 16

제1 절연층을 사이에 두고 기판 상에 위치하며, 제1 방향으로 연장된 제1 게이트 배선들;

제2 절연층을 사이에 두고 상기 제1 게이트 배선들 상에 상기 제1 게이트 배선들과 비중첩하여 위치하며 상기 제1 방향으로 연장된 제2 게이트 배선들;

상기 제2 게이트 배선들 상에 위치하며, 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 배선들;

상기 제1 게이트 배선들, 상기 제2 게이트 배선들, 상기 데이터 배선들 각각에 연결된 복수의 박막 트랜지스터 및 하나 이상의 캐패시터를 포함하는 화소 회로; 및

상기 화소 회로를 사이에 두고 제1 전원과 연결되고, 제2 전원과 연결되는 유기 발광 소자를 포함하고,

상기 제1 게이트 배선들 및 상기 제2 게이트 배선들은 복수의 화소를 포함하는 표시부에 위치하는 유기 발광 표시 장치.

**청구항 17**

제16항에서,

상기 복수의 박막 트랜지스터 중 소스 전극이 상기 제1 전원과 연결되고 드레인 전극이 상기 유기 발광 소자와 연결된 구동 박막 트랜지스터의 게이트 전극은 상기 제2 게이트 배선들과 동일한 층에 위치하는 유기 발광 표시 장치.

**청구항 18**

제17항에서,

상기 복수의 박막 트랜지스터 중 소스 전극이 상기 구동 박막 트랜지스터의 드레인 전극과 연결되고 드레인 전극이 상기 구동 박막 트랜지스터의 게이트 전극과 연결된 보상 박막 트랜지스터의 게이트 전극은 상기 제2 게이트 배선들과 동일한 층에 위치하는 유기 발광 표시 장치.

**청구항 19**

제18항에서,

상기 복수의 박막 트랜지스터 중 상기 구동 박막 트랜지스터 및 상기 보상 박막 트랜지스터를 제외한 나머지 하나 이상의 스위칭 박막 트랜지스터의 게이트 전극은 상기 제1 게이트 배선들과 동일한 층에 위치하는 유기 발광 표시 장치.

**청구항 20**

제16항에서,

상기 캐패시터의 일 전극은 상기 제1 게이트 배선들과 동일한 층에 위치하며, 상기 일 전극과 대향하는 타 전극은 상기 제2 게이트 배선들과 동일한 층에 위치하는 유기 발광 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 복수의 박막 트랜지스터 및 하나 이상의 캐패시터를 가지는 화소 회로를 포함하는 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력,

높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 일반적으로 유기 발광 표시 장치는 기관 상에 위치하며 일 방향으로 연장된 게이트 배선들, 게이트 배선들과 교차하는 방향으로 연장된 데이터 배선들, 게이트 배선들 및 데이터 배선들 각각에 연결된 화소 회로 및 화소 회로와 연결된 유기 발광 소자를 포함한다.

[0005] 그런데, 최근 고해상도의 디스플레이를 요구함에 따라 유기 발광 표시 장치에 포함된 게이트 배선들, 데이터 배선들, 화소 회로 및 유기 발광 소자의 수가 증가함으로써, 전체적인 배선들(특히 데이터 배선들 대비 개수가 많은 게이트 배선들)의 배치 문제 및 배선에서 전압강하가 발생하는 문제 등 다양한 문제들이 발생하여 고해상도의 유기 발광 표시 장치에서 얼룩 등의 품질 저하가 발생하는 문제점이 있었다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명의 일 실시예는 상술한 문제점을 해결하기 위한 것으로서, 표시 품질이 향상된 고해상도의 유기 발광 표시 장치를 제공하고자 한다.

**과제의 해결 수단**

[0007] 상술한 기술적 과제를 달성하기 위한 본 발명의 제1 측면은 제1 절연층을 사이에 두고 기관 상에 위치하며, 제1 방향으로 연장된 제1 게이트 배선들, 제2 절연층을 사이에 두고 상기 제1 게이트 배선들 상에 위치하며 상기 제1 방향으로 연장된 제2 게이트 배선들, 상기 제2 게이트 배선들 상에 위치하며, 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 배선들, 상기 제1 게이트 배선들, 상기 제2 게이트 배선들, 상기 데이터 배선들 각각에 연결되어 있는 화소 회로, 및 상기 화소 회로에 연결된 유기 발광 소자를 포함하는 유기 발광 표시 장치를 제공한다.

[0008] 상기 제1 게이트 배선들 및 상기 제2 게이트 배선들은 서로 비중첩되어 있을 수 있다.

[0009] 상기 제2 게이트 배선들은, 제1 스캔 라인, 및 상기 제1 스캔 라인과 이격되는 초기화 전원 라인을 포함하며, 상기 데이터 배선들은, 데이터 라인, 및 상기 데이터 라인과 이격되는 구동 전원 라인을 포함할 수 있다.

[0010] 상기 화소 회로는, 상기 초기화 전원 라인 및 상기 구동 전원 라인과 연결된 제1 캐패시터, 상기 구동 전원 라인과 상기 유기 발광 소자 사이에 연결된 제1 박막 트랜지스터, 및 상기 데이터 라인과 상기 제1 박막 트랜지스터 사이에 연결된 제2 박막 트랜지스터를 포함할 수 있다.

[0011] 상기 제1 캐패시터는, 상기 제1 게이트 배선들과 동일한 층에 형성되어 상기 초기화 전원 라인과 연결된 제1 캐패시터 전극, 및 상기 제2 게이트 배선들과 동일한 층에 형성되어 상기 구동 전원 라인과 연결된 제2 캐패시터 전극을 포함할 수 있다.

[0012] 상기 제1 캐패시터는 상기 제1 캐패시터 전극과 대응하여 상기 기관과 상기 제1 절연층 사이에 위치하며, 상기 제2 캐패시터 전극과 연결된 액티브 전극을 더 포함할 수 있다.

[0013] 상기 제2 캐패시터 전극은 상기 제1 방향으로 연장될 수 있다.

[0014] 상기 제1 박막 트랜지스터는, 상기 기관과 상기 제1 절연층 사이에 위치하는 제1 액티브층, 상기 제1 캐패시터 전극과 연결되며 상기 제2 게이트 배선들과 동일한 층에 위치하는 제1 게이트 전극, 상기 구동 전원 라인과 연결된 제1 소스 전극, 및 상기 유기 발광 소자와 연결된 제1 드레인 전극을 포함할 수 있다.

[0015] 상기 제2 박막 트랜지스터는, 상기 기관과 상기 제1 절연층 사이에 위치하는 제2 액티브층, 상기 제1 스캔 라인과 연결되며 상기 제1 게이트 배선들과 동일한 층에 위치하는 제2 게이트 전극, 상기 데이터 라인과 연결된 제2 소스 전극, 및 상기 제1 박막 트랜지스터의 상기 제1 소스 전극과 연결된 제2 드레인 전극을 포함할 수 있다.

[0016] 상기 제2 박막 트랜지스터는, 상기 기관과 상기 제1 절연층 사이에 위치하는 제2 액티브층, 상기 제1 스캔 라인과 연결되며 상기 제2 게이트 배선들과 동일한 층에 위치하는 제2 게이트 전극, 상기 데이터 라인과 연결된 제2 소스 전극, 및 상기 제1 박막 트랜지스터의 상기 제1 소스 전극과 연결된 제2 드레인 전극을 포함할 수 있다.

[0017] 상기 화소 회로는, 상기 제1 게이트 배선들과 동일한 층에 형성되어 상기 제1 캐패시터 전극과 연결된 제3 캐패시터 전극 및 상기 제2 게이트 배선들과 동일한 층에 형성되어 상기 제1 스캔 라인과 연결된 제4 캐패시터 전극

을 포함하는 제2 캐패시터를 더 포함할 수 있다.

- [0018] 상기 화소 회로는, 상기 기판과 상기 제1 절연층 사이에 위치하는 제3 액티브층, 상기 제1 스캔 라인과 연결되며 상기 제2 게이트 배선들과 동일한 층에 위치하는 제3 게이트 전극, 상기 제1 박막 트랜지스터의 상기 제1 드레인 전극과 연결된 제3 소스 전극, 상기 제1 박막 트랜지스터의 상기 제1 게이트 전극과 연결된 제3 드레인 전극을 포함하는 제3 박막 트랜지스터를 더 포함할 수 있다.
- [0019] 상기 제1 게이트 배선들은 제2 스캔 라인을 포함하며, 상기 화소 회로는, 상기 기판과 상기 제1 절연층 사이에 위치하는 제4 액티브층, 상기 제2 스캔 라인과 연결되며 상기 제1 게이트 배선들과 동일한 층에 위치하는 제4 게이트 전극, 상기 초기화 전원 라인과 연결된 제4 소스 전극 및 상기 제1 박막 트랜지스터의 제1 게이트 전극과 연결된 제4 드레인 전극을 포함하는 제4 박막 트랜지스터를 더 포함할 수 있다.
- [0020] 상기 제1 게이트 배선들은 발광 제어 라인을 더 포함하며, 상기 화소 회로는, 상기 기판과 상기 제1 절연층 사이에 위치하는 제5 액티브층, 상기 발광 제어 라인과 연결되며 상기 제1 게이트 배선들과 동일한 층에 위치하는 제5 게이트 전극, 상기 구동 전원 라인과 연결된 제5 소스 전극, 상기 제1 박막 트랜지스터의 상기 제1 소스 전극과 연결된 제5 드레인 전극을 포함하는 제5 박막 트랜지스터를 더 포함할 수 있다.
- [0021] 상기 화소 회로는, 상기 기판과 상기 제1 절연층 사이에 위치하는 제6 액티브층, 상기 발광 제어 라인과 연결되며 상기 제1 게이트 배선들과 동일한 층에 위치하는 제6 게이트 전극, 상기 제1 박막 트랜지스터의 상기 제1 드레인 전극과 연결된 제6 소스 전극, 상기 유기 발광 소자와 연결된 제6 드레인 전극을 포함하는 제6 박막 트랜지스터를 더 포함할 수 있다.
- [0022] 또한, 본 발명의 제2 측면은 제1 절연층을 사이에 두고 기판 상에 위치하며, 제1 방향으로 연장된 제1 게이트 배선들, 제2 절연층을 사이에 두고 상기 제1 게이트 배선들 상에 위치하며 상기 제1 방향으로 연장된 제2 게이트 배선들, 상기 제2 게이트 배선들 상에 위치하며, 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 배선들, 상기 제1 게이트 배선들, 상기 제2 게이트 배선들, 상기 데이터 배선들 각각에 연결된 복수의 박막 트랜지스터 및 하나 이상의 캐패시터를 포함하는 화소 회로, 및 상기 화소 회로를 사이에 두고 제1 전원과 연결되고, 제2 전원과 연결되는 유기 발광 소자를 포함하는 유기 발광 표시 장치를 제공한다.
- [0023] 상기 복수의 박막 트랜지스터 중 소스 전극이 상기 제1 전원과 연결되고 드레인 전극이 상기 유기 발광 소자와 연결된 구동 박막 트랜지스터의 게이트 전극은 상기 제2 게이트 배선들과 동일한 층에 위치할 수 있다.
- [0024] 상기 복수의 박막 트랜지스터 중 소스 전극이 상기 구동 박막 트랜지스터의 드레인 전극과 연결되고 드레인 전극이 상기 구동 박막 트랜지스터의 게이트 전극과 연결된 보상 박막 트랜지스터의 게이트 전극은 상기 제2 게이트 배선들과 동일한 층에 위치할 수 있다.
- [0025] 상기 복수의 박막 트랜지스터 중 상기 구동 박막 트랜지스터 및 상기 보상 박막 트랜지스터를 제외한 나머지 하나 이상의 스위칭 박막 트랜지스터의 게이트 전극은 상기 제1 게이트 배선들과 동일한 층에 위치할 수 있다.
- [0026] 상기 캐패시터의 일 전극은 상기 제1 게이트 배선들과 동일한 층에 위치하며, 상기 일 전극과 대향하는 타 전극은 상기 제2 게이트 배선들과 동일한 층에 위치할 수 있다.

**발명의 효과**

- [0027] 상술한 본 발명의 과제 해결 수단 중 하나에 의하면, 표시 품질이 향상된 고해상도의 유기 발광 표시 장치가 제공된다.

**도면의 간단한 설명**

- [0028] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 도면이다.
- 도 2는 도 1의 II-II를 따른 단면도이다.
- 도 3은 도 1에 도시된 화소를 나타낸 회로도이다.
- 도 4는 도 3에 도시된 화소 회로 및 유기 발광 소자를 나타낸 단면도이다.
- 도 5 내지 도 7은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 효과를 설명하기 위한 그래프들이다.
- 도 8은 본 발명이 제2 실시예에 따른 유기 발광 표시 장치의 화소 회로 및 유기 발광 소자를 나타낸

단면도이다.

도 9는 본 발명의 제3 실시예에 따른 유기 발광 표시 장치의 화소 회로 및 유기 발광 소자를 나타낸 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0029] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0030] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0031] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 제1 실시예에서 설명하고, 그 외의 실시예에서는 제1 실시예와 다른 구성에 대해서만 설명하기로 한다.
- [0032] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0033] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0034] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0035] 또한, 첨부 도면에서는, 하나의 화소에 6개의 박막 트랜지스터(thin film transistor, TFT)와 2개의 축전 소자(capacitor)를 구비하는 6Tr-2Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치는 하나의 화소에 복수개의 박막 트랜지스터와 하나 이상의 축전 소자를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다. 여기서, 화소는 화상을 표시하는 최소 단위를 말하며, 유기 발광 표시 장치는 복수의 화소들을 통해 화상을 표시한다.
- [0036] 이하, 도 1 내지 도 7을 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0037] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 도면이다. 도 2는 도 1의 II-II를 따른 단면도이다.
- [0038] 도 1 및 도 2에 도시된 바와 같이, 본 발명의 제1 실시예에 의한 유기 발광 표시 장치(1000)는 게이트 구동부(110), 제1 게이트 배선들(GW1), 제2 게이트 배선들(GW2), 발광 제어 구동부(120), 데이터 구동부(130), 데이터 배선들(DW), 표시부(140) 및 화소(150)를 포함한다.
- [0039] 게이트 구동부(110)는 도시되지 않은 외부의 제어회로, 예컨대 타이밍 제어부 등으로부터 공급되는 제어신호에 대응하여 제1 게이트 배선들(GW1) 또는 제2 게이트 배선들(GW2)에 포함된 제1 스캔 라인(SC2~SCn) 또는 제2 스캔 라인(SC1~SCn-1)으로 스캔 신호를 순차적으로 공급한다. 그러면, 화소(150)는 스캔 신호에 의해 선택되어 순차적으로 데이터 신호를 공급받는다.
- [0040] 제1 게이트 배선들(GW1)은 제1 절연층(GI1)을 사이에 두고 기판(SUB) 상에 위치하며, 제1 방향으로 연장되어 있다. 제1 게이트 배선들(GW1)은 제2 스캔 라인(SCn-1) 및 발광 제어 라인(E1~En)을 포함한다. 제2 스캔 라인(SCn-1)은 게이트 구동부(110)와 연결되어 있으며, 게이트 구동부(110)로부터 스캔 신호를 공급받는다. 발광 제어 라인(En)은 발광 제어 구동부(120)와 연결되어 있으며, 발광 제어 구동부(120)로부터 발광 제어 신호를 공급받는다.
- [0041] 제2 게이트 배선들(GW2)은 제2 절연층(GI2)을 사이에 두고 제1 게이트 배선들(GW1) 상에 위치하며, 제1 방향으로 연장되어 있다. 제2 게이트 배선들(GW2)은 제1 스캔 라인(SCn) 및 초기화 전원 라인(Vinit)을 포함한다.

- [0042] 제1 게이트 배선들(GW1) 및 제2 게이트 배선들(GW2)은 서로 비중첩되어 있다. 즉, 제1 게이트 배선들(GW1)과 제2 게이트 배선들(GW2)은 서로 중첩되지 않는다.
- [0043] 제1 스캔 라인(SCn)은 게이트 구동부(110)와 연결되어 있으며, 게이트 구동부(110)로부터 스캔 신호를 공급받는다. 초기화 전원 라인(Vinit)은 게이트 구동부(110)와 연결되어 있으며, 게이트 구동부(110)로부터 초기화 전원을 인가받는다.
- [0044] 본 발명의 제1 실시예에서는 초기화 전원 라인(Vinit)이 게이트 구동부(110)로부터 초기화 전원을 인가받으나, 본 발명의 다른 실시예에서는 초기화 전원 라인(Vinit)이 추가적인 다른 구성과 연결되어 상기 추가적인 다른 구성으로부터 초기화 전원을 인가받을 수 있다.
- [0045] 발광 제어 구동부(120)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 발광 제어 라인(En)로 발광 제어 신호를 순차적으로 공급한다. 그러면, 화소(150)는 발광 제어 신호에 의해 발광이 제어된다.
- [0046] 즉, 발광 제어 신호는 화소(150)의 발광 시간을 제어한다. 단, 발광 제어 구동부(120)는 화소(150)의 내부 구조에 따라 생략될 수도 있다.
- [0047] 데이터 구동부(130)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 데이터 배선들(DW) 중 데이터 라인(DAm)으로 데이터 신호를 공급한다. 데이터 라인(DAm)으로 공급된 데이터 신호는 제1 스캔 라인(SCn)으로 스캔 신호가 공급될 때마다 스캔 신호에 의해 선택된 화소(150)로 공급된다. 그러면, 화소(150)는 데이터 신호에 대응하는 전압을 충전하고 이에 대응하는 휘도로 발광한다.
- [0048] 데이터 배선들(DW)은 제3 절연층(ILD)을 사이에 두고 제2 게이트 배선들(GW2) 상에 위치하며, 제1 방향과 교차하는 제2 방향으로 연장되어 있다. 데이터 배선들(DW)은 데이터 라인(DA1~DAm) 및 구동 전원 라인(ELVDDL)을 포함한다. 데이터 라인(DAm)은 데이터 구동부(130)와 연결되어 있으며, 데이터 구동부(130)로부터 데이터 신호를 공급받는다. 구동 전원 라인(ELVDDL)은 후술할 외부의 제1 전원(ELVDD)과 연결되어 있으며, 제1 전원(ELVDD)으로부터 구동 전원을 공급받는다.
- [0049] 표시부(140)는 제1 게이트 배선들(GW1), 제2 게이트 배선들(GW2) 및 데이터 배선들(DW)의 교차 영역에 위치하는 복수의 화소(150)를 포함한다. 여기서, 각각의 화소(150)는 데이터 신호에 대응되는 구동 전류에 상응하는 휘도로 발광하는 유기발광소자와, 상기 유기발광소자에 흐르는 구동전류를 제어하기 위한 화소 회로를 포함한다. 화소 회로는 제1 게이트 배선들(GW1), 제2 게이트 배선들(GW2) 및 데이터 배선들(DW) 각각과 연결되어 있으며, 유기 발광 소자는 상기 화소 회로에 연결되어 있다.
- [0050] 이와 같은 표시부(140)의 유기 발광 소자는 화소 회로를 사이에 두고 외부의 제1 전원(ELVDD)과 연결되고, 제2 전원(ELVSS)과 연결된다. 제1 전원(ELVDD) 및 제2 전원(ELVSS) 각각은 구동 전원 및 공통 전원 각각을 표시부(140)의 화소(150)로 공급하며, 화소(150)는 화소(150)로 공급된 구동 전원 및 공통 전원에 따라 데이터 신호에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 소자를 통하는 구동 전류에 대응하는 휘도로 발광한다.
- [0051] 이와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 화소(150)를 제1 방향으로 가로지르며 서로 비중첩되어 있는 게이트 배선들인 제2 스캔 라인(SCn-1) 및 발광 제어 라인(En)을 포함하는 제1 게이트 배선들(GW1) 및 제1 스캔 라인(SCn) 및 초기화 전원 라인(Vinit)을 포함하는 제2 게이트 배선들(GW2) 각각이 모두 동일한 층에 위치하는 것이 아니라, 게이트 배선들인 제1 게이트 배선들(GW1) 및 제2 게이트 배선들(GW2) 각각이 제2 절연층(GI2)을 사이에 두고 서로 다른 층에 위치함으로써, 서로 다른 층에 위치하는 이웃하는 게이트 배선들 간의 거리(W)를 좁게 형성할 수 있기 때문에, 동일한 면적에 보다 많은 화소(150)를 형성할 수 있다. 즉, 고해상도의 유기 발광 표시 장치(1000)를 형성할 수 있다.
- [0052] 나아가, 도 1 및 도 2에 도시된 제2 캐패시터 전극(CE2)은 후술할 제1 캐패시터(C1)를 구성하는 전극인데, 필요에 따라 제2 캐패시터 전극(CE2)을 제1 방향으로 연장할 경우라도 제2 캐패시터 전극(CE2)을 제2 게이트 배선들(GW2)과 동일한 층에 형성함으로써, 이웃하는 게이트 배선들 간의 거리(W)를 좁게 형성하여 고해상도의 유기 발광 표시 장치(1000)를 형성할 수 있다.
- [0053] 이하, 도 3 및 도 4를 참조하여 본 발명의 제1 실시예에 따른 화소(150)를 보다 상세히 설명한다.
- [0054] 도 3은 도 1에 도시된 화소를 나타낸 회로도이다. 도 4는 도 3에 도시된 화소 회로 및 유기 발광 소자를 나타낸 단면도이다.
- [0055] 도 3 및 도 4에 도시된 바와 같이, 화소(150)는 제1 전원(ELVDD)과 제2 전원(ELVSS) 사이에 접속되는 유기 발광

소자(OLED)와, 상기 제1 전원(ELVDD)과 유기 발광 소자(OLED) 사이에 접속되어 상기 유기 발광 소자(OLED)로 공급되는 구동 전원을 제어하는 화소 회로(152)를 포함한다.

- [0056] 유기 발광 소자(OLED)의 애노드 전극은 화소 회로(152)를 경유하여 제1 전원(ELVDD)에 연결된 구동 전원 라인(ELVDDL)에 접속되고, 유기 발광 소자(OLED)의 캐소드 전극은 제2 전원(ELVSS)에 접속된다. 이러한 유기 발광 소자(OLED)는 제1 전원(ELVDD)으로부터 화소 회로(152)를 거쳐 구동 전원이 공급되고 제2 전원(ELVSS)으로부터 공통 전원이 공급될 때 유기 발광 소자(OLED)에 흐르는 구동 전류에 대응하는 휘도로 발광한다.
- [0057] 화소 회로(152)는, 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제1 캐패시터(C1) 및 제2 캐패시터(C2)를 포함한다.
- [0058] 제1 박막 트랜지스터(T1)는 구동 전원 라인(ELVDDL)과 유기 발광 소자(OLED) 사이에 연결되며, 화소(150)의 발광기간 동안 데이터 신호에 대응하는 구동 전원을 제1 전원(ELVDD)으로부터 유기 발광 소자(OLED)로 공급한다. 즉, 제1 박막 트랜지스터(T1)는 화소(150)의 구동 트랜지스터로서 기능한다. 제1 박막 트랜지스터(T1)는 제1 액티브층(A1), 제1 게이트 전극(G1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 포함한다.
- [0059] 제1 액티브층(A1)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제1 액티브층(A1)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치하고 있다.
- [0060] 제1 게이트 전극(G1)은 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1)과 연결되어 있으며, 제2 게이트 배선들(GW2)과 동일한 층에 위치하고 있다. 즉, 제1 게이트 전극(G1)과 제2 액티브층(A2) 사이에는 제1 절연층(GI1) 및 제2 절연층(GI2)이 위치하고 있다.
- [0061] 제1 소스 전극(S1)은 제5 박막 트랜지스터(T5)를 경유하여 구동 전원 라인(ELVDDL)과 연결되어 있다.
- [0062] 제1 드레인 전극(D1)은 제6 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)와 연결되어 있다.
- [0063] 제2 박막 트랜지스터(T2)는 데이터 라인(DAm)과 제1 박막 트랜지스터(T1) 사이에 연결되며, 제2 스캔 라인(SCn-1)으로부터 스캔 신호가 공급될 때 데이터 라인(DAm)으로부터 공급되는 데이터 신호를 화소(150) 내부로 전달한다. 즉, 제2 박막 트랜지스터(T2)는 화소(150)의 스위칭 트랜지스터로서 기능한다. 제2 박막 트랜지스터(T2)는 제2 액티브층(A2), 제2 게이트 전극(G2), 제2 소스 전극(S2) 및 제2 드레인 전극(D2)을 포함한다.
- [0064] 제2 액티브층(A2)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제2 액티브층(A2)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치하고 있다.
- [0065] 제2 게이트 전극(G2)은 제1 스캔 라인(SCn)과 연결되어 있으며, 제1 게이트 배선들(GW1)과 동일한 층에 위치하고 있다. 즉, 제2 게이트 전극(G2)과 제2 액티브층(A2) 사이에는 제1 절연층(GI1)이 위치하고 있다.
- [0066] 제2 소스 전극(S2)은 데이터 라인(DAm)과 연결되어 있다.
- [0067] 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0068] 제3 박막 트랜지스터(T3)는 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 제1 게이트 전극(G1) 사이에 연결되며, 화소(150) 내부로 데이터 신호가 공급될 때 제1 박막 트랜지스터(T1)를 다이오드 형태로 연결하여 제1 박막 트랜지스터(T1)의 문턱전압을 보상한다. 즉, 제3 박막 트랜지스터(T3)는 화소(150)의 보상 트랜지스터로서 기능한다. 제3 박막 트랜지스터(T3)는 제3 액티브층(A3), 제3 게이트 전극(G3), 제3 소스 전극(S3) 및 제3 드레인 전극(D3)을 포함한다.
- [0069] 제3 액티브층(A3)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제3 액티브층(A3)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치하고 있다.
- [0070] 제3 게이트 전극(G3)은 제1 스캔 라인(SCn)과 연결되어 있으며, 제2 게이트 배선들(GW2)과 동일한 층에 위치하고 있다. 즉, 제3 게이트 전극(G3)과 제3 액티브층(A3) 사이에는 제1 절연층(GI1) 및 제2 절연층(GI2)이 위치하고 있다.
- [0071] 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.

- [0072] 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0073] 제4 박막 트랜지스터(T4)는 초기화 전원 라인(Vinit)과 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 사이에 연결되며, 화소(150)에 데이터 신호가 입력되는 데이터 프로그래밍 기간 동안 상기 데이터 신호가 화소(150) 내부로 원활히 공급될 수 있도록, 상기 데이터 프로그래밍 기간에 앞선 초기화 기간 동안 제2 스캔 라인(SCn-1)으로부터 스캔 신호가 공급될 때 초기화 전원 라인(Vinit)으로부터 공급되는 초기화 전원을 화소(150) 내부로 전달하여 제1 박막 트랜지스터(T1)를 초기화한다. 즉, 제4 박막 트랜지스터(T4)는 화소(150)의 스위칭 트랜지스터로서 기능한다. 제4 박막 트랜지스터(T4)는 제4 액티브층(A4), 제4 게이트 전극(G4), 제4 소스 전극(S4) 및 제4 드레인 전극(D4)을 포함한다.
- [0074] 제4 액티브층(A4)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제4 액티브층(A4)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치하고 있다.
- [0075] 제4 게이트 전극(G4)은 제2 스캔 라인(SCn-1)과 연결되어 있으며, 제1 게이트 배선들(GW1)과 동일한 층에 위치하고 있다. 즉, 제4 게이트 전극(G4)과 제4 액티브층(A4) 사이에는 제1 절연층(GI1)이 위치하고 있다.
- [0076] 제4 소스 전극(S4)은 초기화 전원 라인(Vinit)과 연결되어 있다.
- [0077] 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0078] 제5 박막 트랜지스터(T5)는 구동 전원 라인(ELVDDL)과 제1 박막 트랜지스터(T1) 사이에 연결되며, 화소(150)의 비발광기간 동안 제1 전원(ELVDD)과 제1 박막 트랜지스터(T1) 사이의 연결을 차단하고, 화소(150)의 발광기간 동안 상기 제1 전원(ELVDD)과 제1 박막 트랜지스터(T1) 사이를 연결한다. 즉, 제5 박막 트랜지스터(T5)는 화소(150)의 스위칭 트랜지스터로서 기능한다. 제5 박막 트랜지스터(T5)는 제5 액티브층(A5), 제5 게이트 전극(G5), 제5 소스 전극(S5) 및 제5 드레인 전극(D5)을 포함한다.
- [0079] 제5 액티브층(A5)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제5 액티브층(A5)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치하고 있다.
- [0080] 제5 게이트 전극(G5)은 발광 제어 라인(En)과 연결되어 있으며, 제1 게이트 배선들(GW1)과 동일한 층에 위치하고 있다. 즉, 제5 게이트 전극(G5)과 제5 액티브층(A5) 사이에는 제1 절연층(GI1)이 위치하고 있다.
- [0081] 제5 소스 전극(S5)은 구동 전원 라인(ELVDDL)과 연결되어 있다.
- [0082] 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0083] 제6 박막 트랜지스터(T6)는 제1 박막 트랜지스터(T1)와 유기 발광 소자(OLED) 사이에 연결되며, 화소(150)의 비발광기간 동안 제1 박막 트랜지스터(T1)와 유기 발광 소자(OLED) 사이의 연결을 차단하고, 화소(150)의 발광기간 동안 상기 제1 박막 트랜지스터(T1)와 유기 발광 소자(OLED) 사이를 연결한다. 즉, 제6 박막 트랜지스터(T6)는 화소(150)의 스위칭 트랜지스터로서 기능한다. 제6 박막 트랜지스터(T6)는 제6 액티브층(A6), 제6 게이트 전극(G6), 제6 소스 전극(S6) 및 제6 드레인 전극(D6)을 포함한다.
- [0084] 제6 액티브층(A6)은 폴리 실리콘을 포함하며, 도핑 물질이 도핑된 소스 및 드레인 영역과 소스 및 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제6 액티브층(A6)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치하고 있다.
- [0085] 제6 게이트 전극(G6)은 발광 제어 라인(En)과 연결되어 있으며, 제1 게이트 배선들(GW1)과 동일한 층에 위치하고 있다. 즉, 제6 게이트 전극(G6)과 제6 액티브층(A6) 사이에는 제1 절연층(GI1)이 위치하고 있다.
- [0086] 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.
- [0087] 제6 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드 전극과 연결되어 있다.
- [0088] 한편, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)의 제1 박막 트랜지스터(T1) 내지 제6 박막 트랜지스터(T6) 각각의 제1 소스 전극(S1) 내지 제6 소스 전극(S6) 각각과 제1 드레인 전극(D1) 내지 제6 드레인 전극(D6) 각각은 제1 액티브층(A1) 내지 제6 액티브층(A6) 각각과 다른 층으로 형성되어 있으나, 이에 한정되지 않고 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제1 박막 트랜지스터 내지 제6 박막 트랜지스터 각각의 제1 소스 전극 내지 제6 소스 전극 각각과 제1 드레인 전극 내지 제6 드레인 전극 각각은 제1 액티브층 내

지 제6 액티브층 각각과 선택적으로 동일한 층으로 형성될 수 있다. 즉, 각 박막 트랜지스터의 소스 전극 및 드레인 전극은 선택적으로 도핑 물질이 도핑된 폴리 실리콘으로 형성될 수 있다.

- [0089] 제1 캐패시터(C1)는 데이터 프로그래밍 기간 동안 화소(150) 내부로 공급되는 데이터 신호를 저장하고 이를 한 프레임 동안 유지하기 위한 것으로, 제1 전원(ELVDD)과 연결된 구동 전원 라인(ELVDDL)과 초기화 전원 라인(Vinit)과 연결된 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 사이에 연결된다. 즉, 제1 캐패시터(C1)는 스토리지 캐패시터로 기능한다. 제1 캐패시터(C1)는 제1 캐패시터 전극(CE1) 및 제2 캐패시터 전극(CE2)을 포함한다.
- [0090] 제1 캐패시터 전극(CE1)은 초기화 전원 라인(Vinit)과 연결된 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있으며, 제1 게이트 배선들(GW1)과 동일한 층에 위치하고 있다.
- [0091] 제2 캐패시터 전극(CE2)은 구동 전원 라인(ELVDDL)과 연결되어 있으며, 제2 게이트 배선들(GW2)과 동일한 층에 위치하고 있다. 제2 캐패시터 전극(CE2)은 도 1에서 도시한 바와 같이, 이웃하는 화소(150)를 가로질러 제1 방향으로 연장되어 있다.
- [0092] 즉, 제1 캐패시터 전극(CE1)과 제2 캐패시터 전극(CE2) 사이에는 제2 절연층(GI2)이 위치하고 있다.
- [0093] 제2 캐패시터(C2)는 유기 발광 표시 장치(1000)에서 로드로 인한 전압강하를 보상하기 위한 것으로, 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1)과 제1 스캔 라인(SCn) 사이에 연결된다. 즉, 제2 캐패시터(C2)는 현재 스캔 신호의 전압 레벨이 변경될 때, 특히 현재 스캔 신호의 공급이 중단되는 시점에서 커플링 작용에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)의 전압을 상승시킴으로써, 유기 발광 표시 장치(1000) 내의 로드로 인한 전압강하를 보상하는 부스팅 캐패시터로 기능한다. 제2 캐패시터(C2)는 제3 캐패시터 전극(CE3) 및 제4 캐패시터 전극(CE4)을 포함한다.
- [0094] 제3 캐패시터 전극(CE3)은 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1)과 연결되어 있으며, 제1 게이트 배선들(GW1)과 동일한 층에 위치하고 있다.
- [0095] 제4 캐패시터 전극(CE4)은 제1 스캔 라인(SCn)과 연결되어 있으며, 제2 게이트 배선들(GW2)과 동일한 층에 위치하고 있다.
- [0096] 즉, 제3 캐패시터 전극(CE3)과 제4 캐패시터 전극(CE4) 사이에는 제2 절연층(GI2)이 위치하고 있다.
- [0097] 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)에는 유기 발광 소자(OLED)가 연결되어 있다.
- [0098] 유기 발광 소자(OLED)는 제4 절연층(PL)을 사이에 두고 제6 드레인 전극(D6) 상에 위치하여 제6 드레인 전극(D6)과 접촉된 애노드 전극(EL1), 유기 발광층(OL) 및 제2 전원(ELVSS)과 연결된 캐소드 전극(EL2)을 포함한다. 유기 발광층(OL)은 화소 정의층(PDL)에 의해 그 위치가 결정될 수 있으며, 캐소드 전극(EL2)은 화소 정의층(PDL) 상 전체에 걸쳐서 위치할 수 있다.
- [0099] 이하, 상술한 화소(150)의 동작을 설명한다.
- [0100] 우선, 초기화 기간으로 설정되는 제1 기간 동안 제2 스캔 라인(SCn-1)을 통해 로우 레벨의 이전 스캔 신호가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호에 대응하여 제4 박막 트랜지스터(T4)가 턴온되며, 초기화 전원 라인(Vinit)으로부터 제4 박막 트랜지스터(T4)를 통해 초기화 전원이 제1 박막 트랜지스터(T1)로 공급되어 제1 박막 트랜지스터(T1)가 초기화된다.
- [0101] 이후, 데이터 프로그래밍 기간으로 설정되는 제2 기간 동안 제1 스캔 라인(SCn)을 통해 로우 레벨의 현재 스캔 신호가 공급된다. 그러면, 로우 레벨의 현재 스캔 신호에 대응하여 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)가 턴온된다.
- [0102] 그리고, 제1 박막 트랜지스터(T1)도 제3 박막 트랜지스터(T3)에 의해 다이오드 연결되는 형태로 턴온되며, 특히 앞선 제1 기간 동안 제1 박막 트랜지스터(T1)가 초기화되었으므로 제1 박막 트랜지스터(T1)는 순방향으로 다이오드 연결된다.
- [0103] 이에 의해, 데이터 라인(DAm)으로부터 공급된 데이터 신호가 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1) 및 제3 박막 트랜지스터(T3)를 경유하며, 이로 인해 제1 캐패시터(C1)에는 데이터 신호와 제1 박막 트랜지스터(T1)의 문턱전압의 차에 대응하는 전압이 저장된다.
- [0104] 이후, 현재 스캔 신호의 공급이 중단되면서 현재 스캔 신호의 전압레벨이 하이 레벨로 변경되면, 제2 캐패시터

(C2)의 커플링 작용에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 전압이 현재 스캔 신호의 전압 변동폭에 대응하여 변경된다. 이때, 제1 캐패시터(C1)와 제2 캐패시터(C2) 간의 차지 웨어링에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 전압이 변경되므로, 제1 게이트 전극(G1)에 인가되는 전압 변화량은 현재 스캔 신호의 전압 변동폭과 더불어, 제1 캐패시터(C1) 및 제2 캐패시터(C2) 간의 차지 웨어링 값에 비례하여 변동된다.

[0105] 이후, 발광 기간으로 설정되는 제3 기간 동안 발광 제어 라인(En)으로부터 공급되는 발광 제어 신호가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 제3 기간 동안 로우 레벨의 발광 제어 신호에 의해 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6)가 턴온된다. 이에 의해, 제1 전원(ELVDD)으로부터 구동 전원 라인(ELVDDL)을 통해 제5 박막 트랜지스터(T5), 제1 박막 트랜지스터(T1), 제6 박막 트랜지스터(T6) 및 유기 발광 소자(OLED)를 경유하여 제2 전원(ELVSS)으로의 경로로 구동 전류가 흐르게 된다.

[0106] 이러한 구동 전류는 제1 박막 트랜지스터(T1)에 의해 제어되는 것으로서, 제1 박막 트랜지스터(T1)는 자신의 제1 게이트 전극(G1)에 공급되는 전압에 대응하는 크기의 구동 전류를 발생시킨다. 이때, 상술한 제2 기간 동안 제1 캐패시터(C1)에는 제1 박막 트랜지스터(T1)의 문턱전압이 반영된 전압이 저장되었으므로, 제3 기간 동안 제1 트랜지스터(T1)의 문턱전압이 보상된다.

[0107] 이하, 도 5 내지 도 7을 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)의 효과를 설명한다.

[0108] 도 5 내지 도 7은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 효과를 설명하기 위한 그래프들이다.

[0109] 도 5에서 x축은 유기 발광 표시 장치의 구동 박막 트랜지스터의 게이트 전극에 인가되는 게이트 전압(Vgs)을 나타내고, y축은 유기 발광 표시 장치의 유기 발광 소자에 흐르는 구동 전류(Id)를 나타내며, Thin GI는 구동 박막 트랜지스터의 액티브층과 게이트 전극 사이의 절연층이 얇은 것을 나타내며, Thick GI는 구동 박막 트랜지스터의 액티브층과 게이트 전극 사이의 절연층이 두꺼운 것을 나타낸다.

[0110] 도 5에 도시된 바와 같이, 유기 발광 표시 장치의 구동 박막 트랜지스터가 액티브층과 게이트 전극 사이의 절연층이 얇은 Thin GI로 형성될 경우, 유기 발광 소자에 흐르는 구동 전류(Id)에 따라 유기 발광 소자가 발광하는 빛이 검은색(black)과 흰색(white)으로 표현될 때, 구동 박막 트랜지스터의 게이트 전극에 인가되는 게이트 전압(Vgs)은 제1 범위(R1)를 가지게 된다. 즉, 구동 박막 트랜지스터가 Thin GI로 형성될 경우 게이트 전극에 인가되는 게이트 전압(Vgs)의 구동 범위(Driving range, DR range)는 제1 범위(R1)를 가진다.

[0111] 이와는 반대로, 유기 발광 표시 장치의 구동 박막 트랜지스터가 액티브층과 게이트 전극 사이의 절연층이 두꺼운 Thick GI로 형성될 경우, 유기 발광 소자에 흐르는 구동 전류(Id)에 따라 유기 발광 소자가 발광하는 빛이 검은색(black)과 흰색(white)으로 표현될 때, 구동 박막 트랜지스터의 게이트 전극에 인가되는 게이트 전압(Vgs)은 제1 범위(R1) 대비 더 넓은 제2 범위(R2)를 가지게 된다. 즉, 구동 박막 트랜지스터가 Thick GI로 형성될 경우 게이트 전극에 인가되는 게이트 전압(Vgs)의 구동 범위(Driving range, DR range)는 제1 범위(R1) 대비 더 넓은 제2 범위(R2)를 가지게 된다.

[0112] 이와 같이, 구동 박막 트랜지스터의 구동 범위(Dr range)가 넓은 제2 범위(R2)를 가지면 구동 박막 트랜지스터의 게이트 전극에 인가되는 게이트 전압(Vgs)의 크기를 달리하여 유기 발광 소자로부터 발광되는 빛이 보다 풍부한 계조를 가지도록 제어할 수 있다.

[0113] 도 6에서 x축은 유기 발광 표시 장치의 인치당 픽셀수(pixel per inch, ppi)를 나타내며, y축은 구동 박막 트랜지스터의 구동 범위(Dr range)를 나타낸다.

[0114] 도 6에 도시된 바와 같이, 유기 발광 표시 장치의 인치당 픽셀수(ppi)가 증가하여 고해상도의 유기 발광 표시 장치를 구현할수록 유기 발광 소자로부터 발광되는 빛이 풍부한 계조를 가지도록 높은 구동 범위(Dr range)가 요구된다.

[0115] 상술한 바와 대응하여, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 복수의 박막 트랜지스터인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 중 제1 소스 전극(S1)이 제1 전원(ELVDD)과 연결된 구동 전원 라인(ELVDDL)과 연결되어 있고, 제1 드레인 전극(D1)이 유기 발광 소자(OLED)와 연결된 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)이 제2 게이트 배선들(GW2)과 동일한 층에 위치함으로써, 제1 게이트 전극(G1)과 제1 액티브층(A1) 사이에 제1 절연층(GI1) 및 제2 절연층(GI2)이 위치하여 Thick GI를 형성하기 때문에, 유기 발광 소자(OLED)가 풍부한 계조를 가지는 빛을 발광하도록 제어할 수 있다. 즉, 고해상도를

가지는 동시에 표시 품질이 향상된 유기 발광 표시 장치(1000)가 제공된다.

- [0116] 도 7에서 x축은 유기 발광 표시 장치의 보상 박막 트랜지스터의 액티브층과 게이트 전극 사이의 절연층이 단일 층(단일 GI) 및 이중층(이중 GI)인 것을 나타내고, y축은 유기 발광 소자에 의해 표시되는 이미지(image)에 발생하는 얼룩 수준을 나타낸다.
- [0117] 도 7에 도시된 바와 같이, 유기 발광 표시 장치의 보상 박막 트랜지스터가 이중 GI를 가질 경우, 보상 박막 트랜지스터의 게이트 전극과 액티브층 사이의 절연층에 원치 않게 형성되는 저장 용량(capacitance, cap)이 작아지기 때문에, 보상 박막 트랜지스터의 게이트 전극과 액티브층 사이의 절연층의 저장 용량이 단일 GI 대비 56% 감소하는 것을 확인할 수 있으며, 이로 인해 유기 발광 소자에 의해 표시되는 이미지에 발생하는 얼룩 수준이 감소하는 것을 확인할 수 있다.
- [0118] 상술한 바와 대응하여, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 복수의 박막 트랜지스터인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 중 제3 소스 전극(S3)이 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)에 연결되어 있고, 제3 드레인 전극(D3)이 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 연결된 보상 박막 트랜지스터인 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)이 제2 게이트 배선들(GW2)과 동일한 층에 위치함으로써, 제3 게이트 전극(G3)과 제3 액티브층(A3) 사이에 제1 절연층(GI1) 및 제2 절연층(GI2)이 위치하여 이중 GI를 형성하기 때문에, 유기 발광 소자(OLED)에 의해 표시되는 이미지(image)에 발생하는 얼룩 수준을 최소화할 수 있다. 즉, 고해상도를 가지는 동시에 표시 품질이 향상된 유기 발광 표시 장치(1000)가 제공된다.
- [0119] 또한, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 복수의 박막 트랜지스터인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 중 구동 박막 트랜지스터 및 보상 박막 트랜지스터를 제외한 나머지 스위칭 박막 트랜지스터들인 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제2 게이트 전극(G2), 제4 게이트 전극(G4), 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각이 제1 게이트 배선들(GW1)과 동일한 층에 위치함으로써, 제2 게이트 전극(G2), 제4 게이트 전극(G4), 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각과 제2 액티브층(A2), 제4 액티브층(A4), 제5 액티브층(A5) 및 제6 액티브층(A6) 각각의 사이에 제1 절연층(GI1)만이 위치하여 얇은 절연층을 형성하기 때문에, 스위칭 박막 트랜지스터들인 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 전하 이동도가 커지는 동시에 문턱전압이 작아져 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각은 빠른 속도로 턴온 및 턴오프를 수행할 수 있다. 이로 인해, 전체적인 유기 발광 표시 장치(1000) 내부를 흐르는 전류의 로드가 최소화됨으로써, 전체적인 유기 발광 표시 장치(1000)가 표시하는 이미지의 표시 품질이 향상된다. 즉, 고해상도를 가지는 동시에 표시 품질이 향상된 유기 발광 표시 장치(1000)가 제공된다.
- [0120] 또한, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 제1 캐패시터(C1)의 일 전극인 제1 캐패시터 전극(CE1) 및 제2 캐패시터(C2)의 일 전극인 제3 캐패시터 전극(CE3)이 제1 게이트 배선들(GW1)과 동일한 층에 형성되어 있고, 제1 캐패시터(C1)의 타 전극인 제2 캐패시터 전극(CE2)과 제2 캐패시터(C2)의 타 전극인 제4 캐패시터 전극(CE4)이 제2 게이트 배선들(GW2)과 동일한 층에 형성됨으로써, 제1 캐패시터(C1) 및 제2 캐패시터(C2) 각각을 제1 게이트 배선들(GW1) 및 제2 게이트 배선들(GW2)과 동일한 재료로 형성할 수 있다. 이로 인해, 제1 캐패시터(C1) 및 제2 캐패시터(C2)는 표면 조도가 일정치 않은 폴리 실리콘을 포함할 필요가 없기 때문에, 전극의 원치 않는 표면적 변형에 따라 저장 용량이 원치 않게 변형되지 않는다. 즉, 제1 캐패시터(C1) 및 제2 캐패시터(C2) 각각은 최초 설계된 정확한 저장 용량만을 저장할 수 있으며, 이로 인해 제1 박막 트랜지스터(T1)에 의해 제어되는 구동 전류를 정확히 제어하여 표시 품질의 저하가 억제된다. 즉, 고해상도를 가지는 동시에 표시 품질이 향상된 유기 발광 표시 장치(1000)가 제공된다.
- [0121] 또한, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1) 및 제2 캐패시터(C2)의 제3 캐패시터 전극(CE3)이 제1 게이트 배선들(GW1)과 동일한 층에 형성되어 있고, 제1 캐패시터(C1)의 제2 캐패시터 전극(CE2)과 제2 캐패시터(C2)의 제4 캐패시터 전극(CE4)이 제2 게이트 배선들(GW2)과 동일한 층에 형성됨으로써, 제1 캐패시터(C1) 및 제2 캐패시터(C2) 각각이 단일의 제2 절연층(GI2)만을 절연층으로서 포함하기 때문에, 제1 캐패시터(C1) 및 제2 캐패시터(C2) 각각의 저장 용량이 향상된다. 이로 인해, 제1 캐패시터(C1) 및 제2 캐패시터(C2) 각각의 면적을 줄일 수 있기 때문에, 동일한 면적에 고해상도의 유

기 발광 표시 장치(1000)를 형성할 수 있다.

[0122] 이상과 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 게이트 배선들을 서로 층이 다른 제1 게이트 배선들(GW1) 및 제2 게이트 배선들(GW2)로 구성하고, 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1) 및 보상 박막 트랜지스터인 제3 박막 트랜지스터(T3) 각각의 게이트 전극이 제2 게이트 배선들(GW2)과 동일한 층으로 위치하여 두꺼운 절연층을 가지도록 구성하며, 스위칭 박막 트랜지스터인 제2 박막 트랜지스터(T2), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 게이트 전극이 제1 게이트 배선들(GW1)과 동일한 층으로 위치하여 얇은 절연층을 가지도록 구성하며, 제1 캐패시터(C1) 및 제2 캐패시터(C2) 각각을 제1 게이트 배선들(GW1)과 동일한 층인 일 전극 및 제2 게이트 배선들(GW2)과 동일한 층인 타 전극으로 형성하여 제1 캐패시터(C1) 및 제2 캐패시터(C2) 각각이 정확한 저장 용량을 가지도록 구성하는 동시에 얇은 절연층을 가지도록 구성함으로써, 표시 품질이 향상된 고해상도의 유기 발광 표시 장치로 형성할 수 있다.

[0123] 이하, 도 8을 참조하여 본 발명의 제2 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0124] 도 8은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치를 나타낸 단면도이다.

[0125] 이하, 제1 실시예와 구별되는 특징적인 부분만 발췌하여 설명하며, 설명이 생략된 부분은 제1 실시예에 따른다. 그리고, 본 발명의 제2 실시예에서는 설명의 편의를 위하여 동일한 구성요소에 대하여는 본 발명의 제1 실시예와 동일한 참조번호를 사용하여 설명한다.

[0126] 도 8에 도시된 바와 같이, 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(SCn)과 연결되어 제2 게이트 배선들(GW2)과 동일한 층에 위치하고 있다.

[0127] 이상과 같이, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 제2 게이트 배선들(GW2)과 동일한 층에 위치하는 제1 스캔 라인(SCn)과 연결된 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)이 제2 게이트 배선들(GW2)과 동일한 층에 위치함으로써, 전체적인 화소(150)의 레이아웃을 형성할 때, 제2 게이트 전극(G2)과 제1 스캔 라인(SCn)의 연결을 위해 추가적인 접촉구(contact hole) 및 이 접촉구에 연결된 추가적인 배선을 형성할 필요가 없다. 이로 인해 동일한 면적에 보다 많은 화소를 형성하여 고해상도의 유기 발광 표시 장치를 제조할 수 있다.

[0128] 이하, 도 9를 참조하여 본 발명의 제3 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0129] 도 9는 본 발명의 제3 실시예에 따른 유기 발광 표시 장치를 나타낸 단면도이다.

[0130] 이하, 제2 실시예와 구별되는 특징적인 부분만 발췌하여 설명하며, 설명이 생략된 부분은 제2 실시예에 따른다. 그리고, 본 발명의 제3 실시예에서는 설명의 편의를 위하여 동일한 구성요소에 대하여는 본 발명의 제2 실시예와 동일한 참조번호를 사용하여 설명한다.

[0131] 도 9에 도시된 바와 같이, 제1 캐패시터(C1)는 액티브 전극(AE)을 더 포함한다.

[0132] 액티브 전극(AE)은 제1 캐패시터 전극(CE1)과 대응하여 기판(SUB)과 제1 절연층(GI1) 사이에 위치하며, 제2 캐패시터 전극(CE2)과 연결되어 있다.

[0133] 이상과 같이, 본 발명의 제3 실시예에 따른 유기 발광 표시 장치(1003)는 제1 캐패시터(C1)가 제1 캐패시터 전극(CE1), 제2 캐패시터 전극(CE2) 및 액티브 전극(AE)을 포함하는 다층 캐패시터로 구성됨으로써, 제1 캐패시터(C1)의 저장 용량이 향상된다. 이로 인해, 제1 캐패시터(C1)의 면적을 줄일 수 있기 때문에, 동일한 면적에 고해상도의 유기 발광 표시 장치(1003)를 형성할 수 있다.

[0134] 한편, 본 발명의 제3 실시예에 따른 유기 발광 표시 장치(1003)는 제1 캐패시터(C1)가 다층 캐패시터로 구성되었으나, 이에 한정되지 않고 본 발명의 다른 실시예에 따른 유기 발광 표시 장치에서는 제2 캐패시터도 또 다른 액티브 전극을 포함하는 다층 캐패시터로 구성될 수 있다.

[0135] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

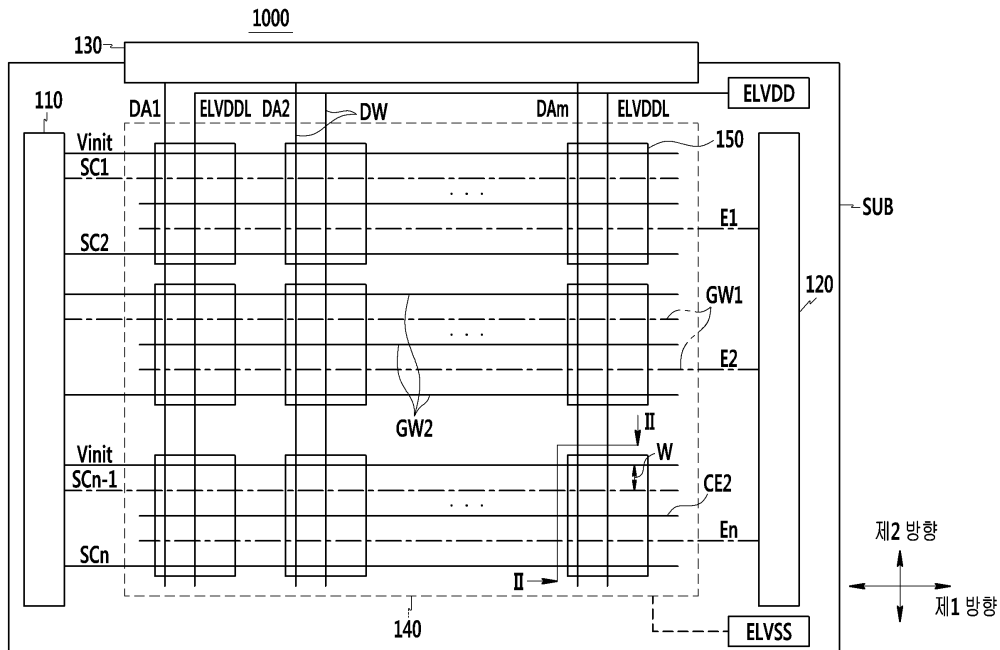
**부호의 설명**

[0136] 제1 절연층(GI1), 제1 게이트 배선들(GW1), 제2 절연층(GI2), 제2 게이트 배선들(GW2), 데이터 배선들(DW), 화

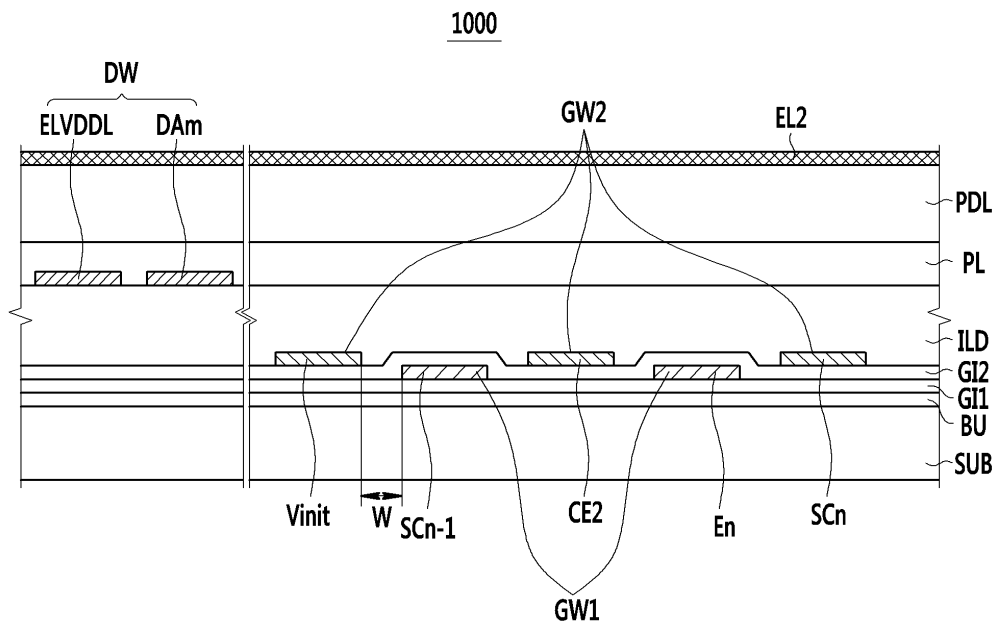
소 회로(152), 유기 발광 소자(OLED)

도면

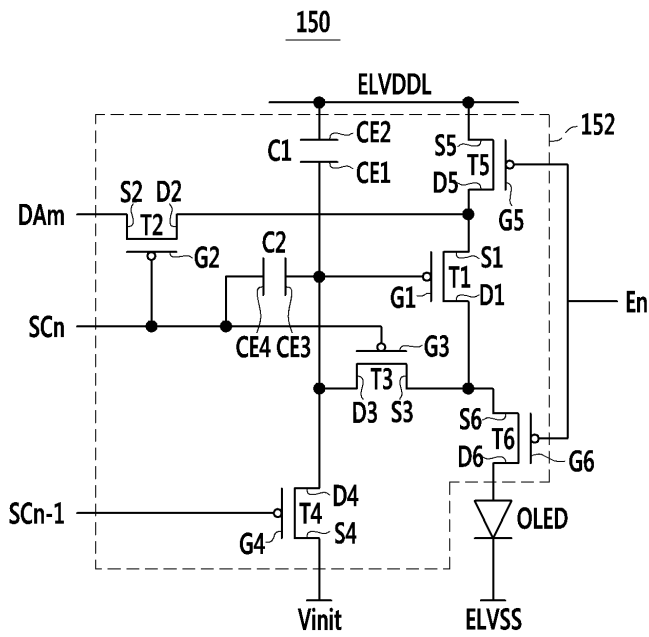
도면1



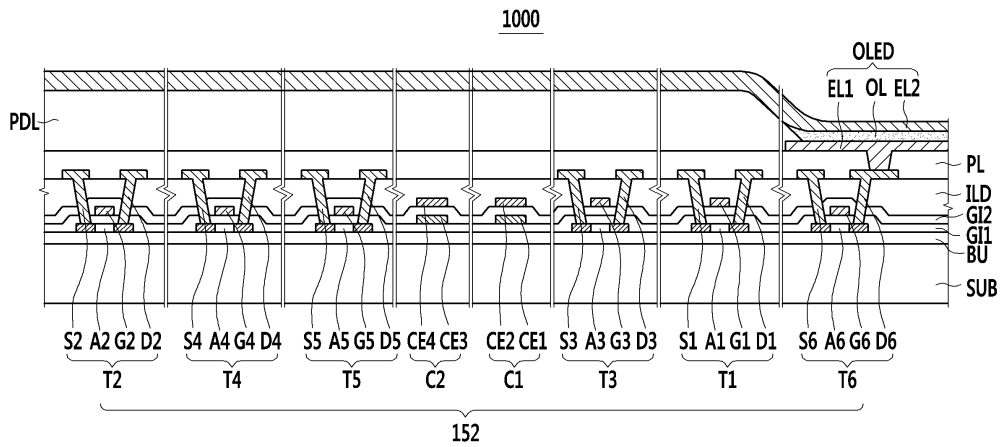
도면2



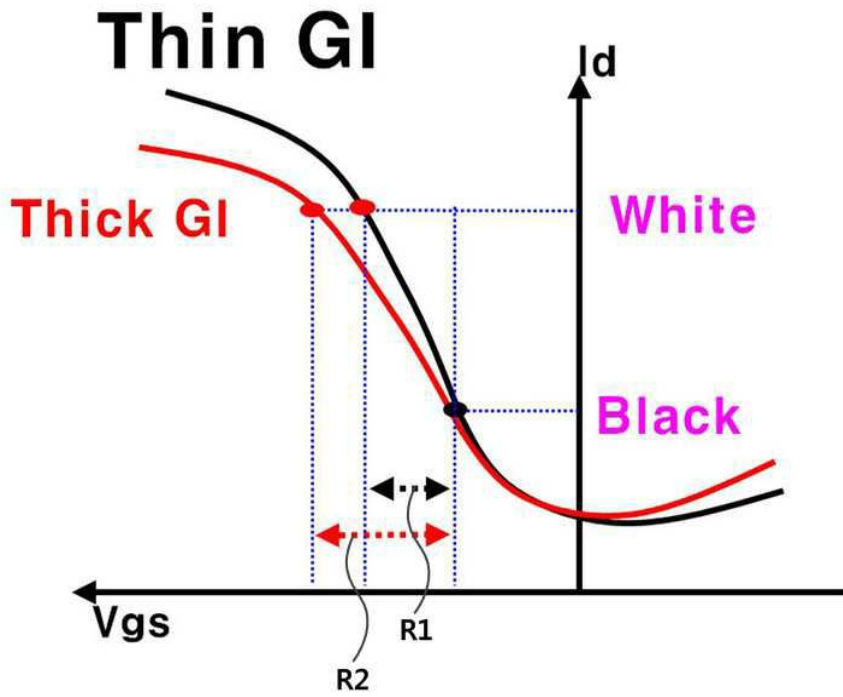
도면3



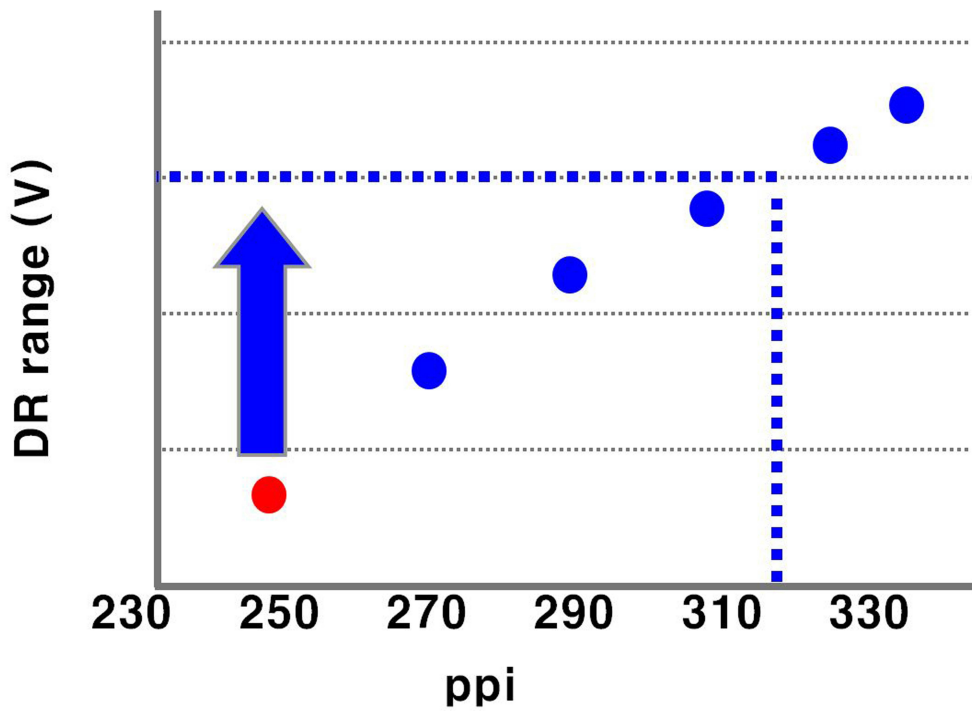
도면4



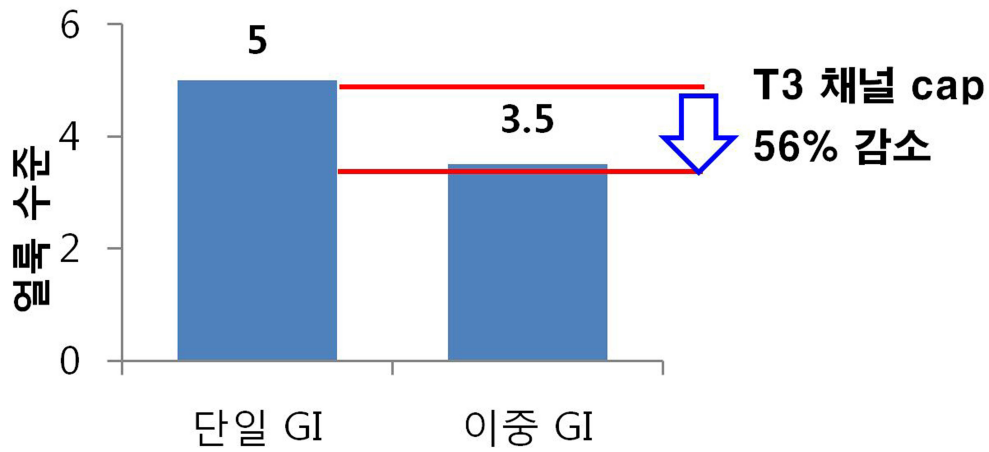
도면5



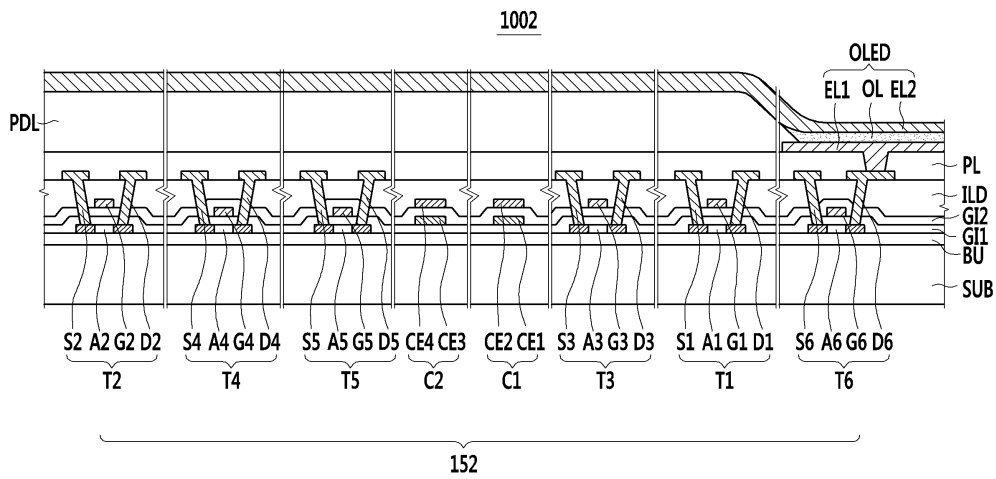
도면6



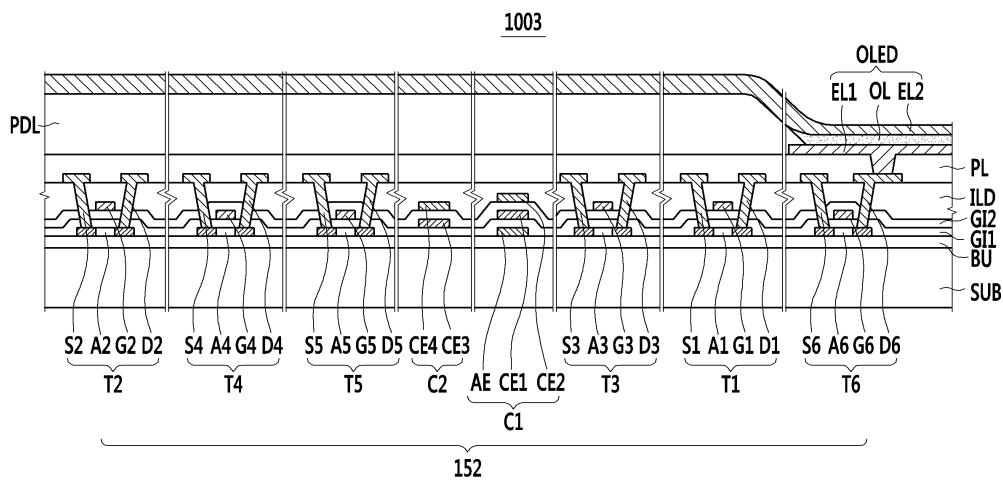
도면7



도면8



도면9



专利名称(译)	有机发光显示器		
公开(公告)号	<a href="#">KR101947163B1</a>	公开(公告)日	2019-02-13
申请号	KR1020120013837	申请日	2012-02-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	안치욱 태승규 이승규		
发明人	안치욱 태승규 이승규		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	H01L27/3276		
审查员(译)	这蓬莱		
其他公开文献	KR1020130092229A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

一种有机发光二极管显示器，包括：第一栅极线，设置在基板上，第一绝缘线与第一栅极线之间具有第一绝缘层，并且在第一方向上延伸。第二栅极线设置在第一绝缘层上方的第二绝缘层上并沿第一方向延伸；数据线设置在第二绝缘层上方的第三绝缘层上并在与第一方向交叉的第二方向上延伸；像素电路，其连接到第一栅极线，第二栅极线和数据线；连接至像素电路的有机发光二极管。