



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월23일
(11) 등록번호 10-1859474
(24) 등록일자 2018년05월14일

- (51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
- (21) 출원번호 10-2011-0089883
(22) 출원일자 2011년09월05일
심사청구일자 2016년08월10일
- (65) 공개번호 10-2013-0026338
(43) 공개일자 2013년03월13일
- (56) 선행기술조사문헌
KR1020110080040 A*
KR1020040100887 A*
KR1020060046387 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
이영학
경기도 파주시 책향기로 403 704동 1401호 (동파동, 속길마을월드메르디앙센트럴파크아파트)
김근영
경상남도 김해시 한림면 장방로222번길 88-44
- (74) 대리인
박영복

전체 청구항 수 : 총 3 항

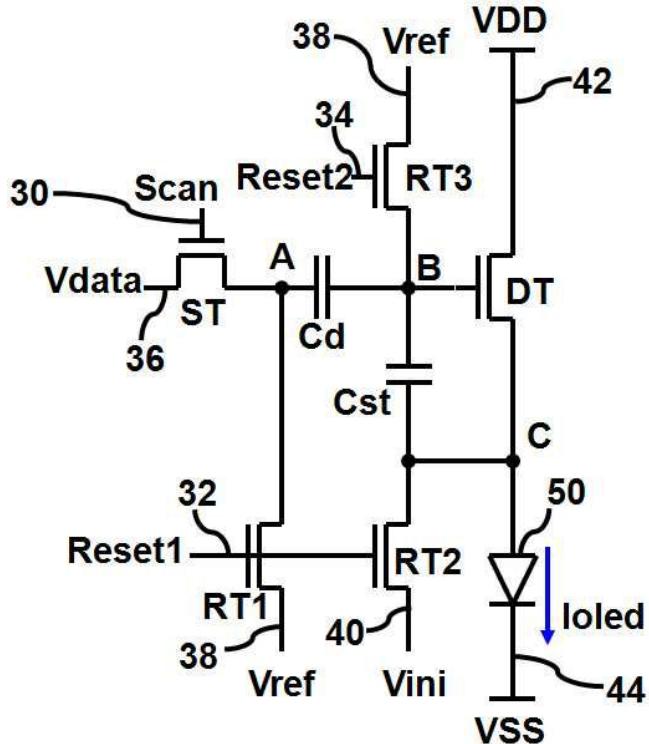
심사관 : 김희주

(54) 발명의 명칭 유기 발광 다이오드 표시 장치의 화소 회로

(57) 요약

본 발명은 발광 스위칭 TFT를 제거하면서도 OLED가 불필요하게 발광하는 것을 방지하고 이전 프레임의 영향을 최소화할 수 있는 OLED 표시 장치의 화소 회로에 관한 것으로, 본 발명의 화소 회로는 고전위 전원 라인과 저전위 전원 라인 사이에 직렬 접속된 구동 박막 트랜지스터 및 발광 소자와; 제1 노드와, 구동 박막 트랜지스터의 게이드(뒷면에 계속)

대 표 도 - 도1



트와 접속된 제2 노드 사이에 접속된 전달 커패시터와; 제2 노드와, 구동 박막 트랜지스터와 발광 소자 사이에 접속된 제3 노드 사이에 접속된 스토리지 커패시터와; 제1 리셋 라인의 제1 리셋 신호에 응답하여 제1 노드를 기준 전압으로 초기화시키는 제1 리셋 박막 트랜지스터와; 제1 리셋 라인의 제1 리셋 신호에 응답하여 제3 노드를 초기화 전압으로 초기화시키는 제2 리셋 박막 트랜지스터와; 제2 리셋 라인의 제2 리셋 신호에 응답하여 제2 노드를 기준 전압으로 초기화시키는 제3 리셋 박막 트랜지스터와; 스캔 라인의 스캔 신호에 응답하여 제1 노드에 데이터 전압을 공급하는 스위칭 박막 트랜지스터를 구비한다.

명세서

청구범위

청구항 1

고전위 전원 라인과 저전위 전원 라인 사이에 직렬 접속된 구동 박막 트랜지스터 및 발광 소자와;

제1 노드와, 상기 구동 박막 트랜지스터의 게이트와 접속된 제2 노드 사이에 접속된 전달 커패시터와;

상기 제2 노드와, 상기 구동 박막 트랜지스터와 상기 발광 소자 사이에 접속된 제3 노드 사이에 접속된 스토리지 커패시터와;

제1 리셋 라인의 제1 리셋 신호에 응답하여 상기 제1 노드를 기준 전압으로 초기화시키는 제1 리셋 박막 트랜지스터와;

상기 제1 리셋 라인의 상기 제1 리셋 신호에 응답하여 상기 제3 노드를 초기화 전압으로 초기화시키는 제2 리셋 박막 트랜지스터와;

제2 리셋 라인의 제2 리셋 신호에 응답하여 상기 제2 노드를 상기 기준 전압으로 초기화시키는 제3 리셋 박막 트랜지스터와;

스캔 라인의 스캔 신호에 응답하여 상기 제1 노드에 데이터 전압을 공급하는 스위칭 박막 트랜지스터를 구비하고,

초기화 기간 동안, 상기 제1 내지 제3 리셋 박막 트랜지스터가 터-온되어, 상기 제1 및 제2 노드는 상기 기준 전압으로 초기화되고 상기 제3 노드는 상기 초기화 전압으로 초기화되고,

상기 초기화 기간 다음의 문턱 전압 검출 기간 동안, 상기 제1 및 제2 리셋 박막 트랜지스터는 터-오프되고, 상기 제3 리셋 박막 트랜지스터는 터-온을 유지하여 상기 제2 노드에 상기 기준 전압을 공급하고, 상기 구동 박막 트랜지스터의 전류에 의해 상기 제3 노드의 전위가 상기 기준 전압과 상기 구동 박막 트랜지스터의 문턱 전압과의 차전압까지 상승하여, 상기 스토리지 커패시터가 상기 구동 박막 트랜지스터의 문턱 전압을 충전하는 유기 발광 다이오드 표시 장치의 화소 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

청구항 1에 있어서,

상기 문턱 전압 검출 기간 다음의 데이터 입력 기간 동안,

상기 제1 내지 제3 리셋 박막 트랜지스터는 터-오프되고, 상기 스위칭 박막 트랜지스터가 터-온되고, 상기 전달 커패시터가 상기 터-온된 스위칭 박막 트랜지스터를 통해 상기 제1 노드로 공급되는 데이터 전압을 상기 제2 노드로 전달하여 상기 스토리지 커패시터는 상기 제2 노드 및 제3 노드의 차전압인 상기 데이터 전압과 상기 기준 전압의 차전압을 충전하고,

상기 데이터 입력 기간 다음의 발광 기간 동안,

상기 제1 내지 제3 리셋 박막 트랜지스터 및 상기 스위칭 박막 트랜지스터는 터-오프되고, 상기 스토리지 커패시터에 충전된 전압에 따라 상기 구동 박막 트랜지스터가 상기 발광 소자로 공급되는 전류를 제어하는 유기 발광 다이오드 표시 장치의 화소 회로.

청구항 5

청구항 1에 있어서,

상기 초기화 기간 및 문턱 전압 검출 기간 동안, 상기 제3 노드의 전위가 상기 발광 소자의 캐소드와 접속된 저전위 전원보다 낮아 상기 발광 소자에는 네거티브 바이어스가 인가되는 유기 발광 다이오드 표시 장치의 화소 회로.

청구항 6

삭제

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED) 표시 장치에 관한 것으로, 특히 구동 TFT의 특성 편차를 보상함과 아울러 이전 프레임의 영향을 감소시킬 수 있는 OLED 표시 장치의 화소 회로에 관한 것이다.

배경 기술

[0002] OLED 표시 장치는 전자와 정공의 재결합으로 유기 발광층을 발광시키는 자발광 소자로 휙도가 높고 구동 전압이 낮으며 초박막화가 가능하여 차세대 표시 장치로 기대되고 있다.

[0003] OLED 표시 장치를 구성하는 다수의 화소를 각각은 애노드 및 캐소드 사이의 유기발광층으로 구성된 발광 소자와, 발광 소자를 독립적으로 구동하는 화소 회로를 구비한다. 화소 회로는 전압형과 전류형으로 분류할 수 있다. 전압형 화소 회로는 전류형 화소 회로 보다 외부 구동 회로가 간단하고 고속 동작에 적합하여 OLED TV용 화소 회로로 적용 가능성이 높다.

[0004] 전압형 화소 회로는 주로 스위칭 박막 TFT(Thin Film Transistor; 이하 TFT) 및 커패시터와 구동 TFT를 포함한다. 스위칭 TFT는 스캔 펄스에 응답하여 데이터 신호에 대응하는 전압이 커패시터에 충전되게 하고, 구동 TFT는 커패시터에 충전된 전압에 따라 OLED로 공급되는 전류의 크기를 제어하여 OLED의 발광량을 조절한다.

[0005] 그러나, 종래의 화소 회로는 공정 편차 등의 이유로 위치별로 구동 TFT의 문턱 전압(V_{th})이 불균일하여 휙도가 불균일해지거나, 시간에 따라 문턱 전압이 가변하여 휙도 감소로 수명이 저하되는 문제점이 있다. 이를 해결하기 위하여, 전압형 화소 회로는 구동 TFT의 문턱 전압을 검출하여 보상하는 방법을 이용하고 있다.

[0006] 예를 들면, 대한민국 공개특허공보 제2008-0001482호에 개시된 종래의 화소 회로는 별도의 스위칭 TFT를 통해 구동 TFT의 게이트와 드레인을 접속시켜서 문턱 전압으로 검출하고, 검출된 문턱 전압만큼 데이터 전압을 보상하여 이용한다. 또한, 종래의 화소 회로는 상기 문턱 전압을 검출할 때 OLED의 발광을 오프시키기 위하여 구동 TFT와 OLED 사이에 직렬 접속된 발광 스위칭 TFT를 사용한다.

[0007] 그러나, 종래의 화소 회로에서는 구동 TFT의 문턱 전압은 보상할 수 있으나, 구동 TFT와 OLED 사이에 직렬 접속된 발광 스위칭 TFT의 문턱 전압을 보상할 수 없으므로, 발광 스위칭 TFT의 문턱 전압의 차이로 인한 휙도 불균일이 발생되는 문제점이 있다. 한편, 발광 스위칭 TFT의 문제점을 해결하기 위하여 발광 스위칭 TFT를 생략하는 경우, 발광 기간 이외에도 OLED가 발광함으로써 블랙 휙도가 상승하여 콘트라스트가 낮아지는 문제점이 있다.

[0008] 또한, 종래의 화소 회로에서는 구동 TFT의 게이트 및 소스가 이전 프레임 데이터의 영향을 받아서, 정확한 데이터 입력이 불가능한 문제점이 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명이 해결하고자 하는 과제는 발광 스위칭 TFT를 제거하면서도 OLED가 불필요하게 발광하는 것을 방지할 수 있음과 아울러 이전 프레임의 영향을 최소화할 수 있는 OLED 표시 장치의 화소 회로를 제공하는 것이다.

과제의 해결 수단

[0010] 상기 과제를 해결하기 위하여, 본 발명에 따른 OLED 표시 장치의 화소 회로는 고전위 전원 라인과 저전위 전원

라인 사이에 직렬 접속된 구동 박막 트랜지스터 및 발광 소자와; 제1 노드와, 구동 박막 트랜지스터의 게이트와 접속된 제2 노드 사이에 접속된 전달 커패시터와; 제2 노드와, 구동 박막 트랜지스터와 발광 소자 사이에 접속된 제3 노드 사이에 접속된 스토리지 커패시터와; 제1 리셋 라인의 제1 리셋 신호에 응답하여 제1 노드를 기준 전압으로 초기화시키는 제1 리셋 박막 트랜지스터와; 제1 리셋 라인의 제1 리셋 신호에 응답하여 제3 노드를 초기화 전압으로 초기화시키는 제2 리셋 박막 트랜지스터와; 제2 리셋 라인의 제2 리셋 신호에 응답하여 제2 노드를 기준 전압으로 초기화시키는 제3 리셋 박막 트랜지스터와; 스캔 라인의 스캔 신호에 응답하여 제1 노드에 데이터 전압을 공급하는 스위칭 박막 트랜지스터를 구비한다.

- [0011] 초기화 기간 동안, 제1 내지 제3 리셋 박막 트랜지스터가 터-온되어, 제1 및 제2 노드는 기준 전압으로 초기화되고, 제3 노드는 초기화 전압으로 초기화된다.
- [0012] 문턱 전압 검출 기간 동안, 제1 및 제2 리셋 박막 트랜지스터는 터-오프되고, 제3 리셋 박막 트랜지스터는 터-온을 유지하여 제2 노드에 기준 전압을 공급하고, 구동 박막 트랜지스터의 전류에 의해 제3 노드의 전위가 기준 전압과 구동 박막 트랜지스터의 문턱 전압과의 차전압까지 상승하여, 스토리지 커패시터가 구동 박막 트랜지스터의 문턱 전압을 충전한다.
- [0013] 데이터 입력 기간 동안, 제1 내지 제3 리셋 박막 트랜지스터는 터-오프되고, 스위칭 박막 트랜지스터가 터-온된다. 전달 커패시터가 터-온된 스위칭 박막 트랜지스터를 통해 제1 노드로 공급되는 데이터 전압을 제2 노드로 전달하여 스토리지 커패시터는 제2 노드 및 제3 노드의 차전압인 데이터 전압과 기준 전압과의 차전압을 충전한다.
- [0014] 발광 기간 동안, 제1 내지 제3 리셋 박막 트랜지스터 및 스위칭 박막 트랜지스터는 터-오프된다. 스토리지 커패시터에 충전된 전압에 따라 구동 박막 트랜지스터가 발광 소자로 공급되는 전류를 제어한다.
- [0015] 초기화 기간 및 문턱 전압 검출 기간 동안, 제3 노드의 전위가 발광 소자의 캐소드와 접속된 저전위 전원보다 낮아 발광 소자에는 네거티브 바이어스가 인가된다.
- [0016] 삭제

발명의 효과

- [0017] 본 발명에 따른 OLED 표시 장치의 화소 회로는 구동 TFT의 게이트 및 소스 사이에 접속된 스토리지 커패시터를 이용하여 문턱 전압을 검출 및 보상함으로써 문턱 전압 편차의 영향을 받지 않고 데이터 전압과 기준 전압의 차 전압에 비례하는 전류를 이용하여 OLED를 발광시킬 수 있다.
- [0018] 또한, 본 발명에 따른 OLED 표시 장치의 화소 회로는 기준 전압 및 초기화 전압을 이용하여 구동 TFT의 노드 B(게이트) 및 노드 C(소스)를 초기화시킴으로써 이전 프레임의 영향을 방지할 수 있다.
- [0019] 또한, 본 발명에 따른 OLED 표시 장치의 화소 회로는 고전위 전원 라인과 저전위 전원 라인 사이에 구동 TFT와 OLED만 직렬 접속된 구조를 이용하면서도, 즉 종래의 발광 스위칭 TFT를 제거하면서도 초기화 기간 및 문턱 전압 검출 기간에서 OLED에 네거티브 바이어스를 인가하여 OLED의 발광을 방지함으로써 블랙 휘도 상승을 억제할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시예에 따른 OLED 표시 장치의 화소 회로를 나타낸 등가 회로도이다.
도 2는 도 1에 나타낸 화소 회로의 구동 패형도이다.
도 3은 도 2에 나타낸 초기화 기간에서 도 1에 나타낸 화소 회로의 동작 상태를 나타낸 회로도이다.
도 4는 도 2에 나타낸 문턱 전압 검출 기간에서 도 1에 나타낸 화소 회로의 동작 상태를 나타낸 회로도이다.
도 5는 도 2에 나타낸 데이터 입력 기간에서 도 1에 나타낸 화소 회로의 동작 상태를 나타낸 회로도이다.
도 6은 도 2에 나타낸 발광 기간에서 도 1에 나타낸 화소 회로의 동작 상태를 나타낸 회로도이다.
도 7은 도 3에 나타낸 초기화 기간 및 도 4에 나타낸 문턱 전압 검출 기간에서 노드 C의 전위를 측정한 결과를 나타낸 그래프이다.

도 8a 및 도 8b는 도 3에 나타낸 초기화 기간에서 노드 A 및 노드 C의 전위를 측정한 결과를 나타낸 그레프이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 도 1은 본 발명의 실시예에 따른 OLED 표시 장치의 한 화소 회로를 나타낸 등가 회로도이고, 도 2는 도 1에 나타낸 화소 회로의 구동 과정도이다.
- [0022] 도 1에 나타낸 화소 회로는 OLED(50)를 독립적으로 구동하기 위하여, 구동 TFT(DT), 스위칭 TFT(ST), 제1 내지 제3 리셋 TFT(RT1, RT2, RT3)를 포함하는 5개의 TFT와; 스토리지 커패시터(Cst) 및 전달 커패시터(Cd)를 포함하는 2개의 커패시터를 구비하는 5T2C 구조를 갖는다. 도 1에서는 5개의 TFT(DT, ST, RT1, RT2, RT3)가 모두 n형 TFT인 경우만을 예로 들어 설명하지만, p형 TFT도 이용될 수 있다.
- [0023] 또한, 도 1에 나타낸 화소 회로는 스캔 신호(Scan)를 공급하는 스캔 라인(30)과, 제1 및 제2 리셋 신호(Reset1, Reset2)를 공급하는 제1 및 제2 리셋 라인(32, 34)과, 데이터 전압(Vdata)을 공급하는 데이터 라인(36)과, 기준 전압(Vref)을 공급하는 기준 전압 라인(38)과, 초기화 전압(Vini)을 공급하는 초기화 전압 라인(40)과, 고전위 전원(VDD)을 공급하는 고전위 전원 라인(42), 고전위 전원(VDD) 보다 낮은 저전위 전원(VSS)을 공급하는 저전위 전원 라인(44)을 구비한다. 기준 전압(Vref)은 고전위 전원(VDD) 보다 낮고 저전위 전원(VSS) 보다 높거나 같은 전압이 이용될 수 있다. 초기화 전압(Vini)은 저전위 전원(VSS) 보다 낮은 전압, 예를 들면 스캔 신호(Scan) 및 리셋 신호(Reset1, Reset2)의 게이트 로우 전압이 이용될 수 있다.
- [0024] OLED(50)는 고전위 전원 라인(42)과, 저전위 전원 라인(44) 사이에 구동 TFT(DT)와 직렬로 접속되며, 구동 TFT(DT)와 접속된 애노드와, 저전위 전원(VSS) 라인(44)과 접속된 캐소드와, 애노드 및 캐소드 사이의 발광층을 구비한다. 발광층은 캐소드와 애노드 사이에 순차 적층된 전자 주입층, 전자 수송층, 유기 발광층, 정공 수송층, 정공 주입층을 구비한다. OLED(50)는 애노드와 캐소드 사이에 포지티브 바이어스가 인가되면 캐소드로부터의 전자가 전자 주입층 및 전자 수송층을 경유하여 유기 발광층으로 공급되고, 애노드로부터의 정공이 정공 주입층 및 정공 수송층을 경유하여 유기 발광층으로 공급되며, 유기 발광층에서는 공급된 전자 및 정공의 재결합으로 형광 또는 인광 물질을 발광시킴으로써 전류에 비례하는 광을 발생한다. OLED(50)는 발광 기간에서만 포지티브 바이어스가 인가되어 발광하고, 나머지 기간에서는 네거티브 바이어스가 인가되어 발광하지 않으므로, 불필요한 기간에서의 발광으로 인한 블랙 휘도 상승을 방지할 수 있다.
- [0025] 제1 리셋 TFT(RT1)는 제1 리셋 라인(32)에 게이트 전극이 접속되고, 기준 전압 라인(36)에 제1 전극이 접속되며, 스캔 TFT(ST)와 전달 커패시터(Cd) 사이에 접속된 노드 A에 제2 전극이 접속된다. 제2 리셋 TFT(RT2)는 제1 리셋 라인(32)에 게이트 전극이 접속되고, 초기화 전압 라인(40)에 제1 전극이 접속되며, 구동 TFT(DT)와 OLED 사이에 접속된 노드 C에 제2 전극이 접속된다. 제3 리셋 TFT(RT3)는 제2 리셋 라인(34)에 게이트 전극이 접속되고, 기준 전압 라인(38)에 제2 전극이 접속되며, 전달 커패시터(Cd)와 구동 TFT(DT)의 게이트 사이에 접속된 노드 B에 제2 전극이 접속된다. 제1 내지 제3 리셋 TFT(RT1, RT2, RT3) 각각에서 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 제1 및 제2 리셋 TFT(RT1, RT2)는 제1 리셋 라인(32)의 제1 리셋 신호(Reset1)에 동시에 응답하여 초기화 기간에서 상기 노드 A를 기준 전압(Vref)으로, 상기 노드 C를 초기화 전압(Vini)으로 초기화시키고, 제3 리셋 TFT(RT3)은 제2 리셋 라인(34)의 제2 리셋 신호(Reset2)에 응답하여 초기화 기간 및 문턱 전압 겹출 기간에서 상기 노드 B를 기준 전압(Vref)으로 초기화시킨다.
- [0026] 스위칭 TFT(ST)는 스캔 라인(30)에 게이트 전극이 접속되고, 데이터 라인(36)에 제1 전극이 접속되며, 상기 노드 A에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 스위칭 TFT(ST)는 스캔 라인(30)으로부터의 스캔 신호(Scan)에 응답하여 데이터 입력 기간에서 노드 A에 데이터 전압(Vdata)을 공급한다.
- [0027] 구동 TFT(DT)는 상기 노드 B에 게이트 전극이 접속되고, 상기 노드 C에 제1 전극이 접속되며, 고전위 전원 라인(42)에 제2 전극이 접속된다. 제1 전극과 제2 전극은 전류 방향에 따라서 소스 전극과 드레인 전극이 된다. 구동 TFT(DT)는 노드 B, 즉 게이트 전위에 따라 고전위 전원 라인(42)으로부터 OLED로 공급되는 전류를 제어하여 OLED(50)를 구동한다.
- [0028] 스토리지 커패시터(Cst)는 노드 B 및 C 사이에 접속되고, 전달 커패시터(Cd)는 노드 A 및 B 사이에 접속된다. 스토리지 커패시터(Cst)는 구동 TFT(DT)의 문턱 전압(Vth)을 겹출 및 보상하여, 구동 TFT(DT)가 문턱 전압(Vt h)의 영향없이 데이터 전압(Vdata)에 따라 구동되게 한다. 전달 커패시터(Cd)는 데이터 전압(Vdata)을 노드 B에

공급한다.

[0029] 도 1에 나타낸 화소 회로는 도 2에 나타낸 바와 같이 초기화 기간, 문턱 전압 검출 기간, 데이터 입력 기간 및 발광 기간으로 순차 구동된다.

[0030] 도 3 내지 도 6은 도 1에 나타낸 화소 회로가 도 2에 나타낸 구동 파형에 따라 동작하는 과정을 순차적으로 나타낸 등가 회로도이다. 구체적으로, 도 3은 도 2에 나타낸 초기화 기간에서 화소 회로의 동작 상태를, 도 4는 문턱 전압 검출 기간에서 화소 회로의 동작 상태를, 도 5는 데이터 입력 기간에서 화소 회로의 동작 상태를, 도 6은 발광 기간에서 화소 회로의 동작 상태를 나타낸다.

[0031] 도 3의 초기화 기간은 제1 내지 제3 리셋 TFT(RT1, RT2, RT3)가 터-온되어 노드 A 및 B는 기준 전압(Vref)으로 초기화되고, 노드 C는 초기화 전압(Vini)으로 초기화되는 기간이다. 도 4의 문턱 전압 검출 기간은 제3 리셋 TFT(RT3)가 터-온되어 스토리지 커패시터(Cst)가 구동 TFT(DT)의 문턱 전압(Vth)을 검출하는 기간이다. 도 5의 데이터 입력 기간은 스위칭 TFT(ST)가 터-온되어 데이터 전압(Vdata)을 공급하여 스토리지 커패시터(Cst)가 문턱 전압(Vth)이 보상된 데이터 전압(Vdata)을 저장하는 기간이다. 도 6의 발광 기간은 구동 TFT(DT)가 스토리지 커패시터(Cst)로부터 공급되는 진압에 응답하여 OLED(50)를 발광시키는 기간이다.

[0032] 도 3 내지 도 6에 나타낸 화소 회로를 구성하는 5개의 TFT는 모두 n형 TFT이므로, 도 2에 나타낸 게이트 온 전압인 게이트 하이 전압(Vgh)에 의해 터-온되고, 게이트 오프 전압인 게이트 로우 전압(Vgl)에 의해 터-오프된다.

[0033] 도 3에 나타낸 초기화 기간에서, 제1 및 제2 리셋 TFT(RT1, RT2)가 제1 리셋 라인(32)으로부터 공급되는 제1 리셋 신호(Reset1)의 게이트 온 전압에 의해 터-온되고, 제3 리셋 TFT(RT3)가 제2 리셋 라인(34)으로부터 공급되는 제2 리셋 신호(Reset2)의 게이트 온 전압에 의해 터-온되며, 스위칭 TFT(ST)는 스캔 라인(30)으로부터 공급되는 스캔 신호(Scan)의 게이트 오프 전압에 의해 터-오프된다. 이에 따라, 노드 A는 터-온된 제1 리셋 TFT(RT1)을 통해 공급된 기준 전압(Vref)으로 초기화되고, 노드 B는 터-온된 제3 리셋 TFT(RT3)을 통해 공급된 기준 전압(Vref)으로 초기화되며, 노드 C는 터-온된 제2 리셋 TFT(RT2)을 통해 공급된 초기화 전압(Vini)으로 초기화된다. 이 결과, 노드 A, B, C가 이전 프레임의 영향을 받지 않도록 초기화될 수 있다. 이러한 초기화 기간에서 노드 C에는 저전위 전원(VSS) 보다 낮은 초기화 전압(Vini)이 공급되어 OLED(50)에는 네거티브 바이어스가 인가됨으로써 OLED(50)가 발광하지 않아 블랙 휘도 상승을 방지할 수 있다.

[0034] 도 2에 나타낸 문턱 전압 검출 기간에서, 제1 및 제2 리셋 TFT(RT1, RT2)는 제1 리셋 라인(32)으로부터 공급되는 제1 리셋 신호(Reset1)의 게이트 오프 전압에 의해 터-오프되고, 제3 리셋 TFT(RT3)는 제2 리셋 라인(34)으로부터 공급되는 제2 리셋 신호(Reset2)의 게이트 온 전압에 의해 터-온 상태를 유지하며, 스위칭 TFT(ST)는 스캔 라인(30)으로부터 공급되는 스캔 신호(Scan)의 게이트 오프 전압에 의해 터-오프 상태를 유지한다. 이에 따라, 노드 B에 공급되는 기준 전압(Vref)에 의해 구동 TFT(DT)가 터-온되어 전류가 흐르기 시작함에 따라 노드 C가 상승하면서 구동 TFT(DT)의 문턱 전압(Vth) 검출이 시작되고, 구동 TFT(DT)의 출력 전류에 의해 노드 C의 전위가 상승한다. 이에 따라, 스토리지 커패시터(Cst)에 축적되는 전압이 구동 TFT(DT)의 문턱 전압(Vth)에 도달하게 되면, 즉 노드 C의 전위가 "기준 전압(Vref)-문턱 전압(Vth)"에 도달하게 되면 문턱 전압(Vth) 검출이 완료된다. 이러한 문턱 전압 검출 기간에서 노드 C의 전위(Vref-Vth)가 저전위 전원(VSS) 보다 낮으므로 OLED(50)에는 네거티브 바이어스가 인가됨으로써 OLED(50)가 발광하지 않아 블랙 휘도 상승을 방지할 수 있다.

[0035] 도 5에 나타낸 데이터 입력 기간에서, 스캔 라인(30)으로부터 공급된 스캔 신호(Scan)의 게이트 온 전압에 의해 스위칭 TFT(ST)가 터-온되어서, 데이터 라인(36)으로부터 공급된 데이터 전압(Vdata)을 노드 A로 공급하고, 제1 내지 제3 리셋 TFT(RT1, RT2, RT3)는 제1 및 제2 리셋 신호(Reset1, Reset2)의 게이트 오프 전압에 의해 터-오프된다. 전달 커패시터(Cd)는 노드 A에 공급된 데이터 전압(Vdata)을 노드 B로 공급한다. 이에 따라, 스토리지 커패시터(Cst)는 노드 B로 공급된 데이터 전압(Vdata)과 노드 C에 공급된 "기준 전압(Vref)-문턱 전압(Vth)"과의 차전압(Vgs)을 충전하고, 도 6에 나타낸 발광 기간까지 충전 전압(Vgs)을 유지한다.

[0036] 도 6에 나타낸 발광 기간에서, 스캔 라인(30)으로부터 공급된 스캔 신호(Scan)의 게이트 오프 전압에 의해 스위칭 TFT(ST)는 터-오프되고, 제1 내지 제3 리셋 TFT(RT1, RT2, RT3)는 제1 및 제2 리셋 신호(Reset1, Reset2)의 게이트 오프 전압에 의해 터-오프 상태를 유지한다. 이에 따라, 구동 TFT(DT)는 스토리지 커패시터(Cst)에 충전된 전압(Vgs)에 따라 전류(Ioled)를 OLED(50)로 공급하여 OLED(50)가 발광되게 한다. 이때, 구동 TFT(DT)에서 OLED(50)로 공급되는 출력 전류(Ioled)는 다음 수학식 1과 같다.

수학식 1

$$Ioled = k(Vgs - Vth)^2$$

$$Vgs = Vdata - (Vref - Vth)$$

$$Ioled = k(Vdata - Vref)^2$$

[0037]

[0038]

여기서, k 는 구동 TFT(DT)의 구조(채널 폭 및 길이)와 물리 특성으로 결정되는 비례 계수이다. 상기 수학식 1을 참조하면, 구동 TFT(DT)의 출력 전류(Ioled)를 결정하는 전압에서 문턱 전압(Vth)의 항목이 상쇄됨으로써, 출력 전류(Ioled)가 데이터 전압($Vdata$)과 기준 전압($Vref$)과의 차전압($Vdata - Vref$)에 비례함을 알 수 있다. 따라서, 출력 전류(Ioled)가 구동 TFT(DT)의 문턱 전압(Vth) 편차의 영향을 받지 않음을 알 수 있다.

[0039]

도 7은 본 발명에 따른 화소 회로에서 초기화 기간 및 문턱 전압 검출 기간에서 노드 C의 전위를 측정한 결과를 나타낸 그래프이다.

[0040]

도 7을 참조하면, 초기화 기간 및 문턱 전압 검출 기간에서 아래의 표 1과 같이 9개의 구동 TFT(DT1~DT9)의 문턱 전압(Vth)이 서로 다른 경우, 노드 C의 전위가 초기화 전압($Vini$)으로부터 $Vref - Vth$ 로 상승함을 알 수 있다. 이에 따라, 문턱 전압 검출 기간에서 스토리지 커패시터(Cst)가 문턱 전압(Vth)을 검출하여 저장함을 알 수 있다.

표 1

[0041]

	DT1	DT2	DT3	DT4	DT5	DT6	DT7	DT8	DT9
$Vth(V)$	-2	-1.5	-1	-0.5	0	0.5	1	1.5	2
$Vref - Vth(V)$	0.4	0.3	-0.4	-0.9	-1.4	-1.9	-2.4	-2.9	-3.4

[0042]

도 8a 및 도 8b는 본 발명에 따른 화소 회로에서 노드 B 및 노드 C의 전위를 측정한 결과를 나타낸 그래프이다.

[0043]

도 8a 및 도 8b를 참조하면, 이전 프레임에 다양한 데이터 전압($Vdata$)이 공급되었던 구동 TFT의 노드 B(게이트) 및 노드 C(소스)가 초기화 기간에서 기준 전압($Vref$) 및 초기화 전압($Vini$)으로 각각 초기화됨으로써 이전 프레임의 영향을 방지할 수 있음을 알 수 있다.

[0044]

이와 같이, 본 발명에 따른 OLED 표시 장치의 화소 회로는 구동 TFT의 게이트 및 소스 사이에 접속된 스토리지 커패시터를 이용하여 문턱 전압을 검출 및 보상함으로써 문턱 전압 편차의 영향을 받지 않고 데이터 전압과 기준 전압의 차전압에 비례하는 전류를 이용하여 OLED를 발광시킬 수 있다.

[0045]

또한, 본 발명에 따른 OLED 표시 장치의 화소 회로는 기준 전압 및 초기화 전압을 이용하여 구동 TFT의 노드 B(게이트) 및 노드 C(소스)를 초기화시킴으로써 이전 프레임의 영향을 방지할 수 있다.

[0046]

또한, 본 발명에 따른 OLED 표시 장치의 화소 회로는 고전위 전원 라인과 저전위 전원 라인 사이에 구동 TFT와 OLED만 직렬 접속된 구조를 이용하면서도, 즉 종래의 발광 스위칭 TFT를 제거하면서도 초기화 기간 및 문턱 전압 검출 기간에서 OLED에 네거티브 바이어스를 인가하여 OLED의 발광을 방지함으로써 블랙 휴드 상승을 억제할 수 있다.

[0047]

이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

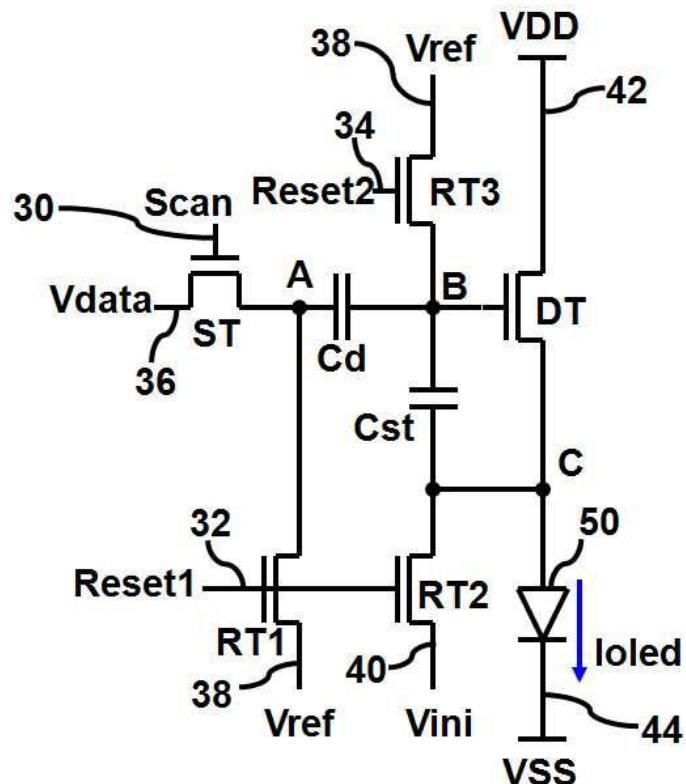
[0048]

- | | |
|--------------|--------------|
| 30: 스캔 라인 | 32: 제1 리셋 라인 |
| 34: 제2 리셋 라인 | 36: 데이터 라인 |

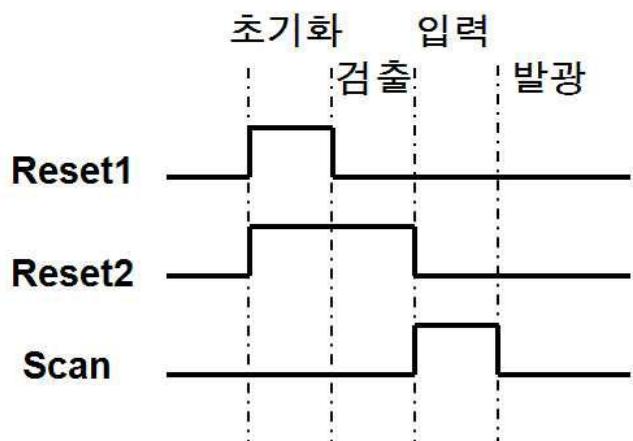
38: 기준 전압 라인	40: 초기화 전압 라인
42: 고전위 전원 라인	44: 저전위 전원 라인
50: OLED	ST: 스위칭 TFT
RT1: 제1 리셋 TFT	RT2: 제2 리셋 TFT
RT3: 제3 리셋 TFT	DT: 구동 TFT

도면

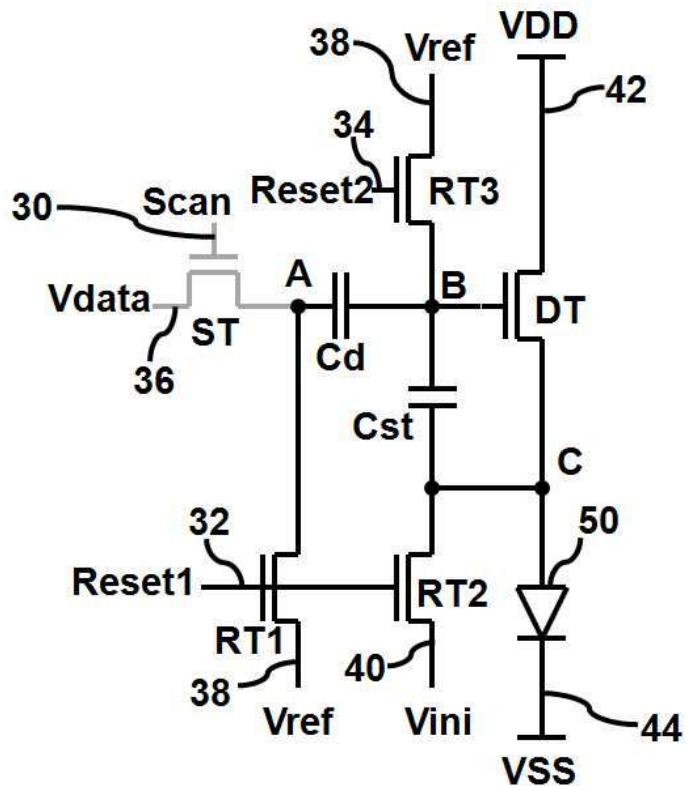
도면1



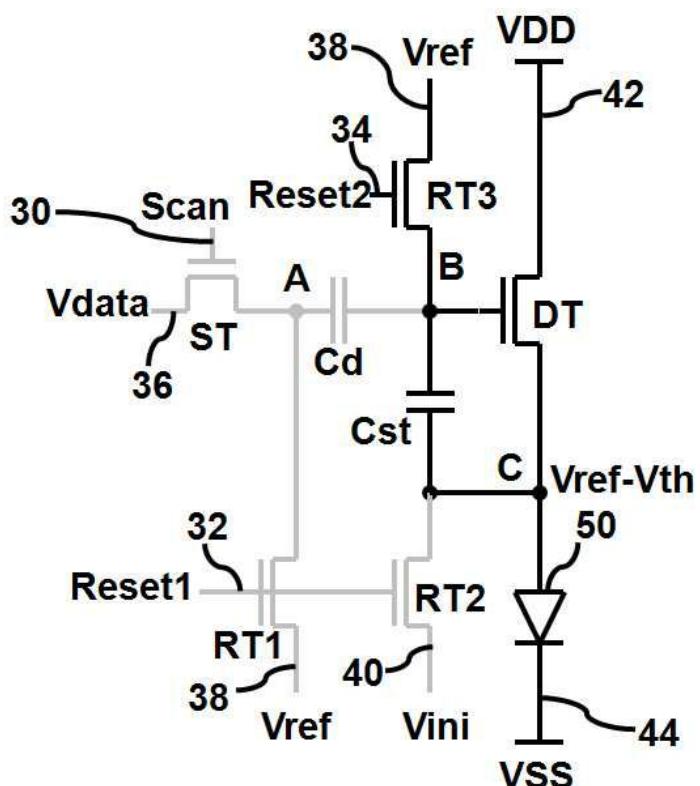
도면2



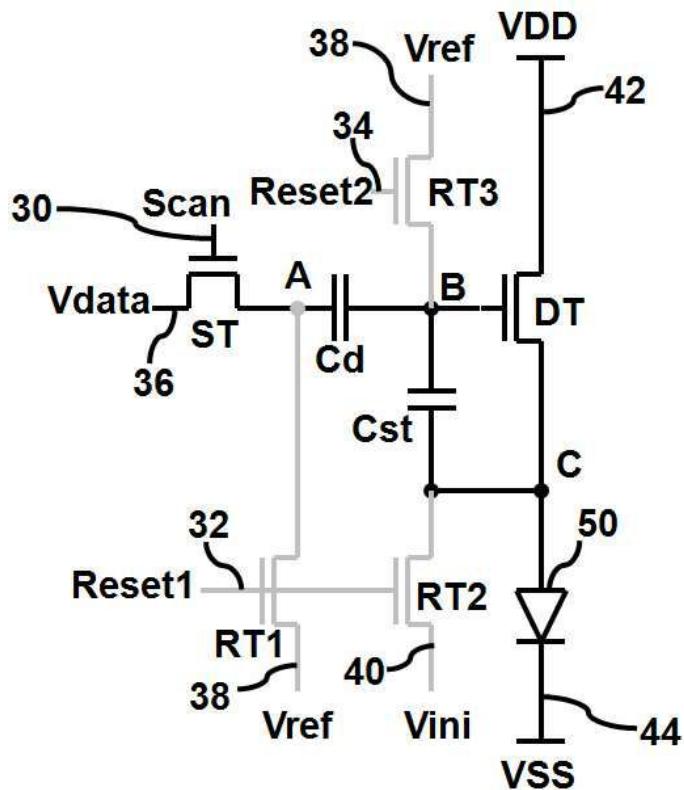
도면3



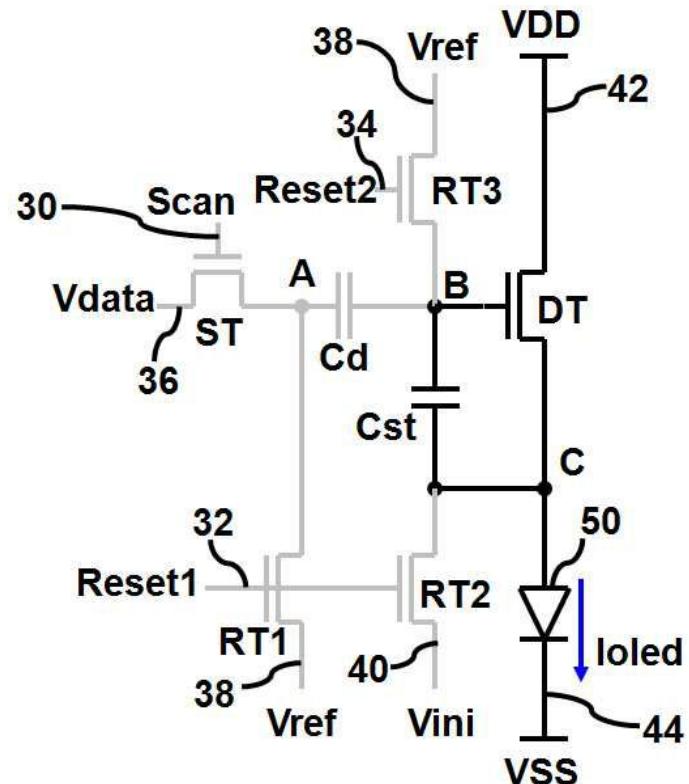
도면4



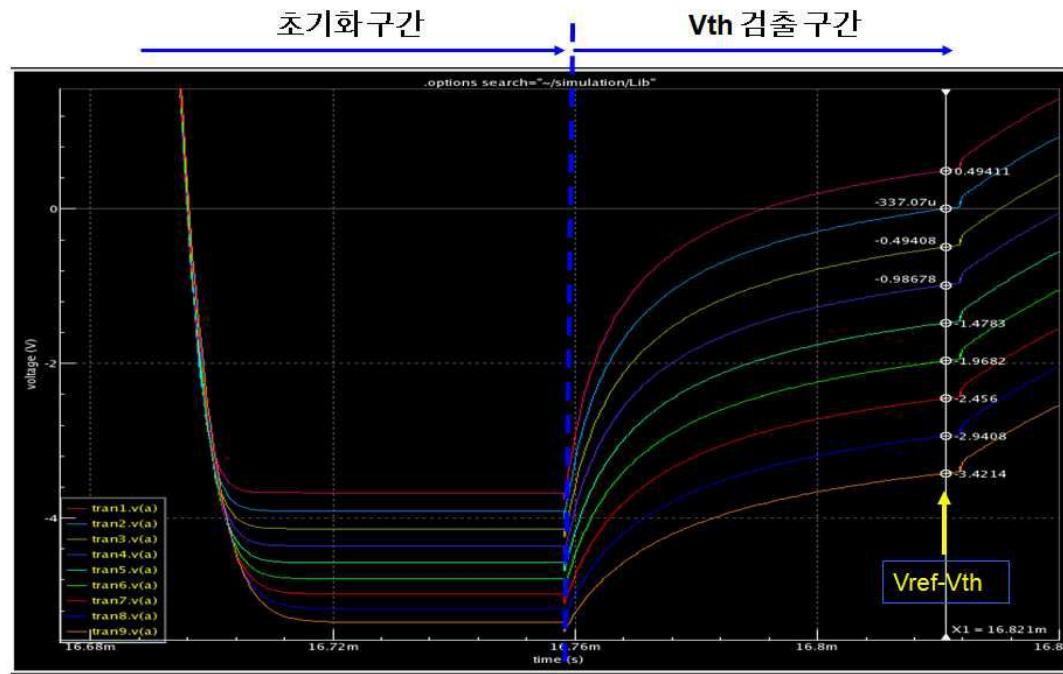
도면5



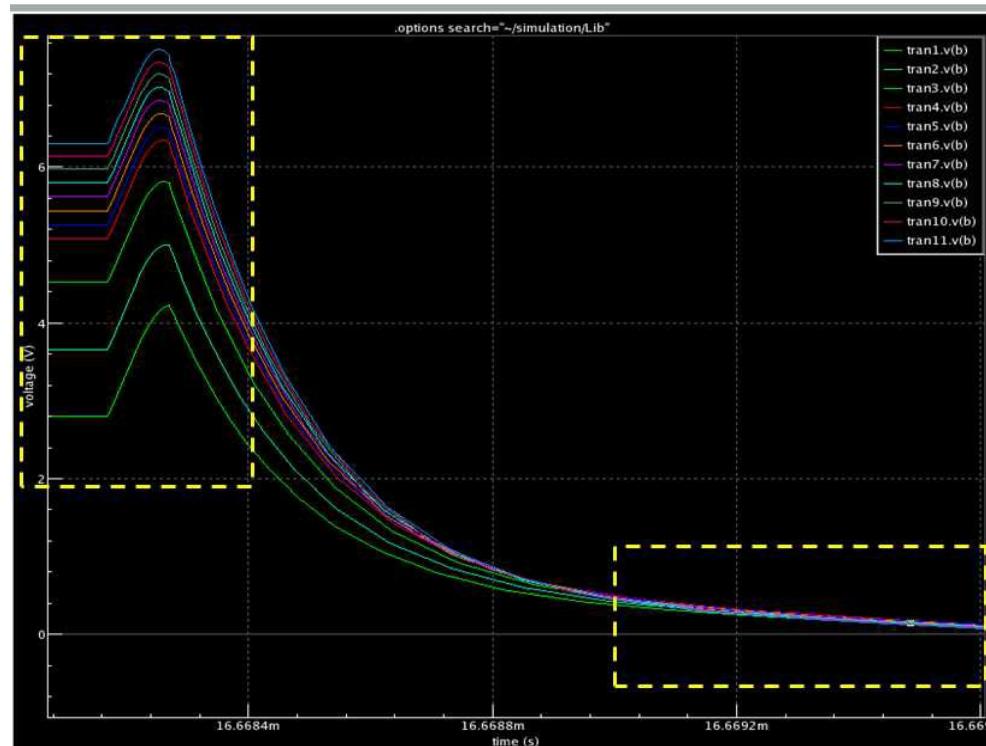
도면6



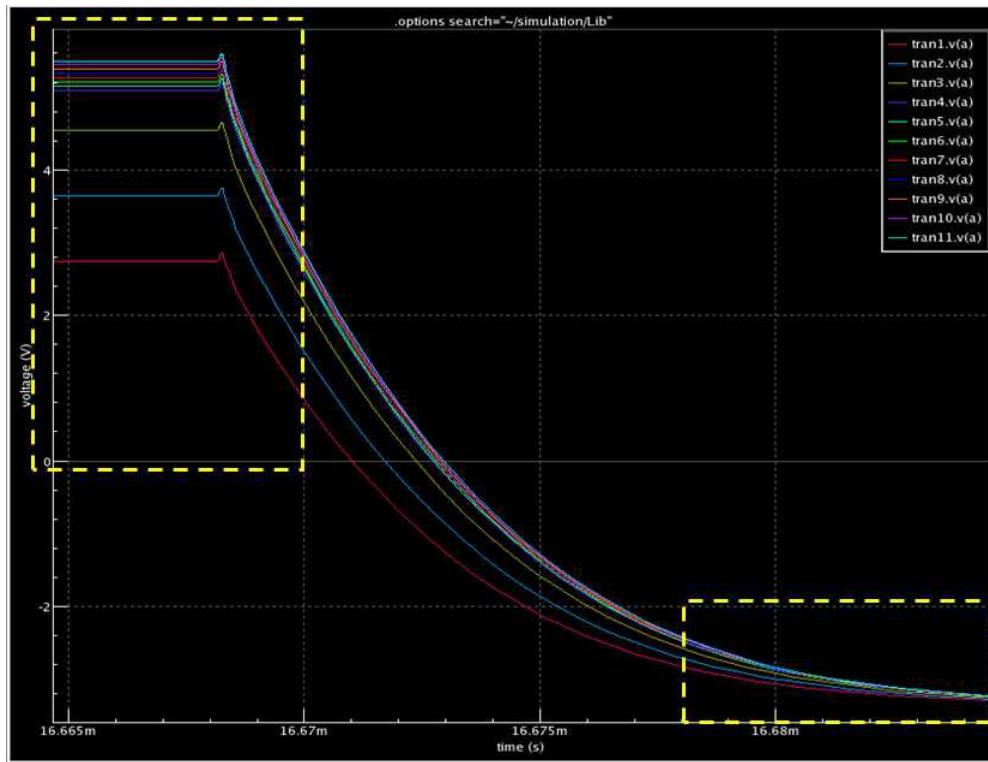
도면7



도면8a



도면8b



专利名称(译)	有机发光二极管显示装置的像素电路		
公开(公告)号	KR101859474B1	公开(公告)日	2018-05-23
申请号	KR1020110089883	申请日	2011-09-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YOUNG HAK 이영학	KIM GEUN YOUNG 김근영	
发明人	이영학 김근영		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	G09G3/3225 G09G3/3291 H01L27/3262 H01L27/326 G09G3/325 G09G2300/0852 G09G2300/0861 G09G2320/045		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020130026338A		
外部链接	Espacenet		

摘要(译)

本发明中，同时除去发光开关TFT防止OLED不需要发光，涉及一种能够最小化前一帧的影响的OLED显示装置的像素电路中，本发明的像素电路是高电位侧电源线和低电位驱动薄膜晶体管和发光元件串联连接在电源线之间;驱动薄膜晶体管的第一节点和栅极连接在第一节点和第二节点之间的传输电容器;存储电容器，连接在第二节点和连接在驱动薄膜晶体管和发光元件之间的第三节点之间;第一复位薄膜晶体管，用于响应第一复位线的第一复位信号将第一节点初始化为参考电压;第二复位薄膜晶体管，用于响应第一复位线的第一复位信号将第三节点初始化为初始电压;第三复位薄膜晶体管，用于响应第二复位线的第二复位信号将第二节点复位到参考电压;以及开关薄膜晶体管，用于响应于扫描线的扫描信号向第一节点提供数据电压。专利号10-1859474

