



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월08일
 (11) 등록번호 10-1855406
 (24) 등록일자 2018년04월30일

(51) 국제특허분류(Int. Cl.)
 H01L 51/50 (2006.01) H01L 51/56 (2006.01)
 (21) 출원번호 10-2011-0082257
 (22) 출원일자 2011년08월18일
 심사청구일자 2016년08월12일
 (65) 공개번호 10-2013-0019947
 (43) 공개일자 2013년02월27일
 (56) 선행기술조사문헌
 KR100875103 B1*
 (뒷면에 계속)

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 허성권
 경기도 수원시 영통구 태장로82번길 32, 동수원엘
 지빌리지1차 105동 2203호 (망포동)
 강기녕
 경기도 용인시 기흥구 금화로82번길 17 509동
 1004호 (상갈동, 금화마을주공5단지아파트)
 (74) 대리인
 팬코리아특허법인

전체 청구항 수 : 총 15 항

심사관 : 정명주

(54) 발명의 명칭 **유기 발광 표시 장치 및 그 제조 방법**

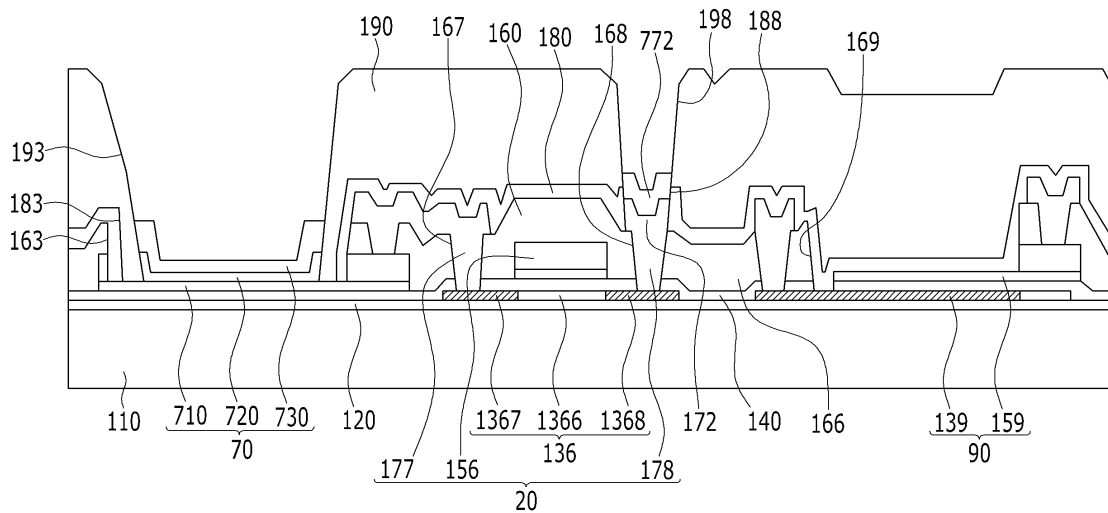
(57) 요약

유기 발광 표시 장치 및 그 제조 방법에서, 본 발명의 실시예에 따른 유기 발광 표시 장치는 기판과, 상기 기판 상에 형성되며, 각각 액티브층, 게이트 전극, 소스 전극, 및 드레인 전극을 갖는 제1 박막 트랜지스터 및 제2 박막 트랜지스터와, 상기 제1 박막 트랜지스터의 게이트 전극과 연결된 게이트 라인과, 상기 제1 박막 트랜지스터

(뒷면에 계속)

대표도 - 도2

101



의 소스 전극과 연결되며, 상기 게이트 라인과 교차하는 데이터 라인과, 상기 제2 박막 트랜지스터의 소스 전극과 연결되며, 상기 게이트 라인과 교차하고 상기 데이터 라인과 평행한 공통 전원 라인과, 상기 제2 박막 트랜지스터의 드레인 전극과 연결되며 고립된 화소 전극과, 상기 제1 전극 상에 형성된 유기 발광층과, 상기 유기 발광층 상에 형성되며 상기 데이터 라인 및 상기 공통 전원 라인과 평행하게 형성된 공통 전극 라인, 그리고 상기 공통 전원 라인 위에 상기 공통 전극 라인과 동일한 소재로 평행하게 함께 형성된 보조 공통 전원 라인을 포함한다.

(56) 선행기술조사문헌

KR1020060033648 A*

KR1020090120697 A*

US20060082293 A1

KR1020050051833 A

KR1020050052286 A

KR1020060067049 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관;

상기 기관 상에 형성되며, 각각 액티브층, 게이트 전극, 소스 전극, 및 드레인 전극을 갖는 제1 박막 트랜지스터 및 제2 박막 트랜지스터;

상기 제1 박막 트랜지스터의 게이트 전극과 연결된 게이트 라인;

상기 제1 박막 트랜지스터의 소스 전극과 연결되며, 상기 게이트 라인과 교차하는 데이터 라인;

상기 제2 박막 트랜지스터의 소스 전극과 연결되며, 상기 게이트 라인과 교차하고 상기 데이터 라인과 평행한 공통 전원 라인;

상기 제2 박막 트랜지스터의 드레인 전극과 연결되며 고립된 화소 전극;

상기 화소 전극 상에 형성된 유기 발광층;

상기 유기 발광층 상에 형성되며 상기 데이터 라인 및 상기 공통 전원 라인과 평행하게 형성된 공통 전극 라인; 그리고

상기 공통 전원 라인 위에 상기 공통 전극 라인과 분리되어 상기 공통 전극 라인과 동일한 소재로 평행하게 함께 형성된 보조 공통 전원 라인

을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 공통 전극 라인과 상기 보조 공통 전원 라인 사이의 공간에 배치된 캐패시터를 더 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 캐패시터는,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터의 액티브층과 동일한 층에 형성되며, 상기 제1 박막 트랜지스터의 드레인 전극 및 상기 제2 박막 트랜지스터의 게이트 전극과 연결된 제1 캐패시터 전극과;

상기 화소 전극 및 상기 게이트 전극과 동일한 층에 형성되며 상기 제2 박막 트랜지스터의 소스 전극 및 상기 공통 전원 라인과 연결된 제2 캐패시터 전극

을 포함하는 유기 발광 표시 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에서,

상기 보조 공통 전원 라인은 상기 공통 전원 라인 바로 위에 형성된 유기 발광 표시 장치.

청구항 5

제1항 내지 제3항 중 어느 한 항에서,

상기 보조 공통 전원 라인과 상기 공통 전원 라인 사이에 배치된 보호 절연막을 더 포함하는 유기 발광 표시 장

치.

청구항 6

기관;

상기 기관 상에 형성되며, 액티브층 및 제1 캐패시터 전극을 포함하는 반도체층 패턴;

상기 반도체층 패턴 위에 형성된 게이트 절연막;

상기 게이트 절연막 위에 형성되며, 게이트 라인, 화소 전극, 게이트 전극, 및 제2 캐패시터 전극을 포함하는 제1 도전막 패턴;

상기 제1 도전막 패턴을 위에 형성되며 상기 화소 전극의 일부를 드러내는 화소 층간 개구 영역을 갖는 층간 절연막;

상기 층간 절연막 위에 형성된 소스 전극, 드레인 전극, 데이터 라인, 및 공통 전원 라인을 포함하는 제2 도전막 패턴;

상기 제2 도전막 패턴 위에 형성되며, 상기 화소 전극의 일부를 드러내는 화소 보호 개구 영역을 갖는 보호 절연막;

상기 보호 절연막 위에 형성되며, 상기 화소 층간 개구 영역 및 상기 화소 보호 개구 영역과 함께 상기 화소 전극의 일부를 드러내는 화소 개구부와 상기 공통 전원 라인 위에 형성된 라인 개구부를 갖는 화소 정의막;

상기 화소 정의막의 화소 개구부를 통해 드러난 상기 화소 전극 위에 형성된 유기 발광층;

상기 유기 발광층 위에 형성되며, 상기 기관의 상부에서 보았을 때 상기 제1 캐패시터 전극 및 상기 제2 캐패시터 전극과 비중첩된 공통 전극 라인; 그리고

상기 화소 정의막의 라인 개구부에서 상기 공통 전극 라인과 분리되어 상기 공통 전원 라인을 따라 형성된 보조 공통 전원 라인

을 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 보조 공통 전원 라인은 상기 보호 절연막을 사이에 두고 상기 공통 전원 라인 상에 형성된 유기 발광 표시 장치.

청구항 8

제6항에서,

상기 보호 절연막은 상기 화소 정의막의 상기 라인 개구부와 함께 상기 공통 전원 라인을 드러내는 라인 개구 영역을 더 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 보조 공통 전원 라인은 상기 공통 전원 라인 바로 위에 형성된 유기 발광 표시 장치.

청구항 10

제6항 내지 제9항 중 어느 한 항에서,

상기 공통 전극 라인은 상기 게이트 라인과 교차하며, 상기 데이터 라인 및 상기 공통 전원 라인과 평행한 유기 발광 표시 장치.

청구항 11

기관을 마련하는 단계;

상기 기관 상에 액티브층 및 제1 캐패시터 전극을 포함하는 반도체층 패턴을 형성하는 단계;

상기 반도체층 패턴 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 게이트 라인, 화소 전극, 게이트 전극, 및 제2 캐패시터 전극을 포함하는 제1 도전막 패턴을 형성하는 단계;

상기 제1 도전막 패턴을 위에 상기 화소 전극의 일부를 드러내는 화소 층간 개구 영역을 갖는 층간 절연막을 형성하는 단계;

상기 층간 절연막 위에 소스 전극, 드레인 전극, 데이터 라인, 및 공통 전원 라인을 포함하는 제2 도전막 패턴을 형성하는 단계;

상기 제2 도전막 패턴 위에 상기 화소 층간 개구 영역과 함께 상기 화소 전극의 일부를 드러내는 화소 보호 개구 영역을 갖는 보호 절연막을 형성하는 단계;

상기 보호 절연막 위에 상기 화소 층간 개구 영역 및 상기 화소 보호 개구 영역과 함께 상기 화소 전극의 일부를 드러내는 화소 개구부와 상기 공통 전원 라인 위에 형성된 라인 개구부를 갖는 화소 정의막을 형성하는 단계;

상기 화소 정의막의 화소 개구부를 통해 드러난 화소 전극 위에 유기 발광층을 형성하는 단계;

상기 유기 발광층 위에 상기 기관의 상부에서 보았을 때 상기 제1 캐패시터 전극 및 상기 제2 캐패시터 전극과 비중첩된 공통 전극 라인을 형성하는 단계; 그리고

상기 화소 정의막의 라인 개구부에서 상기 공통 전원 라인을 따라 상기 공통 전극 라인과 분리된 보조 공통 전원 라인을 형성하는 단계

를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 12

제11항에서,

상기 보조 공통 전원 라인은 상기 보호 절연막을 사이에 두고 상기 공통 전원 라인 상에 형성되는 유기 발광 표시 장치 제조 방법.

청구항 13

제11항에서,

상기 보호 절연막은 상기 화소 정의막의 상기 라인 개구부와 함께 상기 공통 전원 라인을 드러내는 라인 개구 영역을 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 14

제13항에서,

상기 보조 공통 전원 라인은 상기 공통 전원 라인 바로 위에 형성되는 유기 발광 표시 장치 제조 방법.

청구항 15

제11항 내지 제14항 중 어느 한 항에서,

상기 공통 전극 라인은 상기 게이트 라인과 교차하며, 상기 데이터 라인 및 상기 공통 전원 라인과 평행한 유기 발광 표시 장치 제조 방법.

발명의 설명

기술 분야

본 발명의 실시예는 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 불필요한 기생 용량

[0001]

의 발생을 최소화한 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

- [0002] 유기 발광 표시 장치(organic light emitting diode display)는 경량 박형이 가능할 뿐만 아니라, 광시야각, 빠른 응답 속도, 그리고 상대적으로 적은 소비 전력 등의 장점으로 인하여 차세대 디스플레이로서 주목받고 있다.
- [0003] 유기 발광 표시 장치는 유기 발광 소자와 함께 박막 트랜지스터 및 캐패시터 등을 포함한다. 그런데 유기 발광 소자의 캐소드 전극은 일반적으로 전면(全面)에 걸쳐 증착되므로, 캐소드 전극은 캐패시터와도 중첩된다.
- [0004] 따라서 캐패시터의 일 전극과 캐소드 전극 사이에서 불필요한 기생 용량(parasitic capacitance)이 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 실시예에는 불필요한 기생 용량의 발생을 최소화한 유기 발광 표시 장치를 제공한다.
- [0006] 또한, 전압 강하를 억제할 수 있는 유기 발광 표시 장치를 제공한다.
- [0007] 또한, 상기한 유기 발광 표시 장치들의 제조 방법을 제공한다.

과제의 해결 수단

- [0008] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 기판과, 상기 기판 상에 형성되며, 각각 액티브층, 게이트 전극, 소스 전극, 및 드레인 전극을 갖는 제1 박막 트랜지스터 및 제2 박막 트랜지스터와, 상기 제1 박막 트랜지스터의 게이트 전극과 연결된 게이트 라인과, 상기 제1 박막 트랜지스터의 소스 전극과 연결되며, 상기 게이트 라인과 교차하는 데이터 라인과, 상기 제2 박막 트랜지스터의 소스 전극과 연결되며, 상기 게이트 라인과 교차하고 상기 데이터 라인과 평행한 공통 전원 라인과, 상기 제2 박막 트랜지스터의 드레인 전극과 연결되며 고립된 화소 전극과, 상기 제1 전극 상에 형성된 유기 발광층과, 상기 유기 발광층 상에 형성되며 상기 데이터 라인 및 상기 공통 전원 라인과 평행하게 형성된 공통 전극 라인, 그리고 상기 공통 전원 라인 위에 상기 공통 전극 라인과 동일한 소재로 평행하게 함께 형성된 보조 공통 전원 라인을 포함한다.
- [0009] 상기 공통 전극 라인과 상기 보조 공통 전원 라인 사이의 공간에 배치된 캐패시터를 더 포함할 수 있다.
- [0010] 상기 캐패시터는 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터의 액티브층과 동일한 층에 형성되며 상기 제1 박막 트랜지스터의 드레인 전극 및 상기 제2 박막 트랜지스터의 게이트 전극과 연결된 제1 캐패시터 전극과, 상기 화소 전극 및 상기 게이트 전극과 동일한 층에 형성되며 상기 제2 박막 트랜지스터의 소스 전극 및 상기 공통 전원 라인과 연결된 제1 캐패시터 전극을 포함할 수 있다.
- [0011] 상기한 유기 발광 표시 장치에서, 상기 보조 공통 전원 라인은 상기 공통 전원 라인 바로 위에 형성될 수 있다.
- [0012] 상기한 유기 발광 표시 장치에서, 상기 보조 공통 전원 라인과 상기 공통 전원 라인 사이에 배치된 보호 절연막을 더 포함할 수 있다.
- [0013] 또한, 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 기판과, 상기 기판 상에 형성되며, 액티브층 및 제1 캐패시터 전극을 포함하는 반도체층 패턴과, 상기 반도체층 패턴 위에 형성된 게이트 절연막과, 상기 게이트 절연막 위에 형성되며, 게이트 라인, 화소 전극, 게이트 전극, 및 제2 캐패시터 전극을 포함하는 제1 도전막 패턴과, 상기 제1 도전막 패턴을 위에 형성되며 상기 화소 전극의 일부를 드러내는 화소 층간 개구 영역을 갖는 층간 절연막과, 상기 층간 절연막 위에 형성된 소스 전극, 드레인 전극, 데이터 라인, 및 공통 전원 라인을 포함하는 제2 도전막 패턴과, 상기 제2 도전막 패턴 위에 형성되며 상기 화소 전극의 일부를 드러내는 화소 보호 개구 영역을 갖는 보호 절연막과, 상기 보호 절연막 위에 형성되며 상기 화소 층간 개구 영역 및 상기 화소 보호 개구 영역과 함께 상기 화소 전극의 일부를 드러내는 화소 개구부와 상기 공통 전원 라인 위에 형성된 라인 개구부를 갖는 화소 정의막과, 상기 화소 정의막의 화소 개구부를 통해 드러난 화소 전극 위에 형성된 유기 발광층과, 상기 유기 발광층 위에 형성되며 상기 제1 캐패시터 전극 및 상기 제2 캐패시터 전극과 비중첩된 공통 전극 라인, 그리고 상기 화소 정의막의 라인 개구부에서 상기 공통 전원 라인을 따라 형성된 보조 공통 전원 라인

을 포함한다.

- [0014] 상기 보조 공통 전원 라인은 상기 보호 절연막을 사이에 두고 상기 공통 전원 라인 상에 형성될 수 있다.
- [0015] 상기 보호 절연막은 상기 화소 정의막의 상기 라인 개구부와 함께 상기 공통 전원 라인을 드러내는 라인 개구 영역을 더 포함할 수 있다.
- [0016] 상기 보조 공통 전원 라인은 상기 공통 전원 라인 바로 위에 형성될 수 있다.
- [0017] 상기한 유기 발광 표시 장치에서, 상기 공통 전극 라인은 상기 게이트 라인과 교차하며, 상기 데이터 라인 및 상기 공통 전원 라인과 평행할 수 있다.
- [0018] 또한, 본 발명의 실시예에 따르면, 유기 발광 표시 장치 제조 방법은 기판을 마련하는 단계와, 상기 기판 상에 액티브층 및 제1 캐패시터 전극을 포함하는 반도체층 패턴을 형성하는 단계와, 상기 반도체층 패턴 위에 게이트 절연막을 형성하는 단계와, 상기 게이트 전극 위에 게이트 라인, 화소 전극, 게이트 전극, 및 제2 캐패시터 전극을 포함하는 제1 도전막 패턴과, 상기 제1 도전막 패턴을 위에 상기 화소 전극의 일부를 드러내는 화소 층간 개구 영역을 갖는 층간 절연막을 형성하는 단계와, 상기 층간 절연막 위에 소스 전극, 드레인 전극, 데이터 라인, 및 공통 전원 라인을 포함하는 제2 도전막 패턴을 형성하는 단계와, 상기 제2 도전막 패턴 위에 상기 화소 층간 개구 영역과 함께 상기 화소 전극의 일부를 드러내는 화소 보호 개구 영역을 갖는 보호 절연막을 형성하는 단계와, 상기 보호 절연막 위에 상기 화소 층간 개구 영역 및 상기 화소 보호 개구 영역과 함께 상기 화소 전극의 일부를 드러내는 화소 개구부와 상기 공통 전원 라인 위에 형성된 라인 개구부를 갖는 화소 정의막을 형성하는 단계와, 상기 화소 정의막의 화소 개구부를 통해 드러난 화소 전극 위에 유기 발광층을 형성하는 단계와, 상기 유기 발광층 위에 상기 제1 캐패시터 전극 및 상기 제2 캐패시터 전극과 비중첩된 공통 전극 라인을 형성하는 단계, 그리고 상기 화소 정의막의 라인 개구부에서 상기 공통 전원 라인을 따라 보조 공통 전원 라인을 형성하는 단계를 포함한다.
- [0019] 상기 보조 공통 전원 라인은 상기 보호 절연막을 사이에 두고 상기 공통 전원 라인 상에 형성될 수 있다.
- [0020] 상기 보호 절연막은 상기 화소 정의막의 상기 라인 개구부와 함께 상기 공통 전원 라인을 드러내는 라인 개구 영역을 더 포함할 수 있다.
- [0021] 상기 보조 공통 전원 라인은 상기 공통 전원 라인 바로 위에 형성될 수 있다.
- [0022] 상기한 유기 발광 표시 장치 제조 방법에서, 상기 공통 전극 라인은 상기 게이트 라인과 교차하며, 상기 데이터 라인 및 상기 공통 전원 라인과 평행할 수 있다.

발명의 효과

- [0023] 본 발명의 실시예들에 따르면, 유기 발광 표시 장치는 불필요한 기생 용량의 발생을 최소화할 수 있다.
- [0024] 또한, 유기 발광 표시 장치는 전압 강하를 억제할 수 있다.
- [0025] 또한, 상기한 유기 발광 표시 장치들을 효과적인 제조할 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치가 갖는 일 화소 영역을 나타낸 배치도이다.
 도 2는 도 1의 박막 트랜지스터, 캐패시터, 및 유기 발광 소자를 중심으로 확대 도시한 부분 단면도이다.
 도 3 내지 도 7은 도 2의 유기 발광 표시 장치의 제조 과정을 순차적으로 나타낸 단면도들이다.
 도 8은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 구조를 확대 도시한 부분 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0028] 또한, 명세서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 그리고 여러 실시예들에 있어서, 제1 실시예 이외의 제2 실시예에서는 제1 실시예와 다른 구성을 중심으로

설명한다.

- [0029] 도면들은 개략적이고 축적에 맞게 도시되지 않았다는 것을 일러둔다. 도면에 있는 부분들의 상대적인 치수 및 비율은 도면에서의 명확성 및 편의를 위해 그 크기에 있어 과장되거나 감소되어 도시되었으며 임의의 치수는 단지 예시적인 것이지 한정적인 것은 아니다. 그리고 둘 이상의 도면에 나타나는 동일한 구조물, 요소 또는 부품에는 동일한 참조 부호가 유사한 특징을 나타내기 위해 사용된다. 어느 부분이 다른 부분의 "위에" 있다고 언급하는 경우, 이는 바로 다른 부분의 위에 있을 수 있거나 그 사이에 다른 부분이 수반될 수도 있다.
- [0030] 본 발명의 실시예는 본 발명의 이상적인 실시예를 구체적으로 나타낸다. 그 결과, 도해의 다양한 변형이 예상된다. 따라서 실시예는 도시한 영역의 특정 형태에 국한되지 않으며, 예를 들면 제조에 의한 형태의 변형도 포함한다.
- [0031] 이하, 도 1 및 도 2를 참조하여 본 발명의 제1 실시예에 따른 유기 표시 장치(101)를 설명한다.
- [0032] 도 1에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)는 하나의 화소 영역(PE)마다 유기 발광 소자(organic light emitting diode)(70), 두개의 박막 트랜지스터(thin film transistor, TFT)들(10, 20), 그리고 하나의 캐패시터(capacitor)(90)이 배치된 2Tr-1Cap 구조를 갖는다. 여기서, 화소 영역(PE)은 화상을 표시하는 최소 단위인 화소가 형성된 영역을 말한다. 하지만, 본 발명의 제1 실시예가 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치(101)는 하나의 화소 영역(PE)마다 셋 이상의 박막 트랜지스터와 둘 이상의 캐패시터가 배치된 구조를 갖는 유기 발광 표시 장치일 수도 있다. 또한, 표시 장치(101)는 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성될 수도 있다. 이와 같이, 추가로 형성되는 박막 트랜지스터 및 캐패시터 중 하나 이상은 보상 회로의 구성이 될 수 있다.
- [0033] 보상 회로는 각 화소 영역(PE)마다 형성된 유기 발광 소자(70)의 균일성을 향상시켜 화질(畫質)에 편차가 생기는 것을 억제한다. 일반적으로 보상 회로는 2개 내지 8개의 박막 트랜지스터를 포함할 수 있다.
- [0034] 구체적으로, 본 발명의 제1 실시예에서, 유기 발광 표시 장치(101)는 하나의 화소 영역(PE)마다 각각 형성된 제1 박막 트랜지스터(10)와 제2 박막 트랜지스터(20)를 포함한다. 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)는 각각 게이트 전극(153, 156), 액티브층(133, 136), 소스 전극(174, 177), 및 드레인 전극(175, 178)을 포함한다.
- [0035] 또한, 기판(110) 상에 게이트 라인(151), 데이터 라인(171), 및 공통 전원 라인(172)이 형성된다. 하나의 화소 영역(PE)은 게이트 라인(151), 데이터 라인(171), 및 공통 전원 라인(172)에 의해 정의될 수 있다. 하지만, 화소 영역(PE)이 이에 한정되는 것은 아니다. 또한, 도시하지는 않았으나, 기판(110) 상에 캐패시터 라인이 추가로 형성될 수도 있다.
- [0036] 데이터 라인(171)에는 제1 박막 트랜지스터(10)의 소스 전극(174)이 연결되고, 게이트 라인(151)에는 제1 박막 트랜지스터(10)의 게이트 전극(153)이 연결된다. 그리고 제1 박막 트랜지스터(10)의 드레인 전극(175)과 캐패시터(90) 사이에 노드가 형성되어 제1 박막 트랜지스터(10)의 드레인 전극(175)은 캐패시터(90)의 제1 캐패시터 전극(139)과 연결된다. 그리고 제2 캐패시터 전극(159)은 공통 전원 라인(172)과 연결된다. 또한, 제1 박막 트랜지스터(10)의 드레인 전극(175)은 제2 박막 트랜지스터(20)의 게이트 전극(156)이 연결된다. 그리고 제2 박막 트랜지스터(20)의 소스 전극(177)에는 공통 전원 라인(172)이 연결되며, 드레인 전극(178)에는 유기 발광 소자(70)의 애노드 전극이 연결된다.
- [0037] 유기 발광 소자(70)는 정공 주입 전극인 애노드 전극과, 전자 주입 전극인 캐소드 전극, 그리고 애노드 전극과 캐소드 전극 사이에 배치된 유기 발광층(720)을 포함한다. 한편, 구동 방법에 따라, 유기 발광 소자의 애노드 전극과 캐소드 전극은 그 위치가 서로 바뀔 수도 있다. 이하, 본 발명의 제1 실시예에서, 애노드 전극은 화소 전극(710)이라 하고, 캐소드 전극은 공통 전극 라인(730)이라 한다. 즉, 본 발명의 제1 실시예에서, 공통 전극 라인(730)은 스트라이프 패턴으로 형성된다. 또한, 화소 전극(710)은 고립된 형태로 형성된다.
- [0038] 제1 박막 트랜지스터(10)는 발광시키고자 하는 화소 영역(PE)을 선택하는 스위칭 소자로 사용된다. 제1 박막 트랜지스터(10)가 순간적으로 턴온되면 캐패시터(90)는 충전되고, 이때 충전되는 전하량은 데이터 라인(171)으로부터 인가되는 전압의 전위에 비례한다. 그리고 제1 박막 트랜지스터(10)가 턴오프된 상태에서 제2 박막 트랜지스터(20)의 게이트 전위는 캐패시터(90)에 충전된 전위를 따라서 상승한다. 그리고 제2 박막 트랜지스터(20)는 게이트 전위가 문턱 전압을 넘으면 턴온된다. 그러면 공통 전원 라인(172)에 인가되던 전압이 제2 박막 트랜지스터(20)를 통하여 유기 발광 소자(70)에 인가되고, 유기 발광 소자(70)는 발광된다.

- [0039] 이와 같은 화소 영역(PE)의 구성은 전술한 바에 한정되지 않고 해당 기술 분야의 종사자가 용이하게 변형 실시할 수 있는 범위 내에서 다양하게 변형 가능하다.
- [0040] 또한, 도 1에 도시한 바와 같이, 게이트 라인(151)은 데이터 라인(171) 및 공통 전원 라인(172)과 교차하는 방향으로 형성된다. 데이터 라인(171)과 공통 전원 라인(172)은 평행하게 형성된다. 그리고 유기 발광 소자(70)의 공통 전극 라인(730)은 게이트 라인(151)과 교차하고, 데이터 라인(171) 및 공통 전원 라인(172)과 평행하게 형성된다.
- [0041] 또한, 본 발명의 제1 실시예에서, 캐패시터(90)는 유기 발광 소자(70)의 공통 전극 라인(730)과 겹치지 않도록 배치된다. 즉, 캐패시터(90)는 공통 전극 라인(730)과 공통 전원 라인(172) 사이의 공간에 배치된다.
- [0042] 또한, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)는 공통 전원 라인(172) 위에 공통 전극 라인(730)과 동일한 소재로 평행하게 함께 형성된 보조 공통 전원 라인(772)을 더 포함한다. 본 발명의 제1 실시예에서, 보조 공통 전원 라인(772)은, 도 2에 도시한 바와 같이, 공통 전원 라인(172) 바로 위에 형성된다. 보조 공통 전원 라인(772)은 공통 전원 라인(172)의 전기적 특성을 향상시켜, 즉 전기저항성을 감소시켜 전압 강하를 억제한다.
- [0043] 이하, 도 2를 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)를 제2 박막 트랜지스터(20), 유기 발광 소자(70), 및 캐패시터(90)의 구조를 중심으로 적층 순서에 따라 상세히 설명한다.
- [0044] 기판(110)은 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 투명한 절연성 기판으로 형성된다. 그러나 본 발명의 제1 실시예가 이에 한정되는 것은 아니다. 또한, 기판(110)이 플라스틱 등으로 만들어질 경우 플렉서블(flexible)한 기판으로 형성될 수도 있다.
- [0045] 기판(110) 상에는 버퍼층(120)이 형성된다. 버퍼층(120)은 화학적 기상 증착(chemical vapor deposition)법 또는 물리적 기상 증착(physical vapor deposition)법을 이용하여 산화규소막 및 질화규소막 등과 같은 절연막들을 하나 이상 포함하는 단층 또는 복층 구조로 형성된다.
- [0046] 버퍼층(120)은 기판(110)에서 발생하는 수분 또는 불순물의 확산 및 침투를 방지하고, 표면을 평탄화하며, 액티브층(136)을 형성하기 위한 결정화 공정에서 열의 전달 속도를 조절하여 결정화가 잘 이루어질 수 있도록 돕는 역할을 한다.
- [0047] 한편, 버퍼층(120)은 기판(110)의 종류 및 공정 조건에 따라 생략될 수도 있다.
- [0048] 버퍼층(120) 위에는 액티브층(136) 및 제1 캐패시터 전극(139)을 포함하는 반도체층 패턴이 형성된다. 액티브층(136) 및 제1 캐패시터 전극(139)은 버퍼층(120) 위에 비정질 규소막을 형성하고 이를 결정화하여 다결정 규소막을 형성한 후 패터닝하여 형성된다. 하지만, 본 발명의 제1 실시예가 이에 한정되는 것은 아니다. 경우에 따라, 제1 캐패시터 전극(139)은 액티브층(136)과 다른 소재로 형성될 수도 있다. 예를 들면, 제1 캐패시터 전극(139)은 금속으로 형성될 수도 있다.
- [0049] 액티브층(136) 및 제1 캐패시터 전극(139) 위에는 게이트 절연막(140)이 형성된다. 구체적으로, 게이트 절연막(140)은 버퍼층(120) 위에서 액티브층(136) 및 제1 캐패시터 전극(139)을 덮도록 형성된다. 게이트 절연막(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소(SiNx), 및 산화규소(SiO₂) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질 중 하나 이상을 포함하여 형성된다.
- [0050] 게이트 절연막(140) 위에는 게이트 전극(156), 화소 전극(720), 및 제2 캐패시터 전극(159)을 포함하는 제1 도전막 패턴이 형성된다. 또한, 제1 도전막 패턴은 게이트 라인(151)(도 1에 도시)을 더 포함할 수 있다.
- [0051] 게이트 전극(156)은 액티브층(136)의 채널 영역(1366)과 중첩되도록 액티브층(136) 상에 형성된다. 액티브층(136)은 불순물이 도핑되지 않은 채널 영역(1366)과, 채널 영역(1366)의 양측에 각각 배치되어 불순물이 도핑된 소스 영역(1367) 및 드레인 영역(1368)으로 구분된다. 게이트 전극(156)은 불순물을 도핑하여 소스 영역(1367) 및 드레인 영역(1368)을 형성하는 과정에서 채널 영역(1366)에 불순물이 도핑되는 것을 차단하는 역할을 한다. 또한, 액티브층(136)의 소스 영역(1367) 및 드레인 영역(1368)에 불순물을 도핑하는 과정에서 제1 캐패시터 전극(139)에도 불순물이 함께 도핑될 수 있다.
- [0052] 또한, 게이트 전극(156)은 게이트 투명 도전층과 게이트 투명 도전층 상에 형성된 게이트 금속층을 포함하는 이중층으로 형성된다. 게이트 금속층은 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈(Ta), 및 텅스텐(W) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질 중 하나 이상을 포함하여 형성

된다. 게이트 투명 도전층은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZITO (Zinc Indium Tin Oxide), GITO(Gallium Indium Tin Oxide), In₂O₃(Indium Oxide), ZnO(Zinc Oxide), GIZO(Gallium Indium Zinc Oxide), GZO(Gallium Zinc Oxide), FTO(Fluorine Tin Oxide), 및 AZO(Aluminum-Doped Zinc Oxide) 등과 같은 투명한 도전 물질 들 중 하나 이상을 포함한다.

- [0053] 화소 전극(710)은 게이트 전극(156)의 게이트 투명 도전층과 동일한 소재로 동일한 층에 형성될 수 있다.
- [0054] 제2 캐패시터 전극(159)은 제1 캐패시터 전극(139) 위에 배치된다. 제1 캐패시터 전극(139)과 제2 캐패시터 전극(159) 사이에 위치하는 게이트 절연막(140)은 유전체가 된다. 즉, 제1 캐패시터 전극(139), 게이트 절연막(140), 및 제2 캐패시터 전극(159)은 캐패시터(90)를 구성한다.
- [0055] 또한, 제2 캐패시터 전극(159)은, 화소 전극(710)과 마찬가지로, 게이트 투명 도전층과 동일한 소재로 동일한 층에 형성될 수 있다.
- [0056] 하지만, 본 발명의 제1 실시예가 이에 한정되는 것은 아니며, 제2 캐패시터 전극(159)은 게이트 전극(156)과 마찬가지로 게이트 투명 도전층과 게이트 금속층을 포함하는 다층 구조로 형성될 수도 있다. 또한, 제2 캐패시터 전극(159)은 제1 도전막 패턴이 아닌 후술할 제2 도전막 패턴에 형성될 수도 있다.
- [0057] 제1 도전막 패턴(151, 156, 159) 위에는 층간 절연막(160)이 형성된다. 층간 절연막(160)은 질화규소막 및 산화규소막 중 하나 이상을 포함한다. 즉, 층간 절연막(160)은 질화규소막 또는 산화규소막으로 형성된 단층으로 형성되거나, 질화규소막과 산화규소막이 적층된 복층으로 형성될 수 있다. 또한, 층간 절연막(160)은 수소를 함유할 수 있다. 특히, 질화규소막이 공정 조건 상 용이하게 수소를 함유할 수 있다. 층간 절연막(160)은 절연 기능 이외에 액티브층(136)을 어닐링(annealing)하는 과정에서 액티브층(136)에 수소를 공급하여 어닐링이 원활하게 진행될 수 있도록 돕는 역할도 할 수 있다.
- [0058] 하지만, 본 발명의 제1 실시예가 이에 한정되는 것은 아니다. 따라서 층간 절연막(160)으로 질화규소막이나 산화규소막과 같은 무기막이 아닌 유기막이 사용될 수도 있다. 층간 절연막(160)으로 유기막을 사용할 경우, 상대적으로 두꺼운 두께로 형성하기 용이하다. 따라서 층간 절연막(160)을 안정적인 층간 절연을 확보할 수 있도록 충분히 두꺼운 두께로 형성할 수 있다.
- [0059] 또한, 층간 절연막(160)은 무기막과 유기막을 모두 사용하여 복층 구조로 형성될 수도 있다.
- [0060] 한편, 층간 절연막(160)은 화소 전극(710)의 일부 또는 전부를 드러내는 화소 층간 개구 영역(163)을 갖는다. 층간 절연막(160)의 화소 층간 개구 영역(163)을 통해 화소 전극(710)을 형성하는 과정에서 게이트 투명 도전층 위에 형성된 게이트 금속층을 제거할 수 있다.
- [0061] 또한, 층간 절연막(160)은 제2 캐패시터 전극(159) 위에 형성된 캐패시터 개구 영역(169)을 갖는다. 층간 절연막(160)의 캐패시터 개구 영역(169)을 통해 제2 캐패시터 전극(159)을 형성하는 과정에서 게이트 투명 도전층 위에 형성된 게이트 금속층을 제거할 수 있다.
- [0062] 또한, 층간 절연막(160)과 게이트 절연막(140)은 함께 액티브층(136)의 일부를 드러내는 복수의 접촉 구멍들(167, 168)을 갖는다. 복수의 접촉 구멍들(167, 168)은 액티브층(136)의 소스 영역(1367) 및 드레인 영역(1368)의 일부를 드러낸다.
- [0063] 층간 절연막(160) 위에는 데이터 라인(171)(도 1에 도시), 공통 전원 라인(172), 소스 전극(177), 드레인 전극(178)을 포함하는 제2 도전막 패턴이 형성된다. 또한, 전술한 바와 같이 경우에 따라 제2 캐패시터 전극(159)이 제2 도전막 패턴에 포함될 수도 있다.
- [0064] 제2 도전막 패턴은 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질 중 하나 이상을 포함하여 만들어질 수 있다.
- [0065] 소스 전극(177) 및 드레인 전극(178)은 각각 접촉 구멍들(167, 168)을 통해 액티브층(136)의 소스 영역(1367) 및 드레인 영역(1368)과 접촉된다.
- [0066] 제2 도전막 패턴(171, 172, 176, 178) 위에는 보호 절연막(180)이 형성된다. 보호 절연막(180)은 해당 기술 분야의 전문가에게 공지된 다양한 소재로 형성될 수 있다.
- [0067] 보호 절연막(180)은 층간 절연막(160)의 화소 층간 개구 영역(163)과 함께 화소 전극(710)의 일부를 드러내는 화소 보호 개구 영역(183)을 갖는다. 또한, 보호 절연막(180)은 공통 전원 라인(172)을 드러내는 라인 개구 영

역(188)도 갖는다.

- [0068] 보호 절연막(180) 위에는 화소 정의막(190)이 형성된다. 화소 정의막(190)은 보호 절연막(180)의 화소 보호 개구 영역(183) 및 층간 절연막(160)의 화소 층간 개구 영역(163)과 함께 화소 전극(710)의 일부를 드러내는 화소 개구부(193)와, 보호 절연막(180)의 라인 개구 영역(188)과 함께 공통 전원 라인(172)을 드러내는 라인 개구부(198)를 포함한다.
- [0069] 화소 정의막(190)은 해당 기술 분야의 종사자에게 공지된 다양한 유기 또는 무기 물질로 형성될 수 있다. 예를 들어, 화소 정의막(190)은 감광성 유기막으로 패터닝된 후, 열경화 또는 광경화되어 형성될 수 있다.
- [0070] 유기 발광층(720)은 화소 정의막(190)의 화소 개구부(193) 내에서 화소 전극(710) 위에 형성된다.
- [0071] 공통 전극 라인(730)은 유기 발광층(720) 상에 형성되며, 데이터 라인(171) 및 공통 전원 라인(172)과 평행하게 형성된다. 이때, 공통 전극 라인(730)은 제1 캐패시터 전극(139) 및 제2 캐패시터 전극(159)과는 비중첩되도록 배치된다.
- [0072] 화소 전극(710), 유기 발광층(720), 및 공통 전극 라인(730)은 유기 발광 소자(70)가 된다. 그리고 화소 전극(710), 유기 발광층(720), 및 공통 전극 라인(730)이 차례로 적층되는 화소 정의막(190)의 화소 개구부(193)는 실제로 유기 발광 소자(70)가 발광하는 발광 영역이 된다.
- [0073] 보조 공통 전원 라인(772)은 공통 전원 라인(172)을 따라 공통 전원 라인(172) 위에 형성된다. 구체적으로, 보조 공통 전원 라인(772)은 화소 정의막(190)의 라인 개구부(198)와 보호 절연막(180)의 라인 개구 영역(188) 내에 배치된다. 그리고 보조 공통 전원 라인(772)은 공통 전극 라인(730)과 동일한 소재로 함께 형성된다. 또한, 보조 공통 전원 라인(772)은 공통 전극 라인(730)과 평행하게 형성될 수 있다.
- [0074] 이와 같이, 본 발명의 제1 실시예에서, 보조 공통 전원 라인(772)은 공통 전원 라인(172) 바로 위에 접하도록 형성된다.
- [0075] 이와 같은 구성에 의하여, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)는 공통 전극 라인(730)과 캐패시터(90)가 중첩되지 않아 불필요한 기생 용량의 발생을 최소화할 수 있다. 또한, 보조 공통 전원 라인(772)에 의해 전압 강하를 억제할 수 있다.
- [0076] 이하, 도 3 내지 도 7을 참조하여 본 발명의 제1 실시예에 따른 유기 표시 장치(101)의 제조 방법을 설명한다.
- [0077] 먼저, 도 3에 도시한 바와 같이, 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 투명한 절연성 기판(110)을 마련한 후, 기판(110) 상에 버퍼층(120)을 형성한다. 버퍼층(120)은 질화규소(SiNx)의 단일막 또는 질화규소(SiNx)와 산화규소(SiO₂)가 적층된 이중막 구조로 형성될 수 있다.
- [0078] 다음, 버퍼층(120) 위에 액티브층(136) 및 제1 캐패시터 전극(139)을 포함하는 반도체층 패턴을 형성한다. 반도체층 패턴(136, 139)은 버퍼층(120) 위에 비정질 규소막을 증착하고 이를 결정화하여 다결정 규소막을 형성한 후 패터닝하는 방법으로 형성할 수 있다.
- [0079] 비정질 규소막을 결정화시키는 방법으로는 고상 결정화법(solid phase crystallization), 엑시머 레이저 결정화법(excimer laser crystallization), 금속 유도 결정화(metal induced crystallization, MIC) 방법, 금속 유도 측면 결정화(metal induced lateral crystallization, MILC) 방법, 및 SGS 결정화(super grain silicon crystallization) 방법 등 해당 기술 분야의 종사자에게 공지된 다양한 결정화 방법들이 사용될 수 있다.
- [0080] 다음, 반도체층 패턴(136, 139)을 덮는 게이트 절연막(140)을 형성한다. 그리고 게이트 절연막(140) 위에 게이트 투명 도전층 및 게이트 금속층을 차례로 적층시킨다.
- [0081] 다음, 도 4에 도시한 바와 같이, 게이트 투명 도전층 및 게이트 금속층을 패터닝하여 게이트 전극(156), 화소 전극 중간체(7100), 및 제2 캐패시터 전극 중간체(1590)를 형성한다. 즉, 게이트 전극(156), 화소 전극 중간체(7100), 및 제2 캐패시터 전극 중간체(1590)는 게이트 투명 도전층 및 게이트 금속층이 차례로 적층된 복층 구조로 형성된다.
- [0082] 다음, 액티브층(136)에 불순물을 도핑한다. 이때, 액티브층(136)은 불순물이 도핑되지 않은 채널 영역(1366)과, 불순물이 도핑된 소스 영역(1334, 1367) 및 드레인 영역(1335, 1368)으로 구분된다. 게이트 전극(156)은 액티브층(136)의 채널 영역(1366)에 불순물이 도핑되는 것을 차단하는 역할을 한다. 이때, 제1 캐패시터 전극(139)의 일부에도 불순물이 함께 도핑된다.

- [0083] 다음, 도 5에 도시한 바와 같이, 게이트 전극(156), 화소 전극 중간체(7100) 및 제2 캐패시터 전극 중간체(1590) 위에 층간 절연막(160)을 형성한다. 층간 절연막(160)은 절화규소막 및 산화규소막 중 하나 이상을 포함하는 무기막이나 유기막으로 만들어질 수 있다. 그리고 층간 절연막(160)은 무기막과 유기막을 모두 포함할 수도 있다.
- [0084] 다음, 층간 절연막(160)에 복수의 접촉 구멍들(167, 168)을 형성한다. 이때, 게이트 절연막(140)도 일부 제거하여 층간 절연막(160)의 접촉 구멍들(167, 168)이 액티브층(136)의 소스 영역(136) 및 드레인 영역(137)을 드러낼 수 있게 한다.
- [0085] 또한, 층간 절연막(160)에 화소 전극 중간체(7100) 및 제2 캐패시터 전극 중간체가 드러나도록 화소 층간 개구 영역(163) 및 캐패시터 개구 영역(169)을 형성한다.
- [0086] 도 5에는 캐패시터 개구 영역(169)이 제2 캐패시터 전극 중간체(1590)를 완전히 노출하도록 형성되었으나, 본 발명에 따른 실시예는 이에 한정되지 않으며 필요에 따라 제2 캐패시터 전극 중간체와 같거나 작게 형성할 수도 있다.
- [0087] 다음, 도 6에 도시한 바와 같이, 화소 층간 개구 영역(163) 및 캐패시터 개구 영역(169)을 통해 드러난 화소 전극 중간체(7100) 및 제2 캐패시터 전극 중간체(1590)의 게이트 금속층을 제거하여, 화소 전극(710) 및 제2 캐패시터 전극(159)을 완성한다.
- [0088] 그리고 제1 캐패시터 전극(139)의 다른 부분에도 불순물을 도핑한다. 제2 캐패시터 전극(159)은 게이트 투명 도전층으로 형성되므로, 불순물은 제2 캐패시터 전극(159)을 투과하여 제1 캐패시터 전극(139)에 도핑될 수 있다.
- [0089] 다음, 층간 절연막(160) 위에, 소스 전극(177), 드레인 전극(178), 데이터 라인(171)(도 1에 도시), 및 공통 전원 라인(172)을 포함하는 제2 도전막 패턴을 형성한다. 소스 전극(177) 및 드레인 전극(178)은 복수의 접촉 구멍들(167, 168)을 통해 액티브층(136)의 소스 영역(1367) 및 드레인 영역(1368)과 각각 접촉된다.
- [0090] 다음, 도 7에 도시한 바와 같이, 제2 도전막 패턴 위에 보호 절연막을 형성한다. 이때, 보호 절연막은 층간 절연막의 층간 화소 개구 영역과 함께 화소 전극의 일부를 드러내는 보호 화소 개구 영역과, 공통 전원 라인을 드러내는 라인 개구 영역을 갖는다.
- [0091] 다음, 보호 절연막(180) 위에 화소 정의막(190)을 형성한다. 화소 정의막(190)은 층간 절연막(160)의 층간 화소 개구 영역(163) 및 보호 절연막(180)의 보호 화소 개구 영역(183)과 함께 화소 전극(710)의 일부를 드러내는 화소 개구부(193)와, 보호 절연막(180)의 라인 개구 영역(188)과 함께 공통 전원 라인(172)을 드러내는 라인 개구부(198)를 포함한다.
- [0092] 다음, 화소 정의막(190)의 화소 개구부(193)를 통해 드러난 화소 전극(710) 위에 유기 발광층을 형성한다.
- [0093] 다음, 앞서 도 2에 도시한 바와 같이, 유기 발광층(720) 위에 공통 전극 라인(730)을 형성하고, 화소 정의막(190)의 라인 개구부(198)를 통해 드러난 공통 전원 라인(172) 위에 보조 공통 전원 라인(772)을 형성한다. 공통 전극 라인(730)과 보조 공통 전원 라인(772)은 동일한 소재로 함께 형성된다. 보조 공통 전원 라인(772)은 공통 전원 라인(172)의 전기적 특성을 향상시켜 유기 발광 표시 장치(101)의 전압 강하를 억제한다.
- [0094] 이상과 같은 제조 방법을 통하여, 본 발명의 제1 실시예에 따른 유기 표시 장치(101)를 효과적으로 제조할 수 있다. 이에, 유기 발광 표시 장치(101)는 불필요한 기생 용량의 발생을 최소화하고, 전압 강하를 억제할 수 있다.
- [0095] 이하, 도 8을 참조하여 본 발명의 제2 실시예에 따른 표시 장치(102)를 설명한다.
- [0096] 도 8에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)는 보조 공통 전원 라인(772)이 보호 절연막(180)을 사이에 두고 공통 전원 라인(172) 상에 형성된다. 즉, 본 발명의 제2 실시예에서, 보호 절연막(180)은 라인 개구 영역을 갖지 않는다.
- [0097] 본 발명의 제2 실시예와 같이, 보호 절연막(180)을 사이에 두고 배치된 보조 공통 전원 라인(772)과 공통 전원 라인(172)은 MIM(metal-insulator-metal) 구조의 보조 캐패시터로 활용될 수 있다.
- [0098] 이와 같은 구성에 의하여, 유기 발광 표시 장치(102)는 공통 전극 라인(730)과 캐패시터(90)가 중첩되지 않아 불필요한 기생 용량의 발생을 최소화할 수 있다. 그러면서, 공통 전원 라인(172)과 보조 공통 전원 라인(772)

을 보조 캐패시터로 활용할 수 있다.

[0099] 또한, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)의 제조 방법은 보호 절연막(180)에 라인 개구 영역을 형성하지 않는 점을 제외하면 제1 실시예와 동일하다.

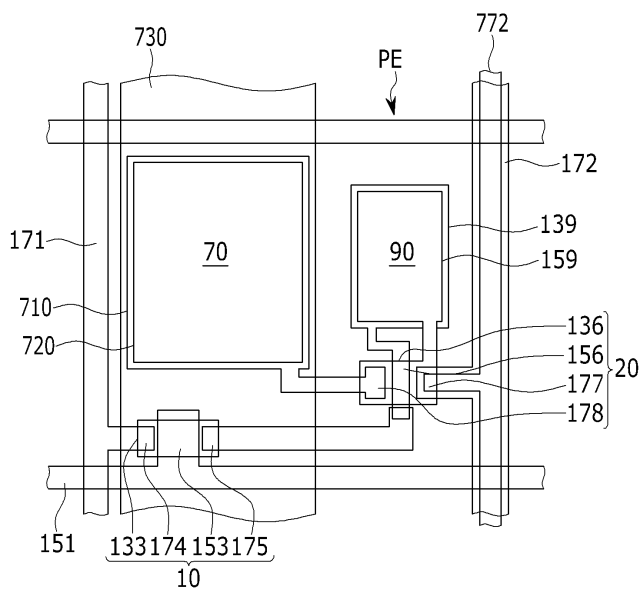
[0100] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

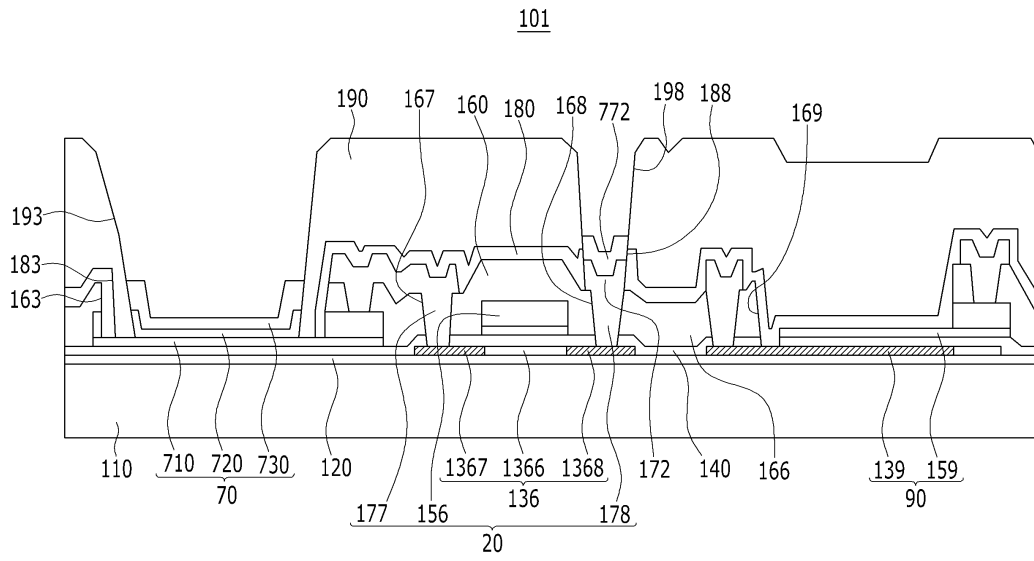
- [0101] 10, 20: 박막 트랜지스터 70: 유기 발광 소자
- 90: 캐패시터 101, 102: 표시 장치
- 110: 기판 120: 버퍼층
- 136: 액티브층 139: 제1 캐패시터 전극
- 140: 게이트 절연막 151: 게이트 라인
- 156: 게이트 전극 159: 제2 캐패시터 전극
- 160: 층간 절연막 171: 데이터 라인
- 172: 공통 전원 라인 177: 소스 전극
- 178: 드레인 전극 180: 보호 절연막
- 190: 화소 정의막 710: 화소 전극
- 720: 유기 발광층 730: 공통 전극 라인
- 772: 보조 공통 전원 라인
- PE: 화소 영역

도면

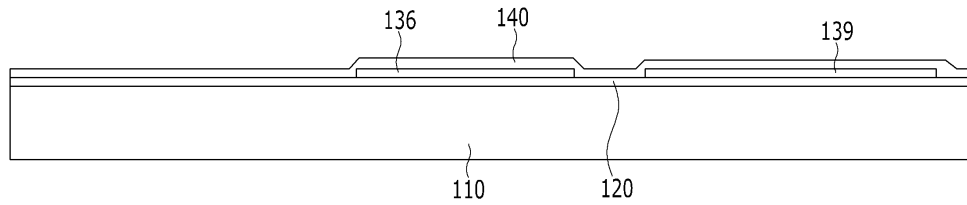
도면1



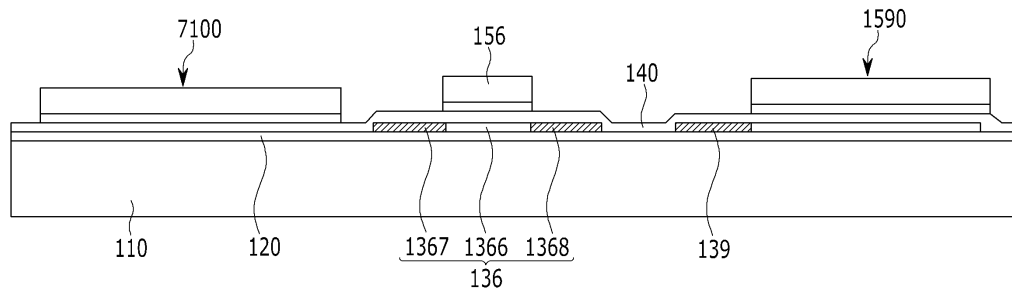
도면2



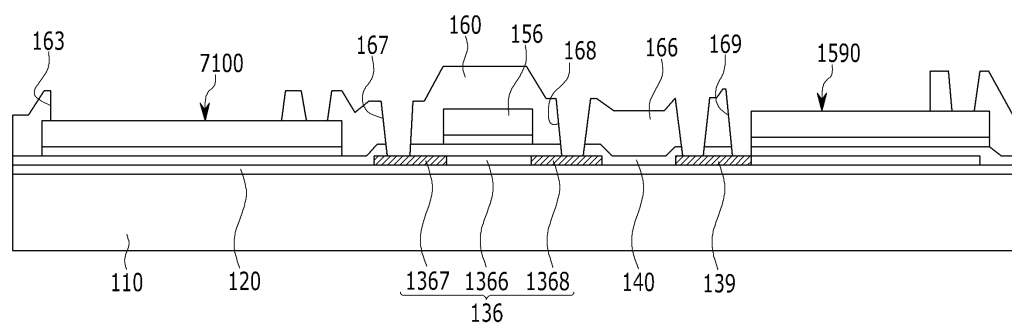
도면3



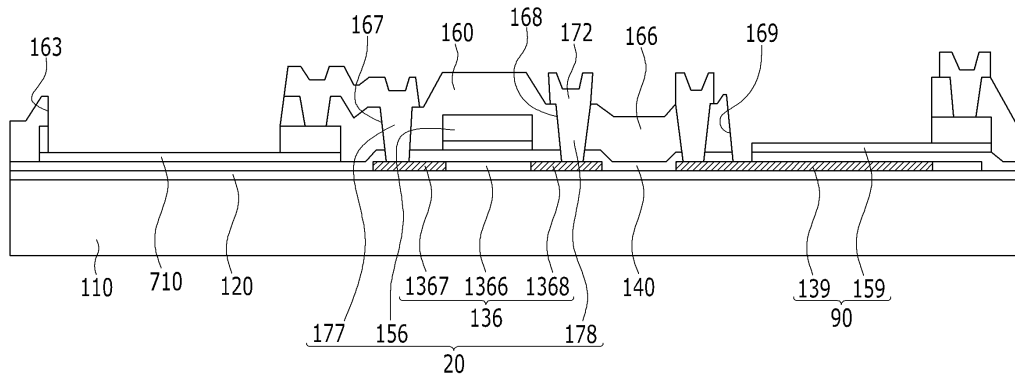
도면4



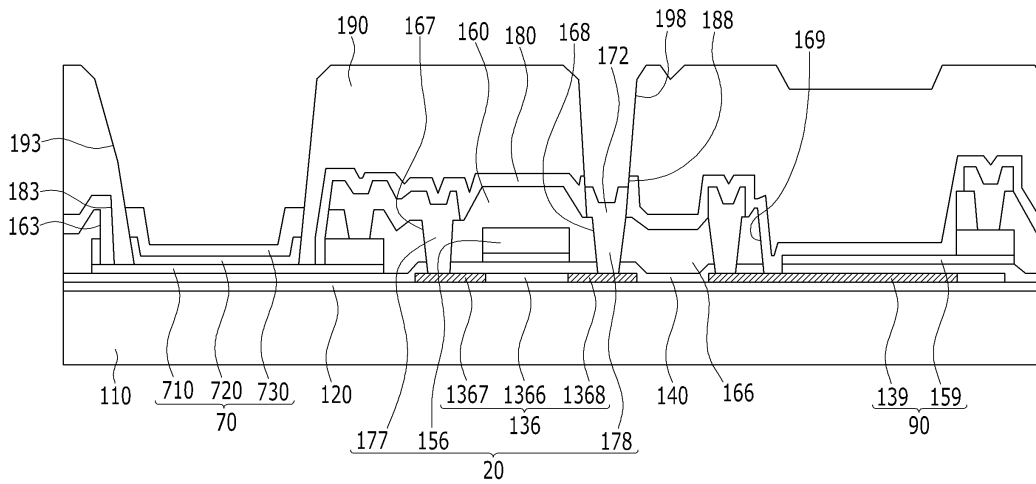
도면5



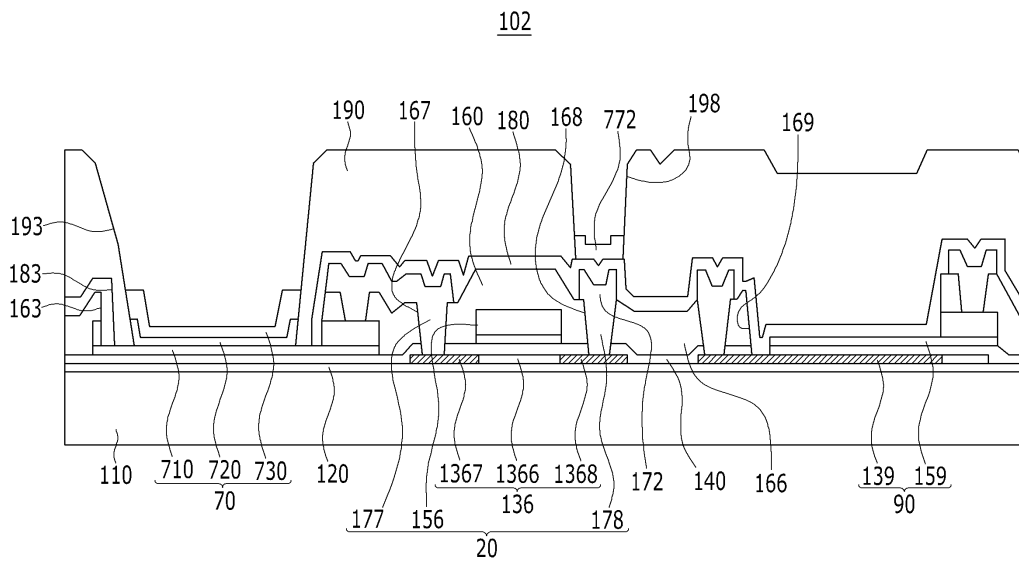
도면6



도면7



도면8



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR101855406B1	公开(公告)日	2018-05-08
申请号	KR1020110082257	申请日	2011-08-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HEO SEONG KWEON 허성권 KANG KI NYENG 강기녕		
发明人	허성권 강기녕		
IPC分类号	H01L51/50 H01L51/56		
CPC分类号	H01L27/3276 H01L27/3248 H05B33/26 G09G3/3225 H01L2227/32 H01L2251/50		
其他公开文献	KR1020130019947A		
外部链接	Espacenet		

摘要(译)

在有机发光显示装置及其制造方法中，根据它的基板，所述基板，所述第一薄膜中，每个具有有源层，栅电极，源电极和漏电极上形成的本发明的一实施例的OLED显示器栅极线连接到第一薄膜晶体管的栅极；数据线连接到第一薄膜晶体管的源极并与栅极线交叉；被连接到源极电极，栅极线和交点，以及与所述数据线和所述薄膜晶体管的漏电极的第二连接平行的公共电源线是分离的像素电极和形成在所述第一电极上的有机发光层和公共电极形成在有机发光层上并与数据线和公共电源线平行形成，线，以及形成在平行于相同的材料上的公共电源线与公共电极线的辅助共用电源线。

