



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                                                                 |                                               |                                     |                                          |
|-----------------------------------------------------------------|-----------------------------------------------|-------------------------------------|------------------------------------------|
| (51) 。 Int. Cl.<br>H05B 33/10 (2006.01)<br>H05B 33/26 (2006.01) |                                               | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자 | 2007년07월16일<br>10-0740035<br>2007년07월10일 |
| (21) 출원번호<br>(22) 출원일자<br>심사청구일자                                | 10-2005-0098188<br>2005년10월18일<br>2005년10월18일 | (65) 공개번호<br>(43) 공개일자              | 10-2007-0042355<br>2007년04월23일           |

|           |                                    |
|-----------|------------------------------------|
| (73) 특허권자 | 주식회사 대우일렉트로닉스<br>서울특별시 마포구 아현동 686 |
| (72) 발명자  | 이태훈<br>서울 강서구 화곡동 161-4 나-501      |
| (74) 대리인  | 특허법인아주                             |

|                                                     |                 |
|-----------------------------------------------------|-----------------|
| (56) 선행기술조사문헌<br>KR1020030023331<br>KR1020040103672 | KR1020030057642 |
|-----------------------------------------------------|-----------------|

심사관 : 김창균

전체 청구항 수 : 총 3 항

(54) 오엘이디 디스플레이 패널의 전극 패턴 형성방법

(57) 요약

오엘이디 디스플레이 패널의 전극 패턴 형성방법이 제공된다. 오엘이디 디스플레이 패널의 전극 패턴 형성방법은 (a)제1 실리콘기판 상에 금속막을 형성한 후, 금속막을 식각하여 캐소드라인과 보조전극라인을 형성하는 단계, (b)제2 실리콘 기판에 화소부분과 보조전극라인이 형성될 부분을 관통 식각하는 단계,(c)상기의 공정을 거친 제1 실리콘기판 및 제2 실리콘 기판을 캐소드라인과 보조전극라인이 노출되도록 접합시키는 단계, (d)캐소드라인과 보조전극라인이 노출된 상기 제2 실리콘 기판 상에 Cu 도금을 해주는 단계, 및 (e)CMP 공정을 통해 제2 실리콘 기판 보다 높게 형성된 Cu층을 제거해주고 상면을 평탄화해주는 단계를 포함한다.

대표도

도 2h

특허청구의 범위

청구항 1.

- (a) 제1 실리콘기판 상에 금속막을 형성한 후, 상기 금속막을 식각하여 캐소드라인과 보조전극라인을 형성하는 단계;
- (b) 제2 실리콘 기판에 화소부분과 보조전극라인이 형성될 부분을 판통 식각하는 단계;
- (c) 상기 공정을 거친 제1 실리콘기판 및 제2 실리콘 기판을 상기 캐소드라인과 보조전극라인이 노출되도록 접합시키는 단계;
- (d) 상기 캐소드라인과 보조전극라인이 노출된 상기 제2 실리콘 기판 상에 Cu 도금을 해주는 단계; 및
- (e) CMP 공정을 통해 상기 제2 실리콘 기판 보다 높게 형성된 Cu층을 제거해주고 상면을 평탄화해주는 단계를 포함하는 오엘이디 디스플레이 패널의 전극 패턴 형성 방법.

## 청구항 2.

제 1 항에 있어서,

상기 금속막은 Cu, Al, Ag, Cr 중 하나로 이루어지는 것을 특징으로 하는 오엘이디 디스플레이 패널의 전극 패턴의 형성방법.

## 청구항 3.

제 1 항에 있어서,

상기 금속막은 스퍼터링에 의해 형성되는 것을 특징으로 하는 오엘이디 디스플레이 패널의 전극 패턴 형성방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 오엘이디 디스플레이 패널의 전극 패턴 형성방법에 관한 것으로서, 보다 상세하게는 상부 발광형 오엘이디 디스플레이 패널에 있어서 CMP 공정을 이용하여 평탄하게 전극패턴을 형성하는 방법에 관한 것이다.

오엘이디는 낮은 전압에서 구동이 가능하고 박형화, 광시야각, 빠른 응답속도 등 LCD에서 문제로 지적되고 있는 결점을 해소할 수 있으며, 다른 디스플레이 소자에 비해 중형 이하에서는 TFT-LCD와 동등하거나 그 이상의 화질을 가질 수 있다는 점과 제조 공정이 단순하여 향후 가격 경쟁에서 유리하다는 등의 장점을 가진 차세대 디스플레이로 주목받고 있다.

이러한 오엘이디는 투명 유리 기판 상에 양전극으로서 ITO 투명 전극 패턴이 형성되어 있는 형태를 가진 하판과 기판 상에 음전극으로서 금속 전극이 형성되어 있는 상판사이의 공간에 유기 발광성 소재가 형성되어, 상기 투명 전극과 상기 금속 전극 사이에 소정의 전압이 인가될 때 유기 발광성 소재에 전류가 흐르면서 빛을 발광하는 성질을 이용하는 디스플레이 장치이다.

오엘이디는 구동방식에 따라서 수동형 오엘이디(Passive matrix OLED)와 능동형 오엘이디(Active matrix OLED), 발광 방향에 따라서 상부 발광형(Top emission type), 하부 발광형(Bottom emission type)로 나눌 수 있는데, 본 발명은 이중 수동형-상부발광형 오엘이디 디스플레이 패널에 있어서 전극패턴을 형성하는 방법에 관한 것이다.

도 1은 종래의 수동형-하부 발광형 오엘이디 디스플레이 패널을 나타내는 도면이다.

도 1에 도시된 바와 같이 종래의 오엘이디 디스플레이 패널(10)은 투명기관(100), 투명기관(100)의 상부에 형성되는 투명한 성질을 가지는 하부전극패턴(110), 상기 하부전극(110)패턴 상호간을 전기적으로 절연시키고 오엘이디 패널의 셀을 정의하는 절연체(insulator; 120) 및 절연체(120) 상에 형성되는 역테이퍼형 분리체(separator; 130)가 형성되어 있으며, 상기 절연체(120)에 의해 정의되는 사이의 공간에 상기 하부전극패턴(110) 상에 위치하도록 상기 분리체(130)를 형성함으로써 발광유기물층(140)이 형성되고 상기 발광유기물층(140) 상에는 상부전극(150)이 형성되는 구조를 가지고 있다.

다만, 도 1에 도시되지는 않았으나, 하부전극패턴(110)에는 일반적으로 크롬(Cr)과 같은 금속으로 된 보조전극(sub electrode)이 형성되어 있다.

그러나, 상기와 같은 구조를 가진 종래의 오엘이디 디스플레이 패널(10)에 있어서 보조전극의 역할을 하는 크롬(Cr)이 저항 때문에 각 화소(pixel)간에 불균일한 발광이 일어날 가능성 있으며, 이로 인한 소비전력 상승의 원인이 되기도 한다.

또한, 애노드(anode)역할을 하는 하부전극패턴(110)은 일반적으로 투명전극으로서 ITO(Indium Tin Oxide)와 같은 물질을 이용하여 형성되는데, 이러한 ITO 물질은 거칠기(roughness)가 매우 심해 거친면의 꼭지점 부근에서 전기(electric field)가 집중되어 코로나 효과(Corona effect)가 발생될 우려가 있으며 이는 곧 소자의 불량률을 야기하는 요인이 되기도 한다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 도금공정과 CMP 공정을 이용하여 보조전극의 배선저항을 낮추고, 매우 평탄한 기관을 확보하여 표면 거칠기에 의한 소자의 불량률을 방지할 수 있는 오엘이디 디스플레이 패널의 전극 패턴 형성방법을 제공하는데 있다.

본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 발명의 구성

상기의 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 오엘이디 디스플레이 패널의 전극 패턴 형성방법은 (a)제1 실리콘기관 상에 금속막을 형성한 후, 금속막을 식각하여 캐소드라인과 보조전극라인을 형성하는 단계, (b)제2 실리콘 기관에 화소부분과 보조전극라인이 형성될 부분을 판통 식각하는 단계, (c)상기의 공정을 거친 제1 실리콘기관 및 제2 실리콘 기관을 캐소드라인과 보조전극라인이 노출되도록 접합시키는 단계, (d)캐소드라인과 보조전극라인이 노출된 상기 제2 실리콘 기관 상에 Cu 도금을 해주는 단계, 및 (e)CMP 공정을 통해 제2 실리콘 기관 보다 높게 형성된 Cu층을 제거해주고 상면을 평탄화해주는 단계를 포함한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 첨부 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

또한, 도면에서 층과 막 또는 영역들의 크기 두께는 명세서의 명확성을 위하여 과장되어 기술된 것이며, 어떤 막 또는 층이 다른 막 또는 층의 "상"에 형성된다고 기재된 경우, 상기 어떤 막 또는 층이 상기 다른 막 또는 층의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막 또는 층이 개재될 수도 있다.

도 2a 내지 도 2h는 본 발명의 실시예에 따른 오엘이디 디스플레이 패널의 전극 패턴 형성방법을 설명하기 위한 공정단면도들이다.

본 발명의 실시예에 따른 오엘이디 디스플레이 패널의 전극 패턴을 형성하기 위해서는 먼저 도 2a에 도시된 바와 같이 제1 실리콘기관(300) 상에 금속막 패턴(310)을 형성한다.

제1 실리콘기판(300)은 오엘이디 디스플레이 패널의 하부 기판을 이루는 두장의 기판 중 하나로서 본 발명은 상부 발광형 오엘이디 디스플레이 패널에 사용되므로 하부기판을 불투명한 실리콘기판으로 사용한다.

금속막패턴(310)은 구리(Cu), 알루미늄(Al), 은(Ag), 크롬(Cr), 금(Au) 중 하나로 된 금속물질막으로서, 그 형성방법은 제 1 실리콘기판(300) 상에 상기 금속물질로 된 금속막을 형성하고 이를 포토공정을 통해 일정한 패턴을 갖도록 식각함으로써 형성된다.

제1 실리콘기판(300) 상에 금속막을 형성하기 위해서는 물리적화학증착법인 스퍼터링(sputtering)을 이용한다.

상기 식각공정에 의해 금속막을 식각하여 캐소드라인(305)과 보조전극라인(306)이 형성된다.

다음으로, 도 2b에 도시된 바와 같이 제2 실리콘기판(301)을 관통식각해준다.

제2 실리콘기판(301)은 상기 제1 실리콘기판(300)과 더불어 상부 발광형 오엘이디 디스플레이 패널의 하부기판을 이루는 하나의 기판으로서 관통식각(through-out etching)을 통하여 화소부분(307)과 보조전극라인이 형성될 부분(308)을 형성한다.

다음으로, 도 2c에 도시된 바와 같이 상기의 공정을 거친 제1 실리콘기판(300)과 제2 실리콘 기판을 접합(bonding)시킨다.

이때, 도 2a에 도시된 캐소드라인(305)과 보조전극라인(306)은 도 2b의 화소부분(307)과 보조전극라인이 형성될 부분(308)에 각각 매칭되도록 접합된다.

다음으로, 도 2d에 도시된 바와 같이 제2 실리콘 기판(301) 상에 구리(Cu) 도금을 실시한다.

일반적으로 도금(plating)은 화학도금법(chemical plating method)과 전기도금법(electro-plating method)이 있으나, 본 발명에서는 갭필링(gap filling) 능력을 고려하여 전기도금법을 사용하여 도금 공정을 수행한다.

도금을 하는 금속은 앞서 설명된바와 같이 구리(Cu) 금속이며, 그 결과 도 2c의 화소부분(307)과 보조전극이 형성될 부분(308)은 구리금속에 의해 모두 갭필링되어 구리도금층(320)이 형성된다.

다만, 도금공정을 수행하기 이전에 화소부분(307)과 보조전극이 형성될 부분(308)에 구리로 된 시드층(seed layer)를 형성하는 공정을 두는 것은 도금기술에 대한 당업자에게는 매우 자명하다.

마지막으로, 도 2e에 도시된 바와 같이 CMP(chemical mechanical planarization) 공정을 통해 제2 실리콘기판(301) 상부에 형성된 구리도금층(320)을 제거하고 제2 실리콘기판(301) 표면 및 그와 평행한 구리도금층(320) 면을 평탄화시켜준다.

CMP 공정이란, 슬러리(slurry) 용액의 화학적 작용과 슬러리 내에 존재하는 연마입자(abrasive particle)와 폴리싱 헤드 부 사이의 기계적 마찰력을 이용해 웨이퍼 표면을 평탄화하고 경면화하는 작업을 말하는데, 이러한 CMP 공정을 통하여 구리도금층(320)의 일부, 구체적으로는 도 3d에 있어서 제2 실리콘기판(301)보다 높은 부분의 구리층을 CMP 공정을 통해 연마하여 제거한다.

그 결과 제거된 구리도금층(320) 및 제2 실리콘기판(301)의 표면은 평탄화가 우수한 면을 가지게 된다.

상기와 같은 공정을 거치게 되면 상부 발광형 오엘이디 디스플레이 패널의 전극패턴이 완성되게 된다.

그 후, 도 2f에 도시된 바와 같이 절연층(330) 및 발광유기물층(340)을 형성하고, 도 2g에 도시된 바와 같이 역테이퍼형 분리체(separator; 350)를 형성하고, 도 2h에 도시된 바와 같이 발광유기물층(340) 상에 상부전극(360)을 형성하면, 오엘이디 디스플레이 패널이 완성된다.

다만, 본 발명은 상부 발광형 오엘이디 디스플레이 패널이므로 상부전극(360)은 ITO와 같은 투명전극으로 형성되어야 할 것이다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였으나, 본 발명은 상기 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

## 발명의 효과

본 발명의 실시예에 따른 오엘이디 디스플레이 패널의 전극 패턴 형성방법에 의하면 보조전극의 배선저항을 낮출 수 있고, 기관을 평탄하게 확보할 수 있어 소비전력의 줄이는 동시에 기관의 거칠기(roughness)에 의한 소자불량율을 줄일 수 있다.

## 도면의 간단한 설명

도 1은 종래의 수동형-하부 발광형 오엘이디 디스플레이 패널을 나타내는 도면이다.

도 2a 내지 도 2h는 본 발명의 실시예에 따른 오엘이디 디스플레이 패널의 전극 패턴 형성방법을 설명하기 위한 공정단면도들이다.

삭제

<도면의 주요 부분에 대한 부호의 설명>

300: 제1 실리콘 기관 301: 제2 실리콘 기관

305: 캐소드전극라인 306: 보조전극라인

307: 화소부분 308: 보조전극라인이 형성될 부분

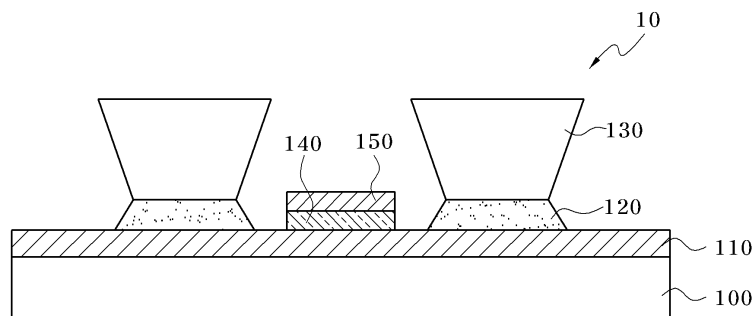
310: 금속막패턴 320: 구리도금층

330: 절연층 340: 발광유기물층

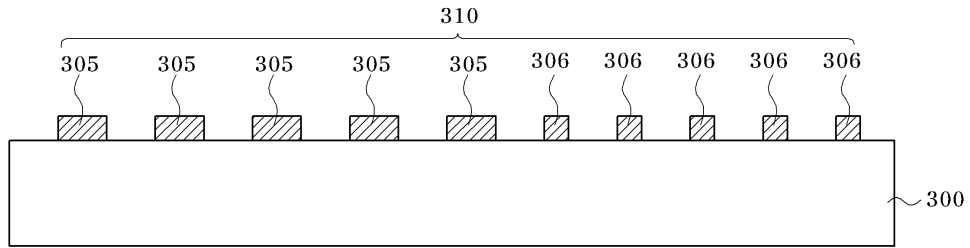
350:분리체 360: 상부전극

도면

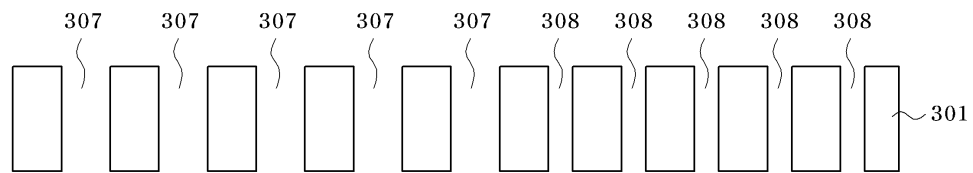
도면1



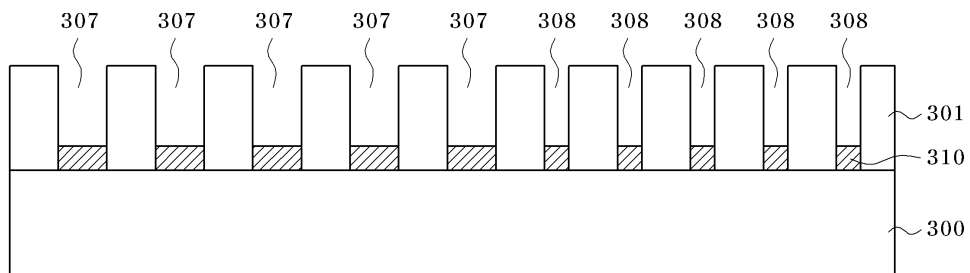
도면2a



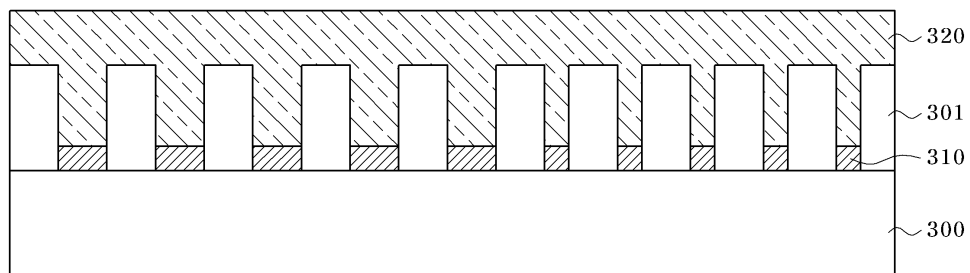
도면2b



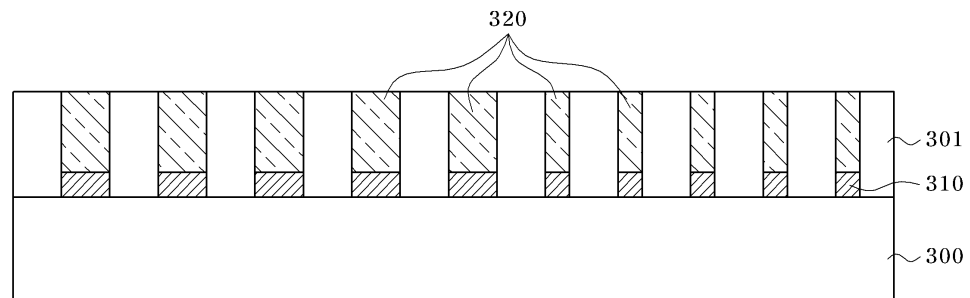
도면2c



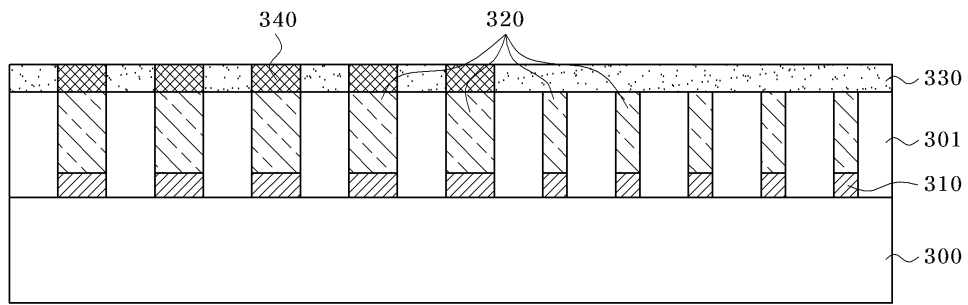
도면2d



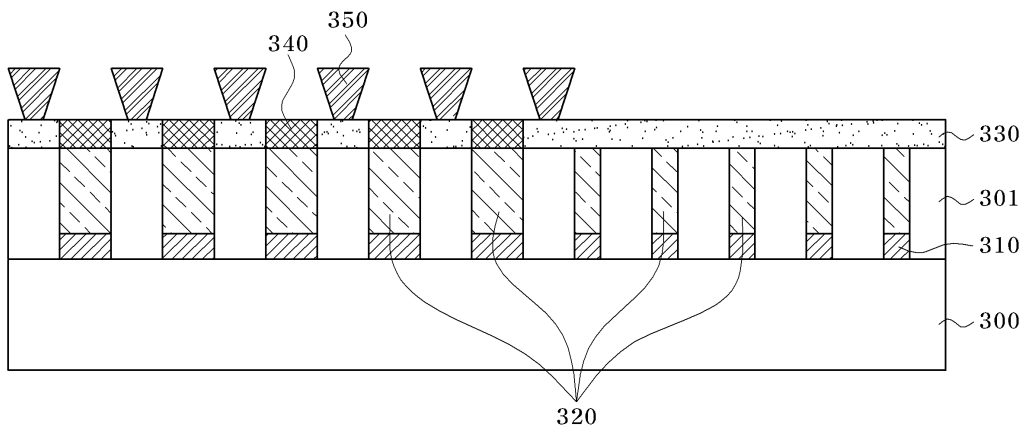
도면2e



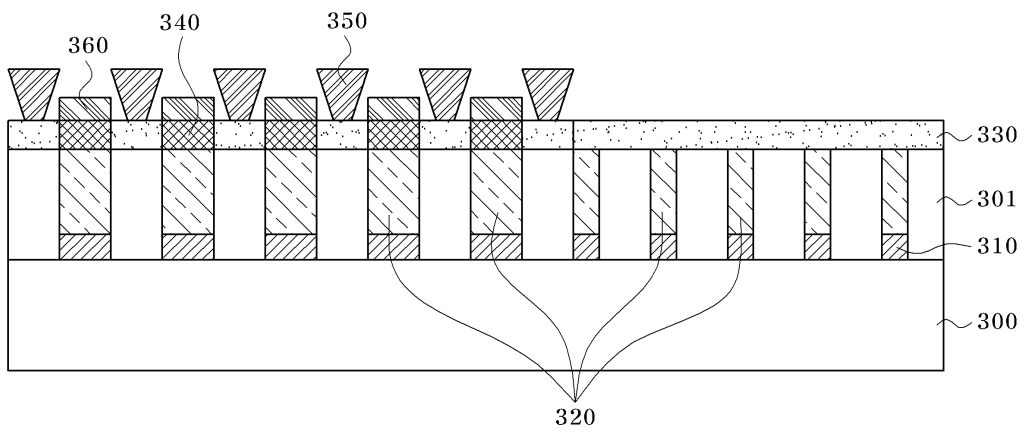
도면2f



도면2g



도면2h



|                |                                   |         |            |
|----------------|-----------------------------------|---------|------------|
| 专利名称(译)        | 形成OLED显示面板的电极图案的方法                |         |            |
| 公开(公告)号        | <a href="#">KR100740035B1</a>     | 公开(公告)日 | 2007-07-16 |
| 申请号            | KR1020050098188                   | 申请日     | 2005-10-18 |
| [标]申请(专利权)人(译) | 大宇电子株式会社                          |         |            |
| 申请(专利权)人(译)    | 东方大宇电子有限公司                        |         |            |
| 当前申请(专利权)人(译)  | 东方大宇电子有限公司                        |         |            |
| [标]发明人         | LEE TAE HUN                       |         |            |
| 发明人            | LEE TAE HUN                       |         |            |
| IPC分类号         | H05B33/10 H05B33/26               |         |            |
| CPC分类号         | H01L51/0023 H01L51/5228 H01L51/56 |         |            |
| 其他公开文献         | KR1020070042355A                  |         |            |
| 外部链接           | <a href="#">Espacenet</a>         |         |            |

#### 摘要(译)

目的：提供一种制造OLED显示面板的电极图案的方法，以通过平坦化基板来降低由于基板的粗糙度导致的器件的功耗和缺陷率。

