(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G09G 3/30

(45) 공고일자 2005년03월10일
(11) 등록번호 10-0475844
(24) 등록일자 2005년03월02일

(21) 출원번호 10-2003-0008692
(22) 출원일자 2003년02월12일

(65) 공개번호 10-2003-0068433
(43) 공개일자 2003년08월21일

(30) 우선권주장 JP-P-2002-00036236 2002년02월14일 일본(JP)

(73) 특허권자 로무 가부시키가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 하나다고이치
일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시키가이샤내

시마다유지
일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시키가이샤내

후지사와마사노리
일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시키가이샤내

(74) 대리인 이후동

심사관 : 천대식

# (54) 유기 E L 구동회로 및 이를 이용한 디스플레이 장치

요약

D/A 컨버터 회로의 입력측 구동 전류는 커런트 미러 형태로 연결된 복수개의 입력측 트랜지스터 중에서 적어도 하나와 직렬로 연결된 스위치에 의해 제어된다. 스위치 회로를 온 상태에서 오프 상태로 바꾸면, 스위치 회로에 의해 오프 상태가 되는 입력측 트랜지스터를 통해 흐르던 정전류가 나머지 입력측 트랜지스터들로 분산되어 흐르게 되고 그 결과 커런트 미러형으로 연결된 출력측 트랜지스터에 D/A 변환에 의해 발생한 큰 전류가 제공된다.

따라서 디스플레이 데이터의 값을 줄일 수 있고 그 결과 D/A 컨버터 회로의 비트 개수를 하나 이상 줄일 수 있게 된다.

대표도

도 1

색인어

유기 EL, 커런트 미러, D/A 컨버터

명세서

도면의 간단한 설명

도 1은 본 발명의 일실시예에 의한 유기 EL 구동회로의 블록도.

도 2는 본 발명의 다른 실시예에 의한 유기 EL 구동회로의 블록도.

도 3은 종래 기술에 의한 유기 EL 구동회로의 블록도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL(Electro Luminescence) 구동회로 및 이를 이용한 디스플레이 장치에 관한 것으로서, 특히 변환되는 비트의 수를 초과하는 D/A 변환 전류를 얻을 수 있고 유기 EL 구동회로의 면적 및 이를 사용하는 유기 EL 디스플레이 장치의 면적을 줄일 수 있도록 커런트 미러(current mirror)회로를 사용하는 D/A 컨버터 회로에 의하여 입력 디지털 값에 대응하는 전류를 생성함으로써 유기 EL 패널의 핀 구동 전류를 발생시키는 칼럼 라인(유기 EL 소자의 양극(anode) 측의 구동라인) 구동회로를 구비한 유기 EL 구동회로의 개선에 관한 것이다.

스스로 발생시킨 빛을 이용하여 고휘도 표시장치를 구현하는 유기 EL 디스플레이 장치는 작은 크기의 디스플레이 장치에 적당한 것으로 알려져 있으며 휴대 전화, DVD 재생기, 또는 PDA(개인 휴대 단말기)와 같은 휴대용 단말 장치에 부착할 차세대의 디스플레이 장치로 각광을 받고 있다. 종래의 유기 EL 표시 장치는 LCD(Liquid Crystal Display) 장치와 마찬가지로 전압으로 구동되는데 R(Red), G(Green), B(Blue) 사이의 민감도 차이때문에 컬러 디스플레이에 있어서 휘도 제어가 매우 어려운 문제가 있었다.

이러한 문제 때문에 최근에는 전류 구동 회로를 사용하는 유기 EL 디스플레이 장치가 소개되었다. 예를 들어 JPH10-112391A는 전류 구동 시스템을 적용하여 휘도 변화 문제를 해결하는 기술을 소개하고 있다.

휴대 전화에 사용되는 유기 EL 디스플레이 장치의 유기 EL 디스플레이 패널은 칼럼 라인에 396(132x3)개, 로우 라인에 162개의 단자 핀을 가지고 있다. 그러나 로우 라인 및 컬럼 라인의 단자 핀은 더욱 증가할 것으로 예상된다.

액티브 매트릭스(active matrix) 형태 또는 단순 매트릭스(simple matrix) 형태의 유기 EL 디스플레이 패널에 사용되는 전류 구동회로의 출력단은 단자 핀마다 커런트 미러가 배치되어 구성된 출력회로와 같은 전류원 구동회로를 포함한다. 전류원 구동회로의 구동단은 미국 특허출원 제10,102,671호에 대응하는 JP2002-82662(JP2001-86967 및 JP2001-396219를 인용하여 국내우선권 주장)에 개시된 바와 같이 각 단자 핀마다 복수개의 출력측 트랜지스터를 구비한 평행 구동식의 커런트 미러 회로(레퍼런스 전류 분배 회로)를 포함한다. 개시된 구동단에서는 출력회로를 구동하기 위해서 레퍼런스 전류 발생회로를 분기함으로써 각각의 단자 핀에 대응하는 복수개의 미러 전류를 생성한다. 선택적으로, 각각의 단자 핀에 분배된 미러 전류는 각각 k배의 전류 증폭 회로에 의해서 증폭된다. 이때 k는 2이상의 정수이고, 출력회로는 증폭된 전류에 의해서 구동된다. k배의 증폭회로는 JP2002-133719에 개시되어 있으며, 상기 문서에는 각각의 단자 핀에 대응하는 D/A 컨버터 회로를 개시하고 있으며 D/A 컨버터 회로는 칼럼 측의 단자 핀에 제공된 디스플레이 데이터를 아날로그 데이터로 변환하여 동시에 칼럼 측의 구동 전류를 생성한다.

LCD 장치에서는 가변 저항 등을 사용하여 디스플레이 휘도를 조절할 수 있다. 유기 EL 패널에서는 일반적으로 레퍼런스 전류 발생회로에서 외부의 휘도 조절 신호에 대응하는 레퍼런스 전류를 발생시킴으로써 휘도를 조절하게 된다. 그러나 전술한 D/A 컨버터 회로를 구비한 전류 구동회로의 경우에는 휘도 세트(luminance set)에 따라서 디스플레이 데이터의 값을 산술적으로 연산하여 휘도를 조절할 수 있다.

휘도를 두배로 하는 경우에는 디스플레이 데이터를 설정하여 D/A 컨버터 회로에서 디스플레이 휘도 데이터 D를 2D로 조절하고, 휘도를 반으로 하는 경우에는 디스플레이 휘도 데이터를 D/2로 조절한다.

도 3은 JP2002-33719에 개시되어 있는 휘도를 조절할 수 있는 유기 EL 구동회로의 칼럼 드라이버(1)를 나타낸다. D/A 컨버터 회로 및 커런트 미러 형태의 전류 출력 회로는 각각 2, 3으로 표시되어 있다.

D/A 컨버터 회로(2)는 컬렉터에 입력단자(2a)를 통해 전류원(14a)으로부터 일정한 전류 I가 제공되는 다이오드 형태로 연결된 입력측 NPN 바이폴라 트랜지스터 Qa, 커런트 미러 형태로 연결된 출력측 NPN 바이폴라 트랜지스터 Qb 내지 Qn-1 및 트랜지스터 Qb 내지 Qn-1의 에미터와 그라운드 사이에 연결되어 스위치로 동작하는 NMOS 트랜지스터 Trb 내지 Trn-1을 포함한다. 트랜지스터 Trb 내지 Trn-1의 게이트는 각각 D/A 컨버터 회로의 입력단자에 연결되며, 여기에 디스플레이 데이터 D0 내지 Dn-1이 제공된다.

출력측 트랜지스터 Qb 내지 Qn-1은 출력 단자(2b)에 연결된 컬렉터를 포함하며 이들 트랜지스터의 에미터 면적비는 각각 1, 2, 4, ..., n에 대응한다. 입력측 트랜지스터 Qa의 에미터는 저항 Ra 및 NMOS 트랜지스터 Tra와 직렬로 연결되어 접지되고, NMOS 트랜지스터 Tra의 게이트는 + VDD 전원 라인과 연결된다.

D/A 컨버터 회로(2)는 CPU 또는 MPU 등으로부터 디스플레이 휘도에 대응하는 디지털 디스플레이 데이터를 입력단자 D0 내지 Dn-1로 입력받고, 이를 아날로그 전류로 변환하여 출력단자(2b)에서 출력한다.

구동단의 각각의 단자 핀에 대한 레퍼런스 전류 분배 회로의 출력회로는 전류원(14a)으로 표시되었다. 또한 트랜지스터 Trr 및 Qr은 기본 전류(base current)를 커런트 미러 연결의 공통 베이스 라인에 제공하는 기본 전류 공급 회

로를 구성하고, 트랜지스터 Qr의 에미터는 저항 Rr 및 NMOS 트랜지스터 Trra와 직렬로 연결되어 그라운드 되며, 트랜지스터 Trra의 게이트는 + VDD 전원라인으로 연결된다.

커런트 미러형의 전류 출력회로(3)는 구동단 커런트 미러 회로(3a)와 출력단 커런트 미러 회로(3b)를 포함한다.

커런트 미러 회로(3a)는 피크(peak) 전류 발생 회로이고, 다이오드 형태로 연결된 NPN 타입의 입력측 트랜지스터(Qs)와 출력측 트랜지스터(Qt)를 포함한다. 트랜지스터 Qs 및 Qt의 에미터는 PMOS 트랜지스터 Trs 및 NMOS 트랜지스터 Trt를 각각 경유하여 출력단 커런트 미러 회로(3b)의 입력단자(3c)에 연결된다.

입력측 트랜지스터 Qs의 컬렉터는 D/A 컨버터 회로(2)의 출력단자(2b)에 연결되고 출력측 트랜지스터 Qt의 컬렉터는 접지된다. 트랜지스터 Qs와 트랜지스터 Qt의 에미터 면적의 비는 1:x 이다. D/A 컨버터 회로(2)의 출력전류를 Ia라고 가정하면, 입력 단자(3c)에서 발생된 전류는 (x+ 1)Ia가 된다. 따라서 커런트 미러 회로(3a)는 트랜지스터 Trt가 온 상태에 있는 경우 (1+ x)배의 구동 전류를 발생시킨다. 트랜지스터 Trs는 트랜지스터 Trt에 대응하여 제공되는 부하(load) 트랜지스터로서 구동 라인의 균형을 맞추기 위하여 게이트를 그라운드와 연결한다. 트랜지스터 Trt는 제어신호 CONT에 의해 초기의 구동 주기에서 일정한 시간동안 ON 상태가 된다.

커런트 미러 회로(3a)는 베이스 전류 수정을 위해 제공되는 커런트 미러 트랜지스터 Qu 및 Qw를 통해서 출력단 커런트 미러 회로(3b)의 입력측 트랜지스터 Qx를 구동한다. 결과적으로 전류 (1+ x)Ia는 트랜지스터 Trt가 온 상태가 되는 동안 입력측 트랜지스터 Qx를 흐른다. 이후에, 구동 전류 Ia는 정상 구동 전류로서 출력된다.

최근에는 고해상도의 필요성 때문에 구동 핀의 개수가 증가하는 추세이다. 피크(peak) 전류 발생 회로 및 D/A 컨버터 회로는 유기 EL 소자의 전류 구동용 단자 핀마다 제공되므로 집적회로의 면적이 증가하고 있다. 그러므로 전력 소비를 줄이고 구동핀의 개수가 증가하면서 늘어난 집적회로의 면적을 줄이기 위해서는 위 회로의 크기를 줄이는 것이 중요하다.

그러나 휘도조절이 D/A 컨버터에 의해 수행되는 경우에, 디스플레이 데이터는 세트 휘도(set luminance)에 대응하여 CPU나 MPU 등과 같은 프로세서에 의해 처리되어 설정된다. 이 경우에 아날로그 값으로 변환되어야 하는 비트의 수는 6 또는 7이 되어 휘도 조절에 필요한 비트수인 1 또는 2 만큼 원래의 디스플레이 데이터의 비트수를 초과하게 된다. 따라서 D/A 컨버터가 차지하는 면적이 증가한다.

이러한 휘도 조절 문제 외에, 고화질의 컬러 디스플레이를 수행하거나 흑백 디스플레이에서 톤의 범위를 증가시키는 경우에 D/A 컨버터 회로에서 변환해야 하는 비트의 개수가 증가한다. 그러나 도 3에 도시된 D/A 컨버터 회로가 유기 EL 디스플레이 패널의 각 단자 핀마다 제공되는 유기 EL 구동 회로에 있어서, 변환해야 하는 비트수의 증가로 인하여 D/A 컨버터 회로가 점유하는 면적이 증가하게 된다. 따라서 유기 EL 디스플레이 패널의 전류 구동 회로가 점유하는 면적의 증가로 인한 영향이 커지게 된다.

## 발명이 이루고자 하는 기술적 과제

본 발명은 아날로그로 변환되어야 할 비트의 개수를 초과하는 D/A 변환 전류를 얻을 수 있는 유기 EL 구동회로를 제공하는 것과 유기 EL 구동 회로가 차지하는 면적을 줄이는 것을 목적으로 한다.

본 발명의 또 다른 목적은 유기 EL 구동회로가 차지하는 면적을 감소시킬 수 있는 유기 EL 디스플레이 장치를 제공하는 것을 목적으로 한다.

## 발명의 구성 및 작용

전술한 목적을 달성하고자 본 발명의 제1 관점에 의한 유기 EL 구동 회로는 커런트 미러 형태로 병렬 연결된 복수개의 출력측 트랜지스터 및 소정의 구동전류가 제공되는 입력측 트랜지스터부를 구비한 D/A 컨버터를 포함한다. 복수개의 출력측 트랜지스터는 디스플레이 데이터의 비트위치에 대응하여 배치되고, 입력된 디스플레이 데이터에 대응하여 선택적으로 동작한다. D/A 컨버터 회로는 디스플레이 데이터에 대응하는 아날로그 출력 전류를 생성하는데, 이는 출력측의 트랜지스터 전류의 총합이다. 입력측 트랜지스터부는 병렬로 연결된 복수개의 트랜지스터, 입력측 트랜지스터부에 포함된 복수개의 트랜지스터 중 적어도 하나와 직렬로 연결된 스위치 회로, 소정의 전류로 복수개의 입력측 트랜지스터를 구동하기 위한 전류원, 및 스위치 회로의 온/오프를 제어하기 위한 제어부를 포함한다. 스위치 회로가 ON 상태에 있고 D/A 컨버터 회로에서 출력된 아날로그 전류가 디스플레이 데이터의 비트수에 대응하는 값을 초과하는 경우에 제어부는 스위치 회로를 오프 상태로 하여 비트수 보다 크지 않은 값을 갖는 디스플레이 데이터를 설정함으로써 큰 아날로그 전류를 생성한다.

전술한 바와 같이, 입력측 구동 전류는 적어도 하나의 입력측 트랜지스터와 직렬로 연결된 스위치 회로에 의해서 제어된다. 스위치 회로를 온에서 오프 상태로함으로써, 스위치 회로를 통하여 입력측 트랜지스터에 제공되던 일정 전류부분은 차단되어 나머지 입력측 트랜지스터에 분산됨으로써 더 큰 아날로그 전류가 커런트 미러 형태로 연결된 출력측 트랜지스터에서 생성되도록 한다. 따라서 디스플레이 데이터의 비트수를 줄일 수 있게 되고, 하나 이상의 입력단자 핀을 줄일 수 있게 된다.

결과적으로 최상위 비트의 위치를 디스플레이 데이터의 비트수를 초과하는 하나 이상의 비트에 대응하도록 할 수 있다. 이로써 D/A 컨버터에 상위 비트에 대한 입력단자가 제공되는 경우에 비하여 트랜지스터의 개수를 크게 줄일 수 있다.

결과적으로 D/A 컨버터 회로의 입력단자의 개수를 줄임으로써 유기 EL 구동 회로가 점유하는 면적을 줄일 수 있다.

더욱이 D/A 컨버터 회로를 이용하여 휘도 조절을 수행하는 경우에서도 휘도를 조절함에 따라 D/A 컨버터 회로의 입력 단자 핀의 수를 늘리지 않고 디스플레이 데이터를 이용하여 휘도를 조절할 수 있다.

이하에서는 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 상세히 설명한다.

도 1에는 유기 EL 구동 회로의 칼럼 드라이버(10)는 D/A 컨버터 회로(11), 레퍼런스 전류 분배 회로의 각각의 단자 핀을 위한 출력회로의 하나로서 도 3에 도시된 전류원(14a)에 대응하는 전류원(12), 휘도 조절 회로(13), 제어회로(14), 레지스터(15), 및 MPU(16)을 포함한다.

D/A 컨버터 회로(11)는 도 3에 도시된 D/A 컨버터 회로(2)에 대응한다. 비록 도 3에 도시된 D/A 컨버터 회로(2)가 입력측 트랜지스터 Qa를 포함하더라도, D/A 컨버터 회로(11)는 입력측 트랜지스터 Qa에 병렬로 연결된 커런트 미러 형태의 입력측 NPN 트랜지스터 Qp를 포함한다. 트랜지스터 Qa와 Qp의 에미터 면적의 비는 1:1이고, Qp의 에미터는 스위치 회로 SW를 통하여 그라운드와 연결된다. 스위치 회로 SW는 일반적으로 온 상태에 있고 제어회로(14)로부터의 휘도 제어 신호 Br에 의해서 오프가 된다. 스위치 회로 SW 및 트랜지스터 Qp는 휘도 조절 회로(13)을 구성한다.

출력측의 커런트 미러 회로는 트랜지스터 Qb 내지 Qn-2를 포함하되, 도 3에 표시된 최상위 비트에 대응하는 트랜지스터 Qn-1은 포함하지 않는다. 따라서, D/A 컨버터 회로(11)의 출력측 트랜지스터의 개수는 도 3에 도시된 출력측 트랜지스터의 개수보다 적다.

비록 도 1에는 도시되어 있지 않지만 D/A 컨버터 회로(11)는 스위치 회로 SW로 사용되는 NMOS 트랜지스터와 트랜지스터 Qp의 에미터 사이에 연결된 저항, 도 3과 같이 트랜지스터 Qa의 에미터와 그라운드 GND 사이에 연결된 저항과 NMOS 트랜지스터의 직렬회로, 및 트랜지스터 Qr의 에미터와 그라운드 GND사이에 연결된 저항과 NMOS 트랜지스터의 직렬회로를 포함할 수 있다. 이와 같이 회로를 구성함으로써 D/A 컨버터 회로(11)의 출력측 트랜지스터 Qb 내지 Qn-2의 출력전류의 균형을 맞출 수 있게 되어 좀더 정확한 D/A 변환이 구현된다. 도 2는 저항과 MOS 트랜지스터를 포함하는 D/A 컨버터의 회로도이다.

도 1의 경우에 각 트랜지스터 Qa 및 Qr의 아래쪽(downstream side)에 제공된 MOS 트랜지스터의 게이트는 도 2 또는 도 3의 경우와 같이 + VDD 전원라인과 같은 바이어스 라인에 연결된다.

입력측 트랜지스터 Qa 및 Qp에는 전류원(12)로부터 전류 Ip = 2I가 제공된다. 즉, 전류원(12)은 도 3의 전류원(14a)의 출력전류보다 두 배 많은 전류를 제공한다.

스위치 회로 SW가 온 상태일 때, 전류 Ip/2(=I)는 D/A 컨버터 회로(11)의 트랜지스터 Qa 및 Qp 각각을 통해 흐른다. 이는 도 3에 도시된 회로의 동작에 대응한다. 이 경우에 트랜지스터 Qn-1의 단자 핀 위치에 대응하는 디스플레이 데이터의 최상위 비트는 0이고 디스플레이 데이터 비트들은 D/A 컨버터 회로(11)의 각각의 입력 단자 D0 내지 Dn-2에 입력된다.

반면에, D/A 컨버터 회로(11)가 휘도제어 신호 Br을 제어회로(14)로부터 수신하였을 때, 트랜지스터 Qp는 오프 상태가 되고, 전류 Ip = 2I는 트랜지스터 Qa를 통하여 흐른다. 이때 I는 트랜지스터 Qp가 온 상태일 때 트랜지스터 Qa 및 Qp 각각을 통해 흐르는 전류이다. 결과적으로 입력단자 D0 내지 Dn-2에서 저항(15)에 의해 설정된 디스플레이 데이터 값 D(D0 내지 Dn-2)의 두 배에 해당하는 전류가 각각 출력측 트랜지스터 Qb 내지 Qn-2를 통해서 흐르고, 두 배의 구동 전류 Ia는 상기 트랜지스터들의 컬렉터에 연결된 출력단자(11b)에서 얻어진다. 이때 도 3의 입력단자 Dn-2 비트 위치는 도 3에 나타난 입력단자 Dn-1의 위치에 대응한다.

가변 저항(18)을 이용하여 수동으로 조절되고, 유기 EL 패널의 휘도를 조절하는 휘도 설정 신호 B가 제공되면 MPU(16)는 디스플레이 데이터를 산술 연산하여 디스플레이 데이터 D의 값이 트랜지스터 Qn-1에 대응하는 최상위 비트만 '1'이고 나머지 비트는 '0'인 "1000...000"또는 이보다 더 큰 값에 대응하는 경우인 소정의 값 M으로 설정되면, MPU(16)는 디스플레이 데이터 값 D를 2로 나눈다. 즉, 디스플레이 데이터를 1비트 아래로 쉬프트하여 디스플레이 데이터 값 D/2가 생성되며 레지스터(15)에 입력단자 D0 내지 Dn-2를 위한 값으로 저장된다. 이러한 처리를 수행하는 프로그램은 MPU(16)에 저장된다. 따라서 입력단자 Dn-1의 데이터는 입력단자 Dn-2로 쉬프트되어 설정된다. 최상위 비트 '1'이므로 트랜지스터 Qn-2는 온 상태가 된다. 동시에 MPU(16)는 휘도제어 신호 Br을 생성하기 위해 최상위 비트"1"에 제어신호 S를 제어회로(14)에 전송한다. 따라서 디스플레이 데이터 값 D/2가 입력단자(11A)에 설정된 경우에, 트랜지스터 Qp는 오프 상태로 유지되고 두 배의 전류는 출력 트랜지스터 Qb 내지 Qn-2를 통해 흐르게 되어 D/A 컨버터 회로(11)는 출력 전류를 생성하게 된다. 상기 출력 전류는 디스플레이 데이터의 값이 소정의 값 M을 초과하는 경우에 1/2배한 디스플레이 데이터 값을 두 배한 것이다. 결과적으로 디스플레이 데이터 값 D에 대응하는 출력전류는 출력단자(11b)에서 제공된다.

또한 소정의 값 M("1000...000")은 아날로그 전류값으로서 D/A 컨버터 회로(11)에서 변환된 아날로그 전류값이 디스플레이 데이터의 D0 내지 Dn-2의 비트들의 수를 초과하는 경우의 값에 해당한다. 최하위 비트에 대응하는 전류값은 무시할 수 있을 정도로 작은 값이다. MPU(16)에서 디스플레이 데이터를 처리한 결과가 소정의 값 M보다 크게 되는 경우 휘도 설정 신호 B는 고휘도에 대응하는 값이다.

도 2는 본 발명의 제2 실시예를 나타낸다. 본 실시예에서는 플립플롭 FF(17)가 제공되고 최상위 비트 Dn-1은 제어신호 S로서 MPU(16)로부터 플립플롭(17)에 제공되어 설정된다. 플립플롭(17)의 출력 신호는 제어회로(14)에서 출력된 휘도 제어 신호 Br 대신에 스위치 SW의 온/오프를 제어한다. 스위치 SW는 MPU(16)에 의해서 플립플롭(17)이 "1"로 설정된 경우에 온 상태가 되고, 제어신호 S에 의해서 플립플롭(17)이 리셋된 경우에 오프 상태가 된다. 이 경우 제어 신호 S는 디스플레이 데이터 D의 최상위 비트를 할당한다.

도 2에 도시된 D/A 컨버터 회로는 도 1에 도시된 바이폴라 트랜지스터 Qa, Qp, 및 Qb 내지 Qn-2 대신에 MOS 트랜지스터 TNa, TNp, 및 TNb 내지 TNn-2를 포함한다.

이러한 D/A 컨버터 회로를 이용하여 디스플레이 데이터가 소정의 값 M을 초과하는 경우 스위치 SW를 온 상태로 함으로써 휘도 설정 신호 B에 관계없이 디지털 신호를 아날로그 신호로 변환할 수 있다. 즉 도 3에 표시된 디스플레이 데이터의 최상위 비트 Dn-1은 그대로 플립플롭(17)에 설정되고, 디스플레이 데이터 D가 소정의 값 M을 초과하는 경우에 디스플레이 데이터 D의 데이터 비트 D0 내지 Dn-2를 생성하는 레지스터(15)에는 디스플레이 데이터 D/2가 설정되는데, 이로써 디스플레이 데이터 D가 D/A 컨버터 회로에 설정된다.

선택적으로 플립플롭(17) 대신에 레지스터(15)에 최상위 비트 Dn-1을 저장함으로써 전체 디스플레이 데이터를 레지스터에 설정할 수 있다.

전술한 내용으로부터 명확한 바와 같이, D/A 컨버터 회로(11)는 최상위 비트에 대응하며 에미터 면적 비가 n인 트랜지스터 Qn-1을 포함하지 않는다.

각각의 트랜지스터를 통하여 흐르는 전류의 값은 마이크로암페어 단위로 작으므로, 셀 형태로 구성된 각 트랜지스터는 에미터의 면적비가 1로서 작은 경우라고 할지라도 수십 배의 전류를 흘릴 수 있다. 미량의 전류가 생성된 경우에, 에미터의 면적비가 n인 커런트 미러 회로의 출력측의 트랜지스터 Q는 일반적으로 에미터의 면적비가 1인 n개의 트랜지스터 Q를 병렬로 연결하여 얻을 수 있다. 따라서 전술한 경우에 최상위 비트가 할당되는 n개의 트랜지스터 Q 중에 하나는 D/A 컨버터의 입력측에 하나의 트랜지스터 Q를 부가함으로써 제거할 수 있다.

따라서 D/A 컨버터에 사용되는 트랜지스터의 개수를 훨씬 줄일 수 있다.

전술한 실시예에서 커런트 미러를 구비한 D/A 컨버터 회로의 입력측에서는 비록 두개의 트랜지스터가 제공되기는 하지만 트랜지스터의 개수는 셋 혹은 그 이상일 수 있다. 또한 상기 트랜지스터들의 에미터의 면적 비가 항상 동일해야 하는 것은 아니다.

비록 D/A 컨버터 회로의 입력측의 두 개의 트랜지스터 중 하나와 연결된 스위치 회로의 온/오프 제어가 제어 회로에서 출력된 제어신호에 의해 수행되는 것일지라도, 이러한 제어는 버스를 통해서 MPU 측에서 직접 수행할 수도 있는 것이다.

전술한 실시예에서 NPN (또는 NMOS) 트랜지스터는 PNP(또는 PMOS) 트랜지스터로 교체할 수 있으며, 반대로 PNP(또는 PMOS) 트랜지스터는 NPN(또는 NMOS) 트랜지스터로 교체할 수 있다. 후자의 경우에 전원전압은 음이어야 하고 상부측(upstream side)에 제공된 트랜지스터는 하부측(downstream side)에 제공되어야 한다.

## 발명의 효과

본 발명을 적용함으로써 유기 EL 구동회로가 차지하는 면적을 줄일 수 있다.

## (57) 청구의 범위

### 청구항 1.

소정의 구동 전류가 공급되는 입력측 트랜지스터부, 및 커런트 미러 형태로 병렬 연결되고 복수개의 출력측 트랜지스터를 구비한 커런트 미러 회로를 포함하는 D/A 컨버터 회로를 포함하되, 상기 복수개의 출력측 트랜지스터는 입력된 디스플레이 데이터에 따라 선택적으로 동작하여 상기 디스플레이 데이터에 대응하고 상기 복수개의 출력측 트랜지스터를 통하여 흐르는 전류의 합인 아날로그 전류를 생성하여 상기 D/A 컨버터 회로의 출력단자에서 출력하고, 상기 유기 EL 구동회로는

상기 입력측 트랜지스터부에 포함된 병렬 연결된 복수개의 입력측 트랜지스터;

상기 복수개의 입력측 트랜지스터 중 적어도 하나와 직렬로 연결된 스위치 회로;

상기 복수개의 입력측 트랜지스터를 소정의 전류로 구동하는 전류원; 및

상기 스위치 회로를 온/오프 제어하는 제어부를 포함하고,

상기 스위치 회로가 온 상태에 있고 상기 D/A 컨버터에서 출력된 아날로그 전류의 값이 상기 디스플레이 데이터의 비트수에 대응하는 값보다 크면, 상기 제어부는 상기 스위치 회로를 오프 상태로 하여 디스플레이 데이터를 상기 D/A 컨버터 회로의 비트수 또는 이보다 더 작은 수에 대응하는 값으로 설정함으로써 큰 아날로그 전류 값을 생성하는 것을 특징으로 하는 유기 EL 구동회로.

### 청구항 2.

제1항에 있어서,

상기 입력측 트랜지스터부는

동작 전류의 비가 1:1인 두개의 입력측 트랜지스터를 포함하고 상기 스위치 회로가 오프 상태가 되면 상기 제어부는 상기 D/A 컨버터에서 상기 큰 아날로그 전류 값에 대응하는 상기 디스플레이 데이터 값의 1/2에 해당하는 디스플레이 데이터를 설정하는 것을 특징으로 하는 유기 EL 구동 회로.

## 청구항 3.

제2항에 있어서,

상기 제어부는

유기 EL 디스플레이 패널의 디스플레이 휘도의 조절에 대응하는 디스플레이 데이터를 계산하고, 상기 계산된 디스플레이 데이터의 값이 비트 수를 초과하는 경우에는 상기 스위치 회로를 오프 상태로 하는 것을 특징으로 하는 유기 EL 구동회로.

## 청구항 4.

제3항에 있어서,

상기 전류원은 출력회로의 하나로서 복수개의 단자 핀 중 하나에 대응하며, 상기 단자 핀들에 레퍼런스 전류를 분배하는 회로이고;

상기 스위치 회로는 상기 입력측 트랜지스터의 아래쪽(downstream)에 제공되며;

상기 제어부는 상기 디스플레이 데이터를 처리하는 프로세서, 제어회로, 및 상기 디스플레이 데이터가 설정되는 레지스터를 포함하는 것을 특징으로 하는 유기 EL 구동회로.

## 청구항 5.

제4항에 있어서,

상기 프로세서는

상기 제어부를 통하여 상기 스위치 회로를 오프 상태로 하는 것을 특징으로 하는 것을 특징으로 하는 유기 EL 구동회로.

## 청구항 6.

제2항에 있어서,

상기 제어부는

상기 스위치 회로를 오프 상태로 하는 정보를 저장하는 메모리 회로를 포함하고, 상기 스위치 회로는 상기 메모리 회로에 저장된 소정의 정보에 의하여 오프 상태가 되는 것을 특징으로 하는 유기 EL 구동회로.

## 청구항 7.

유기 EL 디스플레이 패널;

상기 유기 EL 디스플레이 패널의 복수개의 단자 핀에 전류를 출력하는 커런트 미러형의 전류 출력 회로;

커런트 미러 형태로 병렬 연결되고 각각 디스플레이 데이터의 비트 위치에 대응하는 복수개의 출력측 트랜지스터를 구비한 커런트 미러 회로; 및

소정의 구동 전류로 구동되는 복수개의 입력측 트랜지스터

를 포함하고, 상기 디스플레이 데이터에 대응하여 상기 복수개의 출력측 트랜지스터를 통해 흐르는 전류의 합인 아날로그 전류를 생성함으로써 상기 커런트 미러 형의 전류 출력 회로를 구동하기 위하여 입력 디스플레이 데이터에 대응하여 선택적으로 동작하는 D/A 컨버터 회로;

상기 복수개의 입력측 트랜지스터 중 적어도 하나와 직렬로 연결된 스위치 회로;

상기 복수개의 입력측 트랜지스터를 소정의 전류로 구동하는 전류원; 및

상기 스위치 회로를 온/오프 제어하는 제어부

를 포함하고,

상기 스위치 회로가 온 상태에 있고 상기 D/A 컨버터에서 출력된 아날로그 전류의 값이 상기 디스플레이 데이터의 비트수에 대응하는 값보다 크면, 상기 제어부는 상기 스위치 회로를 오프 상태로 하여 디스플레이 데이터를 상기 D/A 컨버터 회로의 비트수 또는 이보다 더 작은 수에 대응하는 값으로 설정함으로써 큰 아날로그 전류 값을 얻을 수 있도록 하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

## 청구항 8.

제7항에 있어서,

상기 입력측 트랜지스터부는

동작 전류의 비가 1:1인 두개의 입력측 트랜지스터를 포함하고 상기 스위치 회로가 오프 상태가 되면 상기 제어부는 상기 D/A 컨버터에서 상기 큰 아날로그 전류 값에 대응하는 상기 디스플레이 데이터 값의 1/2에 해당하는 디스플레이 데이터를 설정하는 것을 특징으로 하는 유기 EL 구동 회로.

## 청구항 9.

제8항에 있어서,

상기 제어부는

상기 유기 EL 디스플레이 패널의 디스플레이 휘도의 조절에 대응하는 디스플레이 데이터를 계산하고, 상기 계산된 디스플레이 데이터의 값이 비트 수를 초과하는 경우에는 상기 스위치 회로를 오프 상태로 하는 것을 특징으로 하는 유기 EL 구동회로.

## 청구항 10.

제9항에 있어서,

상기 전류원은 복수개의 출력회로 중의 하나이고, 상기 복수개의 단자 핀 중 하나에 대응하며, 상기 복수개의 단자 핀에 레퍼런스 전류를 분배하는 회로이고;

상기 스위치 회로는 상기 입력측 트랜지스터의 아래쪽(downstream)에 제공되며;

상기 제어부는 상기 디스플레이 데이터를 처리하는 프로세서, 제어회로, 및 상기 디스플레이 데이터가 설정되는 레지스터를 포함하는 것을 특징으로 하는 유기 EL 구동회로.

## 청구항 11.

제10항에 있어서,

상기 프로세서는

상기 제어부를 통하여 사기 스위치회로를 오프 상태로 하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

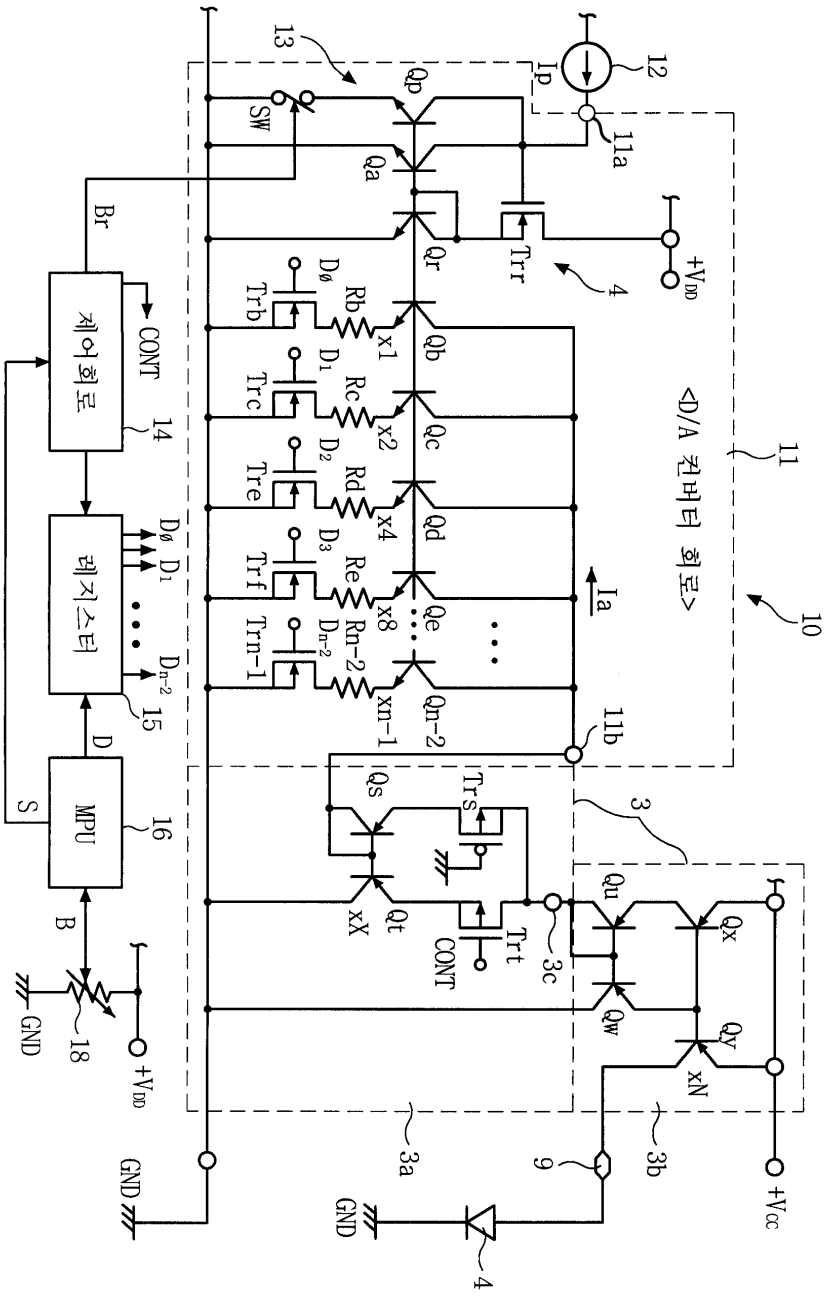
## 청구항 12.

제8항에 있어서,

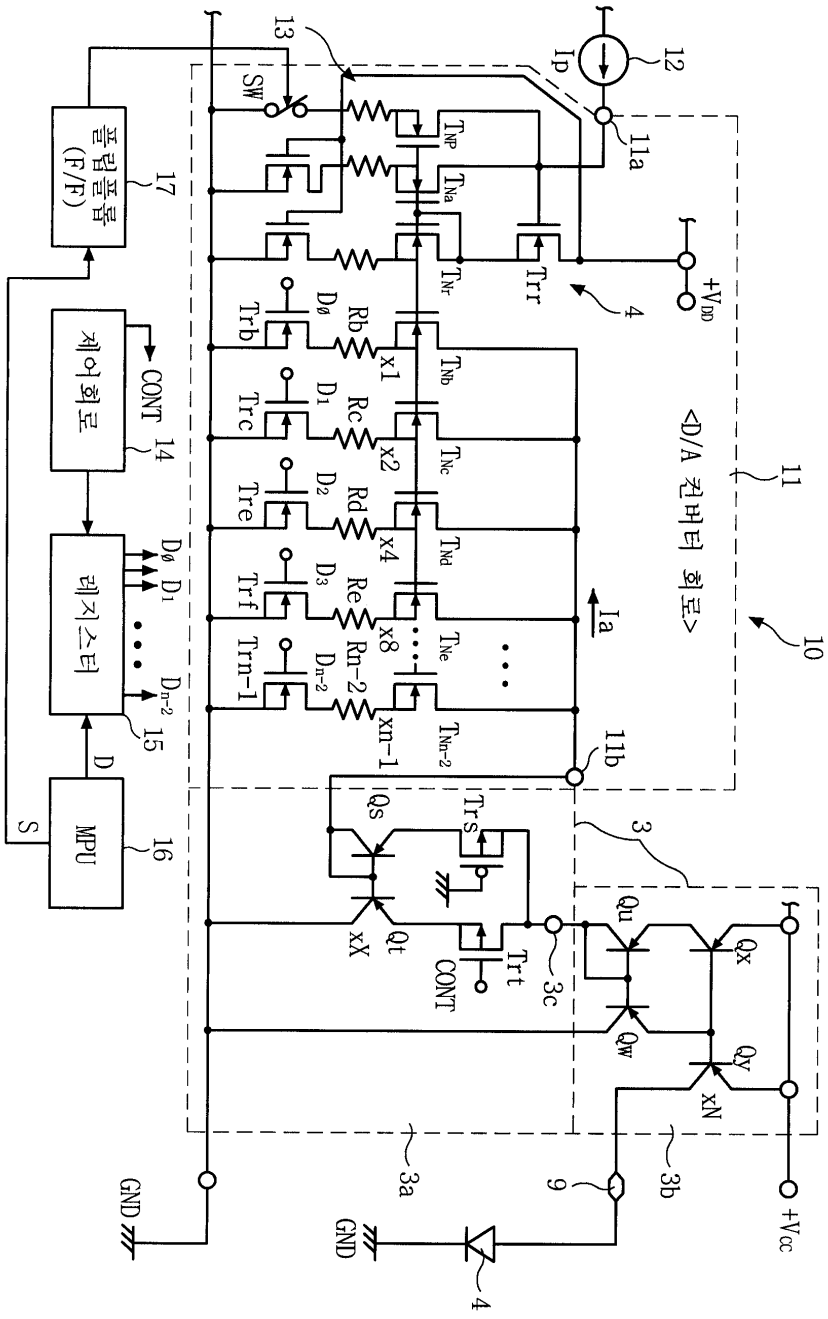
상기 스위치 회로를 오프 상태로 하는 정보를 저장하는 메모리 회로를 포함하고, 상기 스위치 회로는 상기 메모리 회로에 저장된 소정의 정보에 의하여 오프 상태가 되는 것을 특징으로 하는 유기 EL 구동회로.

도면

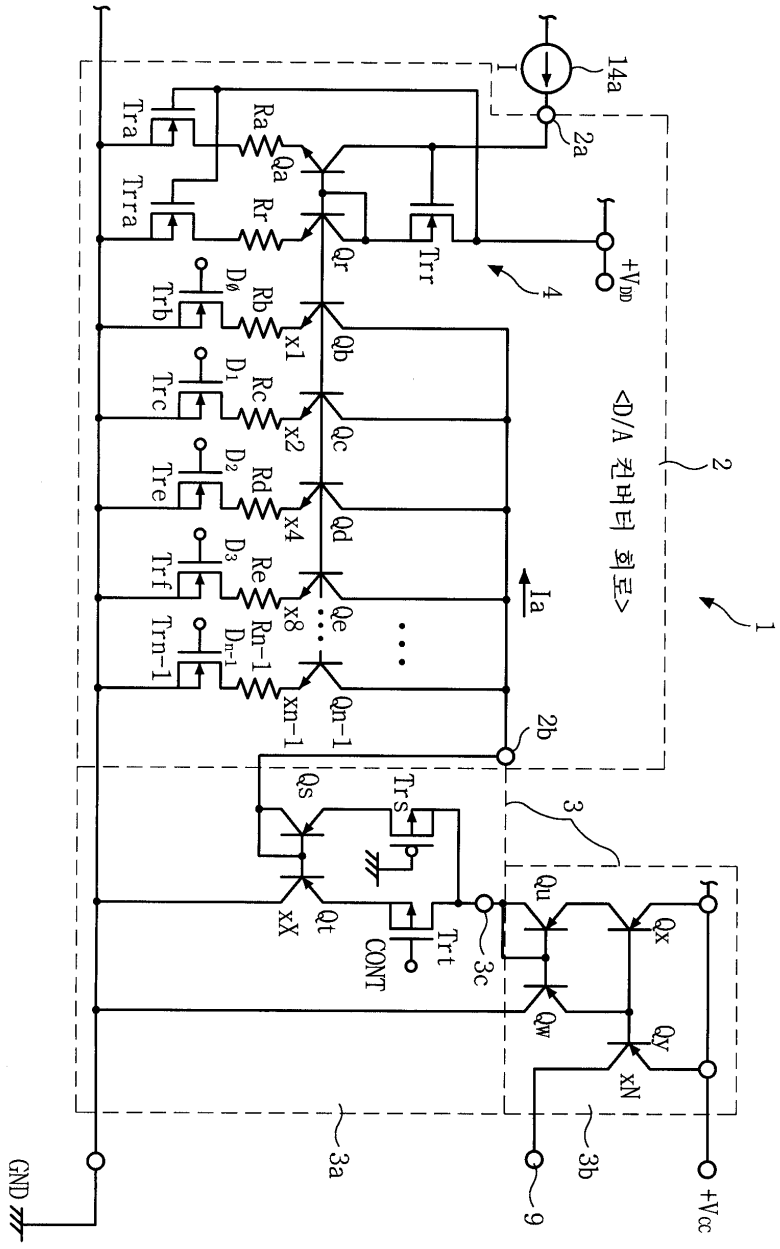
도면1


13
12
Ip
SW
Qp
11a
Qa
Br
Qr
Trr
+VDD
4
Dø
Rb
Trb
x1
Qb
D1
Rc
Trc
x2
Qc
D2
Rd
Tre
x4
Qd
D3
Re
Trf
x8
Qe
Dn-2
Rn-2
Trn-1
xn-1
Qn-2
Ia
<D/A 컨버터 회로>
11
10
11b
제어회로
CONT
14
레지스터
Dø D1 Dn-2
15
D
MPU
16
S
B
GND
18
+VDD
Qs
Trs
3
Qu
Qx
xX
Qt
Trt
CONT
3c
Qw
Qy
xN
3a
3b
9
GND
+Vcc
4

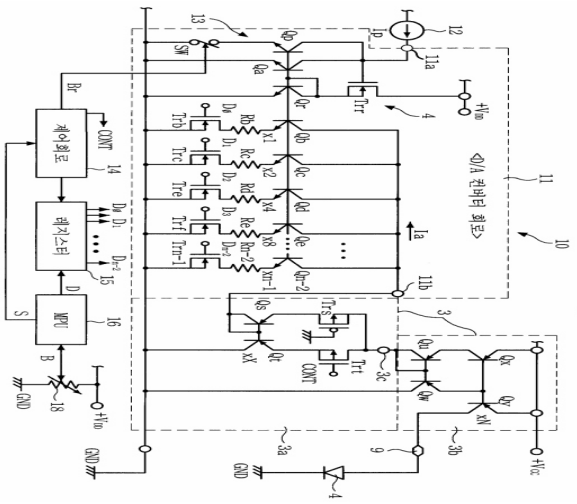
도면2


플립플롭 (F/F)
17
제어회로
CONT
14
레지스터
15
MPU
16
S
D
SW
13
12
Ip
11a
TNP
TNa
TNr
Trr
+VDD
4
<D/A 컨버터 회로>
11
10
Trb
Dø
Rb
x1
TNb
Trc
D1
Rc
x2
TNc
Tre
D2
Rd
x4
TNd
Trf
D3
Re
x8
TNe
Trn-1
Dn-2
Rn-2
xn-1
TNn-2
Ia
11b
3
Qs
Trs
Qt
xX
Trt
CONT
3c
Qu
Qx
Qw
Qy
xN
3a
9
3b
+Vcc
GND
GND
4

도면3


14a
1
2a
Tra
Ra
Qa
Trra
Rr
Qr
Trr
+VDD
4
Trb
Dø
Rb
x1
Qb
Trc
D1
Rc
x2
Qc
Tre
D2
Rd
x4
Qd
Trf
D3
Re
x8
Qe
Trn-1
Dn-1
Rn-1
xn-1
Qn-1
Ia
<D/A 컨버터 회로>
2
1
2b
Qs
Trs
3
Qu
Qx
xX
Qt
Trt
CONT
3c
Qw
Qy
xN
3a
3b
9
+Vcc
GND

| | | | |
|---|---|---|---|
| 专利名称(译) | 有机EL驱动电路和使用其的显示装置 | | |
| 公开(公告)号 | KR100475844B1 | 公开(公告)日 | 2005-03-10 |
| 申请号 | KR1020030008692 | 申请日 | 2003-02-12 |
| [标]申请(专利权)人(译) | 罗姆股份有限公司<br>罗穆亚尔德是部分株式会社 | | |
| 申请(专利权)人(译) | 罗穆亚尔德株式会社 | | |
| 当前申请(专利权)人(译) | 罗穆亚尔德株式会社 | | |
| [标]发明人 | HANADA KOUICHI<br>하나다고이치<br>SHIMADA YUJI<br>시마다유지<br>FUJISAWA MASANORI<br>후지사와마사노리 | | |
| 发明人 | 하나다고이치<br>시마다유지<br>후지사와마사노리 | | |
| IPC分类号 | G09G3/30 G09G3/32 H03M1/70 H03M1/74 | | |
| CPC分类号 | G09G3/3283 G09G2310/027 G09G2340/0428 H03M1/70 H03M1/745 | | |
| 代理人(译) | LEE，HOO董 | | |
| 优先权 | 2002036236 2002-02-14 JP | | |
| 其他公开文献 | KR1020030068433A | | |
| 外部链接 | Espacenet | | |


摘要(译)

D / A转换器电路的输入侧驱动电流由与以电流镜型连接的多个输入侧晶体管中的至少一个串联连接的开关控制。当开关电路从ON状态变为OFF状态时，流过由开关电路断开的输入侧晶体管的恒定电流被分配到剩余的输入侧晶体管，使得电流流到连接到电流镜型的输出侧晶体管。 Lt ;; 因此，可以减小显示数据的值，结果，D / A转换器电路的位数可以减少一个或多个。 1 指数方面 有机EL，电流镜，D / A转换器