



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0099032
(43) 공개일자 2007년10월08일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 37/02 (2006.01)

(21) 출원번호 10-2007-7019420

(22) 출원일자 2007년08월24일

심사청구일자 없음

번역문제출일자 2007년08월24일

(86) 국제출원번호 PCT/CA2006/000043

국제출원일자 2006년01월16일

(87) 국제공개번호 WO 2006/076791

국제공개일자 2006년07월27일

(30) 우선권주장

60/646,326 2005년01월24일 미국(US)

(71) 출원인

이화이어 테크놀로지 코퍼레이션

캐나다 티8엘 3더블유4 알버타 포트 서스캐치원
10102-114 스트리트

(72) 발명자

쵸, 춘 파이

캐나다, 온타리오 엘3엑스 1엠2, 뉴마켓, 락우드
서클 1072

(74) 대리인

허성원, 서동현

전체 청구항 수 : 총 18 항

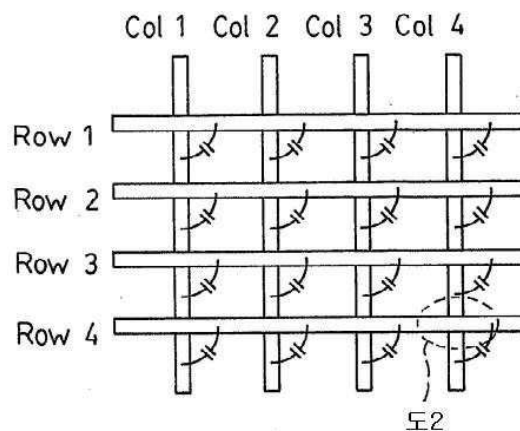
(54) 에너지 효율이 개선된 칼럼 드라이버 및 이를 포함하는전계발광디스플레이

(57) 요약

본 발명은 수동형 매트릭스 디스플레이에 관한 것으로, 보다 상세하게는 공진 구동 회로의 개선에 관한 것이다.

본 발명에 따른 수동형 매트릭스 디스플레이는 소정의 스캐닝 주파수에서 스캔되는 복수의 로우와, 상기 소정의 스캐닝 주파수에서 상기 복수의 로우를 스캐닝하는 로우 드라이버와, 상기 복수의 로우와 교차하여 변화하는 패널 커패시턴스(C_p)에 의하여 특성이 부여되는 복수의 픽셀을 형성하는 복수의 칼럼과, 상기 복수의 칼럼 각각에 출력 전압을 인가하여 상기 픽셀의 계조를 제어하는 전압 팔로워로 마련된 출력 버퍼를 갖는 칼럼 드라이버와, 전기적 에너지의 소스와, 상기 디스플레이의 유효 패널 커패시턴스(C_p)를 감소시키는 감압 변압기를 포함하고, 전기적 에너지를 입력받아 상기 디스플레이의 스캐닝 주파수와 실질적으로 동기화된 공진 주파수에서 상기 디스플레이에 전력을 공급하는 정현파 전압을 생성하는 공진 에너지 회수 회로와, 상기 패널 커패시턴스(C_p)가 방전 되는 동안 상기 출력 버퍼를 고출력 임피던스로 스위칭하여 상기 패널 커패시턴스(C_p)로부터의 실질적인 모든 방전 전류가 상기 공진 에너지 회수 회로의 상기 감압 변압기의 2차측 코일을 통하여 다시 흐르도록 하는 스위칭 회로를 포함하는 것을 특징으로 한다. 이에 의하여, 공진 회로에서의 에너지 회수를 극대화할 수 있다.

대표도 - 도1



도2

특허청구의 범위

청구항 1

수동형 매트릭스 디스플레이 패널에 있어서,

상기 디스플레이의 소정의 스캐닝 주파수에서 스캔되는 복수의 로우;

상기 소정의 스캐닝 주파수에서 상기 복수의 로우를 스캐닝하는 로우 드라이버;

상기 복수의 로우와 교차하여 변화하는 패널 커패시턴스(C_p)에 의하여 특성이 부여되는 복수의 픽셀을 형성하는 복수의 칼럼;

상기 복수의 칼럼 각각에 출력 전압을 인가하여 상기 픽셀의 계조를 제어하는 전압 팔로워로 마련된 출력 버퍼를 갖는 칼럼 드라이버;

상기 디스플레이의 유효 패널 커패시턴스(C_p)를 감소시키는 감압 변압기를 포함하고, 전기적 에너지를 입력받아 상기 디스플레이의 스캐닝 주파수와 실질적으로 동기화된 공진 주파수에서 상기 디스플레이에 전력을 공급하는 정현파 전압을 생성하는 공진 에너지 회수 회로; 및

상기 패널 커패시턴스(C_p)가 방전되는 동안 상기 출력 버퍼를 고출력 임피던스로 스위칭하여 상기 패널 커패시턴스(C_p)로부터의 실질적인 모든 방전 전류가 상기 공진 에너지 회수 회로의 상기 감압 변압기의 2차측 코일을 통하여 다시 흐르도록 하는 스위칭 회로를 포함하는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 2

제1항에 있어서,

상기 스위칭 회로는 상기 패널 커패시턴스(C_p)가 방전되는 동안 상기 출력 버퍼의 게이트 및 소스 단자를 단락하여 상기 버퍼 각각의 게이트-투-소스 포텐셜이 턴온 문턱 전압 이하가 되도록 하는 복수의 아날로그 스위치를 포함하는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 3

제2항에 있어서,

상기 스위칭 회로는 상기 출력 버퍼의 게이트 및 소스 단자 사이에 단락 전류 경로를 형성하는 아날로그 스위치($S1, S2, \dots$)를 포함하는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 4

제3항에 있어서,

상기 감압 변압기는,

양단에 추가 커패시턴스(C_i)가 연결되고, 상기 패널 커패시턴스(C_p)는 상기 2차측 코일의 양단에 연결되고, 상기 추가 커패시턴스(C_i)의 값은 상기 패널 커패시턴스(C_p)에 비하여 충분히 커서 상기 공진 주파수가 상기 스캐닝 주파수에 실질적으로 동기화되도록 유지하는 1차측 코일; 및

양단에 연결되는 저장 커패시터(C_s)와 함께 전파 정류기에 연결되고, 상기 패널 커패시턴스(C_p)와 직렬로 연결되고, 상기 저장 커패시터(C_s)의 값은 상기 패널 커패시턴스(C_p)에 비하여 충분히 커서 (i) 상기 패널 커패시턴스(C_p)가 최대값 또는 이에 가까운 대형 패널 로드의 경우에는, 상기 전기적 에너지의 대부분이 2차측 코일로 흘러 패널을 충전하고 나머지 에너지가 상기 저장 커패시터(C_s)를 충전하고, (ii) 상기 패널 커패시턴스(C_p)가 평균값을 갖는 평균적인 로드의 경우에는, 에너지의 약 절반이 패널로 흐르고 에너지의 절반은 저장 커패시터(C_s)로 흐르고, (iii) 상기 패널 커패시턴스(C_p)가 최소값 또는 이에 가까운 소형 로드의 경우에는, 에너지의 대부분이 상기 저장 커패시터로 흐르고 나머지 에너지는 패널로 흐르도록 하는 추가 2차 코일을 갖는 것을 특징으로 하는

수동형 매트릭스 디스플레이 패널.

청구항 5

제4항에 있어서,

상기 최대 패널 커패시턴스에 대한 상기 저장 커패시터(C_s)의 커패시턴스의 비율은 적어도 약 10:1인 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 6

제5항에 있어서,

상기 최대 패널 커패시턴스에 대한 상기 저장 커패시터(C_s)의 커패시턴스의 비율은 적어도 약 20:1인 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 7

제6항에 있어서,

상기 최대 패널 커패시턴스에 대한 상기 저장 커패시터(C_s)의 커패시턴스의 비율은 적어도 약 30:1인 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 8

제4항에 있어서,

상기 전파 정류기는 순방향 다이오드 전압 강하를 최소화하는 쇼트키 다이오드를 포함하는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 9

제4항에 있어서,

상기 2차측 코일에 대한 상기 추가 2차측 코일의 턴 비율은 적어도 1.05:1인 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 10

제4항에 있어서,

상기 2차측 코일에 대한 상기 추가 2차측 코일의 턴 비율은 적어도 1.1:1인 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 11

제10항에 있어서,

상기 2차측 코일에 대한 상기 추가 2차측 코일의 턴 비율은 1.1:1 내지 1.2:1의 범위 이내인 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 12

제4항에 있어서,

상기 1차측 코일은 n_1 의 턴 값을 갖고, 상기 2차측 코일은 n_2 의 턴 값을 갖고, $C_1 \gg (n_2/n_1)^2 \times C_p$ 인 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 13

제4항에 있어서,

상기 공진 주파수를 변경하는 추가 커패시터를 더 포함하는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 14

제1항에 있어서,

상기 전기적 에너지의 소스를 더 포함하고,

상기 소스는, 직류 전압을 생성하는 전압 수단 및 상기 직류 전압을 전기적 에너지의 펄스로 chop핑(chopping)하는 펄스폭변조기를 포함하는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 15

제1항에 있어서,

상기 공진 회로로부터 입력되는 전기적 에너지의 비율을 제어하여, 상기 디스플레이 패널의 변화하는 임피던스 및 상기 디스플레이 패널에 의한 에너지 소모로 인하여 발생하는 상기 정현파 전압의 변동을 조절하는 컨트롤러를 더 포함하는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 16

제15항에 있어서,

상기 컨트롤러는, 상기 공진 회로로부터의 입력을 이용하여 상기 정현파 전압의 변동을 감지하고 이에 응하여 상기 컨트롤러로 피드백 신호를 제공하는 피드백 회로를 더 포함하는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 17

제16항에 있어서,

상기 입력은 상기 공진 회로의 감압 변압기의 1차측 코일로부터 입력되는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

청구항 18

제17항에 있어서,

상기 정현파 전압은 상기 컨트롤러로의 피드백 신호를 조정하여 소정의 값에서 클램프(clamp)되는 것을 특징으로 하는 수동형 매트릭스 디스플레이 패널.

명세서

기술 분야

<1> 본 발명은 평판디스플레이(flat panel display)에 관한 것으로, 보다 상세하게는, 칼럼 전압을 제어하는 칼럼 드라이버(column driver)의 출력 버퍼를 통하여 흐르는 전류를 제한함으로써, 에너지 회수를 극대화한 칼럼 드라이버를 구비하는 공진구동회로(resonant driving circuit)의 개선에 관한 것이다.

배경 기술

<2> 전계발광디스플레이(electroluminescent display)는 CRT(cathode ray tube)에 비하여 낮은 구동 전압을 필요로 하며, LCD(liquid crystal display)에 비하여 높은 화질, 넓은 화면각, 및 신속한 응답시간을 가지며, PDP(plasma display panel)에 비하여 우수한 계조 능력 및 얇은 프로파일을 갖는다는 점에서 우수하다. 그러나, 전계발광디스플레이는, 이하 상세히 설명하는 바와 같이, 비효율적인 픽셀 충전으로 인하여 비교적 높은 전력이 소모된다. 이와 같은 높은 전력 소모는 픽셀 내에서 비교적 효율적으로 전기에너지가 발광으로 전환되는 경우에도 발생한다. 그러나, 전계발광 픽셀 내에 저장된 용량성 에너지(capacitive energy)가 효율적으로 회수된다면, 전계발광디스플레이와 관련된 높은 전력 소모의 문제점을 완화할 수 있다.

<3> 미국 특허 U.S. 6,448,950호는 정현파 구동 및 다양한 전기용량(capacitance)을 갖는 전계발광디스플레이 패널

의 에너지 회수의 결합 이용에 관하여 개시하고 있다. 공진 에너지 회수 회로는 감압변압기(step-down transformer)의 1차측 코일에 연결된 제1 커패시터를 포함하고, 변압기의 2차측 코일은 로우 또는 칼럼 드라이버를 통해 전계발광디스플레이 패널에 연결된다. 로우 및 칼럼에는 별도의 공진회로가 마련된다. 로우를 통해 디스플레이 패널로부터 방전된 전하는 제1 커패시터에서 효율적으로 회수되고, 선택된 다음 로우를 어드레스하는데 재활용된다. 그러나, 칼럼을 통해 방출된 에너지는 효율적으로 회수되어 재활용되지 못한다. 칼럼을 통한 에너지 회수의 효율이 낮은 이유는 공진 구동 전원으로서의 에너지 회수 경로가 아니라, 바람직하지 못한 회피 경로를 통하여 패널 전기용량이 부분적으로 방출되기 때문인 것으로 알려져 있다.

발명의 상세한 설명

- <4> 따라서, 본 발명은 상기에서 인용한 미국 특허 U.S. 6,448,950호에서 개시된 사항을 개선하는 것을 목적으로 하고 있다. 보다 상세하게는, 미국 특허 U.S. 6,448,950호에 개시된 정현파 공진 에너지 회수 이론을 이용한 구동 회로를 갖는 수동형 어드레스 전계발광디스플레이에서 칼럼의 에너지효율을 개선한 회로를 제공하는 것을 목적으로 하고 있다.
- <5> 상기 목적은 소정의 스캐닝 주파수에서 스캔되는 복수의 로우와, 상기 소정의 스캐닝 주파수에서 상기 복수의 로우를 스캐닝하는 로우 드라이버와, 상기 복수의 로우와 교차하여 변화하는 패널 커패시턴스(C_p)에 의하여 특성이 부여되는 복수의 픽셀을 형성하는 복수의 칼럼과, 상기 복수의 칼럼 각각에 출력 전압을 인가하여 상기 픽셀의 계조를 제어하는 전압 팔로워로 마련된 출력 버퍼를 갖는 칼럼 드라이버와, 전기적 에너지의 소스와, 상기 디스플레이의 유효 패널 커패시턴스(C_p)를 감소시키는 감압 변압기를 포함하고, 전기적 에너지를 입력받아 상기 디스플레이의 스캐닝 주파수와 실질적으로 동기화된 공진 주파수에서 상기 디스플레이에 전력을 공급하는 정현파 전압을 생성하는 공진 에너지 회수 회로와, 상기 패널 커패시턴스(C_p)가 방전되는 동안 상기 출력 버퍼를 고 출력 임피던스로 스위칭하여 상기 패널 커패시턴스(C_p)로부터의 실질적인 모든 방전 전류가 상기 공진 에너지 회수 회로의 상기 감압 변압기의 2차측 코일을 통하여 다시 흐르도록 하는 스위칭 회로를 포함하는 수동형 매트릭스 디스플레이를 제공함으로써 달성될 수 있다.
- <6> 본 발명의 다른 분야 및 효과는 후술하는 구성 및 작용에 관한 상세한 설명으로부터 명백해질 것이다. 도면과 도면에 기재된 참조는 본 발명의 일부를 구성하며, 유사한 구성에 관해서는 유사한 참조번호를 사용한다.

실시예

- <19> 도1 및 도2에 도시된 바와 같이, 전계발광디스플레이 패널은 로우(ROW 1, ROW 2 등) 및 칼럼(COL 1, COL 2 등)으로 명명되는 유도성 어드레스 라인이 교차하는 부분을 가지며, 이들 어드레스 라인은 두 개의 유전체 필름 사이에 개재되는 형광체 필름의 양면에 마련된다. 픽셀은 로우 및 칼럼이 교차하는 지점으로 정의한다. 즉, 도2는 도1의 ROW 4 및 COL 4가 교차하는 픽셀의 단면도이다. 각각의 픽셀은 연관된 로우와 칼럼의 교차 지점에 전압이 인가되면 발광하게 된다. 매트릭스 어드레싱(matrix addressing)은 로우에는 문턱 전압(threshold voltage) 이하의 전압이 인가되게 하는 반면, 동시에 상기 로우와 교차하는 각각의 칼럼에는 반대 극성의 전압이 인가되게 한다. 반대 극성의 전압은 각각의 픽셀에서 요구되는 발광에 따라 로우의 전압을 증가시키고, 결과적으로 이미지의 하나의 라인을 생성한다. 다른 방법으로는, 로우에 최대 픽셀 전압을 인가하고, 모든 칼럼에 최대 전압과 문턱 전압 사이의 차이까지의 크기를 갖는 같은 극성의 칼럼 전압을 인가하여, 요구되는 이미지에 따라 픽셀 전압을 감소할 수도 있다. 전술한 두 가지 방법에 있어서, 각각의 로우가 어드레스되면, 다른 로우도 모든 로우가 어드레스될 때까지 유사한 방식으로 어드레스된다. 어드레스되지 않은 로우는 개방 회로에서 남겨진다. 모든 로우의 순차적인 어드레싱으로 프레임을 완성하게 된다. 통상적으로, 인간의 눈에 깜빡거림이 없는 영상 이미지를 생성하기 위해서, 새로운 프레임을 적어도 초당 약 50번 어드레스하게 된다.
- <20> 전계발광디스플레이 패널의 각각의 로우가 발광하게 되면, 발광된 픽셀에 공급된 에너지의 일부는 빛을 생성하기 위하여 픽셀 발광층을 통해 전류 흐름으로 방산되지만, 일부는 발광이 중단되면 픽셀에 저장되어 남게 된다. 이와 같은 잔여 에너지는 전압 펄스가 인가되는 동안 픽셀에 남게 되며, 통상적으로 픽셀에 공급되는 에너지의 상당부분에 해당된다.
- <21> 도3은 픽셀의 전기적 특징을 모형화한 회로도이다. 회로는 커패시터 C_d 와 직렬로 연결되고, 커패시터 C_{pix} 와 병렬로 연결된 두 개의 백투백 제너 다이오드(back-to-back Zener diode)를 포함한다. 물리적으로 발광체 및 유전체 필름(도2)은 모두 문턱 전압 이하의 절연체이다. 이는 도3에서 하나의 제너 다이오드가 전도되지 않아, 픽셀 커

패시턴스가 두 개의 커패시터 C_d 및 C_{pix} 의 직렬 조합의 커패시턴스인 경우로 표현된다. 문턱 전압 이상에서 발광체 필름은 전도성으로 되며, 두 개의 제너 다이오드가 모두 전도되어, 픽셀 커패시턴스가 직렬로 연결된 커패시터 C_d 만의 커패시턴스와 같게 되는 경우이다. 따라서, 픽셀 커패시턴스는 전압이 문턱 전압 이상 또는 이하이나의 여부에 의존한다. 더 나아가, 디스플레이 상의 모든 픽셀은 로우 및 칼럼을 통해 상호 연결되어 있기 때문에, 하나의 로우가 발광하는 경우 디스플레이 패널 상의 모든 픽셀은 적어도 부분적으로 충전되어 있을 가능성이 있다. 발광하지 않은 로우 상의 픽셀이 부분적으로 충전되는 정도는 동시에 존재하는 칼럼 전압의 변화성에 크게 의존한다. 모든 칼럼 전압이 동일한 경우에, 발광하지 않은 로우 상의 픽셀은 부분적으로 충전되지 않는다. 약 절반 정도의 칼럼은 거의 또는 전혀 인가된 전압을 갖지 않고, 나머지 절반의 칼럼은 최대 전압에 가까운 경우에, 부분 충전은 가장 심각해진다. 후자의 경우는 비디오 이미지를 표시하는 경우에 빈번하게 발생한다. 이러한 부분 충전과 관련된 에너지는 통상적으로 발광된 로우에 저장된 에너지보다 훨씬 크며, 특히, 고 해상도 디스플레이에서와 같이 많은 수의 로우가 존재하는 경우에 그러하다. 발광하지 않은 로우에 저장된 모든 에너지는 잠재적으로 회수가 가능하며, 그 양은 특히, 많은 수의 로우를 갖는 디스플레이 패널의 경우에 픽셀에 저장된 에너지의 90%에 달한다.

- <22> 에너지 소모와 관련된 또 다른 요인은 픽셀이 충전되는 동안 구동회로와 로우 및 칼럼의 저항에서 방산되는 에너지이다. 이와 같이 방산되는 에너지는 크기에 있어 픽셀이 일정 전압에서 충전되는 경우 픽셀 내에 저장되는 에너지에 필적할 수 있다. 이러한 경우, 픽셀이 충전되기 시작함에 따라 초기에 고전류의 동요가 발생한다. 방산되는 전력은 전류의 제곱에 비례하기 때문에, 대부분의 에너지는 전술한 고전류 발생 기간에 방산된다. 픽셀이 충전되는 동안 흐르는 전류를 일정한 전류에 가깝게 함으로써 방산되는 에너지를 감소하는 것이 가능하다.
- <23> 상술한 바와 같이, 미국 특허 U.S. 6,448,950호에 따르면, 디스플레이 패널에 저장된 용량성 에너지를 회수하여 재사용하는 동시에, 순간 고전류로 인하여 저항에서 손실되는 에너지를 최소화하는 전계발광디스플레이 구동 방법 및 회로가 제공된다. 이러한 특징으로 인하여, 패널 및 구동 회로의 에너지 효율을 개선할 수 있으며, 이에 따라 전력 소모를 줄일 수 있다. 또한, 디스플레이 패널 및 구동 회로에서 열의 방산 비율이 감소되므로, 보다 높은 전압 및 재생물로 패널 픽셀을 구동할 수 있어 선명도를 증가시킬 수 있다. 더 나아가, 펄스 구동 전압이 아닌 정현파 구동 전압을 이용함으로써, 전자파 간섭을 줄일 수도 있다. 정현파 구동 전압의 이용은 불연속 펄스와 관련된 고조파의 발생을 억제한다. 전술한 장점들은 고가의 고전압 DC/DC 컨버터를 필요로 하지 않고 달성될 수 있다.
- <24> 미국 특허 U.S. 6,448,950호에 개시된 디스플레이 패널 및 구동회로의 에너지 효율은 두 개의 정현파 전압을 생성하는 두 개의 공진회로를 이용함으로써 개선되며, 하나는 디스플레이 로우의 전력에 관한 것이며, 다른 하나는 디스플레이 칼럼의 전력에 관한 것이다. 디스플레이 패널의 로우 핀에서 보여지는 로우 커패시턴스는 로우 구동 회로를 위한 공진 회로의 일요소를 형성한다. 디스플레이 패널의 칼럼 핀에서 보여지는 칼럼 커패시턴스는 칼럼 구동 회로를 위한 공진 회로의 일요소를 형성한다.
- <25> 각각의 공진 회로에서 에너지는 용량성 요소와 유도성 요소 사이를 주기적으로 전이한다. 각각의 공진 회로의 공진 주파수는 디스플레이 패널의 스캐닝 주파수에서 연속적인 디스플레이 패널 로우의 충전에 진동의 주기가 가능한 한 가깝게 맞춰지도록 즉, 동기화되도록 조정된다.
- <26> 에너지가 유도성으로 저장되면, 로우 공진 회로를 특정 로우에 연결하는 스위치가 활성화되어, 로우가 순차적으로 어드레스됨에 따라 적절한 로우에 유도성으로 저장된 에너지가 전달된다. 또한, 로우 구동 회로는 디스플레이 패널의 서비스 수명을 연장하기 위하여 교대되는 프레임에서 로우 전압을 반전하는 극성 반전 회로를 포함한다.
- <27> 유사한 방식으로, 칼럼 구동 회로는 칼럼 공진 회로를 모든 칼럼에 동시에 연결하여, 유도성으로 저장된 에너지를 칼럼에 전달한다. 칼럼 스위치는 또한, 종래 기술에 개시된 바와 같이, 효과적인 계조 제어를 위하여 각각의 칼럼으로 전달되는 에너지의 양을 조절하는 역할을 한다. 통상적으로, 로우 스위치 및 칼럼 스위치는 32 또는 64 세트의 집적회로로 패키징되어 있으며, 각각 로우 드라이버 및 칼럼 드라이버로 명명된다.
- <28> 도4는 미국 특허 U.S. 6,448,950호에 따른 공진회로를 간략히 도시한 회로도이다. 기본적인 요소는 감압 변압기(T), 변압기의 2차측 코일의 양단에 연결되고 디스플레이 패널 커패시턴스(C_p)에 상응하는 커패시턴스, 및 변압기의 1차측 코일의 양단에 연결되는 추가 커패시턴스(C_1)를 포함하는 공진 탱크를 형성하는 공진 전압 인버터이다. 추가 커패시턴스는 공진 주파수와 다른 디스플레이 패널 스캐닝 주파수를 동기화하도록 선택될 수 있는 커

패시터(C_f)의 बैंक를 선택적으로 추가 포함할 수도 있다.

<29> 또한, 공진회로는 전류가 영인 경우 교호적으로 개방 및 폐쇄되어, 유입되는 정현파 신호를 단극의 공진 진동으로 전화시키는 두 개의 스위치(S1 및 S2)를 포함한다. 입력 DC 전압은 펄스폭변조기(PWM)의 제어에 따라 공진 진동의 전압 진폭을 제어하도록 스위치(S3)에 의하여 톱핑(chopping)된다. 진동의 전압을 안정화시키기 위하여, 변압기의 1차측으로부터 PWM으로 신호(FB)가 피드백되어, 2차측 전압의 변동에 의하여 스위치(S3)의 온-투-오프(on-to-off) 시간 비율을 조정한다. 이러한 피드백은 디스플레이 패널 임피던스의 편차로 인한 전압의 변동을 보상하며, 디스플레이 패널 임피던스의 편차는 디스플레이된 이미지의 변화에 따른 것이다. 디스플레이 패널 임피던스는 로우 및 칼럼 핀에서 보여지는 임피던스이다.

<30> 효율적인 작동을 위해서, 구동회로의 공진 주파수는 뚜렷하게 변화되어서는 안되며, 로우 어드레싱 타이밍 펄스의 주파수에 근접하게 맞춰지도록 유지되어야 한다. 공진 주파수 f 는 다음과 같은 수학적 식 1에 의하여 산출한다:

$$f = 1/(2\pi(LC)^{1/2}) \quad (1)$$

<32> L은 인덕턴스이며;

<33> C는 공진회로 내에서 बैं크의 커패시턴스이다.

<34> 공진 회로에서 बैं크의 총 커패시턴스에 영향을 주는 디스플레이 패널에서의 커패시턴스의 변화를 고려하여야 한다. 이는 बैं크 커패시턴스에 대한 디스플레이 패널 커패시턴스(C_p)의 영향을 감소하는 감압 변압기의 이용으로 달성되며, 유효 बैं크 커패시턴스 C는 다음과 같은 수학적 식 2에 의하여 산출한다:

$$C = (n_2/n_1)^2 C_p + C_1 \quad (2)$$

<36> C_p 는 패널 커패시턴스이며;

<37> C_1 는 변압기의 1차측 코일을 가로지르는 커패시턴스 값이며;

<38> n_1 및 n_2 는 각각 변압기 1차측 코일 및 2차측 코일의 턴수이다.

<39> 턴수의 비율(n_2/n_1) 및 커패시턴스 C_1 의 값은 수학적 식 2에서 첫째 항이 둘째 항에 비하여 작도록 선택된다. 수학적 식 2는 특정 디스플레이 패널에 대한 턴-비율 및 1차 커패시턴스의 적정 값을 결정하는데 가이드로 이용되는 것이며, 이러한 값들은 이후 공진 회로의 출력단에서 측정된 전압 파형을 검토하여 상호 최적화하게 된다. 정현파 신호로부터의 편차를 최소화하도록 성분 값들을 선택한다. 공진 주파수가 너무 높으면, 도5a에 예시된 것과 같은 파형이 관찰되며, 파형의 교대되는 극성 구간 사이에 영전압(zero voltage) 인터벌이 존재하게 된다. 이후, 수학적 식 1 및 2를 가이드로 이용하여 적절히 조정하도록 한다. 공진 주파수가 너무 낮으면, 도5b에 예시된 것과 같은 파형이 관찰되며, 파형의 교대되는 극성 구간을 연결하는 영전압을 가로질러 수직 전압 단계가 존재하게 된다. 공진 주파수가 로우 어드레싱 주파수와 잘 맞춰지게 되면, 도5c에 도시된 것과 같은 거의 완벽한 정현파 파형이 관찰된다. 그러나, 실상에서 로드에서의 변동으로 인하여 작은 주파수 변동이 발생하게 된다. 따라서, DC 입력 스위칭을 설정하여 공진 주파수에서의 변동이 공진 주파수가 스위칭 주파수와 같거나 보다 높아지도록 하며, 이에 따라 이상적인 공진 주파수로부터의 편차가 도5a에 도시된 파형과 같은 결과가 되도록 한다. 이는 도5b에 도시된 스위칭 지점에서 급작스런 전압 변동과 관련된 높은 과도 전류를 피하기 위한 것이다. 높은 과도 전류는 옴 손실(ohmic loss)을 증가시켜 회로의 에너지 효율을 감소시킨다.

<40> 로우 및 칼럼을 통해 보여지는 디스플레이 패널의 커패시턴스의 실질적인 변동이 존재하는 하에, 로우 및 칼럼으로 공급되는 정현파 전압 파형의 최대값을 조절하기 위하여, 로우 또는 칼럼으로의 전압이 소정 값을 초과하는 경우, 전압을 실질적으로 고정된 값으로 클램프한다.

<41> 진술한 목적을 위하여, 도4에 도시된 감압 변압기 T의 2차측 코일이 양단에 연결된 대용량의 커패시터와 함께, 도6에 도시되고, 본 발명의 미국 특허출원 10/701,051호에 개시된 바와 같이, 전파 정류기에 연결된다.

<42> 디스플레이 패널로 인가되는 전압은 펄스폭변조기(PWM)로의 피드백을 조정하여 임의로 설정될 수 있는 값에서 클램프된다. 패널 커패시턴스 C_p 가 거의 최대값에 이르는 대형 디스플레이 패널 로드에서는, 약 90%의 에너지가

디스플레이 패널에 연결된 2차측 코일로 유입되어 디스플레이 패널을 충전하며, 나머지 10%의 에너지는 저장 커패시터 C_s 를 충전한다. 패널 커패시턴스가 평균값을 갖는 평균적인 로드에서는, 약 50%의 에너지가 디스플레이 패널을 충전하고, 50%의 에너지가 저장 커패시터 C_s 를 충전한다. 패널 커패시턴스 C_p 가 최소값에 가까운 소형 로드에서는, 약 10%의 에너지가 디스플레이 패널을 충전하고, 90%의 에너지가 저장 커패시터를 충전한다. 통상적으로 이러한 조건들은 디스플레이 패널에서의 전압이 항상 양으로 약 0.5볼트의 최소값을 가져, 디스플레이 패널의 로우 및 칼럼에 연결된 스위칭 ICs의 적절한 작동이 확보된 경우에 충족된다. 따라서, 디스플레이 패널로의 구동 전압이 항상 양이 되도록 하기 위해서, 디스플레이 패널에 연결된 2차측 코일에 대한 전파 정류기 및 저장 커패시터 C_s 에 연결된 2차측 코일의 턴 비율은 적어도 1.05:1이 되어야 하며, 바람직하게는 적어도 1.1:1, 보다 바람직하게는 1.1:1 내지 1.2:1의 범위 이내가 되어야 한다. 또한, 최대 패널 커패시턴스에 대한 저장 커패시터의 커패시턴스의 비율은 적어도 약 10:1이 되어야 하며, 바람직하게는 적어도 약 20:1, 보다 바람직하게는 적어도 30:1이 되어야 한다.

<43> 저장 커패시터 C_s 의 내부 직렬 저항은 저항 손실로 인한 커패시터의 전압 변동과 RC 시간 상수가 특정 조절 한계를 초과하지 않도록 충분히 낮게 선택한다. 또한, 두 개의 2차측 코일의 턴 비율은 저장 커패시터를 구동하는 정류기 내의 다이오드를 가로지르는 순방향 전압 강하와 2차 회로 내의 저항 손실이 고려되어야 한다. 순방향 다이오드 전압 강하는 정류기로 쇼트키 다이오드(Schottky diode)를 선택함으로써 최소화할 수 있다.

<44> 도6에 따른 회로의 작동 중에, 클램프 전압 이하의 전압 펄스가 로우 또는 칼럼에 인가되면, 1차측 코일로부터의 에너지는 주로 디스플레이 패널에 연결된 2차측 코일을 통하여 전달된다. 동시에, 저장 커패시터 C_s 로부터의 에너지는 디스플레이 패널로 흐른다. 전압이 클램프 전압을 초과하게 되면, 저장 커패시터 및 패널 커패시터가 병렬로 충전되는 것과 같은 방식으로, 에너지는 주로 1차측 코일로부터 정류기에 연결된 2차측 코일을 통하여 저장 커패시터 및 패널 커패시터 모두로 전달된다. 병렬 커패시턴스에서 고용량의 저장 커패시터 C_s 가 우위에 있게 되므로, 커패시터를 가로질러 최소한의 전압 증가만이 있을 뿐이며, 이에 따라 효율적인 전압 조절이 가능하다.

<45> 디스플레이된 이미지에서의 무작위 변동으로 인하여, 저장 커패시터 C_s 의 전압이 많은 펄스에 대하여 장시간 편류하게 되는 것은, 미국 특허 U.S. 6,448,950호에 개시된 바와 같이, 많은 어드레싱 사이클에 대한 평균 전압을 감지하고, 1차측 코일에 피드백을 제공함으로써 해소할 수 있다. 따라서, 단일 펄스의 시간 스케일에서 단기 전압 변동 및 장기 전압 변동 모두 계조 충실도를 유지할 정도로 최소화할 수 있다.

<46> 도7은 전체 디스플레이 드라이버를 도시한 블록도이다. 블록도에서 HSync는 단일 로우의 어드레싱을 개시하는 시간 펄스를 의미한다. HSync 펄스는 공진 회로에서의 영전류(zero current) 시간이 로우 및 칼럼의 스위칭 시간과 일치하도록 지연시간이 설정된 시간 지연 제어 회로 60로 제공된다. 회로 60의 출력은 로우 및 칼럼 공진 회로 62, 64로 제공되고, 회로 62의 출력은 극성 스위칭 회로 66로 제공된다. 극성 스위칭 회로 66의 스위칭 시간은 각각의 완성된 프레임의 개시 시간을 제어하는 VSync 펄스에 의해 조절된다. 회로 64 및 66의 출력은 이하 상세히 설명하는 바와 같이 클램프되고, 각각 칼럼 및 로우 드라이버 ICs 68 및 70에 인가된다.

<47> 도2로 돌아가서, 후막 전계발광디스플레이(thick film electroluminescent display)는 두 개의 유전체 층 중 하나가 높은 유전 상수를 갖는 두꺼운 필름 층을 포함한다는 점에서, 박막 전계발광디스플레이(thin film electroluminescent display)와 차이가 있다. 두 번째 유전체 층은 유전기능이 붕괴되는 것을 견뎌낼 필요가 없는데, 두꺼운 층이 이러한 작용을 하기 때문이다. 또한, 두 번째 유전체 층은 얇은 필름의 전계발광디스플레이의 유전체 층보다 상당히 얇게 제조될 수 있다. 미국 특허 U.S. 5,432,015호는 전계발광디스플레이의 두꺼운 필름 유전체 층을 구성하는 방법에 관하여 개시하고 있다. 두꺼운 필름의 전계발광디스플레이에서 유전체 층의 특성으로 인하여, 도3에 도시된 회로의 값들은 얇은 필름의 전계발광디스플레이와는 상당히 다른 값을 갖게 된다. 특히, 커패시터 C_d 의 값은 얇은 필름의 전계발광디스플레이보다 상당히 큰 값이 될 수 있다. 이로 인하여, 인가된 로우 전압 및 칼럼 전압의 작용으로서 패널 커패시턴스 내의 편차가 얇은 필름의 디스플레이보다 커지게 된다. 문턱 전압 이하의 픽셀 커패시턴스에 대한 문턱 전압 이상의 픽셀 커패시턴스의 비율은 통상적으로 약 4:1이며, 10:1을 초과할 수도 있다. 반면에, 얇은 필름의 전계발광디스플레이에서는 이러한 비율이 약 2:1 내지 3:1의 범위 내가 된다. 통상적으로 패널 커패시턴스는 디스플레이의 크기 및 로우 및 칼럼에 인가된 전압에 따라 나노패럿(nanofarad)에서 마이크로패럿(microfarad)까지의 범위를 갖는다.

<48> 도8 및 도9는, 미국 특허출원 10/701,051호에 개시된 바와 같은, 각각 칼럼 및 로우에 이용되는 공진 회로의 회

로도이다. 도10은, 마찬가지로 미국 특허출원 10/701,051호에 개시된 바와 같은, 로우 공진 회로와 로우 드라이버 사이에 연결되어, 교호되는 극성 전압을 로우 드라이버 고압 입력 핀에 제공하는 극성 반전 회로의 회로도이다. 공진 회로로 입력되는 DC전압은 330 볼트였다 (AC 120/240 볼트로부터 오프라인 정류). 극성 반전 회로의 출력단은 로우 드라이버 IC 70 (도7)의 고압 입력핀에 연결되고, 핀의 출력단은 디스플레이 패널의 로우에 연결된다. 로우 드라이버의 클럭 및 게이트 입력핀은 공지기술인 전계발광디스플레이의 매트릭스 어드레싱에 적용되는 FPGAs(field programmable gate arrays)를 채용한 디지털 회로를 이용하여 동기화한다.

<49> 도11 및 도12는 도7 내지 도10에 도시된 구동 회로를 제어하는데 이용되는 타이밍 신호 파형을 도시한 것이다. 프로토타입 디스플레이의 로우 어드레싱 주파수는 32 kHz였으며, 120 Hz의 디스플레이 패널 재생률이 가능하다.

<50> 도8을 참조하면, 칼럼 구동 공진 회로의 공진 주파수는 감압 변압기 T2의 1차측에서 보여지는 유효 인덕턴스와 변압기 T2의 1차측에서 보여지는 칼럼 커패시턴스와 병렬 연결된 커패시터 C42의 유효 커패시턴스에 의해 조절된다. 또한, 소형 트리밍 커패시터 C11가 커패시터 C42와 병렬연결로 마련되어 공진 주파수를 미세 조정한다. 변압기의 턴 비율은 5보다 크고, 커패시터 C42의 값 C_1 는, 수학적 식 2를 참조하여, $(n_2/n_1)^2 C_p$ 보다 상당히 크게 선택하여 공진 주파수 상에서 패널 커패시턴스의 변동을 최소화하도록 한다. C9는 탭크 회로를 조정하기 위한 커패시터의 뱅크이며, 커패시터 C42의 커패시턴스와 결합되어, 상이한 디스플레이 스캐닝 주파수와 맞춰지거나 동기화되는 원하는 공진 주파수를 얻는다.

<51> 도8을 더 참조하면, 변압기 T2의 2차측에서의 정현파 출력은 클램프 회로의 저장 커패시터 Cs를 가로지르는 전압에 의해 DC 전환되어, 순간적인 출력 전압이 음이 되지 않는다.

<52> 공진회로는 두 개의 MOSFETs Q2 및 Q3를 이용하여 구동되며, MOSFETs의 스위칭은 로우 드라이버 ICs가 어드레스된 로우를 선택하도록 적절한 지연 시간을 이용하여 HSync 신호와 동기된 LC DRV 신호에 의하여 제어된다. 구동 전류가 영에 가까워지면 로우 드라이버 ICs가 스위칭될 수 있도록 지연을 조정한다. LC DRV 신호는 통상적으로 FPGA인 디스플레이 드라이버의 저압 로직부에서 생성되지만, 동일한 목적으로 디자인된 ASIC(application specific integrated circuit)일 수도 있다. LC DRV 신호는 50% 듀티 사이클 TTL 레벨 구형파이다. LC DRV 신호는 두 가지 형태를 가지며, LC DRV A 신호와 LC DRV B 신호는 보완적인 관계이다.

<53> 다시 도8을 참조하면, 공진 회로에서 전압 레벨의 제어는 펄스폭변조기 U1을 이용하여 달성되며, 펄스폭변조기 U1의 출력단은 변압기 T6를 통해 MOSFET Q1의 게이트에 연결된다. 330 볼트의 입력 DC 전압을 톱핑(chopping)하여 공진 회로에서 전압 레벨을 제어하게 된다. 인덕터 L2는 공진 회로로의 전류를 제한하는데, DC 전압으로부터 에너지를 공급받고, 다이오드 D12는 인덕터 내에서의 전류 변동으로 인한 MOSFET Q1의 소스에서의 전압 탈선을 제한한다. 펄스폭변조기의 듀티 사이클은 변압기 T2의 1차측에서 전압을 감지하여 공진 회로 전압을 조절 또는 조정하는 전압 피드백 회로에 의해서 제어된다. 펄스폭변조기의 스위칭은 디스플레이 드라이버의 저압 로직부로부터 TTL 신호 PWM_SYNC를 이용하여 HSync와 동기화된다.

<54> 도9를 참조하면, 로우 드라이버 회로의 작동은 칼럼 드라이버 회로와 유사하다. 다만, 칼럼 드라이버 회로의 변압기 T2의 턴 비율과 비교하여 볼 때, 변압기 T1의 턴 비율은 차이가 있는데, 이는 로우(row) 회로에서 개방 회로가 되는 여분의 로우가 존재하므로 더 높은 로우(row) 전압과 더 낮은 패널 커패시턴스 값을 갖는 것을 고려한 것이다. 또한, 변압기 T1에는 변압기 T2보다 4개의 더 많은 2차측 코일이 존재하여, 연속되는 프레임에서 로우의 극성을 교호시키는 극성 반전 회로의 동작에 필요한 플로팅 전압을 생성한다.

<55> 로우 드라이버 회로의 출력은 도10에 도시된 바와 같이 극성 반전 회로에 연결된다. 이는 교호되는 프레임에서 상반되는 극성을 갖는 로우 전압을 제공하여, 전계발광디스플레이에 필요한 AC 구동을 제공한다. 6개의 MOSFETs Q4 내지 Q9이 아날로그 스위치 셋을 형성하여, 패널의 로우(row)에 생성된 양 또는 음의 정현파 구동 파형을 모두 연결한다. 극성의 선택은 디스플레이 시스템의 로직 회로에서 생성된 TTL 신호인 FRAME POL에 의해 제어된다. FRAME POL 신호는 디스플레이 상에서 각각의 프레임의 스캐닝을 개시하는 수직동기신호 VSYNC에 동기화된다. FRAME POL 신호는, 변압기 T1으로부터의 4개의 플로팅 전압과 함께, 극성 반전 회로를 구동하는 제어 신호(FRAME_POL-1 내지 FRAME_POL-4)를 생성한다.

<56> 상술한 논의로부터 인식될 수 있듯이, 수동형 어드레스 전계발광디스플레이에서 칼럼(도8)의 공진 에너지 회수 회로의 에너지 효율을 개선한 회로가 제공된다.

<57> 도8과 관련하여 상술한 바를 실시해 보면, 디스플레이 패널의 칼럼 구동과 관련된 에너지 효율이 디스플레이 로우를 구동하는 것에 비하여 상당히 낮다. 칼럼을 통한 에너지 회수의 효율이 낮은 이유는 공진 구동 전원으로서의

에너지 회수 경로가 아니라, 바람직하지 못한 회피 경로를 통하여 패널 전기용량이 부분적으로 방출되기 때문인 것으로 알려져 있다.

<58> 도13은 비디오 이미지에 수직 바가 포함된 경우 패널 칼럼 드라이버의 등가 회로를 간략히 도시한 것이다. 수직 바 패턴의 선택은 등가 회로를 단순화하는데, 이는 각각의 칼럼 드라이버 출력이 두 개의 고정된 전압 중 하나에 있게 되어 두 개의 드라이버 출력만으로 칼럼을 표현할 수 있기 때문이며, 두 개의 드라이버 출력은 각각 두 개의 고정된 전압에서 평행한 그룹의 칼럼 드라이버에 대응된다. H 출력은 수직 바에 해당되는 최대 계조를 갖는 드라이버 출력의 그룹을 나타내고, V 출력은 디스플레이된 바 패턴의 배경을 나타내는 영 계조를 갖는 드라이버 출력의 그룹을 나타낸다. 이러한 패턴의 디스플레이는 칼럼 드라이버 회로의 전원 소모를 최대화하는 칼럼 전압이 요구된다.

<59> H 및 V 출력 사이에 연결된 커패시터(C_p)는 총 패널 커패시턴스를 나타낸다.

<60> 드라이버 출력은 소스-팔로워(source-follower) 배열의 토렘-폴(totem-pole) MOSFET 버퍼이다 (Q14 내지 Q17).

<61> 디스플레이 패널의 로우를 어드레스하기 위한 스캔 사이클 동안, 패널 커패시턴스(C_p)는 최대 계조에 해당하는 전압 V로 충전된다. 커패시터에 저장된 에너지는 $\frac{1}{2} C_p V^2$ 이다. 에너지 회수의 효율을 극대화하기 위하여, 도8에 도시된 바와 같이, 패널 커패시턴스는 MOSFETs Q14 및 Q17의 바디(body) 다이오드를 통해 방전되어 공진 구동 회로로 회수되어야 한다 (방전 루프 3).

<62> 그러나, 커패시터의 방전 중에, 커패시터의 단자에서의 전압 레벨은 계속하여 변화한다. 드라이버의 출력 버퍼가 활성의 전압 팔로워(voltage follower)이기 때문에, 출력은 필요한 계조에 상응하는 레벨에서 유지되고, 필요한 계조는 칼럼 드라이버 칩 내에 포함된 계조 디지털-투-아날로그(digital-to-analog) 변환 회로에 의해 제어된다. 드라이버 출력과 프로그램된 계조 전압 사이에 전압 차이가 있게 되면, 토렘-폴 출력 MOSFETs의 하나가 턴온되어 드라이버 출력에서 프로그램된 전압을 복원 또는 유지하는 것이 전압 팔로워 버퍼의 특성이다.

<63> 그 결과, MOSFETs가 바람직하지 못하게 턴온되면, 패널 커패시터로부터 회수될 수 없는 에너지의 방산을 야기하는 회피 방전 경로(방전 루프 1 및 2)가 생성된다. 이러한 방전 회피 경로는 로우 구동 회로에서는 존재하지 않는다 (도9). 이는 로우 드라이버가 공진 구동 전원과 어드레스된 로우 패널 커패시터 사이에서 순차적으로 온/오프되는 스위치와 유사하여, 유일한 방전 경로는 스위치를 통해 전원으로 돌아오는 것이기 때문이다.

<64> 따라서, 드라이버 출력 MOSFETs를 통한 패널 커패시터의 방전은 패널 커패시터의 유일한 방전 경로가 출력 MOSFETs의 바디 다이오드를 통해 효율적인 에너지 회수 회로의 공진 전원으로 돌아오는 경로가 되도록 하는 것으로 하여 방지될 수 있으며, 이를 위해서 출력 MOSFETs가 패널 커패시터의 방전 중에 오프상태 (또는 높은 임피던스 상태)가 되도록 한다.

<65> 도13에 도시된 바와 같이, 아날로그 스위치(S1,S2)가 마련되어 패널 커패시터가 방전되는 동안 칼럼 드라이버의 출력 전압을 퍼버하는 출력 MOSFETs의 게이트 및 소스 단자를 단락한다. 이에 따라, MOSFETs는 'off' 또는 'Hi-Z' 상태로 스위칭된다. 게이트와 소스를 연결함으로써 게이트-투-소스(gate-to-source) 포텐셜(V_{gs})은 MOSFETs의 턴온 문턱 전압 이하가 된다.

<66> 칼럼 드라이버에 내장된 집적-마이크로회로인 컨트롤 회로(미도시)가 마련되어 아날로그 스위치(도13: S2, S2)를 기동한다. 상기 스위치는, 이상적으로, 패널 커패시터가 방전되고 있는 동안 항상 닫혀있다. 그러나, 패널 커패시터가 방전되고 있는 실질적인 시간 동안 상기 스위치가 닫혀있다면 효율성에 있어서도 유리하다. 도5a, 5b, 및 5c를 참조하면, 상기 스위치는 패널 커패시터가 방전되고 있다는 조건 하에 정현파 전압 파형의 절대값이 하락할 때는 언제나 닫혀있는 것이 바람직하다.

산업상 이용 가능성

<67> 당업자에게는 다른 실시예 또는 변형이 가능할 것이다. 가령, 본 발명의 회로는 실질적으로 정현파 출력 전압 파형을 제공할 수 있고, 패널 커패시터가 방전되고 있거나 패널 커패시터가 방전되고 있는 실질적인 시간 동안에는 언제나 패널에 의해 나타나는 버퍼의 출력 임피던스가 높은 임피던스가 될 수 있는 어떤 타입의 칼럼 드라이버 버퍼에라도 적용될 수 있을 것이다.

<68> 본 발명의 많은 특징과 효과는 상세한 설명으로부터 명백하며, 청구범위는 본 발명의 정신 및 범위 내에 속하는 이와 같은 모든 특징 및 효과를 포함하기 위함이다. 더 나아가, 수많은 변형과 변경이 당업자에게는 용이할 것

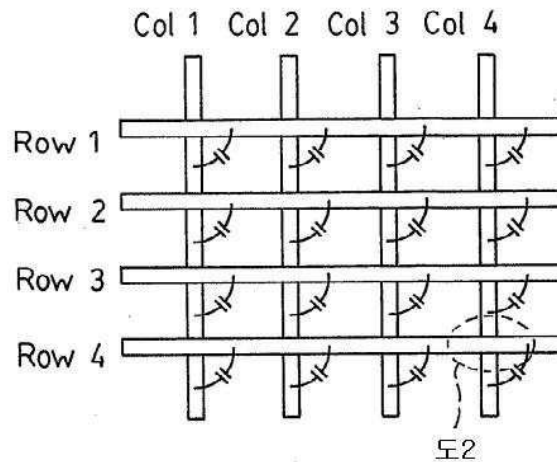
이며, 도시되고 기재된 구성 및 작용에 본 발명이 국한되는 것은 아니다. 따라서, 본 발명의 범위는 가능한 모든 변형물 및 균등물에 의하여 정해될 것이다.

도면의 간단한 설명

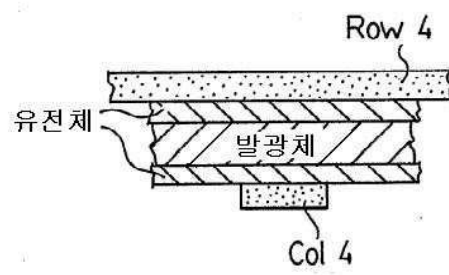
- <7> 도1은 종래기술에 따른 전계발광디스플레이 상에서 픽셀의 로우 및 칼럼 배열을 도시한 평면도;
- <8> 도2는 도1에 도시된 전계발광디스플레이의 하나의 픽셀에 관한 단면도;
- <9> 도3은 도2에 도시된 픽셀에 상응하는 회로의 회로도;
- <10> 도4는 미국 특허 U.S. 6,448,950호에 따른 디스플레이 드라이버에서 이용된 공진회로를 간략히 도시한 회로도;
- <11> 도5a 내지 도5c는 상이한 조건 하에서 도4의 공진회로의 파형을 도시한 역전류 검출관의 그래프;
- <12> 도6은 본 발명의 실시예에 따른, 본 발명의 미국 특허출원 10/701,051호에 개시된 바와 같은, 도4의 디스플레이 드라이버의 개선된 변압기의 2차측 부분을 도시한 회로도;
- <13> 도7은 미국 특허 U.S. 6,448,950호에 따른 드라이버 회로의 블록도;
- <14> 도8은 본 발명의 실시예에 따른, 본 발명의 미국 특허출원 10/701,051호에 개시된 바와 같은 칼럼 드라이버의 회로도;
- <15> 도9는 본 발명의 미국 특허출원 10/701,051호에 개시된 바와 같은 로우 드라이버의 회로도;
- <16> 도10은 도9의 로우 드라이버의 출력단에 마련되는 극성 반전 회로의 회로도;
- <17> 도11 및 도12는 도6 내지 도10의 디스플레이 드라이버의 디스플레이 시간 펄스를 도시한 그래프;
- <18> 도13은 정현파 에너지 회수 칼럼 드라이버 및 전계발광디스플레이를 통합하여 도식적으로 도시한 회로도이다.

도면

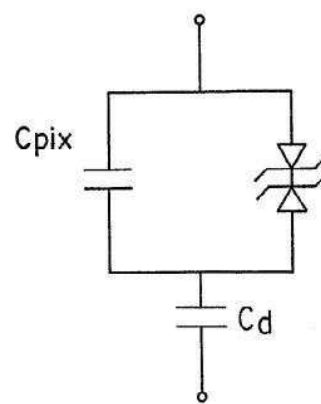
도면1



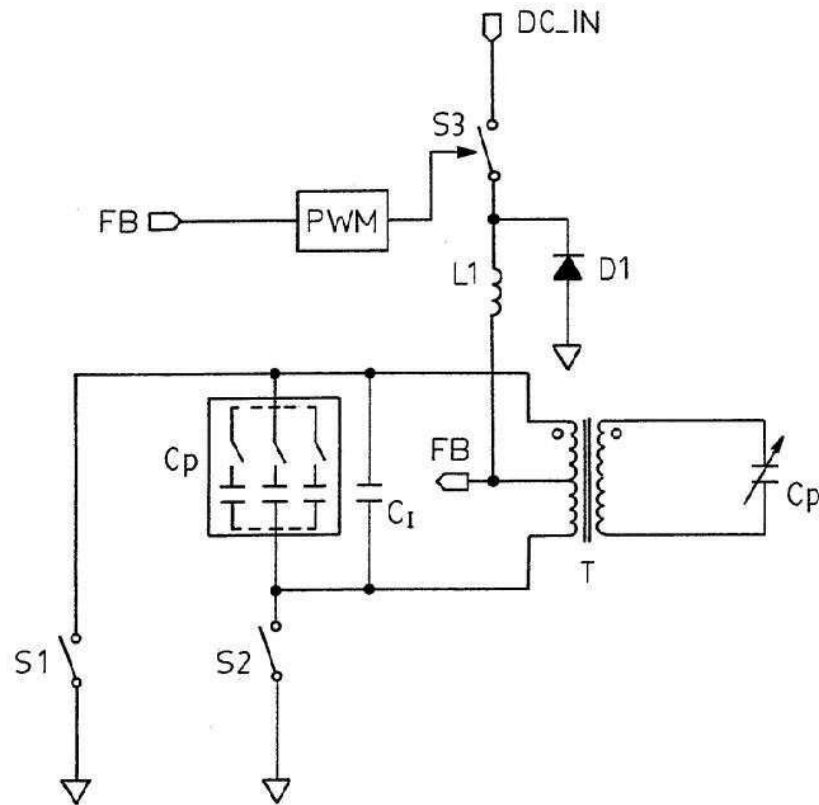
도면2



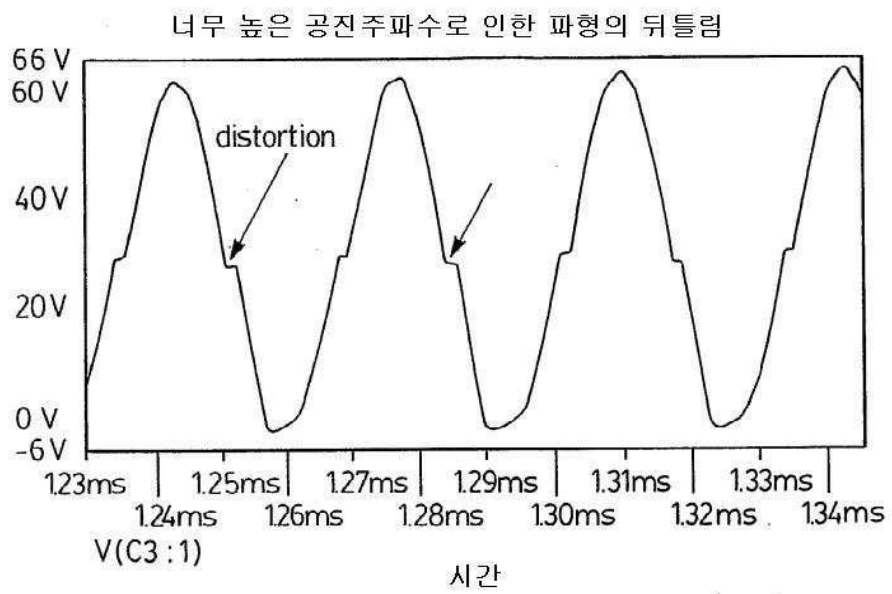
도면3



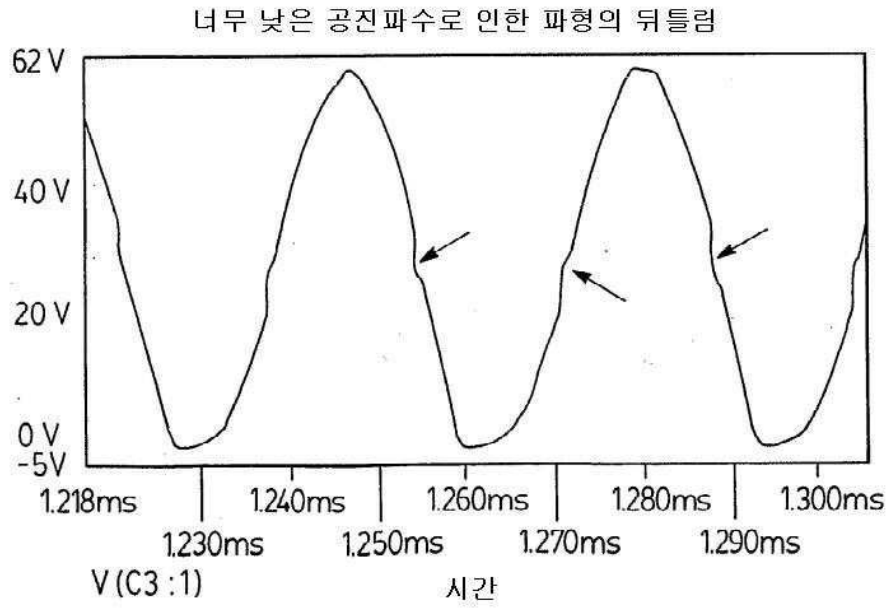
도면4



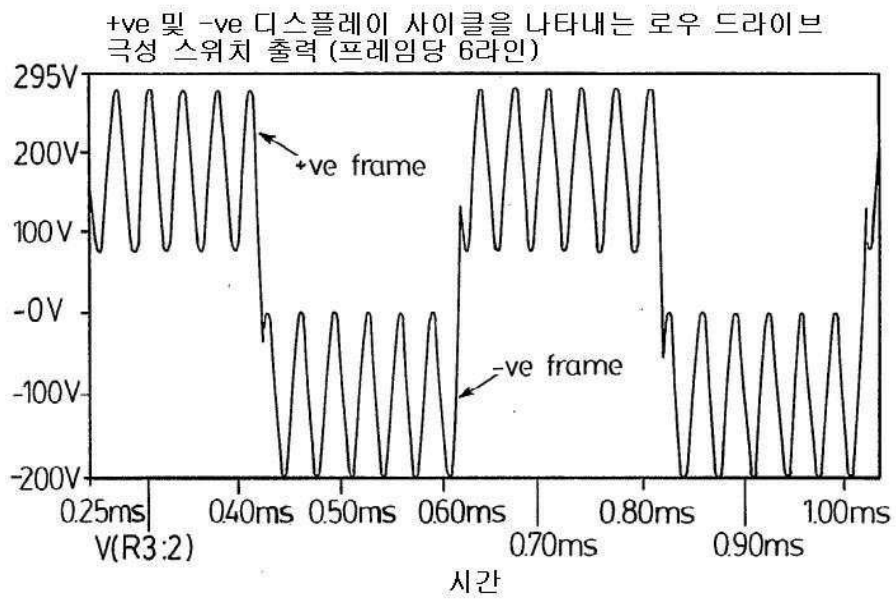
도면5a



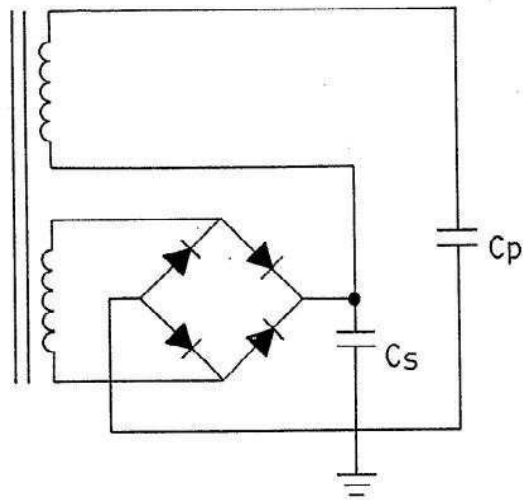
도면5b



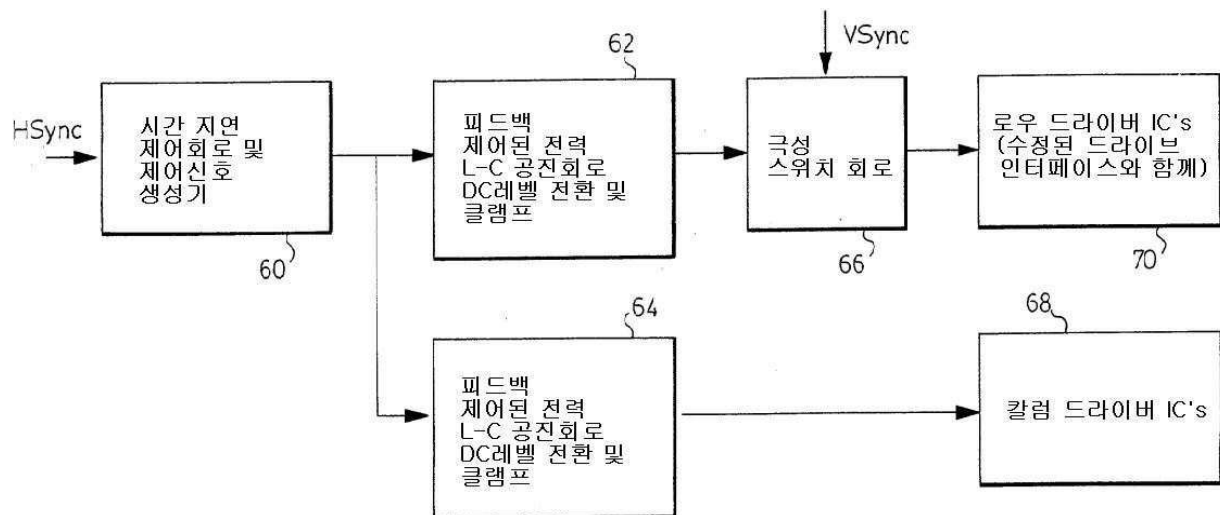
도면5c



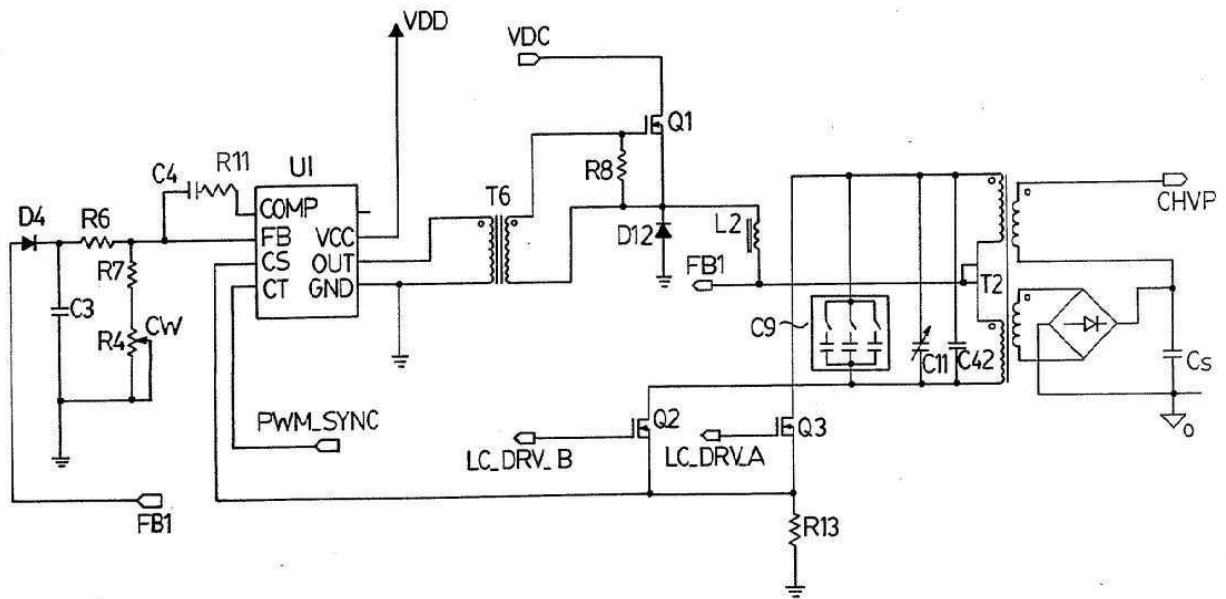
도면6



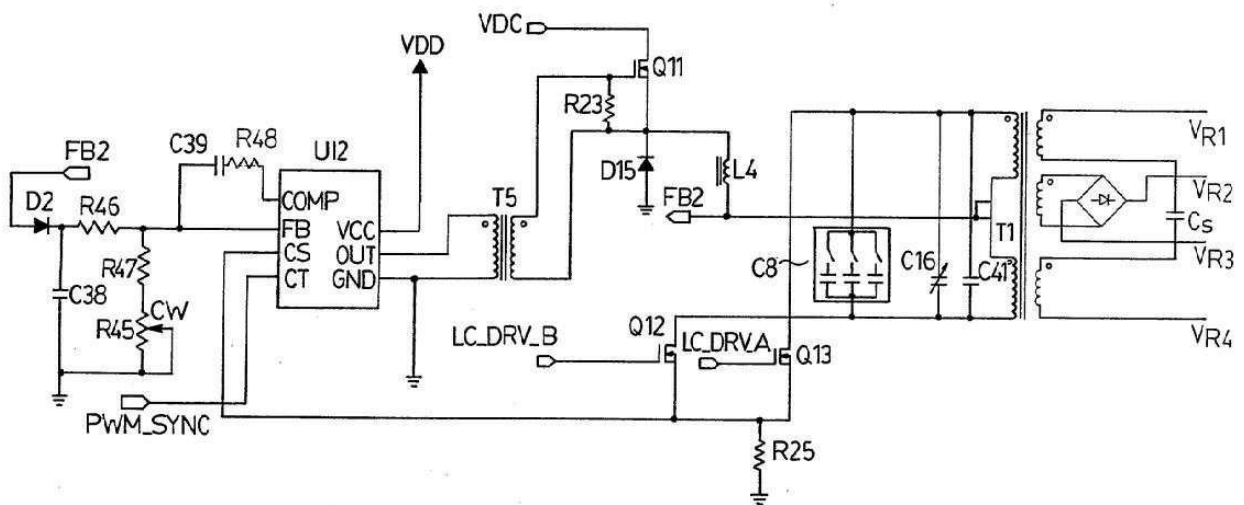
도면7



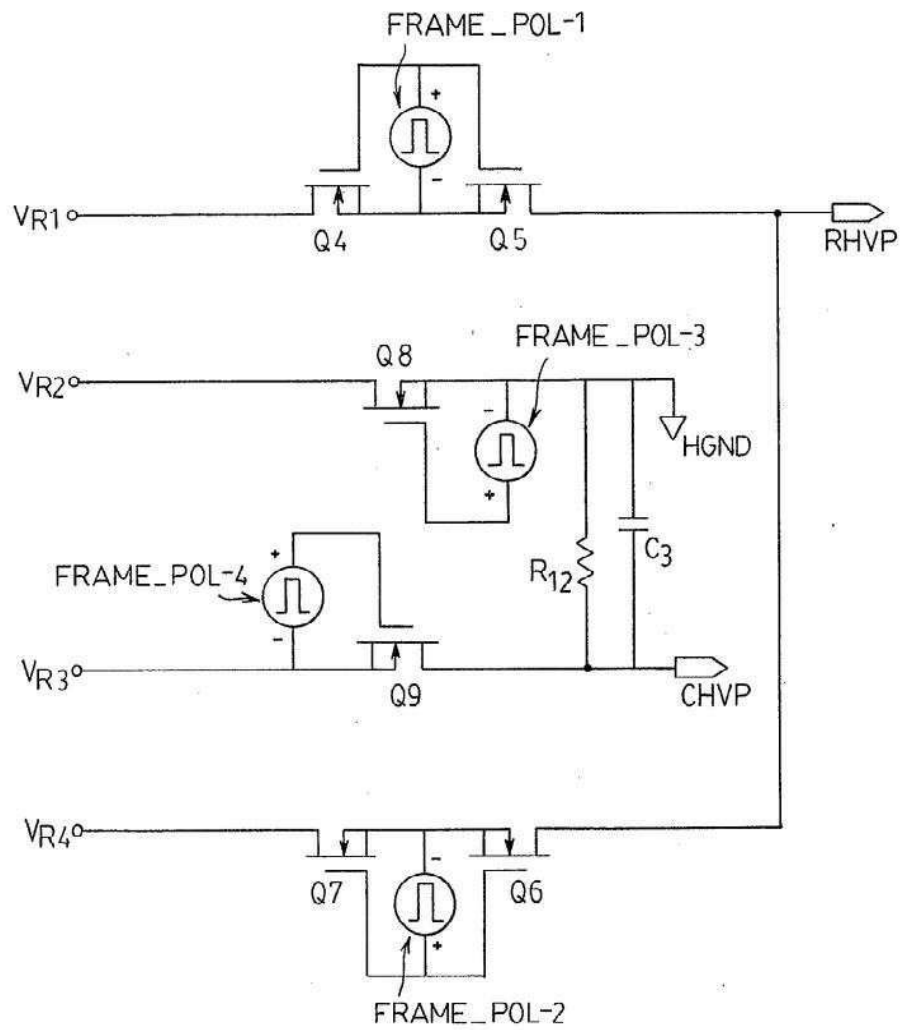
도면8



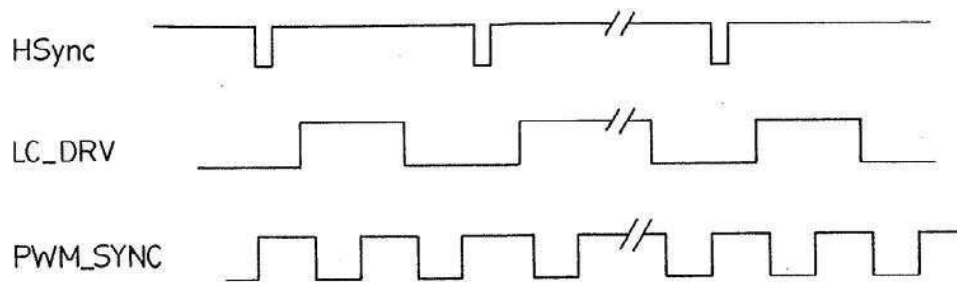
도면9



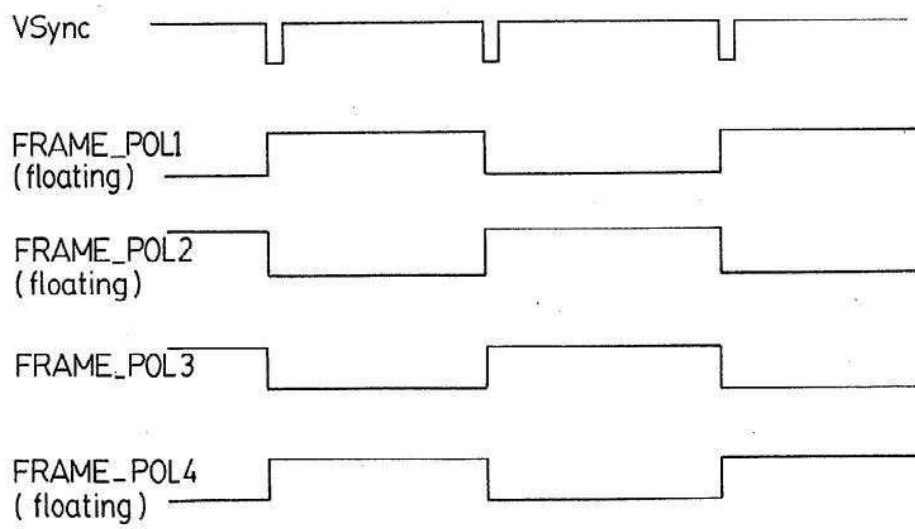
도면10



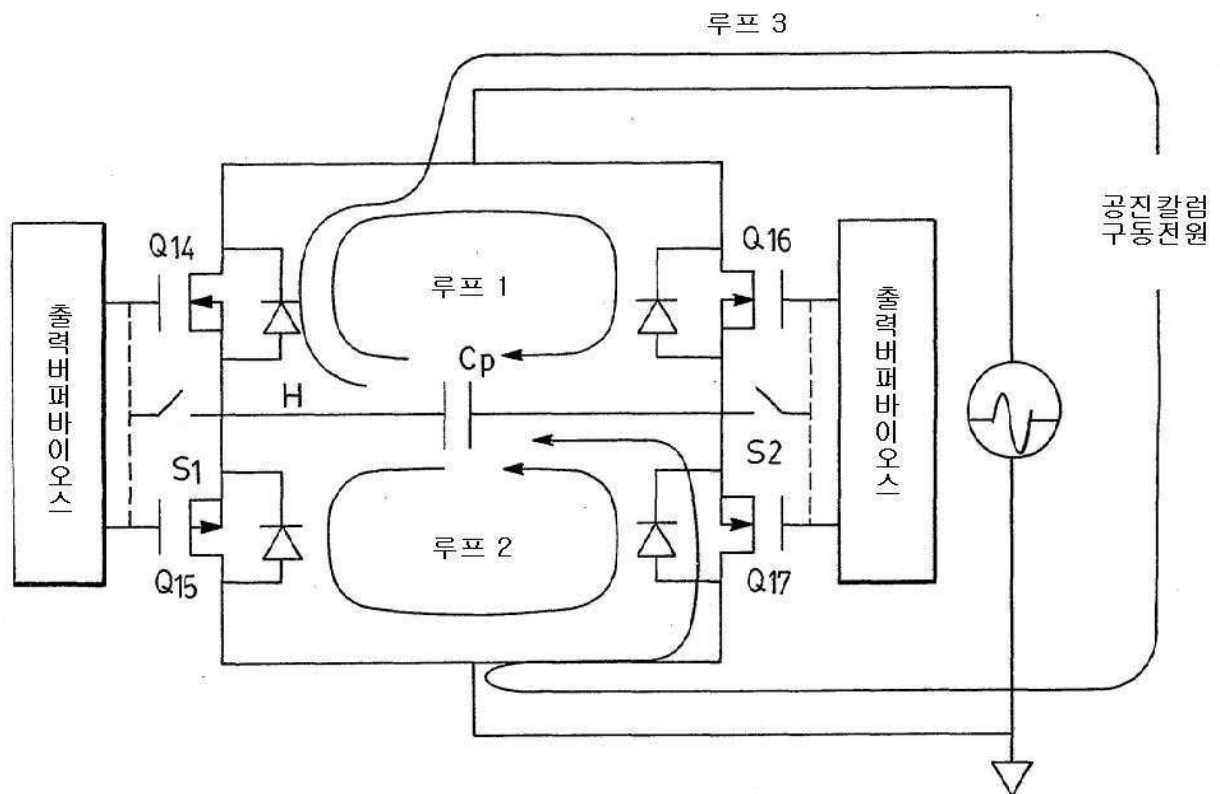
도면11



도면12



도면13



专利名称(译)	节能型列驱动器和包括其的电致发光显示器		
公开(公告)号	KR1020070099032A	公开(公告)日	2007-10-08
申请号	KR1020077019420	申请日	2006-01-16
[标]申请(专利权)人(译)	IFIRE IP CORP		
申请(专利权)人(译)	异化了的孩子皮细胞操作		
[标]发明人	CHENG CHUN FAI 첸춘파이		
发明人	첸,춘파이		
IPC分类号	G09G3/32 G09G3/30 G09G3/20 H05B37/02		
CPC分类号	G09G3/3611 G09G3/3614 G09G3/3622 G09G3/30 G09G2310/0248 G09G2310/0254 G09G2310/0267 G09G2310/0275 G09G2330/023 G09G2330/024 G09G2330/028		
代理人(译)	Heoseong赢得 Seodongheon		
优先权	60/646326 2005-01-24 US		
外部链接	Espacenet		

摘要(译)

一种驱动电路，用于驱动具有排列成行和列的像素的显示面板，其中驱动电路包括谐振电路，该谐振电路能够有效地恢复存储在像素行上的电容性能量，并将其传送到另一行像素，因为行是通过在每行上顺序施加电压来寻址。谐振电路包括降压变压器，跨初级绕组的电容器，连接在次级绕组上的显示面板的行或列以及输入电压和FET开关，以驱动谐振电路与控制寻址的定时脉冲同步的显示。电容器连接在变压器初级的电容值绕组被选择为与变压器上的匝数比和面板电容值的预期范围相当，以有效地限制谐振频率相对于定时脉冲的频率的变化。本发明是采用列驱动器的谐振驱动电路的改进，所述列驱动器通过采用一种装置来限制谐振电路中的能量回收最大化，该电流限制流过用于控制列电压的FET的电流，使得基本上全部流过在活动行的选择之间的时间段内，电荷从显示像素中移除被限制流过变压器以对初级电容器充电。

©KIPO & WIPO2007年

