



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0098850
(43) 공개일자 2007년10월05일

(51) Int. Cl.

H01L 29/786(2006.01) *G09G 3/30*(2006.01)*H01L 51/50*(2006.01) *H01L 21/3205*(2006.01)*G09G 3/30*(2006.01) *H01L 51/50*(2006.01)

(21) 출원번호 10-2007-7015518

(22) 출원일자 2007년07월06일

심사청구일자 없음

번역문제출일자 2007년07월06일

(86) 국제출원번호 PCT/JP2005/022608

국제출원일자 2005년12월02일

(87) 국제공개번호 WO 2006/062180

국제공개일자 2006년06월15일

(30) 우선권주장

JP-P-2004-00353457 2004년12월06일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

요시히다, 야스노리

일본, 가나가와 2430036, 아쓰기시, 하세, 398 가부시키가이샤한도오따이 에네루기 켄큐쇼 내 기무라, 하지메

일본, 가나가와 2430036, 아쓰기시, 하세, 398 가부시키가이샤한도오따이 에네루기 켄큐쇼 내 (뒷면에 계속)

(74) 대리인

이범래

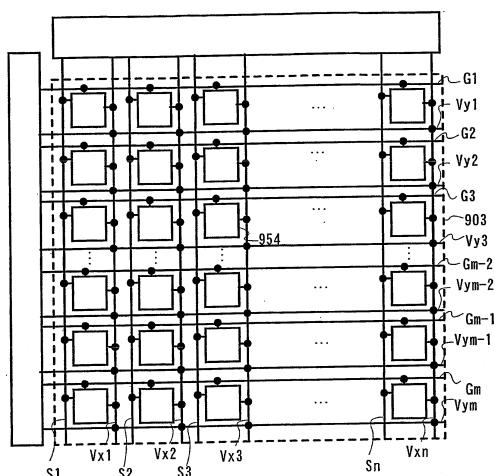
전체 청구항 수 : 총 5 항

(54) 디스플레이 장치

(57) 요약

본 발명은 선명한 멀티 그레이 스케일 컬러 디스플레이를 수행할 수 있는 액티브 매트릭스 EL 디스플레이 장치를 제공한다. 특히, 본 발명은 패턴을 선택적으로 형성할 수 있는 제조 방법에 의해 큰 액티브 매트릭스 EL 디스플레이 장치를 저가로 제공한다. 화소부 내의 전력 공급선들은 패턴을 선택적으로 형성할 수 있는 제조 방법에 의해 매트릭스로 배열된다. 또한, 배선들 사이의 커패시턴스는 패턴을 선택적으로 형성할 수 있는 제조 방법에 의해 인접한 배선들 사이의 보다 긴 거리를 제공함으로써 감소된다.

대표도 - 도9



(72) 발명자

마에카와, 신지

일본, 가나가와 2430036, 아쓰기시, 하세, 398 가
부시키가이샤한도오따이 에네루기 켄큐쇼 내

나카무라, 오사무

일본, 가나가와 2430036, 아쓰기시, 하세, 398 가
부시키가이샤한도오따이 에네루기 켄큐쇼 내

야마자키, 슈페이

일본, 가나가와 2430036, 아쓰기시, 하세, 398 가
부시키가이샤한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

디스플레이 장치에 있어서,
 절연 표면 위의 복수의 소스 신호선들,
 복수의 게이트 신호선들,
 열 방향의 복수의 전력 공급선들,
 행 방향의 복수의 전력 공급선들, 및
 매트릭스로 배열된 복수의 화소들을 포함하고,
 상기 복수의 화소들 각각은 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 및 발광 소자를 포함하고,
 상기 복수의 화소들 각각은 상기 열 방향의 복수의 전력 공급선들 중 하나 및 상기 행 방향의 복수의 전력 공급선들 중 하나에 접속되고,
 절연 박막은 상기 복수의 소스 신호선들, 상기 복수의 게이트 신호선들, 상기 열 방향의 복수의 전력 공급선들, 및 상기 행 방향의 복수의 전력 공급선들 중 적어도 하나의 아래의 부분에 형성되는, 디스플레이 장치.

청구항 2

디스플레이 장치를 제조하는 방법에 있어서,
 절연 표면 위에 복수의 소스 신호선들을 형성하는 단계,
 복수의 게이트 신호선들을 형성하는 단계,
 매트릭스로 배열된 복수의 화소들을 형성하는 단계로서, 상기 복수의 화소들 각각은 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 및 발광 소자를 포함하는, 상기 복수의 화소 형성 단계,
 열 방향의 복수의 전력 공급선들을 형성하는 단계,
 행 방향의 복수의 전력 공급선들을 형성하는 단계, 및
 액적 토출법(droplet discharging method) 또는 인쇄법에 의해 상기 열 방향의 복수의 전력 공급선들 중 하나와 상기 행 방향의 복수의 전력 공급선들 중 하나에 상기 복수의 화소들 각각을 접속시키는 단계를 포함하는, 디스플레이 장치 제조 방법.

청구항 3

디스플레이 장치를 제조하는 방법에 있어서,
 절연 표면 위에 소스 신호선을 형성하는 단계,
 게이트 신호선을 형성하는 단계,
 전력 공급선을 형성하는 단계,
 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 및 발광 소자를 포함하는 화소를 형성하는 단계, 및
 액적 토출법 또는 인쇄법에 의해 상기 소스 신호선, 상기 게이트 신호선, 및 상기 전력 공급선 중 적어도 하나의 아래의 부분에 절연 박막을 형성하는 단계를 포함하는, 디스플레이 장치 제조 방법.

청구항 4

제 1 항에 있어서,
 상기 복수의 소스 신호선들, 상기 복수의 게이트 신호선들, 상기 열 방향의 복수의 전력 공급선들, 및 상기 행 방향의 복수의 전력 공급선들 중 적어도 하나가 스퍼터링 법 또는 CVD 법에 의해 형성되는, 디스플레이 장치.

청구항 5

제 1 항에 있어서,

상기 디스플레이 장치는 개인용 컴퓨터, 텔레비전 수신기, 카메라, 이미지 재생 장치, 헤드 장착형 디스플레이, 휴대용 정보 단말기로 이루어진 그룹으로부터 선택된 전기 기기에 적용되는, 디스플레이 장치.

명세서

기술 분야

- <1> 본 발명은 EL(electroluminescence) 소자들이 기판 위에 형성된 전자 디스플레이(전기 광학 장치)에 관한 것이다. 특히, 본 발명은 반도체 소자(반도체 박막을 사용하는 소자)를 사용하는 디스플레이 장치에 관한 것이다. 또한, 본 발명은 디스플레이부에서 EL 디스플레이 장치를 사용하는 전자 장치에 관한 것이다.
- <2> 최근, 기판 위에 박막 트랜지스터를 형성하는 기술은 극적으로 발전되고 있으며, 액티브 매트릭스 디스플레이 장치에 응용하기 위해 개발되고 있다. 특히, 폴리실리콘과 같은 다결정 반도체 막을 사용하는 TFT는 전계 이동도(또는 이동도라 함)에 있어서 비정질 실리콘과 같은 비정질 반도체 막을 사용하는 종래의 TFT보다 고가이고, 이것은 빠른 동작을 가능하게 한다. 따라서, 종래에 기판 외부의 구동 회로에 의해 제어되는 화소들은 이제 화소들과 동일한 기판 위에 형성된 구동 회로에 의해 제어될 수 있다.
- <3> 다결정 반도체 막과 같은 것을 사용하는 액티브 매트릭스 디스플레이 장치에서, 다양한 회로들 및 소자들이 동일한 기판 위에 형성될 수 있다. 그러므로, 제조 단가의 절감, 디스플레이 장치의 축소, 수율의 향상, 및 처리량의 감소와 같은 다양한 이점들이 존재한다.
- <4> 또한, 자체 발광 소자와 같은 EL 소자를 사용하는 액티브 매트릭스 EL 디스플레이 장치에 대한 연구가 활성화되고 있다. EL 디스플레이 장치는 또한 유기 EL 디스플레이(OELD) 또는 유기 발광 다이오드(OLED)로 언급된다.
- <5> EL 소자는 전극들의 쌍(애노드 및 캐소드)이 일반적으로 적층 구조를 갖는 EL층을 샌드위치하는 구조를 갖는다. 통상적으로, 이스트맨 코닥 주식회사(Eastman Kodak Company)의 Tang 등에 의해 제안된 "홀 전달층, 발광층, 및 전자 전달층"의 적층 구조가 존재한다. 이 구조는 아주 높은 발광 효율을 가지며, 현재 연구되고 개발되고 있는 대부분의 EL 디스플레이 장치들에 이용된다.
- <6> 게다가, 홀 주입층, 홀 전달층, 발광층, 및 전자 전달층의 적층 구조 또는 홀 주입층, 홀 전달층, 발광층, 전자 전달층, 및 애노드 위의 전자 주입층의 적층 구조가 또한 이용될 수 있다. 발광층은 인광 색소(phosphorescence pigment) 등으로 도핑될 수 있다.
- <7> 본 명세서에서, 캐소드와 애노드 사이에 제공되는 모든 층들은 총괄적으로 EL 층으로서 언급된다. 그러므로, 홀 주입층, 홀 전달층, 발광층, 전자 전달층, 전자 주입층 등은 모두 EL 층에 포함된다.
- <8> 미리 정해진 전압이 전극들의 쌍으로부터 상술한 구조로 EL 층에 인가될 때, 캐리어들은 발광층에서 재결합되고, 광이 방출된다. 본 명세서에서, EL 소자가 광을 방출할 때, EL 소자가 구동된다고 한다. 또한, 본 실시예에서, 애노드, EL 층 및 캐소드로 형성되는 발광 소자는 EL 소자로서 언급된다.
- <9> 본 명세서에서, EL 소자는 싱글렛 여기 상태(singlet excitation state)로부터 일어나는 발광(인광) 및 트리플렛 여기 상태(triplet excitation state)로부터 일어나는 발광(형광) 모두를 이용할 수 있다.
- <10> EL 디스플레이 장치는 아날로그 구동 방법(아날로그 구동) 및 디지털 구동 방법(디지털 구동)에 의해 구동될 수 있다. 우선, EL 디스플레이 장치의 아날로그 구동에 대해 도 1 및 도 2를 참조하여 설명한다.
- <11> 도 1은 아날로그 구동 EL 디스플레이 장치의 화소부(100)의 구조를 도시한다. 게이트 신호선 구동 회로로부터 선택 신호와 함께 입력되는 게이트 신호선들(G1 내지 Gy) 각각은 각 화소의 스위칭 TFT(101)의 게이트 전극에 접속된다. 각 화소의 스위칭 TFT(101)의 소스 영역 및 드레인 영역 중 하나는 아날로그 비디오 신호가 입력되는 소스 신호선들(데이터 신호선이라 함)(S1 내지 Sx) 각각에 접속되고, 다른 하나는 각 화소의 커페시터(108) 및 구동 TFT(104)의 게이트 전극에 접속된다.
- <12> 각 화소의 구동 TFT(104)의 소스 영역 및 드레인 영역 중 하나는 전원 라인들(V1 내지 Vx) 각각에 접속되고, 다

른 하나는 EL 소자(106)에 접속된다. 전원 라인들(V1 내지 Vx) 각각의 전위는 전원 전위로서 언급된다. 전원 라인들(V1 내지 Vx)의 각각은 각 화소의 커페시터(108)에 접속된다.

<13> EL 소자(106)는 애노드, 캐소드, 및 애노드와 캐소드 사이에 제공되는 EL 총을 갖는다. EL 소자(106)의 애노드가 구동 TFT(104)의 소스 영역 또는 드레인 영역에 접속되는 경우에, EL 소자(106)의 애노드는 화소 전극인 반면, 그것의 캐소드는 반대 전극이다. EL 소자(106)의 캐소드가 구동 TFT(104)의 소스 영역 또는 드레인 영역에 접속되는 경우에, EL 소자(106)의 애노드는 반대 전극이고, 반면 그것의 캐소드는 화소 전극이다.

<14> 본 명세서에서, 반대 전극의 전위는 반대 전위로서 언급된다. 반대 전위를 반대 전극에 인가하는 전원은 반대 전원으로서 언급된다. 화소 전극의 전위와 반대 전위의 전극 사이의 전위차는 EL 총에 인가되는 EL 구동 전압이다.

<15> 도 2는 아날로그 방법에 의해 구동되는 도 1에 도시된 EL 디스플레이 장치의 타이밍도를 도시한다. 하나의 게이트 신호선의 선택에서부터 상이한 게이트 신호선의 선택까지의 기간은 1 라인 기간(L)으로 언급된다. 하나의 이미지의 디스플레이로부터 다음 이미지의 디스플레이까지의 기간은 1 프레임 기간(F)에 대응한다. 도 1의 EL 디스플레이 장치의 경우에, y개의 게이트 신호선들이 존재하고, 그에 따라, y개의 라인 기간들(L1 내지 Ly)이 1 프레임 기간에 제공된다.

<16> 전력 공급선들(V1 내지 Vx)은 특정 전원 전위에서 유지된다. 반대 전극의 전위인 반대 전위는 또한 특정 전위로 유지된다. 반대 전위 및 전원 전위는 EL 소자가 광을 방출하도록 전위차를 갖는다.

<17> 제 1 라인 기간(L1)에서, 게이트 신호선(G1)은 게이트 신호선 구동기 회로로부터 선택 신호와 함께 입력된다. 이어서, 아날로그 비디오 신호들은 소스 신호선들(S1 내지 Sx)에 후속하여 입력된다. 게이트 신호선(G1)에 접속된 모든 스위칭 TFT들이 턴온되므로, 소스 신호선들(S1 내지 Sx)에 입력된 아날로그 비디오 신호들은 스위칭 TFT들을 통해 구동 TFT들의 게이트 전극에 입력된다.

<18> 구동 TFT의 채널 형성 영역을 통해 흐르는 전류의 양은 그 게이트 전압에 의해 제어된다.

<19> 여기에서는, 구동 TFT의 소스 영역이 전력 공급선에 접속되고 그것의 드레인 영역이 EL 소자에 접속되는 예가 설명된다.

<20> 구동 TFT의 소스 영역이 전력 공급선에 접속되므로, 화소부 내의 각 화소는 동일한 전위를 가지고 입력된다. 이 때에, 아날로그 신호가 소스 신호선에 입력될 때, 신호 전압의 전위와 구동 TFT의 소스 영역의 전위 사이의 전위차는 게이트 전압이 된다. EL 소자로 흐르는 전류는 구동 TFT의 게이트 전압에 의존한다. 여기에서, EL 소자의 휘도는 EL 소자의 반대측 전극들 사이에 흐르는 전류에 비례한다. 이런 식으로, EL 소자는 아날로그 비디오 신호의 전압에 의존하여 광을 방출한다.

<21> 앞서 언급한 동작이 반복되고, 아날로그 비디오 신호들이 모든 소스 신호선들(S1 내지 Sx)에 입력될 때, 제 1 라인 기간(L1)이 종료된다. 아날로그 비디오 신호들이 모두 입력될 때까지의 기간 및 수평 귀선 기간(horizontal retrace line period)이 함께 1 라인 기간이 될 수 있음에 유의해야 한다. 이어서, 제 2 라인 기간(L2)에서, 게이트 신호선(G2)은 선택 신호를 갖고 입력된다. 유사하게, 제 1 라인 기간(L1)의 경우에, 아날로그 비디오 신호들이 소스 신호선들(S1 내지 Sx)에 후속하여 입력된다.

<22> 선택 신호들이 모든 게이트 신호선들(G1 내지 Gy)에 입력될 때, 모든 라인 기간들(L1 내지 Ly)이 종료된다. 모든 라인 기간들(L1 내지 Ly)이 종료할 때, 1 프레임 기간이 종료한다. 1 프레임 기간에서, 모든 화소들은 하나의 이미지를 형성하도록 디스플레이를 수행한다. 모든 라인 기간들(L1 내지 Ly) 및 수직 귀선 기간이 함께 1 프레임 기간이 될 수 있음에 유의해야 한다.

<23> 상술한 바와 같이, EL 소자에 의해 방출되는 광의 양은 아날로그 비디오 신호에 의해 제어된다. 발광의 양을 제어함으로써, 그레이 스케일 디스플레이가 수행된다. 이 방법은 소위 아날로그 구동 방법이고, 여기에서 그레이 스케일 디스플레이는 소스 신호선에 입력된 아날로그 비디오 신호의 전압을 변경시킴으로써 수행된다.

<24> 다음으로, EL 디스플레이 장치의 디지털 구동이 설명된다. 디지털 그레이 스케일 방법에서, 구동 TFT(104)의 게이트-소스 전압(Vg)은 두 개의 단계들: 전류가 EL 소자(106)로 흐르지 않는 영역(발광 시작 전압과 같거나 그보다 낮음)에서 또는 가장 큰 전류가 EL 소자(106)로 흐르는 영역(휘도 포화 전압과 같거나 그보다 높음)에서 동작한다. 즉, EL 소자는 광을 방출하거나 광을 방출하지 않는다.

<25> EL 디스플레이에는 주로 TFT의 임계값과 같은 특성들의 변화들이 디스플레이에 쉽게 영향을 미치지 않는 디지털

그레이 스케일 방법을 사용한다. 하지만, 디지털 그레이 스케일 방법의 경우에서, 단지 두 개의 그레이 스케일 레벨들만이 스스로 디스플레이될 수 있다. 그러므로, 또 다른 방법과 조합하여 디지털 그레이 스케일 방법을 사용하는 복수의 기술들은 멀티 그레이 스케일 디스플레이를 수행하도록 제안된다.

- <26> 이들 기술들 중 하나는 영역 그레이 스케일 방법 및 디지털 그레이 스케일 방법을 조합하여 사용하는 방법이다. 영역 그레이 스케일 방법은 광을 방출하는 부분들의 영역을 제어함으로써 그레이 스케일들을 디스플레이하는 방법이다. 즉, 하나의 화소가 복수의 서브화소들로 분할되고, 광을 방출하는 서브화소들의 수 및 영역은 그레이 스케일을 디스플레이하도록 제어된다. 이 방법은 서브화소들의 수가 증가될 수 없으므로, 고해상도 및 멀티 그레이 스케일 디스플레이가 용이하게 달성될 수 없다는 것이 단점이다. 비록 문헌 1,2 등은 영역 그레이 스케일 방법을 개시한다.
- <27> 멀티 그레이 스케일 디스플레이를 달성하는 또 다른 방법은 시간 그레이 스케일 방법과 디지털 그레이 스케일 방법을 조합하여 사용하는 방법이다. 시간 그레이 스케일 방법은 발광 시간의 차이를 사용하여 그레이 스케일들을 디스플레이하는 방법이다. 즉, 1 프레임 기간은 복수의 서브프레임 기간들로 분할되고, 그레이 스케일들은 광이 방출되는 서브프레임 기간들의 수 및 길이를 제어함으로써 디스플레이된다(특히 문헌 1 참조).
- <28> 비록 문헌 3은 디지털 그레이 스케일 방법, 영역 그레이 스케일 방법, 및 시간 그레이 스케일 방법을 조합하여 사용하는 경우를 개시한다.
- <29> 다음으로, 디지털 그레이 스케일 방법에 의해 그레이 스케일들을 디스플레이하는 경우에 일정한 전압 구동 및 일정한 전류 구동에 대해 개시된다.
- <30> 일정한 전류 구동은 EL 소자(106)가 광을 방출하는 포화 영역에서 구동 TFT(104)을 동작시키고 모든 화소들에 일정한 전류를 공급하는 구동 방법이다. 이 구동 방법은 EL 소자(106)가 열화되고 V-I 특성들이 변화할 때에도 일정한 전류가 EL 소자(106)에 공급될 수 있어, EL 디스플레이 장치의 수명을 연장시키는 이점을 갖는다.
- <31> 한편, 일정한 전압 구동은 EL 소자(106)가 광을 방출하고 모든 화소들에 일정한 전압을 공급할 때 선형 영역에서 구동 TFT(104)를 동작시키는 구동 방법이다. 이 구동 방법은 구동 TFT(104)의 특성들이 변할 때에도 EL 소자(106)에 인가될 수 있어, 화소들의 발광에 있어서 변화가 없고 디스플레이 품질을 높이는 이점을 갖는다.
- <32> [비]특허 문헌 1]
- <33> 유로 디스플레이 99 최근 뉴스(Euro Display 99 Late News) : P71: "TFT-LEPD with Image Uniformity by Area Ratio Gray Scale"
- <34> [비]특허 문헌 2]
- <35> IEDM 99 : P107 : "Technology for Active Matrix Light Emitting Polymer Displays"
- <36> [비]특허 문헌 3]
- <37> IDW'99 : P171 : "Low-Temperature Poly-Si TFT Driven Light-Emitting-Polymer Displays and Digital Gray Scale for Uniformity"
- <38> [특허 문헌 1]
- <39> 일본특허공개 번호 제2001-324958호

발명의 상세한 설명

- <40> 본 발명은 저가로 제조될 수 있는 양호한 수율을 갖는 크고 높은 해상도 EL 디스플레이 장치를 제공한다. 이러한 관점에서, 아래의 문제점들이 존재한다.
- <41> 우선, EL 디스플레이 장치의 구동 방법으로서 디지털 그레이 스케일 방법과 시간 그레이 스케일 방법을 조합하여 사용하는 경우의 문제점이 설명된다. 디지털 그레이 스케일 방법과 시간 그레이 스케일 방법을 조합하여 사용하는 경우에, 1 프레임 기간은 복수의 서브프레임 기간으로 분할되고, 광이 방출되는 서브프레임 기간의 수 및 길이는 그레이 스케일을 디스플레이하기 위해 제어된다. 즉, 아날로그 그레이 스케일 방법에 의해 하나의 이미지를 디스플레이하기 위해 소비될 수 있는 시간에 비하여, 단지 서브프레임 수 번째 부분의 시간만이 디지털 그레이 스케일 방법과 시간 그레이 스케일 방법을 조합하여 사용하는 경우에 하나의 이미지를 디스플레이하는데 소비될 수 있고, 이것은 구동기 회로가 아날로그 그레이 스케일 방법에 비하여 아주 빠른 속도로 동작하도록 요

구한다.

- <42> 또한, 구동기 회로의 동작 주파수는 제한된다. 1 프레임이 너무 많은 서브프레임들로 분할되거나, 해상도가 너무 높으면, 충분한 기록 시간이 제공될 수 없다. 즉, 디지털 그레이 스케일 방법과 시간 그레이 스케일 방법을 조합하여 사용하는 문제점들 중 하나는 불충분한 기록 시간이다. 이러한 관점에서, 기록 시간이 가능한 길게 제공되도록 요구된다.
- <43> 다음으로, 기생 커패시터의 증가에 대한 문제점이 설명된다. 보다 크고 높은 해상도 디스플레이 장치는 보다 긴 배선(wiring)을 갖는 화소부를 갖는다. 또한, 배선들을 교차시키기 위한 배선들의 수가 증가되어, 화소부에서의 배선들의 기생 커패시터를 증가시킨다.
- <44> 기생 커패시터가 증가될 때, 배선을 통해 전송하는 전기 신호 파형의 둔함(dullness)이 증가된다. 파형의 둔함은 신호들의 정확한 전송을 방지하고, 디스플레이 품질을 열화시킨다. 즉, 크고 높은 해상도 EL 디스플레이 장치를 제조하는데 있어 문제점들 중 하나는 기생 커패시터의 증가이다. 이러한 관점에서, 기생 커패시터는 가능한 작도록 요구된다.
- <45> 다음으로, 저가로 제조하는데 있어 문제점이 설명된다. 현재, TFT 및 TFT를 사용하는 전자 회로는 일반적으로 반도체, 절연체, 및 기판 위의 도체와 같은 다양한 박막들을 적층하고 포토리소그래피(photolithography) 기술에 의해 미리 정해진 패턴을 적절히 형성함으로써 제조된다. 포토리소그래피 기술은 광을 이용하여 기판 상에 포토 마스크라고 불리는 광 투과 판 표면 위에 광을 전송하지 않는 물질로 형성된 회로와 같은 패턴을 모사하는 (transfer) 기술이다. 이 기술은 반도체 집적 회로 등의 제조 단계들에서 광범위하게 사용된다.
- <46> 포토리소그래피 기술을 사용하는 제조 단계들은 포토 레지스트라고 불리는 광감자 유기 수지 물질(photosensitive organic resin material)로 형성된 마스크 패턴을 위해서 노출, 현상, 베이킹(baking), 및 필링(peeling)과 같은 많은 단계들을 필요로 한다. 그러므로, 포토리소그래피 단계들의 수가 증가함에 따라, 제조 단가는 필연적으로 증가한다.
- <47> 다음으로, 배선 저항의 문제점이 설명된다. 우선, EL 디스플레이 장치의 구동 방법과 같은 아날로그 구동 방법을 사용하는 경우에 대해 설명된다.
- <48> 도 3은 포화 영역($V_{ds} > V_g - V_{th}$)에서 구동 TFT의 특성들을 도시하는 그래프이다. 여기서, V_{ds} 는 소스-드레인 전압이고, V_g 는 게이트-소스 전압이며, V_{th} 는 임계 전압이다. 참조번호 301은 $Id-V_g$ 특성들($Id-V_g$ 곡선)을 나타낸다. 여기서, Id 는 드레인 전류를 나타낸다. 이 그래프에 의해, 임의의 게이트 전압을 갖고 흐르는 전류량을 알 수 있다.
- <49> 아날로그 구동 방법에서, 구동 TFT는 포화 영역에서 동작하고, 게이트 전압은 그 드레인 전류를 변경시키도록 변경된다.
- <50> 스위칭 TFT가 터온될 때 소스 신호선을 통해 화소에 입력된 아날로그 비디오 신호는 구동 TFT의 게이트 전극에 인가된다. 이 방식에서, 구동 TFT의 게이트 전압은 변한다. 이때에, 드레인 전류는 $Id-V_g$ 특성들에 따라 게이트 전압에 대해 비율 1:1에 따라 설정된다. 이 방식에서, 미리 정해진 드레인 전류는 구동 TFT의 게이트 전극에 입력된 아날로그 비디오 신호의 전압에 따라 EL 소자에 공급된다. EL 소자는 공급된 전류량에 따르는 양으로 광을 방출한다.
- <51> 상술한 바와 같이, EL 소자의 광 방출량은 아날로그 비디오 신호에 의해 제어되고, 그에 의해 그레이 스케일 디스플레이가 수행된다.
- <52> 여기에서, 각 화소의 구동 TFT의 게이트 전압은 구동 TFT의 소스 영역의 전위가 소스 신호선으로부터 입력된 동일한 신호로 변경될 때 변경된다. 여기에서, 구동 TFT의 소스 영역의 전위는 전력 공급선으로부터 인가된다. 하지만, 전력 공급선의 전위는 배선 저항에 의해 야기된 전위 강하로 인해 화소부에서의 위치에 의존하여 변한다.
- <53> 또한, 전력 공급선의 배선 저항이 작은 경우, 디스플레이 장치가 비교적 작은 경우, 또는 전력 공급선을 통해 흐르는 전류가 비교적 작은 경우에, 배선 저항에 의해 야기된 전위 강하로 인해 전력 공급선의 전위 변경은 효과가 그리 크지 않지만, 상기의 경우들을 제외하고는, 특히 디스플레이 장치가 비교적 큰 경우에는 충분한 효과를 갖는다.
- <54> 특히, 디스플레이 장치가 크기 때문에, 외부 입력 단자에서 화소부의 각 전력 공급선까지의 거리에 있어 보다 큰 변화들이 존재하고, 전력 공급선 리드부(power supply line lead portion)의 배선들의 길이에 있어 보다 큰

변화들이 존재한다. 그러므로, 전력 공급선 리드부의 전위 강하로 인한 전력 공급선의 전위 변경은 크게 된다.

<55> 상술한 인자들로 인한 전력 공급선의 전위 변화들은 각 화소에서 EL 소자의 휘도에 영향을 미치고, 디스플레이 휘도를 변경시켜, 디스플레이를 고르지 않게 한다.

<56> 이하에서는, 전력 공급선의 전위의 변경들의 특정한 예가 설명된다.

<57> 도 4에 도시된 바와 같이, 흰색 또는 검은 박스가 디스플레이 스크린에 디스플레이되고, 크로스 토크(cross talk)라고 불리우는 현상이 일어난다. 이것은 휘도의 차가 박스의 위 및 아래 부분들과 박수의 옆 부분들 사이에서 일어하는 현상이다.

<58> 크로스 토크는 차 전류가 박스 위, 아래 및 옆의 화소들에서의 구동 TFT들(104)에 흐르는 현상이다. 이 차는 소스 신호선들(S1 및 S2)에 병렬로 배열된 전력 공급선들(V1 및 V2)에 의해 야기된다.

<59> 흰색 박스가 도 4에 도시된 바와 같은 디스플레이 스크린의 부분에 디스플레이되는 경우에, 흰색 박스를 디스플레이하는 화소에 대응하는 전력 공급선은 전류가 흰색 박스를 디스플레이하는 화소 내의 구동 TFT의 소스 및 드레인을 통해 EL 소자에 공급되기 때문에, 흰색 박스를 디스플레이하지 않는 화소들에만 전력을 공급하는 전력 공급선에 비교하여, 배선 저항으로 인한 보다 큰 전위를 갖는다. 그러므로, 흰색 박스를 디스플레이하지 않는 다른 화소들보다 어두운 흰색 박스 위 및 아래 부분들이 존재한다.

<60> 여기에서, 디스플레이 장치의 디스플레이 스크린이 작은 경우에, 문제가 일어나지 않았다. 하지만, 디스플레이 장치의 보다 큰 디스플레이 스크린을 가질 때, EL 소자에 흐르는 전류의 총량은 디스플레이 스크린 영역에 비례하여 증가한다.

<61> 예를 들어, 4인치 대각선의 디스플레이 스크린을 갖는 디스플레이 장치와 20인치 대각선의 디스플레이 스크린(20)을 갖는 디스플레이 장치에서 EL 소자에 흐르는 전류의 총량과 비교할 때, 후자의 디스플레이 스크린은 전자의 크기의 25배이고, 그에 따라 EL 소자에 공급되는 전류의 총량은 크기와 같이 약 25배이다.

<62> 따라서, 상술한 전위 강하는 큰 디스플레이 스크린을 갖는 디스플레이 장치에서 매우 중요한 문제이다.

<63> 예를 들어, 20인치 대각선의 디스플레이 스크린을 갖는 디스플레이 장치가 700mm의 길이, 10mm의 폭, 및 0.1ohm의 시트 저항의 배선을 가지면, 1A의 전류가 흐를 때, 10V의 전위 강하가 일어나고 정상적인 디스플레이가 수행될 수 없다.

<64> 다음으로, EL 디스플레이 장치의 구동 방법으로서 디지털 구동 방법으로 일정한 전압 구동을 이용하는 경우에 배선 저항의 문제점들이 설명된다.

<65> 일정한 전압 구동이 이용될 때, 일정한 전압이 각 화소 내의 EL 소자(106)에 인가된다. 그러므로, 아주 높은 품질의 이미지를 디스플레이할 수 있는 EL 디스플레이 장치는 그 휘도가 구동 TFT(104)의 특성 변화에 의해 영향을 받지 않는 화소들로 얻어질 수 있다. 하지만, 배선 저항이 높으면, 일정한 전압이 각 화소에서 EL 소자(106)에 공급되도록, 일정한 전압 구동을 수행하기 위해 필요한 조건을 만족시키는 것이 불가능하다. 도 5a 및 도 5b를 참조하여 이것이 설명된다.

<66> 도 5a는 모든 화소들 중의 1/3이 동시에 광을 방출하는 패널을 도시한다. 도 5b는 모든 화소들 중의 2/3가 동시에 광을 방출하는 패널을 도시한다.

<67> 상이한 수의 화소들이 도 5a 및 도 5b 사이에서 동시에 광을 방출하므로, 광을 방출할 때 상이한 전류값들이 화소부 내의 전력 공급선들(V1 내지 Vx)에 공급된다. 여기에서, 화소부 내의 전력 공급선들(V1 내지 Vx)에서의 배선 저항이 존재하면, 전류량에 따라 전압이 강하한다. 즉, 전류값이 상이한 도 5a 및 도 5b에서, 화소 당 인가된 전압이 상이하다. 상이한 전압들이 인가될 때, EL 소자의 휘도는 도 5a에 도시된 바와 같이 디스플레이할 때와 도 5b에 도시된 바와 같이 디스플레이할 때 사이에서 상이하다.

<68> 이 방식에서, 화소 당 휘도가 디스플레이된 이미지의 광 방출률에 의존하여 변할 때, 이것은 시간 그레이 스케일 방식에 의해 그레이 스케일들을 디스플레이할 때 악영향을 미친다. 예를 들어, 디스플레이하는 경우에, 3개의 그레이 스케일 레벨들이 도 5a 및 도 5b의 패널들에 의해 동일한 기간동안 연속으로 디스플레이된다. 이때에, 디스플레이 영역(503)은 그레이 스케일 0을 디스플레이하고, 디스플레이 영역(504)은 그레이 스케일 2를 디스플레이하며, 디스플레이 영역(505)은 그레이 스케일 1을 디스플레이한다고 가정한다. 하지만, 배선 저항으로 인해, 디스플레이 영역(505)은 도 5a의 화소 당 휘도가 도 5b의 화소 당 휘도보다 높기 때문에 1보다 작은 그레이 스케일을 디스플레이한다. 이 방식에서, 배선 저항으로 인해, 원하는 그레이 스케일은 디지털 구동 방법

으로 일정한 전압 구동을 수행하는 경우에 디스플레이될 수 없다.

- <69> 이러한 휙도 차는 전력 공급선들(V1 내지 Vx)의 배선 저항이 높을수록 커진다. 디스플레이 장치가 커질수록 보다 긴 전력 공급선을 가지며, 이것은 배선 저항을 보다 높게 만든다. 즉, 크고 높은 해상도 EL 디스플레이 장치를 제조하는데 있어 문제점들 중 하나는 배선 저항의 증가이다. 이러한 관점에서, 배선 저항은 가능한 작도록 요구된다.
- <70> 본 발명은 상술한 문제점들의 관점에서, 선명한 멀티 그레이 스케일 컬러 디스플레이를 가능하게 하는 액티브 매트릭스 EL 디스플레이 장치를 제공하는 것이다. 또한, 본 발명은 이러한 액티브 매트릭스 EL 디스플레이 장치를 사용하여 고기능 전자 장치를 제공한다.
- <71> 본 발명은 저가로 제조될 수 있는 양호한 수율을 갖는 크고 높은 해상도 EL 디스플레이 장치를 제공한다. 이러한 관점에서, 본 발명의 구조가 이하에서 설명된다.
- <72> 본 발명의 구조는 절연 표면 위에 복수의 소스 신호선들, 복수의 게이트 신호선들, 열(column)에서의 복수의 전력 공급선들, 행 방향의 복수의 전력 공급선들, 및 매트릭스로 배열된 복수의 화소들을 포함하는 디스플레이 장치를 포함하며, 여기서 복수의 화소들 각각은 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 및 발광 소자를 포함하고, 여기서 복수의 화소들 각각은 열 방향의 복수의 전력 공급선들 중의 하나 및 행 방향의 복수의 전력 공급선들 중 하나에 접속되고, 절연 박막은 복수의 소스 신호선들, 복수의 게이트 신호선들, 열 방향의 복수의 전력 공급선들, 및 행 방향의 복수의 전력 공급선들 중 적어도 하나 아래 부분에 형성된다.
- <73> 본 발명의 또 다른 구성은, 절연 표면 위에 복수의 소스 신호선들을 형성하는 단계; 복수의 게이트 신호선들을 형성하는 단계; 매트릭스로 배열된 복수의 화소들을 형성하는 단계로서, 상기 복수의 화소들 각각은 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및 발광 소자를 포함하는 상기 복수의 화소들을 형성하는 단계; 열 방향의 복수의 전력 공급선들을 형성하는 단계, 행 방향의 복수의 전력 공급선들을 형성하는 단계, 및 액적 토출법 (droplet discharging method) 또는 인쇄법에 의해 복수의 화소들의 각각을 열 방향의 복수의 전력 공급선들 중 하나 및 행 방향의 복수의 전력 공급선들 중 하나에 접속시키는 단계를 포함하는 디스플레이 장치를 제조하는 방법을 포함한다.
- <74> 본 발명의 또 다른 구성은 절연 표면 위에 소스 신호선을 형성하는 단계, 게이트 신호선을 형성하는 단계, 전력 공급선을 형성하는 단계, 스위칭 박막 트랜지스터, 구동 박막 트랜지스터 및 발광 소자를 포함하는 화소를 형성하는 단계, 액적 토출법이나 인쇄법에 의해 소스 신호선, 게이트 신호선, 및 전력 공급선 중 적어도 하나 아래 부분에서 절연 박막을 형성하는 단계를 포함하는 디스플레이 장치를 제조하는 방법을 포함한다.
- <75> 상술한 발명에서, 복수의 소스 신호선들, 복수의 게이트 신호선들, 및 복수의 전력 공급선들 중 하나는 스퍼터링 법 또는 CVD 법에 의해 형성된다.
- <76> 여기에서, CVD 법은 플라즈마 CVD 법(RF 플라즈마 CVD 법, 마이크로웨이브 CVD 법, 전자 사이클로트론 공진 (electron cyclotron resonant) CVD 법, 열 필라멘트 CVD 법 등), LPCVD 법, 및 열 CVD 법을 포함한다.
- <77> 본 발명은 본 발명의 상술한 구성에 따른 디스플레이 장치를 사용하는 개인용 컴퓨터이다.
- <78> 본 발명은 본 발명의 상술한 구성에 따른 디스플레이 장치를 사용하는 텔레비전 수신기이다.
- <79> 본 발명은 본 발명의 상술한 구성에 따른 디스플레이 장치를 사용하는 비디오 카메라와 같은 카메라이다.
- <80> 본 발명은 본 발명의 상술한 구성에 따른 디스플레이 장치를 사용하는 이미지 재생 장치이다.
- <81> 본 발명은 본 발명의 상술한 구성에 따른 디스플레이 장치를 사용하는 헤드 장착형 디스플레이이다.
- <82> 본 발명은 본 발명의 상술한 구성에 따른 디스플레이 장치를 사용하는 휴대용 정보 단말기이다.
- <83> 본 발명에 따르면, 저가로 제조될 수 있는 양호한 수율을 갖는 크고 높은 해상도 EL 디스플레이 장치가 제공될 수 있다. 또한, 충분한 신호 기록 시간이 얻어질 수 있으므로, 신호들은 화소들에 정확하게 입력될 수 있고, 그에 의해 선명한 이미지가 디스플레이될 수 있다. 또한, 배선 저항의 효과가 약해질 수 있으므로, 배선 저항으로 인한 이미지 품질 결함이 감소될 수 있다.

실시예

<119> 비록, 본 발명이 첨부된 도면들을 참조하여 실시예 모드들로써 충분히 설명되지만, 다양한 변경들 및 변형들이

기술분야의 숙련자들에 명백하다는 것을 이해해야 한다. 그러므로, 그 밖의 이러한 변경들 및 변형들이 본 발명의 범위에서 벗어나지 않으면, 여기에 포함되는 것으로 고려된다. 동일한 부분들 또는 실시예 모드들에서 동일한 기능을 갖는 부분들은 동일한 참조번호로 표시되고, 그것의 상세한 설명은 생략된다.

<120> 본 발명을 위해 사용되는 트랜ジ스터는 특정 타입에 배타적으로 제한되지 않는다. 이것은 비정질 실리콘 또는 다결정 실리콘으로 나타내진 비단일 결정 반도체 막(non-single crystalline semiconductor film)을 사용하는 박막 트랜지스터(TFT), 반도체 기판 또는 SOI(Silicon On Insulator) 기판을 사용하여 형성된 MOS 트랜지스터, 접합 트랜지스터, 바이폴라 트랜지스터, 유기 반도체를 사용하는 트랜지스터, 탄소 나노튜브 등일 수 있다. 또한, 트랜지스터가 장착된 기판은 특정 타입에 배타적으로 제한되지 않는다. 이것은 단결정 기판, SOI 기판, 유리 기판 등 일 수 있다.

<121> [실시예 모드 1]

<122> 본 발명의 실시예 모드에 대해 도 13a 내지 도 16b, 도 8, 도 6a 내지 도 6c를 참조하여 설명된다. 우선, 본 발명의 목적들 중 하나는 EL 디스플레이 장치를 저가로 제조하는 것이다. 이러한 관점에서, TFT는 포토리소그래피 단계들의 수를 감소시킴으로써 제조된다.

<123> 포토리소그래피 단계들의 수를 감소시키는 방법으로서, 배선층 또는 전극을 형성하기 위한 도전층 또는 미리 정해진 패턴을 형성하기 위한 마스크층과 같이 디스플레이 패널을 제조하는데 요구되는 하나 이상의 패널들이 패턴을 선택적으로 형성할 수 있는 방법에 의해 형성되는 디스플레이 장치를 제조하는 방법이 제안된다. 패턴을 선택적으로 형성할 수 있는 방법으로서, 특정한 목적을 위해 혼합된 구성물의 액적들을 선택적으로 방전시킴으로써 미리 정해진 패턴을 형성할 수 있는 액적 토출법(또한, 시스템에 의존하는 잉크젯 방법이라 함)이 제안된다. 또한, 패턴을 전송 또는 드로잉(draw)하기 위한 방법, 예컨대 인쇄법(스크린 인쇄, 오프셋 인쇄 등에 의해 패턴을 형성하는 방법) 등을 이용하여, 단가 절감이 달성될 수 있다. 즉, EL 디스플레이 장치를 저가로 제조하는데 있어 문제점들 중 하나는 많은 수의 포토리소그래피 단계들이다. 이러한 관점에서, 포토리소그래피 단계들의 수는 가능한 한 작도록 요구되고, 이를 위해, 패턴을 선택적으로 형성할 수 있는 방법이 효과적이다.

<124> 그러므로, 본 실시예 모드에서, EL 디스플레이 장치는 이하에서 설명되는 패턴을 선택적으로 형성할 수 있는 EL 디스플레이 장치의 제조 방법들 중 하나로서 액적 토출법에 의해 제조된다. 이것은 단순히 예이며, 이러한 실시예 모드는 이 방법에 제한되지 않음에 유의하자.

<125> 우선, 도 13a 내지 도 14b를 참조하여, 게이트 전극, 소스 또는 드레인 배선들이 접착성을 향상시키는 수단에 의해 제조되는 채널 보호형 박막 트랜지스터를 포함하는 디스플레이 장치의 제조 방법이 설명된다.

<126> 접착성을 향상시키는 베이스막(801)이 프리베이스 처리(pre-base treatment)로서 기판(800) 위에 형성된다. 기판(800)은 본 실시예 모드에서 단계의 처리 온도에 대해 가열 저항성을 갖는 바륨 보로실리케이트 유리(barium borosilicate glass) 및 알루미노보로실리케이트 유리(aluminoborosilicate glass)와 같은 유리 기판, 석영 기판, 실리콘 기판, 금속 기판, 스테인리스 기판, 또는 플라스틱 기판으로 형성된다. 기판(800)의 표면은 CMP 방법 등에 의해 폴리싱하여 평탄화될 수 있다. 절연층이 기판 위에 형성될 수 있다. 절연층은 CVD 법, 플라즈마 CVD 법, 스퍼터링 법, 또는 단일층 또는 적층된 층들에서 실리콘을 포함하는 산화 물질 및 질화 물질을 이용하는 스판 코팅 방법과 같은 알려진 방법에 의해 형성된다. 이 절연층은 필수적으로 제공되지는 않지만, 기판(800)으로부터 오염물질 등을 차단하는 효과를 갖는다. 유리 기판으로부터 오염물질을 차단하기 위해 베이스층을 형성하는 경우에, 베이스막(801)은 액적 토출법에 의해 베이스층 위에 형성되는 도전층들(802, 803)에 대한 선처리로서 형성된다.

<127> 도 15는 패턴을 형성하는데 사용되는 액적 토출 장치의 한가지 모드를 도시한다. 액적 토출 유닛(903)의 각 헤드(905)는 제어 유닛(907)에 접속된다. 컴퓨터(910)는 제어 유닛(907)을 제어하여, 그에 의해 프로그래밍된 패턴이 드로잉될 수 있다. 드로잉하는 타이밍은 예컨대 기판(900) 상에 형성된 마커(911)에 기초하여 결정될 수 있다. 대안으로, 베이스 포인트는 기판(900)의 에지에 기초하여 결정될 수 있다. 이것은 CCD와 같은 이미지 픽업 유닛(904)에 의해 검출되고, 이미지 처리 유닛(909)에 의해 디지털 신호로 변환된다. 컴퓨터(910)는 디지털 신호를 인식하고, 제어 유닛(907)에 전달되는 제어 신호를 생성한다. 기판(900) 위에 형성될 패턴에 대한 데이터는 제어 신호가 제어 유닛(907)에 전달되고 액적 토출 유닛(903)의 각 헤드(905)가 독립적으로 제어될 수 있는 것에 기초하여, 메모리 매체(908)에 저장되는 것은 말할 필요도 없다. 하나의 헤드를 사용하는 것은 도전 물질, 유기 물질, 무기 물질 등 각각을 드로잉하고 방전할 수 있다. 층간 막과 같은 넓은 영역에서 드로잉하는 경우에, 동일한 물질이 처리량을 향상시키기 위해 동시에 복수의 노즐들로부터 드로잉되도록 방전될 수 있다. 큰

기판을 사용하는 경우에, 헤드(905)는 기판 위를 자유롭게 스캔하고, 드로잉하기 위해 영역을 자유롭게 설정하며, 그에 의해 복수의 동일한 패턴들이 하나의 기판 위에 드로잉될 수 있다.

<128> 본 실시예 모드에서, 광촉매 기능을 갖는 재료가 접착성을 향상시키기 위한 기능을 갖는 베이스막으로서 사용된다. 광촉매 재료는 딥 코팅 방법(dip coating method), 스픬 코팅 방법, 액적 토출법, 또는 이온 도금 방법, 이온 벤 방법, CVD 법, 스퍼터링 법, RF 마그네트론 스퍼터링 법, 플라즈마 스프레이 방법, 또는 애노딕 산화 방법(anodic oxidation method)과 같은 콜-겔 방법(sol-gel method)에 의해 형성될 수 있다. 또한, 광촉매 재료는 그 것의 형성 방법에 의존하여, 막으로서 연속성을 가질 필요가 없다. 복수의 금속들을 포함하는 산화 반도체로 형성된 광촉매 재료의 경우에, 광촉매 재료는 구성 요소의 염(salt)을 믹스(mix) 또는 용융시켜 형성될 수 있다. 용매는 딥 코팅 방법 또는 스픬 코팅 방법과 같은 응용 방법에 의해 광촉매 재료를 형성하는 경우에 개선될 필요가 있을 때 베이킹(bake)하거나 건조될 수 있다. 특히, 이것은 미리 정해진 온도(예컨대, 300°C 또는 그 이상), 바람직하게는 산소를 포함하는 분위기에서 가열될 수 있다. 예를 들어, 베이킹은 산소 및 질소를 포함하는 분위기에서 도전 페이스트(conductive paste)로서 Ag를 사용하여 수행되고, 그 후 가열 경화 수지와 같은 유기 물질이 분해된다. 그러므로, 유기 물질을 포함하지 않는 Ag가 얻어질 수 있다. 따라서, Ag 표면의 평탄화가 향상될 수 있다.

<129> 열처리에 따라, 광촉매 재료는 미리 정해진 결정 구조를 가질 수 있다. 예를 들어, 이것은 아나타제 타입(anatase type) 또는 루틸-아나타제(rutile-anatase) 혼합 타입을 갖는다. 아나타제 타입은 저온 단계에서 우선 순위에 의해 형성된다. 그러므로, 광촉매 재료는 미리 정해진 결정 구조를 갖지 않을 때 가열될 수 있다. 또한, 광촉매 재료는 응용 방법에 의해 형성하는 경우에 미리 정해진 막 두께를 얻기 위해 복수번 형성될 수 있다.

<130> 광촉매 재료로서 스퍼터링 법에 의해 미리 정해진 결정 구조를 갖는 TiO_x(통상적으로, TiO₂) 결정을 형성하는 경우가 본 실시예 모드에서 설명된다. 스퍼터링은 타깃으로서 금속 티타늄 튜브 및 아르곤 가스와 산소를 사용하여 형성된다. 또한, He 가스가 도입될 수 있다. 분위기는 많은 산소를 포함하고, 형성 압력은 높은 광촉매 활동을 갖는 TiO_x를 형성하기 위해 높게 설정된다. 처리될 대상이 제공되는 기판 또는 증착 챔버를 가열하는 동안 TiO_x를 형성하는 것이 바람직하다.

<131> 그러므로, 형성된 TiO_x는 매우 얇은 막(약 1nm 내지 1μm)일 때에도 광촉매 기능을 갖는다.

<132> 또한, Ti(티타늄), W(텅스텐), Cr(크롬), Ta(탄탈늄), Ni(니켈), 또는 Mo(몰리브덴)과 같은 금속 물질이나, 또는 또 다른 프리베이스 처리와 같이 스퍼터링 법, 증기 증착 방법 등에 의한 그것의 산화물로 형성된 베이스막(801)을 형성하는 것이 바람직하다.

<133> 베이스막(801)은 0.01 내지 10nm의 두께로 형성될 수 있다. 그것이 아주 얇게 형성되는 한 층 구조를 가질 필요가 없다. 높은 용융점 금속 물질이 베이스막으로서 사용될 때, 게이트 전극층이 되는 도전층들(802, 803)을 형성한 후에 이어지는 두 개의 단계들 중 하나를 수행함으로써 표면 상에 노출된 베이스막을 처리하는 것이 바람직하다.

<134> 제 1 방법은 도전층들(802, 803)과 중첩되지 않는 베이스막(801)을 절연시키고 절연층을 형성하는 단계이다. 달리 말해서, 도전층들(802, 803)과 중첩되지 않은 베이스막(801)은 산화되고 절연된다. 베이스막(801)이 이런 식으로 산화 및 절연될 때, 0.01 내지 10nm의 두께로 베이스막(801)을 형성하는 것이 바람직하며, 따라서, 베이스막은 쉽게 산화될 수 있다. 산화는 산소 분위기 또는 열처리에 노출시킴으로써 수행될 수 있다.

<135> 제 2 방법은 도전층들(802, 803)을 마스크로서 사용하여 에칭함으로써 베이스막(801)을 제거하는 단계이다. 이 단계가 사용될 때, 베이스막(801)의 두께에는 제한은 없다.

<136> 대안으로, 형성 영역(형성면) 상에 플라즈마 처리를 수행하는 방법이 또 다른 프리베이스 처리로서 사용될 수 있다. 플라즈마 처리는 처리 가스로서 사용되는 공기(air), 산소, 또는 질소로 수행되고, 수십 Torr 내지 1000 Torr(133000Pa), 바람직하게는 100 Torr(13300Pa) 내지 1000 Torr(133000Pa), 더욱 바람직하게는 700 Torr(93100Pa) 내지 800 Torr(106400Pa)의 압력, 즉 대기압 또는 대기압 부근의 압력으로 수행되고, 펄스 전압은 이러한 조건들에 따라 인가된다. 이때에, 플라즈마 밀도는 소위 코로나 방전 또는 글로우 방전이 달성될 수 있도록 1×10^{10} 내지 $1 \times 10^{14} \text{ m}^{-3}$ 로 설정된다. 처리 가스와 같은 공기, 산소, 또는 질소를 사용하는 플라즈마 처리를 이용하여 물질에 의존하지 않고 표면 변형이 수행될 수 있다. 따라서, 표면 변형은 임의의 물질 상에서 수행될 수 있다.

<137> 또 다른 방법으로서, 접착제로서 기능하는 유기 물질의 재료는 액적 토출법에 의해 형성되는 패턴과 그의 형성

영역 사이에서 접착성을 향상시키도록 형성될 수 있다. 유기 물질(유기 수지 물질)(폴리이미드(polyimide) 또는 아크릴) 또는 실록산(siloxane)이 사용될 수 있다. 실록산은 실리콘(Si)과 산소(O)의 결합으로 형성되는 골격(skeleton)으로 이루어지고, 여기서 적어도 수소를 포함하는 유기 그룹(알킬족 또는 방향족 탄화수소와 같은)이 치환기로서 포함된다. 대안으로, 플루오르(fluoro) 그룹이 치환기로서 사용될 수 있다. 또한 대안으로, 적어도 수소를 포함하는 플루오르 그룹 및 유기 그룹이 치환기로서 사용될 수 있다.

<138> 이어서, 도전 물질을 포함하는 구성물(composition)이 방전되고, 이후 게이트 전극층으로서 기능하는 도전층들(802, 803)이 형성된다.

<139> 액적 토출 유닛은 하나 또는 복수의 노즐들이 제공되는 헤드 또는 구성물의 방전 오프닝(discharging opening)을 갖는 노즐과 같은 액적을 방전시키기 위한 유닛을 갖는 것에 대한 총괄적인 용어이다. 액적 토출 유닛에 포함된 노즐의 직경은 0.02 내지 $100\mu\text{m}$ (양호하게는, $30\mu\text{m}$ 또는 그 이하)의 범위에서 설정되고, 노즐로부터 방전될 구성물의 체적은 0.001 내지 100pl (양호하게는, 10pl 또는 그 이하)의 범위에서 설정된다. 방전될 구성물의 체적은 노즐의 직경에 비례하여 증가한다. 또한, 처리될 대상과 노즐의 방전 오프닝들 사이의 거리는 원하는 위치상에 액적을 드롭(drop)하기 위해서 가능한 한 작게 되는 것이 바람직하다. 상기 거리는 양호하게는 약 0.1 내지 3mm(보다 양호하게는, 1mm 또는 그 이하)의 범위에서 설정된다.

<140> 방전 오프닝으로부터 방전될 구성물에 대해서, 용매 내에 분해되거나 분산된 도전 물질이 사용된다. 도전 물질은 미세 입자 또는 Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W 또는 Al과 같은 금속의 분산제 나노 입자(dispersant nano-particle), Cd 또는 Zn과 같은 금속의 황화물, Fe, Ti, Si, Ge, Zr, Or 또는 Ba와 같은 산화물, 또는 은 할로겐화물에 대응한다. 또한, 이것은 광 투과 도전막으로서 사용되는 인듐 주석 산화물(ITO), ITSO(indium tin oxide containing silicon oxide), 유기 인듐, 유기주석 화합물(organotin), 아연 산화물, 티타늄 질화물 등에 대응한다. 하지만, 방전 오프닝으로부터 방전될 구성물에 대해서, 저항성을 고려하여, 용매에 분해 또는 분산되는 금, 은, 및 구리로부터 선택된 임의의 물질을 사용하는 것이 바람직하다. 낮은 저항값을 갖는 은 또는 구리를 사용하는 것이 보다 바람직하다. 은 또는 구리가 사용될 때, 불순물에 대한 조치로서 부가적으로 배리어막이 제공될 수 있다. 실리콘 질화물막 또는 니켈 봉화물(NiB)이 배리어막으로서 사용될 수 있다.

<141> 또한, 또 다른 도전 물질로 도전 물질의 주변을 코팅함으로써 형성된 복수의 층들을 갖는 입자들이 사용될 수 있다. 예를 들어, 구리가 니켈 봉화물(NiB) 및 그 후 은 등으로 코팅되는 3 층 구조를 갖는 입자가 사용될 수 있다. 이러한 용매들에 대해, 부틸 아세테이트(butyl acetate) 및 에틸 아세테이트와 같은 에스테르들; 이소프로필 알코올 및 에틸 알코올과 같은 알코올들; 메틸 에틸 케톤 및 아세톤과 같은 유기 용매들 등이 사용될 수 있다. 구성물 등의 점성(viscosity)은 사용되고 사용하려고 하는 용매에 따라 적절히 조절된다. 예를 들면, ITO, 유기 인듐 또는 유기주석 화합물이 용매에 분해 또는 분산되어 있는 구성물의 점성은 5 내지 $50\text{mPa}\cdot\text{s}$ 이고, 은이 용매에 분해 또는 분산되는 구성물의 점성은 5 내지 $20\text{mPa}\cdot\text{s}$ 이며, 금이 용매에 분해 또는 분산되어 있는 구성물의 점성은 10 내지 $20\text{mPa}\cdot\text{s}$ 이다.

<142> 도전층은 복수의 도전 물질들을 적층시킴으로써 형성될 수 있다. 또한, 도전층은 도전 물질로서 은을 사용하는 액적 토출법에 의해 구형될 수 있고, 그 후에, 구리 등으로 도금될 수 있다. 도금(plating)은 전기도금 또는 화학적인(무전극 도금 방법에 의해 수행될 수 있다. 도금은 도금 물질을 갖는 용액으로 채워진 컨테이너에 기판 표면을 담금으로써 수행될 수 있다. 도금 물질을 갖는 용액은 용액이 비스듬히(또는 수직으로) 위치된 기판과 함께 기판 표면 위를 흐르도록 사용될 수 있다. 수직으로 위치된 기판으로 용액을 적용시킴으로써 도금이 수행될 때, 처리 장치의 크기가 감소될 수 있다는 이점이 존재한다.

<143> 도전 물질의 입자의 직경은 각 노즐의 직경, 원하는 패턴의 모양 등에 의존하지만, 고선명 패턴을 제조하고 노즐이 응고되는 것을 방지하기 위해 가능한 작은 것이 바람직하다. 바람직하게는, 도전 물질의 입자의 직경은 $0.1\mu\text{m}$ 또는 그 이하이다. 구성물은 전기분해 방법, 원자화 방법(atomizing method) 또는 웨트 감소 방법(wet reducing method)과 같은 알려진 방법에 의해 형성되고, 그것의 입자 크기는 통상적으로 0.01 내지 $10\mu\text{m}$ 이다. 가스 증착 방법이 사용될 때, 분산제로 보호된 나노분자가 약 7nm만큼이나 미세하다는 것에 유의하자. 입자들의 각 표면이 코팅으로 커버될 때, 나노입자들은 용매에 응집하지 않고, 상온에서 용매에 균일하게 용해되며, 액체와 유사한 특성을 보인다. 따라서, 코팅을 사용하는 것이 바람직하다.

<144> 구성물을 방전시키는 단계가 감소된 압력 하에서 수행될 때, 구성물의 용매는 방전된 구성물이 처리될 대상 상에 도착할 때까지 증착되고, 따라서, 구성물을 건조 및 베이킹하는 이후 단계들은 모두 생략될 수 있다. 산화막 등이 도체의 표면 상에 형성되지 않으므로, 감소된 압력 하에서 단계를 수행하는 것이 바람직하다. 구성물을 방전시킨 후에, 건조 또는 베이킹 둘 중 하나의 단계 또는 둘 모두의 단계들이 수행된다. 건조 및 베이킹의 각 단

계는 열처리의 단계이다. 예를 들어, 건조는 100°C에서 3분 동안 수행되고, 베이킹은 200 내지 350°C의 온도에서 15분 내지 30분 동안 수행되며, 그 각각은 상이한 목적, 온도, 및 기간을 갖는다. 건조 및 베이킹 단계들은 정상 압력 또는 레이저 광 조사, 빠른 열 어닐링, 가열로(heating furnace) 등에 의한 감소된 압력 하에서 수행된다. 열처리의 타이밍은 특별히 제한되지 않음에 유의하자. 기판은 건조 및 베이킹의 단계들을 양호하게 수행하도록 미리 가열될 수 있다. 이 때 기판의 온도는 기판의 물질 등에 의존하지만, 통상적으로는 100 내지 800°C (바람직하게는, 200 내지 350°C)이다. 이들 단계들에 따르면, 나노입자들은 서로 접촉하고, 융합(fusion) 및 용접은 구성물 내의 용매를 증착하거나 또는 분산체를 화학적으로 제거하는 것뿐 아니라, 주변 수지를 단단하게 하고 수축시킴으로써 가속된다.

<145> 연속파 또는 펄스파 가스 레이저 또는 고체 레이저는 레이저 광 조사를 위해 사용될 수 있다. 엑시머 레이저 등이 가스 레이저로서 제공될 수 있고, Cr, Nd 등으로 도핑된 YAG 또는 YVO₄의 결정을 사용하는 레이저가 고체 레이저로서 제공될 수 있다. 레이저 광의 흡수에 관련된 연속파 레이저를 사용하는 것이 바람직하다는 것에 유의하자. 또한, 펄스파 및 연속파가 조합하여 사용되는 소위 하이브리드 레이저 조사 방법이 사용될 수 있다. 하지만, 레이저 광 조사에 의한 열처리는 기판(800)의 가열 저항에 의존하여, 기판(800)이 손상되지 않도록 수분 내지 수십초 내에 순식간에 수행되는 것이 바람직하다. 빠른 열 어닐링(RTA)은 온도를 빠르게 상승시키고, 불활성 가스 분위기에서 자외선 내지 적외선 광과 함께 조사하기 위한 광을 방출하는 적외선 램프 또는 할로겐 램프를 사용하여 수マイ크로초 내지 수분 동안 가열함으로써 수행된다. 상기 처리가 순간적으로 수행되므로, 상부 표면 상의 박막만이 실질적으로 가열될 수 있고, 보다 낮은 층의 막은 영향을 받지 않는다. 달리 말해서, 플라스틱 기판과 같은 낮은 가열 저항을 갖는 기판조차도 영향을 받지 않는다.

<146> 또한, 베이스막(801)을 형성하는 상술된 단계는 액적 토출법에 의해 형성된 도전층에 대한 프리베이스 처리로서 수행되지만, 이러한 처리 단계는 도전층을 형성한 후에 수행될 수 있다.

<147> 이어서, 게이트 절연층이 도전층들(802,803) 위에 형성된다(도13a 참조). 게이트 절연층은 실리콘의 산화 또는 질화 물질과 같은 알려진 물질로 형성될 수 있고, 적층된 층들 또는 단일 층일 수 있다. 예를 들어, 이것은 실리콘 질화막, 실리콘 산화막, 및 실리콘 질화막의 3개의 층들의 적층된 층들일 수 있고, 또는 이를 또는 실리콘 산화질화물막(silicon oxynitride film)의 단일 층 또는 두 개의 층들의 적층된 층들일 수 있다. 본 실시예 모드에서 실리콘 질화막은 절연층(804)으로서 사용되고, 실리콘 질화 산화막은 게이트 절연층(805)으로서 사용된다. 바람직하게는, 밀집한 막 품질을 갖는 실리콘 질화막이 사용된다. 액적 토출법에 의해 형성된 도전층을 위해 은, 구리 등을 사용하는 경우에, 배리어막으로서 그 위에 NiB 막 또는 실리콘 질화막을 형성하는 것은 불순물의 확산을 방지하고 표면을 평탄화하는데 효과적이다. 바람직하게는 아르곤과 같은 희소 가스(rare gas)가 반응 가스에 포함되고, 바람직하게는 낮은 막형성 온도에서 게이트 누설 전류가 거의 없는 고밀도 절연막을 형성하기 위해서 형성될 절연막에서 혼합된다는 것에 유의하자.

<148> 이어서, 도전층(또한 제 1 전극으로 칭함)(806)이 게이트 절연막 위에 도전 물질을 포함하는 구성물을 선택적으로 방전시킴으로써 형성된다(도 13b 참조). 도전층(806)은 인듐 주석 산화물(ITO), ITSO(indium tin oxide containing silicon oxide), 아연 산화물(ZnO), 주석 산화물(SnO₂) 등을 포함하는 구성물의 미리 정해진 패턴에 형성되고, 광이 기판(800)으로부터 방출될 때 또는 광 투과 EL 디스플레이 패널이 제조될 때 그것을 베이킹함으로써 형성될 수 있다.

<149> 바람직하게는, 도전층(806)은 스퍼터링 법에 의해 ITO, ITSO, ZnO 등으로 형성된다. 그것은 ITO가 2 내지 10wt%의 실리콘 산화물을 포함하는 타깃을 사용하여 스퍼터링 법에 의해 형성된 ITSO를 사용하는 것이 보다 바람직하다. 또한, 2 내지 20wt%의 아연 산화물(ZnO)을 ITSO에 혼합함으로써 얻어지는 타깃을 사용하여 형성되는 산화도전물질이 사용될 수 있다. 마스크층은 액적 토출법에 의해 형성될 수 있고, 스퍼터링 법에 의해 도전층(806)(제 1 전극)을 형성한 후에 원하는 패턴을 갖도록 예치된다. 본 실시예 모드에서, 도전층(806)은 액적 토출법에 의해 광 투과 도전 물질로 형성된다. 특히, 이것은 인듐 주석 산화물 또는 ITO와 실리콘 산화물로 형성된 ITSO로 형성된다. 도시되지는 않았지만, 광촉매 재료는 도전층들(802,803)을 형성하는 경우와 유사하게, 도전층(806)이 형성되는 영역에 형성될 수 있다. 광촉매 재료는 접착성을 향상시킬 수 있고, 도전층(806)은 얇은 라인이 되도록 원하는 패턴으로 형성될 수 있다. 도전층(806)은 화소 전극으로서 기능하는 제 1 전극이 된다.

<150> 본 실시예 모드에서, 실리콘 질화물로 형성된 실리콘 질화물막, 실리콘 산화질화물막(실리콘 산화물막), 및 실리콘 질화물막의 3개의 층들로 형성된 게이트 절연층의 예가 설명된다. ITSO로 형성된 도전층(제1 전극)(806)은 바람직하게는 게이트 절연층(805)에 포함된 실리콘 질화물로 형성된 절연층과 가까이 접하도록 형성된다. 따라

서, 전기발광층에서 생성되는 광이 외부로 방출되는 비율이 향상될 수 있다.

<151> 또한, 그 주요 성분으로서 Ag(은), Au(금), Cu(구리), W(텅스텐), 또는 Al(알루미늄)과 같은 금속의 입자를 포함하는 구성물은 생성된 광이 기판(800)의 반대측에 방출될 때 또는 반사형 EL 디스플레이 패널이 제조될 때 사용될 수 있다. 또 다른 방법으로서, 제 1 전극층은 스퍼터링 법에 의해 광 반사 도전막 또는 광 투과 도전막을 형성함으로써 그리고 액적 토출법에 의해 마스크 패턴을 형성함으로써, 또한 부가적으로 에칭 공정을 수행함으로써 형성될 수 있다.

<152> 도전층(제 1 전극)(806)은 CMP 방법에 의해, 또는 그 표면이 평탄화되도록 폴리비닐 알코올의 다공체(porous body)로 세정함으로써 폴리싱될 수 있다. 또한, 도전층(제 1 전극)(806)의 표면은 자외선으로 조사되거나, 또는 CMP 방법에 의한 폴리싱 후에 산소 플라즈마로 처리될 수 있다.

<153> 반도체층은 알려진 방법(스퍼터링 법, 저압(LP) CVD 법, 플라즈마 CVD 법 등)에 의해 형성될 수 있다. 반도체층의 물질에는 특별한 제한이 없지만, 반도체층은 바람직하게는 실리콘, 실리콘 게르마늄(SiGe) 합금 등으로 형성된다.

<154> 반도체층은 물질로서 비정질 반도체(통상적으로, 수소화된 비정질 실리콘) 또는 결정 반도체(통상적으로, 폴리실리콘)로 형성된다. 폴리실리콘은 주요 물질로서 800°C 또는 그 이상의 처리 온도를 통해 형성되는 다결정 실리콘을 갖는 소위 고온 폴리실리콘, 주로 물질로서 600°C 또는 그 이하의 처리 온도에서 형성되는 다결정 실리콘을 갖는 소위 저온 폴리실리콘, 예컨대 결정화를 촉진하기 위한 요소를 부가함으로써 결정화되는 다결정 실리콘 등을 포함한다.

<155> 또한, 또 다른 기판으로서, 반비정질 반도체 또는 반도체층의 일부에서 결정 위상을 포함하는 반도체가 또한 사용될 수 있다. 반비정질 반도체는 비정질 구조와 결정 구조(단결정 및 다결정을 포함)의 중간 구조를 가지며 자유 에너지에 대해 안정한 제 3의 상태를 갖는 반도체, 및 좁은 범위의 오더 및 격자 왜곡을 갖는 결정 반도체이다. 통상적으로, 그것은 격자 왜곡을 갖는 주요 성분으로서 실리콘을 포함하는 반도체층이며, 여기서 라만 스펙트럼(Raman spectrum)은 520cm^{-1} 보다 낮은 주파수 측으로 시프트된다. 또한, 적어도 1 atomic % 또는 그 이상의 수소 또는 할로겐은 댱글링 결합(dangling bond)을 제거하기 위해 그 안에 포함된다. 여기에서, 상술한 이러한 반도체는 반비정질 반도체(이하에서, "SAS"라 함)로 언급된다. SAS는 또한 소위 미세결정 반도체들(통상적으로, 미세결정 실리콘)로 언급된다.

<156> SAS는 실리콘 소스 가스 상에 글로우 방전 분해(플라즈마 CVD)를 수행함으로써 얻어질 수 있다. SiH_4 는 통상적인 실리콘 소스 가스로서 제공된다. Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등이 또한 사용될 수 있다. 또한, GeF_4 또는 F_2 가 혼합될 수 있다. SAS의 형성은 수소 또는 수소 혼합물로 희석된 실리콘 소스 가스 및 헬륨, 아르곤, 크립톤, 및 네온으로부터 선택된 하나 이상의 희소 가스들을 사용하여 촉진될 수 있다. 수소 대 실리콘 소스 가스의 희석 비율은 예를 들어 흐름 비(flow ratio)에 대해 2 내지 1000배의 범위인 것이 바람직하다. 글로우 방전 분해에 의한 SAS의 형성이 바람직하게는 감소된 압력 하에서 수행되지만, 상기 형성은 또한 대기압 하에서 전기 방전을 이용함으로써 수행될 수 있다. 통상적으로 상기 형성은 0.1 내지 133Pa의 압력 범위에서 수행될 수 있다. 글로우 방전을 생성하기 위한 전력 공급 주파수는 1 내지 120MHz, 바람직하게는 13 내지 60MHz의 범위에 있다. 고주파 전력 공급이 적절히 설정될 수 있다. 기판을 가열하기 위한 온도는 바람직하게는 300°C 또는 그 이하이고, 100 내지 200°C 범위의 온도가 또한 사용될 수 있다. 주로 막을 형성하는 시간에 포함될 불순물 요소들에 대해, 산소, 질소, 또는 탄소와 같은 대기 성분으로부터 유도된 불순물은 바람직하게는 $1 \times 10^{20}\text{cm}^{-3}$ 또는 그 이하의 농도이고, 특히, 산소의 농도는 $5 \times 10^{19}\text{cm}^{-3}$ 또는 그 이하, 바람직하게는 $1 \times 10^{19}\text{cm}^{-3}$ 또는 그 이하이다. 또한, SAS의 안정성은 헬륨, 아르곤, 크립톤, 또는 네온과 같은 희소 가스 요소가 포함될 수 있게 하여 격자 왜곡을 촉진함으로써 향상될 수 있고, 그에 의해, 양호한 SAS를 형성한다. 또한, 수소 기반의 가스로 형성된 SAS 층은 반도체층으로서 플루오르 기반의 가스로 형성된 SAS 층 위에 적층될 수 있다.

<157> 결정 반도체층이 반도체층으로서 사용될 때, 알려진 방법(레이저 결정 방법, 열 결정화 방법, 니켈 등과 같은 결정화를 촉진시키는 요소를 사용하는 열 결정화 방법 등)은 결정 반도체층을 제조하기 위한 방법으로서 사용될 수 있다. 결정화를 촉진시키는 요소가 도입되지 않는 경우에, 비정질 실리콘막 내에 포함된 수소 농도가 레이저 광으로 비정질 실리콘막을 조사하기 전에 질소 분위기에서 500°C의 온도로 1시간 동안 비정질 실리콘막을 가열 시킴으로써 $1 \times 10^{20}\text{atoms/cm}^3$ 또는 그 이하로 될 때까지 수소가 방출된다. 이것은 많은 수소를 포함하는 비정질

실리콘막이 레이저 광으로 조사될 때 막이 손상되기 때문이다.

<158> 비정질 반도체층 표면 또는 내부에 금속 요소가 존재하게 할 수 있게 하는 방법인 한 비정질 반도체층에 금속 요소를 도입하는 방법에는 특정한 제한이 없다. 예를 들어, 스퍼터링 법, CVD 법, 플라즈마 처리 방법(플라즈마 CVD 법을 포함), 흡수 방법, 또는 금속 염 용액을 사용하기 위한 방법이 사용될 수 있다. 그것들 중에서, 용액을 사용하는 방법은 간단하고, 용이하며, 금속 요소의 용이한 농도 조정에 의해 유용하다. 산소 분위기에서의 UV 광 조사, 열 산화 방법, 비정질 반도체 층의 표면의 습성(wettability)을 향상시키고 비정질 반도체층의 전체 표면 위에 수용액을 확산시키기 위해 수산기(hydroxyl radical) 등을 포함하는 수소 과산화물 또는 오존 워터로의 처리에 의해 산화막이 형성되는 것이 바람직하다.

<159> 또한, 열 처리 및 레이저 광 조사는 비정질 반도체층을 결정화하기 위해 조합될 수 있다. 열 처리 및/또는 레이저 광 조사는 독립적으로 복수 번 수행될 수 있다.

<160> 유기 물질을 사용하는 유기 반도체가 반도체로서 사용될 수 있다. 저분자 무게 물질, 고분자 무게 물질 등이 유기 반도체용으로 사용될 수 있고, 또한, 유기 안료(organic pigment)와 같은 물질, 도전성의 고분자 무게 물질이 사용될 수 있다.

<161> 비정질 반도체는 본 실시예 모드에서 반도체로서 사용될 수 있다. 비정질 반도체층인 반도체층(807)이 형성되고, 절연막이 예컨대 플라즈마 CVD 법에 의해 형성되며, 채널 보호막들(809,810)을 형성하기 위해 원하는 영역에 원하는 모양을 갖도록 선택적으로 에칭된다. 이때에, 채널 보호막들(809,810)은 마스크들로서 게이트 전극들을 사용하여 기판 후면을 광에 노출시킴으로써 형성될 수 있다. 또한, 폴리이미드, 폴리비닐 알코올 등이 액적 토출법에 의해 채널 보호막으로서 드롭될 수 있다. 결국, 광 노출 단계가 생략될 수 있다. 이어서, N 타입 반도체층(808)이 하나의 도전성을 갖는 반도체층, 예컨대 플라즈마 CVD 법 등에 의해 N 타입 비정질 반도체층을 사용하여 형성된다(도 13c 참조). 하나의 도전성을 갖는 반도체층이 요구된 바와 같이 형성될 수 있다.

<162> 무기 물질들(실리콘 산화물, 실리콘 질화물, 실리콘 질화물, 실리콘 질화 산화물(silicon nitride oxide) 등), 광감지 또는 비광감지 유기 물질들(유기 수지 물질들)(폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트(resist), 벤조사이클로부텐(benzocyclobutene) 등), 낮은 유전체 상수를 갖는 낮은 k(Low-k)물질 등들 중 하나 또는 복수의 것으로 형성되는 막, 또는 그것들의 적층된 층들은 채널 보호막으로서 사용될 수 있다. 또한, 골격 구조가 실리콘(Si)과 산소(O)의 결합에 의해 구성되고, 치환기(예컨대, 알킬족 또는 방향족 탄화수소)로서 수소를 적어도 포함하는 물질이 사용될 수 있다. 대안으로, 플루오르 그룹이 치환기로서 사용될 수 있다. 또한, 대안으로 적어도 수소를 포함하는 플루오르 그룹 및 유기 그룹이 치환기로서 사용될 수 있다. 플라즈마 CVD 법 또는 열 CVD 법 또는 스퍼터링 법과 같은 증기 위상 성장 방법은 채널 보호막으로서 무기 물질을 사용하는 제조방법으로서 사용될 수 있다. 또한, 유기 물질을 사용하는 경우에, 액적 토출법 또는 인쇄법(스크린 인쇄 또는 오프셋 인쇄와 같은 패턴을 형성하는 방법)이 사용될 수 있다. 응용 방법에 의해 얻어지는 절연막, SOG 막 등이 사용될 수 있다.

<163> 이어서, 레지스트 또는 폴리이미드와 같은 절연체로 형성된 마스크 층들(811,812)이 형성된다. 이어서, 반도체 층(807) 및 N 타입 반도체층(808)이 마스크층들(811,812)을 사용하여 동시에 패턴화된다.

<164> 이어서, 레지스트 또는 폴리이미드와 같은 절연체로 형성된 마스크층들(813,814)이 액적 토출법에 의해 형성된다(도 13d 참조). 관통 홀(818)은 마스크층들(813,814)을 사용하여 에칭 처리에 의해 게이트 절연층들(804,805)의 일부에 형성되고, 하부층 층 상에 배치되고 게이트 전극으로서 기능하는 도전층(803)의 일부가 노출된다. 플라즈마 에칭(건식 에칭) 또는 습식 에칭이 에칭 처리로서 채택될 수 있다. 하지만, 플라즈마 에칭은 큰 기판을 처리하는데 적합하다. CF₄, NF₃, Cl₂, 또는 BCl₃와 같은 플루오르 기반 또는 염소 기반의 가스가 에칭 가스로서 사용되고, He 또는 Ar과 같은 불활성 가스가 적절히 부가될 수 있다. 또한, 대기압 방전 에칭 처리가 적용될 때 로컬 방전 처리가 수행될 수 있으며, 마스크층이 기판 위에 전체적으로 형성될 필요가 없다.

<165> 도전층들(815, 816, 및 817)은 마스크층들(813,814)이 제거될 후에 도전 물질을 포함하는 구성물을 방전시킴으로써 형성된다. 이어서, N 타입 반도체는 N 타입 반도체층을 형성하기 위해 마스크로서 도전층들(815,816,817)을 사용하여 패턴화된다(도 14a 참조). 도전층들(815, 816, 및 817)은 배선 층들로서 기능한다. 도시되지는 않았지만, 도전층들(815, 816, 및 817)이 게이트 절연층(805)과 접촉하는 부분에서 광촉매 재료 등을 선택적으로 형성하는 상술된 프리베이스 처리는 도전층들(815, 816, 및 817)을 형성하기 전에 수행될 수 있다. 따라서, 도전층은 양호한 접착성을 가지며 형성될 수 있다.

<166> 베이스막을 형성하는 상술된 단계는 액적 토출법에 의해 형성되는 도전층을 위해 프리베이스 처리로서 수행될

수 있다. 또한, 처리 단계는 도전층이 형성된 후에 수행될 수 있다. 디스플레이 장치의 신뢰성은 층들 사이의 접착성이 이 단계에 따라 향상되므로 향상될 수 있다.

<167> 도전층(817)은 소스 배선층 또는 드레인 배선층으로서 기능하고, 이전에 형성된 제 1 전극에 전기 접속되도록 형성된다. 또한, 소스 배선층 또는 드레인 배선층인 도전층(816) 및 게이트 전극층인 도전층(803)은 게이트 절연층(805)에 형성된 관통 홀(818)에서 서로 전기적으로 접속된다. 주성분으로서 Ag(은), Au(금), Cu(구리), W(텅스텐), 또는 Al(알루미늄)과 같은 금속 입자를 포함하는 구성물은 배선층을 형성하기 위해 도전 물질로서 사용될 수 있다. 또한, 광 투과형 ITO, ITSO, 유기 인듐, 유기주석 화합물, 아연 산화물, 티타늄 질화물 등이 조합하여 사용될 수 있다.

<168> 게이트 절연층(804, 805)의 부분에서 관통 홀(818)을 형성하는 단계는 도전층들(815, 816, 817)을 형성한 후에, 관통 홀(818)을 형성하기 위해 마스크로서 도전층들(815, 816, 817)을 사용하여 수행될 수 있다. 이어서, 도전층은 관통 홀(818) 내에 형성되고, 도전층(816)과 게이트 전극층인 도전층(803)은 서로 전기적으로 접속된다. 이 경우에, 상기 단계들이 단순화될 수 있는 이점이 존재한다.

<169> 이어서, 구획 벽인 절연층(820)이 형성된다. 도시되지는 않았지만, 실리콘 질화물 또는 실리콘 질화 산화물로 형성된 보호층은 박막 트랜지스터를 커버하기 위해 절연층(820) 아래에 전체적으로 형성될 수 있다. 절연층이 스핀 코팅 방법 또는 디핑 방법(dipping method)에 의해 전체적으로 형성된 후에 에칭 처리에 의해 오프닝이 도 14b에 도시된 바와 같이 절연층(820)에 형성된다. 에칭 처리는 절연층(820)이 액적 토출법에 의해 형성될 때 수행될 필요가 없다. 절연층(820)과 같은 넓은 영역이 액적 토출법에 의해 형성될 때, 이것은 액적 토출 장치의 노즐들의 복수의 방전 오프닝들로부터 구성물을 방전시킴으로써 그리고 복수의 라인들이 서로 중첩되도록 드로잉함으로써 형성된다. 결국, 처리량이 향상된다.

<170> 절연층(820)은 제 1 전극인 도전층(806)에 따라 화소가 형성되는 위치에 대응하는 관통 홀을 갖도록 형성된다. 절연층(820)은 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물 알루미늄 산화물, 알루미늄 질화물, 또는 알루미늄 산화질화물, 아크릴 산, 메타크릴 산, 아크릴 산 또는 메타크릴 산의 유도체와 같은 유기 절연 물체, 폴리이미드, 방향족 폴리이미드 또는 폴리벤즈이미다졸(Polybenzimidazole) 또는 실리콘, 산소, 수소를 포함하는 혼합물들 중에서 Si-O-Si 결합을 포함하는 무기 실록산과 같은 가열 저항성 고분자 무게 물질을 사용하여 형성될 수 있고, 실리콘과 결합된 수소가 메틸 또는 페닐과 같은 유기 그룹에 의해 치환되는 유기실록산(organosiloxane) 기반의 절연 물질 또는 개시 물질과 같은 실록산 물질을 사용하여 형성된다. 그 측면은 곡선 반경이 연속으로 변하고 상부층 박막이 단절없이 형성되는 형상이 되므로 절연층(820)은 아크릴 또는 폴리이미드와 같은 비광감성 물질 또는 광감성 물질을 사용함으로써 형성되는 것이 바람직하다.

<171> 상술한 단계들에 따라, 바텀 게이트 타입(또는 역으로 엇갈린 타입(inversely staggered type)이라 함) 채널 보호형 TFT와 제 1 전극(제 1 전극층)이 기판(800) 위에 접속되는 EL 디스플레이 패널용 TFT 기판이 완성된다.

<172> 절연체(820) 내부 또는 그 표면에 흡수된 습기(moisture)는 전기발광층(821)을 형성하기 전에 200°C로 대기압 하에서 열처리를 수행함으로써 제거된다. 또한, 열처리는 감소된 압력 하에서 200 내지 400°C, 바람직하게는 250 내지 350°C의 온도에서 수행되고, 전기발광층(821)은 바람직하게는 대기 공기에 노출됨이 없이 감소된 압력 하에서 진공 증기 증착 방법 또는 액적 토출법에 의해 형성된다.

<173> 적색(R), 녹색(G) 및 청색(B)의 광을 방출하는 물질들은 각각의 증기 증착 마스크를 사용하는 증기 증착 방법 등에 의해 전기발광층(821)으로서 선택적으로 형성된다. 적색(R), 녹색(G) 및 청색(B)의 광을 방출하는 물질들(저분자 무게 또는 고분자 무게 물질 등)은 컬러 필터와 유사한 액적 토출법에 의해 형성될 수 있다. 이 경우는 RGB가 마스크를 사용함이 없이 개별적으로 증착되므로 바람직하다. 제 2 전극인 도전층(822)은 전기발광층(821) 위에 적층되고, 이어서, 발광 소자를 사용하는 디스플레이 기능을 갖는 디스플레이 장치가 완성된다(도 14b 참조).

<174> 도시되지는 않았지만, 제 2 전극을 커버하기 위한 패시베이션막(passivation film)을 제공하는 것이 효과적이다. 패시베이션막은 실리콘 질화물(SiN), 실리콘 산화물(SiO₂), 실리콘 산화질화물(SiO_xN_y : x>y>0), 실리콘 질화 산화물(SiO_xN_y : x>y>0), 알루미늄 질화물(AlN), 알루미늄 산화질화물(AlON_y : x>y>0), 산소 함유량보다 큰 질소 함유량을 갖는 알루미늄 질화 산화물(AlON_y : x>y>0), 알루미늄 산화물, 다이아몬드형 탄소(DLC)를 포함하는 절연막 또는 질소 함유 탄소막(CN_x)으로 형성되고, 절연막의 단일층 또는 조합된 적층들이 사용될 수 있다. 예를 들어, 질소 함유 탄소막(CN_x) 및 실리콘 질화물(SiN)의 적층된 층들 또는 유기물질이 사용될 수 있

고, 스티렌 폴리머(styrene polymer)와 같은 고분자 무게 물질이 사용될 수 있다. 실록산 수지가 또한 사용될 수 있다. 실록산은 실리콘(Si)과 산소(O)의 결합으로 형성된 골격으로 구성되며, 여기서 적어도 수소를 포함하는 유기 그룹(알킬족 또는 방향족 탄화수소)이 치환기로서 포함된다. 대안으로, 플루오르 그룹이 치환기로서 사용될 수 있다. 또한, 대안으로, 적어도 수소를 포함하는 플루오르 그룹과 유기 그룹이 치환기로서 사용될 수 있다.

<175> 이 경우에, 양호한 유효범위를 갖는 막은 바람직하게는 패시베이션막으로서 사용되고, 이것은 탄소막, 특히 DLC 막을 사용하는 것이 효과적이다. DLC막이 상온 내지 100°C 이하의 범위의 온도에서 형성될 수 있으므로, 이것은 낮은 열 저항을 갖는 전기발광층 위에 용이하게 형성될 수 있다. DLC 막은 플라즈마 CVD 법(통상적으로, RF 플라즈마 CVD 법, 마이크로웨이브 CVD 법, 전자 사이클로트론 공진(electron cyclotron resonant; ECR) CVD 법, 핫 필라멘트(hot filament) CVD 법 등), 연소 불꽃 방법(combustion flame method), 스퍼터링 법, 이온 범 증기 증착 방법, 레이저 증기 증착 방법 등에 의해 형성될 수 있다. 막형성을 위해 사용되는 반응 가스로서, 수소 가스 및 탄화수소 가스(예컨대, CH₄, C₂H₂, C₆H₆ 등)가 사용된다. 가스들은 글로우 방전에 의해 이온화되고, 이온들은 음의 셀프 바이어스가 인가되는 캐소드에 대해 충돌하도록 가속되어, 막이 형성된다. 또한, CN 막은 반응 가스와 같은 C₂H₄ 가스와 N₂ 가스를 사용하여 형성될 수 있다. DLC 막은 산소에 대해 높은 차단 효과를 가지며, 전기발광층의 산화를 억제할 수 있다. 그러므로, 전기발광층이 산화되는 문제는 이어지는 실링 단계(sealing step) 동안 방지될 수 있다.

<176> 도 16a는 본 실시예 모드의 디스플레이 장치의 화소부의 상면도이고, 도 16b는 그것의 회로도를 도시한다. 참조 번호 1001 및 1002는 TFT들을 나타내고, 1003은 발광 소자를 나타내고, 1004는 커페시터를 나타내며, 1005는 소스 라인을 나타내고, 1006은 게이트 라인을 나타내고, 1007은 전력 공급선을 나타낸다. TFT(1001)는 신호선과의 접속을 제어하는 트랜지스터(이하에서, "스위칭 트랜지스터" 또는 "스위칭 TFT"라 함)이다. TFT(1002)는 발광 소자로 흐르는 전류를 제어하는 트랜지스터(이하에서, "구동 트랜지스터" 또는 "구동 TFT"라 함)이고, 구동 TFT는 발광 소자와 직렬로 접속된다. 커페시터(1004)는 구동 TFT인 TFT(1002)의 소스-게이트 전압을 유지한다.

<177> 도 17은 본 실시예 모드의 디스플레이 장치의 상세도이다. 발광 소자(1003)에 접속된 구동 TFT인 스위칭 TFT(1001) 및 TFT(1002)를 갖는 기판(800)은 실링 물질(851)에 의해 실링 기판(850)에 단단히 고정된다. 기판(800) 위에 형성된 각 회로에 인가된 다양한 신호들은 단자부로부터 공급된다.

<178> 게이트 배선층(860)은 도전층들(802,803)과 동일한 단계에서 단자부에서 형성된다. 광촉매 재료가 도전층들(802,803)과 유사하게 게이트 배선층(860)의 형성 영역에서 형성된다는 것은 말할 필요가 없다. 광촉매 재료가 액적 토출법에 의해 형성될 때, 게이트 배선층(860)과 베이스의 형성 영역 사이의 접착성은 향상될 수 있다. 게이트 배선층(860)을 노출시키는 예칭은 관통 홀(818)이 게이트 절연층(805)에 형성될 때 동시에 수행될 수 있다. 연성 인쇄 회로(flexible printed circuit; FPC)(862)는 이방성 도전층(868)에 의해 게이트 배선층(860)에 접속될 수 있다.

<179> 발광 소자(1003)가 유리 기판으로 실링되는 경우가 상술한 디스플레이 장치에서 보여진다는 것에 유의하자. 실링 처리는 습기로부터 발광 소자를 보호하기 위한 처리이다. 커버 물질로 기계적으로 실링하는 방법, 열경화성 수지 또는 UV 경화성 수지로 실링하는 방법, 금속 산화물 또는 질화물과 같은 높은 배리어 특성을 갖는 박막으로 실링하는 방법 중 임의의 한 방법이 사용된다. 유리, 세라믹, 플라스틱, 또는 금속이 커버 물질로서 사용될 수 있고, 커버 물질은 광이 커버 물질 측에 방출될 때 광을 전달하도록 요구된다. 커버 물질 및 발광 소자가 형성되는 기판은 열 경화성 수지 또는 자외선 경화성 수지와 같은 실링 물질을 사용하여 서로 부착된다. 실링된 공간은 열처리 또는 자외선 광 조사 처리에 의해 수지를 경화시킴으로써 형성된다. 또한, 실링된 공간 내부의 바륨 산화물에 의해 대표되는 습기 흡수 물질을 제공하는 것이 효과적이다. 습기 흡수 물질은 발광 소자로부터 광을 차단하지 않도록 그것과 함께 또는 구획 벽 주변에서 접촉하여 실링 물질 위에 제공될 수 있다. 또한, 발광 소자가 형성되는 기판과 커버 물질 사이의 공간은 자외선 경화성 수지 또는 열경화성 수지로 채워질 수 있다. 이 경우에, 열경화성 수지 또는 자외선 경화성 수지에 바륨 산화물에 의해 대표되는 습기 흡수 물질을 부가하는 것이 효과적이다.

<180> 상술한 바와 같이, 상기 단계는 포토 마스크를 사용하는 광 노출 단계를 적용하지 않음으로써 본 실시예 모드에서 생략될 수 있다. 또한, EL 디스플레이 패널은 1000mm 이상의 측을 갖는 5번재 또는 그 다음 생성물인 유리 기판이 사용되는 경우에도 액적 토출법에 의해 기판 위에 다양한 패턴들을 직접 형성함으로써 용이하게 제조될 수 있다.

- <181> 또한, 접착성 및 필링 저항(peel resistance)이 향상되는 상당히 신뢰할 수 있는 디스플레이 장치가 제조될 수 있다.
- <182> 도 8, 16a 및 16b는 본 실시예 모드의 전체 화소부의 회로도를 도시한다. 본 실시예 모드에서, 복수의 소스 신호선들은 화소들의 한 수직 열에 대해 제공된다. 도 8에서, 3개의 신호선들이 화소들의 한 수직 열에 대해 제공되는 예가 설명된다.
- <183> 소스 신호선들의 수는 세 개로 제한되지 않으며, 원하는 만큼 많이 제공될 수 있다.
- <184> 도 8에서 각 화소의 회로(854)는 도 16a 및 16b에 도시된 회로로서 설명된다. 하지만, 이것은 단지 예이며, 각 화소 내의 회로는 도 16a 및 16b의 회로들에 제한되지 않는다.
- <185> 행 1과 열 1의 화소는 게이트 신호선(G1), 3개의 소스 신호선들 중 하나인 소스 신호선(S1a), 전력 공급선(V1), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003), 및 커패시터(1004)를 포함한다.
- <186> 화소와 회로 사이의 접속이 설명된다. 게이트 신호선(G1)은 스위칭 TFT(1001)의 게이트 전극에 접속되고, 3개의 소스 신호선들 중 하나인 소스 신호선(S1a)은 스위칭 TFT(1001)의 소스 전극 또는 드레인 전극에 접속되며, 전력 공급선(V1)은 커패시터(1004)의 한 전극과 구동 TFT(1002)의 소스 전극 또는 드레인 전극에 접속된다. 커패시터(1004)의 다른 전극은 스위칭 TFT(1002)의 소스 전극과 드레인 전극의 다른 전극 및 구동 TFT(1002)의 게이트 전극에 접속된다. 구동 TFT(1002)의 소스 전극 및 드레인 전극의 다른 전극은 EL 소자(1003)에 접속된다.
- <187> 또한, 행 2와 열 1의 화소는 게이트 신호선(G2), 3개의 소스 신호선들 중 하나인 소스 신호선(S1b), 전력 공급선(V1), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003), 및 커패시터(1004)를 포함한다.
- <188> 행 2 및 열 1의 화소는 G2가 G1 대신에 사용되고 S1b가 S1a 대신에 사용된다는 점에서 행 1과 열 1의 화소와 상이하다.
- <189> 행 3과 열 1의 화소는 게이트 신호선(G3), 3개의 신호선들 중 하나인 소스 신호선(S1c), 전력 공급선(V1), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003) 및 커패시터(1004)를 포함한다.
- <190> 행 3과 열 1의 화소는 G1이 G3 대신에 사용되고, S1c가 S1a 대신에 사용된다는 점에서 행 1과 열 1의 화소와 상이하다.
- <191> 또한, 상술된 3개의 화소 열들에서, G1, G2, G3은 전기적으로 접속된다.
- <192> 또한, 열 1의 화소들은 상술된 구조의 반복이다.
- <193> 또한, 열 2의 화소들은 V2가 V1 대신에 사용되고, S2a가 S1a 대신에 사용되고, S2b가 S1b 대신에 사용되고, S2c가 S1c 대신에 사용된다는 점에서 상술된 구조와 상이하다.
- <194> 또한, 열 n의 화소들은 Vn이 V1 대신에 사용되고, Sna가 S1a 대신에 사용되고, Snb가 S1b 대신에 사용되고, Snc가 S1c 대신에 사용된다는 점에서 상술한 구조와 상이하다.
- <195> 또한, V1 내지 Vn 모두는 서로 전기적으로 접속된다.
- <196> 다음으로, 도 8의 회로를 어떻게 동작시키는지가 설명된다. 우선, 게이트 신호선들(G1,G2,G3)이 동시에 턴온된다. 게이트 신호선들(G1,G2,G3)이 온될 때, 신호들이 소스 신호선들(S1a,S1b,S1c,...,Sna,Snb,Snc)로부터 화소에 기록된다. 이어서, 게이트 신호선들(G4,G5,G6)이 동시에 턴온된다. 게이트 신호선들(G4,G5,G6)이 온되는 동안, 신호들은 소스 신호선들(S1a,S1b,S1c,...,Sna,Snb,Snc)로부터 화소들에 기록된다. 이를 동작들은 게이트 신호선들(Gm-2,Gm-1,Gm)까지 반복된다. 하나의 이미지를 위한 신호들은 상술된 동작들에 의해 기록될 수 있다.
- <197> 이런 식으로 동작할 때, 3개의 게이트 신호선들은 하나의 그룹으로서 동작하고, 그에 따라, 게이트 신호선은 회로가 하나의 신호선만을 갖는 한, 3번 턴온된다. 즉, 기록 시간이 가능한 길게 요구되는 문제점이 해소될 수 있다.
- <198> 하지만, 도 8에 도시된 바와 같이 접속하는 경우에, 배선들 사이의 기생 커패시터가 몇몇 경우에서 증가할 수 있다.
- <199> 따라서, 도 8의 구조에 부가하여 패턴을 선택적으로 형성할 수 있는 방법의 이점을 이용하는 처리가 고안될 수 있다. 이것을 설명하기 위해, 도 6a 내지 6c는 라인(855)을 따른 단면을 도시하는 도면이다.
- <200> 도 6a 내지 6c는 게이트 절연층(805)이 상술된 TFT 형성 단계들(도 13a)에서 형성되는 기판에 적용되는 처리를

도시한다. 단면(855)에 반도체층이 존재하지 않으므로, 도전층은 일반적으로 게이트 절연층(605)을 형성한 후에 형성된다(도 6a). 하지만, 본 실시예 모드에서, 3개의 소스 신호선들이 형성되는 절연층의 부분은 게이트 절연층(605)을 형성한 후에 액적 토출법에 의해 패턴에 선택적으로 형성된다(도 6b). 그후에, 도전층은 패턴을 형성하기 위해 상술한 바와 같이 형성된다(도 6c).

<201> 이러한 처리를 수행함으로써, 3개의 소스 신호선들은 절연층(606)과 함께 또는 절연층이 없이 형성된다. 이러한 구조에서, 배선들 사이의 거리는 절연층(606)이 없는 경우보다 길고, 따라서 배선들 사이의 기생 캐패시턴스는 감소될 수 있다. 즉, 기생 캐패시턴스가 가능한 작게 요구되는 문제점이 달성된다. 또한, 본 실시예 모드의 구조에서, 배선이 길어질수록 그 효과는 커진다.

<202> 본 실시예 모드에서, 절연층의 위치, 수, 모양 등이 절연층이 동일한 층의 배선들 사이의 거리를 길게 유지하도록 선택적으로 형성되는 한 자유롭게 결정될 수 있다는 점에 유의해야 한다. 또한, 선택적으로 형성된 절연층 위에 형성된 배선은 소스 신호선에 제한되지 않는다. 절연층은 유사한 방법으로 게이트 신호선 또는 전력 공급선으로서 형성될 수 있고, 기생 캐패시터는 감소될 수 있다.

<203> [실시예 모드 2]

<204> 도 9, 16a 및 16b를 참조하여, 본 발명의 실시예 모드가 설명된다.

<205> 도 9에서, 각 화소의 회로(954)는 도 16a 및 16b에 도시된 회로로서 설명된다. 하지만, 이것은 단지 예이며, 각 화소의 회로는 도 16a 및 16b의 회로에 제한되지 않는다.

<206> 화소부의 행 1 및 열 1의 화소는 게이트 신호선(G1), 소스 신호선(S1), 전력 공급선(Vx1), 전력 공급선(Vy1), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003), 및 커패시터(1004)를 포함한다.

<207> 화소와 회로 사이의 접속이 설명된다. 게이트 신호선(G1)은 스위칭 TFT(1001)의 게이트 전극에 접속되고, 소스 신호선(S1)은 스위칭 TFT(1001)의 소스 전극 또는 드레인 전극에 접속되며, 전력 공급선(Vx1)은 구동 TFT(1002)의 소스 전극 또는 드레인 전극 및 커패시터(1004)의 한 전극에 접속된다. 전력 공급선(Vy1)은 전력 공급선(Vx1)에 접속되고, 커패시터(1004)의 다른 전극은 스위칭 TFT(1001)의 소스 전극 또는 드레인 전극 및 구동 TFT(1002)의 게이트 전극에 접속된다. 구동 TFT(1002)의 다른 소스 전극 또는 드레인 전극은 EL 소자(1003)에 접속된다.

<208> 화소부의 행 2와 열 1의 화소는 게이트 신호선(G2), 소스 신호선(S1), 전력 공급선(Vx1), 전력 공급선(Vy2), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003), 및 커패시터(1004)를 포함한다.

<209> 화소부의 행 2와 열 1의 화소는 G2가 G1 대신에 사용되고, Vy2가 Vy1 대신에 사용된다는 점에서 행 1 및 열 1의 화소와는 상이하다.

<210> 또한, 화소부의 행 m과 열 1의 화소는 게이트 신호선(Gm), 소스 신호선(s1), 전력 공급선(Vx1), 전력 공급선(Vym), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003), 및 커패시터(1004)를 포함한다.

<211> 또한, 화소부의 행 1과 열 n의 화소는 Sn이 S1 대신에 사용되고, Vxn이 Vx1 대신에 사용된다는 점에서 행 1과 열 1의 화소와는 상이하다.

<212> 또한, 화소부의 행 m과 열 n의 화소는 Sn이 S1 대신에 사용되고, Vxn이 Vx1 대신에 사용되며, Gm이 G1 대신에 사용되고, Vym이 Vy1 대신에 사용된다는 점에서 행 1과 열 1의 화소와는 상이하다.

<213> 또한, Vx1 내지 Vxn 및 Vy1 내지 Vyn 모두는 서로 전기적으로 접속된다.

<214> 본 실시예 모드에서, 화소부 내의 전력 공급선들은 소스 신호선들(S1 내지 Sn)과 별별로 제공될 뿐만 아니라 수직 방향 또는 거의 수직 방향(Vy1 내지 Vym)으로 제공되는 배선들(Vx1 내지 Vxn)이며, 그에 의해 전압은 각 방향에서 화소의 구동 TFT(1002)의 소스 영역 또는 드레인 영역으로 공급된다. 수직 방향 또는 거의 수직 방향(Vy1 내지 Vym)으로 제공되는 전력 공급선들은 화소 당 전력 공급선들(Vx1 내지 Vxn)에 접속되고, 전력 공급선들은 매트릭스로 배열된다. 따라서, EL 소자(1003)를 통해 흐르는 전류는 소스 신호선들(S1 내지 Sn)에 평행한 방향뿐만 아니라 수직 방향에 공급된다. 그러므로, 배선 저항이 가능한 낮게 요구되는 본 발명에서 해소되어야 할 문제점을 중 하나가 해소될 수 있다.

<215> 배선 저항이 낮게 될 수 있으므로, EL 디스플레이 장치가 아날로그 구동 방법에 의해 구동될 때 일어나는 크로스 토크가 감소된다. 또한, 디지털 구동 방법 및 일정한 전압 구동을 조합하여 EL 디스플레이 장치가 동작할 때

일어나는 그레이 스케일 디스플레이 결함이 감소될 수 있다.

<216> 하지만, 본 실시예의 목적들 중 하나는 EL 디스플레이 장치를 실시예 모드 1과 유사하게 저가로 제조하는 것이다. 그러므로, EL 디스플레이 장치는 패턴을 선택적으로 형성할 수 있는 EL 디스플레이 장치의 제조 방법들 중 하나인 액적 토출법에 의한 EL 디스플레이 장치 제조 공정을 통해 제조될 수 있다.

<217> 여기에서, EL 디스플레이 장치를 제조하는데 있어 비용 감소를 위해 액적 토출법을 사용하는 문제점이 설명된다.

<218> 도 7a 내지 7d는 액적 토출법에 의해 배선으로서 형성된 도전층의 상면도(a 및 b)와 단면도(c 및 d)이다. 도전 물질을 포함하는 구성물을 방전시킴으로써 도전층을 형성할 때, 도전층은 방전될 도전 물질의 특성, 베이스의 발수성(water repellency), 방전된 위치의 에러 등에 의존하여 원하는 위치에 원하는 모양으로 형성될 수 없다(도 7b 내지 도 7d 참조).

<219> 여기에서, 배선 저항은 동일한 도전 물질을 사용할 때 단면의 면적 및 배선의 길이에 의존한다. 원하는 모양이 도 7a 및 7d에 도시된 바와 같이 얻어지지 않는 경우에, 배선 저항은 원하는 값보다 높게 된다. 즉, 액적 토출 법에 의해 형성된 배선은 포토리소그래피 방법에 의해 형성된 배선에 비하여 배선 저항에 있어 큰 변경들을 갖는다.

<220> 높은 배선 저항을 가지며, 아날로그 구동 방법을 사용하는 경우에 크로스 토크가 일어나고, 상술한 바와 같은 디지털 구동 방법에서 일정한 전압 구동을 사용하는 경우에 그레이 스케일 디스플레이에서 결함이 일어난다. 배선 저항이 변하는 경우, 화소들의 디스플레이 결함들은 전력 공급선들의 의존하여 달라진다. 이것은 디스플레이 불균일로 쉽게 관찰될 수 있다.

<221> 즉, 단가 감소를 위해 액적 토출법을 사용하는데 있어 문제점들 중 하나는 배선 저항의 변경들이다. 이러한 관점에서, 배선 저항의 변경들은 가능한 한 작도록 요구된다.

<222> 여기에서, 본 실시예 모드에서 액적 토출법에 의해 야기된 배선 저항의 변경들이 감소될 수 있다는 것에 대해 설명된다.

<223> 이것은 전력 공급선들이 매트릭스로 배열될 때 모든 배선 저항이 병렬로 접속되는 것을 고려하여 설명된다. 즉, 배선 저항이 병렬로 접속될 때, 특정 화소까지 전력 공급선의 저항은 모든 전력 공급선들의 저항에 의존하고, 비-매트릭스 배열(non-matrix arrangement)의 경우에 존재하는 저항의 위치에 덜 의존하게 된다.

<224> 즉, 본 실시예 모드에 따라, 전력 공급선의 배선 저항을 감소시킬뿐만 아니라, 액적 토출법을 사용하는 경우에 배선 저항의 변경들이 가능한 한 작게 되도록 요구되는 목적은 해결될 수 있다.

<225> 본 실시예 모드에서, 배선들은 서로 병렬로 제공되도록 요구되지 않으며, 임의의 방향으로 제공될 수 있다는 것에 유의해야 한다. 또한, 전력 공급선은 각 화소에서 단지 하나일 필요가 없으며 원하는 만큼 많이 제공될 수 있다. 또한, 전력 공급선들은 모든 화소부에 매트릭스로 배열될 필요가 없으며, 화소 부의 일부에 매트릭스로 배열될 수 있다.

<226> 또한, 본 실시예 모드는 실시예 모드 1과 조합하여 자유롭게 구현될 수 있다.

<227> [실시예 모드 3]

<228> 본 발명의 실시예 모드가 도 10, 16a, 및 16b를 참조하여 설명된다.

<229> 도 10에서, 각 화소의 회로(1054)는 도 16a 및 16b에 도시된 회로로서 설명된다. 하지만, 이것은 단지 예이며, 각 화소의 회로는 도 16a 및 16b의 회로에 제한되지 않는다.

<230> 화소부의 행 1과 열 1의 화소는 게이트 신호선(G1), 소스 신호선(S1), 전력 공급선(Vx1), 전력 공급선(Vy1R), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003), 커페시터(1004)를 포함한다.

<231> 화소와 회로 사이의 접속이 설명된다. 게이트 신호선(G1)은 스위칭 TFT(1001)의 게이트 전극에 접속되고, 소스 신호선(S1)은 스위칭 TFT(1001)의 소스 전극 또는 드레인 전극에 접속된다. 전력 공급선(Vx1)은 구동 TFT(1002)의 소스 전극 또는 드레인 전극 및 커페시터(1004)의 한 전극에 접속된다. 전력 공급선(Vy1R)은 전력 공급선(Vx1)에 접속되고, 커페시터(1004)의 다른 전극은 스위칭 TFT(1001)의 다른 소스 전극 또는 드레인 전극 및 구동 TFT(1002)의 게이트 전극에 접속된다. 구동 TFT(1002)의 다른 소스 전극 또는 드레인 전극은 EL 소자(1003)에 접속된다.

- <232> 또한, 화소부의 행 2와 열 1의 화소는 게이트 신호선(G2), 소스 신호선(S1), 전력 공급선(Vx1), 전력 공급선(Vy2R), 스위칭 TFT(100), 구동 TFT(1002), EL 소자(1003) 및 커패시터(1004)를 포함한다.
- <233> 화소부의 행 2와 열 1의 화소는 G2가 G1 대신에 사용되고 Vy2R이 Vy1R 대신에 사용된다는 점에서 행 1과 열 1의 화소와는 상이하다.
- <234> 또한, 화소부의 행 3과 열 1의 화소는 G3가 G1 대신에 사용되고 Vy3R이 Vy1R 대신에 사용된다는 점에서 행 1과 열 1의 화소와는 상이하다.
- <235> 또한, 화소부의 열 1의 화소들은 상술한 3개의 행들의 구조의 반복이다.
- <236> 또한, 화소부의 행 1과 열 2의 화소는 S2가 S1 대신에 사용되고 Vx2가 Vx1 대신에 사용되며, Vy1G가 Vy1R 대신에 사용된다는 점에서 행 1과 열 1의 화소와는 상이하다.
- <237> 또한, 화소부의 행 2와 열 2의 화소는 G2가 G1 대신에 사용되고 Vy2G가 Vy1G 대신에 사용된다는 점에서 행 1과 열 2의 화소와는 상이하다.
- <238> 또한, 화소부의 행 3과 열 2의 화소는 G3이 G1 대신에 사용되고 Vy3G가 Vy1G 대신에 사용된다는 점에서 행 1과 열 2의 화소와는 상이하다.
- <239> 또한, 열 2의 화소들은 상술한 3개의 행들의 구조의 반복이다.
- <240> 또한, 화소부의 행 1과 열 3의 화소는 S3 대신에 S1이 사용되고 Vx3이 Vx1 대신에 사용되고, Vy1B가 Vy1R 대신에 사용된다는 점에서 행 1과 열 1의 화소와는 상이하다.
- <241> 또한, 화소부의 행 2와 열 3의 화소는 G2가 G1 대신에 사용되고 Vy2B가 Vy1B 대신에 사용된다는 점에서 행 1과 열 3의 화소와는 상이하다.
- <242> 또한, 화소부의 행 3과 열 3의 화소는 G3이 G1 대신에 사용되고 Vy3B가 Vy1B 대신에 사용된다는 점에서 행 1과 열 3의 화소와는 상이하다.
- <243> 또한, 열 3의 화소들은 상술한 3개의 행들의 구조의 반복이다.
- <244> 또한, Vy1R 내지 VymR 모두는 서로 전기적으로 접속된다.
- <245> 또한, Vy1G 내지 VymG 모두는 서로 전기적으로 접속된다.
- <246> 또한, Vy1B 내지 VymB 모두는 서로 전기적으로 접속된다.
- <247> 본 실시예 모드에서, 화소부의 전력 공급선들은, 소스 신호선들(S1 내지 Sn)과 병렬로 제공되고 또한 수직 방향 또는 거의 수직 방향(Vy1R 내지 VymB)으로 제공되는 배선들(Vx1 내지 Vxn)이며, 그에 의해 전압들이 각 방향에서 R,G,B의 각 화소 내의 구동 TFT(1002)의 드레인 영역 또는 소스 영역으로 인가된다. 수직 또는 거의 수직 방향(Vy1 내지 Vym)으로 제공되는 전력 공급선들은 R,G,B의 화소 당 전력 공급선들(Vx1 내지 Vxn)에 접속되고, 전력 공급선들은 매트릭스로 배열된다. 따라서, EL 소자(1003)를 통해 흐르는 전류는 소스 신호선들(S1 내지 Sn)에 평행한 방향뿐만 아니라 수직 방향으로 공급된다. 그러므로, 배선 저항이 가능한 한 낮도록 요구되는 본 발명에서 해결될 문제점들 중 하나가 해소될 수 있다. 또한, 상이한 레벨들의 전압이 독립적으로 접속된 R,G,B 화소들에 인가될 수 있다.
- <248> 배선 저항이 낮아질 수 있으므로, EL 디스플레이 장치가 아날로그 구동 방법에 의해 구동될 때 일어나는 크로스 토크가 감소된다. 또한, EL 디스플레이 장치가 디지털 구동 방법과 일정한 전압 구동을 조합하여 동작할 때 일어나는 그레이 스키얼 디스플레이 결함이 감소될 수 있다.
- <249> 하지만, 본 실시예에서 해소될 문제점들 중 하나는 실시예 모드들(1,2)과 유사하게, EL 디스플레이 장치를 저가로 제조하는 것이다. 그러므로, EL 디스플레이 장치는 패턴을 선택적으로 형성할 수 있는 EL 디스플레이 장치의 제조 방법들 중 하나인 액적 토출법에 의해 EL 디스플레이 장치 제조 공정을 통해 제조될 수 있다.
- <250> 액적 토출법에 의해 배선을 형성하는 경우에, 상술한 바와 같이 배선 저항에서의 변경들이 일어난다. 본 실시예 모드에 따르면, 액적 토출법에 의해 야기된 배선 저항의 변경은 감소될 수 있다.
- <251> 이것은 전력 공급선들이 매트릭스로 배열될 때 모든 배선 저항이 병렬로 접속되는 것을 고려하여 설명될 수 있다. 즉, 배선 저항이 병렬로 접속될 때, 특정 화소까지의 전력 공급선의 저항은 모든 전력 공급선들의 저항에

의존하고, 비-매트릭스 배열의 경우에 존재하는 저항의 위치에 덜 의존하게 된다.

<252> 즉, 본 실시예 모드에 따르면, 전력 공급선의 배선 저항을 감소시킬 뿐만 아니라, 액정 토출법을 사용하는 경우의 배선 저항의 변경들이 가능한 한 작게 되도록 요구되는 문제점이 해소될 수 있다.

<253> 본 실시예 모드에서, 배선들이 서로 평행하게 제공될 필요가 없으며 임의의 방향들로 제공될 수 있다는 점에 유의해야 한다. 또한, 전력 공급선은 각 화소에서 단지 하나일 필요가 없으며 원하는 만큼 많이 제공될 수 있다. 또한, 전력 공급선들은 전체 화소부에 매트릭스로 배열될 필요가 없으며, 화소부의 일부에 매트릭스로 배열될 수 있다.

<254> 또한, 본 실시예 모드는 실시예 모드 1 및 2와 조합하여 자유롭게 구현될 수 있다.

<255> [실시예 모드 4]

<256> 도 11, 16a 및 16b를 참조하여 본 발명의 실시예 모드가 설명된다.

<257> 도 11에서, 각 회로에서 회로(1154)는 도 16a 및 16b에 도시된 회로로서 설명된다. 하지만, 이것은 단지 예이며, 각 화소 내의 회로는 도 16a 및 16b의 회로에 제한되지 않는다.

<258> 행 1과 열 1의 화소는 게이트 신호선(G1), 소스 신호선(S1), 전력 공급선(Vx1), 전력 공급선(Vy1), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003), 커패시터(1004)를 포함한다.

<259> 화소와 회로 사이의 접속이 설명된다. 게이트 신호선(G1)은 스위칭 TFT(1001)의 게이트 전극에 접속되고, 소스 신호선(S1)은 스위칭 TFT(1001)의 소스 전극 또는 드레인 전극에 접속된다. 전력 공급선(Vx1)은 구동 TFT(1002)의 소스 전극 또는 드레인 전극 및 커패시터(1004)의 한 전극에 접속된다. 전력 공급선(Vy1)은 전력 공급선(Vx1)에 접속되고, 커패시터(1004)의 다른 전극은 스위칭 TFT(1001)의 다른 소스 전극 또는 드레인 전극 및 구동 TFT(1002)의 게이트 전극에 접속된다. 구동 TFT(1002)의 다른 소스 전극 또는 드레인 전극은 EL 소자(1003)에 접속된다.

<260> 또한, 화소부의 행 2와 열 1의 화소는 G2가 G1 대신에 사용되며, Vx1이 R,G,B 당 전력 공급선들을 전기적으로 분리시키기 위해 또 다른 전력 공급선에 접속되지 않는 구성을 가질 수 있다는 점에서 행 1과 열 1의 화소와는 상이하다.

<261> 또한, 화소부의 행 3과 열 1의 화소는 G3이 G1 대신에 사용되며, Vy1이 R,G,B 당 전력 공급선을 전기적으로 분리시키기 위해서 또 다른 전원에 접속되지 않는 구성을 가질 수 있다는 점에서 행 1과 열 1의 화소와는 상이하다.

<262> 또한, 화소부의 행 4와 열 1의 화소는 G4가 G1 대신에 사용되고, Vy4가 Vy1 대신에 사용된다는 점에서 행 1과 열 1의 화소와는 상이하다.

<263> 또한, 화소부의 행 5와 열 1의 화소는 G5가 G4 대신에 사용되며, Vx1이 R,G,B 당 전력 공급선들을 전기적으로 분리시키기 위해 또 다른 전력 공급선에 접속되지 않는 구성을 가질 수 있다는 점에서 행 4와 열 1의 화소와는 상이하다.

<264> 또한, 화소부의 행 6과 열 1의 화소는 G6이 G4 대신에 사용되며, Vx1이 R,G,B, 당 전력 공급선들을 전기적으로 분리시키기 위해 또 다른 전력 공급선에 접속되지 않는 구성을 가질 수 있다는 점에서 행 4와 행 1의 화소와는 상이하다.

<265> 또한, 열 1의 화소들은 상술한 3개의 행들의 구조의 반복이다.

<266> 또한, 화소부의 행 1과 열 2의 화소는 S2가 S1 대신에 사용되고, Vx2가 Vx1 대신에 사용되며 R,G,B 당 전력 공급선들을 전기적으로 분리시키기 위해 또 다른 전력 공급선에 접속되지 않는 구성을 갖는다는 점에서 행 1과 열 1의 화소와는 상이하다.

<267> 또한, 화소부의 행 2와 열 2의 화소는 G2가 G1 대신에 사용되고, Vx2가 또 다른 전력 공급선(Vy2)에 접속되는 구성을 가질 수 있다는 점에서 행 1과 열 2의 화소와는 상이하다.

<268> 또한, 화소부의 행 3과 열 2의 화소는 G3이 G1 대신에 사용되고, Vx2가 R,G,B 당 전력 공급선을 전기적으로 분리시키기 위해 또 다른 전력 공급선에 접속되지 않는 구성을 가질 수 있다는 점에서 행 1과 열 2의 화소와는 상이하다.

- <269> 또한, 열 2의 화소들은 상술한 3개의 행들의 구조의 반복이다.
- <270> 또한, 화소부의 행 1과 열 3의 화소는 S3이 S1 대신에 사용되고, Vx3이 Vx1 대신에 사용되며, Vx3이 R,G,B 당 전력 공급선을 전기적으로 분리시키기 위해 또 다른 전력 공급선에 접속되지 않는 구성을 가질 수 있다는 점에서 행 1과 열 1의 화소와는 상이하다.
- <271> 또한, 행 2와 열 3의 화소는 G2가 G1 대신에 사용되고 Vx3이 또 다른 전력 공급선에 접속되지 않는 구성을 갖는다는 점에서 행 1과 열 3의 화소와는 상이하다.
- <272> 또한, 행 3과 열 3의 화소는 G3이 G1 대신에 사용되고, Vx3이 R,G,B 당 전력 공급선들을 전기적으로 분리시키기 위해 또 다른 전력 공급선(Vy3)에 접속되지 않는 구성을 갖는다는 점에서 행 1과 행 3의 화소와는 상이하다.
- <273> 또한, 열 3의 화소들은 상술한 3개의 행들의 구조의 반복이다.
- <274> 화소부 내의 나머지 열들은 열들 1 내지 3의 구성이 반복되는 구성을 갖는다.
- <275> 또한, Vx1, Vx4, ..., Vx(3i-2), Vy1, Vy4, ..., 및 Vy(3j-2) 모두는 서로 전기적으로 접속된다(i 및 j는 자연수).
- <276> 또한, Vx2, Vx5, ..., Vx(3i-1), Vy2, Vy5, ..., 및 Vy(3j-1) 모두는 서로 전기적으로 접속된다(i 및 j는 자연수).
- <277> 또한, Vx3, Vx6, ..., Vx(3i), Vy3, Vy6, ..., 및 Vy(3j) 모두는 서로 전기적으로 접속된다(i 및 j는 자연수).
- <278> 본 실시예 모드에서, 화소부의 전력 공급선들은 소스 신호선들(S1 내지 Sn)에 평행하게 제공되고, 수직 방향 또는 거의 수직 방향(Vy1 내지 Vym)으로 제공되는 배선들(Vx1 내지 Xxn)이며, 그에 의해, 각 방향에서 R,G,B의 화소의 구동 TFT(1002)의 소스 영역 또는 드레인 영역으로 전압이 인가된다. 수직 방향 또는 거의 수직 방향(Vy1 내지 Vym)으로 제공되는 전력 공급선들은 R,G,B의 화소 당 전력 공급선들(Vx1 내지 Vxn)에 접속되고, 전력 공급선들은 매트릭스로 배열된다. 따라서, EL 소자(1003)를 통해 흐르는 전류는 소스 신호선들에 평행한 방향 및 수직 방향으로 공급된다. 그러므로, 배선 저항이 가능한 한 낮도록 요구되는 본 발명에서 해결되는 문제점을 중 하나가 해소될 수 있다. 또한, 상이한 레벨들의 전압이 독립적으로 접속되는 R,G,B에 인가될 수 있다.
- <279> 또한, 하나의 전력 공급선이 각 화소에서 게이트 신호선에 평행하게 제공되므로, 배선 저항은 구경비(aperture ratio)를 극적으로 감소시키지 않고 그리고 배선들 사이에서 기생 저항을 증가시키지 않고 감소될 수 있다.
- <280> 배선 저항이 낮게 될 수 있으므로, EL 디스플레이 장치가 아날로그 구동 방법에 의해 구동될 때 일어나는 크로스 토크는 감소된다. 또한, EL 디스플레이 장치가 디지털 구동 방법 및 일정한 전압 구동을 조합하여 동작할 때 일어나는 그레이 스케일 디스플레이 결함이 감소될 수 있다.
- <281> 하지만, 본 실시예의 목적들 중 하나는 EL 디스플레이 장치를 실시예 모드 1, 2, 3과 유사하게 저가로 제조하는 것이다. 그러므로 EL 디스플레이 장치는 패턴을 선택적으로 형성할 수 있는 EL 디스플레이 장치의 제조 방법들 중 하나인 액적 토출법에 의한 EL 디스플레이 장치 제조 공정을 통해 제조될 수 있다.
- <282> 액적 토출법에 의해 배선들을 형성하는 경우에, 상술한 바와 같이 배선 저항에서 변화들이 일어난다. 본 실시예 모드에 따르면, 액적 토출법에 의해 야기된 배선 저항의 변경들은 감소될 수 있다.
- <283> 이것은 전력 공급선들이 매트릭스로 배열될 때 모든 배선 저항이 병렬로 접속되는 것을 고려하여 설명될 수 있다. 즉, 배선 저항이 병렬로 접속될 때, 특정 화소까지의 전력 공급선의 저항은 모든 전력 공급선들의 저항에 의존하고, 넌-매트릭스 배열의 경우에 존재하는 저항의 위치에 덜 의존하게 된다.
- <284> 즉, 본 실시예 모드에 따르면, 전력 공급선의 배선 저항을 감소시킬뿐만 아니라, 액적 토출법을 사용하는 경우의 배선 저항의 변경들이 가능한 한 작게 되도록 요구되는 문제점이 해소될 수 있다.
- <285> 본 실시예 모드에서, 배선들이 서로 평행하게 제공될 필요가 없으며 임의의 방향들로 제공될 수 있다는 점에 유의해야 한다. 또한, 전력 공급선은 각 화소에서 단지 하나일 필요가 없으며 원하는 만큼 많이 제공될 수 있다. 또한, 전력 공급선들은 전체 화소부에 매트릭스로 배열될 필요가 없으며, 화소부의 일부에 매트릭스로 배열될 수 있다.
- <286> 또한, 본 실시예 모드는 실시예 모드 1, 2, 3과 조합하여 자유롭게 구현될 수 있다.
- <287> [실시예 모드 5]

- <288> 본 실시예 모드는 실시예 모드 1 및 실시예 모드 2, 3, 또는 4의 조합이다. 여기에서의 구성은 도 12, 16a 및 16b를 참조하여 설명된다.
- <289> 도 12, 및 도 16은 본 실시예 모드의 전체 화소부의 회로도를 도시한다. 본 실시예 모드에서, 복수의 소스 신호 선들은 화소들의 하나의 수직 열을 위해 제공된다. 도 8에서, 화소들의 하나의 수직 열에 대해 3개의 소스 신호 선들을 제공하는 경우가 설명된다.
- <290> 소스 신호선들의 수는 3개로 제한되지 않으며, 요구되는 만큼 많이 제공될 수 있음에 유의해야 한다.
- <291> 도 12에서 각 화소의 회로(1254)는 도 16a 및 16b에 도시된 회로로서 설명된다. 하지만, 이것은 단지 예이며, 각 화소 내의 회로는 도 16에서의 회로에 제한되지 않는다.
- <292> 행 1과 열 1의 화소는 게이트 신호선(G1), 3개의 소스 신호선들 중 하나인 소스 신호선(S1a), 전력 공급선(Vx1), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003), 및 커패시터(1004)를 포함한다.
- <293> 화소와 회로 사이의 접속이 설명된다. 게이트 신호선(G1)은 스위칭 TFT(1001)의 게이트 전극에 접속되고, 3개의 소스 신호선들 중 하나인 소스 신호선(S1a)은 스위칭 TFT(1001)의 소스 전극 또는 드레인 전극에 접속되고, 전력 공급선(Vx1)은 구동 TFT(1002)의 소스 전극 또는 드레인 전극 및 커패시터(1004)의 한 전극에 접속된다. 전력 공급선(Vy1R)은 전력 공급선(Vx1)에 접속되고, 커패시터(1004)의 다른 전극은 스위칭 TFT(1001)의 다른 소스 전극 또는 드레인 전극 및 구동 TFT(1002)의 게이트 전극에 접속된다. 구동 TFT(1002)의 다른 소스 전극 또는 드레인 전극은 EL 소자(1003)에 접속된다.
- <294> 또한, 행 2와 열 1의 화소는 게이트 신호선(G2), 3개의 소스 신호선들 중 하나인 소스 신호선(S1b), 전력 공급선(Vx1), 전력 공급선(Vy2R), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003), 및 커패시터(1004)를 포함한다.
- <295> 행 2 및 열 1의 화소는 G2가 G1 대신에 사용되고 S1b가 S1a 대신에 사용되고 Vy2R이 Vy1R 대신에 사용된다는 점에서 행 1과 열 1의 화소와는 상이하다.
- <296> 행 3과 열 1의 화소는 게이트 신호선(G3), 3개의 신호선들 중 하나인 소스 신호선(S1c), 전력 공급선(Vx1), 전력 공급선(Vy3R), 스위칭 TFT(1001), 구동 TFT(1002), EL 소자(1003) 및 커패시터(1004)를 포함한다.
- <297> 행 3과 열 1의 화소는 G1이 G3 대신에 사용되고, S1c가 S1a 대신에 사용되고, Vy3R이 Vy1R 대신에 사용된다는 점에서 행 1과 열 1의 화소와는 상이하다.
- <298> 또한, 설명된 3개의 화소 열들에서, G1, G2, G3은 전기적으로 접속된다.
- <299> 또한, 열 1의 화소들은 상술한 구조의 반복이다.
- <300> 또한, 열 2의 화소들은 Vx2가 Vx1 대신에 사용되고, S2a가 S1a 대신에 사용되고, S2b가 S1b 대신에 사용되고, S2c가 S1c 대신에 사용되고, Vy1G가 Vy1R 대신에 사용되고, Vy2G가 Vy2R 대신에 사용되고, Vy3G가 Vy3R 대신에 사용된다는 점에서 상술한 구조와는 다르다.
- <301> 또한, 열 3의 화소들은 Vx3가 Vx1 대신에 사용되고, S3a가 S1a 대신에 사용되고, S3b가 S1b 대신에 사용되고, S3c가 S1c 대신에 사용되고, VynB가 Vy1R 대신에 사용되고, Vy2B가 Vy2R 대신에 사용되고, Vy3B가 Vy3R 대신에 사용된다는 점에서 상술한 구조와는 다르다.
- <302> 또한, 열 3 후의 화소들의 열들은 상술한 구조의 반복이다.
- <303> 또한, Vy1R 내지 VymR 모두는 서로 전기적으로 접속된다.
- <304> 또한, Vy1G 내지 VymG 모두는 서로 전기적으로 접속된다.
- <305> 또한, Vy1B 내지 VymB 모두는 서로 전기적으로 접속된다.
- <306> 본 실시예 모드에 따르면, 기록 시간이 가능한 한 길게 취해지도록 요구된다는 점에서 실시예 모드 1에서 설명된 문제점이 해소될 수 있다. 또한, 기생 커패시터가 가능한 한 작도록 요구되는 문제점이 해소될 수 있다.
- <307> 또한, 본 실시예 모드에 따르면, 배선 저항이 가능한 한 작게 되도록 요구되는 실시예 모드 2,3,4에서의 설명된 문제점이 해소될 수 있다. 또한, 배선 저항의 변경들은 가능한 한 작게 되도록 요구되는 문제점이 해소될 수 있다.

- <308> 또한, 본 실시예 모드에 따라, EL 디스플레이 장치는 패턴을 선택적으로 형성할 수 있는 액적 토출법이 사용될 수 있으므로, 저가로 제조될 수 있다.
- <309> [실시예 모드 6]
- <310> 본 발명의 실시예 모드에 대해 도 18a 내지 도 19f를 참조하여 설명된다. 본 실시예 모드에서, 채널 에치형 박막 트랜지스터가 박막 트랜지스터로서 사용된다. 그러므로, 동일한 부분 또는 유사한 기능을 갖는 부분에 대한 설명은 여기에서 생략된다.
- <311> 접착성을 향상시키기 위한 기능을 갖는 베이스막(1201)은 기판(1200) 위에 형성된다(도 18a 참조). 절연층은 기판(1200) 위에 형성될 수 있다. 이 절연층은 베이스막으로서 사용되고, 필수적으로 제공되지는 않지만, 기판(1200)으로부터 오염물질 등을 차단하는 효과를 갖는다. 유리 기판으로부터 오염물질을 차단하기 위해 베이스층을 형성하는 경우에, 베이스막(801)은 액적 토출법에 의해 베이스층 위에 형성되는 도전층들(1202, 1203)에 대한 선처리로서 형성된다.
- <312> 본 실시예 모드에서, 광촉매 기능을 갖는 재료가 접착성을 향상시키는 기능을 갖는 베이스막으로서 사용된다.
- <313> 본 실시예 모드에서, 스퍼터링 법에 의해 광촉매 재료로서 미리 정해진 결정 구조를 갖는 TiO_x 결정을 형성하는 경우에 대해 설명된다. 스퍼터링은 타깃으로서 금속 티타늄 투브, 아르곤 가스 및 산소를 사용하여 수행된다. 또한, He가스가 도입될 수 있다. 높은 광촉매 활성을 갖는 TiO_x를 형성하기 위해, 많은 산소를 포함하는 분위기가 다소 고압으로 이용된다. 또한, TiO_x는 바람직하게는 처리될 대상이 형성되는 기판 또는 중착 챔버를 가열시키는 동안 형성된다.
- <314> 이런 식으로 형성된 TiO_x는 아주 얇은 막 형태로도 광촉매 기능을 갖는다.
- <315> 스퍼터링 법 또는 증기 증착 방법에 의해 Ti(티타늄), W(텅스텐), Cr(크롬), Ta(탄탈륨), Ni(니켈), Mo(몰리브덴), 또는 그것의 산화물과 같은 금속 물질을 사용하여 베이스막(1201)을 형성하는 것이 바람직하다. 베이스막은 0.01 내지 10nm의 두께로 형성되고, 아주 얇게 형성되는 한 층 구조를 가질 필요는 없다. 베이스막과 같이 높은 용융점 물질을 사용하는 경우에, 게이트 전극층들이 되도록 도전층들(1202, 1203)을 형성한 후에 다음 두 개의 단계들 중 하나를 수행함으로써 표면 상에 노출된 베이스막을 처리하는 것이 바람직하다.
- <316> 제 1 방법은 절연층을 형성하기 위해 도전층들(1202, 1203)과 중첩되지 않는 베이스막(1201)을 절연시키는 단계이다. 달리 말해서, 도전층들(1202, 1203)과 중첩하지 않는 베이스막(1201)은 산화되고 절연된다. 베이스막(1201)이 이런 식으로 산화 및 절연될 때, 베이스막(1201)을 0.01 내지 10nm의 두께로 형성하는 것이 바람직하고, 그에 따라 베이스막은 쉽게 산화될 수 있다. 산화는 산소 분위기에 노출시키거나 열처리에 의해 수행될 수 있다.
- <317> 제 2 방법은 도전층들(1202, 1203)을 마스크로서 사용하여 에칭함으로써 베이스막(1201)을 제거하는 단계이다. 이 단계가 사용될 때, 베이스막(1201)의 두께에는 제한이 없다.
- <318> 대안으로, 형성 영역(형성 표면) 상에서 플라즈마 처리를 수행하는 방법이 또 다른 프리베이스 처리로서 사용될 수 있다. 플라즈마 처리는 수십 Torr 내지 1000Torr(133000Pa)의 압력, 바람직하게는 100Torr(13300Pa) 내지 1000Torr(133000Pa)의 압력, 보다 바람직하게는 700Torr(93100Pa) 내지 800Torr(106400Pa)의 압력으로, 즉 대기압 또는 대기압 근방의 압력으로, 처리 가스로서 사용되는 공기, 산소, 또는 질소로 수행되고, 펠스 전압이 이러한 조건으로 이용된다. 이때에, 플라즈마 밀도는 소위 코로나 방전 또는 글로우 방전이 달성되도록 1×10^{10} 내지 $1 \times 10^{14} \text{ m}^{-3}$ 으로 설정된다. 처리 가스로서 공기, 산소, 또는 질소를 사용하여 플라즈마 처리를 이용함으로써 물질에 의존하지 않고 표면 변형이 수행될 수 있다. 따라서, 표면 변형은 임의의 물질에 대해 수행될 수 있다.
- <319> 또 다른 방법으로서, 접착제로서 기능하는 유기 물질이 액적 토출법에 의해 형성될 패턴과 그의 형성 영역과의 접착성을 향상시키도록 형성될 수 있다. 유기 물질(유기 수지 물질)(폴리이미드 또는 아크릴)은 실리콘(Si)과 산소(O)의 결합으로 형성된 골격으로 이루어지고, 여기서 적어도 수소를 포함하는 유기 그룹(알킬족 또는 방향족 탄화수소 등)이 치환기로서 포함된다. 대안으로, 플루오르 그룹이 치환기로서 사용될 수 있다. 또한, 대안으로, 적어도 수소를 포함하는 플루오르 그룹 및 유기 그룹이 치환기로서 사용될 수 있다.
- <320> 이어서, 도전 물질을 포함하는 구성물을 방전되고, 게이트 전극층으로서 기능하는 도전층들(1202, 1203)이 형성된다. 이들 도전층들(1202, 1203)은 액적 토출법에 의해 형성된다. 본 실시예 모드에서, 은이 도전 물질로서 사용되지만, 은, 구리 등의 적층물이 또한 사용될 수도 있다. 대안으로, 구리의 단일 층이 또한 사용될 수 있다.

- <321> 또한, 베이스막(1201)을 형성하는 상술한 단계는 액적 토출법을 사용하여 형성되도록 도전층에 대한 프리베이스 처리로서 수행되지만, 이 처리 단계는 도전층을 형성한 후에 수행될 수 있다.
- <322> 이어서, 게이트 절연막은 도전층들(1202, 1203) 위에 형성된다(도 18a 참조). 게이트 절연막은 실리콘의 산화물 또는 질화물 물질과 같은 알려진 물질로 형성될 수 있고, 적층들 또는 단일 층일 수 있다.
- <323> 이어서, 도전층(또는 제 1 전극이라 함)(1206)은 게이트 절연막 상에 도전 물질을 포함하는 구성물을 선택적으로 방전시킴으로써 형성된다(도 18b 참조). 도전층(1206)은 ITO, ITSO, ZnO, SnO₂ 등의 미리 정해진 패턴으로, 광이 기판(1200) 측으로부터 방출될 때 또는 광 투과성 EL 디스플레이 패널이 제조될 때 그것을 베이킹함으로써 형성될 수 있다. 도시되지는 않았지만, 광촉매 재료는 도전층(1206)이 도전층들(1202, 1203)을 형성하는 경우와 유사하게 형성되는 영역에 형성될 수 있다. 광촉매 재료로, 접착성은 향상되고, 도전층(1206)은 얇은 라인인 원하는 패턴으로 형성될 수 있다. 이 도전층(1206)은 화소 전극으로서 기능하는 제 1 전극이 된다.
- <324> 반도체층은 알려진 방법(스퍼터링 법, LPCVD 법, 플라즈마 CVD 법 등)에 의해 형성될 수 있다. 반도체층의 물질 들에는 특별한 제한은 없지만, 반도체층은 바람직하게는 실리콘, 실리콘 게르마늄(SiGe) 합금 등으로 형성된다.
- <325> 반도체층은 물질로서 비정질 반도체(통상적으로, 수소화된 비정질 실리콘), 반-비정질 반도체(semi-amorphous semiconductor), 반도체층이 부분적으로 결정 위상을 갖는 반도체, 결정 반도체(통상적으로, 폴리실리콘), 또는 유기 반도체로 형성된다.
- <326> 본 실시예 모드에서, 비정질 반도체가 반도체로서 사용된다. 반도체층(1027)이 형성되고, 1 도전율 갖는 반도체 층, 예를 들어 N 타입 반도체층(1208)은 플라즈마 CVD 법 등에 의해 형성된다(도 12c 참조). 1 도전율을 갖는 반도체층은 필요에 따라 형성될 수 있다.
- <327> 이어서, 각각 레지스트 및 폴리아미드와 같은 절연체로 형성된 마스크층들(1211, 1212)이 형성되고, 이어서 반도체층(1207) 및 N 타입 반도체층(1208)이 마스크층들(1211, 1212)에 의해 동시에 패턴화된다.
- <328> 이어서, 이러한 레지스트 및 폴리아미드와 같은 절연층으로 형성된 마스크층들(1213, 1214)은 액적 토출법에 의해 형성된다(도 18d 참조). 마스크층들(1213, 1214)을 사용함으로써, 관통 홀(1218)은 예칭 처리에 의해 하부 층 상에 제공된 게이트 전극으로서 기능하는 도전층(1203)의 부분을 노출시킴으로써, 게이트 절연층들(1204, 1205)의 부분에 형성된다.
- <329> 마스크층들(1213, 1214)을 제거한 후, 도전층들(1215, 1216, 1217)은 도전 물질을 포함하는 구성물을 방전시킴으로써 형성되고, N 타입 반도체층은 N 타입 반도체층을 형성하기 위해 마스크로서 도전층들(1215, 1216, 1217)로 패턴화된다(도 19a 참조). 도전층들(1215, 1216, 1217)을 형성하기 전에, 광촉매 재료가 도전층들(1215, 1216, 1217)이 게이트 절연층(1205)과 접촉하는 위치에 선택적으로 형성될 수 있음을 유의해야 한다. 따라서, 도전층은 양호한 접착성을 갖고 형성될 수 있다.
- <330> 도전층(1217)은 소스 배선층 또는 드레인 배선층으로서 기능하고, 미리 형성된 제 1 전극으로서 도전층(1206)에 전기 접속되도록 형성된다. 소스 배선층 또는 드레인 배선층으로서의 도전층(1216) 및 게이트 전극층으로서의 도전층(1203)은 게이트 절연층(1205)에 형성된 관통 홀(1218)을 통해 전기적으로 접속된다.
- <331> 게이트 절연층들(1204, 1205)의 부분에서 관통 홀(1218)을 형성하는 단계는 도전층들(1215, 1216, 1217)을 형성한 후에 수행될 수 있고, 도전층들(1215, 1216, 1217)은 마스크로서 배선층들이다. 이어서, 도전층은 관통 홀(1218)에 형성되고, 그 후 게이트 전극층으로서 도전층(1216) 및 도전층(1203)은 전기적으로 접속된다. 이 경우에, 제조 단계들이 단순해질 수 있다는 것이 이점이다.
- <332> 이어서, 구획 벽인 절연층(1220)이 형성된다. 오프닝은 절연층이 전체적으로 스판 코팅 방법 또는 디핑 방법에 의해 형성된 후에 예칭 처리에 의해 도 19b에 도시된 바와 같이 절연층(1220)에 형성된다. 예칭 처리는 절연층(1220)이 액적 토출법에 의해 형성될 때에 필수적으로 수행되지는 않는다.
- <333> 절연층(1220)은 화소가 제 1 전극으로서 도전층(1206)에 대응하여 형성되는 위치에 따라 제공되는 오프닝 위치를 갖는 관통 홀로 형성된다.
- <334> 상술한 단계들에 의해, 바텀 게이트 타입(또는 역으로 엿갈린 타입이라 함) 채널 보호형 TFT와 제 1 전극(제 1 전극층)으로서의 도전층(1206)이 기판(1200) 위에 접속되는 TFT 기판이 완성된다.
- <335> 제 1 전극으로서의 도전층(1206) 위의 전기발광층(1221)과 그 위의 도전층(1222)을 적층시킴으로써, 발광 소자

를 사용하여 디스플레이 기능을 갖는 디스플레이 장치가 완성된다(도 19b 참조).

<336> 상술한 바와 같이, 상기 단계는 포토 마스크를 사용하는 광 노출 단계를 적용하지 않으므로 본 실시예 모드에서 생략될 수 있다. 또한, EL 디스플레이 패널은 5번째 또는 1000mm 이상의 측을 갖는 그 다음 생성물의 유리 기판이 사용되는 경우에도 액적 토출법에 의해 기판 위에 다양한 패턴들을 직접 형성함으로써 용이하게 제조될 수 있다.

<337> 또한, 접착성 및 필링 저항(peel resistance)이 향상될 수 있는 상당히 신뢰할 수 있는 디스플레이 장치가 제조될 수 있다.

<338> [실시예 모드 7]

<339> 본 발명의 실시예 모드에 대해 도 20a 내지 도 21을 참조하여 설명된다. 본 실시예 모드는 탑 게이트(또는 전방 엇갈림(forward staggered)이라 함) 타입 박막 트랜지스터가 박막 트랜지스터로서 사용된다는 점에서 실시예 모드 1과는 다르다. 따라서, 동일한 부분 또는 유사한 기능을 갖는 부분에 대한 설명은 생략된다.

<340> 접착성을 향상시키는 기능을 갖는 베이스막(1301)이 기판(1300) 위에 형성된다(도 20a 참조). 절연층이 기판(1300) 위에 형성될 수 있음에 유의해야 한다. 이 절연층은 필수적으로 제공되는 것은 아니지만, 기판(1300)으로부터 오염물질 등을 차단하는 효과를 갖는다. 본 실시예 모드에서와 같이 전방 엇갈림된 박막 트랜지스터를 사용하는 경우에, 반도체층은 기판과 직접 접촉하고, 따라서 베이스층이 요구되지 않는다. 유리 기판으로부터 오염물질을 차단하기 위해 베이스층을 형성하는 경우에, 베이스막(1301)은 그 형성 영역들 내에 도전층들(1315, 1316, 1317)에 대한 선처리로서 액적 토출법에 의해 베이스층 위에 형성된다.

<341> 본 실시예 모드에서, 광축매 기능을 갖는 재료는 접착성을 향상시키는 기능을 갖는 베이스막(1301)으로서 사용된다.

<342> 본 실시예 모드에서, 스퍼터링 법에 의해 광축매 재료로서 미리 정해진 결정 구조를 갖는 TiO_x 결정을 형성하는 경우에 대해 설명된다. 스퍼터링은 타깃으로서의 금속 티타늄 튜브 및 아르곤 가스 및 산소를 사용하여 수행된다. 또한, He가스가 도입될 수 있다. 높은 광축매 활성을 갖는 TiO_x를 형성하기 위해, 많은 산소를 포함하는 분위기가 다소 고압으로 이용된다. 또한, TiO_x는 바람직하게는 증착 챔버 및 소자가 형성되는 기판을 가열하는 동안에 형성된다.

<343> 이런 식으로 형성된 TiO_x는 아주 얇은 막 형태로도 광축매 기능을 갖는다.

<344> Ti(티타늄), W(텅스텐), Cr(크롬), Ta(탄탈륨), Ni(니켈), Mo(몰리브덴), 또는 그것의 산화물과 같은 금속 물질로 형성된 베이스막(1301)을 형성하는 것이 바람직하다. 베이스막(1301)은 0.01 내지 10nm의 두께로 형성되고, 아주 얇게 형성되는 한 층 구조를 가질 필요는 없다. 베이스막과 같이 높은 용융점 물질을 사용하는 경우에, 소스 배선층들 또는 드레인 배선층들인 도전층들(1315, 1316, 1317)을 형성한 후에 다음 두 단계들 중 하나를 수행하여 표면 상에 노출된 베이스막을 처리하는 것이 바람직하다.

<345> 제 1 방법은 절연층을 형성하기 위해 도전층들(1315, 1316, 1317)과 중첩되지 않는 베이스막(1201)을 절연시키는 단계이다. 달리 말해서, 도전층들(1315, 1316, 1317)과 중첩하지 않는 베이스막(1301)은 산화 및 절연된다. 베이스막(1301)이 이런 식으로 산화 및 절연될 때, 베이스막(1301)을 0.01 내지 10nm의 두께로 형성하는 것이 바람직하고, 따라서 베이스막은 쉽게 산화될 수 있다. 산화는 산소 분위기에 노출시키거나 열처리에 의해 수행될 수 있다.

<346> 제 2 방법은 소스 배선층들 또는 드레인 배선층들로 기능하는 도전층들(1315, 1316, 1317)을 마스크로서 사용하여 에칭함으로써 베이스막(1301)을 제거하는 단계이다. 이 단계가 사용될 때, 베이스막(1301)의 두께에는 제한이 없다.

<347> 대안으로, 형성 영역(형성 표면) 상에서 플라즈마 처리를 수행하는 방법이 또 다른 프리베이스 처리로서 사용될 수 있다. 플라즈마 처리는 수십 Torr 내지 1000Torr(133000Pa)의 압력, 바람직하게는 100Torr(13300Pa) 내지 1000Torr(133000Pa)의 압력, 보다 바람직하게는 700Torr(93100Pa) 내지 800Torr(106400Pa)의 압력으로, 즉 대기압 또는 대기압 근방의 압력으로, 처리 가스로서 사용되는 공기, 산소, 또는 질소로 수행되고, 펄스 전압이 이러한 조건하에 이용된다. 이때에, 플라즈마 밀도는 소위 코로나 방전 또는 글로우 방전이 달성되도록 1×10^{10} 내지 $1 \times 10^{14} \text{ m}^{-3}$ 으로 설정된다. 처리 가스로서 공기, 산소, 또는 질소를 사용하여 플라즈마 처리를 이용함으로써 물질에 의존하지 않고 표면 변형이 수행될 수 있다. 따라서, 표면 변형은 임의의 물질에 대해 수행될 수 있다.

- <348> 또 다른 방법으로서, 접착제로서 기능하는 유기 물질이 액적 토출법에 의해 형성될 패턴 및 그의 형성 영역 사이의 접착성을 향상시키도록 형성될 수 있다. 유기 물질(유기 수지 물질)(폴리이미드 또는 아크릴)은 실리콘(Si)과 산소(O)의 결합으로 형성된 골격으로 이루어지고, 여기서 적어도 수소를 포함하는 유기 그룹(알킬족 또는 방향족 탄화수소 등)이 치환기로서 포함된다. 대안으로, 플루오르 그룹이 치환기로서 사용될 수 있다. 또한, 대안으로, 적어도 수소를 포함하는 플루오르 그룹 및 유기 그룹이 치환기로서 사용될 수 있다.
- <349> 이어서, 도전 물질을 포함하는 구성물이 방전되고, 소스 배선층들 또는 드레인 배선층들로서 기능하는 도전층들(1315, 1316, 1317)이 후에 형성된다. 이를 도전층들(1315, 1316, 1317)은 액적 토출법에 의해 형성된다.
- <350> 도전층들(1315, 1316, 1317)을 형성하기 위해 사용된 도전 물질로서, Ag(은), Au(금), Cu(구리), W(텅스텐), 또는 Al(알루미늄)과 같은 금속의 입자를 주요 성분으로 포함하는 구성물이 사용될 수 있다. 특히, 바람직하게는 저항이 낮은 소스 배선층 또는 드레인 배선층은 저항성을 고려하여 용매에 분해 또는 용해된 금, 은, 및 구리 중 어느 하나를 사용하여 형성된다. 보다 양호하게는, 저항이 낮은 은 및 구리가 사용된다. 이러한 용액들에 대해, 부틸 아세테이트와 같은 에테르들, 이소프로필 알코올과 같은 알코올들, 아세톤과 같은 유기 용매들 등이 사용될 수 있다. 표면 장력 및 접도는 용매의 농도를 제어하고 계면활성제를 부가함으로써 적절히 제어된다.
- <351> 이어서, 도전층(또는 제 1 전극이라 함)(1306)은 게이트 절연막 상에 도전 물질을 포함하는 구성물을 선택적으로 방전시킴으로써 형성된다(도 20a 참조). 도전층(1306)은 ITO, ITSO, ZnO, SnO₂ 등의 미리 정해진 패턴으로, 광이 기판(1300) 측으로부터 방출될 때 또는 광 투과성 EL 디스플레이 패널이 제조될 때 그것을 베이킹함으로써 형성될 수 있다. 도시되지는 않았지만, 광촉매 재료는 도전층(1306)이 도전층들(1315, 1316, 1317)을 형성하는 경우와 유사하게 형성되는 영역에 형성될 수 있다. 광촉매 재료로, 접착성은 향상되고, 도전층(1306)은 얇은 라인인 원하는 패턴으로 형성될 수 있다. 이 도전층(1306)은 화소 전극으로서 기능하는 제 1 전극이 된다.
- <352> 상술한 베이스막(1301)을 형성하는 단계는 액적 토출법에 의해 형성된 도전층에 대한 프리베이스 처리로서 수행되지만, 이 처리는 도전층들(1315, 1316, 1317)을 형성한 후에 수행될 수 있다. 예를 들어, 도시되지 않았지만, 티타늄 산화막 및 N 타입 반도체층을 그 위에 형성함으로써, 도전체층과 N 타입 반도체층 사이의 접착성은 향상된다.
- <353> 도전층들(1315, 1316, 1317)의 전체 표면 상에 N 타입 반도체층을 형성한 후에, 도전층들(1315, 1316) 사이에 그리고 도전층들(1316, 1317) 사이에 제공된 N 타입 반도체층은 레지스트 및 폴리이미드와 같이 절연체로 형성된 마스크층들(1311, 1312, 1319)을 에칭함으로써 제거된다. 1 도전율을 갖는 반도체층은 필요에 따라 형성될 수 있다. 이어서, 비정질 반도체(이하, AS라 함) 또는 SAS로 형성된 반도체층(1307)은 증기 위상 방법 또는 스퍼터링 법에 의해 형성된다. 플라즈마 CVD 법을 이용하는 경우에, AS는 반도체 물질 가스 또는 SiH₄와 H₂의 혼합된 가스로서 SiH₄를 사용하여 형성된다. SAS가 상기 종류의 가스로 형성될 때, 반도체층은 표면 측 상에서 양호한 결정성을 갖는다. SAS는 게이트 전극이 반도체층의 상부층 내에 형성되는 탑 게이트 타입 TFT에 대해 적합하다.
- <354> 이어서, 게이트 절연층(1305)은 플라즈마 CVD 법 또는 스퍼터링 법에 의해 단일 층 또는 적층 구조로 형성된다. 실리콘 질화물로 형성된 절연층, 실리콘 산화물로 형성된 절연층, 실리콘 질화물로 형성될 절연층의 3개의 적층들이 특히 바람직한 구조이다.
- <355> 다음으로, 게이트 전극층들(1302, 1303)은 액적 토출법에 의해 형성된다. Ag(은), Au(금), Cu(구리), W(텅스텐), 또는 Al(알루미늄)과 같은 금속 입자를 주 성분으로서 포함하는 구성물은 게이트 전극층들(1302, 1303)을 형성하기 위한 도전 물질로서 사용될 수 있다.
- <356> 반도체층(1307)과 게이트 절연층(1305)은 액적 토출법에 의해 형성된 마스크층들(1313, 1314)을 사용하여 소스 배선층들 및 드레인 배선층들(도전층들(1315, 1316, 1317))에 대응하는 위치에 형성된다. 달리 말해서, 반도체층 및 게이트 절연층은 도전층들(1315, 1316) 위에 스트래들(straddle)하도록 형성된다.
- <357> 이어서, 도전층들(1330, 1331)은 액적 토출법에 의해 형성된다. 도전층(1316)과 게이트 전극층(1303), 및 도전층(1317)과 도전층(1306)은 제 1 전극으로서 서로 전기적으로 접속된다.
- <358> 소스 배선층 또는 드레인 배선층 및 게이트 전극층은 도전층(1330)을 사용하지 않고 게이트 전극층을 통해 직접 접속된다. 이 경우에, 관통 홀은 게이트 절연층(1305) 내에 형성되고, 소스 배선 또는 드레인 배선들인 도전층들(1316, 1317)의 일부는 게이트 전극층들(1302, 1303)이 형성되기 전에 노출된다. 그 후에, 게이트 전극층들(1302, 1303) 및 도전층(1331)은 액적 토출법에 의해 형성된다. 이때에, 게이트 전극층(1303)은 도전층(1330)으로서 또한 기능하는 배선이고, 도전층(1316)에 접속된다. 건식 에칭 또는 습식 에칭이 에칭용으로 이용될 수 있

지만, 건식 에칭인 플라즈마 에칭이 보다 바람직하다.

<359> 이어서, 구획 벽인 절연층(1320)이 형성된다. 도시되지는 않았지만, 실리콘 질화물 또는 실리콘 질화 산화물로 형성된 보호층이 박막 트랜지스터를 커버하기 위해 절연층(1320) 아래에 전체로서 형성될 수 있다. 오프닝은 절연층이 스펜 코팅 방법 또는 디핑 방법에 의해 전체로서 형성된 후에 에칭 처리에 의해 도 21에 도시된 바와 같이 절연층(1320)에 형성된다. 에칭 처리는 절연층(1320)이 액적 토출법에 의해 형성될 때 필수적으로 수행되지는 않는다. 절연층(1320)과 같은 넓은 영역이 액적 토출법에 의해 형성될 때, 처리량은 액적 토출 장치 내의 노즐들의 복수의 방전 오프닝들로부터 구성물을 방전시키고, 복수의 라인들이 서로 중첩되도록 드로잉하여 형성함으로써 향상된다.

<360> 절연층(1320)은 제 1 전극으로서 도전층(1306)에 따라 화소가 형성되는 위치에 대응하는 관통 홀을 갖도록 형성된다.

<361> 상술한 단계들에 따르면, TFT 기판은 탑 게이트 타입 TFT 및 제 1 전극층으로서 도전층(1306)이 기판(1300) 위에 접속되어 완성된다.

<362> 절연층(1320) 및 그 표면에 흡수된 습기는 전기발광층(1321)을 형성하기 전에 대기압하에서 200°C로 열처리를 수행함으로써 제거된다. 또한, 열처리는 감소된 압력 하에서 200 내지 400°C, 바람직하게는 250 내지 350°C로 수행되고, 전기발광층(1321)은 바람직하게는 대기 공기에 노출되지 않고 감소된 압력 하에서 진공 증기 증착 방법 또는 액적 토출법에 의해 형성된다.

<363> 전기발광층(1321) 및 도전층(1322)은 제 1 전극으로서 도전층(1306) 위에 적층되고, 발광 소자를 사용하여 디스플레이 기능을 갖는 디스플레이 장치가 완성된다(도 21 참조).

<364> 상술한 바와 같이, 상기 단계는 포토 마스크를 사용하는 광 노출 단계를 이용하지 않음으로써 본 실시예 모드에서 생략될 수 있다. 또한, EL 디스플레이 패널은 1000mm 이상의 측(side)을 갖는 5번째 또는 그 다음 생성물의 유리 기판이 사용되는 경우에도 액적 토출법에 의해 기판 위에 다양한 패턴들을 직접 형성함으로써 용이하게 제조될 수 있다.

<365> 또한, 접착성 및 필링 저항이 향상되는 상당히 신뢰할 수 있는 디스플레이 장치가 제조될 수 있다.

<366> [실시예 모드 8]

<367> 본 발명의 실시예 모드가 도 22a 내지 도 23b를 참조하여 설명된다. 본 실시예 모드는 박막 트랜지스터와 제 1 전극이 상이하게 접속된다는 점에서 실시예 모드 1과 다르다. 그러므로, 동일한 부분 및 유사한 기능을 갖는 부분에 대한 설명은 생략된다.

<368> 접착성을 향상하기 위한 베이스막(1401)은 프리베이스 처리로서 기판(1400) 위에 형성된다. 스퍼터링 법에 의해 광촉매 재료로서 미리 정해진 결정 구조를 갖는 TiO_x 결정을 형성하는 경우가 설명된다. 스퍼터링은 타깃으로서의 금속 티타늄 투브, 아르곤 가스 및 산소를 사용하여 수행된다. 또한, He가스가 도입될 수 있다. 높은 광촉매 활성을 갖는 TiO_x를 형성하기 위해, 많은 산소를 포함하는 분위기가 다소 고압으로 이용된다. 또한, 처리될 대상이 제공되는 기판 또는 증착 챔버를 가열시키는 동안 TiO_x를 형성하는 것이 바람직하다.

<369> 그러므로, 형성된 TiO_x는 이것이 매우 얇은 막일 때에도 광촉매 기능을 갖는다.

<370> 또한, 또 다른 프리베이스 처리로서, 스퍼터링 법 또는 증기 증착 방법에 의해 Ti(티타늄), W(텅스텐), Cr(크롬), Ta(탄탈륨), Ni(니켈), Mo(몰리브덴), 또는 그것의 산화물과 같은 금속 물질로 형성된 베이스막(1401)을 형성하는 것이 바람직하다. 베이스막(1401)은 0.01 내지 10nm의 두께로 형성된다. 그것은 아주 얇게 형성되는 한 층 구조를 가질 필요는 없다. 높은 용융점 물질이 베이스막으로서 사용되는 경우에, 게이트 전극층들이 되도록 도전층들(1402, 1403)을 형성한 후에 다음 두 개의 단계들 중 하나를 수행함으로써 표면 상에 노출된 베이스막을 처리하는 것이 바람직하다.

<371> 제 1 방법은 도전층들(1402, 1403)과 중첩되지 않는 베이스막(1401)을 절연시키고 절연층을 형성하는 단계이다. 달리 말해서, 도전층들(1402, 1403)과 중첩하지 않는 베이스막(1401)은 산화되고 절연된다. 베이스막(1401)이 이런 식으로 산화 및 절연될 때, 베이스막(1401)을 0.01 내지 10nm의 두께로 형성하는 것이 바람직하고, 그에 따라 베이스막은 쉽게 산화될 수 있다. 산화는 산소 분위기에 노출시키거나 열처리에 의해 수행될 수 있다.

<372> 제 2 방법은 도전층들(1402, 1403)을 마스크로서 사용하여 에칭함으로써 베이스막(1401)을 제거하는 단계이다. 이 단계가 사용될 때, 베이스막(1401)의 두께에는 제한이 없다.

- <373> 대안으로, 형성 영역(형성 표면) 상에서 플라즈마 처리를 수행하는 방법이 또 다른 프리베이스 처리로서 사용될 수 있다. 플라즈마 처리는 수십 Torr 내지 1000Torr(133000Pa)의 압력, 바람직하게는 100Torr(13300Pa) 내지 1000Torr(133000Pa)의 압력, 보다 바람직하게는 700Torr(93100Pa) 내지 800Torr(106400Pa), 즉 대기압 또는 대기압 근방의 압력으로, 처리 가스로서 사용되는 공기, 산소, 또는 질소로 수행되고, 펠스 전압이 이러한 조건 하에서 이용된다. 이때에, 플라즈마 밀도는 소위 코로나 방전 또는 클로우 방전이 달성되도록 1×10^{10} 내지 $1 \times 10^{14} \text{ m}^{-3}$ 으로 설정된다. 처리 가스로서 공기, 산소, 또는 질소를 사용하여 플라즈마 처리를 이용함으로써 물질에 의존하지 않고 표면 변형이 수행될 수 있다. 따라서, 표면 변형은 임의의 물질에 대해 수행될 수 있다.
- <374> 또 다른 방법으로서, 접착제로서 기능하는 유기 물질이 액적 토출법에 의해 형성될 패턴과 그 형성 영역의 접착성을 향상시키도록 형성될 수 있다. 유기 물질(유기 수지 물질)(폴리이미드 또는 아크릴) 또는 골격 구조가 실리콘(Si)과 산소(O)의 결합에 의해 형성되고, 치환기로서 적어도 수소를 포함하거나 치환기로서 플루오르, 일킬족, 및 방향족 탄화수소 중 적어도 하나를 포함하는 물질이 사용될 수 있다.
- <375> 이어서, 도전 물질을 포함하는 구성물은 방전되고, 게이트 전극층으로서 기능하는 도전층들(1402, 1403)이 이후에 형성된다. 이들 도전층들(1402, 1403)은 액적 토출법에 의해 형성된다. 본 실시예 모드에서, 은이 도전 물질로서 사용되지만, 은, 구리 등의 적층물이 사용될 수도 있다. 대안으로, 구리의 단일 층이 사용될 수도 있다.
- <376> 또한, 베이스막(1401)을 형성하는 상술한 단계는 액적 토출법을 사용하여 형성되도록 도전층에 대한 프리베이스 처리로서 수행되지만, 이 처리 단계는 도전층을 형성한 후에 수행될 수 있다.
- <377> 이어서, 게이트 절연막은 도전층들(1402, 1403) 위에 형성된다(도 22a 참조). 게이트 절연막은 실리콘의 산화물 또는 질화물 물질과 같은 알려진 물질로 형성될 수 있고, 적층들 또는 단일 층일 수 있다.
- <378> 반도체층은 알려진 방법(스퍼터링 법, LPCVD 법, 플라즈마 CVD 법 등)에 의해 형성될 수 있다. 반도체층의 물질에는 특별한 제한이 없지만, 반도체층은 바람직하게는 실리콘, 실리콘 게르마늄(SiGe) 합금 등으로 형성된다.
- <379> 반도체층은 물질로서 비정질 반도체(통상적으로, 수소화된 비정질 실리콘), 반-비정질 반도체(semi-amorphous semiconductor), 반도체 층이 부분적으로 결정 위상을 갖는 반도체, 결정 반도체(통상적으로, 폴리실리콘), 또는 유기 반도체로 형성된다.
- <380> 본 실시예 모드에서, 비정질 반도체가 반도체로서 사용된다. 반도체층(1407)이 형성되고, 절연막이 예컨대 플라즈마 CVD 법에 의해 형성되고 채널 보호막들(1409, 1410)을 형성하기 위해 원하는 영역 내에 원하는 모양을 갖도록 선택적으로 예칭된다. 또한, 채널 보호막은 액적 토출법 또는 인쇄법(스크린 인쇄법 및 오프셋 인쇄법과 같은, 패턴을 형성할 수 있는 방법)에 의해 폴리이미드, 폴리비닐 알코올 등을 사용하여 형성될 수 있다. 그 후에, 1 도전율을 갖는 반도체층, 예컨대 N 타입 반도체층(1408)은 플라즈마 CVD 법 등에 의해 형성된다. 1 도전율을 갖는 반도체층은 필요에 따라 형성될 수 있다.
- <381> 이어서, 레지스트 또는 폴리이미드와 같은 절연체로 형성된 마스크층들(1411, 1412)이 형성된다. 이어서, 반도체층(1407) 및 N 타입 반도체층(1408)이 마스크들(1411, 1412)을 사용하여 동시에 패턴화된다.
- <382> 이어서, 레지스터 또는 폴리이미드와 같은 절연체로 형성된 마스크층들(1413, 1414)은 액적 방법에 의해 형성된다(도 22c 참조). 관통 홀(1418)은 마스크층들(1413, 1414)을 사용하여 예칭처리에 의해 게이트 절연층들(1404, 1405)의 일부에 형성되고, 하부층 측 상에 증착되어 게이트 전극층으로 기능하는 도전층(1403)의 일부가 노출된다. 플라즈마 예칭(건식 예칭) 또는 습식 예칭이 예칭 처리로서 채택될 수 있다. 또한, 로컬 방전 처리는 대기압 방전 예칭 처리가 사용될 때 수행될 수 있고, 마스크층은 기판 위에 전체로서 형성될 필요는 없다.
- <383> 도전층들(1415, 1416, 1417)은 마스크층들(1413, 1414)이 제거된 후에 도전 물질을 포함하는 구성물을 방전시킴으로써 형성된다. 이어서, N 타입 반도체층은 마스크들로서 도전층들(1415, 1416, 1417)을 사용하여 패턴화된다(도 22d 참조). 도전층들(1415, 1416, 1417)이 게이트 절연층(1405)과 접촉하는 위치에서 광촉매 재료를 선택적으로 형성하기 위해 상술한 프리베이스 처리가 도시되어 있지는 않지만, 도전층들(1415, 1416, 1417)의 형성 전에 수행된다. 따라서, 도전층은 적층된 상부 및 하부 층들과 양호한 접착성으로 형성될 수 있다.
- <384> 또한, 배선층들인 도전층들(1415, 1416, 1417)은 도 22d에 도시된 반도체층 및 N 타입 반도체층을 커버하도록 형성된다. 반도체층이 예칭된다. 그러므로, 배선층은 가파른 단계(stEEP step)를 커버할 수 없고 접속해제될 수 있다. 그러므로, 절연층들(1441, 1442, 1443)은 단계를 줄이도록 형성되고, 상기 단계는 평활해진다(smooth). 절연층들(1441, 1442, 1443)은 액적 토출법이 이용될 때 마스크 등이 없이 선택적으로 형성될 수 있다. 상기 단계는

절연층들(1441, 1442, 1443)에 의해 스무스해질 수 있고, 절연층들을 커버하는 배선층은 브레이크와 같은 결합 없이 양호한 유효범위를 갖고 형성될 수 있다. 절연층들(1441, 1442, 1443)은 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물, 알루미늄 산화물, 알루미늄 질화물, 또는 알루미늄 산화질화물, 아크릴 산, 메타크릴 산, 아크릴 산 또는 메타크릴 산의 유도체와 같은 유기 절연 물체, 폴리이미드, 방향족 폴리이미드 또는 폴리벤즈이미다졸 또는 실리콘, 산소, 수소를 포함하는 성분들 중에서 Si-O-Si 결합을 포함하는 무기 실록산과 같은 가열 저항성의 고분자 무게 물질로 형성될 수 있고, 실리콘과 결합된 수소가 메틸 또는 페닐과 같은 유기 그룹에 의해 치환되는 유기실록산(organosiloxane) 기반의 절연 물질 또는 개시 물질과 같은 실록산 물질을 사용하여 형성된다.

<385> 이어서, 도전층(또한, 제 1 전극이라 함)(1406)은 소스 배선층 또는 드레인 배선층으로서 기능하는 도전층(1417)과 접촉되도록 게이트 절연막 상에서 도전 물질을 포함하는 구성물을 선택적으로 방전시킴으로써 형성된다(도 23a 참조). 도전층(1406)은, ITO, ITSO, ZnO, SnO₂ 등을 포함하는 구성물의 미리 정해진 패턴을 형성함으로써 그리고 광이 기판(1400) 측으로부터 방출될 때 또는 투과성 EL 디스플레이 패널이 제조될 때 그것을 베이킹함으로써 형성될 수 있다. 도시되지는 않았지만, 광촉매 재료의 형성과 같은 프리베이스 처리가 도전층(1406)이 형성되는 영역에서 도전층들(1402, 1403)을 형성하는 경우와 유사하게 수행될 수 있다. 프리베이스 처리는 접착성을 향상시킬 수 있으며, 도전층(1406)은 얇은 라인이 되는 원하는 패턴으로 형성될 수 있다. 도전층(1406)은 화소 전극으로서 기능하는 제 1 전극이 된다.

<386> 또한, 소스 배선층 또는 드레인 배선층인 도전층(1416) 및 게이트 전극층인 도전층(1403)은 게이트 절연층(1405)에 형성된 관통 홀(1418)에서 서로 전기적으로 접속된다. 주 성분으로 Ag(은), Au(금), Cu(구리), W(텅스텐), 또는 Al(알루미늄)과 같은 금속 입자를 포함하는 구성물은 도전층을 형성하기 위한 도전 물질로서 사용될 수 있다. 또한, ITO, ITSO, 유기 인듐, 유기주석 화합물, 아연 산화물, 티타늄 질화물 등이 조합하여 사용될 수 있다.

<387> 관통 홀(1418)은 관통 홀(1418)을 형성하기 위해 마스크들로서 도전층들(1415, 1416, 1417, 1406)을 사용하여, 도전층들(1415, 1416, 1417, 1406)을 형성한 후에 형성될 수 있다. 이어서, 도전층은 관통 홀(1419)에서 형성되고, 게이트 전극층으로서 도전층(1403) 및 도전층(1416)은 서로 전기적으로 접속된다.

<388> 이어서, 구획 벽인 절연층(1420)이 형성된다. 도시되지는 않았지만, 실리콘 질화물 또는 실리콘 질화 산화물로 형성된 보호층이 박막 트랜지스터를 커버하도록 절연층(1420) 아래에 전체로서 형성될 수 있다. 오프닝은 절연층이 스펀 코팅 방법 또는 디핑 방법에 의해 전체로서 형성된 후에 에칭 처리에 의해 도 23b에 도시된 바와 같이 절연층(1420)에 형성된다. 에칭 처리는 절연층(1420)이 액적 토출법에 의해 형성될 때 필수적으로 수행되는 것은 아니다. 절연층(1420)과 같은 얕은 영역이 액적 토출법에 의해 형성될 때, 액적 토출 장치에서 노즐들의 복수의 방전 오프닝들로부터 구성물을 방전하여 형성함으로써 그리고 복수의 라인들이 서로 중첩되도록 드로잉 함으로써 처리량이 향상된다.

<389> 절연층(1420)은 제 1 전극인 도전층(1406)에 따라 화소가 형성되는 위치에 대응하는 관통 홀을 갖도록 형성된다.

<390> 상술한 단계들에 의해, 바텀 게이트 타입(또한, 역으로 엇갈린 타입이라 함) 채널 보호형 TFT와 도전층(제 1 전극층)(1406)이 기판(1400) 위에 접속되는 TFT 기판이 완성된다.

<391> 제 1 전극으로서 도전층(1406) 위의 도전층(1422) 및 전기발광층(1421)을 적층함으로써, 발광 소자를 사용하여 디스플레이 기능을 갖는 디스플레이 장치가 완성된다(도 23b 참조).

<392> 상술한 바와 같이, 상기 단계는 포토 마스크를 사용하여 광 노출 단계를 적용하지 않음으로써 본 실시예 모드에서 생략될 수 있다. 또한, EL 디스플레이 패널은 1000mm 이상의 측을 갖는 5번재 또는 그 다음 생성물인 유리 기판이 사용되는 경우에도 액적 토출법에 의해 기판 위에 다양한 패턴들을 직접 형성함으로써 용이하게 제조될 수 있다.

<393> 또한, 접착성 및 필링 저항이 향상되는 상당히 신뢰할 수 있는 디스플레이 장치가 제조될 수 있다.

<394> [실시예 모드 9]

<395> 본 발명의 실시예 모드는 도 24a 내지 도 25b를 참조하여 설명된다. 본 실시예 모드는 박막 트랜지스터 및 제 1 전극이 상이하게 접속된다는 점에서 실시예 모드 6과 다르다. 그러므로, 동일한 부분 또는 유사한 기능을 갖는 부분에 대한 설명은 생략된다.

- <396> 접착성을 향상하기 위한 베이스막(1501)은 프리베이스 처리로서 기판(1500) 위에 형성된다. 본 실시예 모드에서, 스퍼터링 법에 의해 광촉매 재료로서 미리 정해진 결정 구조를 갖는 TiO_x 결정을 형성하는 경우가 설명된다. 스퍼터링은 타깃으로서의 금속 티타늄 튜브, 아르곤 가스 및 산소를 사용하여 수행된다. 또한, He가스가 도입될 수 있다. 높은 광촉매 활성을 갖는 TiO_x를 형성하기 위해, 많은 산소를 포함하는 분위기가 다소 고압으로 이용된다. 또한, 처리될 대상이 제공되는 기판 또는 증착 챔버를 가열시키는 동안 TiO_x를 형성하는 것이 바람직하다.
- <397> 형성된 TiO_x는 이것이 매우 얇은 막일 때에도 광촉매 기능을 갖는다.
- <398> Ti(티타늄), W(텅스텐), Cr(크롬), Ta(탄탈륨), Ni(니켈), Mo(몰리브덴), 또는 그것의 산화물과 같은 금속 물질을 사용하여 베이스막(1501)을 형성하는 것이 바람직하다. 베이스막(1501)은 0.01 내지 10nm의 두께로 형성되고, 아주 얕게 형성되는 한 층 구조를 가질 필요는 없다. 높은 용융점 물질이 베이스막으로서 사용되는 경우에, 게이트 전극층들이 되도록 도전층들(1502, 1503)을 형성한 후에 다음 두 개의 단계들 중 하나를 수행함으로써 표면 상에 노출된 베이스막을 처리하는 것이 바람직하다.
- <399> 제 1 방법은 도전층들(1502, 1503)과 중첩되지 않는 베이스막(1501)을 절연시키고 절연층을 형성하는 단계이다. 달리 말해서, 도전층들(1502, 1503)과 중첩하지 않는 베이스막(1501)은 산화 및 절연된다. 베이스막(1501)이 이런 식으로 산화 및 절연될 때, 베이스막(1501)을 0.01 내지 10nm의 두께로 형성하는 것이 바람직하고, 그에 따라 베이스막은 쉽게 산화될 수 있다. 산화는 산소 분위기에 노출시키거나 열처리에 의해 수행될 수 있다.
- <400> 제 2 방법은 도전층들(1502, 1503)을 마스크로서 사용하여 에칭함으로써 베이스막(1501)을 제거하는 단계이다. 이 단계가 사용될 때, 베이스막(1501)의 두께에는 제한이 없다.
- <401> 대안으로, 형성 영역(형성 표면) 상에서 플라즈마 처리를 수행하는 방법이 또 다른 프리베이스 처리로서 사용될 수 있다. 플라즈마 처리는 수십 Torr 내지 1000Torr(133000Pa)의 압력, 바람직하게는 100Torr(13300Pa) 내지 1000Torr(133000Pa)의 압력, 보다 바람직하게는 700Torr(93100Pa) 내지 800Torr(106400Pa), 즉 대기압 또는 대기압 근방의 압력으로, 처리 가스로서 사용되는 공기, 산소, 또는 질소로 수행되고, 펄스 전압이 이러한 조건으로 인가된다. 이때에, 플라즈마 밀도는 소위 코로나 방전 또는 글로우 방전이 달성되도록 1×10^{10} 내지 $1 \times 10^{14} \text{ m}^{-3}$ 으로 설정된다. 처리 가스로서 공기, 산소, 또는 질소를 사용하여 플라즈마 처리를 이용함으로써 물질에 의존하지 않고 표면 변형이 수행될 수 있다. 따라서, 표면 변형은 임의의 물질에 대해 수행될 수 있다.
- <402> 또 다른 방법으로서, 접착제로서 기능하는 유기 물질이 액적 토출법에 의해 형성될 때던과 그 형성 영역의 접착성을 향상시키도록 형성될 수 있다. 유기 물질(유기 수지 물질)(폴리이미드 또는 아크릴)은 실리콘(Si)과 산소(O)의 결합으로 형성된 골격으로 구성되고, 여기서 적어도 수소를 포함하는 유기 그룹(예컨대, 알킬족 또는 방향족 탄화수소)이 치환기로서 포함된다. 대안으로, 플루오르 그룹이 치환기로서 사용될 수 있다. 또한, 대안으로, 적어도 수소를 포함하는 유기 그룹 및 플루오르 그룹은 치환기로서 사용될 수 있다.
- <403> 이어서, 도전 물질을 포함하는 구성물을 방전되고, 게이트 전극층으로서 기능하는 도전층들(1502, 1503)이 형성된다. 이들 도전층들(1502, 1503)은 액적 토출법에 의해 형성된다. 본 실시예 모드에서, 은이 도전 물질로서 사용되지만, 은, 구리 등의 적층물이 사용될 수 있을 뿐만 아니라, 구리의 단일 층이 사용될 수도 있다.
- <404> 상술된 베이스막(1501)을 형성하는 단계는 액적 토출법에 의해 형성된 도전층에 대한 프리베이스 처리로서 수행되지만, 이 처리는 도전층(1502, 1503)을 형성한 후에 수행될 수 있다.
- <405> 이어서, 게이트 절연막은 도전층들(1502, 1503) 위에 형성된다(도 24a 참조). 게이트 절연막은 실리콘의 산화물 또는 질화물 물질과 같은 알려진 물질로 형성될 수 있고, 적층들 또는 단일 층일 수 있다.
- <406> 반도체층은 알려진 방법(스퍼터링 법, LPCVD 법, 플라즈마 CVD 법 등)에 의해 형성될 수 있다. 반도체층의 물질에는 특별한 제한이 없지만, 반도체층은 바람직하게는 실리콘, 실리콘 게르마늄(SiGe) 합금 등으로 형성된다.
- <407> 반도체층은 비정질 반도체(통상적으로, 수소화된 비정질 실리콘), 반-비정질반도체, 반도체 층이 부분적으로 결정 위상을 갖는 반도체, 결정 반도체(통상적으로, 폴리실리콘), 또는 유기 반도체로 형성된다.
- <408> 본 실시예 모드에서, 비정질 반도체가 반도체로서 사용된다. 반도체층(1507)이 형성되고, 이어서 1 도전율을 갖는 반도체층, 예컨대 N 타입 반도체층(1508)이 플라즈마 CVD 법 등에 의해 형성된다. 1 도전율을 갖는 반도체층은 필요에 따라 형성될 수 있다.

- <409> 이어서, 레지스트 또는 폴리이미트와 같은 절연 물질로 형성된 마스크들(1511, 1512)이 형성된다. 그 후, 반도체 층(1507) 및 N 타입 반도체층(1508)은 마스크층들(1511, 1512)을 사용하여 동시에 패턴화된다(도 24b 참조).
- <410> 이어서, 레지스트 또는 폴리이미드와 같은 절연체로 형성된 마스크층들(1513, 1514)은 액적 토출법을 사용하여 형성된다(도 24c 참조). 관통 홀(1518)은 마스크층들(1513, 1514)을 사용하여 에칭 처리에 의해 게이트 절연층들(1504, 1505)의 일부에 형성되고, 하부층 측 상에 배치되고 게이트 전극으로서 기능하는 도전층(1503)의 일부가 노출된다. 플라즈마 에칭(건식 에칭) 또는 습식 에칭이 에칭 처리로서 채택될 수 있다. 또한, 대기압 방전 에칭 처리가 이용될 때 로컬 방전 처리가 수행될 수 있고, 마스크층은 기판 위에 전체로서 형성될 필요는 없다.
- <411> 도전층들(1515, 1516, 1517)은 마스크층들(1513, 1514)이 제거된 후에 도전 물질을 포함하는 구성물을 방전시킴으로써 형성된다. 이어서, N 타입 반도체층은 N 타입 반도체층을 형성하기 위해 마스크들로서 도전층들(1515, 1516, 1517)을 사용하여 패턴화된다(도 24d 참조). 도전층들(1515, 1516, 1517)이 게이트 절연층(1505)과 접촉되는 위치에서 광촉매 재료 등을 선택적으로 형성하기 위해 상술한 프리베이스 처리는 도시되지는 않지만 도전층들(1515, 1516, 1517)을 형성하기 전에 수행될 수 있다. 따라서, 도전층은 적층된 상부 및 하부 층들과의 양호한 접착성을 가지며 형성될 수 있다.
- <412> 이어서, 도전층(또한, 제 1 전극이라 함)(1506)은 소스 배선층 또는 드레인 배선층으로서 기능하는 도전층(1517)과 접촉되도록 게이트 절연막 상에서 도전 물질을 포함하는 구성물을 선택적으로 방전시킴으로써 형성된다. 도전층(1506)은 ITO, ITSO, ZnO, SnO₂ 등을 포함하는 구성물의 미리 정해진 패턴을 형성함으로써 그리고 광이 기판(1500) 측으로부터 방출될 때 또는 광 투과성 EL 디스플레이 패널이 제조될 때 그것을 베이킹함으로써 형성될 수 있다. 도시되지는 않았지만, 광촉매 재료의 형성과 같은 프리베이스 처리가 도전층(1506)이 형성되는 영역에서 도전층들(1502, 1503)을 형성하는 경우와 유사하게 수행될 수 있다. 프리베이스 처리는 접착성을 향상 시킬 수 있으며, 도전층(1506)은 얇은 라인이 되는 원하는 패턴으로 형성될 수 있다. 도전층(1506)은 화소 전극으로서 기능하는 제 1 전극이 된다.
- <413> 또한, 소스 배선층 또는 드레인 배선층인 도전층(1516) 및 게이트 전극층인 도전층(1503)은 게이트 절연층(1505)에 형성된 관통 홀(1518)에서 서로 전기적으로 접속된다. 주 성분으로 Ag(은), Au(금), Cu(구리), W(텅스텐), 또는 Al(알루미늄)과 같은 금속 입자를 포함하는 구성물은 도전층을 형성하기 위한 도전 물질로서 사용될 수 있다. 또한, ITO, ITSO, 유기 인듐, 유기주석 화합물, 아연 산화물, 티타늄 질화물 등이 조합하여 사용될 수 있다.
- <414> 관통 홀(1518)을 형성하는 단계는 도전층들(1515, 1516, 1517, 1506)을 형성한 후에 마스크들로서 도전층들(1515, 1516, 1517, 1506)을 사용하여 수행될 수 있다. 그 후, 도전층은 관통 홀(1518)에서 형성되고, 게이트 전극층으로서 도전층(1503) 및 도전층(1516)은 서로 전기적으로 접속된다.
- <415> 이어서, 구획 벽인 절연층(1520)이 형성된다. 도시되지는 않았지만, 실리콘 질화물 또는 실리콘 질화 산화물로 형성된 보호층이 박막 트랜지스터를 커버하도록 절연층(1520) 아래에 전체로서 형성될 수 있다. 오프닝은 절연층이 스펀 코팅 방법 또는 디핑 방법에 의해 전체로서 형성된 후에 에칭 처리에 의해 도 25b에 도시된 바와 같이 절연층(1520)에 형성된다. 에칭 처리는 절연층(1520)이 액적 토출법에 의해 형성될 때 필수적으로 수행되는 것은 아니다. 절연층(1520)과 같은 넓은 영역이 액적 토출법에 의해 형성될 때, 액적 토출 장치에서 노즐들의 복수의 방전 오프닝들로부터 구성물을 방전하여 형성함으로써 그리고 복수의 라인들이 서로 중첩되도록 드로잉 함으로써 처리량이 향상된다.
- <416> 절연층(1520)은 제 1 전극으로서 도전층(1506)에 따라 화소가 형성되는 위치에 대응하는 관통 홀을 갖도록 형성된다.
- <417> 상술한 단계들에 의해, 바텀 게이트 타입(또한, 역으로 엇갈린 타입이라 함) 채널 보호형 TFT와 도전층(제 1 전극층)(1506)이 기판(1500) 위에 접속되는 TFT 기판이 완성된다.
- <418> 제 1 전극으로서 도전층(1506) 위의 도전층(1522) 및 전기발광층(1521)을 적층함으로써, 발광 소자를 사용하여 디스플레이 기능을 갖는 디스플레이 장치가 완성된다(도 25b 참조).
- <419> 상술한 바와 같이, 상기 단계는 포토 마스크를 사용하여 광 노출 단계를 적용하지 않음으로써 본 실시예 모드에서 생략될 수 있다. 또한, EL 디스플레이 패널은 1000mm 이상의 측(side)을 갖는 5번째 또는 그 다음 생성물의 유리 기판이 사용되는 경우에도 액적 토출법에 의해 기판 위에 다양한 패턴들을 직접 형성함으로써 용이하게 제조될 수 있다.

- <420> 또한, 접착성 및 필링 저항이 향상되고 상당히 신뢰할 수 있는 디스플레이 장치가 제조될 수 있다.
- <421> [실시예 모드 10]
- <422> 본 발명의 실시예 모드가 도 26a 내지 도 27을 참조하여 설명된다. 본 실시예 모드는 박막 트랜지스터 및 제 1 전극이 상이하게 접속된다는 점에서 실시예 모드 7과 다르다. 그러므로, 동일한 부분이나 유사한 기능을 갖는 부분에 대한 설명은 생략된다.
- <423> 접착성을 향상시키기는 기능을 갖는 베이스막(1601)은 기판(1600) 위에 형성된다(도 26a). 절연층은 기판(1600) 위에 형성될 수 있다. 이 절연층은 필수적으로 제공되지는 않지만, 기판(1600)으로부터 오염물질 등을 차단시키는 효과를 갖는다. 본 실시예 모드에서와 같이 엿갈린 박막 트랜지스터를 사용하는 경우에, 베이스층은 반도체 층이 기판과 직접 접촉하므로 효과적이다. 유리 기판으로부터 오염물질을 차단하기 위해 베이스층을 형성하는 경우에, 베이스막(1601)은 액적 방법 방법에 의해 도전층들(1615, 1616, 1617)의 형성 영역들에서 선처리로서 형성된다.
- <424> 본 실시예 모드에서, 광촉매 기능을 갖는 재료는 접착성을 향상시키기 기능을 갖는 베이스막(1601)으로서 사용된다.
- <425> 본 실시예 모드에서, 스퍼터링 법에 의해 광촉매 재료로서 미리 정해진 결정 구조를 갖는 TiO_x 결정을 형성하는 경우가 설명된다. 스퍼터링은 타깃으로서의 금속 티타늄 투브, 아르곤 가스 및 산소를 사용하여 수행된다. 또한, He가스가 도입될 수 있다. 높은 광촉매 활성을 갖는 TiO_x를 형성하기 위해, 많은 산소를 포함하는 분위기가 다소 고압으로 이용된다. 또한, TiO_x는 바람직하게는 소자가 형성되는 기판 또는 중착 챔버를 가열시키는 동안 형성된다.
- <426> 이런 식으로 형성된 TiO_x는 아주 얇은 막 형태로도 광촉매 기능을 갖는다.
- <427> Ti(티타늄), W(텅스텐), Cr(크롬), Ta(탄탈륨), Ni(니켈), Mo(몰리브덴), 또는 그것의 산화물과 같은 금속 물질로 형성된 베이스막(1601)을 형성하는 것이 바람직하다. 베이스막(1601)은 0.01 내지 10nm의 두께로 형성되고, 아주 얇게 형성되는 한 층 구조를 가질 필요는 없다. 베이스막과 같이 높은 용융점 물질을 사용하는 경우에, 소스 배선층들 또는 드레인 배선층들이 되도록 도전층들(1615, 1616, 1617)을 형성한 후에 다음 두 개의 단계를 중 하나를 수행함으로써 표면 상에 노출된 베이스막을 처리하는 것이 바람직하다.
- <428> 제 1 방법은 소스 배선층 또는 드레인 배선층인 도전층들(1615, 1616, 1617)과 중첩되지 않는 베이스막(1601)을 절연시키고 절연층을 형성하는 단계이다. 달리 말해서, 소스 배선층 또는 드레인 배선층인 도전층들(1615, 1616, 1617)과 중첩하지 않는 베이스막(1601)은 산화 및 절연될 때, 베이스막(1601)을 0.01 내지 10nm의 두께로 형성하는 것이 바람직하고, 그에 따라 베이스막은 쉽게 산화될 수 있다. 산화는 산소 분위기에 노출시키거나 열처리에 의해 수행될 수 있다는 것에 유의하자.
- <429> 제 2 방법은 소스 배선층들 또는 드레인 배선층들인 도전층들(1615, 1616, 1617)을 마스크로서 사용하여 에칭함으로써 베이스막(1601)을 제거하는 단계이다. 이 단계가 사용될 때, 베이스막(1601)의 두께에는 제한이 없다.
- <430> 대안으로, 형성 영역(형성 표면) 상에서 플라즈마 처리를 수행하는 방법이 또 다른 프리베이스 처리로서 사용될 수 있다. 플라즈마 처리는 수십 Torr 내지 1000Torr(133000Pa)의 압력, 바람직하게는 100Torr(13300Pa) 내지 1000Torr(133000Pa)의 압력, 보다 바람직하게는 700Torr(93100 Pa) 내지 800Torr(106400Pa), 즉 대기압 또는 대기압 근방의 압력으로, 처리 가스로서 사용되는 공기, 산소, 또는 질소로 수행되고, 펄스 전압이 이러한 조건들 하에서 이용된다. 이때에, 플라즈마 밀도는 소위 코로나 방전 또는 글로우 방전이 달성되도록 1×10^{10} 내지 $1 \times 10^{14} \text{ m}^{-3}$ 으로 설정된다. 처리 가스로서 공기, 산소, 또는 질소를 사용하여 플라즈마 처리를 이용함으로써 물질에 의존하지 않고 표면 변형이 수행될 수 있다. 따라서, 표면 변형은 임의의 물질에 대해 수행될 수 있다.
- <431> 또 다른 방법으로서, 접착제로서 기능하는 유기 물질이 액적 토출법에 의해 형성될 패턴 및 그 형성 영역 사이의 접착성을 향상시키도록 형성될 수 있다. 유기 물질(유기 수지 물질)(폴리이미드 또는 아크릴), 및 골격 구조가 실리콘(Si)과 산소(O)의 결합에 의해 구성되고, 치환기로서 적어도 수소를 포함하며, 플루오르, 알킬족, 및 방향족 탄화수소 중 적어도 하나를 치환기로서 포함하는 물질이 사용될 수 있다.
- <432> 이어서, 도전 물질을 포함하는 구성물이 방전되고, 소스 배선층들 또는 드레인 배선층들인 도전층들(1615, 1616, 1617)이 형성된다. 이를 도전층들(1615, 1616, 1617)은 액적 토출법에 의해 형성된다.

- <433> 도전층들(1615, 1616, 1617)을 형성하기 위해 사용되는 도전 물질로서, Ag(은), Au(금), Cu(구리), W(텅스텐), 및 Al(알루미늄)과 같은 금속 입자를 주 성분으로서 포함하는 구성물이 사용될 수 있다. 특히, 바람직하게는 저항이 낮은 소스 배선층 또는 드레인 배선층은 저항성을 고려하여 용액에서 분해 또는 용해되는 금, 은, 구리 중 임의의 하나를 사용하여 형성된다. 보다 바람직하게는, 저항이 낮은 은 및 구리가 사용된다. 또한, 또 다른 도전 물질로 도전 물질 주변을 코팅함으로써 복수의 층들을 갖는 입자가 사용될 수 있다. 예를 들어, 구리 주변이 니켈 붕화물(NiB)으로 코팅되고 그 위가 은으로 코팅되는 3층 구조를 갖는 입자가 사용될 수 있다. 이러한 용매들에 대해서, 부틸 아세테이트와 같은 에스테르들, 이소프로필 알코올과 같은 알코올들, 아세톤과 같은 유기 용매들 등이 사용될 수 있다. 표면 장력과 점성은 용매의 농도를 제어하고 계면 활성제를 부가함으로써 적절히 제어된다.
- <434> 상술한 베이스막(1601)을 형성하는 단계는 액적 토출법에 의해 형성된 도전층에 대한 프리베이스 처리로서 수행되지만, 이 처리는 도전층들(1615, 1616, 1617)을 형성한 후 수행될 수 있다. 예를 들어, 도시되지는 않았지만, 티타늄 산화막 및 N 타입 반도체층을 형성함으로써, 도전층과 N 타입 반도체층 사이의 접착력을 향상된다.
- <435> 도전층들(1615, 1616, 1617)의 전체 표면 위에 N 타입 반도체층을 형성한 후에, 도전층들(1615, 1617) 사이 및 도전층들(1616, 1617) 사이에 제공된 N 타입 반도체층은 레지스트 및 폴리아미드와 같은 절연체로 형성된 마스크층들(1611, 1612, 1619)을 사용하여 예칭함으로써 제거된다. 1 도전율을 갖는 반도체층은 필요에 따라 형성될 수 있다. 이어서, AS 또는 SAS으로 형성된 반도체층(1607)은 증기 위상 방법 또는 스퍼터링 법에 의해 형성된다. 플라즈마 CVD 법을 사용하는 경우에, AS는 SiH₄ 및 H₂의 혼합 가스 및 반도체 물질 가스로서 SiH₄를 사용하여 형성된다. SAS는 SiH₄가 3 내지 1000배까지 H₂로 희석되는 혼합 가스로 형성된다. SAS가 상기한 종류의 가스로부터 형성될 때, 반도체층은 그 표면측 상에서 양호한 결정성을 갖는다. SAS는 게이트 전극이 반도체층의 상부층에 형성되는 탑 게이트 타입 TFT용으로 적합하다.
- <436> 이어서, 게이트 절연층(1605)은 플라즈마 CVD 법 또는 스퍼터링 법에 의해 단일 층 또는 적층 구조로 형성된다(도 26b 참조). 실리콘 질화물로 형성된 절연층, 실리콘 산화물로 형성된 절연층, 및 실리콘 질화물로 형성된 절연층의 3개의 층들의 적층이 특별히 바람직한 구조이다.
- <437> 다음으로, 게이트 전극층들로서 도전층들(1602, 1603)이 액적 토출법에 의해 형성된다(도 26c 참조). 주성분으로서 As, Au, Cu, W, 또는 Al와 같은 입자를 포함하는 구성물은 게이트 전극층들(1602, 1603)을 형성하기 위한 도전 물질로서 사용될 수 있다.
- <438> 반도체층(1607) 및 게이트 절연층(1605)은 액적 토출법에 의해 형성된 마스크층들(1613, 1614)을 사용하는 소스 배선층들 및 드레인 배선층들(도전층들(1615, 1616, 1617))에 대응하는 위치에 형성된다. 달리 말해서, 반도체층 및 게이트 절연층은 도전층들(1615, 1616) 위에 스트래들(straddle)하도록 형성된다.
- <439> 이어서, 도전층들(1630, 1631)은 액적 토출법에 의해 형성되고, 도전층(1616)과 도전층(1603)에 전기적으로 접속된다.
- <440> 이어서, 도전층(또는, 제 1 전극으로 칭함)(1606)은 도전층(1631)을 접촉시키기 위해 도전 물질을 포함하는 구성물을 선택적으로 방전함으로써 형성된다. 대안으로, 도전층(1606)은 도전층(1617)과 직접 접촉하는 구조를 가질 수 있다. 도전층(1606)은 ITO, ITSO, ZnO, SnO₂, 등을 포함하는 구성물의 미리 정해진 패턴으로 그리고 광이기판(1600) 측으로부터 방출되거나 광 투과성 EL 디스플레이 패널이 제조될 때 그것을 베이킹함으로써 형성된다. 도시되지는 않았지만, 광축매 재료는 도전층(1606)이 도전층들(1615, 1616, 1617)을 형성하는 경우에 유사하게 형성되는 영역에 형성될 수 있다. 광축매 재료로, 접착성이 향상되고, 도전층(1606)은 원하는 얇은 라인으로 되는 원하는 얇은 패턴으로 형성될 수 있다. 이 도전층(1606)은 화소 전극으로서 기능하는 제 1 전극이 된다.
- <441> 소스 배선층 또는 드레인 배선층 및 게이트 전극층은 도전층(1630)을 사용하지 않고 게이트 전극층을 통해 직접 접속된다. 이 경우에, 관통 훌은 게이트 절연층(1605) 내에 형성되고, 소스 배선 또는 드레인 배선들인 도전층들(1616, 1617)의 일부는 게이트 전극층들(1602, 1603)이 형성되기 전에 노출된다. 그 후에, 도전 게이트 전극층들(1602, 1603) 및 도전층(1631)은 액적 토출법에 의해 형성된다. 이때에, 게이트 전극층(1603)은 도전층(1630)으로서 또한 기능하는 배선이고, 도전층(1616)에 접속된다. 건식 예칭 또는 습식 예칭이 예칭용으로 이용될 수 있지만, 건식 예칭인 플라즈마 예칭이 보다 바람직하다.
- <442> 이어서, 구획 벽인 절연층(1620)이 형성된다. 도시되지는 않았지만, 실리콘 질화물 또는 실리콘 질화 산화물로

형성된 보호층이 박막 트랜지스터를 커버하기 위해 절연층(1620) 아래에 전체로서 형성될 수 있다. 오프닝은 절연층이 스펀 코팅 방법 또는 디핑 방법에 의해 전체로서 형성된 후에 에칭 처리에 의해 도 27에 도시된 바와 같이 절연층(1620)에 형성된다. 에칭 처리는 절연층(1620)이 액적 토출법에 의해 형성될 때 필수적으로 수행되지는 않는다. 절연층(1620)과 같은 넓은 영역이 액적 토출법에 의해 형성될 때, 처리량은 액적 토출 장치 내의 노즐들의 복수의 방전 오프닝들로부터 구성물을 방전시키고, 복수의 라인들이 서로 중첩되도록 드로잉하여 형성함으로써 향상된다.

<443> 절연층(1620)은 제 1 전극으로서 도전층(1606)에 따라 화소가 형성되는 위치에 대응하는 관통 홀을 갖도록 형성된다.

<444> 상술한 단계들에 의해, TFT 기판은 탑 게이트 타입(또한 엇갈린 타입) TFT 및 도전층(1606)이 기판(1600) 위에 접속되어 완성된다.

<445> 절연층(1620) 및 그 표면에 흡수된 습기는 전기발광층(1621)을 형성하기 전에 대기압하에서 200°C로 열처리를 수행함으로써 제거된다. 또한, 열처리는 감소된 압력 하에서 200 내지 400°C, 바람직하게는 250 내지 350°C로 수행되고, 전기발광층(1621)은 바람직하게는 주변 공기에 노출되지 않고 감소된 압력 하에서 진공 증기 증착 방법 또는 액적 토출법에 의해 형성된다.

<446> 전기발광층(1621) 및 도전층(1622)을 제 1 전극으로서 도전층(1606) 위에 적층함으로써, 발광 소자를 사용하여 디스플레이 기능을 갖는 디스플레이 장치가 완성된다(도 27 참조).

<447> 상술한 바와 같이, 상기 단계는 포토 마스크를 사용하는 광 노출 단계를 사용하지 않음으로써 본 실시예 모드에서 생략될 수 있다. 또한, EL 디스플레이 패널은 1000mm 이상의 측(side)을 갖는 5번재 또는 그 다음 생성물의 유리 기판이 사용되는 경우에도 액적 토출법에 의해 기판 위에 다양한 패턴들을 직접 형성함으로써 용이하게 제조될 수 있다.

<448> 또한, 접착성 및 필링 저항이 향상되는 상당히 신뢰할 수 있는 디스플레이 장치가 제조될 수 있다.

[실시예 11]

<450> 본 발명의 실시예 모드가 도 28a 내지 도 29b를 참조하여 설명된다. 본 실시예 모드는 도전층(805)을 통과하는 배선층으로서의 도전층(816) 및 게이트 전극층으로서의 도전층(803)이 상이하게 접속된다는 점에서 실시예 모드 1과 다르다. 그러므로, 동일한 부분 및 유사한 기능을 갖는 부분에 대한 설명은 생략된다.

<451> 접착성을 향상시키기 위한 베이스막(1701)이 기판(1700) 위에 형성된다(도 28a 참조). 절연층이 기판(1700) 위에 형성될 수 있음에 유의해야 한다.

<452> 본 실시예 모드에서, 광촉매 기능을 갖는 재료는 접착성을 향상시키는 기능을 갖는 베이스막(1701)으로서 사용된다.

<453> 스퍼터링 법에 의해 광촉매 재료로서 미리 정해진 결정 구조를 갖는 TiO_x 결정을 형성하는 경우가 설명된다. 스퍼터링은 타깃으로서의 금속 티타늄 투브, 아르곤 가스 및 산소를 사용하여 수행된다. 또한, He가스가 도입될 수 있다. 분위기는 많은 산소를 포함하고, 형성 압력은 높은 광촉매 활성을 갖는 TiO_x를 형성하기 위해 높게 설정된다. 또한, TiO_x는 바람직하게는 처리될 대상이 형성되는 기판 또는 증착 챔버를 가열시키는 동안 형성된다.

<454> 그러므로, 형성된 TiO_x는 아주 얇은 막 형태로도 광촉매 기능을 갖는다.

<455> 프리베이스 처리로서 스퍼터링 법 또는 증기 증착 방법 등에 의해 Ti(티타늄), W(텅스텐), Cr(크롬), Ta(탄탈륨), Ni(니켈), Mo(몰리브덴), 또는 그것의 산화물과 같은 금속 물질을 사용하여 베이스막(1701)을 형성하는 것이 바람직하다. 베이스막은 0.01 내지 10nm의 두께로 형성되고, 아주 얇게 형성되는 한 층 구조를 가질 필요는 없다. 베이스막과 같이 높은 용융점 물질을 사용하는 경우에, 게이트 전극층들이 되도록 도전층들(1702, 1703)을 형성한 후에 다음 두 개의 단계들 중 하나를 수행함으로써 표면 상에 노출된 베이스막을 처리하는 것이 바람직하다.

<456> 제 1 방법은 절연층을 형성하기 위해 도전층들(1702, 1703)과 중첩되지 않는 베이스막(1701)을 절연시키고 절연층을 형성하는 단계이다. 달리 말해서, 도전층들(1702, 1703)과 중첩하지 않는 베이스막(1701)은 산화 및 절연된다. 베이스막(1701)이 이런 식으로 산화 및 절연될 때, 베이스막(1701)을 0.01 내지 10nm의 두께로 형성하는 것이 바람직하고, 그에 따라 베이스막은 쉽게 산화될 수 있다. 산화는 산소 분위기에 노출시키거나 열처리에 의해 수행될 수 있다.

- <457> 제 2 방법은 도전층들(1702, 1703)을 마스크로서 사용하여 에칭함으로써 베이스막(1701)을 제거하는 단계이다. 이 단계가 사용될 때, 베이스막(1701)의 두께에는 제한이 없다.
- <458> 대안으로, 형성 영역(형성 표면) 상에서 플라즈마 처리를 수행하는 방법은 또 다른 프리베이스 처리로서 사용될 수 있다. 플라즈마 처리는 수십 Torr 내지 1000Torr(13300Pa)의 압력, 바람직하게는 100Torr(13300Pa) 내지 1000Torr(13300Pa)의 압력, 보다 바람직하게는 700Torr(93100Pa) 내지 800Torr(106400Pa)의 압력으로, 즉 대기압 또는 대기압 근방의 압력으로, 처리 가스로서 사용되는 공기, 산소, 또는 질소로 수행되고, 펄스 전압이 이러한 조건들 하에서 사용된다. 이때에, 플라즈마 밀도는 소위 코로나 방전 또는 글로우 방전이 달성되도록 1×10^{10} 내지 $1 \times 10^{14} \text{ m}^{-3}$ 으로 설정된다. 처리 가스로서 공기, 산소, 또는 질소를 사용하여 플라즈마 처리를 이용함으로써 물질에 의존하지 않고 표면 변형이 수행될 수 있다. 따라서, 표면 변형은 임의의 물질에 대해 수행될 수 있다.
- <459> 또 다른 방법으로서, 접착제로서 기능하는 유기 물질이 액적 토출법에 의해 형성될 패턴과 그의 형성 영역 사이의 접착성을 향상시키도록 형성될 수 있다. 유기 물질(유기 수지 물질)(폴리이미드 또는 아크릴) 또는 골격 구조가 실리콘(Si)과 산소(O)의 결합으로 구성되고, 치환기로서 적어도 수소를 포함하거나 치환제로서 플루오르, 알킬족 및 방향족 탄화수소를 포함하는 물질이 사용될 수 있다.
- <460> 이어서, 도전 물질을 포함하는 구성물은 방전되고, 소스 배선층들 또는 드레인 배선층들인 도전층들(1702, 1703)이 형성된다. 이들 도전층들(1702, 1703)은 액적 토출법에 의해 형성된다.
- <461> 필러(pillar)로서 기능하는 도체(1704)는 도전층(1703)이 형성된 후에 도전 물질을 포함하는 구성물을 국부적으로 방전함으로써 형성된다. 도체(1704)는 바람직하게는 하부층 내의 패턴 및 상부층 내의 패턴이 원통형 도체(1704)가 사용될 때 서로 쉽게 접촉하도록 방전된 구성물을 증착시킴으로써 원통형으로 형성된다. 도체(1704)는 도전층(1703)의 물질과 동일한 물질로 형성되거나 다른 물질로 형성될 수 있다. 그것은 적층될 구성물을 방전시킴으로써 형성될 수 있다.
- <462> 도전층(1703)이 형성된 후에, 상술한 프리베이스 처리가 접착성을 다시 향상시키기 위해 도전층(1703) 상에 수행될 수 있다. 또한, 필러가 될 도체(1704)가 형성된 후에, 유사하게 프리베이스 처리를 수행하는 것이 바람직하다. 층들은 TiO_x와 같은 광촉매 재료를 형성하는 것과 같은 프리베이스 처리가 수행될 때 양호한 접착성을 가질 수 있다.
- <463> 이어서, 게이트 절연막이 도전층들(1702, 1703) 위에 형성된다(도 28a 참조).
- <464> 이어서, 도전층(또는, 제 1 전극이라 함)(1706)은 게이트 절연막 상에서 도전 물질을 포함하는 구성물을 선택적으로 방전시킴으로써 형성된다(도 28b 참조). 도시되지는 않았지만, 광촉매 재료는 도전층(1706)이 형성되는 영역에 도전층들(1702, 1703)을 형성하는 경우와 유사하게 형성될 수 있다. 광촉매 재료는 접착성을 향상시키며, 도전층(1706)은 얇은 라인인 원하는 패턴으로 형성될 수 있다. 도전층(1706)은 화소 전극으로서 기능하는 제 1 전극이 된다.
- <465> 비정질 반도체는 본 실시예 모드에서 반도체로서 사용된다. 비정질 반도체 층인 반도체층이 형성되고, 절연막은 예컨대 플라즈마 CVD 법에 의해 형성되고, 채널 보호막들(1709, 1710)을 형성하기 위해 원하는 영역에서 원하는 모양을 갖도록 선택적으로 예칭된다. 이때에, 채널 보호막들(1709, 1710)은 마스크로서 게이트 전극을 사용하여 기판 후면을 광에 노출시킴으로써 형성된다. 또한, 폴리이미드, 폴리비닐 알코올 등이 액적 토출법에 의해 채널 보호막으로서 드롭(drop)될 수 있다. 결국, 노출 단계가 생략될 수 있다. 그 후에, 1 도전율을 갖는 반도체층, 예컨대 N 타입 비정질 반도체층을 이용하는 N 타입 반도체층(1708)이 플라즈마 CVD 법 등에 의해 형성된다(도 28c 참조). 1 도전율을 갖는 반도체층은 필요에 따라 형성될 수 있다.
- <466> 이어서, 레지스트 또는 폴리이미드와 같은 절연체로 형성된 마스크층들(1711, 1712)이 형성되고, 반도체층(1707) 및 N 타입 반도체층(1708)은 마스크층들(1711, 1712)을 사용하여 동시에 패턴화된다.
- <467> 본 실시예 모드에서, 필러로서 기능하는 도체(1704)에 의해 게이트 전극층인 도전층(1703)에 접속되는 도체는 게이트층(1705)을 관통하고, 게이트 절연층(1705) 상에 존재한다. 그러므로, 게이트 절연층에서 관통홀을 오픈하는 단계가 생략될 수 있다.
- <468> 도전층들(1715, 1716, 1717)은 도전 물질을 포함하는 구성물을 방전시킴으로써 형성된다. 이어서, N 타입 반도체 층은 마스크들로서 도전체들(1715, 1716, 1717)을 사용하여 패턴화된다. 광촉매 재료는 도시되지는 않았지만 도전층들(1715, 1716, 1717)을 형성하기 전에 도전층들(1715, 1716, 1717)이 게이트 절연층(1705)에 접촉하는 위치에서

선택적으로 형성될 수 있다는 것에 유의하자. 따라서, 도전층은 양호한 접착성을 가지며 형성될 수 있다.

<469> 도전층(1717)은 소스 배선층 또는 드레인 배선층으로서 기능하고, 제 1 전극 형성 전에 전기적으로 접속되도록 형성된다. 소스 배선층 또는 드레인 배선층인 도전층(1716)은 도체(1704)를 통해 게이트 전극층인 도전층(1703)에 전기적으로 접속될 수 있다(도 29a 참조). 절연층 등이 필러로서 기능하는 도체(1704) 위에 남게되고, 이것은 예정 등에 의해 제거될 수 있다.

<470> 이어서, 구획 벽인 절연층(1720)이 형성된다.

<471> 절연층(1720)은 제 1 전극인 도전층(1706)에 따라 화소가 형성되는 위치에 대응하는 관통 홀을 갖도록 형성된다.

<472> 상술한 단계들에 의해, 바텀 게이트 타입(또는 역으로 역갈림된 타입) 채널 보호형 TFT 및 제 1 전극(제 1 전극 층)이 기판(1700) 위에 접속된 EL 디스플레이 패널용 TFT 기판이 완성된다.

<473> 전기발광층(1721) 및 도전층(1722)은 제 1 전극인 도전층(1706) 위에 적층되고, 이어서, 발광 소자를 사용하는 디스플레이 기능을 가는 디스플레이 장치가 완성된다(도 29b 참조).

<474> 상술한 바와 같이, 상기 단계는 포토 마스크를 사용하는 광 노출 단계를 적용하지 않음으로써 본 실시예 모드에서 생략될 수 있다. 또한, EL 디스플레이 패널은 1000mm 이상의 측을 갖는 5번재 또는 그 다음 생성물의 유리 기판이 사용되는 경우에도 액적 토출법에 의해 기판 위에 다양한 패턴들을 직접 형성함으로써 용이하게 제조될 수 있다.

<475> 또한, 접착성 및 필링 저항이 향상되는 상당히 신뢰할 수 있는 디스플레이 장치가 제조될 수 있다. 본 실시예 모드에서 관통 홀에 대해 필러를 사용하는 접속 방법은 위의 실시예 모드들과 조합하여 자유롭게 구현될 수 있다.

<476> [실시예 모드 12]

<477> 본 발명을 적용하여 박막 트랜지스터가 형성될 수 있고, 디스플레이 장치는 박막 트랜지스터를 사용하여 형성될 수 있다. 디스플레이 소자로서 발광 소자를 사용하는 경우 및 발광 소자를 구동시키기 위해 트랜지스터로서 N 타입 트랜지스터를 사용하는 경우에, 발광 소자로부터 방출된 광은 바텀 방출, 탑 방출, 및 이중 방출 중 어느 하나이다. 여기서, 임의의 경우를 위한 발광 소자의 적층 구조는 도 30a 내지 도 30c를 참조하여 설명된다.

<478> 본 발명을 적용함으로써 실시예 모드 1에서 형성된 채널 보호형 박막 트랜지스터인 트랜지스터(1851)가 본 실시예 모드에서 사용된다.

<479> 우선, 기판(1850) 측에 광이 방출되는 경우는 바텀 방출의 경우, 즉 바텀 방출의 경우는 도 30a를 참조하여 설명된다. 이 경우에, 소스 배선 또는 드레인 배선(1852, 1853), 제 1 전극(1854), 전기발광층(1855), 및 제 2 전극(1856)은 트랜지스터(181)에 전기 접속되도록 연속으로 적층된다. 다음으로, 광이 기판(1850)의 반대측에 방출되는 경우, 즉 탑 방출의 경우가 도 30b를 참조하여 설명된다. 소스 배선 또는 드레인 배선(1861, 1862), 제 1 전극(1863), 전기발광층(1864), 및 제 2 전극(1865)은 트랜지스터(1851)에 전기 접속되도록 연속으로 적층된다. 제 1 전극(1863)이 광을 방출하는 경우에도, 광은 배선(1862)에 의해 반사되고, 상기 구조에서 기판(1850)에 대해 반대측에 방출된다. 광 투과 물질은 이 구조에서 제 1 전극(1863)에 의해 사용될 필요가 없음에 유의하자. 마지막으로, 광이 기판(1850) 측 및 그 반대측에 방출되는 경우, 즉 이중 방출의 경우가 도 30c를 참조하여 설명된다. 소스 배선 또는 드레인 배선(1870, 1871), 제 1 전극(1872), 전기발광층(1873), 및 제 2 전극(1874)은 트랜지스터(1851)에 전기 접속되도록 연속으로 적층된다. 이 경우에, 이중 방출은 제 1 전극(1872)과 제 2 전극(1874) 둘 모두가 광 투과 물질로 형성되거나 광을 전달하기에 충분히 얇게 형성될 때 구현된다.

<480> 발광 소자는 전기발광층이 제 1 전극과 제 2 전극 사이에서 샌드위치되는 구조를 갖는다. 이것은 일함수(work function)를 고려하여 제 1 전극과 제 2 전극의 물질들을 선택하는 것을 필요로 한다. 제 1 전극과 제 2 전극 둘 모두는 화소 구조에 의존하는 애노드 또는 캐소드일 수 있다. 구동 TFT의 극성이 본 실시예 모드에서 N 채널 형이므로, 제 1 전극은 바람직하게는 캐소드이고, 제 2 전극은 바람직하게는 애노드이다. 구동 TFT의 극성이 P 채널형일 때, 제 1 전극은 바람직하게는 애노드이고, 제 2 전극은 바람직하게는 캐소드이다.

<481> 제 1 전극이 애노드일 때, 전기발광층은 바람직하게는 애노드 측으로부터 HIL(홀 주입층), HTL(홀 전달층), EML(발광층), ETL(전자 전달층), 및 EIL(전자 주입층)을 연속으로 적층함으로써 형성된다. 제 1 전극이 캐소드일 때, 전기발광층의 구조는 역이 된다. 바람직하게는, EIL(전자 주입층), ETL(전자 전달층), EML(발광층),

HTL(홀 전달층), HIL(홀 전달층), 및 캐소드 층으로부터 제 2 전극인 애노드를 연속으로 적층하는 것이 바람직하다. 전기발광층은 적층 구조뿐만 아니라 단일층 구조 또는 조합된 구조를 가질 수 있다.

<482> 적색(R), 녹색(G) 및 청색(B)의 발광을 보이는 물질들 각각의 증기 증착 마스크들 등을 사용하는 증기 증착 방법 등에 의해 전기발광층으로서 선택적으로 형성될 수 있다. 적색(R), 녹색(G) 및 청색(B)의 발광을 보이는 물질들(저분자 무게 또는 고분자 무게 물질 등)은 액적 토출법에 의해 형성될 수 있고, 바람직하게는 컬러 필터와 유사하게 마스크를 사용하지 않는 경우에 R,G,B의 컬러링이 개별적으로 수행될 수 있다.

<483> 특히, CuPc 또는 PEDOT가 HIL로서 사용되고, α -NPD가 HTL로서 사용되며, BCP 또는 Alq₃가 ETL로서 사용되고, BCP:Li 또는 CaF₂가 EIL로서 각각 사용된다. 또한, R,G,B의 각 발광 컬러들(R의 경우에는 DCM, G의 경우에는 DMQD 등)에 대응하는 도편트(dopant)로 도핑되는 Alq가 예컨대 EML로서 사용될 수 있다.

<484> 전기발광층은 상기 물질에 제한되지 않는다. 예를 들어, 홀 주입 특성은 CuPc 또는 PEDOT를 사용하는 대신에 α -NPD 또는 루브렌(rubrene) 및 몰리브덴 산화물(MoO_x: x=2 내지 3)과 같은 공동 증착 산화물(co-evaporating oxide)에 의해 향상될 수 있다. (저분자 무게 물질 또는 고분자 무게 물질을 포함하는)유기 물질 또는 유기 물질과 무기 물질의 조합 물질이 전기발광층의 물질로서 사용될 수 있다.

<485> 또한, 컬러 필터는 도 30a 내지 도 30c에 도시되어 있지는 않지만, 기판(1850)의 반대 기판 상에 형성될 수 있다. 컬러 필터는 액적 토출법에 의해 형성될 수 있고, 그 경우에, 포토플라즈마 처리가 상술한 프리베이스 처리로서 수행될 수 있다. 컬러 필터는 본 발명의 베이스막으로 인해 양호한 접착성을 갖는 원하는 패턴으로 형성될 수 있다. 고해상 디스플레이에는 컬러 필터를 사용하여 수행될 수 있다. 이것은 컬러 필터가 RGB의 각 방출 스펙트럼에서 샤프(sharp)하게 되도록 브로드 피크(broad peak)를 조정할 수 있다.

<486> RGB의 각각의 발광을 보이는 물질들을 형성하는 경우가 이하에서 설명되지만, 폴 컬러 디스플레이에는 단일 컬러의 발광을 보이는 물질을 형성하고 컬러 필터 또는 컬러 전환층을 갖는 상기 물질을 조합하여 사용함으로써 수행될 수 있다. 예컨대, 흰색 또는 오렌지색 발광을 보이는 전기발광층을 형성하는 경우에, 폴 컬러 디스플레이에는 컬러 필터, 컬러 전환층, 또는 컬러 필터와 컬러 전환층의 조합을 선택적으로 제공함으로써 수행될 수 있다. 예컨대, 컬러 필터 또는 컬러 전환층은 제 2 기판(설립 기판) 위에 형성될 수 있고, 이어서, 기판에 부착된다. 상술한 바와 같이, 단일 컬러의 발광을 보이는 물질, 컬러 필터 및 컬러 전환층은 모두 액적 토출법에 의해 형성될 수 있다.

<487> 단일 컬러 발광의 디스플레이가 수행될 수 있음을 말할 필요가 없다. 예컨대, 영역 컬러형 디스플레이 장치는 단일 컬러 발광을 사용하여 형성될 수 있다. 패시브 매트릭스 디스플레이부는 주로 텍스트와 기호들을 디스플레이할 수 있는 영역 컬러형에 적합하다.

<488> 낮은 일함수를 갖는 물질은 상기 구조에서 캐소드용으로 사용될 수 있으며, 예컨대 Ca, Al, CaF, MaAg, AlLi 등이 바람직하다. 전기발광층은 층들 간에 인터페이스를 갖지 않는 단일층형, 적층형, 및 혼합형 중 어느 하나일 수 있다. 다음의 물질들 중 어느 하나: 싱글렛 물질, 트리플렛 물질, 그것의 조합된 물질, 저분자 무게 물질, 고분자 무게 물질, 및 중간 분자 무게 물질을 포함하는 유기 물질, 전자 주입 특성이 우수한 몰리브덴 산화물에 의해 대표되는 무기 물질, 및 유기 물질과 무기 물질의 조합 물질이 사용될 수 있다. 제 1 전극들(1854, 1863, 1872)은 광을 방출하는 광 투과형 도전막, 예컨대 인듐 산화물이 ITO 또는 ITSO 뿐만 아니라 2 내지 20wt%의 ZnO와 혼합된 광 투과형 도전막을 사용하여 형성된다. 산소 분위기에서의 플라즈마 처리 또는 진공 분위기에서의 열 처리는 바람직하게는 제 1 전극들(1854, 1863, 1872)을 형성하기 전에 수행된다는 것에 유의하자. 구획 벽(또한, 백크라 함)은 실리콘을 포함하는 물질, 유기 물질, 또는 합성 물질을 사용하여 형성된다. 또한, 다공성 막이 사용될 수 있다. 바람직하게는, 그 층면이 곡선 반경이 연속으로 변하는 모양이 되고 상부층의 얇은 막이 브레이크 없이 형성되므로, 광감지 또는 아크릴 또는 폴리이미드와 같은 비광감지 물질을 사용함으로써 구획 벽을 형성한다는 것에 유의하자. 본 실시예 모드는 위의 실시예 모드와 조합하여 자유롭게 구현될 수 있다.

<489> [실시예 모드 13]

<490> 본 발명이 적용되는 디스플레이 장치의 한 모드인 패널의 형태가 도 31을 참조하여 설명된다.

<491> 도 31에 도시된 패널에서, 구동기 회로가 화소부(1951) 주변에 형성되는 구동기 IC는 COG(Chip On Glass) 방법에 의해 장착된다. 구동기 IC는 TAB(Tape Automated Bonding) 방법에 의해 실장될 수도 있음을 말할 필요가 없

다.

<492> 기판(1950)은 실링 물질(1952)과 함께 반대 기판(1953)에 고정된다. 화소부(1951)는 디스플레이 매체로서 EL 소자를 사용할 수 있다. 구동기 IC들(1955a, 1955b) 및 구동기 IC들(1957a, 1957b, 1957c)은 단결정 반도체를 사용하여 형성되는 접적 회로일 수 있고, 또는 폴리실리콘 반도체를 사용하여 제조되는 TFT를 사용하여 형성되는 등 가물일 수 있다. 신호 또는 전력은 FPCs(1954a, 1954b, 1954c)와 FPCs(1956a, 1956b)를 통해 각각 구동기 IC들(1955a, 1955b) 및 구동기 IC들(1957a, 1957b, 1957c)에 공급된다.

<493> [실시예 모드 14]

<494> EL TV 세트는 본 발명에 따라 형성된 디스플레이 장치를 사용하여 완성될 수 있다. 도 32는 EL TV 세트의 주요 구조를 도시하는 블록도이다. EL 디스플레이 패널은 스캔 라인 구동기 회로 및 신호선 구동기 회로가 화소부(1951) 상에 그리고 COG 방법에 의해 그 주변에 장착되는 경우에, 도 31에 도시된 바와 같은 구조로서 포함하고, 화소부만이 형성되고 스캔 라인 구동기 회로 및 신호선 구동기 회로는 TAB 방법에 의해 장착되며, TFT는 SAS를 사용하여 형성되고, 화소부와 스캔 라인 구동기 회로는 기판 위에 접적되며, 신호선 구동기 회로는 구동기 IC로서 개별적으로 장착되지만, 임의의 모드가 사용될 수 있다.

<495> 또 다른 외부 회로는 동조기(tuner)(2004)에 의해 수신된 신호들 중에서 비디오 신호를 증폭하는 비디오 신호 증폭기 회로(2005), 출력될 신호를 적색, 녹색 및 청색의 각 컬러에 대응하는 색차 신호(chrominance signal)로 전환시키는 비디오 신호 처리 회로(2006), 및 비디오 신호의 입력 측 상에서 구동기 IC 등에 입력되도록 비디오 신호를 전환하는 제어 회로(2007)로 구성될 수 있다. 제어 회로(2007)는 스캔 라인 측 및 신호선 측 둘 모두에 신호를 출력한다. 디지털 구동의 경우에, 신호 분주기 회로(signal divider circuit)(2008)는 신호선 측 상에 제공될 수 있고, 입력 디지털 신호가 m개의 부분들로 분할될 수 있어 공급될 수 있다.

<496> 동조기(2004)에 의해 수신된 신호들 중에서 오디오 신호는 오디오 신호 증폭기 회로(2009)에 전송되고, 오디오 신호 처리 회로(2010)를 통해 스피커(2013)에 공급된다. 제어 회로(2011)는 입력부(2012)로부터 수신국(수신 주파수) 또는 볼륨에 대한 제어 데이터를 수신하고, 그 신호를 동조기(2004) 및 오디오 신호 처리 회로(2010)에 전송한다.

<497> TV 세트는 도 33에 도시된 바와 같이 하우징(2101)에 이러한 외부 회로들을 포함하는 EL 모듈을 통합시킴으로써 완성될 수 있다. 디스플레이 스크린(2021)은 EL 디스플레이 모듈을 사용하여 형성되고, 스피커(2202), 동작 스위치(2024) 등은 부속 설비로서 제공될 수 있다. 이런 식으로, TV 세트가 본 발명에 따라 완성될 수 있다.

<498> 또한, 외부에서 들어오는 광의 반사된 광은 과형 플레이트(wave plate) 및 극성화 플레이트(polarizing plate)를 사용하여 차단될 수 있다. $\lambda/4$ 플레이트 또는 $\lambda/2$ 플레이트는 과형 플레이트로서 사용되고, 광을 제어할 수 있도록 설계될 수 있다. 모듈은 TFT 소자 기판, 발광 소자, 실링 기판(실링 물질), 과형 플레이트($\lambda/4$ 플레이트 또는 $\lambda/2$ 플레이트), 및 극성화 플레이트의 적층 구조를 가지며, 발광 소자로부터 방출된 광이 통과하고, 극성 플레이트 측 외부로 방출된다. 과형 플레이트 및 극성화 플레이트는 광이 방출되는 측 상에 제공될 수 있다. 두 측들에 광을 방출하는 이중 발광 디스플레이 장치의 경우에, 과형 플레이트 및 극성화 플레이트는 두 측들 상에 제공될 수 있다. 또한, 비반사 막이 극성화 플레이트 외부에 제공될 수 있다. 따라서, 고해상의 정확한 이미지가 디스플레이될 수 있다.

<499> EL 소자를 사용하는 디스플레이 패널(2102)은 하우징(2101)에 포함된다. 보통의 TV 방송은 수신기(2105)에 의해 수신될 뿐만 아니라, 단방향 데이터 통신(전송기에서 수신기로) 또는 양방향 데이터 통신(전송기와 수신기 사이 또는 수신기들 사이)은 모뎀(2104)을 통해 배선 없이 또는 배선을 가지고 통신 네트워크에 접속함으로써 달성을 될 수 있다. TV 세트는 하우징에 포함된 스위치 또는 개별적으로 제공되는 원격 제어 유닛(2106)에 의해 동작될 수 있고, 출력될 정보를 보여주는 디스플레이부(2107)는 원격 제어 유닛에 포함될 수 있다.

<500> 또한, TV 세트는 주 스크린(2103)에 부가하여, 채널들 또는 볼륨을 디스플레이할 수 있는 제 2 디스플레이 패널로 형성된 서브 스크린(2108)을 가질 수 있다. 주 스크린(2103) 및 서브 스크린(2108)은 EL 디스플레이 패널을 사용함으로써 형성될 수 있다. 대안으로, 주 스크린(2103)은 뛰어난 뷰잉 각(viewing angle)을 갖는 EL 디스플레이 패널에 의해 형성될 수 있고, 서브 스크린(2108)은 상기 구조에서 저전력 소비로 디스플레이할 수 있는 액정 디스플레이 패널을 사용하여 형성될 수 있다. 또한, 저전력 소비에 대한 우선권을 제공하는 경우에, 주 스크린(2103)은 액정 디스플레이 패널을 사용하여 형성될 수 있고, 서브 스크린(2108)은 블링크(blink)할 수 있는 EL 디스플레이 패널을 사용하여 형성될 수 있다. 그러한 큰 기판이 사용되고 다수의 TFT 전자 부품들이 사용될 때에도, 상당히 신뢰할 수 있는 디스플레이 장치가 본 발명을 적용하여 형성될 수 있다.

- <501> 본 발명은 TV 세트에 제한되지 않고, 특히 기차역, 공항 등에서 정보 디스플레이 보드 또는 개인용 컴퓨터의 모니터뿐만 아니라 거리의 광고 디스플레이 보드와 같은 큰 디스플레이 매체용의 다양한 응용들을 위해 사용될 수 있다.
- <502> [실시예 모드 15]
- <503> 다양한 디스플레이 장치들이 본 발명을 적용함으로써 제조될 수 있다. 즉, 본 발명은 디스플레이 장치가 디스플레이부에 포함되는 다양한 전자 장치들에 적용될 수 있다.
- <504> 이러한 전자 장치들은 다음과 같이, 비디오 카메라 및 디지털 카메라와 같은 카메라, 프로젝터, 헤드 장착형 디스플레이(고글형 디스플레이), 카 네비게이션 시스템, 카 스테레오, 개인용 컴퓨터, 게임 기기, 휴대용 정보 단말기(모바일 컴퓨터, 셀룰러 폰, 전자 북 등), 기록 매체를 포함하는 이미지 재생 장치(특히, DVD와 같은 기록 매체를 재생할 수 있고 재생된 이미지를 디스플레이할 수 있는 디스플레이를 갖는 장치) 등으로서 제공될 수 있다. 그 예들이 도 34a 내지 34c에 도시되어 있다.
- <505> 도 34a는 주 본체(2201), 하우징(2202), 디스플레이부(2203), 키보드(2204), 외부 접속 포트(2205), 포인팅 마우스(2206) 등을 포함하는 랩탑 개인용 컴퓨터를 도시한다. 본 발명은 디스플레이부(2203)를 제조하는데 적용된다. 본 발명이 적용될 때, 높은 디스플레이 품질의 디스플레이부를 갖는 랩탑 개인용 컴퓨터가 저가로 제조될 수 있다.
- <506> 도 34b는 이미지 디스플레이부를 포함하는 이미지 재생 장치(특히, DVD 재생 장치)를 도시하며, 이것은 주 본체(2301), 하우징(2302), 디스플레이부 A(2303), 디스플레이부 B(2304), 기록 매체(DVD 등) 판독부(2305), 동작 키(2306), 스피커부(2307) 등을 포함한다. 디스플레이부 A(2303)는 주로 이미지 데이터를 디스플레이하고, 디스플레이부 B(2304)는 주로 텍스트 데이터를 디스플레이한다. 본 발명은 디스플레이부(2303) 및 디스플레이부 B(2304)를 제조하는데 적용된다. 본 발명이 적용될 때, 높은 디스플레이 품질의 이미지 디스플레이부를 갖는 이미지 재생 장치가 저가로 제조될 수 있다.
- <507> 도 34c는 주 본체(2401), 오디오 출력부(2402), 오디오 입력부(2403), 디스플레이부(2404), 동작 스위치들(2405), 안테나(2406) 등을 포함하는 셀룰러 폰을 도시한다. 본 발명에 따라 제조된 디스플레이 장치가 디스플레이부(2404)에 적용될 때, 높은 디스플레이 품질의 디스플레이부를 갖는 셀룰러 폰이 저가로 제조될 수 있다.
- <508> 도 35a는 주 본체(2501), 디스플레이부(2502), 하우징(2503), 외부 접속 포트(2504), 원격 제어 수신부(2505), 이미지 수신부(2506), 배터리(2507), 오디오 입력부(2508), 동작 키들(2509), 아이피스부(eyepiece portion)(2510) 등을 포함하는 비디오 카메라를 도시한다. 본 발명은 디스플레이부(2502)에 적용될 수 있고, 이 중 방출 광을 방출하는 디스플레이 장치이다. 도 35b 및 35c는 디스플레이부(2502)에 디스플레이된 이미지를 도시한다. 도 35b는 샷(shot)인 이미지를 도시하고, 도 35c는 샷인 자동차의 측면으로부터 보여질 수 있는 이미지를 도시한다. 본 발명의 디스플레이 장치가 광 투과형이고, 따라서 이미지가 양 측면들에 대해 디스플레이될 수 있으므로, 샷인 이미지는 또한 본래 측면(subject side)으로부터 보여질 수도 있다. 그러므로, 화상 자체를 쏘는 것은 또한 편리하다. 또한, 본 발명은 유사한 효과가 얻어질 수 있는 비디오 카메라뿐만 아니라 디지털 비디오 카메라 등에 적용될 수 있다. 본 발명에 따라 제조된 디스플레이 장치를 디스플레이부(2502)에 적용함으로써, 비디오 카메라와 같은 카메라 및 높은 디스플레이 품질의 디스플레이부를 갖는 디지털 비디오 카메라는 저가로 제조될 수 있다. 본 실시예는 위의 실시예 모드들과 조합하여 자유롭게 구현될 수 있다.
- <509> 본 출원은 그 전체 내용이 본 명세서에 참조로서 포함되며, 일본 특허청에 2004년 12월 6일에 출원된 일본 우선권 출원번호 제2004-353457호에 기초한다.

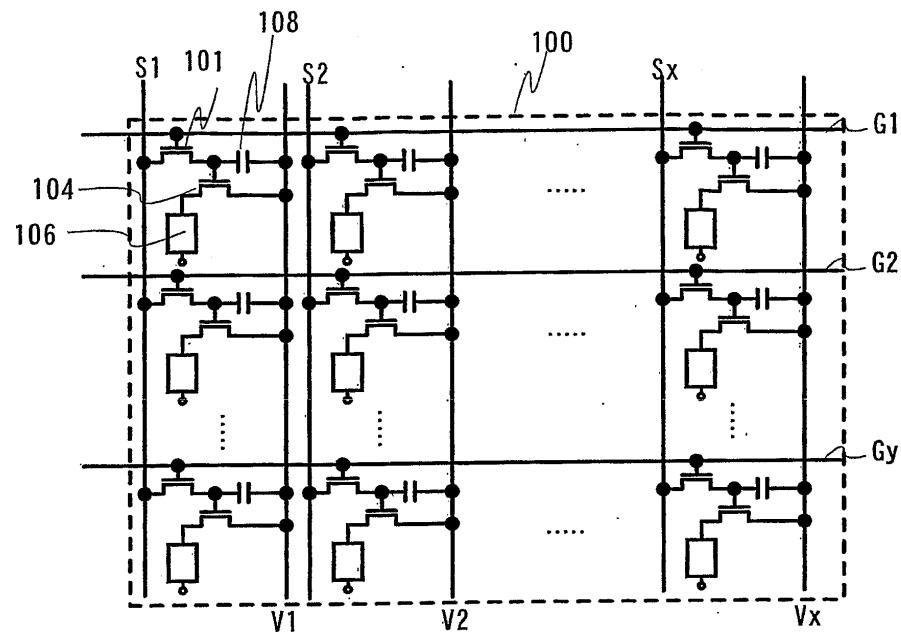
도면의 간단한 설명

- <84> 도 1은 EL 디스플레이 장치의 화소 회로를 도시하는 도면.
- <85> 도 2는 아날로그 구동의 구동 타이밍을 도시하는 도면.
- <86> 도 3은 구동 TFT의 특성들을 도시하는 도면.
- <87> 도 4는 박스 디스플레이에 의한 크로스 토크를 도시하는 도면.
- <88> 도 5a 및 도 5b는 전력 공급선의 배선 저항으로 인한 전위 효과들을 도시하는 도면.
- <89> 도 6a 내지 도 6c는 배선들 사이의 기생 커패시터를 줄이기 위한 구조들을 도시하는 도면.

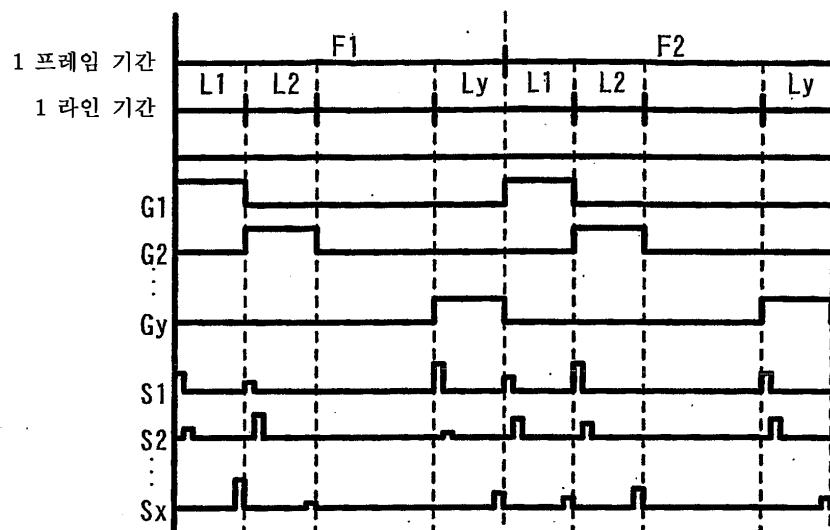
- <90> 도 7a 내지 도 7d는 배선 저항의 변화들을 일으키는 모양들을 도시하는 도면.
- <91> 도 8은 본 발명의 실시예 모드 1을 도시하는 도면.
- <92> 도 9는 본 발명의 실시예 모드 2를 도시하는 도면.
- <93> 도 10은 본 발명의 실시예 모드 3을 도시하는 도면.
- <94> 도 11은 본 발명의 실시예 모드 4를 도시하는 도면.
- <95> 도 12는 본 발명의 실시예 모드 5를 도시하는 도면.
- <96> 도 13a 내지 도 13d는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <97> 도 14a 및 도 14b는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <98> 도 15는 본 발명에 적용될 수 있는 액적 방출 장치의 구성을 도시하는 도면.
- <99> 도 16a 는 본 발명에 적용될 수 있는 디스플레이 장치의 화소부의 상면도이고, 도 16b는 그 회로도.
- <100> 도 17은 본 발명에 적용될 수 있는 디스플레이 장치의 도시하는 도면.
- <101> 도 18a 내지 도 18d는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <102> 도 19a 및 도 19b는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <103> 도 20a 내지 도 20d는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <104> 도 21은 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <105> 도 22a 내지 도 22d는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <106> 도 23a 및 도 23b는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <107> 도 24a 내지 도 24d는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <108> 도 25a 및 도 25b는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <109> 도 26a 내지 도 26d는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <110> 도 27은 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <111> 도 28a 내지 도 28d는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <112> 도 29a 및 도 29b는 본 발명이 적용될 수 있는 디스플레이 장치의 제조 방법을 도시하는 도면.
- <113> 도 30a 내지 도 30c는 본 발명이 적용될 수 있는 디스플레이 장치를 도시하는 도면.
- <114> 도 31은 본 발명이 적용될 수 있는 반도체 장치의 한 모드인 패널에 대한 상면도.
- <115> 도 32는 본 발명의 전자 장치의 주요 구성을 도시하는 블록도.
- <116> 도 33은 본 발명이 적용되는 전자 장치를 도시하는 도면.
- <117> 도 34a 내지 도 34c는 본 발명이 적용되는 전자 장치들을 도시하는 도면.
- <118> 도 35a 내지 도 35c는 본 발명이 적용되는 전자 장치들을 도시하는 도면.

도면

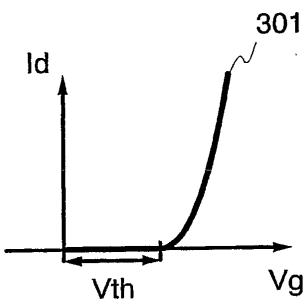
도면1



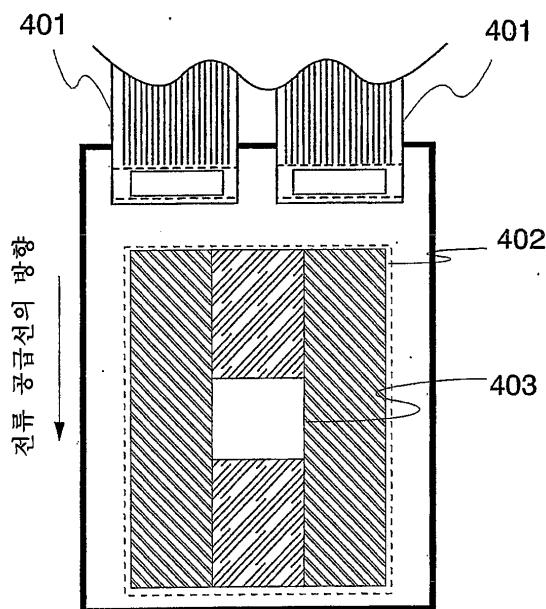
도면2



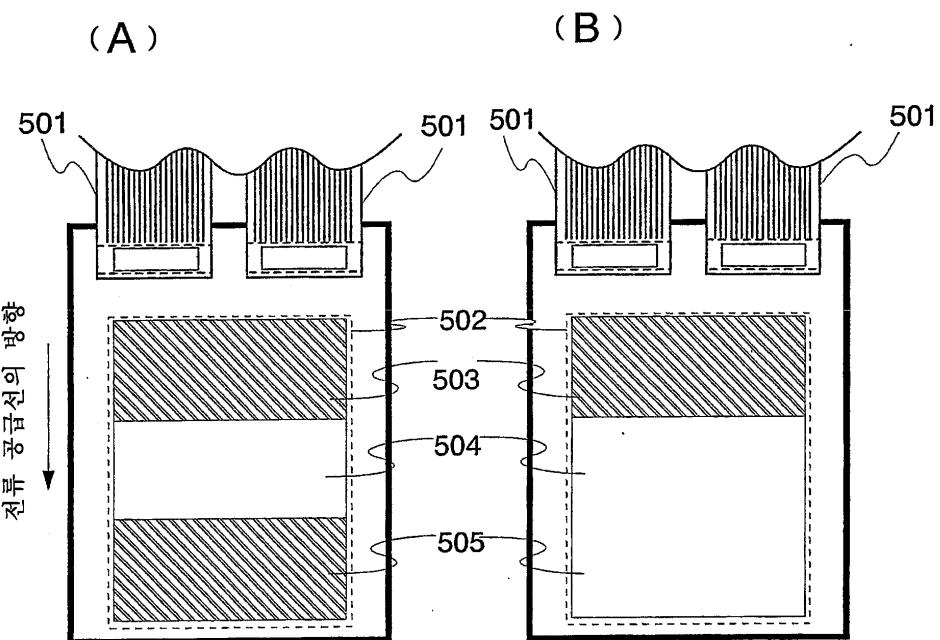
도면3



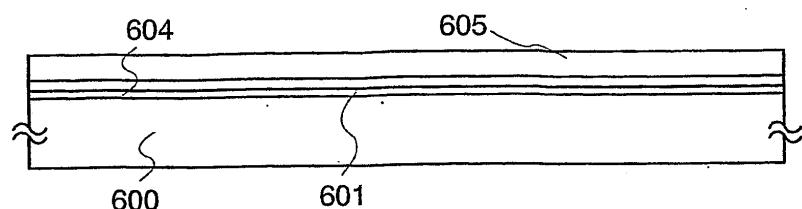
도면4



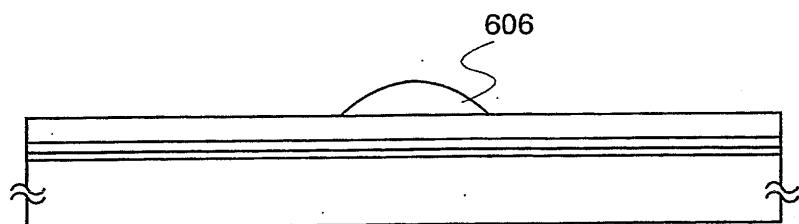
도면5



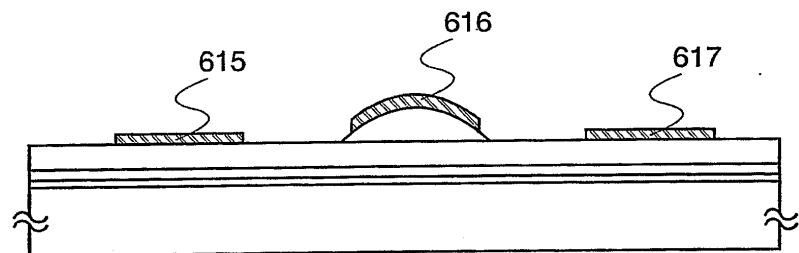
도면6a



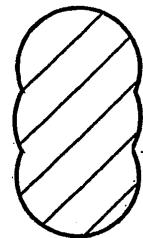
도면6b



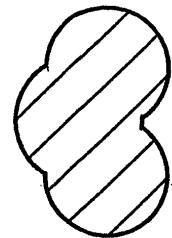
도면6c



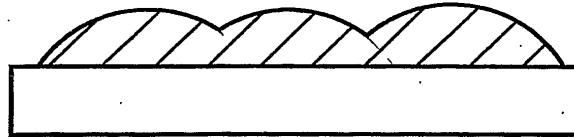
도면7a



도면7b



도면7c

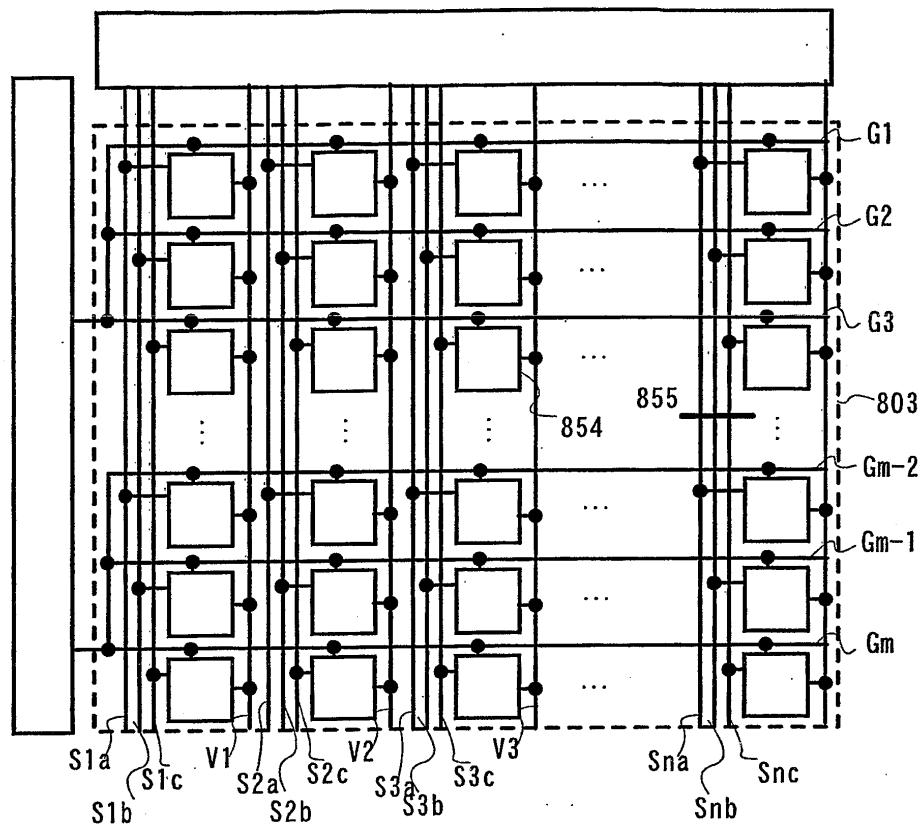


도면7d

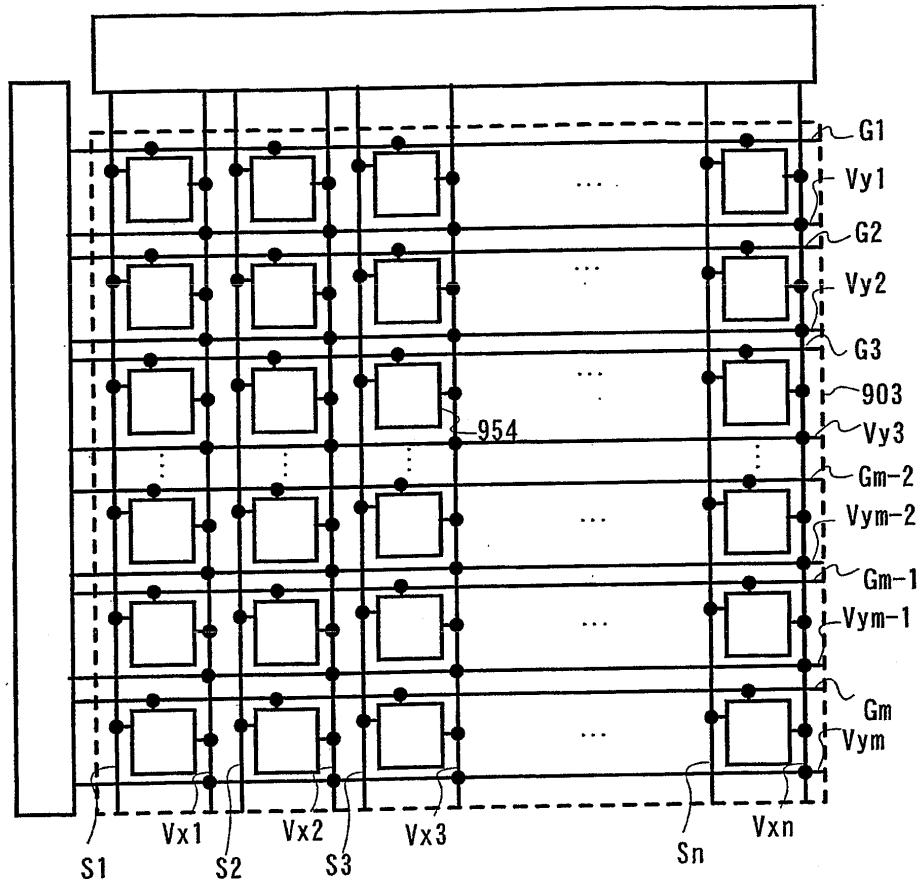


도면8

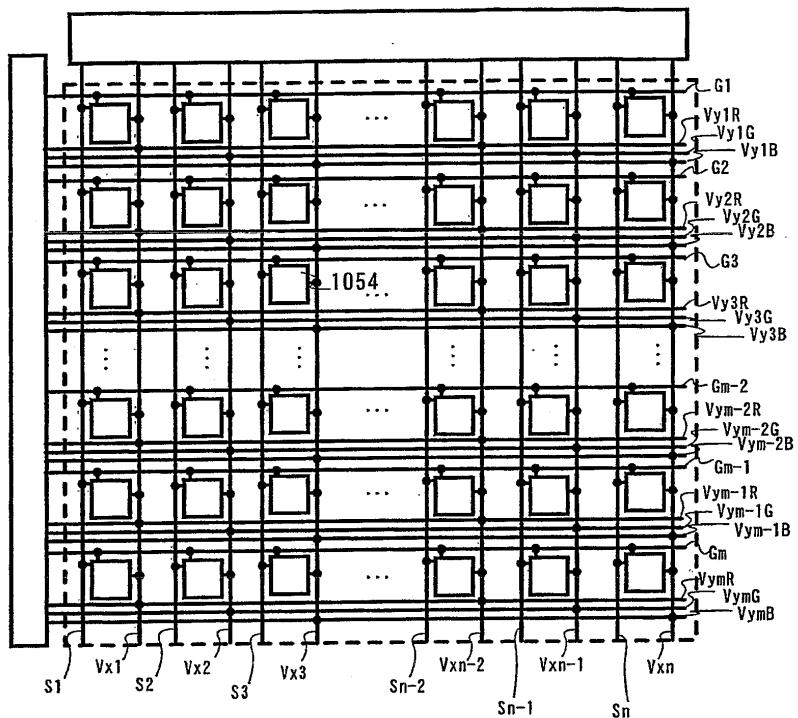
8/38



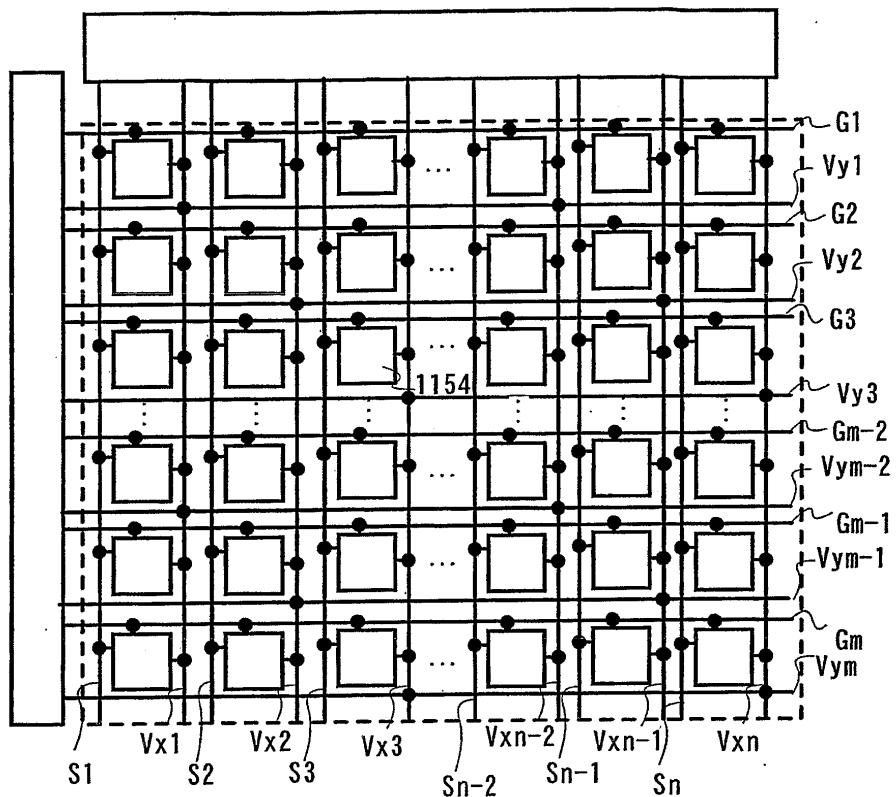
도면9



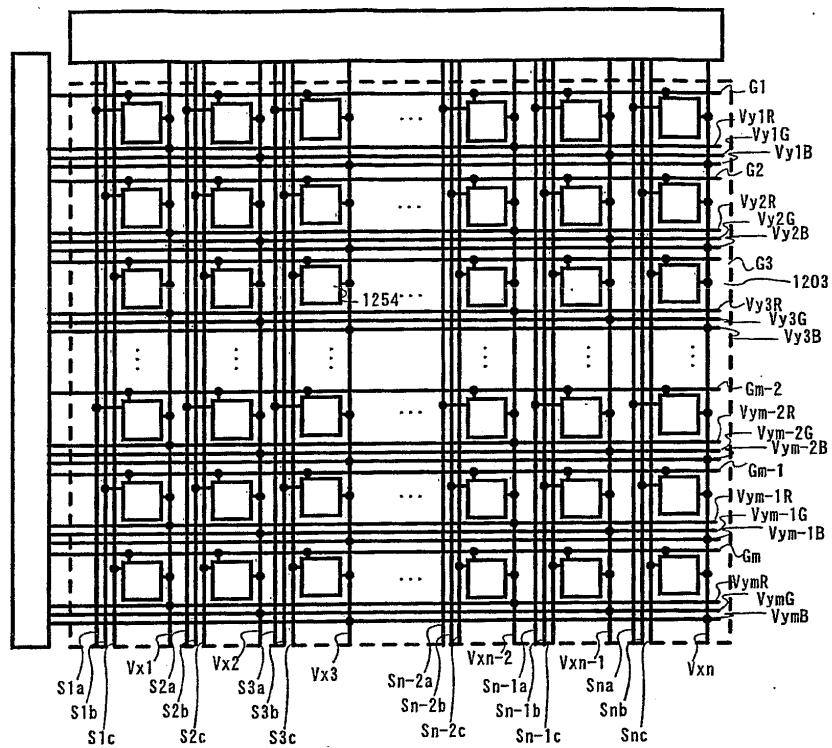
도면10



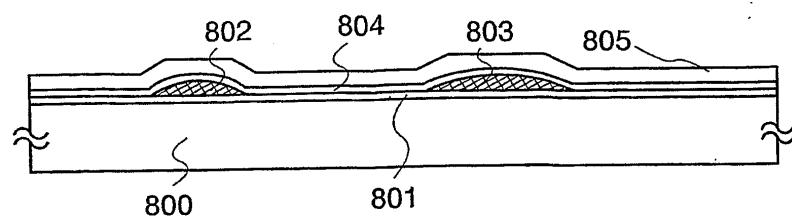
도면11



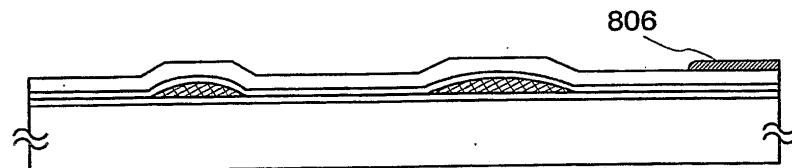
도면12



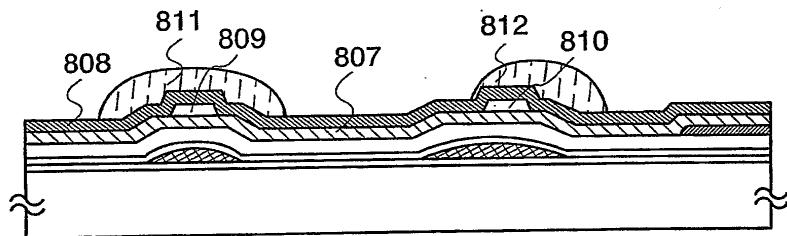
도면13a



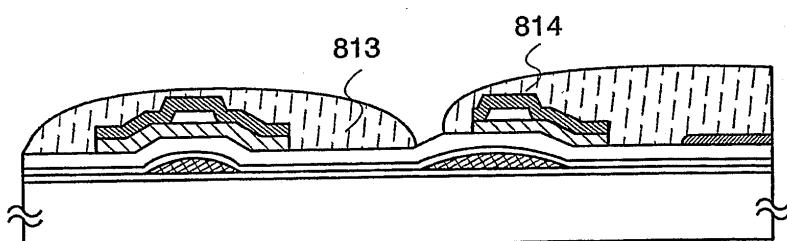
도면13b



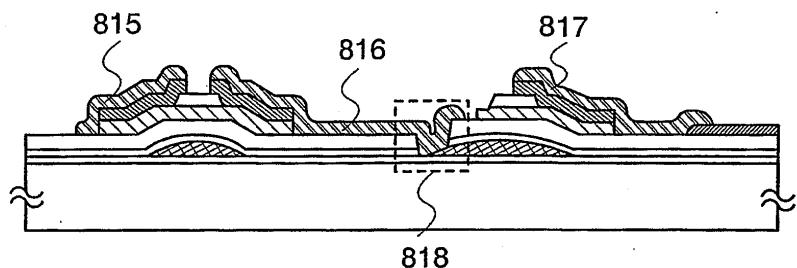
도면13c



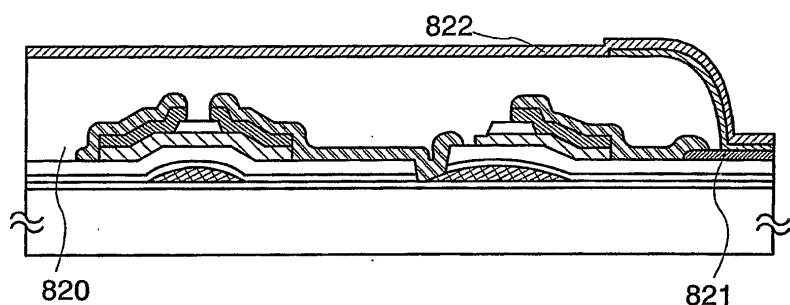
도면13d



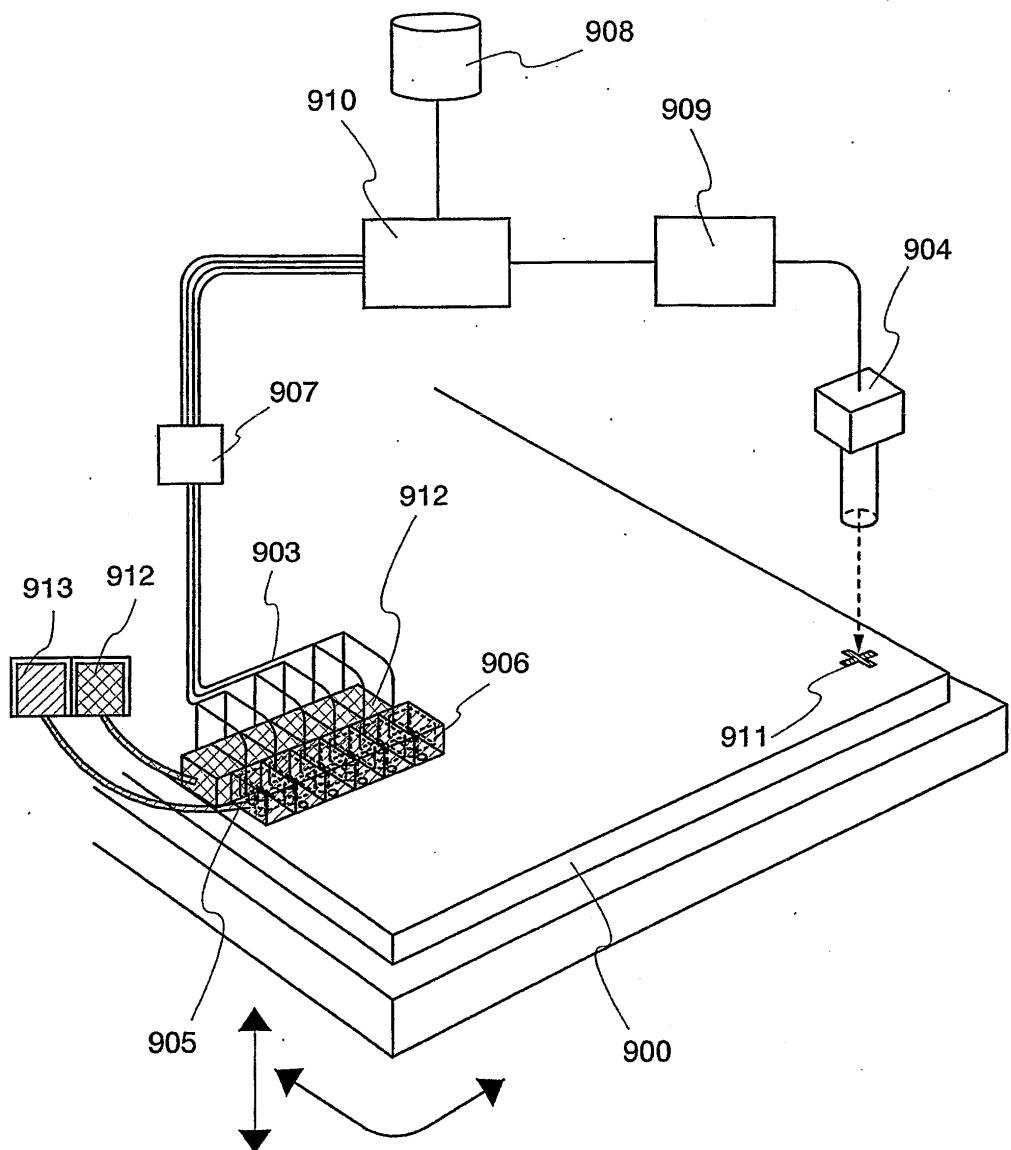
도면14a



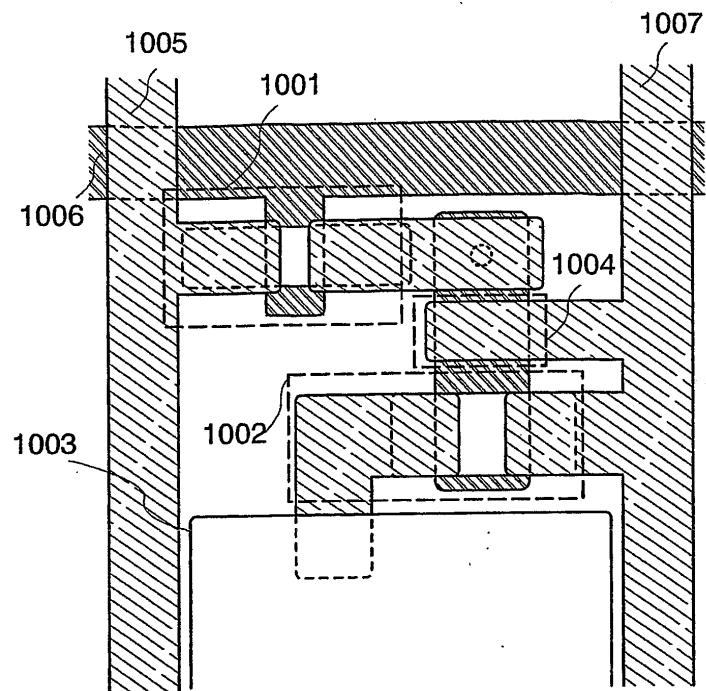
도면14b



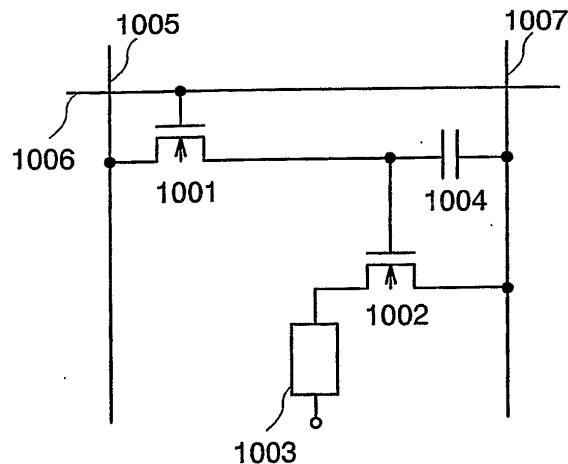
도면15



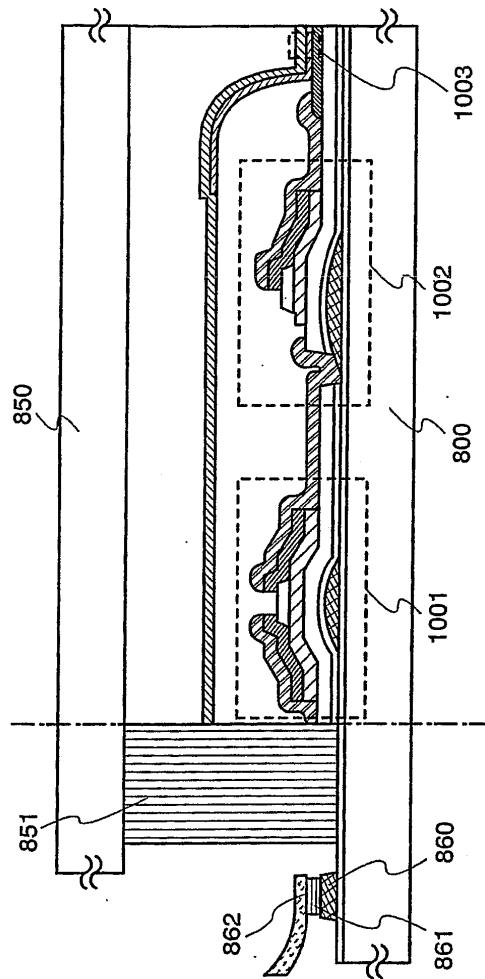
도면16a



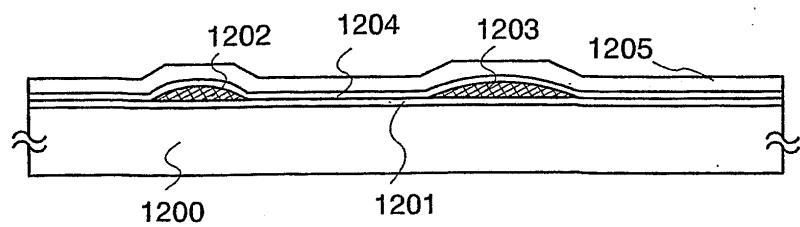
도면16b



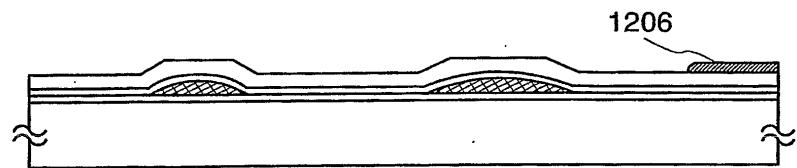
도면17



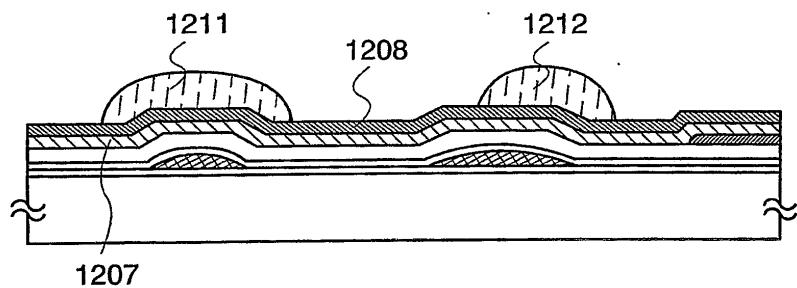
도면18a



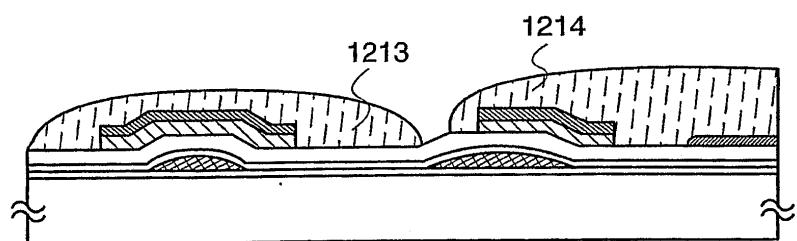
도면18b



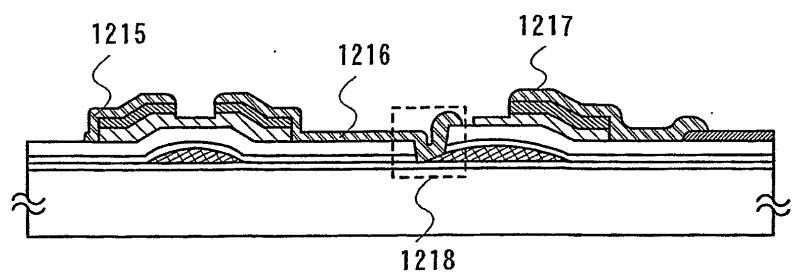
도면18c



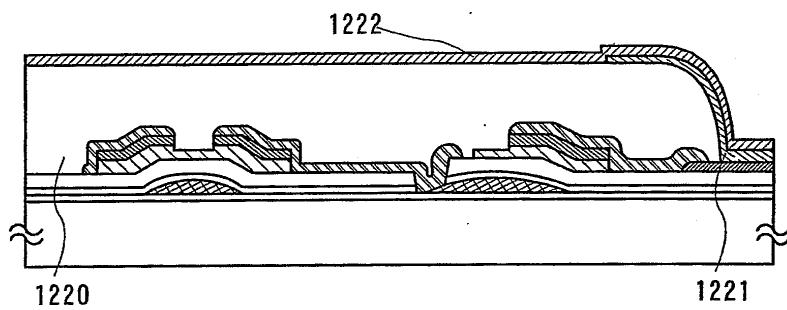
도면18d



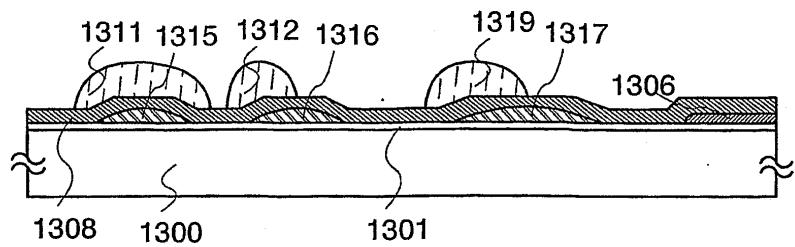
도면19a



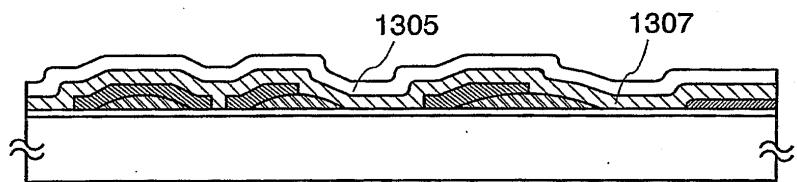
도면19b



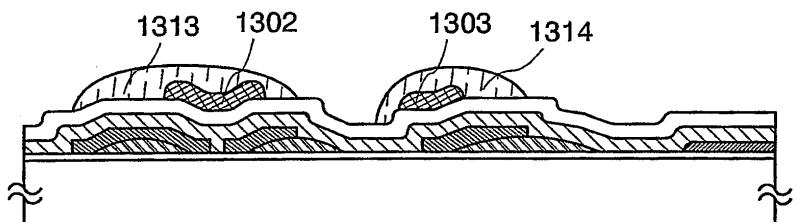
도면20a



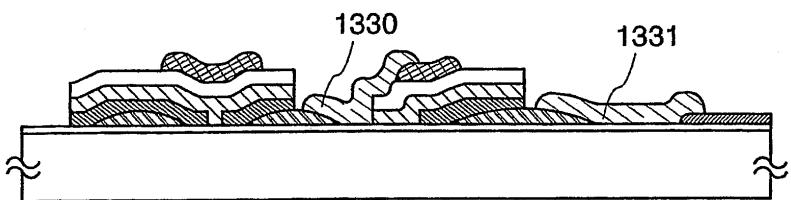
도면20b



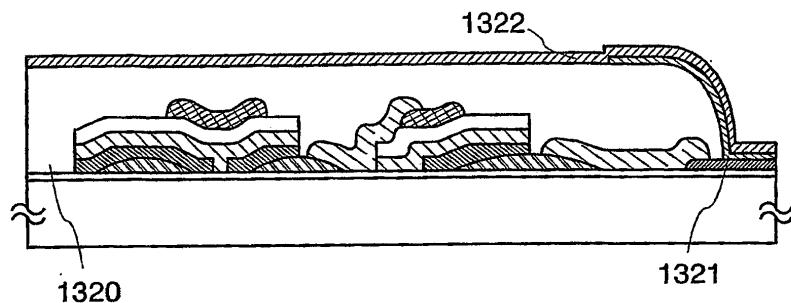
도면20c



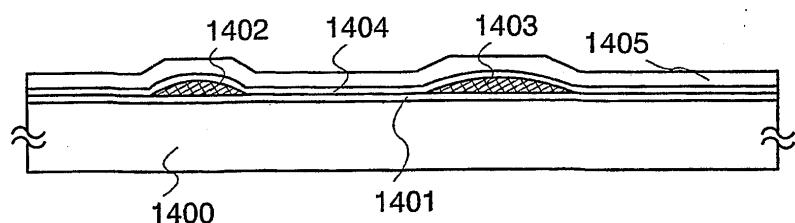
도면20d



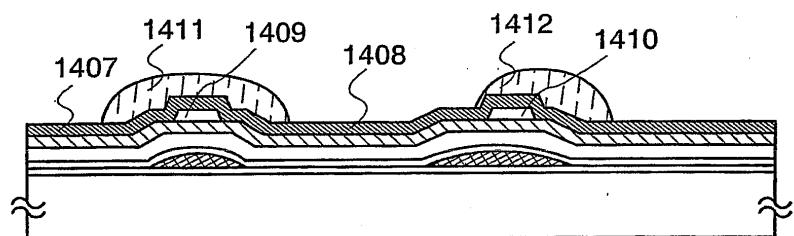
도면21



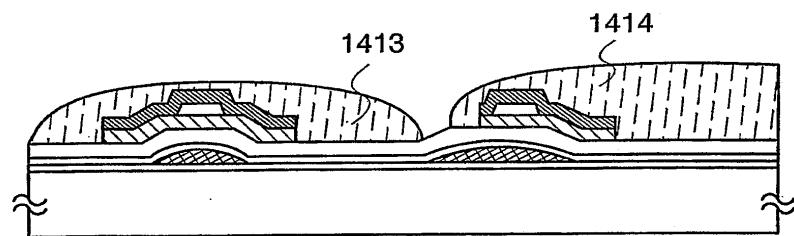
도면22a



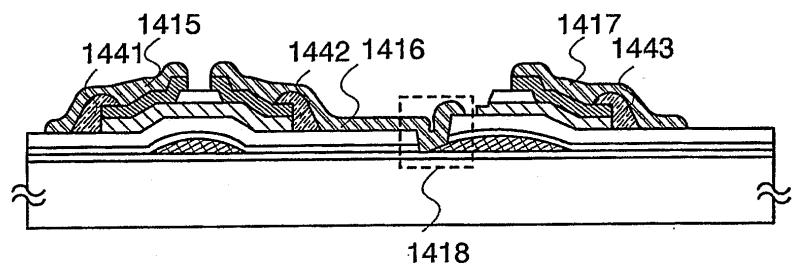
도면22b



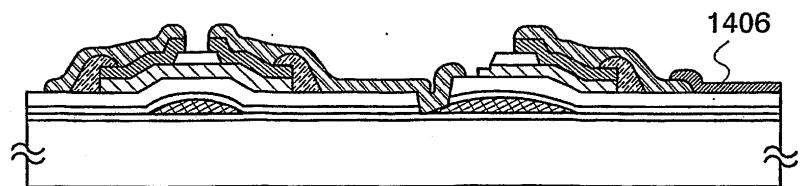
도면22c



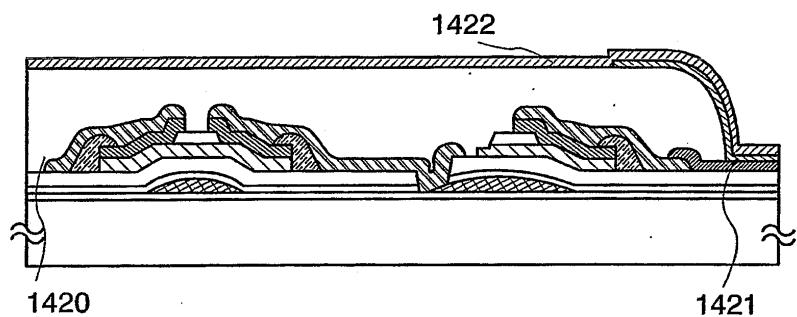
도면22d



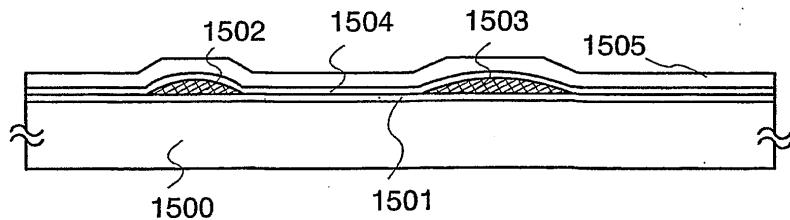
도면23a



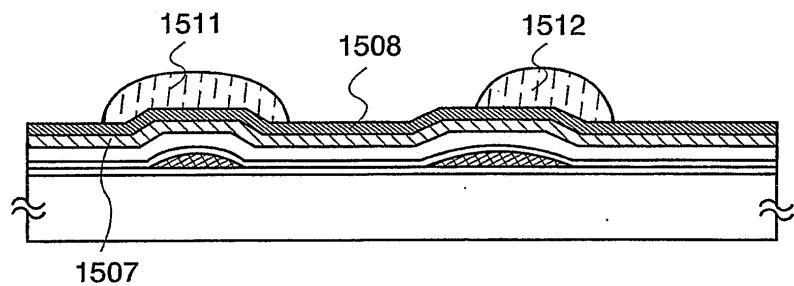
도면23b



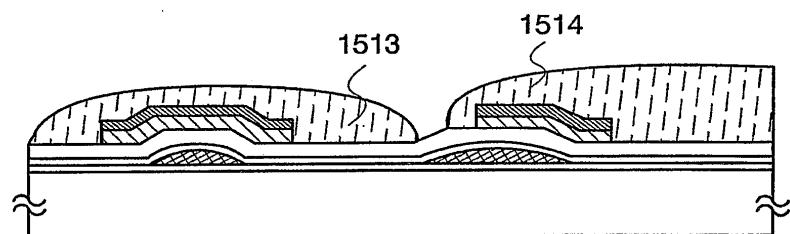
도면24a



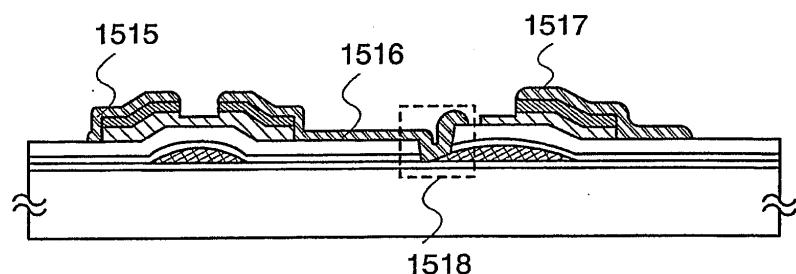
도면24b



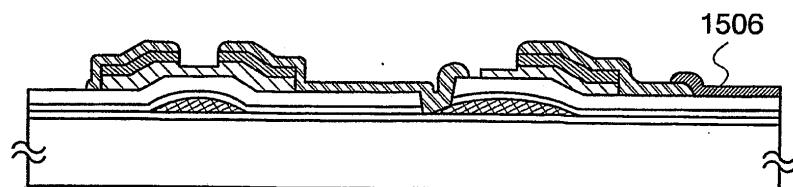
도면24c



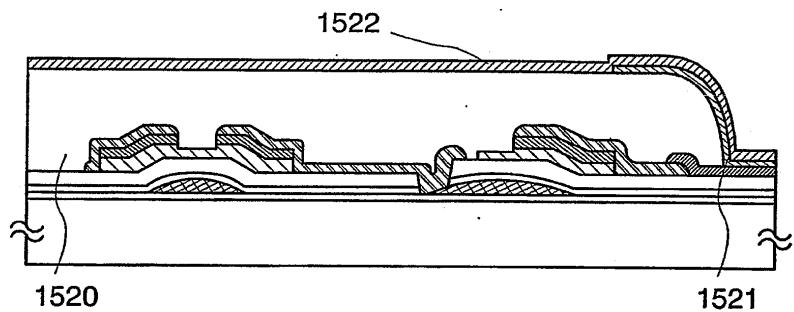
도면24d



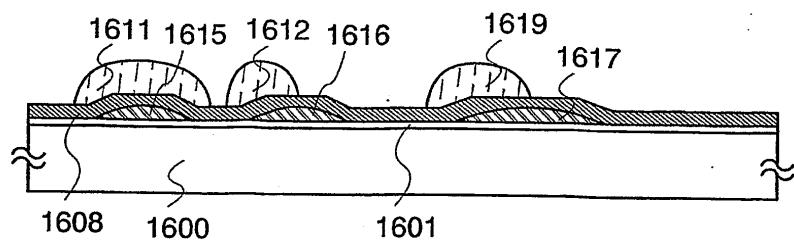
도면25a



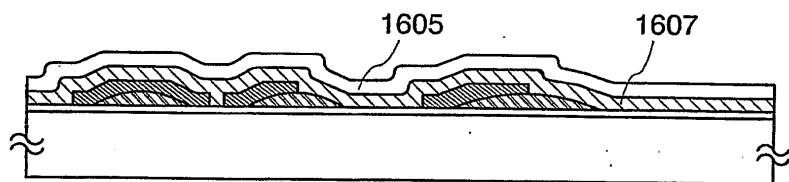
도면25b



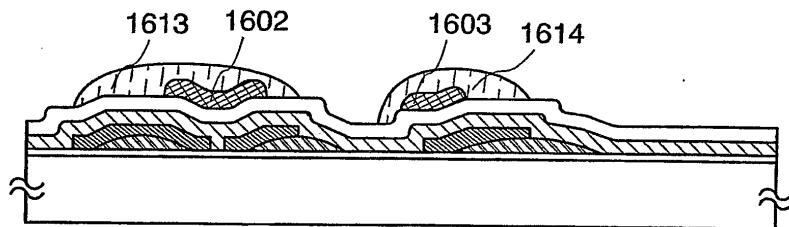
도면26a



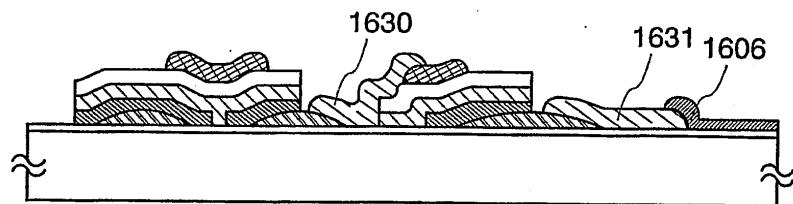
도면26b



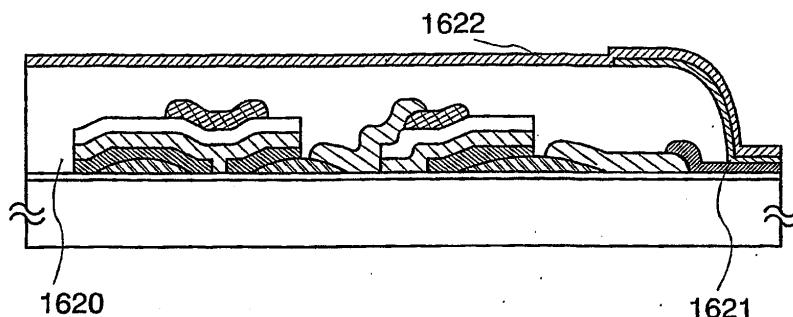
도면26c



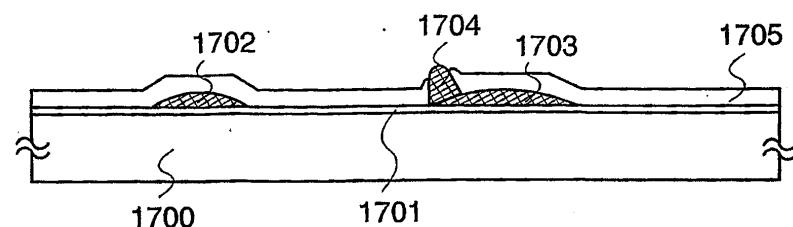
도면26d



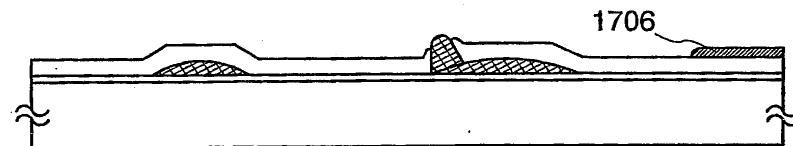
도면27



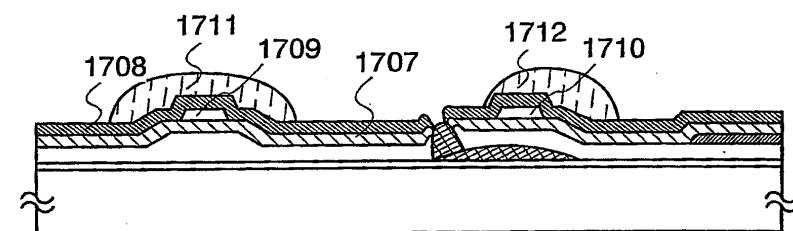
도면28a



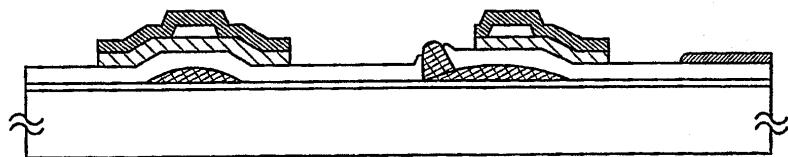
도면28b



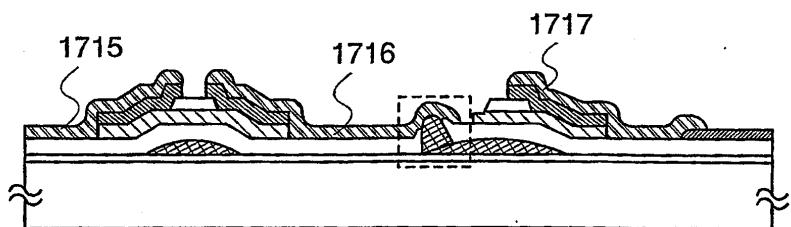
도면28c



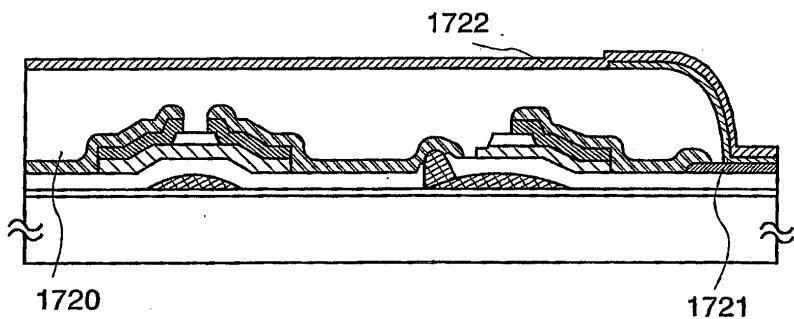
도면28d



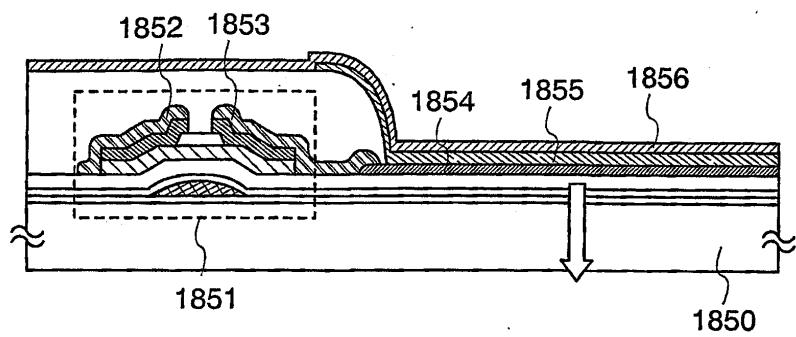
도면29a



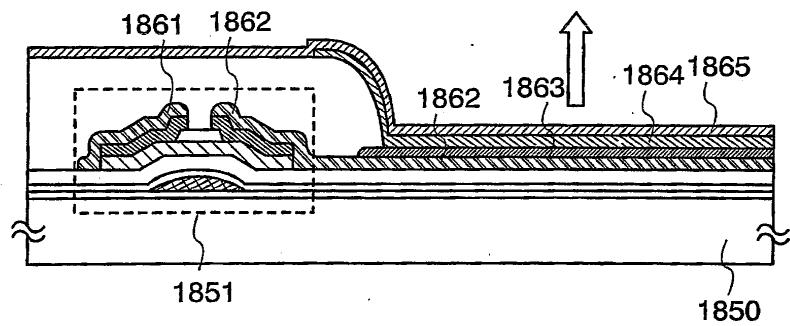
도면29b



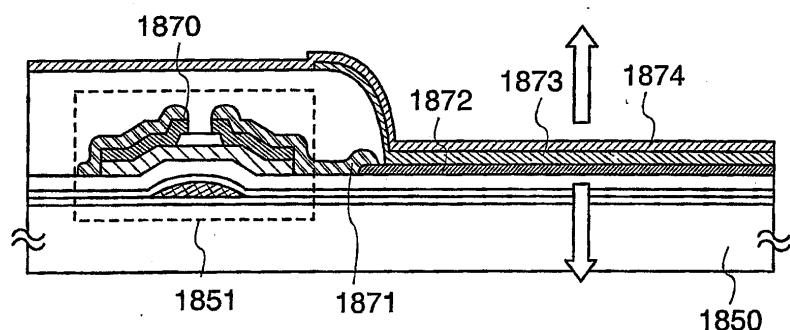
도면30a



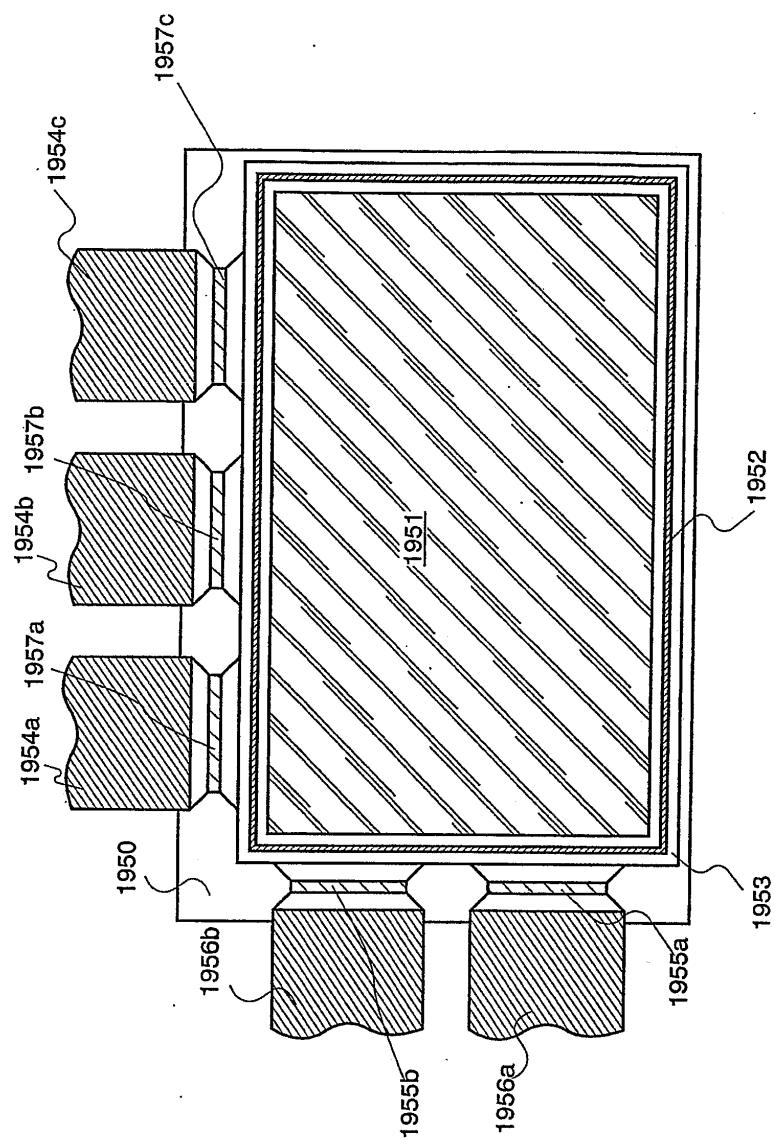
도면30b



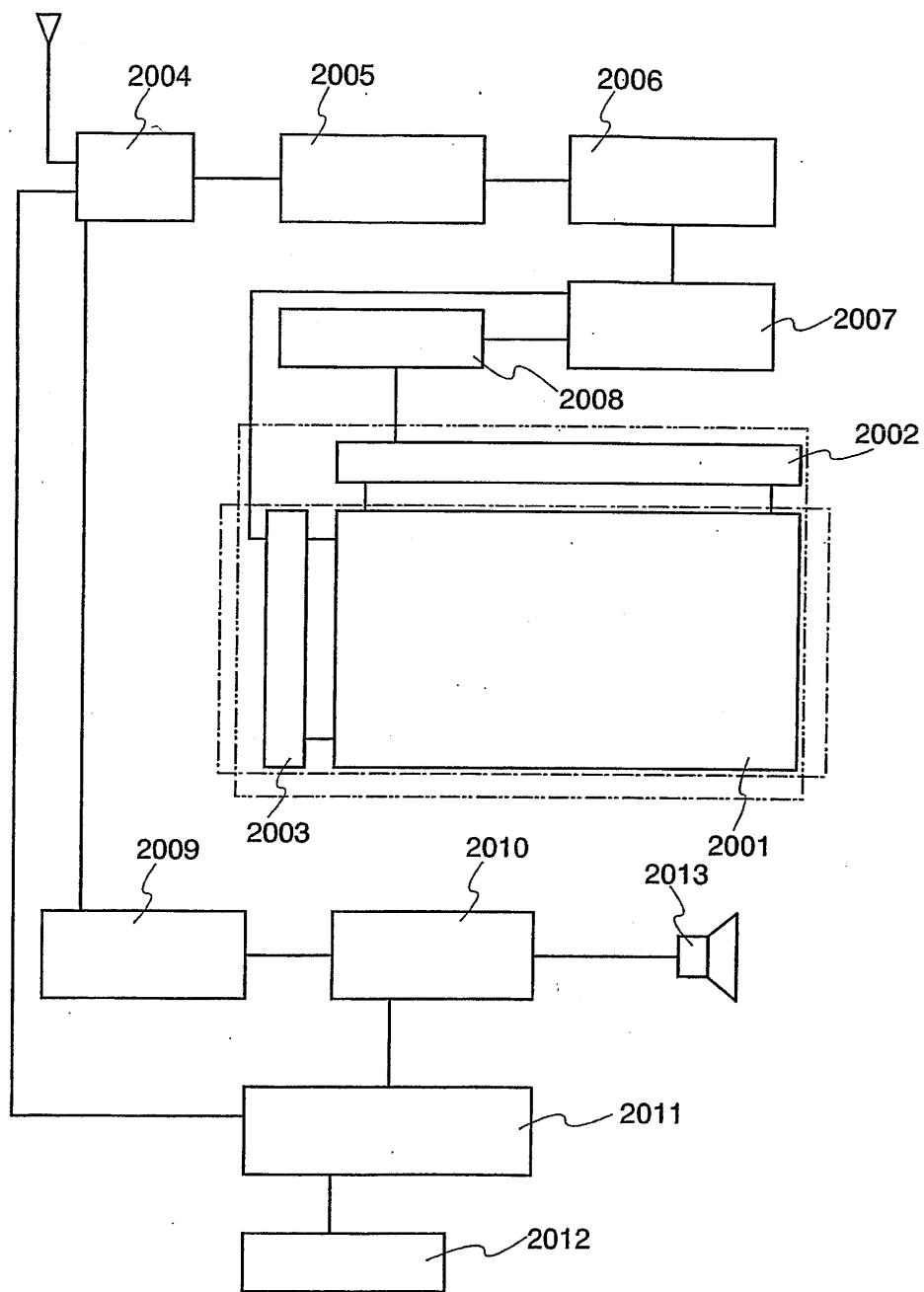
도면30c



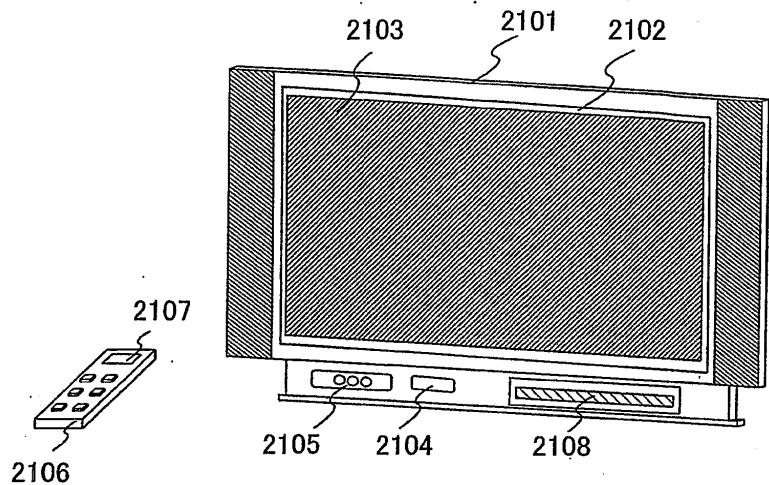
도면31



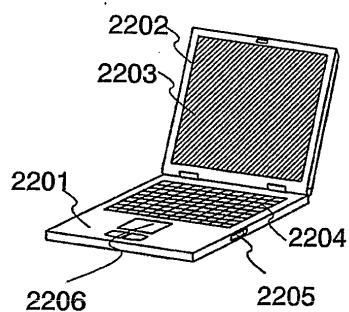
도면32



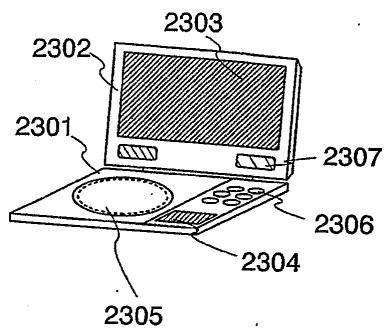
도면33



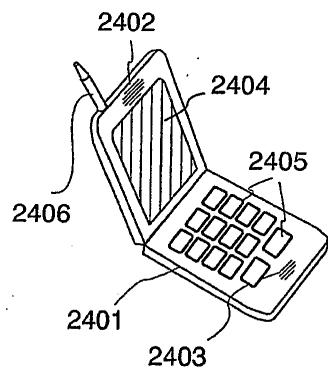
도면34a



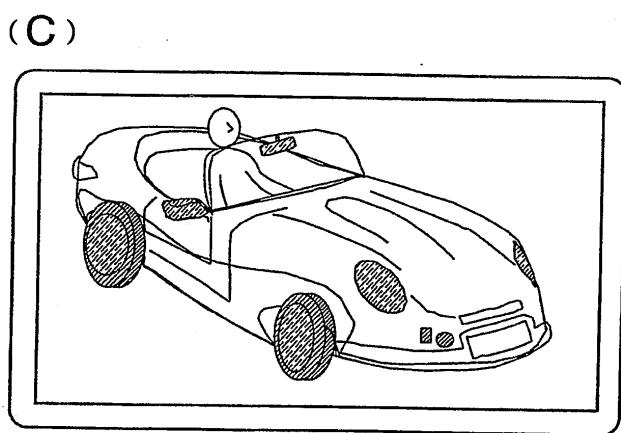
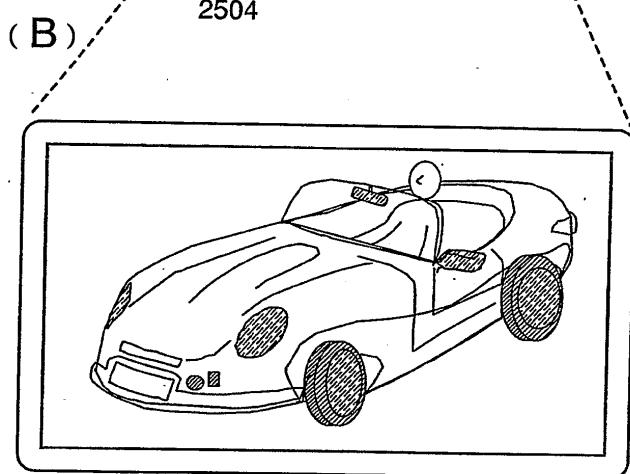
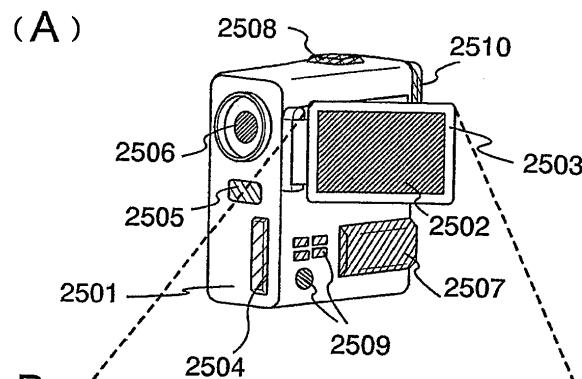
도면34b



도면34c



도면35



专利名称(译)	显示设备		
公开(公告)号	KR1020070098850A	公开(公告)日	2007-10-05
申请号	KR1020077015518	申请日	2005-12-02
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YOSHIDA YASUNORI 요시히다 야스노리 KIMURA HAJIME 기무라 하지메 MAEKAWA SHINJI 마에카와 신지 NAKAMURA OSAMU 나카무라 오사무 YAMAZAKI SHUNPEI 야마자키 쇼豌이		
发明人	요시히다, 야스노리 기무라, 하지메 마에카와, 신지 나카무라, 오사무 야마자키, 쇼豌이		
IPC分类号	G09G3/30 H01L29/786 H01L21/3205 H01L51/50		
CPC分类号	H01L27/3248 H01L27/3276 H01L21/288 H01L21/76838 H01L27/1214 H01L27/124 H01L27/156 G09G3/36 H01L27/1285 H01L27/1292 G09G3/32 H01L51/0508		
代理人(译)	张本勋		
优先权	2004353457 2004-12-06 JP		
其他公开文献	KR101220102B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种有源矩阵EL显示装置，可以进行清晰的多灰度彩色显示。特别地，本发明通过可以选择性地形成图案的制造方法以低成本提供大型有源矩阵EL显示装置。通过可以选择性地形成图案的制造方法将像素部分中的电源线布置成矩阵。此外，通过可以选择性地形成图案的制造方法在相邻布线之间提供更长的距离来减小布线之间的电容。

©KIPPO & WIPO 2007

