



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H05B 33/14 (2006.01)

(11) 공개번호 10-2007-0004133

(43) 공개일자 2007년01월05일

(21) 출원번호 10-2006-7025110(분할)

(22) 출원일자 2006년11월29일

심사청구일자 없음

번역문 제출일자 2006년11월29일

(62) 원출원 특허10-2004-7017263

원출원일자 : 2004년10월26일

심사청구일자

2006년03월02일

(86) 국제출원번호 PCT/JP2003/002597

(87) 국제공개번호

WO 2003/091978

국제출원일자 2003년03월06일

국제공개일자

2003년11월06일

(30) 우선권주장

JP-P-2002-00127532

2002년04월26일

일본(JP)

JP-P-2002-00127637

2002년04월26일

일본(JP)

JP-P-2002-00284393

2002년09월27일

일본(JP)

(71) 출원인

도시바 마쯔시타 디스플레이 테크놀로지 컴퍼니, 리미티드

일본 도쿄도 미나토구 4쵸메 고난 1-8

(72) 발명자

다카하라, 히로시

일본 571-0807 오사카후 네야가와시 우즈마사 1011-1-345

쓰게, 히토시

일본 571-0074 오사카후 가도마시 미야마에쵸 16-1

(74) 대리인

장수길

구영창

이중희

전체 청구항 수 : 총 8 항

(54) E L 표시 장치 및 E L 표시 장치의 검사 방법

(57) 요약

유기 EL 소자를 사용한 표시 장치의 표시 품질을 향상시키기 위해서,

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 표시 영역과, 상기 화소에 접속된 소스 신호선을 통하여 상기 화소에 소정 전류를 인가하는 전류 인가 수단과, 복수의 상기 소스 신호선으로부터 적어도 1개의 소스 신호선을 선택하고, 상기 선택된 소스 신호선에 상기 소정 전류를 인가한 상태에서, 상기 선택된 소스 신호선의 전위를 출력하는 선택 수단을 구비하는 것을 특징으로 하는 EL 표시 장치와,

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 EL 표시 장치의 구동 방법으로서, 상기 화소에 접속된 소스 신호선을 통하여 상기 화소에 소정 전류를 인가하고, 상기 소스 신호선에 상기 소정 전류를 인가한 상태에서 상기 소스 신호선의 전위를 측정하는 것을 특징으로 하는 EL 표시 장치의 검사 방법이 제공되었다.

대표도

도 87

특허청구의 범위

청구항 1.

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 표시 영역과,

상기 화소에 접속된 소스 신호선을 통하여 상기 화소에 소정 전류를 인가하는 전류 인가 수단과,

복수의 상기 소스 신호선으로부터 적어도 1개의 소스 신호선을 선택하고, 상기 선택된 소스 신호선에 상기 소정 전류를 인가한 상태에서, 상기 선택된 소스 신호선의 전위를 출력하는 선택 수단

을 구비하는 것을 특징으로 하는 EL 표시 장치.

청구항 2.

제1항에 있어서,

상기 EL 소자를 갖는 화소에, 상기 EL 소자에 전류를 공급하는 구동용 트랜지스터가 형성되어 있고,

상기 구동용 트랜지스터를 흐르는 전류를 상기 소스 신호선에 출력할 수 있는 것을 특징으로 하는 EL 표시 장치.

청구항 3.

제1항에 있어서,

상기 화소에서, 상기 EL 소자의 전류의 경로에 형성된 스위치용 트랜지스터가 형성되어 있고,

상기 스위치용 트랜지스터를 온 오프시켜서, 상기 전류를 제어하고,

상기 EL 표시 장치의 표시 화면에 띠 형상의 비표시 영역 및 표시 영역을 발생할 수 있는 것을 특징으로 하는 EL 표시 장치.

청구항 4.

제1항에 있어서,

상기 EL 표시 장치의 표시 화면에 띠 형상의 비표시 영역 및 표시 영역을 발생할 수 있고, 상기 비표시 영역 및 표시 영역을 화면의 상하 방향에 주사하여, 화상을 표시할 수 있는 것을 특징으로 하는 EL 표시 장치.

청구항 5.

제1항에 있어서,

EL 표시 장치의 표시 화면에 띠 형상의 비표시 영역 및 표시 영역을 발생시키고, 상기 비표시 영역 및 표시 영역을 표시 화면의 상하 방향으로 이동시켜서 화상을 표시할 수 있는 것을 특징으로 하는 EL 표시 장치.

청구항 6.

EL 소자를 갖는 화소가 매트릭스 형상으로 배치된 EL 표시 장치의 검사 방법으로서,

상기 화소에 접속된 소스 신호선을 통하여, 상기 화소에 소정 전류를 인가하고,

상기 소스 신호선에 상기 소정 전류를 인가한 상태에서, 상기 소스 신호선의 전위를 측정하는 것을 특징으로 하는 EL 표시 장치의 검사 방법.

청구항 7.

제6항에 있어서,

상기 복수의 소스 신호선으로부터 적어도 1개의 소스 신호선을 선택하는 것을 특징으로 하는 EL 표시 장치의 검사 방법.

청구항 8.

제6항에 있어서,

상기 EL 소자를 갖는 화소에, 상기 EL 소자에 전류를 공급하는 구동용 트랜지스터가 형성되고 있고,

상기 구동용 트랜지스터를 흐르는 전류를 상기 소스 신호선에 출력할 수 있도록 구성되어 있는 것을 특징으로 하는 EL 표시 장치의 검사 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 또는 무기 일렉트로 루미네센스(EL) 소자를 이용한 EL 표시 패널 등의 자발광 표시 패널에 관한 것이다. 또한, EL 표시 패널의 구동 방법과 구동 회로 및 이들을 이용한 정보 표시 장치 등에 관한 것이다.

일반적으로, 액티브 매트릭스형 표시 장치에서는, 다수의 화소를 매트릭스 형상으로 배열하고, 공급된 영상 신호에 대응하여 화소마다 광 강도를 제어함으로써 화상을 표시한다. 예를 들면, 전기 광학 물질로서 액정을 이용한 경우에는, 각 화소에 기입되는 전압에 대응하여 화소의 투과율이 변화한다. 전기 광학 변환 물질로서 유기 일렉트로 루미네센스(EL) 재료를 이용한 액티브 매트릭스형의 화상 표시 장치에서도, 기본적인 동작은 액정을 이용한 경우와 마찬가지로이다.

액정 표시 패널은, 각 화소는 서터로서 동작하여, 백 라이트로부터의 빛을 화소인 서터로 온 오프시킴으로써 화상을 표시한다. 유기 EL 표시 패널은 각 화소에 발광 소자를 갖는 자발광형이다. 그 때문에, 유기 EL 표시 패널 등의 자발광형의 표시 패널은, 액정 표시 패널에 비교하여 화상의 시인성이 높다, 백 라이트가 불필요하고, 응답 속도가 빠르다는 등의 이점을 갖는다.

유기 EL 표시 패널은 각 발광 소자(화소)의 휘도는 전류량에 의해서 제어된다. 즉, 발광 소자가 전류 구동형 혹은 전류 제어형이라고 말하는 점에서 액정 표시 패널과는 크게 다르다.

유기 EL 표시 패널도 단순 매트릭스 방식과 액티브 매트릭스 방식의 구성이 가능하다. 전자는 구조는 단순하지만 대형이면서 고정밀의 표시 패널의 실현이 곤란하다. 그러나, 염가이다. 후자는 대형이며, 고정밀 표시 패널을 실현할 수 있다. 그러나, 제어 방법이 기술적으로 어렵고 비교적 고가라고 하는 과제가 있다. 현재는 액티브 매트릭스 방식의 개발이 왕성하게 행해지고 있다. 액티브 매트릭스 방식은 각 화소에 마련한 발광 소자에 흐르는 전류를 화소 내부에 마련한 박막 트랜지스터(트랜지스터)에 의해서 제어한다.

이 액티브 매트릭스 방식의 유기 EL 표시 패널은, 일본 특허 공개 평정8-234683호 공보에 개시되어 있다. 이 표시 패널의 일 화소분의 등가 회로를 도 62에 도시한다. 화소(16)는 발광 소자인 EL 소자(15), 제1 트랜지스터(11a), 제2 트랜지스터(11b) 및 축적 용량(19)으로 이루어진다. 발광 소자(15)는 유기 일렉트로 루미네센스(EL) 소자이다. 본 발명에서는, EL 소자(15)에 전류를 공급(제어)하는 트랜지스터(11a)를 구동용 트랜지스터(11)이라고 부른다. 또한, 도 62의 트랜지스터(11b)와 같이, 스위치로서 동작하는 트랜지스터를 스위치용 트랜지스터(11)라고 부른다.

유기 EL 소자(15)는 대부분의 경우, 정류성이 있기 때문에, OLED(유기 발광 다이오드)라고 불리는 경우가 있다. 도 62에서는 발광 소자 OLED로서 다이오드의 기호를 이용하고 있다.

단, 본 발명에서의 발광 소자(15)는 OLED에 한하는 것이 아니고, 소자(15)에 흐르는 전류량에 의해서 휘도가 제어되는 것이면 된다. 예를 들면, 무기 EL 소자가 예시된다. 기타, 반도체로 구성되는 백색 발광 다이오드가 예시된다. 또한, 일반적인 발광 다이오드가 예시된다. 기타, 발광 트랜지스터이어도 된다. 또한, 발광 소자(15)는 반드시 정류성이 요구되는 것이 아니다. 쌍방향성 다이오드이어도 된다. 또한, (15)는 EL 소자로서 설명하지만, EL막 혹은 EL 구조의 의미로서 이용하는 것이 있다.

도 62의 예에서는, P 채널형의 트랜지스터(11a)의 소스 단자(S)를 Vdd(전원 전위)로 하고, EL 소자(15)의 캐소드(음극)는 접지 전위(Vk)에 접속된다. 한편, 애노드(양극)는 트랜지스터(11a)의 드레인 단자(D)에 접속되어 있다. 한편, P 채널형의 트랜지스터(11b)의 게이트 단자는 게이트 신호선(17a)에 접속되고, 소스 단자는 소스 신호선(18)에 접속되고, 드레인 단자는 축적 용량(19) 및 트랜지스터(11a)의 게이트 단자(G)에 접속되어 있다.

또한, 본 발명은, EL 소자(15)를 구동하는 전류를 공급하는 트랜지스터 소자(11a)를 P 채널로 하여 설명하지만 이것에 한정되는 것은 아니다. N 채널이어도 된다. 물론, 트랜지스터(11)는 바이폴라 트랜지스터, FET, MOSFET이어도 된다. 기판(71)은 유리 기판에 한정되는 것이 아니고, 실리콘 기판 등의 금속 기판이어도 된다.

화소(16)를 동작시키기 위해서, 우선, 게이트 신호선(17a)을 선택 상태로 하고, 소스 신호선(18)에 휘도 정보를 나타내는 영상 신호를 인가한다. 그렇게 하면, 트랜지스터(11a)가 도통하여, 축적 용량(19)이 충전 또는 방전되고, 트랜지스터(11b)의 게이트 전위는 영상 신호의 전위와 일치한다. 게이트 신호선(17a)을 비선택 상태로 하면, 트랜지스터(11a)가 오프로 되고, 트랜지스터(11b)는 전기적으로 소스 신호선(18)으로부터 분리된다. 그러나, 트랜지스터(11a)의 게이트 전위는 축적 용량(컨덴서)(19)에 의해서 안정적으로 유지된다. 트랜지스터(11a)를 통하여 EL 소자(15)에 흐르는 전류는, 트랜지스터(11a)의 게이트/소스 단자 사이 전압 V_{gs} 에 따른 값이 되고, EL 소자(15)는 트랜지스터(11a)를 통하여 공급되는 전류량에 따른 휘도로 계속해서 발광한다.

발명이 이루고자 하는 기술적 과제

유기 EL 표시 패널은 저온 폴리실리콘 트랜지스터 어레이를 이용하여 패널을 구성한다. 그러나, 유기 EL 소자는 전류에 의해 발광하기 때문에, 트랜지스터의 특성에 변동이 있으면, 표시 얼룩짐이 발생한다고 하는 과제가 있었다.

본 발명의 목적은 상기 종래의 EL 소자의 과제를 고려하여, 화소 트랜지스터의 특성 변동이 있더라도, 종래에 비교하여 균일한 표시를 실현할 수 있고, 또한 종래에 비교하여 동화상 불선명이 적은 EL 표시 장치의 구동 방법을 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위한 제1의 본 발명은, 매트릭스 형상으로 배치된 EL 소자와,

상기 EL 소자에 흘리는 전류를 공급하는 구동용 트랜지스터와,

상기 EL 소자의 전류 경로에 배치된 제1 스위칭 소자와, 상기 제1 스위칭 소자를 온 오프 제어하는 게이트 드라이버 회로와,

상기 구동용 트랜지스터에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,

상기 구동용 트랜지스터는 P 채널 트랜지스터이고,

상기 소스 드라이버 회로의 프로그램 전류를 발생시키는 단위 트랜지스터는 N 채널 트랜지스터이고,

상기 게이트 드라이버 회로는, 상기 제1 스위칭 소자를, 1 프레임 기간 또는 1 필드 기간에 있어서, 적어도 복수회 이상 오프 상태로 제어하는 EL 표시 패널의 구동 방법이다.

또한, 제2의 본 발명은, 매트릭스 형상으로 배치된 EL 소자와,

상기 EL 소자에 흘리는 전류를 공급하는 구동용 트랜지스터와,

상기 EL 소자의 전류 경로에 배치된 제1 스위칭 소자와,

상기 제1 스위칭 소자를 온 오프 제어하는 게이트 드라이버 회로와,

상기 구동용 트랜지스터에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,

상기 구동용 트랜지스터는 P 채널 트랜지스터이고,

상기 소스 드라이버 회로의 프로그램 전류를 발생시키는 단위 트랜지스터는 N 채널 트랜지스터이고,

상기 게이트 드라이버 회로는, 상기 제1 스위칭 소자를, 1 프레임 기간 또는 1 필드 기간에 있어서, 2 수평 주사 기간 이상 오프 상태로 제어하는 것을 특징으로 하는 EL 표시 패널의 구동 방법이다.

또한, 제3의 본 발명은, 매트릭스 형상으로 배치된 EL 소자와,

상기 EL 소자에 흘리는 전류를 공급하는 구동용 트랜지스터와,

상기 EL 소자의 전류 경로에 배치된 제1 스위칭 소자와,

상기 제1 스위칭 소자를 온 오프 제어하는 게이트 드라이버 회로와,

상기 구동용 트랜지스터에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,

상기 구동용 트랜지스터는 P 채널 트랜지스터이고,

상기 소스 드라이버 회로의 프로그램 전류를 발생시키는 단위 트랜지스터는 N 채널 트랜지스터이고,

화소 행을 선택하여 전류 프로그램을 행하는 기간은, 제1 기간과 제2 기간으로 구성되고,

제1 기간에 제1 전류가 인가되고,

제2 기간에 제2 전류가 인가되고,

제1 전류는, 제2 전류보다도 크고,

상기 소스 드라이버 회로는, 제1 기간에 제1 전류를 출력하고, 제1 기간의 후의 제2 기간에 제2 전류를 출력하는 것을 특징으로 하는 EL 표시 패널의 구동 방법이다.

또한, 제4의 본 발명은, 제1 스위칭 소자는, 1 프레임 기간 또는 1 필드 기간에 있어서, 주기적으로 오프 상태로 제어되는 것을 특징으로 하는 상기 제1 본 발명의 EL 표시 패널의 구동 방법이다.

또한, 제5의 본 발명은, 프로그램 전류를 출력하는 소스 드라이버 회로와,

매트릭스 형상으로 배치된 EL 소자와,

상기 EL 소자에 흘리는 전류를 공급하는 구동용 트랜지스터와,

상기 EL 소자의 전류 경로에 배치된 제1 스위칭 소자와,

상기 구동용 트랜지스터에 상기 프로그램 전류를 전달하는 경로를 구성하는 제2 스위칭 소자와,

상기 제1 스위칭 소자를 온 오프 제어하는 제1 게이트 드라이버 회로와,

상기 제2 스위칭 소자를 온 오프 제어하는 제2 게이트 드라이버 회로와,

상기 구동용 트랜지스터에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,

상기 구동용 트랜지스터는 P 채널 트랜지스터이고,

상기 소스 드라이버 회로의 프로그램 전류를 발생시키는 단위 트랜지스터는 N 채널 트랜지스터이고,

상기 제1 게이트 드라이버 회로는, 상기 제1 스위칭 소자를, 1 프레임 기간 또는 1 필드 기간에 있어서, 복수회 오프 상태로 제어하고,

상기 제1 게이트 드라이버 회로는, 표시 패널의 1면에 배치 또는 형성되어 있고,

상기 제2 게이트 드라이버 회로는, 표시 패널의 다른 면에 배치 또는 형성되어 있는 것을 특징으로 하는 EL 표시 패널이다.

또한, 제6 본 발명은, 게이트 드라이버 회로는, 구동용 트랜지스터와 동일 프로세스로 형성되고, 소스 드라이버 회로는, 반도체 칩으로 형성되어 있는 것을 특징으로 하는 상기 제5 본 발명의 EL 표시 패널이다.

또한, 제7의 본 발명은, 게이트 신호선과,

소스 신호선과,

프로그램 전류를 출력하는 소스 드라이버 회로와, 게이트 드라이버 회로와,

매트릭스 형상으로 배치된 EL 소자와,

상기 EL 소자에 흘리는 전류를 공급하는 구동용 트랜지스터와,

상기 EL 소자의 전류 경로에 배치된 제1 트랜지스터와,

상기 구동용 트랜지스터에 상기 프로그램 전류를 전달하는 경로를 구성하는 제2 트랜지스터와,

상기 구동용 트랜지스터에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,

상기 구동용 트랜지스터는 P 채널 트랜지스터이고,

상기 소스 드라이버 회로의 프로그램 전류를 발생시키는 단위 트랜지스터는 N 채널 트랜지스터이고,

상기 소스 드라이버 회로는, 상기 소스 신호선에 프로그램 전류를 출력하고,

상기 게이트 드라이버 회로는, 게이트 신호선에 접속되고,

상기 제2 트랜지스터의 게이트 단자는, 상기 게이트 신호선에 접속되고,

상기 제2 트랜지스터의 소스 단자는, 상기 소스 신호선에 접속되고,

상기 제2 트랜지스터의 드레인 단자는, 상기 구동용 트랜지스터의 드레인 단자에 접속되고,

상기 게이트 드라이버 회로는, 복수의 게이트 신호선을 선택하고, 상기 프로그램 전류를 복수의 화소의 상기 구동용 트랜지스터에 공급하는 것을 특징으로 하는 EL 표시 패널이다.

또한, 제8의 본 발명은, I(I는 2 이상의 정수) 화소 행, J(J는 2 이상의 정수) 화소 열로 이루어지는 표시 영역을 갖고,

상기 표시 영역의 소스 신호선에 영상 신호를 인가하는 소스 드라이버 회로와,

상기 표시 영역의 게이트 신호선에 온 전압 또는 오프 전압을 인가하는 게이트 드라이버 회로와,

상기 표시 영역 이외의 개소에 형성된 더미 화소 행을 구비하고,

상기 표시 영역에는 EL 소자가 매트릭스 형상으로 형성되고, 소스 드라이버 회로에서의 영상 신호에 기초하여 발광하고,

상기 더미 화소 행은, 발광하지 않는다든지, 혹은 발광 상태가 시각적으로 보이지 않도록 구성되어 있는 것을 특징으로 하는 EL 표시 패널이다.

또한, 제9의 본 발명은, 게이트 드라이버 회로는, 복수 화소 행을 동시에 선택하고, 소스 드라이버 회로로부터의 영상 신호를 상기 복수의 화소 행에 인가하고,

제1행째의 화소 행 혹은 I 화소 행이 선택될 때에는, 더미 화소 행이 선택되는 것을 특징으로 하는 상기 제7 본 발명의 EL 표시 패널이다.

또한, 제10의 본 발명은, 게이트 드라이버 회로는 P 채널 트랜지스터로 구성되어 있는 것을 특징으로 하는 상기 제7 본 발명의 EL 표시 패널이다.

또한, 제11의 본 발명은, 매트릭스 형상으로 배치된 EL 소자와,

상기 EL 소자에 흘리는 전류를 공급하는 구동용 트랜지스터와,

상기 EL 소자의 전류 경로에 배치된 제1 스위칭 소자와,

상기 제1 스위칭 소자를 온 오프 제어하는 게이트 드라이버 회로와,

상기 구동용 트랜지스터에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,

상기 구동용 트랜지스터 및 상기 제1 스위칭 소자는 P 채널 트랜지스터이고,

상기 소스 드라이버 회로의 프로그램 전류를 발생시키는 단위 트랜지스터는 N 채널 트랜지스터인 것을 특징으로 하는 EL 표시 패널이다.

또한, 제12의 본 발명은, EL 소자를 소정 휘도보다도 고휘도로 발광하는 전류를 상기 EL 소자에 공급하고,

1 프레임 또는 1 필드의 $1/N$ (N 은 1보다 크다) 기간, 상기 EL 소자를 발광시키는 것을 특징으로 하는 EL 표시 패널의 구동 방법이다.

또한, 제13의 본 발명은, 프레임의 $1/N$ 의 기간은, 복수 기간으로 분할되어 있는 것을 특징으로 하는 상기 제12의 본 발명의 EL 표시 패널의 구동 방법이다.

또한, 제14의 본 발명은, 전류에 의해 EL 소자에 흘리는 전류를 프로그램하는 EL 표시 패널로서,

소정 휘도보다도 높은 휘도로 상기 EL 소자를 발광시켜, $1/N$ ($N>1$)의 표시 영역을 표시하고,

상기 $1/N$ 의 표시 영역을 순차 시프트하여 전 화면을 표시하는 것을 특징으로 하는 EL 표시 패널의 구동 방법이다.

또한, 제15의 본 발명은, 매트릭스 형상으로 배치된 EL 소자와, 상기 EL 소자에 흘리는 전류를 공급하는 구동용 트랜지스터와, 상기 EL 소자의 전류 경로에 배치된 제1 스위칭 소자와, 상기 제1 스위칭 소자를 온 오프 제어하는 게이트 드라이버 회로를 갖는 EL 표시 패널과,

수화기를 구비하는 것을 특징으로 하는 EL 표시 장치이다.

여기서, 본 명세서중에 기재한 본 발명 중 하나 발명은 2개의 동작으로 이루어진다. 제1 동작은, 화소(16)의 구동용 트랜지스터(11a)에, 전류 드라이버 회로(IC)(14)로부터 전류를 공급(혹은 흡수)하여, 구동용 트랜지스터(11a)에 소정의 전류를 프로그램한다. 제2 동작은 상기 구동용 트랜지스터(11a)에 프로그램된 전류를 EL 소자(15)에 흘린다. 이상과 같이, 구동용 트랜지스터(11a)에 전류 프로그램하고, 이 전류를 EL 소자(15)에 흘리는 것에 의해, 구동용 트랜지스터(11a)에 특성 변동이 발생하고 있더라도, 프로그램된 소정의 전류를 흘릴 수 있게 된다. 따라서, 균일한 화면 표시를 실현할 수 있다. EL 소자(15)에 흘리는 전류는 EL 소자(15)와 구동용 트랜지스터(11a) 사이에 형성 또는 배치된 트랜지스터(11d)에 의해 간헐 동작된다.

또한, 다른 하나의 발명은, 복수 화소 행의 구동용 트랜지스터(11a)를 동시에 선택하고, 전류 프로그램을 실시하는 방법이다. 선택 화소 행은 순차 주사한다. 예를 들면, 전류 드라이버(14)로부터 $1\mu A$ 의 전류를 출력하고, 2개의 화소 행을 동시에 선택한다고 하면, 하나의 화소 행에는, $1/2=0.5\mu A$ 의 전류가 프로그램된다.

이것을 실현하기 위해서, 화면의 상단과 하단 중, 적어도 한쪽에 더미 화소 행을 형성한다. 이 더미 화소 행은, 전류 프로그램되더라도 발광하지 않도록 구성된다. 또한, 더미 화소 행은, 동시에 선택되는 화소 행 -1의 개수가 형성 또는 배치된다.

전류 드라이버(14)가 전류 출력하는 소스 신호선(18)에는 기생 용량이 있다. 기생 용량을 충분히 충방전할 수 없으면, 화소(16)에는 소정의 전류를 기입할 수 없다. 충방전을 양호하게 하기 위해서는, 전류 드라이버(14)로부터의 출력 전류를 크게 하면 된다. 그러나, 전류 드라이버(14)로부터 출력하는 전류는 화소(16)의 구동용 트랜지스터(11a)에 기입된다. 따라서, 전류 드라이버(14)로부터의 출력 전류를 크게 하면, 구동용 트랜지스터(11a)에 기입되는 전류도 커지고, EL 소자(15)의 발광 휘도도 비례하여 커진다. 그 때문에, 소정 휘도 표시로 되지 않는다.

복수 화소 행의 구동용 트랜지스터(11a)를 동시에 선택하면, 전류 드라이버(14)로부터의 출력 전류는 복수 화소 행으로 분할되고, 전류 프로그램이 실시된다. 따라서, 전류 드라이버(14)로부터 출력하는 전류를 크게 하고, 또한 구동용 트랜지스터(11a)의 기입 전류를 작게 할 수 있다.

또한, 또 다른 하나의 발명은 화소(16)의 점등을 간헐로 하는 것이다. 즉, 화면 표시는 간헐 표시로 한다. 화면 표시를 간헐 표시로 함으로써 동화상 불선명의 발생이 없어진다. 따라서, CRT와 같이, 잔상이 없고, 양호한 동화상 표시를 실현할 수 있다. 간헐 표시는 구동용 트랜지스터와 EL 소자(15) 사이에 배치 또는 형성된 트랜지스터(11d)를 제어함으로써 실현한다.

또한, 상기 구성에 의하면, 예를 들면, $N=10$ 배의 전류로 화소 트랜지스터에 프로그램하면, 10배의 전류가 EL 소자(15)에 흘러, EL 소자(15)는 10배의 휘도로 발광한다. 그래서 소정의 발광 휘도를 얻기 위해서, EL 소자에 전류가 흐르는 시간을 1 프레임(1F)의 $1/10$ 으로 한다. 이와 같이 구동함으로써, 소스 신호선의 기생 용량을 충분히 충방전할 수 있어, 소정의 발광 휘도를 얻을 수 있다. 이와 같이, N 배의 전류로 화소에 프로그램하기 때문에, 소스 신호선의 기생 용량을 충분히 충방전할 수 있다. 따라서, 정밀도가 좋은 전류 프로그램을 실현할 수 있으므로 균일 표시를 실현할 수 있다. 또한, $1F/N$ 의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간($1F(N-1)/N$)은 전류를 흘리지 않는다. 이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)가 반복되는 간헐 표시로 된다. 따라서, 화상의 윤곽 불선명이 없어져 양호한 동화상 표시를 실현할 수 있다.

본 명세서에 있어서 각 도면은 이해를 용이하게 또는 /및 작도를 쉽게 하기 위해서, 생략 또는 /및 확대 축소한 개소가 있다. 예를 들면, 도 11에 도시하는 표시 패널의 단면도에서는 박막 밀봉막(111) 등을 충분히 두껍게 도시하고 있다. 한편, 도 10에 있어서, 밀봉 뚜껑(85)은 얇게 도시하고 있다. 또, 생략한 개소도 있다. 예를 들면, 본 발명의 표시 패널 등에서는, 반사 방지를 위해서 원편광판 등의 위상 필름을 갖는 편광판이 필요하다. 그러나, 본 명세서의 각 도면에서는 생략하였다. 이상의 것은 이하의 도면에 대하여도 마찬가지이다. 또한, 동일 번호 또는 기호 등을 붙인 개소는 동일 혹은 유사한 형태 혹은 재료 혹은 기능 혹은 동작을 갖는다.

또한, 각 도면 등에서 설명한 내용은, 특별히 거절이 없는 경우에는, 다른 실시예 등과 조합할 수 있다. 예를 들면, 도 8의 표시 패널에 터치 패널 등을 부가하고, 도 57 내지 도 61, 도 102 등에 도시하는 정보 표시 장치 등을 구성할 수 있다. 또한, 확대 렌즈(582)를 부착하고, 비디오 카메라(도 59 등 참조할 것) 등에 이용하는 뷰 파인더(도 58을 참조할 것)를 구성할 수도 있다. 또한, 도 4, 도 15, 도 18, 도 21, 도 23, 도 27, 도 31, 도 35, 도 39, 도 44, 도 52, 도 53, 도 55, 도 63, 도 67, 도 77, 도 78, 도 79, 도 80, 도 114, 도 116, 도 120, 도 122, 도 125, 도 129, 도 130, 도 131, 도 132, 도 133, 도 136, 도 139, 도 140, 도 144, 도 145, 도 152 내지 도 164 등에서 설명한 본 발명의 구동 방법은, 어느 본 발명의 표시 장치 또는 표시 패널 혹은 정보 표시 장치 등에 적용할 수 있다.

또한, 본 명세서에서는, 구동용 트랜지스터(11), 스위칭용 트랜지스터(11) 등은 박막 트랜지스터로서 설명하지만, 이것에 한정되는 것이 아니다. 박막 다이오드(TFD), 링 다이오드 등으로도 구성할 수 있다. 또한, 박막 소자에 한정되는 것이 아니고, 실리콘 웨이퍼에 형성한 트랜지스터이어도 된다. 물론, FET, MOS-FET, MOS 트랜지스터, 바이폴라 트랜지스터이어도 된다. 이들도 기본적으로 박막 트랜지스터이다. 기타, 바리스터, 사이리스터, 링 다이오드, 포토 다이오드, 포토 트랜지스터, PLZT 소자 등이라도 되는 것은 물론이다. 즉, 스위치 소자(11), 구동용 소자(11)를 구성하는 것은 이들 어느 것이라도 사용할 수 있다.

이하, 본 발명의 EL 패널에 대하여 도면을 참조하면서 설명을 한다. 유기 EL 표시 패널은, 도 10에 도시한 바와 같이, 화소 전극으로서의 투명 전극(105)이 형성된 유리판(71)(어레이 기판) 상에, 전자 수송층, 발광층, 정공 수송층 등으로 이루어지는 적어도 1층의 유기 EL층(15) 및 금속 전극(반사막)(캐소드)(106)이 적층된 것이다. 투명 전극(화소 전극)(105)인 양극(애노드)에 플러스, 금속 전극(반사 전극)(106)의 음극(캐소드)에 마이너스의 전압을 가하면 유기 EL 소자(15)가 발광한다.

애노드 혹은 캐소드에 전류를 공급하는 배선(도 8의 캐소드 배선(86), 애노드 배선(87))에는 큰 전류가 흐른다. 예를 들면, EL 표시 장치의 화면 사이즈가 40인치 사이즈로 되면 100(A) 정도의 전류가 흐른다. 따라서, 애노드 및 캐소드 배선의 저항값은 충분히 낮게 제작(형성)할 필요가 있다. 이 과제에 대하여, 본 발명에서는, 우선, 애노드 등의 배선(EL 소자에 발광 전류를 공급하는 배선)을 박막으로 형성한다. 그리고, 이 박막 배선에 전해 도금 기술 혹은 무전해 도금 기술로 도금하고, 배선에 도금층을 적층함으로써 배선의 두께를 두껍게 형성하고 있다.

도금 금속으로서, 크롬, 니켈, 금, 구리, 알루미늄 혹은 이들 합금, 아말감 구조 등이 예시된다. 또한, 필요에 따라서, 배선 그 자체, 혹은 배선에 구리박으로 이루어지는 금속 배선을 접착하고 있다. 또한, 배선의 위에 구리 페이스트 등을 스크린 인쇄하고, 페이스트 등을 적층시킴으로써 배선의 두께를 두껍게 하여, 배선 저항을 저하시킨다. 또한, 본딩 기술로 배선의 와이어를 본딩해도 된다. 또한, 필요에 따라서, 배선에 절연층을 형성하고, 또한 도전체층을 적층하여 그랜드 패턴을 형성하고, 배선과의 사이에 커패시터(용량)를 형성하여도 된다.

금속 전극(106)에는 리튬, 은, 알루미늄, 마그네슘, 인듐, 구리 또는 각각의 합금 등의 일 함수가 작은 것을 이용하는 것이 바람직하다. 특히, 예를 들면 Al-Li 합금을 이용하는 것이 바람직하다. 또한, 투명 전극(105)에는, ITO 등의 일 함수가 큰 도전성 재료 또는 금 등을 이용할 수 있다. 또한, 금을 전극 재료로서 이용한 경우, 전극은 반투명의 상태로 된다. 또한, ITO는 IZO 등의 다른 재료라도 무방하다. 이 사항은 다른 화소 전극(105)에 대하여도 마찬가지이다.

본 발명의 EL막(15))은 증착으로 형성하는 것에 한정되는 것이 아니고, 잉크젯으로 형성하여도 되는 것은 물론이다. 즉, 본 발명의 EL 소자(15)란, 증착 프로세스로 형성하는 저 분자 EL 재료로 구성된 것에 한정되는 것이 아니고, 잉크젯 등으로 형성되는 고분자 EL 재료로 구성된 것이어도 된다. 기타, 스크린 인쇄 혹은 오프셋 인쇄 기술 등으로 형성된 것이어도 된다.

밀봉 뚜껑(85)과 어레이 기판(71)과의 공간에는 건조제(107)를 배치한다. 이것은 유기 EL막(15))은 습도에 약하기 때문이다. EL막(15))을 밀봉 뚜껑(85)으로 외기와 차단하여, 건조제(107)에 의해 시일제를 침투하는 수분을 흡수하여 유기 EL막(15))의 열화를 방지한다.

도 10은 유리의 밀봉 뚜껑(85)을 이용하여 밀봉하는 구성이지만, 도 11과 같이 필름(박막이어도 됨. 즉, 박막 밀봉막임)(111)을 이용한 밀봉이어도 된다. 예를 들면, 밀봉 필름(박막 밀봉막)(111)으로서의 전해 컨덴서의 필름에 DLC(다이아몬드형 카본)를 증착한 것을 이용하는 것이 예시된다. 이 필름은 수분 침투성이 매우 나쁘다(방습 성능이 높음). 이 필름을 밀봉막(111)으로서 이용한다. 또한, 밀봉 뚜껑 혹은 밀봉막(111)의 열 팽창 계수는, 어레이 기판(71)의 열 팽창 계수에 대하여, 10% 이내의 차의 재료를 이용하여 형성 혹은 구성하는 것이 바람직하다. 열 팽창 계수가 어긋나 있으면 밀봉 뚜껑(111) 등과 어레이 기판(71) 등이 박리된다. 또한, 밀봉막(111)은 DLC막 등을 전극(106)의 표면에 직접 증착하는 구성으로도 되는 것은 물론이다. 기타, 수지 박막과 금속 박막을 다층에 적층하여, 박막 밀봉막을 구성해도 된다.

박막(111)의 막 두께는 $n \cdot d$ (n 은 박막의 굴절율, 복수의 박막이 적층되어 있는 경우에는 이들 굴절율을 총합(각 박막의 $n \cdot d$ 를 계산)으로 하여 계산함. d 는 박막의 막 두께, 복수의 박막이 적층되어 있는 경우에는 이들 복수의 박막의 막 두께 굴절율을 총합하여 계산함)가, EL 소자(15)의 발광 주파 길이 λ 이하로 되도록 하면 된다. 이 조건을 만족시킴으로써, EL 소자(15)로부터의 광 추출 효율이, 유리 기판으로 밀봉한 경우에 비교하여 2배 이상으로 된다. 또한, 알루미늄과 은의 합금 혹은 혼합물 혹은 적층물을 형성하여도 된다.

이상과 같이 밀봉 뚜껑(85)을 이용하지 않고, 박막 밀봉막(111)으로 밀봉하는 구성을 박막 밀봉이라고 부른다. 어레이 기판(71) 측으로부터 빛을 추출하는 「하부 추출(도 10을 참조, 광 추출 방향은 도 10의 화살표 방향임)」인 경우의 박막 밀봉은, EL막을 형성 후, EL막 상에 캐소드가 되는 알루미늄 전극을 형성한다. 다음에 이 알루미늄막 상에 완충층으로서의 수지층을 형성한다. 완충층으로서의 아크릴, 에폭시 등의 유기 재료가 예시된다. 또한, 막 두께는 $1\mu\text{m}$ 이상 $10\mu\text{m}$ 이하의 두께가 적합하다. 더욱 바람직하게는, 막 두께는 $2\mu\text{m}$ 이상 $6\mu\text{m}$ 이하의 두께가 적합하다. 이 완충막(완충층) 상의 밀봉막(111)을 형성한다. 완충막이 없으면, 응력에 의해 EL막의 구조가 무너져, 줄기 형상으로 결함이 발생한다. 박막 밀봉막(111)은 상술한 바와 같이, DLC(다이아몬드형 카본), 혹은 전해 컨덴서의 층 구조(유전체 박막과 알루미늄 박막을 교대로 다층 증착한 구조)가 예시된다.

EL층(15)측으로부터 빛을 추출하는 「상부 추출 도 11을 참조, 광 추출 방향은 도 11의 화살표 방향이다」인 경우의 박막 밀봉은, EL막(15)을 형성 후, EL막(15) 상에 캐소드(애노드)가 되는 Ag-Mg막을 20옹스트룀 이상 300옹스트룀의 막 두께로 형성한다. 그 위에, ITO 등의 투명 전극을 형성하여 저 저항화한다. 다음에 이 전극막 상에 완충층으로서의 수지층을 형성한다. 이 완충막 상에 박막 밀봉막(111)을 형성한다.

유기 EL층(15)으로부터 발생한 빛의 반은 금속 전극(106)에 의해 반사되어, 어레이 기판(71)과 투과하여 출사된다. 그러나, 금속 전극(106)은 외광을 반사하여 찍혀 들어가는 것이 발생하여 표시 콘트라스트를 저하시킨다. 이 대책을 위해서, 어레이 기판(71)에 $\lambda/4$ 위상판(108) 및 편광판(편광 필름)(109)을 배치하고 있다. 이들은 일반적으로 원편광판(원편광 시트)이라고 불린다.

또, 화소가 반사 전극인 경우에는 EL층(15)으로부터 발생한 빛은 위 방향으로 출사된다. 따라서, 위상판(108) 및 편광판(109)을 광 출사측에 배치하는 것은 물론이다. 또, 반사형 화소는 화소 전극(105)을, 알루미늄, 크롬, 은 등으로 구성하여 얻어진다. 또한, 화소 전극(105)의 표면에 불록부(혹은 요철부)를 마련함으로써 유기 EL층(15)과의 계면이 넓어지고 발광 면적이 커지며, 또한 발광 효율이 향상된다. 또, 캐소드(106)(애노드(105))가 되는 반사막을 투명 전극에 형성하거나, 혹은 반사율을 30% 이하로 저감 가능한 경우에는, 원편광판은 불필요하다. 찍혀 들어가는 것이 대폭 감소하기 때문이다. 또한, 빛의 간섭도 저감되어 바람직하다.

화소의 개구부 이외에 카본을 함유시킨 아크릴 수지를 도포하는(블랙 매트릭스(BM)) 것에 의해, 찍혀 들어가는 것을 억제할 수 있다. 수지 등은 광 흡수성을 갖는 것이면 어느 것이라도 좋다. 육가 크롬 등의 흑색의 금속, 도료, 표면에 미세한 요

철을 형성한 박막 혹은 두꺼운 막 혹은 부재, 산화 티탄, 산화 알루미늄, 산화 마그네슘, 오팔 유리 등의 광 확산물이어도 된다. 또한, 암색, 흑색이 아니더라도 광 변조층(24)이 변조하는 빛에 대하여 보색의 관계가 있는 염료, 안료 등으로 착색된 것이어도 된다.

화소 전극(105)은 투명 전극(ITO)으로 형성된다. 화소 전극(105) 상에, EL막(15))이 형성된다. 캐소드 전극(106)과 화소 전극(105) 사이에 협지된 EL 소자(15)에 전계가 인가됨으로써 EL 소자(15)가 발광한다.

과제는, 전계가 인가된 EL층(15)의 전부가 발광하는 점에 있다. 화소 전극(105) 아래에 트랜지스터(11), 게이트 신호선(17)이 형성된 영역은 빛이 투과하지 않는다(이 빛이 투과하지 않는 영역을 비 투과 영역이라고 함). 비 투과 영역의 EL층(15)이 발광해도, 발광한 빛은 차광된다. 그러나, 발광한 영역에서도 전력은 사용되고 있으므로, 비 투과 영역에서 발광하고 있는 EL층이 많을수록 전력 효율이 저하하게 된다.

이 과제를 해결하기 위해서, 본 발명에서는, 도 68에서 도시한 바와 같이 비 발광 영역에 절연막(681)을 형성하고 있다. 절연막(681)은 화소 전극(105)과 적층하여 형성한다. 또한, 절연막(681)은 비 발광 영역 위에 형성한다. 비 발광 영역 이란, 화소 전극(105)과 EL층(15) 사이, 캐소드(106)와 EL층(15) 사이의 어느 것이나 해당한다. 도 68은 화소 전극(105)과 EL층(15) 사이에 절연막(681)을 형성한 구성이다.

도 71은 화소 전극(105)을 위에서 본 구성을 모식적으로 도시하고 있다. 비 발광 영역 위에 절연막(681)이 형성되어 있다. 또한, 도 72는 화소 개구부(721) 이외의 부분에 절연막(681)을 형성한 부분을 도시하고 있다.

절연막은 SiO_2 , SiO , TiO_2 , Al_2O_3 등의 무기 재료로 이루어지는 박막이 예시된다. 또한, 아크릴 수지, 레지스트 등 유기 재료로 이루어지는 박막 혹은 두꺼운 막이어도 된다. 또한, 비 투과 영역의 화소 전극을 패터닝에 의해 제거하여도 된다. 또한, 캐소드를 구성하는 금속 박막 등을 패터닝에 의해 제거하여도 되는 것은 물론이다.

절연막(681)을 형성하는 것, 혹은 패터닝에 의해 EL 소자(15)의 전극을 제거함으로써, EL막(15))에는 전하가 주입되지 않게 된다. 따라서, 비 발광 영역에서의 EL 소자(15)의 발광은 발생하지 않게 되므로, 전력 효율은 향상한다.

또한 화소 사이즈는, 도 73에 도시한 바와 같이, RGB에서 크기를 변화시켜도 되는 것은 물론이다. EL 소자(15)는 RGB에서 발광 효율이 다르기 때문에, 도 73과 같이 RGB에서 화소 개구율(화소 사이즈)을 변화시키는 것에 의해, 화이트 밸런스를 양호하게 할 수 있다.

또한, 기관(71)으로부터 외부에 방사(출사)되는 광량을 증대시키기 위해서는, 도 69에 도시한 바와 같이 회절 격자를 형성하면 된다. 회절 격자에 의해, EL층(15)에서 발생한 빛이 회절하여, 임계각에서 반사되는 광량이 적어진다. 따라서, 기관(71)으로부터 출사하는 광량이 증대되어, 고휘도 표시를 실현할 수 있게 된다.

도 69의 (a)는 회절 격자(691)를 화소 전극(105) 상에 형성한 실시예이다. 화소 전극(105)을 패터닝함으로써, 혹은 화소 전극(105)의 하층 혹은 화소 전극(105) 상에 회절 격자를 형성하는 것의 보다, 회절 효과가 발휘된다.

회절 격자의 형상은 원호 형상, 삼각형 형상, 톱니 형상, 직사각형 형상, 사인 커브 형상의 어느 것이어도 된다. 그러나, 특성, 효율의 관점에서 사인 커브 형상으로 하는 것이 바람직하다. 회절 격자의 피치는 $1\mu\text{m}$ 이상 $210\mu\text{m}$ 이하로 하는 것이 바람직하고, 특히, $2\mu\text{m}$ 이상 $10\mu\text{m}$ 이하로 하는 것이 바람직하다. 회절 격자의 높이는 $2\mu\text{m}$ 이상 $20\mu\text{m}$ 이하로 하는 것이 바람직하고, 특히, $3\mu\text{m}$ 이상 $10\mu\text{m}$ 이하로 하는 것이 바람직하다. 또한, 회절 격자는, 선형(2차원 형상)보다도 3차원(도트 매트릭스 형상)으로 구성하는 것이 바람직하다. 선형이면, 편광 의존성이 발생하기 때문이다.

도 69의 (b)는 회절 격자(691)를 캐소드 전극(106) 상에 형성한 실시예이다. 캐소드 전극(106)을 패터닝함으로써, 혹은 캐소드 전극(106)의 하층 혹은 캐소드 전극(106) 상에 회절 격자를 형성하는 것의 보다, 회절 효과가 발휘된다.

도 70은 회절 격자(691)를 캐소드 전극(106) 및 화소 전극에 형성한 실시예이다. 회절 격자(691a, 691b)는 2차원형(선형)에 형성하고, 회절 격자(691a)와 회절 격자(691b)는 형성 방향이 직교하도록 구성하면 된다. 물론, 회절 격자(691a), 회절 격자(691b)의 한쪽이 3차원형 혹은 양방이 3차원 형상으로 구성해도 되는 것은 물론이다.

트랜지스터(11)는 LDD(로 도핑 드레인) 구조를 채용하는 것이 바람직하다. 또한, 본 명세서에서는 EL 소자로서 유기 EL 소자(OEL, PEL, PLED, OLED 등 다종 다양한 약칭으로 기술됨)(15)를 예로 들어 설명하지만 이것에 한정되는 것이 아니라, 무기 EL 소자에도 적용되는 것은 물론이다.

우선, 유기 EL 표시 패널에 이용되는 액티브 매트릭스 방식은,

1. 특정한 화소를 선택하고, 필요한 표시 정보를 공급받을 것.
2. 1 프레임 기간을 통하여 EL 소자에 전류를 흘릴 수 있을 것.

이라고 하는 2가지 조건을 만족시키지 않으면 안된다.

이 2가지 조건을 만족시키기 위해서, 도 62에 도시하는 종래의 유기 EL의 화소 구성에서는, 제1 트랜지스터(11b)는 화소를 선택하기 위한 스위칭용 트랜지스터, 제2 트랜지스터(11a)는 EL 소자(EL막1)5에 전류를 공급하기 위한 구동용 트랜지스터로 한다.

이 구성을 이용하여 계조를 표시시키는 경우, 구동용 트랜지스터(11a)의 게이트 전압으로서 계조에 따른 전압을 인가할 필요가 있다. 따라서, 구동용 트랜지스터(11a)의 온 전류의 변동이 그대로 표시에 나타난다.

트랜지스터의 온 전류는 단결정으로 형성된 트랜지스터(예를 들면, 실리콘 기판에 형성된 트랜지스터)이면, 매우 균일하지만, 얇아진 유리 기판에 형성할 수 있는 형성 온도가 450도 이하의 저온 폴리실리 기술로 형성한 저온 다결정 트랜지스터에서는, 그 임계값의 변동이 $\pm 0.2V \sim 0.5V$ 의 범위에서 변동이 있다. 그 때문에, 구동용 트랜지스터(11a)를 흐르는 온 전류가 이에 대응하여 변동, 표시에 얼룩짐이 발생한다. 이들 얼룩짐은 임계값 전압의 변동뿐만 아니라, 트랜지스터의 이동도, 게이트 절연막의 두께 등에서도 발생한다. 또한, 트랜지스터(11)의 열화에 의해서도 특성은 변화한다.

트랜지스터의 특성의 변동은 저온 폴리실리콘 기술에 한정되는 것이 아니고, 프로세스 온도가 450도(섭씨) 이상의 고온 폴리실리콘 기술에서도, 고상(CGS) 성장시킨 반도체막을 이용하여 트랜지스터 등을 형성한 것에서도 발생한다. 기타, 유기 트랜지스터에서도 발생한다. 비정질 실리콘 트랜지스터에서도 발생한다. 또한, 본 명세서에서는 저온 폴리실리콘 기술로 형성한 트랜지스터를 주로 설명한다.

따라서, 도 62와 같이, 전압을 기입함으로써, 계조를 표시시키는 방법에서는, 균일한 표시를 얻기 위해서, 디바이스의 특성을 엄밀히 제어할 필요가 있다. 그러나, 현상의 저온 다결정 폴리실리콘 트랜지스터 등에서는 이 변동을 소정 범위 이내로 억제한다고 하는 스펙을 만족할 수 없다.

본 발명의 EL 표시 장치의 화소 구조는, 구체적으로는 도 1에 도시한 바와 같이 단위 화소가 4개로 이루어지는 복수의 트랜지스터(11) 및 EL 소자에 의해 형성된다. 화소 전극은 소스 신호선과 중첩되도록 구성한다. 즉, 소스 신호선(18) 상에 절연막 혹은 아크릴 재료로 이루어지는 평탄화막을 형성하여 절연하고, 이 절연막 위에 화소 전극(105)을 형성한다. 이와 같이 소스 신호선(18) 상의 적어도 1부에 화소 전극을 중첩하는 구성을 하이 개구(HA) 구조라고 부른다. 불필요한 간섭광 등이 저감하여, 양호한 발광 상태를 기대할 수 있다.

이 회로는 1 화소 내에 4개의 트랜지스터(11)를 갖고 있고, 트랜지스터(11a)의 게이트는 트랜지스터(11b)의 소스에 접속되어 있다. 또한, 트랜지스터(11b) 및 트랜지스터(11c)의 게이트는 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b)의 드레인은 트랜지스터(11c)의 소스 및 트랜지스터(11d)의 소스에 접속되고, 트랜지스터(11c)의 드레인은 소스 신호선(18)에 접속되어 있다. 트랜지스터(11d)의 게이트는 게이트 신호선(17b)에 접속되고, 트랜지스터(11d)의 드레인은 EL 소자(15)의 애노드 전극에 접속되어 있다.

또한, 트랜지스터(11b 및 11c)는 본 발명의 제2 스위칭 소자의 일례이다. 또한, 트랜지스터(11d)는 본 발명의 제1 스위칭 소자의 일례이다.

게이트 신호선(제1 주사선)(17a)을 액티브(온 전압을 인가)로 함으로써 EL 소자(15)의 구동용의 트랜지스터(11a) 및 스위칭용 트랜지스터(11c)가 온 상태로 된다. 동시에, 상기 EL 소자(15)에 흘려야 할 전류값을 소스 드라이버 회로(14)로부터

홀린다. 또한, 트랜지스터(11a)의 게이트와 드레인 사이를 단락하도록 트랜지스터(11b)가 온함과 함께, 트랜지스터(11a)의 게이트와 소스 사이에 접속된 컨덴서(캐패시터, 축적 용량, 부가 용량)(19)에 소스 드라이버 회로(14)가 홀린 전류를 기억한다(도 3의 (a)를 참조할 것).

다음에, 게이트 신호선(17a)을 비 액티브(OFF 전압을 인가), 게이트 신호선(17b)을 액티브로 하여, 전류가 흐르는 경로를 상기 제1 트랜지스터(11a) 및 EL 소자(15)에 접속된 트랜지스터(11d) 및 상기 EL 소자(15)를 포함하는 경로로 전환하고, 기억한 전류를 상기 EL 소자(15)에 홀리도록 동작한다(도 3의 (b)를 참조할 것).

또한, 1 화소에 필요한 컨덴서(19)의 용량을 $C_s(\text{pF})$ 로 하고, 1 화소가 차지하는 면적(개구율이 아님. 화소 사이즈임)을 S_p ($\text{평방}\mu\text{m}$)로 하면, $500/S_p \leq C_s \leq 20000/S_p$ 로 하고, 더욱 바람직하게는, $1000/S_p \leq C_s \leq 10000/S_p$ 로 되도록 한다. 또한, 트랜지스터의 게이트 용량은 작기 때문에, 여기서 말하는 C_s 란, 축적 용량(컨덴서)(19) 단독의 용량으로 간주하여도 된다.

컨덴서(19)는 화소의 비표시 영역에 대체로 형성하는 것이 바람직하다. 일반적으로, 풀컬러 유기 EL(15)을 작성하는 경우, 유기 EL층(15)을 메탈 마스크에 의한 마스크 증착으로 형성한다. 마스크 위치 어긋남이 발생하면 각 색의 유기 EL층(15)(15R, 15G, 15B)가 중첩될 위험성이 있다. 그 때문에, 각 색이 인접하는 화소 사이의 비표시 영역은 10μ 이상 떨어져야 한다. 이 부분은 발광에 기여하지 않는 부분(비 발광 영역)으로 된다. 따라서, 축적 용량(19)을 이 영역에 형성하는 것은 화소 내의 유효 이용으로 되어, 개구율 향상을 위해서 유효한 수단으로 된다.

또한, 도 1에서는 모든 트랜지스터는 P 채널로 구성하고 있다. P 채널은 다소 N 채널의 트랜지스터에 비교하여 모빌리티가 낮지만, 내압이 크고 또한 열화도 발생하기 어렵기 때문에 바람직하다. 그러나, 본 발명은 EL 소자 구성을 P 채널로 구성하는 것에만 한정되는 것은 아니다. N 채널만으로 구성해도 된다. 또한, N 채널과 P 채널의 양방을 이용하여 구성해도 된다.

또한, 도 1에 있어서 트랜지스터(11c, 11b)는 동일한 극성으로 구성하고, 또한 N 채널로 구성하고, 트랜지스터(11a, 11d)는 P 채널로 구성하는 것이 바람직하다. 일반적으로 P 채널 트랜지스터는 N 채널 트랜지스터에 비교하여 신뢰성이 높고, 킥 전류가 적다는 등의 특징이 있으며, 전류를 제어함으로써 목적으로 하는 발광 강도를 얻는 EL 소자(15)에 대해서는, 트랜지스터(11a)를 P 채널로 하는 효과가 크다.

최적으로는 화소를 구성하는 트랜지스터(11)를 전부 P 채널로 형성하고, 내장 게이트 드라이버(12)도 P 채널로 형성하는 것이 바람직하다. 이와 같이 어레이를 P 채널만의 트랜지스터로 형성함으로써, 마스크 매수가 5매로 되어, 저 비용화, 고 수율화를 실현할 수 있다.

도 1 등의 전류 구동 방식의 화소 구성은 화소 결함을 전기적으로 검사할 수 있다고 하는 점에도 특징이 있다. 이하, 본 발명의 검사 방법에 대하여 설명해 놓는다. 도 87, 도 88은 본 발명의 검사 방법을 설명하기 위한 설명도이다. 도 87의 화소 구성(도 1의 화소 구성을 예시하여 설명을 함)에서는, 프로그램 전류 I_w 를 소스 신호선(18)에 인가한다. 프로그램 전류 I_w 는 $1\mu\text{A} \sim 10\mu\text{A}$ 의 전류이다. 구동용 트랜지스터(11a)는 소정의 프로그램 전류 I_w 가 흐르도록 구동된다. 즉, 구동용 트랜지스터(11a)의 게이트(G) 단자의 전위는 변화한다. 이 소정의 전류 I_w 를 흘리기 위한, 트랜지스터(11a)의 게이트 단자(G)의 전위를 V_t 라고 부른다.

예를 들면, 어떤 화소의 구동용 트랜지스터(11a)는 I_w 전류를 흘리는 데, 게이트 단자는 V_{dd} 전압보다도 V_{t2} 만큼 낮게 할 필요가 있다(도 88의 실선). 다른 어떤 화소의 구동용 트랜지스터(11a)는 I_w 전류를 흘리는 데, 게이트 단자는 V_{dd} 전압보다도 V_{t1} 만큼 낮게 할 필요가 있다(도 88의 점선). 이들 V_t 는 소스 신호선(18)의 전위의 변화이지만, 화소(16)의 트랜지스터(11a)의 특성을 나타내고 있게 된다.

즉, 선택된 화소(16)의 구동 트랜지스터(11a)의 게이트 단자 전위가 소스 신호선(18)의 전위로 된다. 구동 트랜지스터(11a)의 게이트 단자 전위의 조정에 의해 구동 트랜지스터(11a)가 흘리는 전류가 결정되므로, 구동 트랜지스터(11a)의 게이트 전위로부터 구동 트랜지스터(11a)의 특성을 측정할 수 있다. 또한, 화소(16) 내에서 발생하고 있는 결함에 의해 소스 신호선(18)의 전위가 이상 출력으로 된다. 따라서, 결함 등을 검출할 수 있다.

게이트 드라이브 회로(12)를 제어하여, 1 게이트 신호선(17a)에 온 전압을 인가한다. 즉, 1 화소 행씩, 순차 선택해 간다(다른 게이트 신호선(17a)에는 오프 전압이 인가되어 있음). 또한, 소스 신호선(18)에는 I_w 전류를 흘리도록 설정한다. 게이트 신호선(17a)에 온 전압이 인가되고, 선택된 화소(16)의 트랜지스터(11a)의 게이트 단자는, 소정 전류 I_w 를 흘리는 것에 필요로 하는 V_t 전압으로 된다.

게이트 신호선(17b)에는 오프 전압을 인가해 둔다. 오프 전압에 인가에 의해 트랜지스터(11d)는 오프 상태로 되고, 구동용 트랜지스터(11a)와 EL 소자(15)와는 분리된 상태로 된다. 따라서, EL 소자(15)가 형성되어 있지 않은 어레이 상태에서도 본 발명의 검사 방법을 적용할 수 있다.

이상과 같이, 게이트 신호선(17a)의 온 전압 위치를, 1 수평 주사 기간(1H)에 동기하여 순차 시프트해 가면, 도 89에 도시한 바와 같이 소스 신호선(18) 전위가 변화한다(도 88도 참조할 것). 변화는 1H에 동기하여 출력된다. 또한, 1H에 동기하는 것에 한정되는 것이 아니다. 화상을 표시하는 것이 아니고, 검사를 위해서이기 때문이다. 따라서, 1H란, 1 화소 행을 순차 선택한다고 하는 의미이고, 설명을 쉽게 하기 위함이다. 1H는 임의의 고정 시간(기간)이어도 된다. 즉, 1H란, 검사하는 화소 행을 선택하고 있는 기간이다.

또한, 본 발명의 검사 방식(검사 장치, 검사 방법)에서는, 복수 화소 행을 동시에 선택해도 되는 것은 분명하다. 화소 결합 등은, 복수 화소 행을 동시에 선택해도 이상 출력이 소스 신호선(18)에 출력됨으로써 검출할 수 있기 때문이다. 검사를 행하는 화소(16)로부터 출력되는 전류는 μA 정도의 미소 전류이다. 화소(16)에서 쇼트 결합 등이 발생하고 있으면, 적어도 mA 오더의 출력이 소스 신호선(18)에 출력된다. 따라서, 복수 화소 행을 동시에 선택하여 검사를 행할 수 있다. 극단적으로는 표시 영역(50)의 전 화소 행을 선택하고, 일괄 검사를 행하여도 무방하다. 또한, 화면(50)의 1/2씩 검사를 행하여도 된다.

도 90은 본 발명의 검사 방법을 실시하기 위한 검사 회로의 구성도이다. 각 소스 신호선(18)의 전극 단자(996)에 프로브(997)를 접속하고, 소스 신호선(18)에 프로그램 전류 I_w 를 인가하고 있다. 프로그램 전류 I_w 는, 기준 전압 회로(991)의 전압값에 의해 변경 혹은 조정할 수 있다. 기준 전압 발생 회로(991)의 기준 전압 V_d 가 연산 증폭기(995)의 + 단자(정극성 단자)에 입력된다. 연산 증폭기(995)와 트랜지스터(994)와 저항 R_m 에서 정전류 회로를 구성하고 있다.

프로그램 전류 I_w 는 $1\mu A$ 이상 $10\mu A$ 이하로 설정한다. 기본적으로는, 패널을 구동하는 데 필요한 최대값의 전류로 실시한다. 또한, 흑 기입 상태(흑 표시 시)의 검사를 위해서, $100nA$ 이하의 저전류로 측정해도 된다.

기준 전압 회로(991)가 출력하는 기준 전압 V_a 는, 연산 증폭기(995)의 + 단자에 인가된다. 연산 증폭기의 + 단자와 - 단자는 동일 전위로 되므로, 트랜지스터(994)에는 소스 신호선(18)에 흐르는 전류 $I_w = V_a / R_m$ 이 흐른다. 따라서, 모든 소스 신호선(18)에는 정전류 I_w 가 흐른다. 또한, 기준 전압 V_a 의 변경에 의해, 용이하게 전류 I_w 를 변경할 수 있다.

또한, 본 발명에서는, 모든 소스 신호선(18)에 동일 전류 I_w 를 흘리는 것으로 하여 설명하지만, 이것에 한정되는 것은 아니다. 예를 들면, 인접한 소스 신호선(18)에 다른 정전류를 흘려 검사를 행하여도 된다. 또한, 홀수번째의 소스 신호선(18)에 프로브(997) 전극(996)과의 접속 방식은, 프로브(997)에 한정되는 것은 아니다. 예를 들면, ACF 기술로 접촉해도 된다. 또한, 금 범프, 니켈 범프에 의해 접속을 취해도 좋다.

또한, 본 발명의 검사 방식에 있어서, 소스 신호선(18)에는 정전류 I_w 를 흘리는 것으로 하여 설명을 하지만 이것에 한정되는 것은 아니다. 예를 들면, 직사각형과 형상의 전류(교류 전류)를 흘려서 검사를 해도 된다. 또한, 전압을 소스 신호선(18)에 인가하고, 소스 신호선(18)의 인접 쇼트 등을 검출하는 제1 모드와, 정전류를 소스 신호선(18)에 흘려 화소 결합을 검출하는 제2 모드를 조합하여도 된다. 또한, EL 소자(15)의 캐소드 전극, 애노드 전극에 인가한 신호(전압 혹은 전류)를 소스 신호선(18)에서 검출 혹은 측정함으로써 검사를 행하여도 된다.

도 90의 회로 구성에 따르면, 소스 신호선(18)에 정전류 I_w 가 흐르므로, 게이트 신호선(17a)을 순차 시프트해 가면, 도 89의 전압(전류) 파형을 측정할 수 있다. 이 전압 파형을 입력 회로(고 입력 임피던스의 연산 증폭기, 입력을 전환하는 아날로그 스위치, AD(아날로그 디지털) 변환 회로 등으로 구성됨)(993)에서 아날로그 전압(전류)을 디지털 신호로 변환하고, 퍼스널 컴퓨터(PC)992 등의 데이터 수집 수단 및 제어 수단에 취득한다.

소스 신호선(18)에는 미소한 전류가 흐른다는 점에서, 임피던스가 높은 상태이다. 이 상태에서, 소스 신호선(18)의 전위 변화(혹은 절대값)를 양호하게 측정하기 위해서는, 고 임피던스 회로(예를 들면, FET 회로로 구성된 입력 연산 증폭기의 + 입력 단자)를 소스 신호선(18)에 접속한다. 즉, 프로브(997)와 입력 회로(993)의 연산 증폭기(도시하지 않음)의 + 입력 단자는 전기적으로 접속되어 있다.

QCIF 패널인 경우, $176 \times RGB = 528$ 개의 소스 신호선(18)이 있다. 이 소스 신호선(18)의 전부에 AD 컨버터를 배치하는 것은 곤란하다. 그래서, 입력 회로(993)의 입력 연산 증폭기의 출력 측에, 멀티플렉서 타입의 아날로그 스위치(도시하지 않음)를 배치한다. 이 아날로그 스위치의 출력에 AD 컨버터를 배치하고, 이 AD 컨버터로부터의 데이터를 PC(992)에 취득한다. 도 90에서는 이 고 임피던스 회로, 아날로그 스위치 등을 입력 회로(993)로서 표현하고 있다.

도 91이 소스 신호선(18)의 전위(출력되는 전류 또는 전압)를 측정하는 회로(검사 회로)의 타이밍차트이다. 도 91의 (a)는 1H에 동기한 소스 신호선(18)의 전위(전압 또는 전류) 변화를 나타내고 있다. 도 91의 (b)는 게이트 신호선(17b)의 전위를 도시하고 있다. 즉, 1 화소 행씩 온 전압 위치가 시프트되어 있는 것을 나타내고 있다. 이 선택 화소 행에 동기하여, 선택된 화소 행의 트랜지스터(11a)가 동작하고, 소스 신호선(18)의 전위(도 91의 (a))가 변화한다.

도 91의 (c)는 데이터 입력 수단(992)에의 데이터 취득 신호이다(입력 회로(993) 내의 아날로그 스위치의 전환 신호라고 할 수도 있음). 이 데이터 취득 신호의 상승에서 데이터 입력 수단(992)에 데이터가 취득되어진다.

PC(992)에서는 취득된 데이터의 값을 평가/판단한다. 또한, 데이터의 값을 축적한다. 이 결과에 의해, 어레이 혹은 패널의 결함 상태, 결함 위치, 결함 모드, 불량 상태 등을 검출 혹은 검사한다.

도 87의 화소 구성으로, 게이트 신호선(17a)에 온 전압을 인가하고, 게이트 신호선(17b)에 오프 전압을 인가한 상태에서는, Vdd 단자→트랜지스터(11a)의 SD간→트랜지스터(11c)→소스 신호선(18)에의 전류 경로가 발생한다.

트랜지스터(11a)에 소스 단자 S-드레인 단자 D간 쇼트(SD 쇼트 또는 채널 쇼트라고 함)가 발생하고 있으면, 소스 신호선(18)에는 Vdd 전압이 출력된다(도 92의 (a)의 SD 쇼트). 따라서, 트랜지스터(11a)의 SD 쇼트(화소 결함)을 전기적으로 검출할 수 있다.

또한, 게이트 신호선(17a)이 단선되어 있으면, 프로그램 전류 I_w 의 경로는 발생하지 않기 때문에, 소스 신호선(18)의 전위가 접지 전위에 가까워진다(도 92의 (b)의 게이트 단선을 참조). 따라서, 게이트 신호선(17a)의 단선 등의 선 결함도 검출할 수 있다(검사할 수 있음). 물론, 소스 신호선이 단선되어 있으면, 출력이 전혀 없기 때문에 소스 신호선(18)의 단선을 검출할 수 있다.

또한, 모든 게이트 신호선(17a)에 오프 전압을 인가한 상태에서, 규정 이외의 전압이 소스 신호선(18)에 출력되어 있으면, 어느 하나의 화소(16)의 트랜지스터(11c) 혹은 트랜지스터(11b)에 결함이 발생하고 있다는 것을 검출할 수도 있다. 또한, Vdd 단자에 Vdd 전압(애노드 전압)을 인가하지, Vdd 단자를 오픈으로 할지를 변화시킴으로써, 소스 신호선(18)에 출력되는 신호가 변화한다. 이 변화에 의해 화소(16) 내에서 발생하고 있는 결함을 상세히 검토, 검사할 수 있다. 또한, 캐소드 전극에 대하여도, 신호 인가 상태에서보다, 소스 신호선(18)에 출력되는 신호가 변화하므로, 화소(16)의 결함을 검출할 수 있다.

반대로, 소스 신호선(18)에 신호를 인가하고, 캐소드 전극에 출력되는 신호를 검출함으로써 화소(16)의 결함 등을 검출할 수 있는 것은 물론이다. 이 경우도, 화소 행을 선택하는 온 전압 위치를 순차 주사함으로써 실시하면 된다.

게이트 드라이버 회로(12)에 의해 선택하는 화소 행 위치를 순차 시프트하고, 시프트 동작과 동기하여 소스 신호선(18)의 전위를 순차 측정하고 있다. 이상의 동작을 화면(50)의 위에서 아래까지 실시하는(1 화소 열의 검사가 완료됨) 것에 의해 표시 패널(어레이 기판(71))의 검사를 행할 수 있다.

도 93의 (a)에 도시한 바와 같이, 1 화소 열(하나의 소스 신호선(18)에 접속된 화소(16))의 소스 신호선(18)의 신호선 전위를 측정함으로써, 최대 전압 V_{tmax} (화소(16)의 구동 트랜지스터(11a)의 V_t (도 88을 참조할 것)의 최대값), 최소 전압 V_{tmin} (화소(16)의 구동 트랜지스터(11a)의 V_t (도 88을 참조할 것)의 최소값)을 검출할 수 있다. 이 최대 전압과 최소 전압의 차가 소정값 이상인 경우에, 측정 혹은 검사하고 있는 어레이 또는 패널을 불량으로 판정한다.

또한, 어레이 또는 패널 내의 V_t 분포를 측정하고, 도 93의 (b)에 도시한 바와 같이, 트랜지스터(11a)의 특성 분포를 구할 수 있다. 이 특성 분포로부터, V_t 의 표준편차, 평균값을 산출할 수 있다. 또한, V_t 의 표준편차, 평균값이 소정 범위 이외일 때, 측정 혹은 검사하고 있는 어레이 또는 패널을 불량으로 판정한다.

본 발명의 검사 방법은, 게이트 드라이버 회로(12)를 제어하여, 적어도 하나의 게이트 신호선(17a)에 온 전압을 인가하고, 소스 신호선(18)에 프로그램 전류를 흘리는 것에 의해, 화소(16)의 검사를 행한다.

또한, 이상의 실시예에 있어서, 1 화소 행씩 선택하고, 소스 신호선(18)에 출력되는 V_t 를 측정 혹은 검사한다고 했지만, 이것에 한정되는 것은 아니다. 복수 화소 행을 동시에 선택해도 된다. 또한, 최초로 홀수 화소 행을 순차 선택하여 홀수번째의 화소(16)를 순차 검사를 행하고, 다음에 짝수 화소 행을 순차 선택하여 짝수번째의 화소(16)를 순차 검사를 행하여도 된다. 이 경우에도, 도 92에 도시하는 화소 결함(게이트 단선, SD 쇼트 등)을 검출할 수 있다.

검사를 고속으로 실시하기 위해서는, 우선, 복수개의 게이트 신호선(17a)을 선택하고, 개략의 결함 위치, 결함 모드를 검출한 후, 결함이 있는 개소를 재차, 1 게이트 신호선(17a)씩 온 전압을 인가하고, 결함 위치 혹은 결함 상태를 특정하면 된다.

본 발명의 검사 방식에 있어서, 모든 소스 신호선(18)에는 한번에 프로빙하는 것을 요하지 않는다. 예를 들면, 짝수번째의 소스 신호선(18b)은 오픈으로 하고, 홀수번째의 소스 신호선(18a)의 단자 전극(996)에 프로브(997)를 프로빙하여, 본 발명의 검사 방식을 실시해도 된다. 다음에, 홀수번째의 소스 신호선(18a)은 오픈으로 하고, 짝수번째의 소스 신호선(18b)의 단자 전극(996)에 프로브(997)를 프로빙하여, 본 발명의 검사 방식을 실시해도 된다.

물론, 4 화소 열번째마다 프로빙을 행하고, 프로빙 위치를 순차 시프트하여 검사를 행하여도 된다.

또한, 도 90 등에 있어서, 게이트 드라이버 회로(12)는 내장 게이트 드라이버 회로(반도체 칩으로서 외장이 아님)로 했지만, 이것에 한정되는 것은 아니다. 게이트 드라이버 IC(12)를 반도체 칩으로 형성하고, COG 공법 등을 이용하여 어레이 기판(71)에 적재해도 된다.

도 90에서는, 프로브(997)를 통하여, 소스 신호선(18)에 전압을 인가한다고 했지만, 이것에 한정되는 것은 아니다. 소스 드라이버 IC(14)를 기판(71)에 실장한 후에는, 소스 드라이버 IC(14)를 동작시켜, 소스 신호선(18)에 정전류를 인가해도 된다. 이 정전류에 의한 전압 변화를 입력 회로(993)에서 측정한다.

이상의 실시예에서는, 도 87의 화소 구성에 있어서의 검사 방식의 설명이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니고, 다른 화소 구성(도 38 등)에서도 본 발명의 검사 방식을 실시할 수 있다.

이상과 같이, 본 발명의 검사 방식(검사 장치, 검사 회로)은, EL 표시 장치 혹은 EL 표시 장치에 이용하는 어레이 기판(71)에 관한 것이다. 화소(16)를 선택하는 게이트 신호선(17a)에 선택 전압을 인가하고, 해당 화소의 구동 트랜지스터(11a)가 소스 신호선(18)으로부터 전기적으로 접속되도록 하여 검사를 행하는 것이다. 또한, 캐소드 혹은 애노드 전극 등의 외부로부터 입력할 수 있는 단자(신호선)에 전압(전류여도 됨) 등의 신호를 인가하고, 상기 신호가 소스 신호선(18)에 출력되는지 여부를 검출하는 것이다. 또한, 기본적으로는, 소스 신호선(18)에는 정전류를 인가하여 검사를 행하는 것이다. 또한, 선택하는 게이트 신호선(17a)은 순차 주사를 행한다.

표시 패널은 소스 드라이버 회로(14)를 직접 어레이 기판(71)에 형성되어 있지 않은 것이 바람직하다. 검사가 용이하게 되기 때문이다. 또한, 검사는 어레이 기판(71)에 EL 소자(15)를 형성 후, 밀봉 유리(밀봉 뚜껑)를 부착하기 전에 실시하는 것이 바람직하다. 불량 패널로 폐기하는 비용을 저감할 수 있기 때문이다.

이하, 또한 이해를 쉽게 하기 위해서, 도 1의 EL 소자 구성에 대하여 도 3을 이용하여 설명한다. 본 발명의 EL 소자 구성은 2개의 타이밍에 의해 제어된다. 제1 타이밍은 필요한 전류값을 기억시키는 타이밍이다. 이 타이밍에서 트랜지스터(11b) 및 트랜지스터(11c)가 ON함으로써, 등가 회로로서 도 3의 (a)로 된다. 여기서, 신호선으로부터 소정의 전류 I_w 가 기입된다. 이에 따라 트랜지스터(11a)는 게이트와 드레인이 접속된 상태로 되고, 이 트랜지스터(11a)와 트랜지스터(11c)를 통하여 전류 I_w 가 흐른다. 따라서, 트랜지스터(11a)의 게이트-소스의 전압은 I 이 흐르게 되는 전압으로 된다.

제2 타이밍은 트랜지스터(11a)와 트랜지스터(11c)가 폐쇄되고, 트랜지스터(11d)가 개방하는 타이밍이고, 그 때의 등가 회로는 도 3의 (b)로 된다. 트랜지스터(11a)의 소스-게이트간의 전압은 유지된 그대로 된다. 이 경우, 트랜지스터(11a)는 항상 포화 영역에서 동작하기 때문에, I_w 의 전류는 일정해진다.

이와 같이 동작시키면, 표시 상태는 도 5에 도시한 바와 같이 된다. 즉, 도 5의 (a)의 (51a)는 표시 화면(50)에 있어서의, 어떤 시각에서의 전류 프로그램되어 있는 화소(행)(기입 화소 행)을 나타내고 있다. 이 화소(행)(51a)는, 도 5의 (b)에 도시한 바와 같이 비점등(비표시 화소(행))로 한다. 다른, 화소(행)은 표시 화소(행)(53)으로 한다(비 화소(53)의 EL 소자(15)에는 전류가 흘러, EL 소자(15)가 발광하고 있음).

도 1의 화소 구성인 경우, 도 3의 (a)에 도시한 바와 같이, 전류 프로그램 시에는, 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 트랜지스터(11a)를 흘러, I_w 를 흘리는 전류가 유지되도록, 컨덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘리는 기간은 도 3의 (b)와 같이, 트랜지스터(11c, 11b)가 오프 상태로 되고, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되고, 트랜지스터(11b, 11c)가 오프 상태로 된다. 한편, 게이트 신호선(17b)에 온 전압(v_{g1})이 인가되고, 트랜지스터(11d)가 온 상태로 된다.

이 타이밍차트를 도 4에 도시한다. 또한, 도 4 등에 있어서, 괄호 내의 첨자(예를 들면, (1) 등)는 화소 행의 번호를 나타내고 있다. 즉, 게이트 신호선(17a)(1)이란, 화소 행(1)의 게이트 신호선(17a)을 나타내고 있다. 또한, 도 4의 상단의 *H(「*」에는 임의의 기호, 수치가 적합하고, 수평 주사선의 번호를 나타냄)는, 수평 주사 기간을 나타내고 있다. 즉, 1H란 제1번째의 수평 주사 기간이다. 또한, 이상의 사항은 설명을 쉽게 하기 위해서이고, 한정(1H의 번호, 1H 주기, 화소 행 번호의 순서 등)되는 것은 아니다.

도 4에서 알 수 있듯이, 각 선택된 화소 행(선택 기간은, 1H로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압이 인가되고 있을 때에는, 게이트 신호선(17b)에는 오프 전압이 인가되고 있다. 또한 이 기간은, EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태). 선택되어 있지 않은 화소 행에 있어서, 게이트 신호선(17a)에 오프 전압이 인가되고, 게이트 신호선(17b)에는 온 전압이 인가되고 있다. 또한 이 기간은, EL 소자(15)에 전류가 흐르고 있다(점등 상태).

또한, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트는 동일한 게이트 신호선(17a)에 접속하고 있다. 밖에 하고, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트를 다른 게이트 신호선(17)에 접속해도 된다(도 32를 참조할 것). 1 화소의 게이트 신호선은 3개(게이트 신호선(17a, 17b, 17c)로 된다(도 1의 구성은 게이트 신호선(17a, 17b)의 2개임). 트랜지스터(11b)의 게이트의 ON/OFF 타이밍과 트랜지스터(11c)의 게이트의 ON/OFF 타이밍을 개별로 제어함으로써, 트랜지스터(11a)의 변동에 의한 EL 소자(15)의 전류값 변동을 더욱 저감할 수 있다.

게이트 신호선(17a)과 게이트 신호선(17b)을 공통으로 하여, 트랜지스터(11c와 11d)가 서로 다른 도전형(N 채널과 P 채널)으로 하면, 구동 회로의 간략화 및 화소의 개구율을 향상시킬 수 있다.

이와 같이 구성하면 본 발명의 동작 타이밍으로서의 신호선으로부터의 기입 경로가 오프로 된다. 즉 소정의 전류가 기억될 때에, 전류가 흐르는 경로에 분기가 있으면 정확한 전류값이 트랜지스터(11a)의 소스(S)-게이트(G)간 용량(컨덴서)에 기억되지 않는다. 트랜지스터(11c)와 트랜지스터(11d)를 서로 다른 도전형으로 함으로써, 서로의 임계값을 제어함으로써 주사선의 전환 타이밍에서 반드시 트랜지스터(11c)가 오프 상태로 한 후에, 트랜지스터(11d)가 온하는 것이 가능하게 된다.

또한, 도 1에 있어서, 게이트 신호선(17a)의 제어는 게이트 드라이버 회로(12a)(본 발명의 제2 게이트 드라이버 회로의 일례임)에서 행하고, 게이트 신호선(17b)의 제어는 게이트 드라이버 회로(12b)(본 발명의 제1 게이트 드라이버 회로의 일례임)에서 행한다고 했지만 이것에 한정되는 것이 아니고, 게이트 신호선(17a, 17b)을 하나의 게이트 드라이버 회로(12)로 제어해도 되는 것은 물론이다. 이상의 것은 이하의 실시예에서도 적용된다.

단, 이 경우 서로의 임계값을 정확하게 컨트롤할 필요가 있으므로 프로세스의 주의가 필요하다. 또한, 이상 진술한 회로는 최저 4개의 트랜지스터로 실현 가능하지만, 보다 정확한 타이밍의 컨트롤 혹은 후술하는 바와 같이, 미리 효과 저감을 위해 트랜지스터(11e)를 도 2에 도시한 바와 같이, 캐스캐이드 접속하여 트랜지스터의 총수가 4 이상으로 되더라도 동작 원리는 동일하다. 이와 같이 트랜지스터(11e)를 가한 구성으로 함으로써, 트랜지스터(11c)를 통하여 프로그램한 전류를보다 정밀도 있게 EL 소자(15)에 흘릴 수 있게 된다.

도 2에서는, 트랜지스터(11e)의 게이트 단자에 소정 전압을 인가하고, 트랜지스터(11e)를 저 온 상태로 한다. 이와 같이 구성함으로써, 구동용 트랜지스터(11a)의 미소 전류를 정밀도 있게 EL 소자(15)에 흘릴 수 있게 된다. 또한, 트랜지스터(11e)의 게이트 단자에 인가하는 전압(게이트 신호선(17f)에 인가함)을 제어함으로써 구동용 트랜지스터(11a)의 전류 출력 상태를 변화할 수 있다. 또한, 게이트 신호선(17f)에 인가하는 전압은, 표시 영역의 화소에 동일 전압을 인가한다. 물론, 게이트 신호선(17f)을 구동하는 게이트 드라이버 회로(12)를 형성하고, 이 게이트 드라이버 회로(12)를 구동하는 것의 보다, 게이트 신호선(17f)에 교류 신호를 인가하도록 구성해도 된다.

또한, 게이트 신호선(17a), 게이트 신호선(17b), 게이트 신호선(17f)은 각각 다른 게이트 드라이버 회로에서 구동해도 되고, 또한 도 2와 같이 하나의 게이트 드라이버 회로(12)로 구동해도 된다. 다른 구성은, 도 1과 마찬가지로 하기 때문에 설명을 생략한다.

또한, 화소 구성은 도 1, 도 2의 구성에 한정되는 것이 아니다. 예를 들면, 도 63과 같이 구성해도 된다. 도 63은 도 1의 구성에 비교하여 스위치 소자(11d)가 없다. 대신에 전환 스위치(631)가 형성 또는 배치되어 있다. 도 1의 스위치(11d)는 구

동 트랜지스터(11a)에서 EL 소자(15)에 흐르는 전류를 온 오프(홀림, 흘리지 않음) 제어하는 기능을 갖는다. 이후의 실시예에서도 설명을 하지만, 본 발명은 이 트랜지스터(11d)의 온 오프 제어 기능이 중요한 구성 요소이다. 트랜지스터(11d)를 형성하지 않고, 온 오프 기능을 실현하는 것이 도 63의 구성이다.

도 63에 있어서, 전환 스위치(631)의 a 단자는, 애노드 전압 Vdd에 접속되어 있다. 또한, a 단자에 인가하는 전압은 애노드 전압 Vdd에 한정되는 것이 아니고, EL 소자(15)에 흐르는 전류를 오프할 수 있는 전압이면 어느 것이나 된다.

전환 스위치(631)의 b 단자는, 캐소드 전압(도 63에서는 접지로 도시하고 있음)에 접속되어 있다. 또한, b 단자에 인가하는 전압은 캐소드 전압에 한정되는 것이 아니고, EL 소자(15)에 흐르는 전류를 온할 수 있는 전압이면 어느 것이어도 된다.

전환 스위치(631)의 c 단자에는 EL 소자(15)의 캐소드 단자가 접속되어 있다. 또한, 전환 스위치(631)는 EL 소자(15)에 흐르는 전류를 온 오프시키는 기능을 갖는 것이면 어느 것이어도 된다. 따라서, 도 63의 형성 위치에 한정되는 것이 아니고, EL 소자(15)의 전류가 흐르는 경로이면 어느 것이나 무방하다. 또한, 스위치의 기능의 한정되는 것도 아니고, EL 소자(15)에 흐르는 전류를 온 오프할 수 있으면 어느 것이나 무방하다.

또한, 오프란 완전히 전류가 흐르지 않는 상태를 의미하는 것은 아니다. EL 소자(15)에 흐르는 전류를 통상보다도 저감할 수 있는 것이면 된다. 이상의 사항은 본 발명의 다른 구성에 있어서도 마찬가지이다.

전환 스위치(631)는, P 채널과 N 채널의 트랜지스터를 조합함으로써 용이하게 실현할 수 있기 때문에 설명을 필요로 하지 않을 것이다. 예를 들면, 아날로그 스위치를 2회로 형성하면 된다. 물론, 스위치(631)는 EL 소자(15)에 흐르는 전류를 온 오프 상태로 할 뿐이므로, P 채널 트랜지스터 혹은 N 채널 트랜지스터로도 형성할 수 있는 것은 물론이다.

스위치(631)가 a 단자에 접속되어 있을 때에는, EL 소자(15)의 캐소드 단자에 Vdd 전압이 인가된다. 따라서, 구동 트랜지스터(11a)의 게이트 단자 G가 어느 전압 유지 상태이더라도 EL 소자(15)에는 전류가 흐르지 않는다. 따라서, EL 소자(15)는 비점등 상태로 된다.

스위치(631)가 b 단자에 접속되어 있을 때에는, EL 소자(15)의 캐소드 단자에 GND 전압이 인가된다. 따라서, 구동 트랜지스터(11a)의 게이트 단자 G에 유지된 전압 상태에 따라서 EL 소자(15)에 전류가 흐른다. 따라서, EL 소자(15)는 점등 상태로 된다.

이상의 것으로부터 도 63의 화소 구성에서는, 구동 트랜지스터(11a)와 EL 소자(15) 사이에는 스위칭 트랜지스터(11d)가 형성되어 있지 않다. 그러나, 스위치(631)를 제어함으로써 EL 소자(15)의 점등 제어를 행할 수 있다.

도 1, 도 2 등의 화소 구성에서는, 구동용 트랜지스터(11a)는 1 화소에 관하여 하나이다. 본 발명은 이것에 한정되는 것이 아니고, 구동용 트랜지스터(11a)는 1 화소에 복수개를 형성 또는 배치해도 된다. 도 64는 그 실시예이다. 도 63에서는 1 화소에 2개의 구동용 트랜지스터(11a1, 11a2)가 형성되고, 2개의 구동용 트랜지스터(11a1, 11a2)의 게이트 단자는 공통의 컨덴서(19)에 접속되어 있다. 구동용 트랜지스터(11a)를 복수개 형성함으로써, 프로그램되는 전류 변동이 저감한다고 하는 효과가 있다. 다른 구성은, 도 1 등과 마찬가지기 때문에 설명을 생략한다.

도 1, 도 2는 구동 트랜지스터(11a)가 출력하는 전류를 EL 소자(15)에 흘리고, 상기 전류를 구동용 트랜지스터(11a)와 EL 소자(15) 사이에 배치된 스위칭 소자(11d)에서 온 오프 제어하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 65의 구성이 예시된다.

도 65의 실시예에서는, EL 소자(15)에 흘리는 전류가 구동 트랜지스터(11a)로 제어된다. EL 소자(15)에 흐르는 전류를 온 오프시키는 것은 Vdd 단자와 EL 소자(15) 사이에 배치된 스위칭 소자(11d)에서 제어된다. 따라서, 본 발명은 스위칭 소자(11d)의 배치는 어디여도 되고, EL 소자(15)에 흐르는 전류를 제어할 수 있는 것이면 어느 것이나 무방하다.

트랜지스터(11a)의 특성의 변동은 트랜지스터 사이즈에 상관이 있다. 특성 변동을 작게 하기 위해서, 제1 트랜지스터(11a)의 채널 길이가 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 제1 트랜지스터(11a)의 채널 길이가 $10\mu\text{m}$ 이상($50\mu\text{m}$ 이하)로 하는 것이 바람직하다. 이것은, 채널 길이 L을 길게 한 경우, 채널에 포함되는 입계가 증가하는 것에 의해서 전계가 완화되어 킹크 효과가 낮게 억제되기 때문이라고 생각된다.

또한, 화소를 구성하는 트랜지스터(11)가, 레이저 재결정화 방법(레이저 어닐링)에 의해 형성된 폴리실리콘 트랜지스터로 형성되고, 모든 트랜지스터에 있어서의 채널 방향이 레이저의 조사 방향에 대하여 동일한 방향인 것이 바람직하다. 특히

레이저의 조사 방향이 소스 신호선(18)의 형성 방향으로 되도록 조사하는 것이 바람직하다. 소스 신호선(18)에 따른 화소의 구동용 트랜지스터(11a)의 특성이 균일해지고, 전류 프로그램을 행할 때의 소스 신호선(18)의 진폭 변동이 작아지기 때문이다. 진폭이 작아지면 정밀도 좋게 전류 프로그램을 실현할 수 있다.

본 특허의 발명의 목적은, 트랜지스터 특성의 변동이 표시에 영향을 주지 않는 회로 구성을 제안하는 것이고, 그 때문에 4 트랜지스터 이상이 필요하다. 이들 트랜지스터 특성에 의해, 회로 상수를 결정하는 경우, 4개의 트랜지스터의 특성이 갖추어지지 않으면, 적절한 회로 상수를 구하는 것이 곤란하다. 레이저 조사의 길이축 방향에 대하여, 채널 방향이 수평인 경우와 수직인 경우에서는, 트랜지스터 특성의 임계값과 이동도가 다르게 형성된다.

또한, 어느 쪽의 경우나 변동의 정도는 동일하다. 수평 방향과 수직 방향에서는 이동도, 임계값의 평균값이 서로 다르다. 따라서, 화소를 구성하는 모든 트랜지스터의 채널 방향은 동일한 쪽이 바람직하다.

또한, 축적 용량(19)의 용량값을 Cs(pF), 제2 트랜지스터(11b)의 오프 전류값을 Ioff(pA)로 한 경우, 다음 식을 만족시키는 것이 바람직하다.

$$3 < C_s / I_{off} < 24$$

더욱, 다음 식을 만족시키는 것이 바람직하다.

$$6 < C_s / I_{off} < 18$$

트랜지스터(11b)의 오프 전류 Ioff를 5pA 이하로 함으로써, EL을 흐르는 전류값의 변화를 2% 이하로 억제하는 것이 가능하다. 이것은 누설 전류가 증가하면, 전압비 기입 상태에 있어서 게이트-소스간(컨덴서의 양단)에 축적된 전하를 1 펄스간 유지할 수 없기 때문이다. 따라서, 컨덴서(19)의 축적용 용량이 크면 오프 전류의 허용량도 커진다. 상기 식을 만족함으로써 인접 화소 사이의 전류값의 변동을 2% 이하로 억제할 수 있다.

또한, 액티브 매트릭스를 구성하는 트랜지스터가 p-ch 폴리실리콘 박막 트랜지스터에 구성되고, 트랜지스터(11b)가 이중 게이트 이상인 멀티 게이트 구조로 하는 것이 바람직하다. 특히 트리플 게이트 이상으로 하는 것이 바람직하다. 트랜지스터(11b)의 오프 특성을 양호하게 하지 않으면, 컨덴서(19)의 전하를 유지할 수 없게 되어, 화상 표시에 흑 들뜸이 발생하기 때문이다.

또한, 트랜지스터(11b)는, 트랜지스터(11a)의 소스-드레인간의 스위치로서 작용하기 때문에, 될 수 있는 한 ON/OFF비가 높은 특성이 요구된다. 트랜지스터(11b)의 게이트의 구조를 이중 게이트 구조 이상의 멀티 게이트 구조로 함으로써 ON/OFF 비가 높은 특성을 실현할 수 있다.

화소(16)의 트랜지스터(11)를 구성하는 반도체막은, 저온 폴리실리콘 기술에 있어서, 레이저 어닐링에 의해 형성하는 것이 일반적이다. 이 레이저 어닐링의 조건 변동이 트랜지스터(11) 특성의 변동으로 된다. 그러나, 1 화소(16) 내의 트랜지스터(11)의 특성이 일치하고 있으면, 도 1 등의 전류 프로그램을 행하는 방식에서는, 소정의 전류가 EL 소자(15)에 흐르도록 구동할 수 있다. 이 점은 전압 프로그램에 없는 이점이다. 레이저로서는 엑시머 레이저를 이용하는 것이 바람직하다.

또한, 본 발명에 있어서, 트랜지스터(11)의 반도체막의 형성은, 레이저 어닐링 방법에 한정되는 것이 아니고, 열 어닐링 방법, 고상(CGS) 성장에 의한 방법이어도 된다. 기타, 저온 폴리실리콘 기술에 한정되는 것이 아니고, 고온 폴리실리콘 기술을 이용하여도 되는 것은 물론이다. 또한, 실리콘 기판에 도핑, 확산 프로세스를 실시하는 것에 의해 형성하여도 된다. 또한, 유기 재료로 반도체막을 형성하여도 된다.

본 발명에서는 도 7에 도시한 바와 같이, 어닐링때의 레이저 조사 스폿(레이저 조사 범위)(72)을 소스 신호선(18)에 평행하게 조사한다. 또한, 1 화소 열에 일치하도록 레이저 조사 스폿(72)을 이동시킨다. 물론, 1 화소 열에 한정되는 것이 아니고, 예를 들면, 도 72의 RGB를 1 화소(16)라는 단위로 레이저를 조사해도 된다(이 경우에는, 3 화소 열이라는 것으로 됨). 또한, 복수의 화소에 동시에 조사해도 된다. 또한, 레이저의 조사 범위의 이동이 오버랩해도 되는 것은 말할 필요도 없다(통상, 이동하는 레이저 광의 조사 범위는 오버랩하는 것이 보통임).

화소는 RGB의 3 화소로 정방형의 형상으로 되도록 제작되어 있다. 따라서, R, G, B의 각 화소는 세로 길이의 화소 형상으로 된다. 따라서, 레이저 조사 스폿(72)을 세로 길이로 하여 어닐링함으로써, 1 화소 내에서는 트랜지스터(11)의 특성 변동

이 발생하지 않도록 할 수 있다. 또한, 하나의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성(모빌리티, V_t , S 치 등)을 균일하게 할 수 있다(즉, 인접한 소스 신호선(18)의 트랜지스터(11)와는 특성이 다른 경우가 있지만, 하나의 소스 신호선에 접속된 트랜지스터(11)의 특성은 거의 동일하게 할 수 있음).

일반적으로 레이저 조사 스폿(72)의 길이는 10인치라는 식으로 고정치이다. 이 레이저 조사 스폿(72)을 이동시키는 것이기 때문에, 하나의 레이저 조사 스폿(72)을 이동할 수 있는 범위 내에 들어가도록 패널을 배치할 필요가 있다(즉, 패널의 표시 영역(50)의 중앙부에서 레이저 조사 스폿(72)이 중첩되지 않도록 함).

도 7의 구성에서는, 레이저 조사 스폿(72)의 길이의 범위 내에 3개의 패널이 세로로 배치되도록 형성되어 있다. 레이저 조사 스폿(72)을 조사하는 어닐링 장치는 유리 기판(74)의 위치 결정 마커(73a, 73b)를 인식(패턴 인식에 의한 자동 위치 결정)하여 레이저 조사 스폿(72)을 이동시킨다. 위치 결정 마커(73)의 인식은 패턴 인식 장치에서 행한다. 어닐링 장치(도시하지 않음)는 위치 결정 마커(73)를 인식하고, 화소 열의 위치를 나누기 시작한다(레이저 조사 범위(72)가 소스 신호선(18)과 평행하게 되도록 함). 화소 열 위치에 중첩되도록 레이저 조사 스폿(72)을 조사하여 어닐링을 순차 행한다.

도 7에서 설명한 레이저 어닐링 방법(소스 신호선(18)에 평행하게 라인 형상의 레이저 스폿을 조사하는 방식)은, 유기 EL 표시 패널의 전류 프로그램 방식일 때에 특히 채용하는 것이 바람직하다. 왜냐하면, 소스 신호선에 평행 방향으로 트랜지스터(11)의 특성이 일치하고 있기 때문이다(세로 방향에 인접한 화소 트랜지스터의 특성이 근사하고 있음). 그 때문에, 전류 구동 시에 소스 신호선의 전압 레벨의 변화가 적고, 전류 기입 부족이 발생하기 어렵다.

예를 들면, 백 래스터 표시이면, 인접한 각 화소의 트랜지스터(11a)에 흐르는 전류는 거의 동일하기 때문에, 소스 드라이버 IC(14)로부터 출력하는 전류 진폭의 변화가 적다. 만약, 도 1의 트랜지스터(11a)의 특성이 동일하고, 각 화소에 전류 프로그램하는 전류값이 화소 열로 동일한 것이면, 전류 프로그램 시의 소스 신호선(18)의 전위는 일정하다. 따라서, 소스 신호선(18)의 전위 변동은 발생하지 않는다. 하나의 소스 신호선(18)에 접속된 트랜지스터(11a)의 특성이 거의 동일하면, 소스 신호선(18)의 전위 변동은 작아진다. 이것은 도 38 등의 다른 전류 프로그램 방식의 화소 구성에서도 동일하다(즉, 도 7의 제조 방법을 적용하는 것이 바람직함).

또한, 도 27, 도 30 등에서 설명하는 복수의 화소 행을 동시 기입하는 방식으로 균일이 화상 표시(주로 트랜지스터 특성의 변동에 기인하는 표시 얼룩짐이 발생하기 어렵기 때문임)를 실현할 수 있다. 도 27 등은 복수 화소 행 동시에 선택하므로, 인접한 화소 행의 트랜지스터가 균일하면, 세로 방향의 트랜지스터 특성 얼룩짐은 드라이버 회로(14)에서 흡수할 수 있다.

또한 도 7에서는, 소스 드라이버 회로(14)는, IC 칩을 적재하도록 도시하고 있지만, 이것에 한정되는 것이 아니고, 소스 드라이버 회로(14)를 화소(16)와 동일 프로세스로 형성하여도 되는 것은 물론이다.

본 발명에서는 특히, 구동용 트랜지스터(11b)의 별 전압 V_{th2} 가 화소 내에서 대응하는 구동용 트랜지스터(11a)의 임계 전압 V_{th1} 보다 낮아지지 않도록 설정하고 있다. 예를 들면, 트랜지스터(11b)의 게이트 길이 L_2 를 트랜지스터(11a)의 게이트 길이 L_1 보다도 길게 하고, 이들 박막 트랜지스터의 프로세스 파라미터가 변동해도, V_{th2} 가 V_{th1} 보다도 낮아지지 않도록 한다. 이에 의해, 미소인 전류 리크를 억제하는 것이 가능하다.

또한, 이상의 사항은, 도 38에 도시하는 커런트 미러의 화소 구성에도 적용할 수 있다. 도 38에서는 신호 전류가 흐르는 구동용 트랜지스터(11a), EL 소자(15) 등으로 이루어지는 발광 소자에 흐르는 구동 전류를 제어하는 구동용 트랜지스터(11b) 외에, 게이트 신호선(17a1)의 제어에 의해서 화소 회로와 데이터선 data를 접속 혹은 차단하는 취득용 트랜지스터(11c), 게이트 신호선(17a2)의 제어에 의해서 기입 기간 중에 트랜지스터(11a)의 게이트-드레인을 단락하는 스위치용 트랜지스터(11d), 트랜지스터(11a)의 게이트-소스간 전압을 기입 종료 후에도 유지하기 위한 용량 C 19 및 발광 소자로서의 EL 소자(15) 등으로 구성된다.

도 38에서 트랜지스터(11c, 11d)는 N 채널 트랜지스터, 그 밖의 트랜지스터는 P 채널 트랜지스터로 구성하고 있지만, 이것은 일례이고, 반드시 이와 같은 필요는 없다. 용량 Cs는 그 한쪽의 단자를 트랜지스터(11a)의 게이트에 접속되고, 다른 쪽의 단자는 V_{dd} (전원 전위)에 접속되어 있지만 V_{dd} 에 한하지 않고 임의의 일정 전위여도 된다. EL 소자(15)의 캐소드(음극)는 접지 전위에 접속되어 있다.

다음에, 본 발명의 EL 표시 패널 혹은 EL 표시 장치에 대하여 설명을 한다. 도 6은 EL 표시 장치의 회로를 중심으로 한 설명도이다. 화소(16)가 매트릭스 형상으로 배치 또는 형성되어 있다. 각 화소(16)에는 각 화소의 전류 프로그램을 행하는 전류를 출력하는 소스 드라이버 회로(14)가 접속되어 있다. 소스 드라이버 회로(14)의 출력단은 영상 신호의 비트 수에 대응

한 커런트 미러 회로가 형성되어 있다(후에 설명함). 예를 들면, 64 계조이면, 63개의 커런트 미러 회로가 각 소스 신호선에 형성되고, 이들 커런트 미러 회로의 개수를 선택함으로써 원하는 전류를 소스 신호선(18)에 인가할 수 있도록 구성되어 있다.

또한, 하나의 커런트 미러 회로의 최소 출력 전류는 10nA 이상(50nA)로 하고 있다. 특히 커런트 미러 회로의 최소 출력 전류는 15nA 이상 35nA로 하는 것이 좋다. 드라이버 IC(14) 내의 커런트 미러 회로를 구성하는 트랜지스터의 정밀도를 확보하기 위해서이다.

또한, 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 혹은 방전 회로를 내장한다. 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 혹은 방전 회로의 전압(전류) 출력치는, R, G, B에서 독립적으로 설정할 수 있도록 구성하는 것이 바람직하다. EL 소자(15)의 임계값이 RGB에서 서로 다르기 때문이다.

유기 EL 소자는 큰 온도 의존성 특성(溫特)이 있다는 것이 알려져 있다. 이 온도에 의한 발광 휘도 변화를 조정하기 위해서, 커런트 미러 회로에 출력 전류를 변화시키는 서미스터 혹은 포지스터 등의 비직선 소자를 부가하고, 온도에 의한 변화를 상기 서미스터 등으로 조정함으로써 아날로그적으로 기준 전류를 작성한다.

본 발명에 있어서, 소스 드라이버(14)는 반도체 실리콘 칩으로 형성하고, 칩 온 글라스(COG) 기술로 기판(71)의 소스 신호선(18)의 단자와 접속되어 있다. 소스 신호선(18) 등의 신호선의 배선은 크롬, 구리, 알루미늄, 은 등의 금속 배선이 이용된다. 가는 배선 폭으로 저 저항의 배선이 얻어지기 때문이다. 배선은 화소가 반사형인 경우에는 화소의 반사막을 구성하는 재료로, 반사막과 동시에 형성하는 것이 바람직하다. 공정을 간략할 수 있기 때문이다.

소스 드라이버(14)의 실장은 COG 기술에 한정되는 것이 아니고, 칩 온 필름(COF) 기술에 전술한 소스 드라이버 IC(14) 등을 적재하여, 표시 패널의 신호선과 접속한 구성으로 하여도 된다. 또한, 드라이브 IC는 전원 IC(82)을 별도 제작하여, 3 칩 구성으로 하여도 된다.

한편, 게이트 드라이버 회로(12)는 저온 폴리실리콘 기술로 형성하고 있다. 즉, 화소의 트랜지스터와 동일한 프로세스로 형성하고 있다. 이것은, 소스 드라이버 회로(14)에 비교하여 내부의 구조가 용이하고, 동작 주파수도 낮기 때문이다. 따라서, 저온 폴리실리 기술로 형성하여도 용이하게 형성할 수 있고, 또한 협소한 프레임화를 실현할 수 있다. 물론, 게이트 드라이버(12)를 실리콘 칩으로 형성하고, COG 기술 등을 이용하여 기판(71) 상에 실장해도 되는 것은 물론이다. 또한, 화소 트랜지스터 등의 스위칭 소자, 게이트 드라이버 등은 고온 폴리실리콘 기술로 형성하여도 되고, 유기 재료로 형성(유기 트랜지스터)해도 된다.

게이트 드라이버(12)는 게이트 신호선(17a) 용의 시프트 레지스터 회로(61a)와, 게이트 신호선(17b) 용의 시프트 레지스터 회로(61b)를 내장한다. 각 시프트 레지스터 회로(61)는 플러스 상(相)과 마이너스 상의 클럭 신호(CLKxP, CLKxN), 스타트 펄스(STx)로 제어된다. 기타, 게이트 신호선의 출력, 비 출력을 제어하는 인에이블(ENABL) 신호, 시프트 방향을 상하 역전하는 업다운(UPDWM) 신호를 부가하는 것이 바람직하다. 그 외에, 스타트 펄스가 시프트 레지스터에 시프트되고, 그리고 출력되어 있는 것을 확인하는 출력 단자 등을 마련하는 것이 바람직하다. 또한, 시프트 레지스터의 시프트 타이밍은 컨트롤 IC(81)로부터의 제어 신호로 제어된다. 또한, 외부 데이터의 레벨 시프트를 행하는 레벨 시프트 회로를 내장한다. 또한, 검사 회로를 내장한다.

시프트 레지스터 회로(61)의 버퍼 용량은 작기 때문에, 직접은 게이트 신호선(17)을 구동할 수 없다. 그 때문에, 시프트 레지스터 회로(61)의 출력과 게이트 신호선(17)을 구동하는 출력 게이트(63) 사이에는 적어도 2개 이상의 인버터 회로(62)가 형성되어 있다.

소스 드라이버(14)를 저온 폴리실리 등의 폴리실리 기술로 기판(71) 상에 직접 형성하는 경우도 마찬가지이고, 소스 신호선(18)을 구동하는 트랜스퍼 게이트 등의 아날로그 스위치의 게이트와 소스 드라이버 회로(14)의 시프트 레지스터 사이에는 복수의 인버터 회로가 형성된다. 이하의 사항(시프트 레지스터의 출력과, 신호선을 구동하는 출력단(출력 게이트 혹은 트랜스퍼 게이트 등의 출력단) 사이에 배치되는 인버터 회로에 관한 사항))은, 소스 드라이브 및 게이트 드라이브 회로에 공통의 사항이다.

예를 들면, 도 6에서는 소스 드라이버(14)의 출력이 직접 소스 신호선(18)에 접속되어 있도록 도시했지만, 실제로는, 소스 드라이버의 시프트 레지스터의 출력은 다단의 인버터 회로가 접속되고, 인버터의 출력이 트랜스퍼 게이트 등의 아날로그 스위치의 게이트에 접속되어 있다.

인버터 회로(62)는 P 채널의 MOS 트랜지스터와 N 채널의 MOS 트랜지스터로 구성된다. 앞서서도 설명한 바와 같이 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61)의 출력단에는 인버터 회로(62)가 다단에 접속되어 있고, 그 최종 출력이 출력 게이트 회로(63)에 접속되어 있다. 또한, 인버터 회로(62)는 P 채널 혹은 N 채널만으로 구성해도 된다.

게이트 드라이버 회로(12)의 시프트 레지스터(61a)는 게이트 신호선(17a)의 제어 신호를 제어하고, 시프트 레지스터(61b)는 게이트 신호선(17b)의 제어 신호를 제어하는 톤 인버터(62)의 출력단에는 출력 버퍼(63)가 형성 또는 배치되어 있다. 또한, 버퍼 등은 기관(71)에 저온 폴리실리콘 프로세스 기술을 이용하여 형성되어 있다.

또한, 도 74에 도시한 바와 같이, 게이트 신호선(17a)의 출력 버퍼 회로(341a)는, 게이트 신호선(17b)의 출력 버퍼 회로(341b)보다도 크게 한다. 또한, 게이트 신호선(17a)의 배선 저항은, 게이트 신호선(17b)의 배선 저항보다도 낮게 하는 것이 바람직하다. 게이트 신호선(17a)의 시상수를 충분히 짧게 하는 것에 의해, 전류 기입 정밀도가 향상되기 때문이다.

도 111은 본 발명의 게이트 드라이버 회로(12)의 블록도이다. 또한, 도 6은, 게이트 드라이버 회로(1, 2)는 N 채널 트랜지스터와 P 채널 트랜지스터의 양방을 이용하는 CMOS 구성의 게이트 드라이버 회로의 구성이다. 도 111의 게이트 드라이버 회로(12)의 구성은, P 채널만으로 형성한 구성이다. 도 111에 있어서, 설명을 쉽게 하기 위해서, 4단분밖에 도시하지 않지만, 기본적으로는 게이트 신호선(17)의 개수에 대응하는 단위 게이트 출력 회로(111)가 형성 또는 배치된다.

도 111에 도시한 바와 같이, 본 발명의 게이트 드라이버 회로(12)(12a, 12b)에서는, 4개의 클럭 단자(SCK0, SCK1, SCK2, SCK3)와, 하나의 스타트 단자(데이터 신호(SSTA)), 시프트 방향을 상하 반전 제어하는 2개의 반전 단자(DIRA, DIRB, 이들, 역상의 신호를 인가함)의 신호 단자로 구성된다. 또한, 전원 단자로서 L전원 단자(VBB)와, H 전원 단자(Vd) 등으로 구성된다.

도 111의 본 발명의 게이트 드라이버 회로(12)는, 전부 P 채널의 트랜지스터(트랜지스터)로 구성하고 있기 때문에, 레벨 시프터 회로(저전압의 로직 신호를 고전압의 로직 신호로 변환하는 회로)를 게이트 드라이버 회로에 내장할 수 없다. 그 때문에, 도 8 등에 도시한 전원 회로(IC)(82) 내에 레벨 시프터 회로를 배치 또는 형성하고 있다.

화소(16)를 P 채널의 트랜지스터로 구성하는 것에 의해, 도 111등에서 예시하는 P 채널 트랜지스터로 형성한 게이트 드라이버 회로(12)와의 매칭이 좋아진다. P 채널 트랜지스터(도 1의 화소 구성에서는, 트랜지스터(11b, 11c), 트랜지스터(11d))는 L 전압에서 온 상태로 한다. 한편, 게이트 드라이버 회로(12)도 L 전압이 선택 전압이다. P 채널의 게이트 드라이버는 도 113의 구성에서도 알 수 있지만, L 레벨을 선택 레벨로 하면 매칭이 양호하다. L 레벨을 장기간 유지할 수 없기 때문이다. 한편, H 전압은 장시간 유지할 수 있다.

또한, EL 소자(15)에 전류를 공급하는 구동용 트랜지스터(도 1에서는 트랜지스터(11a))도 P 채널로 구성함으로써, EL 소자(15)의 캐소드는, 금속 박막의 베타 전극에 구성할 수 있다. 또한, 애노드 전위 Vdd에서 순방향으로 EL 소자(15)에 전류를 흘릴 수 있다. 이상의 사항으로부터, 화소(16)의 트랜지스터를 P 채널로 하여, 게이트 드라이버(12)의 트랜지스터도 P 채널로 하는 것이 좋다. 이상의 점으로부터, 본 발명의 화소(16)를 구성하는 트랜지스터(구동용 트랜지스터, 스위칭용 트랜지스터)를 P 채널로 형성하고, 게이트 드라이버 회로(12)의 트랜지스터를 P 채널로 구성한다고 하는 사항은 단순한 설계 사항이 아니다.

레벨 시프터(LS) 회로를, 기관(71)에 직접 형성하여도 된다. 즉, 레벨 시프터(LS) 회로를 N 채널과 P 채널 트랜지스터로 형성한다. 컨트롤러(도시하지 않음)로부터의 로직 신호는, 기관(71)에 직접 형성된 레벨 시프터 회로에서, P 채널 트랜지스터로 형성된 게이트 드라이버 회로(12)의 로직 레벨에 적합하도록 승압한다. 이 승압한 로직 전압을 상기 게이트 드라이버 회로(12)에 인가한다.

설명을 쉽게 하기 위해서, 본 발명의 실시예에서는, 도 1의 화소 구성을 예시하여 설명한다. 그러나, 화소(16)의 선택 트랜지스터(도 1에서는 트랜지스터(11c))를 P 채널로 구성하고, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성한다고 하는 등의 본 발명의 기술적 사상은, 도 1의 화소 구성에 한정되는 것이 아니다. 예를 들면, 전류 구동 방식의 화소 구성에서는 도 38, 도 50에 도시하는 커런트 미러의 화소 구성에도 적용할 수 있는 것은 물론이다. 또한, 전압 구동 방식의 화소 구성에서는, 도 62에 도시하는 2개의 트랜지스터(선택 트랜지스터는 트랜지스터(11b), 구동 트랜지스터는 트랜지스터(11a))에도 적용할 수 있다. 또한, 도 51에 도시하는, 4개의 트랜지스터(선택 트랜지스터는 트랜지스터(11c), 구동 트랜지스터는 트랜지스터(11a))를 이용하는 화소 구성에도 적용할 수 있는 것은 물론이다. 전압 구동 방식의 화소 구성에도 도 111, 도 113에서 설명하는 게이트 드라이버 회로(12)의 구성을 적용할 수 있다. 따라서, 이상의 설명 사항, 이하에 설명하는 사항은 화소 구성 등에 한정되는 것이 아니다.

또한, 화소(16)의 선택 트랜지스터를 P 채널로 구성하고, 게이트 드라이버 회로를 P 채널 트랜지스터로 구성한다고 하는 구성은, 유기 EL 등의 자기 발광 디바이스(표시 패널 혹은 표시 장치)에 한정되는 것이 아니다. 예를 들면, 액정 표시 디바이스에도 적용할 수 있다.

반전 단자(DIRA, DIRB)는 각 단위 게이트 출력 회로(1111)에 대하여, 공통의 신호가 인가된다. 또한, 도 113의 등가 회로를 보면 이해할 수 있지만, 반전 단자(DIRA, DIRB)는 상호 역 극성의 신호를 입력한다. 또한, 시프트 레지스터의 주사 방향을 반전시키는 경우에는, 반전 단자(DIRA, DIRB)에 인가하고 있는 신호의 극성을 반전시킨다.

또한, 도 111의 회로 구성은, 클럭 신호선 수는 4개이다. 4개가 본 발명에서는 최적의 수이지만, 본 발명은 이것에 한정되는 것은 아니다. 4개 이하여도 4개 이상이어도 된다.

클럭 신호(SCK0, SCK1, SCK2, SCK3)의 입력은, 인접한 단위 게이트 출력 회로(1111)에서 서로 다르게 하고 있다. 예를 들면, 단위 게이트 출력 회로(1111a)에는, 클럭 단자의 SCK0이 OC에, SCK2가 RST에 입력되어 있다. 이 상태는 단위 게이트 출력 회로(1111c)도 마찬가지이다. 단위 게이트 출력 회로(1111a)에 인접한 단위 게이트 출력 회로(1111b)(차단의 단위 게이트 출력 회로)는, 클럭 단자의 SCK1이 OC에, SCK3이 RST에 입력되어 있다. 따라서, 단위 게이트 출력 회로(1111)에 입력되는 클럭 단자는, SCK0이 OC에, SCK2가 RST에 입력되고, 차단은, 클럭 단자의 SCK1이 OC에, SCK3이 RST에 입력되고, 또한 차단의 단위 게이트 출력 회로(1111)에 입력되는 클럭 단자는, SCK0이 OC에, SCK2가 RST에 입력되고, 라는 식으로 교대로 서로 다르게 하고 있다.

도 113이 단위 게이트 출력 회로(1111)의 회로 구성이다. 구성하는 트랜지스터는 P 채널만으로 구성하고 있다. 도 114가 도 113의 회로 구성을 설명하기 위한 타이밍차트이다. 또한, 도 112는 도 113의 복수단분에 있어서의 타이밍차트를 도시한 것이다. 따라서, 도 113을 이해함으로써, 전체의 동작을 이해할 수 있다. 동작의 이해는 문장에서 설명하는 것보다도, 도 113의 등가 회로도 참조하면서, 도 114의 타이밍차트를 이해함으로써 달성되기 때문에, 상세한 각 트랜지스터의 동작의 설명은 생략한다.

P 채널만으로 드라이버 회로 구성을 작성하면, 기본적으로 게이트 신호선(17)의 출력 전압을 H 레벨(도 113에서는 Vd 전압)로 유지하는 것은 가능하다. 그러나, L 레벨(도 113에서는 VBB 전압)로 장시간 유지하는 것은 곤란하다. 그러나, 화소 행의 선택 시 등의 단기간 유지는 충분히 가능하다. IN 단자에 입력된 신호와, RST 단자에 입력된 SCK 클럭에 의해, n1이 변화하고, n2는 n1의 반전 신호 상태로 된다. n2의 전위와 n4의 전위는 동일 극성이지만, OC 단자에 입력된 SCK 클럭에 의해 n4의 전위 레벨은 더욱 낮아진다. 이 낮아지는 레벨에 대응하여, Q 단자가 그 기간, L 레벨로 유지된다(온 전압이 게이트 신호선(17)으로부터 출력됨). SQ 혹은 Q 단자에 출력되는 신호는, 차단의 단위 게이트 출력 회로(1111)에 전송된다.

도 111, 도 113의 회로 구성에 있어서, IN(INA, INB) 단자, 클럭 단자의 인가 신호의 타이밍을 제어함으로써, 도 165의 (a)에 도시한 바와 같이, 1 게이트 신호선(17)을 선택하는 상태와, 도 165의 (b)에 도시한 바와 같이 2 게이트 신호선(17)을 선택하는 상태를 동일한 회로 구성을 이용하여 실현할 수 있다. 선택측의 게이트 드라이버 회로(12a)에서, 도 165의 (a)의 상태는, 1 화소 행(51a)을 동시에 선택하는 구동 방식이다(노멀 구동). 또한, 선택 화소 행은 1 행씩 시프트한다. 도 165의 (b)는 2 화소 행을 선택하는 구성이다. 이 구동 방식은 도 24 등 설명한 복수 화소 행(51a, 51b)의 동시 선택 구동(더미 화소 행을 구성하는 방식)이다. 선택 화소 행은 1 화소 행씩 시프트하고, 또한 인접한 2 화소 행이 동시에 선택된다.

도 165의 (b)의 구동 방법은, 최종적인 영상을 유지하는 화소 행(51a)에 대하여, 화소 행(51b)은 예비 충전된다. 그 때문에, 화소(16)가 기입하기 쉬워진다. 즉, 본 발명은 단자에 인가하는 신호에 의해, 2개의 구동 방식을 전환하여 실현할 수 있다.

또한, 도 165의 (b)는 인접한 화소 행을 선택하는 방식이지만, 도 123에 도시한 바와 같이, 인접한 이외의 화소 행을 선택해도 된다. 또한, 도 113의 구성에서는 4 화소 행의 조로 제어된다. 4 화소 행 중, 1 화소 행을 선택한다든지, 연속한 2 화소 행을 선택하는 제어를 실시할 수 있다. 이것은, 사용하는 클럭(SCK)이 4개에 의한 것의 제약이다. 클럭(SCK) 8개로 되면, 8 화소 행의 조에서 제어를 실시할 수 있다. 따라서, 도 113의 구성에서 분명하지만, 도 168에 도시한 바와 같이, 화소 행을 선택할 수 있다.

도 168의 (a)에서는, 4 화소 행에 조로 1 화소 행을 선택할 수 있다(4 화소 행의 조에서, 하나의 화소 행을 선택하지만, 전혀 선택하지 않을지는, IN 데이터의 입력 상태와 시프트 상태로 결정됨). 도 168의 (b)에서는, 4 화소 행에 조로 연속한 2 화소 행을 선택할 수 있다(4 화소 행의 조에서, 2개의 화소 행을 선택하지만, 전혀 선택하지 않을지는, IN 데이터의 입력

상태와, 시프트 상태로 결정됨). 또한 본 발명은, 클럭 수와 같은 화소 행을 조로 하여, 이 화소 행의 조에서, 1 화소 행 혹은, 화소 행의 조의 1/2 이하의 개수(예를 들면, 4 화소 행의 조이면, $4/2=2$ 화소 행)를 선택하는 방식이다. 따라서, 화소 행에 조 내에서는, 반드시 비선택의 화소 행이 발생한다.

1 화소 행을 선택하는 도 165의 (a)에서는, 도 167의 (a)에서 도시한 바와 같이, 프로그램 전류 I_w 는 하나의 화소(16)에 흐른다. 프로그램 전류 I_w 는 도 167의 (b)에 도시한 바와 같이, 2 화소 행으로 분할되고 화소(16)에 기입된다. 단, 이것에 한정되는 것이 아니다. 예를 들면, 도 167의 (b)에 도시한 바와 같이, 프로그램 전류 $I_w \times 2$ 의 전류를 인가하고, 선택된 2개의 화소(16a, 16b)에 동일한 전류를 흘리도록 구성해도 된다.

선택측의 게이트 드라이버(12a)의 동작은, 도 165의 동작이다. 도 165의 (a)에 도시한 바와 같이, 1 화소 행을 선택하고, 선택 위치를 1 수평 동기 신호에 동기하여 1 화소 행씩 시프트한다. 또한, 도 165의 (b)에 도시한 바와 같이, 2 화소 행을 선택하고, 선택 위치를 1 수평 동기 신호에 동기하여 1 화소 행씩 시프트한다.

도 168은 EL 소자(15)를 온 오프시키는 게이트 신호선(17b)을 제어하는 게이트 드라이버(12b)의 동작을 설명하는 설명도이다. 도 168의 (a)는 4 화소 행의 조(이후, 이러한 화소 행의 조를 화소 행조라고 함)에 1 화소 행의 게이트 신호선(17b)에 온 전압을 인가한 상태이다. 표시 화소 행(53) 위치는, 수평 동기 신호(HD)에 동기하여 1 화소 행씩 시프트한다. 물론, 4 화소 행조에 1 화소 행에 대응하는 게이트 신호선(17b)에 온 전압을 인가(다른 3 화소 행에 대응하는 게이트 신호선(17b)에는 오프 전압이 인가되어 있음)할지, 4 화소 행조의 전부에 오프 전압을 인가(4 화소 행에 대응하는 게이트 신호선(17b)에 오프 전압이 인가되어 있음)할지는, 임의로 선택할 수 있다. 또한, 시프트 레지스터의 구성이므로, 설정된 선택 상태는 수평 동기 신호에 동기하여 시프트된다.

도 168의 (b)는 4 화소 행조의 2 화소 행의 게이트 신호선(17b)에 온 전압을 인가한 상태이다. 표시 화소 행(53) 위치는 수평 동기 신호(HD)에 동기하여 1 화소 행씩 시프트한다. 물론, 4 화소 행조에 2 화소 행에 대응하는 게이트 신호선(17b)에 온 전압을 인가(다른 2 화소 행에 대응하는 게이트 신호선(17b)에는 오프 전압이 인가되어 있음)할지, 4 화소 행조의 전부에 오프 전압을 인가(4 화소 행에 대응하는 게이트 신호선(17b)에 오프 전압이 인가되어 있음)할지는, 임의로 선택할 수 있다. 또한, 시프트 레지스터의 구성이므로, 설정된 선택 상태는 수평 동기 신호에 동기하여 시프트된다.

또한, 도 168의 (a)는 4 화소 행조에 1 화소 행의 게이트 신호선(17b)에 온 전압을 인가한 상태이다. 도 168의 (b)는, 4 화소 행조의 2 화소 행의 게이트 신호선(17b)에 온 전압을 인가한 상태이다. 그러나, 본 발명은 이 구성(방식)에 한정되는 것은 아니다. 예를 들면, 6 화소 행조에 1 화소 행의 게이트 신호선(17b)에 온 전압을 인가해도 된다. 8 화소 행조의 2 화소 행의 게이트 신호선(17b)에 온 전압을 인가해도 된다. 즉, 도 168의 구동 방법에 한정되는 것은 아니다. 또한, RGB 화소에서 개별로 온 오프 상태를 변화시켜도 무방하다.

도 169는 도 168의 (a)의 구동 상태일 때에, 게이트 신호선(17b)에 출력되는 전압의 상태이다. 앞서서도 설명한 바와 같이, 신호선(17b)의 ()로 기재한 첨자는, 화소 행을 나타내고 있다. 또한, 설명을 쉽게 하기 위해서, 화소 행은 (1)부터 하고 있다. 또한, 표의 상단의 숫자는 수평 주사 기간의 번호를 나타내고 있다.

도 169에 도시한 바와 같이, 게이트 신호선(17b)(1)~게이트 신호선(17b)(4)과, 게이트 신호선(17b)(5)~게이트 신호선(17b)(8)이 동일 파형이다. 즉, 4 화소 행조에서 동일한 동작이 실시되고 있다.

도 170은 도 168의 (b)의 구동 상태일 때에, 게이트 신호선(17b)에 출력되는 전압의 상태이다. 도 170에 도시한 바와 같이, 게이트 신호선(17b)(1)~게이트 신호선(17b)(4)과, 게이트 신호선(17b)(5)~게이트 신호선(17b)(8)이 동일 파형이다. 즉, 4 화소 행조에서 동일한 동작이 실시되고 있다.

도 168의 실시예에서는, 임의의 시각에서, 표시 상태의 화소 수를 증감함으로써, 표시 화면(50)의 밝기를 조정할 수 있다. QCIF 패널인 경우에는, 수직 화소 수는 220 도트이다. 따라서, 도 168의 (a)에서는, $220/4=55$ 화소 행을 표시할 수 있다. 즉, 백 래스터 표시에서는, 55 화소 행을 표시시켰을 때가 최대의 밝기이다. 화면의 밝기는 표시 화소 행 수를 55개→54개→53개→52개→51개→……5개→4개→3개→2개→1개→0개로 변화시킴으로써, 표시 화면을 어둡게 할 수 있다. 반대로, 0개→1개→2개→3개→4개→5개→……50개→51개→52개→53개→54개→55개로 변화시킴으로써, 화면을 밝게 할 수 있다. 따라서, 다단계의 밝기 조정을 실현할 수 있다.

이 밝기 조정에서는, 화면의 밝기는 표시 화소 수에 비례하고, 또한 변화는 선형이다. 게다가, 밝기에 대응하는 감마 특성에 변화가 없다(화면이 밝더라도, 어둡더라도 계조 수는 유지됨).

이상의 실시예에서는, 표시 화면(50)의 밝기를 조정하는 표시 화소 행 수의 변화는, 1개마다 한다고 했지만, 이것에 한정되는 것은 아니다. 54개→52개→50개→48개→46개→……6개→4개→2개→0개로 변화시켜도 무방하다. 또한, 55개→50개→45개→40개→35개→……15개→10개→5개→0개로 변화시켜도 무방하다.

마찬가지로, 도 168의 (b)에서는, QCIF 패널에서는, $220/2=110$ 화소 행을 표시할 수 있다. 즉, 백 래스터 표시에서는, 110 화소 행을 표시시켰을 때가 최대의 밝기이다. 화면의 밝기는, 표시 화소 행 수를 110개→108개→106개→104개→102개→……10개→8개→6개→4개→2개→0개로 변화시킴으로써, 표시 화면을 어둡게 할 수 있다. 반대로, 0개→2개→4개→6개→8개→10개……100개→102개→104개→106개→108개→110개로 변화시킴으로써, 화면을 밝게 할 수 있다. 따라서, 다단계의 밝기 조정을 실현할 수 있다.

또한, 표시 화면(50)의 밝기를 조정하는 표시 화소 행 수의 변화는, 2개마다 한다고 했지만, 이것에 한정되는 것은 아니다. 4개마다 해도 되고, 4개 이상이어도 된다. 또한, 밝기를 조정하기 위해서, 표시 화소 행을 켜는 것은, 한 개소에 집중하여 켜는 것이 아니라, 극력 분산하도록 켜는 것이 좋다. 깜박임의 발생을 억제하기 위해서이다.

밝기 조정은 화소 행 수의 단위가 아니고 (화소 행을 1 수평 주사 기간의 대략 전 기간 동안 점등시키거나, 혹은 비점등으로 시킨다고 하는 구동), 1 수평 주사 기간당의 점등 시간에서도 조정할 수 있다. 즉, 1 수평 주사 기간의 일부 기간(예를 들면, 1H의 1/8의 기간, 1H의 15/16의 기간이라는 것처럼) 점등하는 것의 보다 표시 화면의 밝기를 조정하는 것이다.

이 조정(제어)은 표시 패널의 메인 클럭(MCLK)을 이용하여 행한다. QCIF 패널에서는, MCLK은 약 2.5MHz이다. 즉, 1 수평 주사 기간(1H)에 176 클럭을 카운트할 수 있다. 따라서, MCLK를 카운터하고, 이 카운트치에 의해, 게이트 신호선(17b)에 온 전압(vg1)을 인가하는 기간을 제어함으로써 각 화소 행의 EL 소자(15)를 온 오프시킬 수 있다.

구체적으로는, 도 112, 도 114에 도시하는 타이밍차트에 있어서, 클럭(SCK)의 L 레벨로 하는 위치, L 레벨의 기간을 제어함으로써 실현할 수 있다. SCK가 L 레벨로 하는 기간을 짧게 할수록, 출력의 Q 단자가 L 레벨(vg1)로 되는 기간이 짧아진다.

도 168의 (a)의 구동 방식에서는, 도 171에 도시한 바와 같이, 1H의 기간에 있어서 좌우대칭으로 vg1(온 전압)로 되는 기간이 짧아진다. 도 171에서는 (a)가 1H 기간의 전부가 vg1(온 전압)을 출력하고 있는 기간이다(단, 도 113의 P 채널의 게이트 드라이버 회로(12) 구성에서는, 1H 기간의 전부에 L 레벨 출력을 하는 것은 불가능하다. 1H와 다음의 1H의 사이에는 Vgh 전압(오프 전압)의 기간이 발생한다. 도 171은 설명을 쉽게 하기 위해서 굳이(a)와 같이 도시하고 있다.

마찬가지로, 도 171의 (b)에서는, 게이트 신호선(17b)에 vg1을 출력하고 있는 기간이, MCLK가 2 클럭분만큼 짧게((a)에 비교하여) 한 것을 나타내고 있다. 또한, 도 171의 (c)에서는, 게이트 신호선(17b)에 vg1을 출력하고 있는 기간이, MCLK가 2 클럭분만큼 짧게((b)에 비교하여) 한 것을 도시하고 있다. 이하, 마찬가지로 때문에 설명을 생략한다.

도 168의 (b)의 구동 방식에서는, 도 172에 도시한 바와 같이, 2H의 기간에 있어서 좌우대칭으로 vg1(온 전압)로 되는 기간이 짧아진다. 도 172에서는 (a)이 2H 기간의 전부가 vg1(온 전압)을 출력하고 있는 기간이다(단, 도 113의 P 채널의 게이트 드라이버 회로(12) 구성에서는, 2H 기간의 전부에 L 레벨 출력을 하는 것은 불가능하다. 2H와 다음의 2H의 사이에는 Vgh 전압(오프 전압)의 기간이 발생한다. 이것은 도 171과 마찬가지로이다.

마찬가지로, 도 172의 (b)에서는, 게이트 신호선(17b)에 vg1을 출력하고 있는 기간이, 2H 기간에 MCLK가 2 클럭분만큼 짧고 ((a)에 비교하여) 한 것을 도시하고 있다. 또한, 도 172의 (c)에서는, 게이트 신호선(17b)에 vg1을 출력하고 있는 기간이, MCLK가 2 클럭분만큼 짧게((b)에 비교하여) 한 것을 도시하고 있다. 이하, 마찬가지로 때문에 설명을 생략한다.

또한, 게이트 드라이버 회로(12)의 구성을 다소 변경하여, 클럭을 조정하면, 도 173에 도시한 바와 같이, 도 171의 게이트 신호선(17b)의 인가 기간이 2H 기간 연속하여 행할 수 있다.

도 168의 구동 방식에서도, 양호한 동화상 표시를 실현할 수 있다. 단, 도 13에서는 표시 영역(53)이 연속하여, 비표시 영역(52)도 연속하고 있는 데 대하여, 도 168에서는 표시 영역(53)이 연속하지 않는다. 4 화소 행조에서 1 화소 행에 온 전압을 인가(도 168의 (a))할지, 4 화소 행조에서 연속한 2 화소 행에 온 전압을 인가(도 168의 (b))할지의 표시 상태로 되기 때문이다. 물론, 도 113, 도 111에 예시한 회로 구성을 변경 혹은 개량함으로써, 클럭(SCK)에 대한 표시 화소 행을 변경

혹은 변화시킬 수 있다. 예를 들면, 1 화소 행 건너뛰어 표시시킬 수도 있다. 또한, 6 화소 행 건너뛰어 점등시킬 수도 있다. 단, P 채널의 트랜지스터로 구성 혹은 형성한 드라이버 회로(시프트 레지스터)에서는, 적어도 표시 화소 행(53) 사이에 비점등의 표시 화소 행(52)이 배치(삽입)된다.

도 174에, 게이트 드라이버 회로(12)가 도 113과 같이 P 채널로 형성되어 있는 경우에 있어서, 동화상 표시 대응으로 하는 구동 방식을 도시한다. 이전에도 설명한 바와 같이, 동화상 불선명에 의한 화상 표시 열화를 방지하기 위해서는, 간헐 표시로 할 필요가 있다. 즉, 흑 삽입(흑 혹은 저휘도의 표시 화면을 표시함)할 필요가 있다. CRT의 표시와 같이 구동(표시)한다. 즉, 임의의 화소 행에 화상이 표시되면, 소정의 기간의 표시 후, 흑(저휘도) 표시로 한다. 이 화소 행은 점멸(화상 표시와 비표시(흑 표시 혹은 저휘도 표시)가 교대로 반복됨)하게 된다. 흑 표시 기간은 4msec 이상으로 할 필요가 있다. 혹은, 1 프레임(1 필드)의 1/4 이상의 기간을 흑 표시(저휘도 표시)로 한다. 바람직하게는, 1 프레임(1 필드)의 1/2의 기간 이상을 흑 표시(저휘도 표시)로 한다.

이 조건은, 인간의 눈의 잔상 특성에 의한다. 즉, 소정 주기보다 빠르게 점멸하는 화상은, 인간의 눈의 잔상 특성에 의해 연속하여 점등하고 있는 것처럼 보인다. 이것이 동화상 불선명으로 연결된다. 그러나, 소정 주기보다 느리게 점멸하는 화상은, 시각적으로는 연속하고 있는 것처럼 보이지만, 사이에 삽입된 비점등(흑 표시) 상태를 인식할 수 있도록 되어, 표시 화상이 띄엄띄엄한 상태로 된다(시각적으로는 이상하게는 느끼지 않지만). 그 때문에, 동화상 표시에서, 화상이 띄엄띄엄해져, 화상 이지러짐이 발생하지 않는다. 즉, 동화상 불선명이 없어진다.

도 174의 (a)에 있어서, A의 영역은, 4 화소 행에 1 화소 행이 표시(점등 상태) 상태이다. 따라서, 4 수평 주사 기간(4H)에 1회 점등한다(4H 기간에 1H 기간 동안 점등함). 이 기간(화소 행이 점등하여, 비점등으로 되고, 다음에 점등하기까지의 기간)은, 4 msec 이하이다. 따라서, 인간의 눈에는, 화상이 완전히 연속하여 표시되어 있는 것처럼 보인다(임의의 화소 행이 끊임없이 점등하고 있는 것과 차이가 없음). 도 124의 (a)의 B의 영역에서는, 화소 행이 표시되고 나서, 다음에 표시될 때까지, 4 msec 이상, 바람직하게는 8 msec 이상으로 되도록 흑 삽입(저휘도 표시)되어 있다. 따라서, 화상은 띄엄띄엄해져, 양호한 동화상 표시를 실현할 수 있다.

또한, 이상의 설명에서 A의 영역 혹은 B의 영역으로 하여 설명했지만, 이상의 사항은 설명을 쉽게 하기 위해서이다. 도 174에 있어서, A의 영역은 화살표 방향(화면의 위에서 아래)으로 순차 주사된다. CRT에서 전자 빔이 주사되는 것과 같다. 즉, 화상은 순차 재기입된다(도 174의 (a)는 도 175를 참조할 것. 도 175의 (a)→(b)→(c)→(a)와 같이 주사(구동)됨. 도 174의 (b)는 도 176을 참조할 것. 도 176의 (a)→(b)→(c)→(a)와 같이 주사(구동)됨).

이상과 같이, 본 발명의 구동 방식에 있어서, 임의의 화소 행은, 도 174의 (a)에 있어서, 1 필드(1 프레임)의 4 msec(바람직하게는 8 msec) 이상의 기간은, 4H에 1H의 기간 표시되고, 그 밖의 기간(1 필드(1 프레임)의 남은 기간)은, 연속하여 비점등(흑 표시(흑 삽입) 혹은 저휘도 표시) 상태가 유지된다. 따라서, 설명을 쉽게 하기 위해서, A 영역 혹은 B 영역이라고 표현했지만, 시간적인 관점에서, A 기간 혹은 B 기간이라고 표현하는 것이 적절하다. 즉, A 영역(A 기간)은, 연속하여 화상이 점등하는 기간이고, B 영역(B 기간)은 화소 행(화면(50))이 간헐 표시되는 기간이다. 이상의 사항은 도 174의 (b) 혹은 다른 본 발명의 실시예에 있어서도 마찬가지이다.

도 174의 (b)에서는, 2 화소 행을 연속하여 점등 상태로 하고, 계속되는, 2 화소 행을 비점등 상태로 하고 있다. 즉, A 영역(A 기간)에서는, 2H의 기간 점등하여, 2H의 기간 비점등 상태로 되는 것을 반복한다. B 영역(B 기간)은 소정의 기간, 연속하여 비점등 상태가 유지된다. 도 174의 (b)의 구동 방식에 있어서도, A 영역은 외관상, 연속 표시 상태이고, B 영역은 외관상, 간헐 표시이다.

이상과 같이, 본 발명의 구동 방식은, 임의의 화소 행(화소)에 주목하여 표시 상태를 관측했을 때, 4 msec 미만의 기간(혹은 1 프레임(1 필드)의 1/4 미만의 기간)에서 화상 표시와 비표시(흑 표시 또는 소정 이하의 저휘도 표시)가 적어도 1회 이상 반복하게 하는 제1 기간과, 상기 화소 행(화소)가 표시 상태에서 비표시(흑 표시 또는 소정 이하의 저휘도 표시) 상태로 되고, 다음에 표시 상태로 되는 기간이, 4 msec 이상으로 되는 제2 기간(혹은 1 프레임(1 필드)의 1/4 이상의 기간)을 실시하는 것이다. 이상의 구동을 실시하는 것이, 보다 양호한 동화상 표시를 실현할 수 있고, 또한 그 제어 회로(게이트 드라이버 회로(12) 등)의 구성도 용이하여, 저 비용화를 실현할 수 있다.

도 174에서도 점등 화소 행 수를 변화시킴으로써, 화면(50)의 밝기를 조정(변화)시킬 수 있다(도 168과 같이, 표시 화소 수 53를 변화 혹은 조정하면 됨). 또한, 흑 삽입 영역(도 174의 B 영역)의 비율을 변화시킴으로써, 화상 표시 상태에 따라서 최적 상태로 할 수 있다. 예를 들면, 정지 화상에서는, B 영역이 길어지는 것을 피해야 한다. 깜박임의 발생의 원인으로 되기 때문이다. 정지 화상인 경우에는, 표시 영역(53)을 분산하여 표시(화면(50) 내에 배치)하여야 한다. 예를 들면, QCIF

패널인 경우에는 화소 행 수가 220개이다. 이 중, 정지 화상에서 55 화소 행을 표시하는 것이면, $220/55=4$ 이므로, 4 화소 행마다 1 화소 행을 표시시키면 된다. 220 화소 행 중 10 화소 행을 표시하는 것이면, $220/10=22$ 화소 행에 1 화소 행을 표시시키면 된다.

또한, 도 174에 있어서 B 영역(B 기간)은 1개로 하고 있지만, 이것에 한정되는 것이 아니고, 2개 이상(복수)으로 분할 혹은 분산시켜도 되는 것은 물론이다.

그러나, 도 174의 (a)에서는, 4 화소 행조에서 1 화소 행을 점등시킬지 여부의 표시밖에 실현할 수 없다. 따라서, 22 화소 행에 1 화소 행을 점등시키는 것은 불가능하다. 그 때문에, 4 화소 행조를 5회=20 화소 행에 1 화소 행을 표시한다(즉, 20 화소 행에 1 화소 행을 표시함. 바꿔 말하면, 4 화소 행조의 4개는 완전히 화소 행을 점등 상태로 하지 않고, 1 화소 행조의 1 화소 행을 점등 상태로 함). 남은 20 화소 행($220-4\times 5=200$)은 전부를 비점등 상태로 한다. 즉, 본 발명에서는, 제약(규제 혹은 규정)되는 화소 행조를 1 단위로 하여, 이 화소 행조의 조합(블록) 내에서, 이 블록 내에 몇 개의 화소 행조의 화소 행을 점등시킬지 여부의 제어를 행한다. 이상의 사항은 도 174의 (b)에서도 적용되고, 또한 본 발명의 다른 실시예에 있어서도 적용된다.

반대로 동화상 표시인 경우에는, 도 174에서 설명한 바와 같이, 적어도 4 msec 이상의 흑 삽입을 실시할 필요가 있다. 또한, 흑 삽입의 비율(흑 표시의 연속 시간, 표시 화면에 대한 흑 표시 면적)을 변화시킴으로써, 동화상 표시 상태를 변화할 수 있다(최적 상태에 조정할 수 있음). 매우 고속인 동화상 표시(화상의 움직임이 심한 경우 등)는, 흑 삽입 면적을 증대시키면 된다. 이 때, 화상을 표시하는 화소 수가 감소함으로써 휘도 저하는, 1 화소 행의 발광 휘도를 높게 함으로써 대응한다. 또한, 흑 표시가 연속하는 기간을 길게 하면 된다. 비교적 전 화면에 대한 동화상 표시 영역의 비율이 적은 경우, 혹은 비교적 동화상의 움직임이 천천히 되고 있는 경우에는, 흑 삽입의 비율을 감소시키면 된다. 이 경우의 점등 화소 행(53)이 증가함에 따른 표시 휘도의 증대는, 1 화소 행당의 발광 휘도를 저하시킴으로써 용이하게 조정할 수 있다. 이 조정은 프로그램 전류 I_w 등으로 변경할 수 있기 때문이다. 혹은, 흑 삽입 기간을 복수로 분산시키면 된다. 깜박임이 감소하여 양호한 화상 표시를 실현할 수 있다.

이상과 같은, 동화상 표시에 있어서도 흑 삽입 상태를 변경 혹은 조정함으로써, 보다 최적의 화상 표시를 실현할 수 있다. 이상의 사항은 이하의 실시예에서도 적용되는 것은 물론이다.

입력 영상 신호의 동화상 검출(ID 검출)을 행하여, 동화상인 경우 혹은 동화상이 많은 화상에서는, 도 174의 구동 방식(흑 삽입에 의한 간헐 표시)을 실시한다. 정지 화상인 경우에는, 도 168의 구동 방식(점등 화소 행 위치가 극력 분산하여 배치함)을 실시한다. 물론, 본 발명의 표시 패널 혹은 표시 장치를 이용하는 용도에 따라서 전환하여도 된다. 예를 들면, 컴퓨터 모니터와 같이 정지 화상인 경우에는 도 168의 구동 방식을 채용한다. 텔레비전과 같이 AV 용도인 경우에는, 도 174의 구동 방식을 채용한다. 이 구동 방식의 전환은, 게이트 드라이버 회로(12b)의 SSTA 데이터를 보다 용이하게 변경할 수 있다. 도 1 등의 EL 소자(15)에 흐르는 전류를 온 오프시키는 트랜지스터를 제어할 뿐이기 때문이다.

도 174와 도 168의 전환(동화상 대응이거나 혹은 정지 화상 대응이거나, 혹은 보다 동화상 대응이거나 보다 정지 화상 대응이거나)은, 사용자가 조작할 수 있는 전환 스위치 등을 상황에 대응하여 실시해도 되고, 본 발명의 표시 패널의 제조업자가 실시해도 무방하다. 또한, 포토 센서 등을 이용하여, 주위 환경 상태를 검출하여 자동으로 전환하여도 된다. 또한, 본 발명이 수신하는 영상 신호에 제어 신호(전환 신호)를 미리 올려 놓고, 이 제어 신호를 검출하여, 표시 상태(구동 방식)를 전환하여도 된다.

도 177은 도 174의 (a)의 구동 방식인 경우의, 게이트 신호선(17b)의 출력 파형이다. 도 1의 화소 구성에서는, 게이트 신호선(17b)에 인가되는 온 오프 신호(V_{gh} 가 오프 전압, v_{g1} 이 온 전압)로 트랜지스터(11d)를 온 오프 제어하여, EL 소자(15)에 흐르는 전류를 온 오프시킨다. 도 177에 있어서, 상단은 수평 주사 기간을 도시하고 있고, L 기호는, 화소 행 수 L(QCIF 패널인 경우에는, $L=220$ 개)을 나타내고 있다. 또한, 도 168, 도 174에 있어서도, 본 발명의 구동 방식은 도 1의 화소 구성에 한정되는 것이 아니다. 예를 들면 다른 화소 구성(도 38 등)에 있어서도 적용할 수 있는 것은 물론이다.

도 177에서 알 수 있듯이, A 기간(A 영역)에서는, 4H 기간에 1H 기간의 비율로 각 게이트 신호선(17b)에 온 전압(V_{hl})이 인가된다. B 기간(B 영역)에서는, 연속하여 오프 전압(V_{gh})이 인가된다. 따라서, 이 기간에는 EL 소자(15)에는 전류가 흐르지 않는다. 그리고, 각 게이트 신호선(17b)의 온 전압 위치가 1 화소 행씩 주사되어 있다.

또한, 이상의 실시예에서는, 1 화소 행씩 주사되는 것으로 했지만, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 인터레이스 주사에서는, 1 화소 행 건너뛰어 주사된다. 즉, 제1 필드에서는 짝수 화소 행이 주사된다. 제2 필드에서는 홀수

화소 행이 주사된다. 또한, 제1 필드를 재기입하고 있을 때는, 제2 필드에서 기입된 화상은 그대로 유지된다. 단, 점멸 동작을 실시한다(실시하지 않아도 무방함). 제2 필드를 재기입하고 있을 때는, 제1 필드에서 기입된 화상은 그대로 유지된다. 물론, 도 174의 실시예와 같이 점멸 동작을 실시해도 된다.

인터레이스 주사는 2 필드로 1 프레임이 CRT에서 통상이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 4 필드=1 프레임이어도 된다. 이 경우에는, 제1 필드에서는 $(4N+1)$ 화소 행(단, N 은 이상의 정수)의 화상이 재기입된다. 제2 필드에서는 $(4N+2)$ 화소 행의 화상이 재기입된다. 다음의 제3 필드에서는 $(4N+3)$ 화소 행의 화상이 재기입된다. 또한, 최후의 제4 필드에서는 $(4N+4)$ 화소 행의 화상이 재기입된다. 이상과 같이 본 발명은, 화소 행에의 기입은 순차 주사에만 한정되는 것이 아니다. 이상의 사항은 다른 실시예에서도 적용된다. 또한, 본 발명에 있어서, 인터레이스 주사란 넓게 일반적인 비월 주사를 의미하고, 2 필드=1 프레임에 한정되는 것이 아니다. 즉, 복수 필드=1 프레임이다.

또한, 도 177, 도 178에 있어서도, 도 171, 도 172, 도 173 등의 1 수평 주사 기간(1H) 혹은 복수의 수평 주사 기간 안에서, EL 소자(15)에 흐르는 전류를 제어하는 것(온 기간을 제어하는 것)에 의해, 표시 화면(50)의 밝기를 조정하는 구동 방식을 병용할 수 있는 것은 물론이다.

도 178은 도 177과 마찬가지로, 도 174의 (b)에 있어서의 게이트 신호선(17b)의 인가 파형이다. 도 177과의 차이는, A 기간(A 영역, 도 168의 (b)를 참조할 것)에 있어서, 각 게이트 신호선(17b)에는, 2수평 주사 기간(2H) 동안, 온 전압(vg1)이 인가되고, 그 후, 2H의 기간, 오프 전압(Vgh)이 인가되고 있다. 또한, 이 온 전압과 오프 전압은 교대로 반복되고 있다. B 기간(B 영역)에서는 연속하여 오프 전압이 인가된다. 각 게이트 신호선(17b)의 온 전압의 인가 위치는 1H마다 주사된다.

도 177은 도 174의 (a)의 구동 방식인 경우의, 게이트 신호선(17b)의 출력 파형이다. 도 1의 화소 구성에서는, 게이트 신호선(17b)에 인가되는 온 오프 신호(Vgh가 오프 전압, vg1이 온 전압)로 트랜지스터(11d)를 온 오프 제어하여, EL 소자(15)에 흐르는 전류를 온 오프시킨다. 도 1에 있어서, 상단은 수평 주사 기간을 도시하고 있고, L 기호는, 화소 행 수 L (QCIF 패널인 경우에는, $L=220$ 개)을 나타내고 있다. 또한, 도 168, 도 174에 있어서도, 본 발명의 구동 방식은 도 1의 화소 구성에 한정되는 것이 아니다. 예를 들면 다른 화소 구성(도 38, 도 43, 도 51, 도 62, 도 63 등)에 있어서도 적용할 수 있는 것은 물론이다.

도 178은 도 177과 마찬가지로, 도 174의 (b)에 있어서의 게이트 신호선(17b)의 인가 파형이다. 도 177과의 차이는, A 기간(A 영역, 도 168의 (b)를 참조할 것)에 있어서, 각 게이트 신호선(17b)에는, 2수평 주사 기간(2H) 동안, 온 전압(vg1)이 인가되고, 그 후, 2H의 기간, 오프 전압(Vgh)이 인가되고 있다. 또한, 이 온 전압과 오프 전압은 교대로 반복되고 있다. B 기간(B 영역)에서는 연속하여 오프 전압이 인가된다. 각 게이트 신호선(17b)의 온 전압의 인가 위치는, 1H마다 주사된다. 다른 사항은, 도 177(와)과 마찬가지로 혹은 유사하기 때문에 설명을 생략한다.

또한, 이상의 실시예에서는, 표시 화면(50) 내에서, A 영역과 B 영역이 혼재하는 구동 방식이다. 즉, 화면 표시 상태의 어느 기간에서도, 반드시 A 영역을 B 영역이 있다(물론, A 영역이 어디에 있는지는 서로 다름). 이것은, 1 필드(1 프레임, 즉 화면의 재기입 주기) 내에, A 기간과 B 기간이 있다는 것이다. 그러나, 동화상 표시를 양호하게 하기 위해서는, 흑 삽입(흑 표시 혹은 저휘도 표시)을 행하면 되는 것이므로, 도 124의 구동 방식에 한정되는 것이 아니다.

예를 들면, 도 179의 구동 방식이 예시된다. 이해를 쉽게 하기 위해서, 도 179에서는, 4개의 표시 기간((a), (b), (c), (d))으로 구성되어 있다고 한다. 또한, 4 필드=1 프레임으로 하고, 도 179의 (a)를 제1 필드, 도 179의 (b)를 제2 필드, 도 179의 (c)를 제3 필드, 도 179의 (d)를 제4 필드로 한다. 표시는 도 179의 (a)→(b)→(c)→(d)→(a)→(b)→……로 반복된다.

제1 필드에서는, 도 179의 (a)에 도시한 바와 같이, 짝수번째의 화소 행을 순차 선택하고, 화상을 재기입한다. 제1 필드의 재기입이 끝나면, 도 179의 (b)에 도시한 바와 같이, 화면(50)의 위에서 순차 흑 표시로 하여 간다(도 179의 (b)는 흑 표시 기입이 종료한 상태임). 다음의 제3 필드에서는, 도 179의 (c)에 도시한 바와 같이, 홀수번째의 화소 행을, 화면(50)의 위에서부터 순차, 화상을 기입하여 간다. 즉, 홀수번째의 화상이 화면의 상부부터 순차 표시된다. 다음의 제4 필드에서는, 화면(50)의 상부로부터, 화상이 비점등 상태(흑 표시)로 되어 간다(도 179의 (d)도 완전히 비점등 상태로 했을 때의 상태를 나타냄).

또한, 도 179에 있어서, (a), (c)에서는, 화상을 기입한다고 표현하고, 또한 화상을 표시한다고 표현했지만, 본 발명은 기본적으로, 화상을 표시하는(점등시킴) 상태에 특징이 있다. 따라서, 화상을 기입하는 것(프로그램을 실시하는 것)과 화상을 표시하는 것은 동일할 필요는 없다. 즉, 도 179의 (a), (c)에서는, 게이트 신호선(17b)의 제어에 의해, EL 소자(15)에 흐르는 전류를 제어하여, 점등 혹은 비점등 상태로 한다고 생각하여도 된다. 따라서, 도 179의 (a)의 상태와 도 179의 (b)의 상태의 전환은, 일괄로(예를 들면, 1H 기간에) 행할 수 있다. 예를 들면, 인에이블 단자를 제어함으로써 실시할 수 있다(게이

트 드라이버(12b)의 시프트 레지스터에 온 오프 상태(도 179의 (a)에서는, 짝수 화소 행에 대응하는 시프트 레지스터가 온 데이터)를 유지해 놓고, 인에이블 단자가 오프일 때에는, 도 179의 (b), (d)의 상태를 표시하고, 인에이블 단자를 온으로 하는 것의 보다, 도 179의 (a)의 표시 상태로 되는 등). 따라서, 게이트 신호선(17b)의 온 오프 상태에서 도 179의 (a), (c)의 표시를 실시할 수 있다(미리, 화상 데이터는 도 1의 화소 구성으로 제시하면, 콘텐츠(19)에 유지시켜 놓음). 이상의 설명에서는 도 179의 (a), (b), (c), (d)의 상태는, 각 1 필드 기간 동안 실시한다고 했다.

그러나, 본 발명이 이 표시 상태에 한정되는 것은 아니다. 적어도 동화상 표시 상태를 개선 혹은 양호한 것으로 하기 위해서는, 도 179의 (b), (d) 등의 흑 삽입 상태를 4 msec의 기간, 실시하면 되기 때문이다. 따라서, 본 발명의 실시예에 있어서, 게이트 드라이버 회로(12b)의 시프트 레지스터 회로를 이용하여, 게이트 신호선(17b)을 주사하고, 도 179의 (a), (c)의 표시 상태를 실현하는 것에 한정되는 것이 아니다. 홀수번째의 게이트 신호선(17b)(홀수 게이트 신호선 조라고 함)을 일괄 접속해 놓고, 또한, 짝수번째의 게이트 신호선(17b)(짝수 게이트 신호선 조라고 함)을 일괄 접속해 놓고, 홀수 게이트 신호선 조와 짝수 게이트 신호선 조를 교대로 온 오프 전압을 인가하도록 하면 된다. 홀수 게이트 신호선 조에 온 전압을 인가하고, 짝수 게이트 신호선 조에 오프 전압을 인가하면, 도 179의 (c)의 표시 상태가 실현된다. 짝수 게이트 신호선 조에 온 전압을 인가하고, 홀수 게이트 신호선 조에 오프 전압을 인가하면, 도 179의 (a)의 표시 상태가 실현된다. 홀수 게이트 신호선 조와 짝수 게이트 신호선 조의 양방에 오프 전압을 인가하면, 도 179의 (b), (d)의 표시 상태가 실현된다. 도 179의 (a), (b), (c), (d)의 각 상태는, 4 msec(특히 도 179의 (b), (d)는) 이상의 기간, 실시하면 된다.

이상의 도 179의 구동 방식에서는, 화면 표시 상태(도 179의 (a), (c))와 흑 표시 상태(흑 삽입, 도 179의 (b), (d))가 교대로 반복된다. 따라서, 화상 표시가 간헐 표시로 되어, 동화상 표시 성능이 향상한다(동화상 불선명이 발생하지 않는다).

도 179의 실시예에서는, 제 1 필드와 제3 필드에서는, 홀수 화소 행 또는 짝수 화소 행에 화상을 표시하고, 이 2개의 화면 사이에 흑 화면(도 179의 (b), (d))을 삽입하는 구동 방식이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니고, 도 168의 표시 상태를 제1 필드 및 제3 필드에 실시하여, 이 2개의 필드 사이에 흑 표시를 삽입해도 된다.

이상의 실시예에서의 타이밍차트를 도 180에 도시한다. 도 180의 (a)는 제1 필드이고, 도 180의 (b)는 흑 삽입 상태의 제2 필드이다. 도 180의 (c)는 제3 필드이다. 또한, 제4 필드는 도 180의 (b)와 마찬가지로 때문에 생략하고 있다. 단, 제4 필드는 반드시 필요하지 않다. 3 필드=1 프레임 구성이어도 된다. 제2 필드로 흑 화면이 삽입되므로 동화상 불선명은 대폭 개선되기 때문이다. 즉, 도 180의 (a)→(b)→(c)→(a)→……로 반복한다.

도 180의 (a)는, 도 168의 (a)에 4수평 주사 기간(4H)에 1H의 기간, 화상을 표시한다(각 게이트 신호선(17b)은 4H마다 1H의 기간, v_{g1} 전압(온 전압)이 인가된다. 다음의 제2 필드에서는, 모든 게이트 신호선(17b)은 오프 전압(V_{gh})이 인가되고 있다. 이 제어는 앞의 실시예와 마찬가지로, 인에이블 단자를 제어하는 것의 보다, 일괄로 행할 수 있다. 따라서, 도 180의 (b)의 상태는, 1 필드 기간 실시하는 것에 한정되는 것이 아니다. 동화상 표시를 양호한 것으로 하기 위해서는, 4 msec 이상의 기간, 유지되면 되기 때문이다. 단, 도 180의 (a)가 화면의 위(위로부터 한정되는 것이 아니지만)로부터 순차 화상을 재기입하는 것으로 하면, 화상이 튀어 버린다. 도 179 설명한 바와 같이, 복수의 게이트 신호선(17b)을 일괄 접속하고, 또한 인에이블 단자를 제어하는 것에 의하면, 용이하게 실시할 수 있다.

도 180은 각 화소 행은, 4H 기간에 1H 기간, 점등하는 등, 규칙적으로 화상 표시를 실시하는 것이었다. 그러나, 각 화소 행은, 단위 기간(예를 들면, 1 프레임, 1 필드 등)에서, 점등(표시) 기간이 일치하고 있으면 된다. 즉, 규칙적으로 점등 상태와 비점등 상태를 실시할 필요는 없다.

도 181은 규칙적이지 않는 점등 상태인 경우의 실시예이다. 게이트 신호선(17b)(1)은 제1H, 제5H, 제6H, 제9H, 제13H, 제14H, ……로 온 전압이 인가되어 있다. 다른 기간에는 오프 전압이 인가되어 있다. 따라서, 주기적으로 온 전압이 인가되고 있는 것이 아니고(장기간으로 보면, 주기적이지만), 랜덤적이다. 이 1 프레임 기간(단위 기간)에 각 게이트 신호선(17b)에 온 전압이 인가되는 기간을 가산한 것이, 다른 게이트 신호선(17b)과 대략 일치시켜 두면 된다. 이와 같이 각 화소 행의 점등 시간(게이트 신호선(17b)에 온 전압을 인가하는 것의 보다, 화소 행이 점등(표시)하는 것으로 하고 있음)이 대략 일치한다.

또한 도 181에서는, 각 게이트 신호선(17b)에 인가하는 신호 파형은, 1H씩 주사되도록 하고 있다. 이와 같이, 기본 패턴 파형을, 각 게이트 신호선(17b)을 1H(소정 클럭 혹은 단위)로 어긋나 주사(인가)하는 것에 의해, 표시 화면의 휘도를 전 화면에서 균일화할 수 있다. 또한, 도 181에서도 온 전압(v_{g1})의 인가 기간을 조정함으로써, 화면의 밝기를 제어(조정)할 수 있는 것은 물론이다.

이상의 실시예에서는, 각 프레임(단위 기간)에 있어서, 게이트 신호선(17b)에는, 동일한 온 오프 전압 패턴을 인가하는 실시예였다. 그러나 본 발명은, 소정 기간에, 각 화소 행(화소)이 점등(표시) 혹은 비점등(비표시)으로 되는 기간이 대략 동일하게 하는 것이다. 따라서, 2 필드=1 프레임의 구동 방식에 있어서, 제1 필드와 제2 필드에 인가하는 각 게이트 신호선(17b)의 신호 파형이 서로 다르더라도 무방하다. 예를 들면, 임의의 화소 행이 제1 필드에서 10H의 기간 동안, 온 전압이 인가되고, 제2 필드에서 20H의 기간 동안, 온 전압이 인가되도록 구동해도 된다(2 필드라는 단위 기간에, 10H+20H의 기간 동안, 온 전압이 인가됨). 다른 화소 행도, 30H의 기간, 온 전압이 인가되도록 한다.

이 실시예를 도 182에 도시한다. 도 182의 (a)(제1 필드로 함)에서는, 각 화소 행에 대응하는 게이트 신호선(17b)에는, 4수평 주사 기간(4H) 주기로 1수평 주사 기간(1H) 온 전압이 인가된다. 도 182의 (b)(제2 필드로 함)에서는, 각 화소 행에 대응하는 게이트 신호선(17b)에는, 4H 주기로 2H의 기간 온 전압이 인가되고 있다. 즉, 2 필드에서는, (4+4)H 주기로 (1+2)H의 기간 온 전압이 인가되게 된다. 이와 같이 구동해도, 단위 기간(도 132에서는 2 필드)에서는, 각 게이트 신호선(17b)에는 온 전압이 동일 기간 인가되게 된다. 따라서, 각 화소 행은, 동일 휘도로 표시된다(백 래스터 표시라고 가정한 경우).

또한, 도 180에서는 4H 주기로 1H의 기간 온 전압을 인가한다고 했지만, 이것에 한정되는 것이 아니다. 예를 들면, 도 183에 도시한 바와 같이, 8H 주기로 1H의 기간 온 전압을 인가한다고 해도 된다. 또한, 각 필드에서의 각 게이트 신호선(17b)에 인가하는 신호 파형은, 주기성을 가지게 하는 일없이, 완전히 랜덤화해도 된다. 단위 주기(단위 기간)로 온 전압을 인가하는 총합 기간이, 모든 게이트 신호선(17b)에서 일치하고 있으면 되기 때문이다.

그러나, 이상의 실시예에서는, 모든 게이트 신호선(17b)에서 단위 기간에 있어서, 온 전압을 인가하는 총합 기간을 일치시킨다고 했지만, 이하인 경우에는 적용되지 않는다. 1 화면(50) 내(즉, 하나의 표시 패널)에서, 복수의 휘도가 서로 다른 화면(50)을 갖는 경우이다. 화면(50)이, 제1 화면(50a)과 제2 화면(50b)이 구성되어 있고, 화면(50a와 50b)의 휘도가 서로 다른 경우이다. 2개의 화면(50)의 휘도를 다르게 한 것은, 프로그램 전류 I_w 를 조정하는 것에 의해서도 변화할 수 있지만, 게이트 신호선(17b)을 주사하고, 제1 화면(50a)에 있어서의 각 화소 행의 점등(표시) 기간과 제2 화면(50b)에 있어서의 각 화소 행의 점등(표시) 기간을 다르게 한 방식이 실현 용이하다. 예를 들면, 제1 화면(50a)의 각 화소 행은, 4H에 1H의 기간, 게이트 신호선(17b)에 온 전압을 인가한다. 제2 화면(50b)의 각 화소 행은, 8H에 1H의 기간, 게이트 신호선(17b)에 온 전압을 인가한다. 이와 같이, 각 화면에서 온 전압을 인가하는 기간을 변화시킴으로써, 화면의 밝기를 조절할 수 있고, 또한, 그 때의 감마커브도 서로 비슷하게 할 수 있다.

전원 회로(IC)(82)(도 8을 참조할 것)는, 게이트 드라이버 회로(12)로부터 게이트 신호선(17)에 출력하는 온 전압(화소(16) 트랜지스터의 선택 전압), 오프 전압(화소(16) 트랜지스터의 비선택 전압)에 필요한 전위의 전압을 작성한다. 그 때문에, 전원 IC(회로)(82)가 사용하는 반도체의 내압 프로세스는, 충분한 내압이 있다.

전원 IC(82)에서 로직 신호를 레벨 시프트(LS)하면 형편이 좋다. 따라서, 컨트롤러(도시하지 않음)로부터 출력되는 게이트 드라이버 회로(12)의 제어 신호는, 전원 IC(82)에 입력하고, 레벨 시프트하고 나서, 본 발명의 게이트 드라이버 회로(12)에 입력한다. 컨트롤러(도시하지 않음)로부터 출력되는 소스 드라이버 회로(14)의 제어 신호는, 직접 본 발명의 소스 드라이버 회로(14) 등에 입력한다(레벨 시프트가 필요가 없음).

그러나, 본 발명은 어레이 기관(71)에 형성하는 트랜지스터를 전부 P 채널로 형성하는 것에 한정되는 것은 아니다. 게이트 드라이버 회로(12)를 후에 설명하는 도 111, 도 113과 같이 P 채널로 형성함으로써, CMOS 구조의 게이트 드라이버 회로(12)에 비교하여 소형으로 형성할 수 있다. 따라서, 협소한 프레임화할 수 있다. 2.2인치 of QCIF 패널인 경우, 게이트 드라이버 회로(12)의 폭은, $6\mu\text{m}$ 룰의 채용시간에, $600\mu\text{m}$ 로 구성할 수 있다. 공급하는 게이트 드라이버 회로(12)의 전원 배선의 인출을 포함시켜도 $700\mu\text{m}$ 로 구성할 수 있다. 마찬가지로의 회로 구성을 CMOS(N 채널과 P 채널 트랜지스터)로 구성하면, 1.2mm 로 되어 버린다. 따라서, 게이트 드라이버 회로(12)를 P 채널로 형성하는 것의 보다, 협소한 프레임화이라고 하는 특징 있는 효과를 발휘할 수 있다.

또한, 화소(16)를 P 채널의 트랜지스터로 구성하는 것의 보다, P 채널 트랜지스터로 형성한 게이트 드라이버 회로(12)와의 매칭이 좋아진다. P 채널 트랜지스터(도 1의 화소 구성에서는, 트랜지스터(11b, 11c), 트랜지스터(11d))는 L 전압(v_{g1})에서 온 상태로 한다. 한편, 게이트 드라이버 회로(12)도 L 전압이 선택 전압이다. P 채널의 게이트 드라이버는 도 113의 구성에서도 알 수 있지만, L 레벨을 선택 레벨로 하면 매칭이 좋다. L 레벨이 장시간 유지할 수 없기 때문이다. 한편, H 전압(V_{gh})은 장시간 유지할 수 있다.

또한, EL 소자(15)에 전류를 공급하는 구동용 트랜지스터(도 1에서는 트랜지스터(11a))도 P 채널로 구성함으로써, EL 소자(15)의 캐소드가 금속 박막의 접지 전극에 구성할 수 있다. 또한, 애노드 전위 Vdd로부터 순방향으로 EL 소자(15)에 전류를 흘릴 수 있다. 이상의 사항으로부터, 화소(16)의 트랜지스터를 P 채널로 하고, 게이트 드라이버(12)의 트랜지스터도 P 채널로 하는 것이 좋다. 이상의 점으로부터, 본 발명의 화소(16)를 구성하는 트랜지스터(구동용 트랜지스터(11a), 스위칭용 트랜지스터(11d, 11b, 11c))를 P 채널로 형성하고, 게이트 드라이버 회로(12)의 트랜지스터를 P 채널로 구성한다고 하는 사항은 단순한 설계 사항이 아니다.

레벨 시프터(LS) 회로를 기관(71)에 직접 형성하여도 된다. 즉, 레벨 시프터(LS) 회로를 N 채널과 P 채널 트랜지스터로 형성한다. 컨트롤러(도시하지 않음)로부터의 로직 신호는, 기관(71)에 직접 형성된 레벨 시프터 회로에서, P 채널 트랜지스터로 형성된 게이트 드라이버 회로(12)의 로직 레벨에 적합하도록 승압한다. 이 승압한 로직 전압을 상기 게이트 드라이버 회로(12)에 인가한다.

레벨 시프터 회로를 반도체 칩으로 형성하고, 기관(71)에 COG 실장 등 해도 된다. 또한, 소스 드라이버 회로(14)는, 기본적으로 반도체 칩으로 형성하고, 기관(71)에 COG 실장한다. 단, 소스 드라이버 회로(14)를 반도체 칩으로 형성하는 것에 한정되는 것이 아니고, 폴리실리콘 기술을 이용하여 기관(71)에 직접 형성하여도 된다. 화소(16)를 구성하는 트랜지스터(11a)를 P 채널로 구성하면, 프로그램 전류는 화소(16)로부터 소스 신호선(18)으로 흘러 나가는 방향이 된다. 그 때문에, 소스 드라이버 회로 내의 정전류 회로는, N 채널의 트랜지스터로 구성할 필요가 있다. 즉, 소스 드라이버 회로(14)는 프로그램 전류 Iw를 인입하도록 회로 구성할 필요가 있다.

따라서, 화소(16)의 구동용 트랜지스터(11a)(도 1인 경우)가 P 채널 트랜지스터인 경우에는, 반드시, 소스 드라이버 회로(14)는 프로그램 전류 Iw를 인입하도록, 소스 드라이버 회로(14) 내의 정전류 회로(계조 전류를 출력하는 회로)를 N 채널 트랜지스터로 구성한다. 소스 드라이버 회로(14)를 어레이 기관(71)에 형성하기 위해서는, N 채널용 마스크(프로세스)와 P 채널용 마스크(프로세스)의 양방을 이용할 필요가 있다. 개념적으로 진술하면, 화소(16)와 게이트 드라이버(12)를 P 채널 트랜지스터로 구성하고, 소스 드라이버의 인입 전류원의 트랜지스터는 N 채널로 구성하는 것이 본 발명의 표시 패널(표시 장치)이다.

도 8은 본 발명의 표시 장치의 신호, 전압의 공급의 구성도 혹은 표시 장치의 구성도이다. 컨트롤 IC(81)로부터 소스 드라이버 회로(14a)에 공급하는 신호(전원 배선, 데이터 배선 등)는 플렉시블 기관(84)을 통하여 공급한다.

도 8에서는 게이트 드라이버(12)의 제어 신호는 컨트롤 IC에서 발생시키고, 소스 드라이버(14)에서, 레벨 시프트를 행한 후, 게이트 드라이버(12)에 인가하고 있다. 소스 드라이버(14)의 구동 전압은 4~8(V)이므로, 컨트롤 IC(81)로부터 출력된 3.3(V) 진폭의 제어 신호를, 게이트 드라이버(12)가 수취할 수 있는 5(V) 진폭으로 변환할 수 있다. 물론, 컨트롤러로 신호 전압을 레벨 시프트하여, 게이트 드라이버 회로(12) 등에 공급해도 된다.

소스 드라이버(14) 내에는 화상 메모리를 갖게 하는 것이 바람직하다. 화상 메모리의 화상 데이터는 오차 확산 처리 혹은 데이터 처리를 행한 후의 데이터를 메모리해도 된다.

또한, 도 8 등에 있어서 (14)를 소스 드라이버로 기재했지만, 단순한 드라이버뿐만 아니라, 전원 회로, 버퍼 회로(시프트 레지스터 등의 회로를 포함함), 데이터 변환 회로, 래치 회로, 커맨드 디코더, 시프트 회로, 어드레스 변환 회로, 화상 메모리 등을 내장시켜도 무방하다. 또한, 도 8 등에서 설명하는 구성에 있어서도, 도 9 등에서 설명하는 3 변 프리 구성 혹은 구성, 구동 방식 등을 적용할 수 있는 것은 물론이다.

표시 패널을 휴대 전화 등의 정보 표시 장치에 사용하는 경우, 소스 드라이버 IC(회로)(14), 게이트 드라이버 IC(회로)(12)를, 도 9에 도시한 바와 같이, 표시 패널의 1변에 실장(형성)하는 것이 바람직하다(또한, 이와 같이 1변에 드라이버 IC(회로)를 실장(형성)하는 형태를 3 변 프리 구성(구조)이라고 함. 종래는, 표시 영역의 X 변에 게이트 드라이버 IC(12)가 실장되고, Y 변에 소스 드라이버 IC(14)가 실장되어 있었음). 화면(50)의 중심선이 표시 장치의 중심이 되도록 설계하기 쉽고, 또한, 드라이버 IC의 실장도 용이해지기 때문이다. 또한, 게이트 드라이버 회로를 고온 폴리실리콘 혹은 저온 폴리실리콘 기술 등으로 3 변 프리의 구성으로 제작해도 된다(즉, 도 9의 소스 드라이버 회로(14)와 게이트 드라이버 회로(12) 중, 적어도 한쪽을 폴리실리콘 기술로 기관(71)에 직접 형성함).

또한, 3 변 프리 구성이란, 기관(71)에 직접 IC를 적재 혹은 형성한 구성뿐만 아니라, 소스 드라이버 IC(회로)(14), 게이트 드라이버 IC(회로)(12) 등을 부착한 필름(TCP, TAB 기술 등)을 기관(71)의 1변(혹은 거의 1변)에 부착한 구성도 포함한다. 즉, 2 변에 IC가 실장 혹은 부착되어 있지 않은 구성, 배치 혹은 그것에 유사한 전부를 의미한다.

도 9와 같이 게이트 드라이버 회로(12)를 소스 드라이버 회로(14)의 가로에 배치하면, 게이트 신호선(17)은 변 c에 따라서 형성할 필요가 있다.

또한, 도 9 등에 있어서 굵은 실선으로 도시한 개소는 게이트 신호선(17)이 병렬하여 형성한 개소를 나타내고 있다. 따라서, b의 부분(화면 하부)은 주사 신호선의 개수분의 게이트 신호선(17)이 병렬하여 형성되고, a의 부분(화면 상부)은 게이트 신호선(17)이 하나 형성되어 있다.

C변에 형성하는 게이트 신호선(17)의 피치는 $5\mu\text{m}$ 이상 $12\mu\text{m}$ 이하로 한다. $5\mu\text{m}$ 미만에서는 인접 게이트 신호선에 기생 용량의 영향에 의해 노이즈가 올라타 버린다. 실험에 따르면 $7\mu\text{m}$ 이하에서 기생 용량의 영향이 현저히 발생한다. 또한 $5\mu\text{m}$ 미만에서는 표시 화면에 비트 형상 등의 화상 노이즈가 심하게 발생한다. 특히 노이즈의 발생은 화면의 좌우에서 서로 다르고, 이 비트 형상 등의 화상 노이즈를 저감하는 것은 곤란하다. 또한, $12\mu\text{m}$ 을 넘으면 표시 패널의 프레임 폭 D가 지나치게 커져 실용적이지 않다.

전술한 화상 노이즈를 저감하기 위해서는, 게이트 신호선(17)을 형성한 부분의 하층 혹은 상층에, 그랜드 패턴(일정 전압으로 전압 고정 혹은 전체적으로 안정된 전위로 설정되어 있는 도전 패턴)을 배치함으로써 저감할 수 있다. 또한, 별도로 마련한 실드판(실드박(일정 전압으로 전압 고정 혹은 전체적으로 안정된 전위로 설정되어 있는 도전 패턴))을 게이트 신호선(17)상에 배치하면 된다.

도 9의 c변의 게이트 신호선(17)은 ITO 재료를 이용하여 형성하여도 좋지만, 저 저항화하기 위해서, ITO와 금속 박막을 적층하여 형성하는 것이 바람직하다. 또한, 다층의 금속막으로 형성하는 것이 바람직하다. ITO로 적층하는 경우에는, ITO 상에 티탄막을 형성하고, 그 위에 알루미늄 혹은 알루미늄과 몰리브덴의 합금 박막을 형성한다. 혹은 ITO 상에 크롬막을 형성한다. 금속막인 경우에는, 알루미늄 박막, 크롬 박막으로 형성한다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

또한, 도 9 등에 있어서, 게이트 신호선(17) 등은 표시 영역의 편측에 배치한다고 했지만 이것에 한정되는 것이 아니고, 양방에 배치해도 된다. 예를 들면, 게이트 신호선(17a)을 표시 영역(50)의 우측에 배치(형성)하고, 게이트 신호선(17b)을 표시 영역(50)의 좌측에 배치(형성)해도 된다. 이상의 사항은 다른 실시예에서도 마찬가지이다.

또한, 소스 드라이버 IC(14)와 게이트 드라이버 IC(12)를 1 칩화해도 된다. 1 칩화하면, 표시 패널에의 IC 칩의 실장이 하나로 끝난다. 따라서, 실장 비용도 저감할 수 있다. 또한, 1 칩 드라이버 IC 내에서 사용하는 각종 전압도 동시에 발생할 수 있다.

도 1 등에서 도시한 구성에서는 EL 소자(15)의 트랜지스터(11a)를 통하여 Vdd 전위에 접속되어 있다. 그러나, 각 색을 구성하는 유기 EL의 구동 전압이 서로 다르다고 하는 문제가 있다. 예를 들면, 단위 평방 센티미터당 $0.01(\text{A})$ 의 전류를 흘린 경우, 청(B)에서는 EL 소자의 단자 전압은 $5(\text{V})$ 이지만, 녹(G) 및 적(R)에서는 $9(\text{V})$ 이다. 즉, 단자 전압이 B와 G, R에서 서로 다르다. 따라서, B와 G, R에서는 유지하는 트랜지스터(11a)의 소스-드레인 전압(SD 전압)이 서로 다르다. 그 때문에, 각 색에서 트랜지스터의 소스-드레인 전압(SD 전압) 사이 오프 리크 전류가 서로 달라지게 된다. 오프 리크 전류가 발생하고, 또한 오프 리크 특성이 각 색에서 서로 다르면, 색 밸런스가 어긋난 상태에서 깜박임이 발생하고, 발광색에 상관하여 감마 특성이 어긋난다고 하는 복잡한 표시 상태로 된다.

이 과제에 대응하기 위해서, 적어도 R, G, B 색 중 하나의 캐소드 전극의 전위를 다른 색의 캐소드 전극의 전위와 다르게 하도록 구성하는 것이 바람직하다. 혹은 R, G, B 색 중, 하나의 Vdd의 전위(애노드 전위)를 다른색의 Vdd의 전위와 다르게 하도록 구성하는 것이 바람직하다.

R, G, B의 EL 소자(15)의 단자 전압은 극히 일치하게 하는 것이 바람직한 것은 물론이다. 적어도, 백 피크 휘도를 표시하고 있고, 색 온도가 7000K 이상 12000K 이하의 범위에서, R, G, B의 EL 소자의 단자 전압은 $10(\text{V})$ 이하로 되도록 재료 혹은 구조 선정을 할 필요가 있다. 또한, R, G, B 중, EL 소자의 최대의 단자 전압과 최소의 단자 전압의 차는, $2.5(\text{V})$ 이하로 할 필요가 있다. 예를 들면, R의 EL 소자(15)에 최대 전류를 흘렸을 때 $7(\text{V})$ 이면, G 및 B에 최대 전류를 흘렸을 때의 EL 소자(15)의 단자 전압은, $7-2.5(\text{V})$ (최저) 이상 $7+2.5(\text{V})$ (최대) 이하의 조건을 만족시키는 것이 바람직하다. 더욱 바람직하게는 $1.5(\text{V})$ 이하로 할 필요가 있다.

또한, 화소는 R, G, B의 3원색으로 했지만 이것에 한정되는 것이 아니고, 시안, 옐로우, 마젠타의 3색이어도 된다. 또한, B와 옐로우 등의 2색이어도 된다. 물론, 단색이어도 무방하다. 또한, R, G, B, 시안, 옐로우, 마젠타의 6색이어도 된다. R, G,

B, 시안, 마젠타의 5색이어도 된다. 이들은 내추럴 컬러로서 색 재현 범위가 확대되어 양호한 표시를 실현할 수 있다. 기타, R, G, B, 백의 4색이어도 된다. R, G, B, 시안, 옐로우, 마젠타, 흑, 백의 7색이어도 된다. 또한, 백색 발광의 화소를 표시 영역(50) 전체에 형성(제작)하고, RGB 등의 컬러 필터로 3원색표시로 하여도 좋다. 또한, 1 화소를 B와 옐로우와 같이 분할 도포하여도 된다. 이상과 같이 본 발명의 EL 표시 장치는, RGB의 3원색으로 컬러 표시를 행하는 것에 한정되는 것이 아니다.

유기 EL 표시 패널의 컬러화에는 주로 3가지 방식이 있으며, 색 변환 방식은 이 중의 하나이다. 발광층으로서 청색만의 단층을 형성하면 되고, 풀컬러화에 필요한 남은 녹색과 적색은, 청색 광으로부터 색 변환에 의해서 만들어낸다. 따라서, RGB의 각층을 분할 도포할 필요가 없다, RGB의 각 색의 유기 EL 재료를 갖출 필요가 없다고 하는 이점이 있다. 색 변환 방식은, 분할 도포 방식과 같은 수율 저하가 없다. 본 발명의 EL 표시 패널 등은 이 어느 방식에서도 적용된다.

또한, 3원색 외에, 백색 발광의 화소를 형성하여도 된다. 백색 발광의 화소는 R, G, B 발광의 구조를 적층하는 것의 보다 제작(형성 또는 구성)함으로써 실현할 수 있다. 1조의 화소는 RGB의 3원색과, 백색 발광의 화소(16)로 구성한다. 백색 발광의 화소를 형성함으로써, 백색의 피크 휘도가 표현하기 쉬워진다. 따라서, 빛나는 감이 있는 화상 표시를 실현할 수 있다.

RGB 등의 3원색을 1조의 화소를 하는 경우에서도, 각 색의 화소 전극의 면적은 다르게 하는 것이 바람직하다. 물론, 각 색의 발광 효율이 밸런스 좋고, 색 순도도 밸런스가 좋으면, 동일 면적이라도 괜찮다. 그러나, 하나 또는 복수의 색의 밸런스가 나쁘면, 화소 전극(발광 면적)을 조정하는 것이 바람직하다. 각 색의 전극 면적은 전류 밀도를 기준으로 결정하면 된다. 즉, 색 온도가 7000K(켈빈) 이상 12000K 이하의 범위에서, 화이트 밸런스를 조정했을 때, 각 색의 전류 밀도의 차가 $\pm 30\%$ 이내로 되도록 한다. 더욱 바람직하게는 $\pm 15\%$ 이내로 되도록 한다. 예를 들면, 전류 밀도가 100A/평방미터를 하면, 3원색이 어느 것이나 70A/평방미터 이상 130A/평방미터 이하로 되도록 한다. 더욱 바람직하게는, 3원색이 어느 것이나 85 A/평방미터 이상 115A/평방미터 이하로 되도록 한다.

유기 EL(15)는 자기 발광 소자이다. 이 발광에 의한 빛이 스위칭 소자로서의 트랜지스터에 입사하면 포토컨덕터 현상(포토컨덕터)이 발생한다. 포토 컨덕터란, 광 여기에 의해 트랜지스터 등의 스위칭 소자의 오프 시에서의 리크(오프 리크)가 증가하는 현상을 말한다.

이 과제에 대처하기 위해서, 본 발명에서는 게이트 드라이버(12)(경우에 따라서는 소스 드라이버(14))의 하층, 화소 트랜지스터(11)의 하층에 차광막을 형성하고 있다. 차광막은 크롬 등의 금속 박막으로 형성하고, 그 막 두께는 50nm 이상 150nm 이하로 한다. 막 두께가 얇으면 차광 효과가 부족하고, 두꺼우면 요철이 발생하여 상층의 트랜지스터(11A1)의 패터닝이 곤란하게된다.

차광막 상에 20 이상 100nm 이하의 무기 재료로 이루어지는 평활화막을 형성한다. 이 차광막의 층을 이용하여 축적 용량(19)의 한쪽의 전극을 형성하여도 된다. 이 경우, 평활막은 극력 얇게 만들고, 축적 용량의 용량값을 크게 하는 것이 바람직하다. 또한, 차광막을 알루미늄으로 형성하고, 양극 산화 기술을 이용하여 산화 실리콘막을 차광막의 표면에 형성하고, 이 산화 실리콘막을 축적 용량(19)의 유전체막으로서 이용하여도 된다. 평활화막 상에는 하이 개구(HA) 구조의 화소 전극이 형성된다.

드라이버 회로(12) 등은 이면뿐만 아니라, 표면에서의 빛의 진입도 억제해야 한다. 포토컨덕터의 영향에 의해 오동작하기 때문이다. 따라서, 본 발명에서는 캐소드 전극이 금속막인 경우에는, 드라이버(12) 등의 표면에도 캐소드 전극을 형성하고, 이 전극을 차광막으로서 이용하고 있다.

또한, 기관(71)의 광 출사면에는 반사 방지막을 형성한다. 반사 방지막은 산화 티탄 및 불화 마그네슘 등의 박막 다층막으로 형성한다.

드라이버(12)의 위에 캐소드 전극을 형성하면, 이 캐소드 전극으로부터의 전계에 의한 드라이버의 오동작 혹은 캐소드 전극과 드라이버 회로의 전기적 접촉이 발생할 가능성이 있다. 이 과제에 대처하기 위해서, 본 발명에서는 드라이버 회로(12) 등의 위에 적어도 1층, 바람직하게는 복수층의 유기 EL막을 화소 전극 상의 유기 EL막 형성과 동시에 형성한다. 유기 EL막은 절연물이므로, 드라이버 상에 유기 EL막을 형성함으로써, 캐소드와 드라이버 사이가 격리된다. 따라서, 전술한 과제를 해소할 수 있다.

화소의 하나 이상의 트랜지스터(11)의 단자 사이 혹은 트랜지스터(11)와 신호선이 단락하면, EL 소자(15)가 상시, 점등하는 휘점으로 되는 경우가 있다. 이 휘점은 시각적으로 눈에 띄기 때문에 흑점화(비점등)할 필요가 있다. 휘점에 대해서는,

해당 화소(16)를 검출하고, 컨텐서(19)에 레이저 광을 조사하여 컨텐서의 단자 사이를 단락시킨다. 따라서, 컨텐서(19)에 전하를 유지할 수 없게 되기 때문에, 트랜지스터(11a)는 전류를 흘리지 않게 할 수 있다. 그 때문에, 레이저 광을 조사한 화소는 상시, 비점등 상태로 되어 흑 표시로 된다.

또한, 레이저 광을 조사하는 위치에 대응한다. 캐소드막을 제거해 두는 것이 바람직하다. 레이저 조사에 의해, 컨텐서(19)의 단자 전극과 캐소드막이 쇼트하는 것을 방지하기 위해서이다. 따라서, 미리, 레이저수정을 행하는 개소에서, 캐소드 전극을 패터닝해 놓고, 전공을 행하여 놓는다.

화소(16)의 트랜지스터(11)의 결함은, 드라이버 IC(14)에도 영향을 준다. 예를 들면, 도 56에서는 구동용 트랜지스터(11a)에 소스-드레인(SD) 쇼트(562)가 발생하고 있으면, 패널의 Vdd 전압이 소스 드라이버 IC(14)에 인가된다. 따라서, 소스 드라이버 IC(14)의 전원 전압은, 패널의 전원 전압 Vdd(애노드 전압)과 동일하다든지 혹은 높게 해 놓는 것이 바람직하다. 또한, 소스 드라이버 IC에서 사용하는 기준 전류는 전자 볼륨(561)으로 조정할 수 있도록 구성해 두는 것이 바람직하다.

도 56과 같이, 트랜지스터(11a)에 SD 쇼트(562)가 발생하고 있으면, EL 소자(15)에 과대한 전류가 흐른다. 즉, EL 소자(15)가 상시 점등 상태(회점)로 된다. 회점은 결함으로서 눈에 띄기 쉽다. 예를 들면, 도 56에 있어서, 트랜지스터(11a)의 소스-드레인(SD) 쇼트가 발생하고 있으면, 트랜지스터(11a)의 게이트(G) 단자 전위의 대소에 상관없이, Vdd 전압으로부터 EL 소자(15)에 전류가 항상 흐른다(트랜지스터(11d)가 온일 때). 따라서, 회점으로 된다.

한편, 트랜지스터(11a)에 SD 쇼트가 발생하여 있으면, 트랜지스터(11c)가 온 상태일 때, Vdd 전압이 소스 신호선(18)에 인가되어 소스 드라이버(14)에 Vdd 전압이 인가된다. 만약, 소스 드라이버(14)의 전원 전압이 Vdd 이하이면, 내압을 넘어서, 소스 드라이버(14)가 파괴될 우려가 있다.

트랜지스터(11a)의 SD 쇼트 등은, 점 결함으로 머물지 않고, 패널의 소스 드라이버 회로를 파괴로 연결될 우려가 있으며, 또한 회점은 눈에 띄기 때문에 패널로서는 불량으로 된다. 따라서, 트랜지스터(11a)와 EL 소자(15) 사이를 접속하는 배선을 절단하여, 회점을 흑점 결함으로 할 필요가 있다. 이 절단에는, 레이저 광 등의 광학 수단을 이용하여 트랜지스터(11a)의 소스 단자(S) 또는 드레인 단자(D)를 절단하거나, 혹은 트랜지스터(11a)의 채널을 파괴한다.

또한, 이상의 실시예는 배선을 절단시키는 것으로 했지만, 흑 표시하기 위해서는 이것에 한정되는 것이 아니다. 예를 들면, 도 1에서도 알 수 있듯이, 트랜지스터(11a)의 전원 Vdd가, 트랜지스터(11a)의 게이트(G) 단자에 항상 인가되도록 수정해 도 된다. 예를 들면, 컨텐서(19)의 2개의 전극 사이를 쇼트시키면, Vdd 전압이 트랜지스터(11a)의 게이트(G) 단자에 인가되도록 된다. 따라서, 트랜지스터(11a)는 완전히 오프 상태로 되어, EL 소자(15)에 전류를 흘리지 않게 할 수 있다. 이렇게 하면, 컨텐서(19)에 레이저 광을 조사함으로써 컨텐서 전극을 쇼트할 수 있으므로, 용이하게 실현할 수 있다.

또한 실제로는, 화소 전극의 하층에 Vdd 배선이 배치되어 있으므로, Vdd 배선과 화소 전극과 레이저 광을 조사함으로써, 화소의 표시 상태를 제어(수정)할 수 있다.

화소(16)를 흑 표시하기 위해서는, EL 소자(15)를 열화시켜도 무방하다. 예를 들면, 레이저 광을 EL층 15에 조사하여, EL층(15)을 물리적으로 혹은 화학적으로 열화시켜, 발광하지 않도록 한다(항상 흑 표시). 레이저 광의 조사에 의해 EL층(15)을 가열하여, 용이하게 열화시킬 수 있다. 또한, 엑시머 레이저를 이용하면, EL막(15))의 화학적 변화를 용이하게 행할 수 있다.

또한, 이상의 실시예는, 도 1에 도시한 화소 구성을 예시했지만, 본 발명은 이것에 한정되는 것은 아니다. 레이저 광을 이용하여 배선 혹은 전극을 오픈 혹은 쇼트시키는 것은, 커런트 미러 등의 다른 전류 구동의 화소 구성 혹은 도 62, 도 51 등에서 도시하는 전압 구동의 화소 구성에서도 적용할 수 있는 것은 물론이다. 따라서, 화소의 구성, 구조에는 한정되지 않는다.

이하, 도 1의 화소 구성에 대하여, 그 구동 방법에 대하여 설명을 한다. 도 1에 도시한 바와 같이, 게이트 신호선(17a)은 행 선택 기간에 도통 상태(여기서는 도 1의 트랜지스터(11)가 p 채널 트랜지스터이기 때문에 로우 레벨로 도통으로 됨)로 되고, 게이트 신호선(17b)은 비선택 기간 시에 도통 상태로 한다.

소스 신호선(18)에는 기생 용량(도시하지 않음)이 존재한다. 기생 용량은, 소스 신호선(18)과 게이트 신호선(17)의 크로스부의 용량, 트랜지스터(11b, 11c)의 채널 용량 등에 의해 발생한다.

소스 신호선(18)의 전류값 변화에 요하는 시간 t 는 부유 용량의 크기를 C , 소스 신호선의 전압을 V , 소스 신호선에 흐르는 전류를 I 로 하면 $t=C \cdot V/I$ 이기 때문에 전류값을 10배 크게 할 수 있다는 것은 전류값 변화에 요하는 시간이 10분의 1가까이까지 짧게 할 수 있다. 또는 소스 신호선(18)의 기생 용량이 10배로 되어도 소정의 전류값에 변화할 수 있다는 것을 나타낸다. 따라서, 짧은 수평 주사 기간 내에 소정의 전류값을 기입하기 위해서는 전류값을 증가시키는 것이 유효하다.

예를 들면, 소스 드라이버 IC(14)로부터의 출력 전류를 10배로 하면, 화소(16)에 프로그램되는 전류가 10배로 된다. 그 때문에, EL 소자(15)의 발광 휘도도 10배로 된다. 따라서, 소정의 휘도를 얻기 위해서, 도 1의 트랜지스터(11d)의 도통 기간(온 시간)을 종래의 10분의 1로 하고, 발광 기간을 10분의 1로 한다.

즉, 소스 신호선(18)의 기생 용량의 충방전을 충분히 행하고, 소정의 전류값을 화소(16)의 트랜지스터(11a)에 프로그램을 행하기 위해서는, 소스 드라이버(14)로부터 비교적 큰 전류를 출력할 필요가 있다. 그러나, 이와 같이 큰 전류를 소스 신호선(18)에 흘리면 이 큰 전류값이 화소에 프로그램된다. 따라서, 소정의 전류에 대하여 큰 전류가 EL 소자(15)에 흐른다. 예를 들면, 10배의 전류로 프로그램하면, 당연히 10배의 전류가 EL 소자(15)에 흐르고, EL 소자(15)는 10배의 휘도로 발광한다. 소정의 발광 휘도로 하기 위해서는, EL 소자(15)에 흐르는 시간을 1/10로 하면 된다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있고, 소정의 발광 휘도를 얻을 수 있다.

또한, 10배의 전류값을 화소의 트랜지스터(11a)(정확하게는 컨덴서(19)의 단자 전압을 설정하고 있음)에 기입하고, EL 소자(15)의 온 시간을 1/10로 한다고 했지만, 이것은 일 실시예이다. 다른 실시예로서, 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 1/5로 하여도 좋다. 반대로 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 1/2배로 하여도 된다.

또한, 밝은 화상 표시를 행할 때는, 1/1(끊임없이, 트랜지스터(11d)가 온 상태를 유지함)로 하고, 어두운 화상일 때는, 1/10(트랜지스터(11d)는 1 프레임의 1/10의 기간만큼 온 상태로 함)로 하여도 된다. 또한, 이들 표시를 화상 표시 데이터에 기초하여, 리얼타임으로 변경하도록 제어해도 된다.

본 발명은, 화소에의 기입 전류를 소정값 이외의 값으로 하고, EL 소자(15)에 흐르는 전류를 간헐 상태로 하여 구동하는 것에 특징이 있다. 본 명세서에서는 설명을 쉽게 하기 위해서, N 배의 전류값을 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 1/ N 배로 하는 것으로 하여 설명한다. 그러나, 이것에 한정되는 것이 아니고, $N1$ 배의 전류값을 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 1/($N2$)배($N1$ 과 $N2$ 는 서로 다름)이어도 되는 것은 물론이다.

또한, 간헐 상태로 한다고 함은, 본 발명의 표시 패널의 구동 방법에 끊임없이 간헐 표시로 구동하는 것에 한정되는 것은 아니다. 화상 표시 상태에 의해서는, 1/1(간헐 표시가 아님) 표시를 실시해도 된다. 즉, 본 발명은 화상 표시에 있어서, 간헐 표시로 하는 상태가 발생하는 구동 방법이다. 또한, 간헐 표시란 1 프레임 기간에 적어도 2 수평 주사 기간(2H) 이상 발생하는 상태를 말한다.

또한, 간헐 표시에 있어서, 간헐하는 간격은 등간격에 한정되는 것은 아니다. 예를 들면, 랜덤이어도 된다(전체적으로, 표시 기간 혹은 비표시 기간이 소정값(일정 비율)으로 되면 됨). 또한, RGB에서 서로 다르더라도 무방하다. 예를 들면, R의 화소가 1 프레임에서 1/3의 기간 동안, 비상시 상태로 구동하고, G와 B의 화소가 1 프레임에서 1/4의 기간 동안, 비상시 상태로 구동해도 된다. 간헐 표시의 기간은, 백(화이트) 밸런스가 최적으로 되도록, R, G, B 표시 기간 혹은 비표시 기간이 소정값(일정 비율)으로 되도록 조정(설정)하면 된다.

또한, 설명을 쉽게 하기 위해서, 1/ N 이란, 1F(1 필드 또는 1 프레임)를 기준으로 하여 이 1F를 1/ N 으로 하는 것으로 하여 설명한다. 그러나, 1 화소 행이 선택되고, 전류값이 프로그램되는 시간(통상, 1 수평 주사 기간(1H))이 있고, 또한 주사 상태에 따라서는 오차도 발생한다. 따라서, 이상의 설명 파악까지도 설명을 용이하게 하기 위한 편의상의 문제일뿐이고, 이것에 한정되는 것은 아니다. 또한, N 은 정수에 한정되는 것이 아니고, $N=3.5$ 등 정수 이외여도 된다. 본 발명에서는 설명을 쉽게 하기 위해서, 예고가 없는 한, N 은 정수로서 설명을 한다.

$N=10$ 배의 전류로 화소(16)에 전류 프로그램하여, 1/5의 기간 동안, EL 소자(15)를 점등시켜도 무방하다. EL 소자(15)는 $10/5=2$ 배의 휘도로 점등한다. 반대로, $N=2$ 배의 전류로 화소(16)에 전류 프로그램하여, 1/4의 기간 동안, EL 소자(15)를 점등시켜도 무방하다. EL 소자(15)는, $2/4=0.5$ 배의 휘도로 점등한다. 즉, 본 발명은, $N=1$ 배가 아닌 전류로 프로그램하고, 또한 상시 점등(1/1, 즉, 간헐 구동이 아님) 상태 이외의 표시를 실시하는 것이다. 또한 광의로는, EL 소자(15)에 공급하는 전류를 1 프레임(혹은 1 필드)의 기간에 있어서, 적어도 1회 오프 상태로 하는 구동 방식이다. 또한, 소정값보다도 큰 전류로 화소(16)에 프로그램하여, 적어도 간헐 표시를 실시하는 구동 방식이다.

유기(무기) EL 표시 장치는, CRT와 같이 전자총으로 선 표시의 집합으로서 화상을 표시하는 디스플레이와는 표시 방법이 기본적으로 다른 점에도 과제가 있다. 즉, EL 표시 장치에서는, 1F(1 필드 혹은 1 프레임)의 기간 동안은 화소에 기입한 전류(전압)를 유지한다. 그 때문에, 동화상 표시를 행하면 표시 화상의 윤곽 불선명이 발생한다고 하는 과제가 발생한다.

본 발명에서는, 1F/N의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간(1F(N-1)/N)은 전류를 흘리지 않는다. 이 구동 방식을 실시하여 화면의 일점을 관측한 경우를 생각한다.

이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)이 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태로 된다. 동화상 데이터 표시를, 이 간헐 표시 상태에서 보면 화상의 윤곽 불선명이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다. 또한, 간헐 표시를 실현하지만, 회로의 메인 클럭은 종래와 변하지 않는다. 따라서, 회로의 소비 전력이 증가하는 일도 없다.

액정 표시 패널인 경우에는, 광 변조를 하는 화상 데이터(전압)는 액정층에 유지된다. 따라서, 흑 삽입 표시를 실시하고자 하면 액정층에 인가하고 있는 데이터를 재기입할 필요가 있다. 그 때문에, 소스 드라이버 IC(14)의 동작 클럭을 높게 하고, 화상 데이터와 흑 표시 데이터를 교대로 소스 신호선(18)에 인가할 필요가 있다. 따라서, 흑 삽입(흑 표시 등의 간헐 표시)을 실현하고자 하면 회로의 메인 클럭을 올릴 필요가 있다. 또한, 시간 축 신장을 실시하기 위한 화상 메모리도 필요하게 된다.

도 1, 도 2, 도 38 등에 도시하는 본 발명의 EL 표시 패널의 화소 구성에서는, 화상 데이터는 컨덴서(19)에 유지되어 있다. 이 컨덴서(19)의 단자 전압에 대응하는 전류를 EL 소자(15)에 흘린다. 따라서, 화상 데이터는 액정 표시 패널과 같이 광 변조층에 유지되어 있는 것은 아니다.

본 발명은 스위칭의 트랜지스터(11d), 혹은 트랜지스터(11e) 등을 온 오프시키는 것만으로 EL 소자(15)에 흘리는 전류를 제어한다. 즉, EL 소자(15)에 흐르는 전류 I_w 를 오프해도, 화상 데이터는 그대로 컨덴서(19)가 유지되어 있다. 따라서, 다음의 타이밍에서 스위칭 소자(11d) 등을 온시키고, EL 소자(15)에 전류를 흘리면, 그 흐르는 전류는 전에 흐르고 있던 전류값과 동일하다. 본 발명에서는 흑 삽입(흑 표시 등의 간헐 표시)을 실현할 때에 있어서도, 회로의 메인 클럭을 올릴 필요가 없다. 또한, 시간 축 신장을 실시할 필요도 없기 때문에 화상 메모리도 불필요하다. 또한, 유기 EL 소자(15)는 전류를 인가하고 나서 발광하기까지의 시간이 짧아, 고속으로 응답한다. 그 때문에, 동화상 표시에 적합하고, 또한 간헐 표시를 실시하는 것의 보다 종래의 데이터 유지형의 표시 패널(액정 표시 패널, EL 표시 패널 등)의 문제인 동화상 표시의 문제를 해결할 수 있다.

또한, 대형의 표시 장치로 소스 용량이 커지는 경우에는 소스 전류를 10배 이상으로 해 주면 된다. 일반적으로 소스 전류치를 N배로 한 경우, 게이트 신호선(17b)(트랜지스터(11d))의 도통 기간을 1F/N로 하면 된다. 이에 따라 텔레비전, 모니터 등의 표시 장치 등에도 적용이 가능하다.

이하, 도면을 참조하면서, 본 발명의 구동 방법에 대하여 더욱 자세하게 설명한다. 소스 신호선(18)의 기생 용량은, 인접한 소스 신호선(18) 사이의 결합 용량, 소스 드라이브 IC(회로)(14)의 버퍼 출력 용량, 게이트 신호선(17)과 소스 신호선(18)의 크로스 용량 등에 의해 발생한다. 이 기생 용량은 통상 10pF 이상으로 된다. 전압 구동인 경우에는, 드라이버 IC(14)로부터는 저 임피던스로 전압이 소스 신호선(18)에 인가되기 때문에, 기생 용량이 다소 크더라도 구동에서는 문제가 되지 않는다.

그러나, 전류 구동에서는 특히 흑 레벨의 화상 표시에서는 20nA 이하의 미소 전류로 화소의 컨덴서(19)를 프로그램할 필요가 있다. 따라서, 기생 용량이 소정값 이상의 크기로 발생하면, 1 화소 행에 프로그램하는 시간(통상, 1H 이내, 단, 2 화소 행을 동시에 기입하는 경우도 있음으로 1H 이내에 한정되는 것이 아님) 내에 기생 용량을 충방전할 수 없다. 1H 기간에 충방전할 수 있으면, 화소에의 기입 부족으로 되어, 해상도가 나오지 않는다.

도 1의 화소 구성인 경우, 도 3의 (a)에 도시한 바와 같이, 전류 프로그램 시에는, 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 트랜지스터(11a)를 흘리고, I_w 를 흘리는 전류가 유지되도록, 컨덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘리는 기간은 도 3의 (b)와 같이, 트랜지스터(11c, 11b)가 오프 상태로 되고, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되고, 트랜지스터(11b, 11c)가 오프 상태로 된다. 한편, 게이트 신호선(17b)에 온 전압(v_{g1})이 인가되고, 트랜지스터(11d)가 온 상태로 된다.

이제, 전류 I_1 이 본래 흘리는 전류(소정값)의 N 배라고 하면, 도 3의 (b)의 EL 소자(15)에 흐르는 전류도 I_w 로 된다. 따라서, 소정값의 10배의 휘도로 EL 소자(15)는 발광한다. 즉, 도 12에 도시한 바와 같이, 배율 N 을 높게 할수록, 표시 패널의 표시 휘도 B 도 높아진다. 따라서, 배율과 휘도와는 비례 관계로 된다. 반대로는, $1/N$ 과 구동함으로써, 휘도와 배율과는 반비례의 관계로 된다.

그래서, 트랜지스터(11d)를 본래 온하는 시간(약 $1F$)의 $1/N$ 의 기간만큼 온시키고, 다른 기간($(N-1)/N$ 기간은 오프시키면, $1F$ 전체의 평균 휘도는 소정의 휘도로 된다. 이 표시 상태는, CRT이 전자총으로 화면을 주사하고 있는 것과 근사한다. 다른 점은, 화상을 표시하고 있는 범위는 점등하고 있는 화면 전체의 $1/N$ (전 화면을 1로 함)이라는 점이다(CRT에서는, 점등하고 있는 범위는 1 화소 행(엄밀하게는 1 화소임)).

본 발명에서는, 이 $1F/N$ 의 화상 표시 영역(53)이 도 13의 (b)에 도시한 바와 같이 화면(50)의 위에서 아래로 이동한다. 본 발명에서는, $1F/N$ 의 기간 동안만, EL 소자(15)에 전류가 흐르고, 다른 기간($1F \cdot (N-1)/N$)은 전류를 흐르지 않는다. 따라서, 각 화소는 간헐 표시로 된다. 그러나, 인간의 눈에는 잔상에 의해 화상이 유지된 상태로 되므로, 전 화면이 균일하게 표시되어 있는 것처럼 보인다.

또한, 도 13에 도시한 바와 같이, 기입 화소 행(51a)은 비점등 표시(52a)로 한다. 그러나, 이것은 도 1, 도 2 등의 화소 구성인 경우이다. 도 38 등에서 도시하는 커런트 미러의 화소 구성에서는, 기입 화소 행(51a)은 점등 상태로 하여도 된다. 그러나, 본 명세서에서는, 설명을 쉽게 하기 위해서, 주로, 도 1의 화소 구성을 예시하여 설명한다. 또한, 도 13, 도 16 등의 소정 구동 전류 I_w 보다도 큰 전류로 프로그램하여, 간헐 구동하는 구동 방법을 N 배 펄스 구동이라고 부른다.

이 표시 상태에서는 $1F$ 마다 화상 데이터 표시, 즉 표시(비점등)가 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태로 된다. 액정 표시 패널(본 발명 이외의 EL 표시 패널)에서는, $1F$ 의 기간, 화소에 데이터가 유지되어 있기 때문에, 동화상 표시인 경우에는 화상 데이터가 변화해도 그 변화에 추종할 수 없어, 동화상 불선명(화상의 윤곽 불선명)으로 되고 있었다(화상의 윤곽 불선명). 그러나, 본 발명에서는 화상을 간헐 표시하기 때문에, 화상의 윤곽 불선명이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

이 타이밍차트를 도 14에 도시한다. 또한, 본 발명 등에 있어서, 특히 예외가 없을 때의 화소 구성은 도 1이라고 한다. 그러나, 도 38, 도 63, 도 64, 도 65 등에서의 간헐 표시를 실현할 수 있는 것은 물론이고, 본 발명은 도 1에 한정되는 것이 아닌 것은 물론이다.

도 14에서 알 수 있듯이, 각 선택된 화소 행(선택 기간은, $1H$ 로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압(v_{g1})이 인가되고 있을 때(도 14의 (a)를 참조)에는, 게이트 신호선(17b)에는 오프 전압(V_{gh})이 인가되고 있다(도 14의 (b)를 참조). 또한, 이 기간은, EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태). 선택되어 있지 않은 화소 행에 있어서, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)에는 온 전압(v_{g1})이 인가되고 있다. 또한, 이 기간에는 EL 소자(15)에 전류가 흐르고 있다(점등 상태). 또한, 점등 상태에서는, EL 소자(15)는 소정의 N 배의 휘도($N \cdot B$)로 점등하고, 그 점등 기간은 $1F/N$ 이다. 따라서, $1F$ 를 평균한 표시 패널의 표시 휘도는, $(N \cdot B) \times (1/N) = B$ (소정 휘도)로 된다.

또한, 이상의 설명은 백 표시에서의 화상 표시에 대하여 설명하고 있는 것 같지만, 흑 표시에 대해서도 마찬가지로 밝기는 $1/10$ 로 된다. 따라서, 가령, 화상 표시에 흑 들뜸이 발생하고 있더라도, 흑 들뜸의 휘도도 $1/10$ 로 되므로 양호한 화상 표시로 된다.

도 15는 도 14의 동작을 각 화소 행에 적용한 실시예이다(각 화소의 게이트 신호선(17a, 17b)의 신호 파형을 도시하고 있음). 게이트 신호선의 전압은 오프 전압을 V_{gh} (H 레벨)로 하고, 온 전압을 v_{g1} (L 레벨)로 하고 있다. (1)(2) 등의 첨자는 선택하고 있는 화소 행 번호를 나타내고 있다.

도 15에 있어서, 게이트 신호선(17a)(1)이 선택되고(v_{g1} 전압), 선택된 화소 행의 트랜지스터 11a에서 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 또한, 프로그램 전류가 흐르는 방향은, 화소 구성에 따라 서로 다르다. 화소(16)의 구동 트랜지스터(11a)가 P 채널 트랜지스터인 경우에는, 프로그램 전류 I_w 는 화소(16)로부터 소스 드라이버 회로(14)를 향하여 흐른다. 화소(16)의 구동 트랜지스터(11a)가 N 채널 트랜지스터인 경우에는, 프로그램 전류 I_w 는 소스 드라이버 회로(14)로부터 화소(16)를 향하여 흐른다.

이 프로그램 전류는 소정값의 N 배(설명을 쉽게 하기 위해서, $N=10$ 으로 하여 설명함. 물론, 소정값이란 화상을 표시하는 데이터 전류이므로, 백 래스터 표시 등이 아닌 한 고정치가 아님. 자연 화상의 표시 상태에 의해 각 화소(16)에 전류 프로그램

램되는 전류의 크기는 다름)이다. 따라서, 컨덴서(19)에는 10배에 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소 행(1)이 선택되어 있을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(1)은 오프 전압(V_{gh})이 인가되고, EL 소자(15)에는 전류가 흐르지 않는다.

1H 후에는, 게이트 신호선(17a)(2)이 선택되고(vg1 전압), 선택된 화소 행의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서, N=10으로 하여 설명함)이다. 따라서, 컨덴서(19)에는 10배에 전류가 트랜지스터(11a)에 흐르도록 프로그램된다.

화소 행(2)이 선택되어 있을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(2)은 오프 전압(V_{gh})이 인가되고, EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞의 화소 행(1)의 게이트 신호선(17a)(1)에는 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)(1)에는 온 전압(vg1)이 인가되기 때문에, 점등 상태로 되어 있다.

다음의 1H 후에는, 게이트 신호선(17a)(3)이 선택되고, 게이트 신호선(17b)(3)은 오프 전압(V_{gh})이 인가되고, 화소 행(3)의 EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞의 화소 행(1)(2)의 게이트 신호선(17a)(1)(2)에는 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)(1)(2)에는 온 전압(vg1)이 인가되기 때문에, 점등 상태로 되어 있다.

이상의 동작을 1H의 동기 신호에 동기하여 화상을 표시해 간다. 그러나, 도 15의 구동 방식에서는, EL 소자(15)에는 10배의 전류가 흐른다. 따라서, 표시 화면(50)은 약 10배의 휘도로 표시된다. 물론, 이 상태에서 소정의 휘도 표시를 행하기 위해서는, 프로그램 전류를 1/10로 하여 두면 되는 것은 말할 필요도 없다(간헐 기간을 1/10로 하는 것이 아니고, 프로그램 전류를 제어함). 그러나, 1/10의 전류이면 기생 용량 등에 의해 기입 부족이 발생한다. 이 과제를 해결하기 위해서, N배가 높은 전류로 프로그램하여, 흑 화면52 삽입(간헐 표시)에 의해 소정의 휘도를 얻는 것은 본 발명의 기본적인 주지이다.

또한, 본 발명의 구동 방법에 있어서, 소정 전류보다도 높은 전류가 EL 소자(15)에 흐르도록 하여, 소스 신호선(18)의 기생 용량을 충분히 충전한다고 하는 개념이다. 즉, EL 소자(15)에 N배의 전류를 흘리지 않더라도 무방하다. 예를 들면, EL 소자(15)에 병렬로 전류 경로를 형성하여(더미의 EL 소자를 형성하고, 이 EL 소자는 차광막을 형성하여 발광시키지 않는 등), 더미 EL 소자와 EL 소자(15)에 분류(分流)하여 전류를 흘리더라도 무방하다.

예를 들면, 신호 전류가 0.2 μ A일 때, 프로그램 전류를 2.2 μ A로 하고, 트랜지스터(11a)에는 2.2 μ A를 흘린다. 이 전류 중, 신호 전류0.2 μ A를 EL 소자(15)에 흐르고, 2 μ A를 더미의 EL 소자에 흘리는 등의 방식이 예시된다(도 136을 참조할 것). 즉, 도 27의 더미 화소 행(281)을 항상 선택 상태로 한다. 또한, 더미 화소 행은 발광시키지 않는다는지, 혹은 차광막 등을 형성하고, 발광하고 있더라도 시각적으로 보이지 않도록 구성한다.

이상과 같이 구성함으로써, 소스 신호선(18)에 흘리는 전류를 N배로 증가시킴으로써, 구동용 트랜지스터(11a)에 N배의 전류가 흐르도록 프로그램할 수 있고, 또한 전류 EL 소자(15)에는, N배보다는 충분히 작은 전류를 흘릴 수 있게 된다. 이상의 방법에서는, 도 5에 도시한 바와 같이, 비점등 영역(52)을 마련하는 일없이, 전 표시 영역(50)을 화상 표시 영역(53)으로 할 수 있다.

도 13의 (a)는 표시 화상(50)에의 기입 상태를 나타내고 있다. 도 13의 (a)에 있어서, (51a)는 기입 화소 행이다. 소스 드라이버 IC(14)로부터 각 소스 신호선(18)에 프로그램 전류가 공급된다. 또한, 도 13 등에서는 1H 기간에 기입하는 화소 행은 1 행이다. 그러나, 아무런 1H에 한정되는 것이 아니고, 0.5H 기간이어도, 2H 기간이어도 된다.

또한, 소스 신호선(18)에 프로그램 전류를 기입한다고 했지만, 본 발명은 전류 프로그램 방식에 한정되는 것이 아니고, 소스 신호선(18)에 기입되는 것은 전압인 전압 프로그램 방식(도 62 등)이어도 된다. 예를 들면, 전압 구동 방식에서도, 소정 휘도가 얻어지는 것보다의 높은 전압을 소스 신호선(18)에 인가하고, 화소(16)를 프로그램하여, 소정 휘도로 되도록 간헐 표시하는 구동 방법이 예시된다.

도 13의 (a)에 있어서, 게이트 신호선(17a)이 선택되면 소스 신호선(18)에 흐르는 전류가 트랜지스터(11a)에 프로그램된다. 이 때, 게이트 신호선(17b)은 오프 전압이 인가되어 EL 소자(15)에는 전류가 흐르지 않는다. 이것은, EL 소자(15)측에 트랜지스터(11d)가 온 상태이면, 소스 신호선(18)으로부터 EL 소자(15)의 용량 성분이 보이고, 이 용량에 영향 받아 컨덴서(19)에 충분히 정확한 전류 프로그램을 할 수 없게 되기 때문이다. 따라서, 도 1의 구성을 예로 하면, 도 13의 (b)에서 도시한 바와 같이 전류가 기입되고 있는 화소 행은 비점등 영역(52)으로 된다.

이제, N(여기서는, 앞서 말한 것처럼 N=10으로 함)배의 전류로 프로그램했다 고 한다면, 화면의 휘도는 10배로 된다. 따라서, 표시 영역(50)의 90%의 범위를 비점등 영역(52)으로 하면 된다. 따라서, 화상 표시 영역의 수평 주사선이 QCIF의 220

개($S=220$)라고 하면, 22개를 표시 영역(53)으로 하고, $220-22=198$ 개를 비표시 영역(52)으로 하면 된다. 일반적으로 진술하면, 수평 주사선(화소 행 수)을 S라고 하면, S/N의 영역을 표시 영역(53)으로 하고, 이 표시 영역(53)을 N배의 휘도로 발광시킨다. 그리고, 이 표시 영역(53)을 화면의 상하 방향으로 주사한다. 따라서, S(N-1)/N의 영역은 비점등 영역(52)으로 한다. 이 비점등 영역은 흑 표시(비 발광)이다. 또한, 이 비 발광부(52)는 트랜지스터(11d)를 오프시킴으로써 실현한다. 또한, N배의 휘도로 점등시키는 것으로 했지만, 당연한 것이지만 밝기 조정, 감마 조정에 의해 표시 영역(53)을 N배의 값으로 조정하는 것은 물론이다.

또한, 앞의 실시예에서, 10배의 전류로 프로그램했다고 한다면, 화면의 휘도는 10배로 되고, 표시 영역(50)의 90%의 범위를 비점등 영역(52)으로 하면 된다고 했다. 그러나, 이것은 RGB의 화소를 공통으로 비점등 영역(52)으로 하는 것에 한정되는 것은 아니다. 예를 들면, R의 화소는, 1/8을 비점등 영역(52)으로 하고, G의 화소는, 1/6을 비점등 영역(52)으로 하고, B의 화소는, 1/10을 비점등 영역(52)으로, 각각의 색에 의해 변화시켜도 무방하다.

RGB의 색에서 개별로 비점등 영역(52)(혹은 점등 영역(53))을 조정할 수 있도록 하여도 된다. 이들을 실현하기 위해서는, R, G, B에서 개별의 게이트 신호선(17b)이 필요하게 된다. 그러나, 이상의 RGB의 개별 조정을 가능하게 함으로써, 화이트 밸런스를 조정하는 것이 가능해져, 각 계조에 있어서 색의 밸런스 조정이 용이하게 된다(도 41을 참조할 것).

도 13의 (b)에 도시한 바와 같이, 기입 화소 행(51a)을 포함하는 화소 행이 비점등 영역(52)으로 하고, 기입 화소 행(51a)보다도 위 화면의 S/N(시간적으로는 1F/N)의 범위를 표시 영역(53)으로 한다(기입 주사가 화면의 위에서 아래 방향인 경우, 화면을 아래에서 위로 주사하는 경우에는, 그 역으로 됨). 화상 표시 상태는, 표시 영역(53)이 떠 형상으로 되고, 화면의 위에서 아래로 이동한다.

도 13의 표시에서는, 1개의 표시 영역(53)이 화면의 위에서 아래 방향으로 이동한다. 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 닫았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉬워진다.

이 과제에 대해서는, 도 16에 도시한 바와 같이, 표시 영역(53)을 복수로 분할하면 된다. 이 분할된 총합이 S(N-1)/N의 면적으로 되면(또한, S는 표시 패널의 유효표시 영역(50)의 면적), 도 13의 밝기와 동등해진다. 또한, 분할된 표시 영역(53)은 동일하게(등분으로) 할 필요는 없다. 예를 들면, 표시 영역을 4개의 영역으로 분할하고, 분할된 표시 영역(53a)이 면적 1이고, 분할된 표시 영역(53b)이 면적 2이고, 분할된 표시 영역(53c)이 면적 1이고, 분할된 표시 영역(53d)이 면적 4이어도 된다. 또한, 분할된 비표시 영역(52)과 엄밀히 같게 할 필요는 없다.

또한, 수 프레임(필드)에서의 표시 영역(53)의 면적이 평균하여 목표의 크기로 되도록 제어해도 되는 것은 물론이다. 표시 영역(53)의 면적을 S/10로 한다고 했을 때, 1 프레임(필드)째는 표시 영역(53)의 면적을 S/10로 하고, 2 프레임(필드)째는 표시 영역(53)의 면적을 S/20으로 하고, 3 프레임(필드)째는 표시 영역(53)의 면적을 S/20으로 하고, 4 프레임(필드)째는 표시 영역(53)의 면적을 S/5로 하고, 이상의 4 프레임(필드)에서 소정의 표시면적(표시 휘도)의 S/10을 얻는 구동 방법이 예시된다. 또한, R, G, B의 각각이, 수 프레임(필드)에서 L의 기간의 평균이 동일해지도록 구동해도 된다. 그러나, 상기 수 프레임(필드)은 4 프레임(필드) 이하로 하는 것이 바람직하다. 표시 화상에 의해서는 깜박임이 발생하는 경우가 있기 때문이다.

또한, 본 발명에서의 1 프레임 혹은 1 필드란, 화소(16)의 화상 재기입 주기 또는 표시 화면(50)이 위에서 아래까지(아래에서 위까지) 주사되는 주기와 동의 혹은 유사한 의미라고 생각하여도 된다.

또한, R, G, B에서, 수 프레임(필드)에서 L의 기간의 평균을 다르게 하여, 적절한 화이트 밸런스가 취해지도록 구동해도 된다. 이 구동 방법은, RGB의 발광 효율이 서로 다를 때에 특히 유효하다. 또한, RGB에서 분할수 K를 다르게 하여도 된다. 특히 G에서는 시각적으로 눈에 띄기 때문에, G에서는 분할수를 RB에 대하여 많이 하는 것이 유효하다.

또한, 이상의 실시예에서는 이해를 쉽게 하기 위해서 표시 영역(53)의 면적을 분할하는 것으로 해서 설명하고 있다. 그러나, 면적을 분할한다고 함은, 기간(시간)을 분할하는 것이다. 따라서, 도 1에서는 트랜지스터(11d)의 온 기간을 분할하게 되므로, 면적을 분할하는 것은 기간(시간)을 분할하는 것과 동의 혹은 유사하다.

이상과 같이, 표시 영역(53)을 복수로 분할함으로써 화면의 어둡거림은 감소한다. 따라서, 깜박임의 발생이 없고, 양호한 화상 표시를 실현할 수 있다. 또한, 분할은 더 미세하게 해도 된다. 그러나, 분할할수록 동화상 표시 성능은 저하한다. 또한,

화상 표시의 프레임 레이트를 저감할 수 있어, 저 소비 전력화를 실현할 수 있다. 예를 들면, 비점등 영역(52)을 일괄로 한 경우에는, 프레임 레이트 45Hz 이하로 되면 깜박임이 발생한다. 그러나, 비점등 영역(52)을 6 분할 이상으로 한 경우에는, 20Hz 이하까지 깜박임이 발생하지 않는다.

도 17은 게이트 신호선(17)의 전압 파형 및 EL의 발광 회도를 도시하고 있다. 도 17에서 분명한 바와 같이, 게이트 신호선(17b)을 $vg1$ 로 하는 기간($1F/N$)을 복수로 분할(분할수 K)하고 있다. 즉, $vg1$ 로 하는 기간은 $1F/(K \cdot N)$ 의 기간을 K 회 실시한다. $1F/(K \cdot N)$ 의 기간을 K 회 실시함으로써 점등 기간(53)의 총합은, $1F/N$ 으로 된다. 이와 같이 제어하면, 깜박임의 발생을 억제할 수 있고, 저 프레임 레이트의 화상 표시를 실현할 수 있다.

화상의 분할수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 누르는 것에 의해, 혹은 밝기 조정 볼륨을 돌리는 것에 의해, 이 변화를 검출하여 K 의 값을 변경해도 된다. 또한, 사용자가 회도를 조정하도록 구성해도 된다. 표시하는 화상의 내용, 데이터에 의해 수동으로, 혹은 자동적으로 변화시키도록 구성해도 된다.

또한, 화상 데이터의 상태에 의해 분할수를 변경해도 된다. 화상 데이터가 동화상인 경우에는, 비점등 영역(52)을 일괄로 함으로써 동화상 불선명이 발생하지 않게 된다. 또한, 동화상인 경우에는, 끊임없이 화상이 변화하기 때문에, 프레임 레이트를 느리게 해도 깜박임의 발생은 없다. 화상 데이터가 정지 화상인 경우에는, 비점등 영역(52)을 복수로 분할로 함으로써 저 프레임 레이트라도 깜박임의 발생이 없어진다. 즉, 화상 데이터를 리얼타임으로 동화상/ 정지 화상의 판정을 하고, 판정 결과에 기초하여 비표시 영역(52)의 분할수를 제어함으로써, 저 소비 전력 또한 동화상 불선명의 발생이 없는 고 화질 표시를 실현할 수 있다.

게이트 신호선(17a)에 온 전압($vg1$)이 인가된 상태에서부터 오프 전압(V_{gh})이 인가된 상태로 변화하는 타이밍과, 게이트 신호선(17b)에 오프 전압(V_{gh})이 인가된 상태에서부터 온 전압($vg1$)이 인가된 상태로 변화하는 타이밍이 일치하면, 화상의 유지 상태에 변동이 발생하기 쉬워진다. 이것은 트랜지스터(11b, 11d)의 특성에 의해, 오프 또는 온으로 되는 타이밍에서 어긋남이 발생하여, 커패시터(19)에 프로그램된 전압이 방전하거나, 리크(누설)되기도 하기 때문이라고 생각된다.

이 과제에 대응하기 위해서, 도 66에 도시한 바와 같이, 기입 화소 행(51)의 전후는, 비표시 영역(53)으로 되도록 구동하는 것이 바람직하다. 기입 화소 행의 전류(전압) 프로그램을 행하고, 1 수평 주사 기간의 경과 후에 상기 화소 행의 게이트 신호선(17b)에 온 전압을 인가하여, EL 소자(15)에 전류를 흘리도록 제어하는 것이 바람직하다. 또한, 각 화소 행을 선택하는 게이트 신호선(17a)에 오프 전압을 인가한 후, 적어도, $3\mu\text{sec}$ 이상의 시간을 경과한 후, 각 화소 행의 게이트 신호선(17b)에 온 전압을 인가하도록 제어하는 것이 바람직하다. EL 소자(15)에 흘리는 전류 타이밍에 제약이 없는 경우에는, 도 66에 도시한 바와 같이, 기입 화소 행(51)의 전후의 화소 행이 비표시 영역(52) 내로 되도록 구동하는 것이 바람직하다.

도 67은 이상의 구동 방법을 설명하기 위한 설명도이다. 도 67에서는, 설명을 쉽게 하기 위해서 화소 구성은 도 1에서 설명한 화소 구성을 상정하고 있다.

도 67의 (a)에서는, 게이트 신호선(17a)에 온 전압($vg1$)을 인가하는 기간은 1 수평 주사 기간($1H$)으로 하고 있다. 게이트 신호선(17a)이 온 전압으로부터 오프 전압을 인가 상태로 변화할 때는, 게이트 신호선(17b)은 오프 전압을 인가된 상태를 유지하고 있다. 게이트 신호선(17b)에는, 도 67의 (a)에 도시한 바와 같이 A 시간의 경과 후, 온 전압($vg1$)이 인가된다. A 기간은 $1\mu\text{sec}$ 이상으로 하는 것이 바람직하다. 더욱 바람직하게는, A 기간은 $3\mu\text{sec}$ 이상으로 하는 것이 바람직하다.

도 67의 (a)와 같이, 게이트 신호선(17a)에 온 전압이 인가되어 있을 때에는, 게이트 신호선(17b)에는 오프 전압을 인가한 상태를 유지하고, 게이트 신호선(17a)에 인가된 전압이 온 전압으로부터 오프 전압으로 변화하여, 도 1의 화소(16)의 트랜지스터(11b, 11c)가 완전히 오프 상태로 된 후, 게이트 신호선(17b)에 온 전압을 인가함으로써, 화소(16)에 프로그램되는 전류 변동이 적어져 양호한 화상 표시가 행하여진다.

도 67의 (b)에서는, 게이트 신호선(17a)에 온 전압($vg1$)을 인가하는 기간은 1 수평 주사 기간($1H$)보다 짧은 기간으로 하고 있다. 게이트 신호선(17a)이 온 전압으로부터 오프 전압을 인가 상태로 변화할 때는, 게이트 신호선(17b)은 오프 전압을 인가된 상태를 유지하고 있다. 게이트 신호선(17b)에는, 도 67의 (b)에 도시한 바와 같이 C 시간의 경과 후, 온 전압($vg1$)이 인가된다. C 기간은 $1\mu\text{sec}$ 이상으로 하는 것이 바람직하다. 더욱 바람직하게는, C 기간은 $3\mu\text{sec}$ 이상으로 하는 것이 바람직하다.

도 67의 (b)와 같이, 게이트 신호선(17a)에 온 전압이 인가되어 있을 때에는, 게이트 신호선(17b)에는 오프 전압을 인가한 상태를 유지하고, 게이트 신호선(17a)에 인가된 전압이 온 전압으로부터 오프 전압으로 변화하여, 도 1의 화소(16)의 트랜지스터(11b, 11c)가 완전히 오프 상태로 된 후, 게이트 신호선(17b)에 온 전압을 인가함으로써, 화소(16)에 프로그램되는 전류 변동이 적어져 양호한 화상 표시가 행하여진다.

도 67의 (c)에서는, 게이트 신호선(17a)에 온 전압(vg1)을 인가하는 기간은 1 수평 주사 기간(1H)으로 하고 있다. 게이트 신호선(17a)이 온 전압으로부터 오프 전압을 인가 상태로 변화할 때는, 게이트 신호선(17b)은 오프 전압을 인가된 상태를 유지하고 있다. 또한, 게이트 신호선(17b)에는, 게이트 신호선(17a)에 온 전압(vg1)이 인가되는 기간의 후 1H 기간에는 오프 전압이 인가되어 있다.

도 67의 (c)와 같이, 게이트 신호선(17a)에 온 전압이 인가되어 있을 때에는, 게이트 신호선(17b)에는 오프 전압을 인가한 상태를 유지하고, 게이트 신호선(17a)에 인가된 전압이 온 전압으로부터 오프 전압으로 변화하여, 도 1의 화소(16)의 트랜지스터(11b, 11c)가 완전히 오프 상태로 된 후, 게이트 신호선(17b)에 온 전압을 인가함으로써, 화소(16)에 프로그램되는 전류 변동이 적어져 양호한 화상 표시가 행하여진다.

또한, 이상의 실시예는, 도 1 등의 화소 구성을 예시하여 설명했지만, 도 63, 도 64, 도 65 등의 화소 구성에서도 적용할 수 있는 것은 물론이다.

또한, 도 17 등에 있어서, 게이트 신호선(17b)을 vg1로 하는 기간(도 1에서는 트랜지스터(11d)가 온 상태로 하는 기간, 1F/N)을 복수에 분할(분할수 K)하고, vg1로 하는 기간은 1F/(K·N)의 기간을 K회 실시한다고 했지만 이것 한정되는 것은 아니다. 1F/(K·N)의 기간을 L(L≠K)회 실시해도 된다. 즉, 본 발명은, EL 소자(15)에 흘리는 기간(시간)을 제어함으로써 화상(50)을 표시하는 것이다. 따라서, 1F/(K·N)의 기간을 L(L≠K)회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, 분할하는 기간은 같이 하는 것에 한정되는 것도 아니다. 또한, R, G, B에서 L의 제어 방법, L의 기간, L의 주기 등을 다르게 하여도 된다.

L의 값을 변화시킴으로써, 화상(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, L=2와 L=3에서는 50%의 휘도(콘트라스트) 변화로 된다. L의 기간을 순차, 변화시킴으로써, 화면(50)의 밝기는 L의 기간에 비례하여 선형으로 조정할 수 있다. 밝기를 조정해도 계조 수는 유지된다. 또한, L의 기간은 1 수평 주사 기간(1H)의 정수배에 한정되는 것이 아니다. 1H의 5/2, 1H의 1/2 혹은 1H의 1/8 등, 1H보다도 짧은 기간에 조작 혹은 제어해도 되는 것은 물론이다.

이상의 실시예는, EL 소자(15)에 흐르는 전류를 차단하고, 또한, EL 소자에 흐르는 전류를 접속함으로써, 표시 화면(50)을 온 오프(점등, 비점등)하는 것이었다. 즉, 컨덴서(19)에 유지된 전하에 의해 트랜지스터(11a)에 복수회, 대략 동일 전류를 흘리는 것이다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 컨덴서(19)에 유지된 전하를 충방전시킴으로써, 표시 화면(50)을 온 오프(점등, 비점등)하는 방식이어도 된다(도 32, 도 33, 도 53, 도 54 등의 실시예를 참조할 것).

도 18은 도 16의 화상 표시 상태를 실현하기 위한, 게이트 신호선(17)에 인가하는 전압 파형이다. 도 18와 도 15의 차이는, 게이트 신호선(17b)의 동작이다(도 1, 도 2, 도 64, 도 65에서는 트랜지스터(11d)의 동작임, 또한, 도 63에서는 스위치(631)의 동작임. 스위치(631)는 게이트 신호선(17b)에서 제어되어 있는 것은 아니지만, 업계의 기술자이면 용이하게 스위치(631)의 온 오프를 제어할 수 있기 때문에 설명을 생략함). 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하고, 그 개수분만큼 온 오프(vg1와 Vgh) 동작한다. 다른 점은 도 15와 동일하기 때문에 설명을 생략한다.

EL 표시 장치에서는 흑 표시는 완전히 비점등이므로, 액정 표시 패널을 간헐 표시한 경우와 같이 콘트라스트 저하도 없다. 또한, 도 1의 구성에서는, 트랜지스터(11d)를 온 오프 조작할 뿐이고 간헐 표시를 실현할 수 있다. 또한, 도 38, 도 51의 구성에 있어서는, 트랜지스터 소자(11e)를 온 오프 조작하는 것만으로, 간헐 표시를 실현할 수 있다. 이와 같이 1회 이상의 화소(16)의 점등 및 비점등을 실시해도 동일한 화상 표시를 재현할 수 있는 것은, 컨덴서(19)에 화상 데이터가 메모리(아날로그 값이므로 계조 수는 무한대)하고 있기 때문이다. 즉, 각 화소(16)에, 화상 데이터는 1F의 기간 중에는 유지되어 있다(다음 프레임에서 화상 데이터가 재기입될 때까지 유지되고 있음). 유지되어 있는 화상 데이터에 상당하는 전류를 EL 소자(15)에 흘릴지 여부를 트랜지스터(11d, 11e) 혹은 스위치(631)의 제어에 의해 실현한다.

이상의 구동 방법은, 전류 구동 방식에 한정되는 것이 아니고, 전압 구동 방식에도 적용할 수 있는 것이다. 즉, EL 소자(15)에 흘리는 전류가 각 화소 내에서 보존하고 있는 구성에 있어서, 구동용 트랜지스터(11)를 EL 소자(15) 사이의 전류 경로를 온 오프함으로써, 간헐 구동을 실현하는 것이다. 예를 들면, 도 43의 트랜지스터(11d), 도 51의 트랜지스터(11e)의 제어에 의해 실현할 수 있는 것은 물론이다.

전류 혹은 전압 프로그램된 컨덴서(19)의 단자 전압을 유지하는 것은 중요하다. 1 필드(프레임) 기간에 컨덴서(19)의 단자 전압이 변화(충방전)하면, 화면 휘도가 변화한다. 화면 휘도가 변화하면, 프레임 레이트가 저하했을 때에 변동(깜박임 등)이 발생하기 때문이다. 트랜지스터(11a)가 1 프레임(1 필드) 기간에 EL 소자(15)에 홀리는 전류는, 적어도 65% 이하로 저하하지 않도록 할 필요가 있다. 이 65%란, 화소(16)에 기입하여, EL 소자(15)에 홀리는 전류의 최초가 100%로 했을 때, 다음의 프레임(필드)에서 상기 화소(16)에 기입하기 직전의 EL 소자(15)에 홀리는 전류가 65% 이상으로 하는 것이다. 이상의 조건을 만족하도록 컨덴서(19)의 용량, 유지 트랜지스터(11b)의 오프 특성을 결정한다.

도 1 등의 화소 구성에서는, 간헐 표시를 실현하는 경우로 하지 않는 경우에는, 1 화소를 구성하는 트랜지스터(11)의 개수에 변화가 없다. 즉, 트랜지스터(11d)를 제어하는 것의 보다, 화소 구성은 그대로, 소스 신호선(18)의 기생 용량의 영향과 제거하여, 양호한 전류 프로그램을 실현하고 있다. 게다가, CRT에 가까운 동화상 표시를 실현하고 있는 것이다.

또한, 게이트 드라이버 회로(12)의 동작 클럭은 소스 드라이버 회로(14)의 동작 클럭에 비교하여 충분히 느리기 때문에, 회로의 메인 클럭이 높아진다는 일이 없다(간헐 동작하는 경우와 하지 않는 경우에는 동일한 클럭에 대응할 수 있음). 또한, N, K의 값의 변경도 용이하다. 단순히, 트랜지스터(11d) 등의 온 오프 제어로 실현할 수 있기 때문이다.

또한, 화상 표시 방향(화상 기입 방향)은, 1 필드(1 프레임)째에서는 화면의 위에서 아래 방향으로 하고, 다음 제2 필드(프레임)째에서는 화면의 아래에서 위 방향으로 하여도 된다. 즉, 위에서 아래 방향과, 아래에서 위 방향을 교대로 반복한다. 이상과 같이 주사 방향을 전환함으로써, 저 프레임 레이트라도 깜박임의 발생은 저감한다.

또한, 1 필드(1 프레임)째에서는 화면의 위에서 아래 방향으로 하고, 일단, 전 화면을 흑 표시(비표시)로 한 후, 다음 제2 필드(프레임)째에서는 화면의 아래에서 위 방향으로 하여도 된다. 또한, 전 화면을 흑 표시(비표시)로 하고, 다음에 화면의 위에서 아래 방향에 화상을 재기입하여도 무방하다. 즉, 화상을 재기입, 화상 표시한 후, 전 화면을 흑 표시로 한다. 이상과 같이 전 화면을 흑 표시로 함으로써, 동화상 표시 성능이 향상된다.

본 발명의 구동 방법의 설명에서는, 설명을 쉽게 하기 위해서, 화면의 기입 방법을 화면의 위에서 아래 혹은 아래에서 위로 한다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 화면의 기입 방향은 끊임없이, 화면의 위에서 아래 혹은 아래에서 위로 고정하고, 비표시 영역(52)의 동작 방향을 1 필드(프레임)째에서는 화면의 위에서 아래 방향으로 하고, 다음 제2 필드(프레임)째에서는 화면의 아래에서 위 방향으로 하여도 된다. 또한, 1 프레임을 3 필드로 분할하고, 제1 필드에서는 R, 제2 필드에서는 G, 제3 필드에서는 B로 하여, 3 필드에서 1 프레임을 형성하는 것으로 해도 좋다. 또한, 1 수평 주사 기간(1H)마다, R, G, B를 전환하여 표시해도 된다(도 75로부터 도 82 등을 참조할 것). 이상의 사항은 다른 본 발명의 실시예에서도 마찬가지로 적용되는 것은 물론이다.

비표시 영역(52)은 완전히 비점등 상태인 필요는 없다. 미약한 발광 혹은 약 한 화상 표시가 있더라도 실용상은 문제없다. 즉, 비표시 영역(비점등 영역)(52)이란 화상 표시 영역(53)보다도 표시 휘도가 낮은 영역으로 해석해야 한다. 검토 결과에 따르면, 비표시 영역(52)은, 표시 영역(53)의 휘도의 1/3 이하의 휘도로 설정하면, 동화상 표시 성능이 저하하지 않고, 양호한 화상 표시를 실현할 수 있다. 1/3 이하의 휘도는 도 1의 화소 구성 등에서는 트랜지스터(11d)의 온 전압 v_{g1} 을 높게 하고, 완전히 온하지 않는 상태를 발생함으로써 실현할 수 있다. 또한, 비표시 영역(52)이란, R, G, B 화상 표시 중 1색 또는 2색만이 비표시 상태라고 하는 경우도 포함된다.

표시 영역(53)의 휘도(밝기)가 소정값으로 유지되는 경우, 표시 영역(53)의 면적이 넓어질수록, 화면(50)의 휘도는 높아진다. 예를 들면, 표시 영역(53)의 휘도가 100(nt)인 경우, 표시 영역(53)이 전 화면(50)에 차지하는 비율이 10%로부터 20%로 하면, 화면의 휘도는 2배로 된다. 따라서, 전 화면(50)에 차지하는 표시 영역(53)의 면적을 변화시킴으로써, 화면의 표시 휘도를 변화할 수 있다. 본 발명은, 표시(50)의 면적에 대한 표시 영역(53)의 크기를 제어함으로써, 화상 표시를 제어하는 방식이다.

표시 영역(53)의 면적은 시프트 레지스터(61)(도 6을 참조할 것)에의 데이터 펄스(ST2)를 제어함으로써, 임의로 설정할 수 있다. 또한, 데이터 펄스의 입력 타이밍, 주기를 변화시킴으로써, 도 16의 표시 상태와 도 13의 표시 상태를 전환할 수 있다(또한, 도 13과 도 16에서는 설명을 쉽게 하기 위해서 비표시 영역(52)의 면적을 서로 다르게 하고 있다. 비표시 영역(52)의 면적을 동일하게 하면 동일한 휘도를 실현할 수 있다(단, 후에 설명하는 소스 드라이버 IC에 인가하는 기준 전류가 동일한 경우)). 1F 주기에서의 데이터 펄스 수를 많게 하고, 표시 영역(53)을 길게 하면, 화면(50)은 밝아지고, 짧게 하면, 화면(50)은 어둡게 된다. 또한, 연속하여 데이터 펄스를 인가하면 도 13의 표시 상태로 되고, 간헐적으로 데이터 펄스를 입력하면 도 16의 표시 상태로 된다. 따라서, 시프트 레지스터(61)에 인가하는 데이터 펄스를 제어할 뿐이고 화상 표시의 휘도를 용이하게 제어할 수 있다.

도 19의 (a)는 도 13과 같이 표시 영역(53)이 연속하고 있는 경우의 밝기 조정 방식이다. 도 19(a1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19(a2)의 화면(50)의 표시 휘도가 다음으로 밝고, 도 19(a3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19(a1)로부터 도 19(a3)로의 변화(혹은 그 반대)는, 앞서서도 기재한 바와 같이 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 등의 제어에 의해, 용이하게 실현할 수 있다. 이 때, 도 1의 Vdd 전압(애노드 전압 등)은 변화시킬 필요가 없다. 또한, 소스 드라이버 회로(14)가 출력하는 프로그램 전류 혹은 프로그램 전압의 크기도 변화시킬 필요가 없다. 즉, 전원 전압을 변화시키지 않고, 또한, 영상 신호를 변화시키지 않고서 표시 화면(50)의 휘도 변화를 실시할 수 있다.

또한, 도 19(a1) 내지 도 19(a3)에의 변화의 때, 화면의 감마 특성은 전혀 변화하지 않는다. 따라서, 화면(50)의 휘도에 상관없이, 표시 화상의 콘트라스트, 계조 특성이 유지된다. 이것은 본 발명의 효과가 있는 특징이다.

종래의 화면의 휘도 조정에서는, 화면(50)의 휘도가 낮을 때에는, 계조 성능이 저하한다. 즉, 고휘도 표시일 때에는 64 계조 표시를 실현할 수 있더라도, 저휘도 표시일 때에는, 반 이하의 계조 수밖에 표시할 수 없다. 이에 비교하여, 본 발명의 구동 방법에서는, 화면의 표시 휘도에 의존하지 않고, 최고의 64 계조 표시를 실현할 수 있다.

도 19의 (b)는, 도 16에서 설명한 바와 같이 표시 영역(53)이 분산하고 있는 경우의 밝기 조정 방식이다. 도 19(b1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19(b2)의 화면(50)의 표시 휘도가 다음으로 밝고, 도 19(b3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19(b1)로부터 도 19(b3)로의 변화(혹은 그 반대)는, 앞서서도 기재한 바와 같이 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 등의 제어에 의해, 용이하게 실현할 수 있다. 도 19의 (b)와 같이 표시 영역(53)을 분산시키면, 저 프레임 레이트라도 깜박임이 발생하지 않는다.

또한, 저 프레임 레이트라도, 깜박임이 발생하지 않도록 하기 위해서는, 도 19의 (c)와 같이 표시 영역(53)을 미세하게 분산시키면 된다. 그러나, 동화상의 표시 성능은 저하한다. 따라서, 동화상을 표시하기 위해서는, 도 19의 (a)의 구동 방법이 적합하다. 정지 화상을 표시하고, 저 소비 전력화를 요망할 때는, 도 19의 (c)의 구동 방법이 적합하다. 도 19의 (a)로부터 도 19의 (c)의 구동 방법의 전환도, 시프트 레지스터(61)의 제어에 의해 용이하게 실현할 수 있다.

도 19는 비표시 영역(52)이 등간격으로 구성되어 있지만, 이것에 한정되는 것은 아니다. 화면(50)의 1/2의 면적이 연속하여 표시 영역(53)을 하고, 남은 면적(50)이 도 19(c1)와 같이 등간격으로 표시 영역(53)과 비표시 영역(52)이 반복하도록 구동해도 되는 것은 물론이다.

도 20은 본 발명의 구동 방법의 다른 실시예의 설명이다. 도 20은 복수의 화소 행을 동시에 선택하고, 복수의 화소 행을 구동하는 프로그램 전류로 소스 신호선(18)의 기생 용량 등을 충방전하여 전류 기입 부족을 대폭 개선하는 방식이다. 복수의 화소 행을 동시에 선택하기 때문에, 1 화소당의 구동하는 전류를 감소시킬 수 있다. 따라서, EL 소자(15)에 흐르는 전류를 감소시킬 수 있다. 여기서, 설명을 쉽게 하기 위해서, 일례로서, $N=10$ 로 하고, 동시에 선택되는 화소 행 M 을 5로 하여 설명한다(소스 신호선(18)에 흘리는 프로그램 전류를 10배로 한다. 동시에 5 화소 행이 선택되므로, 1 화소에는 프로그램 전류의 1/5가 흐른다).

도 20에서 설명하는 본 발명은, 화소 행은 동시에 M 화소 행을 선택한다. 소스 드라이버 IC(14)로부터는 소정 전류의 N 배 전류를 소스 신호선(18)에 인가한다. 각 화소에는 EL 소자(15)에 흘리는 전류의 N/M 배의 전류가 프로그램된다. EL 소자(15)를 소정 발광 휘도로 하기 위해서, EL 소자(15)에 흐르는 시간을 1 프레임(1 필드)의 M/N 시간으로 한다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있어, 양호한 해상도를 소정의 발광 휘도를 얻을 수 있다.

또한, 본 발명의 구동 방법에서는 이해를 쉽게 하기 위해서, 소정 전류의 N 배의 전류를 소스 신호선에 인가하면 하지만, 이것에 한정되는 것은 아니다. 본 발명은 소스 드라이버 회로(14)로부터 출력하는 신호(전류 또는 전압)를, 동시에 선택한(타이밍이 어긋나 있어도 무방함) 화소로 분할하여 인가하는 것이 특징이다. 동시에 선택하여 각 소스 신호선(18)에 접속된 화소(16)의 구동 트랜지스터(11a) 특성이 동일하면, 소스 드라이버 회로(14)로부터 출력되는 전류를 선택한 화소 행 M 으로 나눈 전류가, 화소(16)에 프로그램된다.

즉, 1 프레임(1 필드)의 M/N 의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간($1F(N-1) M/N$)은 전류를 흘리지 않는다. 이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)이 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태로 된다. 따라서, 화상의 윤곽 불선명이 없어져 양호한 동화상 표시를 실현할 수 있다. 또한, 소스 신호선(18)에는 N 배의 전류로 구동하기 때문에, 기생 용량의 영향을 받지 않아, 고정밀 표시 패널에도 대응할 수 있다.

또한, 이상의 실시예에서는 이해를 쉽게 하기 위해서, M 화소 행을 동시에 선택하고, N배의 전류를 소스 드라이버 회로(14)로부터 출력한다고 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. M 화소 행을 동시에 선택하고, 1배의 전류를 소스 드라이버 회로(14)(으)로부터 출력해도 된다. 이 경우에는, 표시 화면(50)의 휘도가 낮아지는 것만으로, 본 발명을 실시하고 있다. 물론, 소스 드라이버 회로(14)로부터 2배 혹은, 2.5배 혹은 5.25배 등 큰 전류를 출력하면, 화면(50)의 휘도를 높게 할 수 있다.

또한, 이상의 실시예에서는 이해를 쉽게 하기 위해서, M 화소 행을 동시에 선택하고, 각 화소(16)는 M/N의 기간만큼 점등한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. M 화소 행을 동시에 선택하고, M/10배의 전류, M/5배의 전류, M/2.5배의 전류를 소스 드라이버 회로(14)로부터 출력해도 된다. 즉, N에 의존하지 않고, 표시 기간을 자유롭게 설정할 수 있다. 표시 기간을 길게 하면, 화면(50)의 휘도는 높아지고, 표시 기간을 짧게 하면 화면(50)의 휘도가 낮아진다. 즉, M 화소 행을 동시에 선택하는 본 발명에서도, 표시 기간을 제어함으로써, 화면(50)의 휘도를 용이하게 제어 혹은 조정할 수 있다.

도 21은, 도 20의 구동 방법을 실현하기 위한 구동 파형의 설명도이다. 게이트 신호선(17)의 전압 파형은, 오프 전압을 V_{gh} (H 레벨)로 하고, 온 전압을 $vg1$ (L 레벨)로 하고 있다. 각 신호선의 첨자는 화소 행의 번호((1)(2)(3) 등)를 기재하고 있다. 또한, 행 수는 QCIF 표시 패널인 경우에는 220개이고, VGA 패널에서는 480개이다.

도 21에 있어서, 게이트 신호선(17a)(1)이 선택되고(화소 행(1)의 게이트 신호선(17a)에 $vg1$ 전압이 인가됨), 선택된 화소 행의 트랜지스터(11a)에서 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다(도 1인 경우). 여기서는 설명을 쉽게 하기 위해서, 우선, 도 20에 있어서의 기입 화소 행(51a)이 화소 행(1)번째라고 하여 설명한다.

또한, 소스 신호선(18)에 흐르는 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서, $N=10$ 으로 하여 설명한다. 물론, 소정값이란 화상을 표시하는 데이터 전류이므로, 백 래스터 표시 등이 아닌 뿐 고정치가 아니다. 화상 데이터에 의해 각 화소(16)에 프로그램되는 전류값은 서로 다름)이다. 또한, 5 화소 행이 동시에 선택($M=5$)으로 하여 설명한다. 따라서, 이상적으로는 하나의 화소의 컨덴서(19)에는 2배($N/M=10/5=2$)에 전류가 트랜지스터(11a)에 흐르도록 프로그램된다.

기입 화소 행이 (1) 화소 행째일 때, 도 21에서 도시한 바와 같이, 화소 행(1)(2)(3)(4)(5)의 게이트 신호선(17a)이 선택되어 있다. 즉, 화소 행(1)(2)(3)(4)(5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 화소 행(1)(2)(3)(4)(5)의 구동 트랜지스터(11a)에 프로그램 전류가 흐르고 있다. 또한, 도 21에서 분명한 바와 같이, 5H 번째일 때, 화소 행(1)(2)(3)(4)(5)의 게이트 신호선(17a)에 온 전압이 인가되고, (1)(2)(3)(4)(5)의 게이트 신호선(17b)에는 오프 전압이 인가되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

또한, 설명을 쉽게 하기 위해서, 게이트 신호선(17a)에 선택 전압이 인가된 화소 행(상기 설명에서는 화소 행(1)(2)(3)(4)(5)이 해당함)에 있어서, 게이트 신호선(17b)에는 오프 전압을 인가하고, 화소 행의 트랜지스터(11d)를 오프 상태로 하는(화소 행(1)(2)(3)(4)(5)이 해당함) 것으로 했다. 그러나, 도 20에서 도시하고 있는 바와 같이, 선택된 화소 행 이외의 화소 행의 트랜지스터(11d)를 오프해도 되는 것은 물론이다. 도 20에서는, 기입 화소 행(51)을 포함하는 넓은 범위에서 트랜지스터(11d)를 오프로 하여, 비표시 영역(52)을 하고 있다. 비표시 영역(52)은 도 19 등에서 설명한 바와 같이 분산시키거나, 일괄하기도 해도 되는 것은 물론이다.

본 발명은 도 1, 도 2 등의 화소 구성에 있어서, 적어도 전류 프로그램을 행하고 있는 화소 행에서는, 최종적으로 프로그램 전류를 화소에 유지할 때에는, EL 소자(15)의 전류 경로를 차단하는 점이 중요하다. 그러나, 도 38의 커런트 미러의 화소 구성에서는, 전술의 사항도 비 제약 사항이다.

본 발명은 화상 데이터를 기입하기 위해서, 동시에 선택한(게이트 신호선(17a)에 온 전압을 인가함) 화소 행 중, 1 화소 행 혹은 모든 화소 행을 비표시 상태로 하는 것이 중요한 사항이다. 1 화소 행 이상을 표시 상태로 하면 표시 화상의 해상도가 저하하기 때문이다.

이상적으로는, 5 화소의 트랜지스터(11a)가, 각각 $I_w \times 2$ 의 전류를 소스 신호선(18)에 흘린다(즉, 소스 신호선(18)에는 $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$). 따라서, 본 발명의 N배 펄스 구동을 실시하지 않는 경우가 소정 전류 I_w 로 하면, I_w 의 10배의 전류가 소스 신호선(18)에 흐름).

이상의 동작(구동 방법)에 의해, 각 화소 행(1)(2)(3)(4)(5)의 컨텐서(19)에는, 2배의 프로그램 전류가 프로그램된다. 여기서, 이해를 쉽게 하기 위해서, 각 트랜지스터(11a)는 특성(V_t , $S_{\text{값}}$)이 일치하고 있는 것으로 하여 설명을 한다.

동시에 선택하는 화소 행이 5 화소 행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당, $10/5=2$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 5개의 화소(16)의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다. 예를 들면, 기입 화소 행(51a)에, 본래, 기입하는 전류 I_w 로 하고, 소스 신호선(18)에는 $I_w \times 10$ 의 전류를 흘린다. 기입 화소 행(1)으로부터 이후에 화상 데이터를 기입하는 기입 화소 행(51b) 소스 신호선(18)에의 전류량을 증가시키기 때문에, 보조적으로 이용하는 화소 행(화소 행(1)을 전류 프로그램하고 있는 경우에는, 화소 행(2)(3)(4)(5)이 해당함. 그러나, 기입 화소 행(51b)(도 20을 참조할 것. 도 20에 있어서 (51a)가 화소 행(1)으로 하고, (51b)가 화소 행(2)(3)(4)(5)이 대응하고 있다고 한 경우임)에는, 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 4 화소 행(51b)에서, 1H 기간 동안은 (51a)와 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다(도 20의 (b)를 참조할 것). 단, 도 38과 같은 커런트 미러의 화소 구성, 그 밖의 전압 프로그램 방식의 화소 구성에서는 (51a)도 표시 상태로 하여도 되는 것은 물론이다.

1H 후에는, 게이트 신호선(17a)(1)은 비선택으로 되고(도 21의, 게이트 신호선(17b)에는 온 전압(v_{g1})이 인가된다. 도 21의 6H 번째의 게이트 신호선 파형을 참조할 것. 또한, 동시에, 게이트 신호선(17a)(6)이 선택되고(v_{g1} 전압이 인가됨), 선택된 화소 행(6)의 트랜지스터(11a)에서 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것의 보다, 화소 행(1)에는 정규의 화상 데이터가 유지된다. 즉, 화소 행(1)의 프로그램 전류가 확정하여, 화소 행(6)에 프로그램 전류가 흐른다.

다음의, 1H 후에는, 게이트 신호선(17a)(2)은 비선택으로 되고, 화소 행(2)의 게이트 신호선(17b)에는 온 전압(v_{g1})이 인가된다(도 21의 7H 번째를 참조할 것). 또한, 동시에, 게이트 신호선(17a)(7)이 선택되고(v_{g1} 전압이 인가됨), 선택된 화소 행(7)의 트랜지스터(11a)에서 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것의 보다, 화소 행(2)에는 정규의 화상 데이터가 유지된다. 이상의 동작을 1 화소 행씩 시프트하면서 주사하는 것에 의해 1 화면(50)이 재기입된다.

도 20의 구동 방법에서는, 각 화소에는 2배의 전류(전압)로 프로그램을 행하기 위해서, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 2배로 된다(단, 2배라고 하는 것은 일 실시예임). 따라서, 표시 화면의 휘도는 소정값보다도 2배로 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16에 도시한 바와 같이, 기입 화소 행(51)을 포함하고, 또한 화면(50)의 1/2의 범위를 비표시 영역(52)으로 하면 된다.

도 13과 마찬가지로, 도 20과 같이 하나의 표시 영역(53)이, 화면의 위에서 아래 방향으로 이동하는 경우에는, 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 닫았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉬워진다. 이 과제에 대해서는, 도 22에 도시한 바와 같이, 표시 영역(53)을 복수로 분할(분할수 K)하면 된다.

도 23은 게이트 신호선(17)에 인가하는 전압 파형이다. 도 21과 도 23의 차이는, 기본적으로는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하고, 그 개수분만큼 온 오프(v_{g1} 와 V_{gh}) 동작한다. 다른 점은 도 21과 거의 동일 혹은 유추할 수 있기 때문에 설명을 생략한다.

이상과 같이, 표시 영역(53)을 복수로 분할함으로써 화면의 어른거림은 감소한다. 따라서, 깜박임의 발생이 없고, 양호한 화상 표시를 실현할 수 있다. 또한, 분할은 더 미세하게 해도 된다. 그러나, 분할하면 할수록 깜박임은 경감한다. 특히 EL 소자(15)의 응답성이 빠르기 때문에, $5\mu\text{sec}$ 보다도 작은 시간에 온 오프해도, 표시 휘도의 저하가 없다.

본 발명의 구동 방법에 있어서, EL 소자(15)의 온 오프는, 게이트 신호선(17b)에 인가하는 신호의 온 오프로 제어할 수 있다. 그 때문에, 클럭 주파수는 KHz 오더의 저주파 수로 제어가 가능하다. 또한, 흑 화면 삽입(비표시 영역(52) 삽입)을 실현하는 데에는, 화상 메모리 등을 필요로 하지 않는다. 따라서, 저 비용으로 본 발명의 구동 회로 혹은 방법을 실현할 수 있다.

도 24는 동시에 선택하는 화소 행이 2 화소 행인 경우이다. 검토한 결과에 의하면, 저온 폴리실리콘 기술로 형성한 표시 패널에서는, 2 화소 행을 동시에 선택하는 방법으로서도 실용상 문제없는 화상 표시를 얻을 수 있었다. 이것은, 인접한 화소

의 구동용 트랜지스터(11a)의 특성이 매우 일치하고 있기 때문으로 추정된다. 또한, 레이저 어닐링할 때에, 스트라이프형상의 레이저의 조사 방향은 소스 신호선(18)과 평행하게 조사함으로써 양호한 결과가 얻어졌다(도 7 및 그 설명을 참조할 것).

이것은 동일 시간에 어닐링되는 범위의 반도체막은 특성이 균일하기 때문이다. 즉, 스트라이프형상의 레이저 조사 범위 내에서는 반도체막이 균일하게 제작되고, 이 반도체막을 이용한 트랜지스터의 V_t , 모빌리티, S값이 거의 동일하게 되기 때문이다. 따라서, 소스 신호선(18)의 형성 방향에 평행하게 스트라이프 형상의 레이저 쇼트를 조사하고, 이 조사 위치를 이동 시킴으로써(도 7을 참조할 것), 소스 신호선(18)에 따른 화소(화소 열, 화면의 상하 방향의 화소)의 특성은, 거의 동일하게 제작된다. 따라서, 복수의 화소 행을 동시에 온시켜 전류 프로그램을 행했을 때, 프로그램 전류는, 동시에 선택되고 복수의 화소에는 프로그램 전류를 선택된 화소 수로 나눈 전류가, 거의 동일하게 전류 프로그램된다. 따라서, 목표치에 가까운 전류 프로그램을 실시할 수 있어, 균일 표시를 실현할 수 있다. 따라서, 레이저 쇼트 방향에서 제작한 어레이 기판(71)을 이용하여, 도 24 등에서 설명하는 구동 방식을 실시하는 것의 보다 양호한 화상 표시를 실현할 수 있다.

이상과 같이, 레이저 쇼트의 방향을 소스 신호선(18)의 형성 방향과 대략 일치시킴으로써, 화소의 상하 방향에 형성된 트랜지스터(11a)의 특성이 거의 동일하게 된다. 따라서, 목표 전압을 화소에 정밀도 있게 프로그램할 수 있기 때문에, 양호한 화상 표시를 실현할 수 있다(화소의 좌우 방향의 트랜지스터(11a)의 특성이 일치하지 않더라도). 이상의 동작은, 1H(1 수평 주사 기간)에 동기하여, 1 화소 행 혹은 복수 화소 행씩 선택 화소 행 위치를 어긋나게 하여 실시한다.

또한 본 발명은, 레이저 쇼트의 방향을 소스 신호선(18)과 평행하게 한다고 했지만, 반드시 평행하지 않아도 무방하다. 소스 신호선(18)에 대하여 경사 방향에 레이저 쇼트를 조사해도 하나의 소스 신호선(18)에 따른 화소의 상하 방향의 트랜지스터(11a)의 특성은 거의 일치하여 형성되기 때문이다. 따라서, 소스 신호선에 평행하게 레이저 쇼트를 조사한다고 함은, 소스 신호선(18)을 따른 임의의 화소의 위 또는 아래로 인접한 화소를, 하나의 레이저 조사 범위에 들어가도록 형성한다는 것이다. 또한, 소스 신호선(18)이란 일반적으로는, 영상 신호로 되는 프로그램 전류 혹은 전압을 전달하는 배선이다.

또한, 본 발명의 실시예에서는 1H마다, 기입 화소 행 위치를 시프트시킨다고 했지만, 이것에 한정되는 것이 아니고, 2H마다 시프트해도 되고, 또한 그 이상의 화소 행씩 시프트시켜도 무방하다. 또한, 임의의 시간 단위로 시프트해도 된다. 또한, 화면 위치에 대응하여, 시프트하는 시간을 변화시켜도 무방하다. 예를 들면, 화면의 중앙부에서의 시프트 시간을 짧게 하고, 화면의 상하부에서 시프트 시간을 길게 해도 된다. 또한, 프레임마다 시프트 시간을 변화시켜도 무방하다.

또한, 연속한 복수 화소 행을 선택하는 것에 한정되는 것은 아니다. 예를 들면, 1 화소 행 간격을 둔 화소 행을 선택해도 된다. 즉, 제1번째의 수평 주사 기간에 제1번째의 화소 행과 제3번째의 화소 행을 선택하고, 제2번째의 수평 주사 기간에 제2번째의 화소 행과 제4번째의 화소 행을 선택하고, 제3번째의 수평 주사 기간에 제3번째의 화소 행과 제5번째의 화소 행을 선택하고, 제4번째의 수평 주사 기간에 제4번째의 화소 행과 제6번째의 화소 행을 선택하는 구동 방법이다. 물론, 제1번째의 수평 주사 기간에 제1번째의 화소 행과 제3번째의 화소 행과 제5번째의 화소 행을 선택한다고 하는 구동 방법도 기술적 범주이다. 물론, 복수 화소 행 간격을 둔 화소 행 위치를 선택해도 된다.

또한, 이상의 레이저 쇼트 방향과, 복수개의 화소 행을 동시에 선택한다고 하는 조합은, 도 1, 도 2, 도 32, 도 63, 도 64, 도 65 등의 화소 구성에만 한정되는 것이 아니고, 커런트 미러의 화소 구성인 도 38, 도 42, 도 50 등의 다른 전류 구동 방식의 화소 구성에도 적용할 수 있는 것은 물론이다. 또한, 도 43, 도 51, 도 54, 도 62 등의 전압 구동의 화소 구성에도 적용할 수 있다. 즉, 화소 상하의 트랜지스터의 특성이 일치하고 있으면, 동일한 소스 신호선(18)에 인가한 전압값에 의해 양호하게 전압 프로그램을 실시할 수 있기 때문이다.

도 21은 5 화소 행을 동시에 선택하는 본 발명의 구동 방법이었다. 도 24, 도 25는 2 화소 행을 동시에 선택하는 구동 방법의 실시예이다. 도 24에 있어서, 기입 화소 행이(1) 화소 행째일 때, 게이트 신호선(17a)은 (1)(2)가 선택되어 있다(도 25를 참조할 것). 즉, 화소 행(1)(2)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 각 화소 행의 게이트 신호선(17a)에 온 전압이 인가되어 있을 때, 게이트 신호선(17b)에는 오프 전압이 인가된다.

따라서, 1H 및 2H 번째의 기간에서는, 화소 행(1)(2)의 스위칭 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다. 또한, 도 24에서는, 깜박임의 발생을 저감하기 위해서, 표시 영역(53)을 5 분할하고 있다.

이상적으로는, 2 화소(행)의 트랜지스터(11a)가, 각각이 $I_w \times 5$ ($N=10$ 인 경우. 즉, $K=2$ 이므로, 소스 신호선(18)에 흐르는 전류는 $I_w \times K \times 5 = I_w \times 10$ 으로 됨)의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소(16)의 컨덴서(19)에는, 5배의 전류가 프로그램되어, 유지된다.

동시에 선택하는 화소 행이 2 화소 행($K=2$)이므로, 2개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당, $10/2=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 2개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다.

예를 들면, 기입 화소 행(51a)에, 본래, 기입하는 전류 I_d 로 하고, 소스 신호선(18)에는, $I_w \times 10$ 의 전류를 흘린다. 기입 화소 행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다. 화소 행(51b)은, 1H 기간 동안은 (51a)와 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음의, 1H 후에는, 게이트 신호선(17a)(1)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(v_{g1})이 인가된다. 또한, 동시에, 게이트 신호선(17a)(3)이 선택되고(v_{g1} 전압), 선택된 화소 행(3)의 트랜지스터(11a)에서 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것의 보다, 화소 행(1)에는 정규의 화상 데이터가 유지된다.

다음의, 1H 후에는, 게이트 신호선(17a)(2)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(v_{g1})이 인가된다. 또한, 동시에, 게이트 신호선(17a)(4)이 선택되고(v_{g1} 전압), 선택된 화소 행(4)의 트랜지스터(11a)에서 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것의 보다, 화소 행(2)에는 정규의 화상 데이터가 유지된다. 이상의 동작으로 1 화소 행씩 시프트(물론, 복수 화소 행씩 시프트해도 됨. 예를 들면, 의사 인터레이스 구동이면, 2 행씩 시프트할 것임. 또한, 화상 표시의 관점에서, 복수의 화소 행에 동일 화상을 기입하는 경우도 있을 것임)하면서 주사하는 것에 의해 1 화면이 재기입된다.

도 16과 마찬가지로이지만, 도 24의 구동 방법에서는, 각 화소에는 5배의 전류(전압)로 프로그램을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 5배로 된다. 따라서, 표시 영역(53)의 휘도는 소정값보다도 5배로 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16 등에 도시한 바와 같이, 기입 화소 행(51)을 포함하고, 또한 표시 화면1의 1/5의 범위를 비표시 영역(52)으로 하면 된다.

도 27에 도시한 바와 같이, 2개의 기입 화소 행(51)(51a, 51b)이 선택되고, 화면(50)의 상변으로부터 하변으로 순차 선택되어 간다(도 26도 참조할 것. 도 26에서는 화소 행(16a와 16b)이 선택되어 있음). 그러나, 도 27의 (b)와 같이, 화면의 하변까지 오면 기입 화소 행(51a)은 존재하지만, (51b)는 없어진다. 즉, 선택하는 화소 행이 하나밖에 없게 된다. 그 때문에, 소스 신호선(18)에 인가된 전류는, 전부 화소 행(51a)에 기입된다. 따라서, 화소 행(51a)에 비교하여, 2배의 전류가 화소에 프로그램된다.

이 과제에 대하여, 본 발명은, 도 27의 (b)에 도시한 바와 같이 화면(50)의 하변에 더미 화소 행(281)을 형성(배치)하고 있다. 따라서, 선택 화소 행이 화면(50)의 하변까지 선택된 경우에는, 화면(50)의 최종 화소 행과 더미 화소 행(281)이 선택된다. 그 때문에, 도 27의 (b)의 기입 화소 행에는, 규정대로의 전류가 기입된다. 또한, 더미 화소 행(281)은 표시 영역(50)의 상단 혹은 하단에 인접하여 형성하도록 도시하였지만, 이것에 한정되는 것은 아니다. 표시 영역(50)으로부터 떨어진 위치에 형성되어 있더라도 무방하다. 또한, 더미 화소 행(281)은, 도 1의 스위칭 트랜지스터(11d), EL 소자(15) 등은 형성할 필요는 없다. 형성하지 않는 것에 의해, 더미 화소 행(281)의 사이즈는 작아지므로 패널의 프레임을 짧게 할 수 있다.

도 28은 도 27의 (b)의 상태를 나타내고 있다. 도 28에서 분명한 바와 같이, 선택 화소 행이 화면(50)의 하변의 화소(16c) 행까지 선택된 경우에는, 화면(50)의 최종 화소 행(281)이 선택된다. 더미 화소 행(281)은 표시 영역(50) 밖에 배치한다. 즉, 더미 화소 행(281)은 점등하지 않는다거나, 혹은 점등시키지 않는다거나, 혹은 점등해도 표시로서 보이지 않도록 구성한다. 예를 들면, 화소 전극과 트랜지스터(11)의 콘택트홀을 없앤다거나, 더미 화소 행에는 EL 소자(15)를 형성하지 않는 다거나 한다. 도 28의 더미 화소 행(281)은 EL 소자(15), 트랜지스터(11d), 게이트 신호선(17b)을 도시하고 있지만, 구동 방법의 실시에는 불필요하다. 실제로 개발한 본 발명의 표시 패널에서는, 더미 화소 행(281)에는 EL 소자(15), 트랜지스터(11d), 게이트 신호선(17b)을 형성하지 않는다. 단, 화소 전극을 형성하는 것이 바람직하다. 화소 내의 기생 용량이 다른 화소(16)와 동일하게 되지 않아, 유지되는 프로그램 전류에 차이가 발생하는 경우가 있기 때문이다.

도 27에서는, 화면(50)의 하변에 더미 화소(행)281을 마련(형성, 배치)하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 29의 (a)에 도시한 바와 같이, 화면의 하변으로부터 상변으로 주사한다. 상하 역전 주사하는 경우에는, 도 29의 (b)에 도시한 바와 같이 화면(50)의 상변에도 더미 화소 행(281)을 형성하여야 한다. 즉, 화면(50)의 겉을 하변의 각각에 더미 화소 행(281)을 형성(배치)한다. 이상과 같이 구성함으로써, 화면의 상하 반전 주사에도 대응할 수 있게 된다.

이상의 실시예는, 2 화소 행을 동시 선택하는 경우이었다. 본 발명은 이것에 한정되는 것이 아니고, 예를 들면, 5 화소 행을 동시 선택하는 방식(도 23을 참조할 것)이어도 무방하다. 즉, 5 화소 행 동시 구동인 경우에는, 더미 화소 행(281)은 4 행분 형성하면 된다. 도 134에 그 실시예의 설명도를 기재하고 있다. 도 134는 화면(50)의 하부의 구성을 설명하기 위한 설명도이다. 5 화소 행 동시 기입의 실시예이다. 더미 화소 행(281)이 4 화소 행분 형성 또는 배치되어 있다. 더미 화소 행(281)에는 EL 소자(15) 등은 형성되어 있지 않다. 따라서, 더미 화소 행(281)에는 화소 트랜지스터(트랜지스터(11a, 11b, 11c)), 컨덴서(19) 등 프로그램 전류를 흘리는 구성 요소만이 형성되어 있다. 물론, 게이트 신호선(17b), EL 소자(15) 등을 형성하여도 되는 것은 물론이다.

이상의 것으로 부터, 더미 화소 행(281) 수는, 동시에 선택하는 화소 행 수 $M-1$ 의 화소 행을 형성하면 된다. 예를 들면, 동시에 선택하는 화소 행이 5 화소 행이면, $5-1=4$ 화소 행이다. 동시에 선택하는 화소 행이 10 화소 행이면, $10-1=9$ 화소 행이다.

도 135는 더미 화소 행(281)을 형성하는 경우에 있어서, 더미 화소 행의 배치 위치의 설명도이다. 기본적으로, 표시 패널은 상하 반전 구동하는 것으로 하고, 더미 화소 행(281)을 화면(50)의 상하로 배치하고 있다.

도 135의 (a)는 2 화소 행($M=2$) 동시 선택 구동을 실시하는 경우의 더미 화소 행(281)의 형성 위치이다. 도 135의 (b)는 3 화소 행($M=3$) 동시 선택 구동을 실시하는 경우의 더미 화소 행(281)의 형성 위치이다. 도 135의 (c)는 4 화소 행($M=4$) 동시 선택 구동을 실시하는 경우의 더미 화소 행(281)의 형성 위치이다. 도 135의 (d)는 5 화소 행($M=5$) 동시 선택 구동을 실시하는 경우의 더미 화소 행(281)의 형성 위치이다. 또한, 도 135와 같이 더미 화소 행(281)을 4 화소 행분 형성하면, 동시 선택 구동은 2 화소 행 동시 선택 구동으로부터 5 화소 행 동시 선택 구동까지 실시할 수 있다.

이상의 실시예는, 1 화소 행마다 다른 화상 데이터를 유지하는 구동 방법의 실시예이다. 2 화소 행에 동일한 화상 데이터를 유지하는 경우에는, 화소 행은, 2배 필요하게 되는 것은 물론이다. 즉, 2 화소 행마다 순차 주사하는 경우에는, 2배의 더미 화소 행 수가 필요하다. 즉, 더미 화소 행은, (동시에 선택하는 화소 행 수 $M-1$) $\times$ 동일 화상을 기입하는 화소 행 수가 필요하게 된다.

이상의 실시예는, 인접한 화소 행을 동시에 선택하는 구동 방법이었다. 그러나, 본 발명의 구동 방식은, 이것에 한정되는 것은 아니다. 도 136, 도 137은 본 발명의 다른 구동 방법(구동 방식)의 실시예이다. 도 136의 구동 방법은 2 화소 행 동시 선택의 실시예이다. 도 136에서는, 더미 화소 행(281)은 도 135와 마찬가지로 화면(50)의 하변에 형성하고 있다.

2 화소 행을 동시에 선택하는 구동 방법에서는, 하변에 형성한 더미 화소 행(281)을 반드시 선택한다. 즉, 더미 화소 행(281)을 선택하는 더미 화소 행(281)의 트랜지스터(11b, 11c)는 끊임없이 온 상태이다.

도 136의 (a)는 화면(50)의 상부를 주사하고 있을(전류 프로그램 행하고 있음) 때의 상태이다. 도 136의 (b)는 화면(50)의 중앙부를 주사하고 있을(전류 프로그램 행하고 있음) 때의 상태이다. 도 136의 (c)는 화면(50)의 하부를 주사하고 있을(전류 프로그램 행하고 있음) 때의 상태이다. 어느 인 경우도, 더미 화소 행(281)을 동시에 선택하고 있다. 따라서, 더미 화소 행(281)과 전류 프로그램을 행하고 있는 화소 행의 2 화소 행을 동시에 선택하여, 화상을 기입한다.

도 136의 구동 방법에서는, 표시 영역(50)의 화소 행을 순차 선택하고, 동시에 고정된 위치의 더미 화소 행(281)을 선택한다. 그리고, 더미 화소 행(281)과 선택한 화소 행으로부터의 전류를 소스 드라이버 IC(회로)(14)에 공급한다(도 137을 참조할 것). 도 137의 (a)가 있을 때 점의 구동 상태이면, 도 137의 (b)는 그 1 수평 주사 기간 후의 상태이다.

또한, 도 136에 있어서, 더미 화소 행(281)은, 순차 선택하는 화소 행(51)과 동일한 전류를 소스 신호선(18)에 흘린다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 더미 화소 행(281)이 순차 선택하는 화소 행(51)의 1배 이상 흘리도록 구성해도 된다. 예를 들면, 2배라든가, 3.5배로 하여도 된다.

더미 화소 행(281)이 소스 신호선(18)에 흘리는 전류의 배수를 설정하는 데에는, 더미 화소 행(281)의 구동 트랜지스터(11a)의 W(채널 폭), L(채널 길이)을 설계에 의해 형성하면 된다. W를 크게 하면 소스 신호선(18)에 흘리는 구동 전류는 커지고, W를 작게 하면 소스 신호선(18)에 흘리는 구동 전류는 작아진다. 따라서, 표시 영역(50)의 화소(16)의 구동 트랜지스터(11a)의 W/L보다도, 더미 화소 행(281)의 구동 트랜지스터(11a)의 W/L 폭이 크게 하면, 더미 화소 행(281) 쪽이, 표시 영역(50)의 구동 전류를 크게 할 수 있다. 또한, 더미 화소 행(281)의 구동 전류를 크게 하는 것이 바람직한 것은 물론이다.

또한, 도 136은 전류 프로그램하는 화소 행은 1 화소 행씩 선택하는 구동 방법이지만, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 24에 도시한 바와 같이 복수 화소 행을 동시에 선택해도 된다.

도 136의 구성에서는, 더미 화소 행(281)을 끊임없이 선택하기 때문에, 더미 화소 행(281)의 변동을 적게 함으로써, 균일한 화상 표시를 실현할 수 있다. 또한, 화상의 주사 방향을 반전시키는 경우에는, 도 36에 있어서, 더미 화소 행(281)을 화면(50)의 상변에도 형성하는 것이 바람직하다.

이상의 실시예는, 필드 혹은 프레임에서는 주사하는 화소 행의 개시 위치가 동일한 경우의 실시예이다. NTSC 등은, 인터레이스 구동을 실시하고 있다. 인터레이스 구동에서는, 1 프레임은 2 필드로 구성되고, 제1 필드에서는, 홀수 화소 행이 주사되고, 제2 필드에서는 짝수 화소 행이 주사된다.

도 133의 실시예는, 도 133의 (a)는 제1 필드의 구동 방법을 도시하고 있으며, 도 133의 (b)는 제2 필드의 구동 방법을 도시하고 있다. 구동 방법은 도 24에서 설명한 2 화소 행 동시 선택 구동을 실시한다.

제1 필드에서는 제1 화소 행으로부터 2 화소 행을 동시에 선택하고, 순차 화소 행의 선택 위치를 어긋나게 하여 간다. 이것은, 도 24 등에서 설명을 한 것과 마찬가지로 상세한 설명은 불필요할 것이다.

제2 필드에서는 제2 화소 행으로부터 2 화소 행을 동시에 선택하고, 순차 화소 행의 선택 위치를 어긋나게 하여 간다. 1 화소 행을 어긋나게 한 2 화소 행째부터 주사하는 것이 포인트이다. 인터레이스 구동에서는, 제1 필드에서는 홀수 화소 행이 주사되고, 제2 필드에서는 짝수 화소 행이 주사되기 때문이다. 즉, 제1 필드와 제2 필드에서는 주사 개시 위치를 변화시킨다. 또한, 도 134 등에서 설명한 더미 화소 행(281)을 형성하여도 되는 것은 물론이다.

본 발명은 복수 화소 행 동시 선택 구동을 실시하는 것의 한정되는 것이 아니다. 예를 들면, 화소 행에의 기입 속도를 2 배속으로 하여도 된다. 즉, 선택하는 화소 행은 1 화소 행으로 하여, 1 화소 행만을 순차 선택하여 화상을 재기입한다(도 13을 참조할 것). 또한, 인접하는 화소 행에는, 동일한 화상 데이터를 기입한다. 예를 들면, 제1 필드에서는, 화소 행 1번째와 화소 행 2번째에는 동일 화상을 기입한다. 마찬가지로, 화소 행 3번째와 화소 행 4번째에는 동일 화상을 기입하고, 화소 행 5번째와 화소 행 6번째에는 동일 화상을 기입한다. 이상의 동작을 화소 행 479번째와 화소 행 480번째까지 행하고, 제1 필드에서 화상을 재기입한다.

제2 필드에서는, 화소 행 2번째와 화소 행 3번째에는 동일 화상을 기입한다. 마찬가지로, 화소 행 4번째와 화소 행 5번째에는 동일 화상을 기입하고, 화소 행 6과 화소 행 7에는 동일 화상을 기입한다. 이상의 동작을 화소 행 478번째와 화소 행 479번째 혹은, 화소 행 480번째와 화소 행 481번째까지 행하고, 제2 필드에서 화상을 재기입한다.

또한, 2 화소 행을 동시에 선택하는 복수 화소 행 동시 선택 구동에 한정되는 것이 아니다. 예를 들면, 제1 필드에서는, 홀수 화소 행(1, 3, 5, 7, 9, ……479)을 주사하고, 다음의 제2 필드에서는, 짝수 화소 행(2, 4, 6, 8, 10, ……480)을 주사하는 구동 방식을 실시해도 되는 것은 물론이다. 제1 필드에서의 짝수 화소 행은 비점등 표시로 하여도 되고, 도 24에 도시한 바와 같이 순차, 비점등 영역(52)으로 하여 주사해도 된다. 또한, 제2 필드에서의 홀수 화소 행은 비점등 표시로 하여도 되고, 도 24에 도시한 바와 같이 순차, 비점등 영역(52)으로서 주사해도 된다.

또한, 도 15, 도 21 등은 수평 동기 신호에 동기하여 1 화소 행씩 선택하는 화소 행을 1 화소 행씩 이동시키는 방법이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니고, 2 화소 이상의 복수 화소 행씩 선택하는 화소 행을 이동시켜도 되는 것은 물론이다.

본 발명의 더미 화소 행 구성 혹은 더미 화소 행 구동은, 적어도 하나 이상의 더미 화소 행을 이용하는 방식이다. 물론, 더미 화소 행 구동 방법과 N배 펄스 구동을 조합하여 이용하는 것이 바람직하다.

이하, 더욱 자세하게, 본 발명의 인터레이스 구동에 대하여 설명을 한다. 도 127은 인터레이스 구동을 행하는 본 발명의 표시 패널의 구성이다. 도 127에 있어서, 홀수 화소 행의 게이트 신호선(17a)은 게이트 드라이버 회로(12a1)에 접속되어 있다. 짝수 화소 행의 게이트 신호선(17a)은 게이트 드라이버 회로(12a2)에 접속되어 있다. 한편, 홀수 화소 행의 게이트 신호선(17b)은 게이트 드라이버 회로(12b1)에 접속되어 있다. 짝수 화소 행의 게이트 신호선(17b)은 게이트 드라이버 회로(12b2)에 접속되어 있다.

따라서, 게이트 드라이버 회로(12a1)의 동작(제어)에 의해 홀수 화소 행의 화상 데이터가 순차 재기입된다. 홀수 화소 행은, 게이트 드라이버 회로(12b1)의 동작(제어)에 의해 EL 소자의 점등, 비점등 제어가 행하여진다. 또한, 게이트 드라이버 회로(12a2)의 동작(제어)에 의해 짝수 화소 행의 화상 데이터가 순차 재기입된다. 또한, 짝수 화소 행은, 게이트 드라이버 회로(12b2)의 동작(제어)에 의해 EL 소자의 점등, 비점등 제어가 행하여진다.

도 128의 (a)는 제1 필드에서의 표시 패널의 동작 상태이다. 도 128의 (b)는 제2 필드에서의 표시 패널의 동작 상태이다. 도 128에 있어서, 사선을 기입한 게이트 드라이버(12)는 데이터의 주사 동작이 하지 않은 것을 나타내고 있다. 즉, 도 128의 (a)의 제1 필드에서는, 프로그램 전류의 기입 제어로서 게이트 드라이버 회로(12a1)가 동작하고, EL 소자(15)의 점등 제어로서 게이트 드라이버 회로(12b2)가 동작한다. 도 128의 (b)의 제2 필드에서는, 프로그램 전류의 기입 제어로서 게이트 드라이버 회로(12a2)가 동작하고, EL 소자(15)의 점등 제어로서 게이트 드라이버 회로(12b1)가 동작한다. 이상의 동작이, 프레임 내에서 반복된다.

도 129가 제1 필드에서의 화상 표시 상태이다. 도 129의 (a)가 기입 화소 행(전류(전압) 프로그램을 행하고 있는 홀수 화소 행 위치를 나타내고 있다. 도 129(a1)→(a2)→(a3)와 기입 화소 행 위치가 순차 시프트된다. 제1 필드에서는, 홀수 화소 행이 순차 재기입된다(짝수 화소 행의 화상 데이터는 유지되어 있음). 도 129의 (b)가 홀수 화소 행의 표시 상태를 나타내고 있다. 또한, 도 129의 (b)는 홀수 화소 행만을 도시하고 있다. 짝수 화소 행은 도 129의 (c)에 도시하고 있다. 도 129의 (b)에서도 분명한 바와 같이, 홀수 화소 행에 대응하는 화소의 EL 소자(15)는 비점등 상태이다. 한편, 짝수 화소 행은, 도 129의 (c)에 도시하고 있는 바와 같이 표시 영역(53)과 비표시 영역(52)을 주사한다(N배 펄스 구동).

도 130이 제2 필드에서의 화상 표시 상태이다. 도 130의 (a)가 기입 화소 행(전류(전압) 프로그램을 행하고 있는 홀수 화소 행 위치를 도시하고 있다. 도 130(a1)→(a2)→(a3)와 기입 화소 행 위치가 순차 시프트된다. 제2 필드에서는, 짝수 화소 행이 순차 재기입된다(홀수 화소 행의 화상 데이터는 유지되어 있음). 도 130의 (b)가 홀수 화소 행의 표시 상태를 나타내고 있다. 또한, 도 130의 (b)는 홀수 화소 행만을 도시하고 있다. 짝수 화소 행은 도 130의 (c)에 도시하고 있다. 도 130의 (b)에서도 분명한 바와 같이, 짝수 화소 행에 대응하는 화소의 EL 소자(15)는 비점등 상태이다. 한편, 홀수 화소 행은, 도 130의 (c)에 도시하고 있는 바와 같이 표시 영역(53)과 비표시 영역(52)을 주사한다(N배 펄스 구동).

이상과 같이 구동함으로써, 인터레이스 구동을 EL 표시 패널로 용이하게 실현할 수 있다. 또한, N배 펄스 구동을 실시함으로써 기입 부족도 발생하지 않고, 동화상 불선명도 발생하지 않는다. 또한, 전류(전압) 프로그램의 제어와, EL 소자(15)의 점등 제어도 용이하고, 회로도 용이하게 실현할 수 있다.

또한, 본 발명의 구동 방식은, 도 129, 도 130의 구동 방식에 한정되는 것이 아니다. 예를 들면, 도 131의 구동 방식도 예시된다. 도 129, 도 130은 전류(전압) 프로그램을 행하고 있는 홀수 화소 행 또는 짝수 화소 행은 비표시 영역(52)(비점등, 흑 표시)로 하는 것이었다. 도 131의 실시예는, EL 소자(15)의 점등 제어를 행하는 게이트 드라이버 회로(12b1, 12b2)의 양방을 동기시키고 동작시키는 것이다. 단, 전류(전압) 프로그램을 행하고 있는 화소 행(51)은 비표시 영역으로 되도록 제어하는 것은 물론이다(도 38의 커런트 미러 화소 구성에서는 그 필요는 없음). 도 131에서는 홀수 화소 행과 짝수 화소 행의 점등 제어가 동일하기 때문에, 게이트 드라이버 회로(12b1과 12b2)의 2개와 마련할 필요는 없다. 게이트 드라이버 회로(12b)를 하나로 점등 제어할 수 있다.

도 131은 홀수 화소 행과 짝수 화소 행의 점등 제어를 동일하게 하는 구동 방법이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 132는 홀수 화소 행과 짝수 화소 행의 점등 제어를 다르게 한 실시예이다. 특히, 도 132는 홀수 화소 행의 점등 상태(표시 영역(53), 비표시 영역(52))의 역 패턴을 짝수 화소 행의 점등 상태로 한 예이다. 따라서, 표시 영역(53)의 면적과 비표시 영역(52)의 면적은 동일하게 되도록 하고 있다. 물론, 표시 영역(53)의 면적과 비표시 영역(52)의 면적은 동일하게 되는 것에 한정되는 것이 아니다.

이상의 실시예는, 1 화소 행씩 전류(전압) 프로그램을 실시하는 구동 방법이었다. 그러나, 본 발명의 구동 방법은 이것에 한정되는 것이 아니고, 도 133에 도시한 바와 같이 2 화소(복수 화소)를 동시에 전류(전압) 프로그램 행하여도 되는 것은 물론이다. 또한, 도 130, 도 129에 있어서, 홀수 화소 행 혹은 짝수 화소 행에서 모든 화소 행이 비점등 상태로 하는 것에 한정되는 것이 아니고, 도 66 등과 같이 구동해도 되는 것은 물론이다.

복수개의 화소 행을 동시에 선택하는 구동 방법에서는, 동시에 선택하는 화소 행 수가 증가할수록, 트랜지스터(11a)의 특성 변동을 흡수하는 것이 곤란해진다. 그러나, 선택 개수가 저하하면, 1 화소에 프로그램하는 전류가 커져, EL 소자(15)에 큰 전류를 흘리게 된다. EL 소자(15)에 흘리는 전류가 크면 EL 소자(15)가 열화하기 쉬워진다.

도 30은 이 과제를 해결하는 것이다. 도 30의 기본 개념은, $1/2H$ (수평 주사 기간의 $1/2$)는 도 22, 도 29에서 설명한 바와 같이, 복수의 화소 행을 동시에 선택하는 방법이다. 그 후의 $1/2H$ (수평 주사 기간의 $1/2$)는 도 5, 도 13 등에서 설명한 바와 같이, 1 화소 행을 선택하는 방법을 조합한 것이다. 이와 같이 조합함으로써, 트랜지스터(11a)의 특성 변동을 흡수하는 것보다, 고속으로 또한 면내 균일성을 양호하게 할 수 있다.

도 30에 있어서, 설명을 쉽게 하기 위해서, 제1 기간에서는 5 화소 행을 동시에 선택하고, 제2 기간에서는 1 화소 행을 선택하는 것으로 하여 설명한다. 우선, 제1 기간(전반의 $1/2H$)에서는, 도 30(a1)에 도시한 바와 같이, 5 화소 행을 동시에 선택한다. 이 동작은 도 22를 이용하여 설명했기 때문에 생략한다. 일례로서 소스 신호선(18)에 흘리는 전류는 소정값의 25배로 한다. 따라서, 각 화소(16)의 트랜지스터(11a)(도 1의 화소 구성인 경우)에는 5배의 전류($25/5$ 화소 행=5)가 프로그램된다. 25배의 전류이므로, 소스 신호선(18) 등에 발생하는 기생 용량은 매우 단기간에 충전된다. 따라서, 소스 신호선(18)의 전위는, 단시간에 목표의 전위로 되고, 각 화소(16)의 컨덴서(19)의 단자 전압도 5배 전류를 흘리도록 프로그램된다. 이 25배 전류의 인가 시간은 전반의 $1/2H$ (1 수평 주사 기간의 $1/2$)로 한다.

당연한 것이지만, 기입 화소 행의 5 화소 행은 동일 화상 데이터가 기입되므로, 표시하지 않도록 5 화소 행의 트랜지스터(11d)는 오프 상태로 된다. 따라서, 표시 상태는 도 30(a2)으로 된다.

다음의 후반의 $1/2H$ 기간은, 1 화소 행을 선택하고, 전류(전압) 프로그램을 행한다. 이 상태를 도 30(b1)에 도시하고 있다. 기입 화소 행(51a)은 앞서와 같이 5배의 전류를 흘리도록 전류(전압) 프로그램된다. 도 30(a1)과 도 30(b1)에서 각 화소에 흘리는 전류를 동일하게 하는 것은, 프로그램된 컨덴서(19)의 단자 전압의 변화를 작게 하여, 보다 고속으로 목표의 전류를 흘릴 수 있도록 하기 위해서이다.

즉, 도 30(a1)에서, 복수의 화소에 전류를 흘려, 고속으로 개략의 전류가 흐르는 값까지 근접시킨다. 이 제1 단계에서는, 복수의 트랜지스터(11a)에서 프로그램하고 있기 때문에, 목표치에 대하여 트랜지스터의 변동에 의한 오차가 발생하고 있다. 다음의 제2 단계에서, 데이터를 기입 또한 유지하는 화소 행만을 선택하고, 개략의 목표치로부터, 소정의 목표치까지 완전한 프로그램을 행하는 것이다.

또한, 비점등 영역(52)을 화면의 위에서 아래 방향으로 주사하고, 또한 기입 화소 행(51a)도 화면의 위에서 아래 방향으로 주사하는 것은 도 13 등의 실시예와 마찬가지로 하기 때문에 설명을 생략한다.

도 31은 도 30의 구동 방법을 실현하기 위한 구동 파형이다. 도 31에서 알 수 있듯이, $1H$ (1 수평 주사 기간)는 2개의 페이지로 구성되어 있다. 이 2개의 페이지는 ISEL 신호로 전환한다. ISEL 신호는 도 31에 도시하고 있다.

우선, ISEL 신호에 대하여 설명을 해 둔다. 도 30을 실시하는 드라이버 회로(14)는, 전류 출력 회로 A와 전류 출력 회로 B를 구비하고 있다. 각각의 전류 출력 회로는, 8 비트의 계조 데이터를 DA 변환하는 DA 회로와 연산 증폭기 등으로 구성된다. 도 30의 실시예에서는, 전류 출력 회로 A는 25배의 전류를 출력하도록 구성되어 있다. 한편, 전류 출력 회로 B는 5배의 전류를 출력하도록 구성되어 있다. 전류 출력 회로 A와 전류 출력 회로 B의 출력은 ISEL 신호에 의해 전류 출력부에 형성(배치)된 스위치 회로가 제어되고, 소스 신호선(18)에 인가된다. 이 전류 출력 회로는 각 소스 신호선에 배치되어 있다.

ISEL 신호는, L 레벨일 때, 25배 전류를 출력하는 전류 출력 회로 A가 선택되고 소스 신호선(18)으로부터의 전류를 소스 드라이버 IC(14)가 흡수한다(보다 적절하게는, 소스 드라이버 회로(14) 내에 형성된 전류 출력 회로 A가 흡수함). 25배, 5배 등의 전류 출력 회로 전류의 크기 조정은 용이하다. 복수의 저항과 아날로그 스위치로 용이하게 구성할 수 있기 때문이다.

도 30에 도시한 바와 같이 기입 화소 행이(1) 화소 행제일 때(도 31의 $1H$ 의 란을 참조), 게이트 제어선(17a)은 (1)(2)(3)(4)(5)가 선택되어 있다(도 1의 화소 구성인 경우). 즉, 화소 행(1)(2)(3)(4)(5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L 레벨이므로, 25배 전류를 출력하는 전류 출력 회로 A가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는, 오프 전압(V_{gh})이 인가되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5 화소의 트랜지스터(11a)가, 각각 $I_w \times 2$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소(16)의 컨덴서(19)에는, 5배의 전류가 프로그램된다. 여기서는, 이해를 쉽게 하기 위해서, 각 트랜지스터(11a)는 특성(V_t , S 값)이 일치하고 있는 것으로 설명을 한다.

동시에 선택하는 화소 행이 5 화소 행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당, $25/5=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다. 예를 들면, 기입 화소 행(51a)에, 종래의 구동 방법으로 화소에 기입하는 전류 I_w 로 하는 시, 소스 신호선(18)에는, $I_w \times 25$ 의 전류를 흘린다. 기입 화소 행(1)보다 이후에 화상 데이터를 기입하는 기입 화소 행(51b) 소스 신호선(18)에의 전류량을 증가시키기 위해서, 보조적으로 이용하는 화소 행이다. 그러나, 기입 화소 행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 화소 행(51b)은, 1H 기간 동안은 51a와 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음의 $1/2H$ (수평 주사 기간의 $1/2$)에서는, 기입 화소 행(51a)만을 선택한다. 즉, (1) 화소 행(1)만을 선택한다. 도 31에서 분명한 바와 같이, 게이트 신호선(17a)(1)만이 온 전압(v_{g1})이 인가되고, 게이트 신호선(17a)(2)(3)(4)(5)은 오프(V_{gh})가 인가되어 있다. 따라서, 화소 행(1)의 트랜지스터(11a)는 동작 상태(소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소 행(2)(3)(4)(5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다. 또한, ISEL이 H 레벨이므로, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로 B와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 앞의 $1/2H$ 의 상태와 변화가 없고, 오프 전압(V_{gh})이 인가되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상의 점으로부터, 화소 행(1)의 트랜지스터(11a)가, 각각 $I_w \times 5$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 화소 행(1)의 컨덴서(19)에는, 5배의 전류가 프로그램된다.

다음의 수평 주사 기간에서는 1 화소 행, 기입 화소 행이 시프트한다. 즉, 이번은 기입 화소 행이(2)이다. 최초의 $1/2H$ 의 기간에서는, 도 31에 도시한 바와 같이 기입 화소 행이(2) 화소 행(2)일 때, 게이트 신호선(17a)은 (2)(3)(4)(5)(6)이 선택되어 있다. 즉, 화소 행(2)(3)(4)(5)(6)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L 레벨이므로, 25배 전류를 출력하는 전류 출력 회로 A가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는, 오프 전압(V_{gh})이 인가되어 있다. 따라서, 화소 행(2)(3)(4)(5)(6)의 스위칭 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다. 한편, 화소 행(1)의 게이트 신호선(17b)(1)은 v_{g1} 전압이 인가되어 있으므로, 트랜지스터(11d)는 온 상태이고, 화소 행(1)의 EL 소자(15)는 점등한다.

동시에 선택하는 화소 행이 5 화소 행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당, $25/5=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다.

다음의 $1/2H$ (수평 주사 기간의 $1/2$)에서는, 기입 화소 행(51a)만을 선택한다. 즉, (2) 화소 행(2)만을 선택한다. 도 31에서 분명한 바와 같이, 게이트 신호선(17a)(2)만이, 온 전압(v_{g1})이 인가되고, 게이트 신호선(17a)(3)(4)(5)(6)은 오프(V_{gh})가 인가되어 있다. 따라서, 화소 행(1)(2)의 트랜지스터(11a)는 동작 상태(화소 행(1)은 EL 소자(15)에 전류를 흘리고, 화소 행(2)은 소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소 행(3)(4)(5)(6)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다. 또한, ISEL이 H 레벨이므로, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로 B와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 앞의 $1/2H$ 의 상태와 변화가 없고, 오프 전압(V_{gh})이 인가되어 있다. 따라서, 화소 행(2)(3)(4)(5)(6)의 스위칭 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상의 점으로부터, 화소 행(2)의 트랜지스터(11a)가, 각각 $I_w \times 5$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소 행(2)의 컨덴서(19)에는 5배의 전류가 프로그램된다. 이상의 동작을 순차 실시함으로써 1 화면을 표시할 수 있다.

도 30에서 설명한 구동 방법은, 제1 기간에 G 화소 행(G 은 2 이상)을 선택하고, 각 화소 행에는 N배의 전류를 흘리도록 프로그램한다. 제1 기간 후의 제2 기간에서는 B 화소 행(B 는 G 보다도 작고, 1 이상)을 선택하고, 화소에는 N배의 전류를 흘리도록 프로그램하는 방식이다.

그러나, 다른 방법도 있다. 제1 기간에 G 화소 행(G 은 2 이상)을 선택하고, 각 화소 행의 총합 전류가 N배의 전류로 되도록 프로그램한다. 제1 기간 후의 제2 기간에서는 B 화소 행(B 는 G 보다도 작고, 1 이상)을 선택하고, 선택된 화소 행의 총합의 전류(단, 선택 화소 행이 1일 때에는, 1 화소 행의 전류)가 N배로 되도록 프로그램하는 방식이다. 예를 들면, 도 30(a1)에

있어서, 5 화소 행을 동시에 선택하고, 각 화소의 트랜지스터(11a)에는 2배의 전류를 흘린다. 따라서, 소스 신호선(18)에는 $5 \times 2 = 10$ 배의 전류가 흐른다. 다음의 제2 기간에서는 도 30(b1)에 있어서, 1 화소 행을 선택한다. 이 1 화소의 트랜지스터(11a)에는 10배의 전류를 흘린다.

또한, 도 31에 있어서, 복수의 화소 행을 동시에 선택하는 기간을 $1/2H$ 로 하고, 1 화소 행을 선택하는 기간을 $1/2H$ 로 했지만 이것에 한정되는 것은 아니다. 복수의 화소 행을 동시에 선택하는 기간을 $1/4H$ 로 하고, 1 화소 행을 선택하는 기간을 $3/4H$ 로 하여도 좋다. 또한, 복수의 화소 행을 동시에 선택하는 기간과, 1 화소 행을 선택하는 기간을 더한 기간은 $1H$ 로 했지만 이것에 한정되는 것은 아니다. 예를 들면, $2H$ 기간이라도, $1.5H$ 기간이더라도 무방하다.

또한, 도 30에 있어서, 5 화소 행을 동시에 선택하는 기간을 $1/2H$ 로 하고, 다음의 제2 기간에서는 2 화소 행을 동시에 선택하는 것으로 해도 된다. 이 경우에도 실용상 지장이 없는 화상 표시를 실현할 수 있다.

또한, 도 30에 있어서, 5 화소 행을 동시에 선택하는 제1 기간을 $1/2H$ 로 하고, 1 화소 행을 선택하는 제2 기간을 $1/2H$ 로 하는 2 단계로 했지만 이것에 한정되는 것은 아니다. 예를 들면, 제1 단계는, 5 화소 행을 동시에 선택하고, 제2 기간은 상기 5 화소 행 중, 2 화소 행을 선택하고, 마지막으로, 1 화소 행을 선택하는 3개의 단계로 하여도 된다. 즉, 복수의 단계에서 화소 행에 화상 데이터를 기입하여도 된다.

이상의 실시예는, 1 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식, 혹은, 복수의 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 화상 데이터에 따라 1 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식과, 복수의 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식을 조합하여도 된다.

도 126은 1 화소 행을 순차 선택하는 구동 방식과 복수 화소 행을 순차 선택하는 구동 방법을 조합한 것이다. 이해를 쉽게 하기 위해서, 도 126(a2)에 도시한 바와 같이, 복수 화소 행을 동시에 선택하는 경우에는 2 화소 행을 예로 설명을 한다. 따라서, 더미 화소 행(281)은 화면의 위와 아래에 각 1 행 형성한다. 1 화소 행을 순차 선택하는 구동 방식인 경우에는, 더미 화소 행은 사용하지 않더라도 무방하다.

또한, 이해를 쉽게 하기 위해서, 도 126(a1)(1 화소 행을 선택함)과 도 126(a2)(2 화소 행을 선택함)의 어느 쪽의 구동 방식이라도 소스 드라이버 IC(14)가 출력하는 전류는 동일로 한다. 따라서, 도 126(a2)과 같이 2 화소 행을 동시에 선택하는 구동 방식인 경우에는, 1 화소 행을 순차 선택하는 구동 방식(도 126(a1))보다도 화면 휘도는 $1/2$ 로 된다. 화면 휘도를 일치시키는 경우에는, 도 126(a2)의 duty를 2배(예를 들면, 도 126(a1)이 duty $1/2$ 이면, 도 126(a2)의 duty를 $1/2 \times 2 = 1/1$)로 하면 된다. 또한, 소스 드라이버 IC(14)에 입력하는 기준 전류의 크기를 2배 변화시키면 된다. 혹은, 프로그램 전류를 2배로 하면 된다.

도 126(a1)은 본 발명의 통상의 구동 방법이다. 입력되는 영상 신호가 난 인터레이스(프로그레시브) 신호인 경우에는, 도 126(a1)의 구동 방식을 실시한다. 입력되는 영상 신호가 인터레이스 신호인 경우에는, 도 126(a2)을 실시한다. 또한, 영상 신호의 화상 해상도가 없는 경우에는, 도 126(a2)을 실시한다. 또한, 동화상에서는 도 126(a2)을 실시하고, 정지 화상에서는 도 126(a1)을 실시하도록 제어해도 된다. 도 126(a1)과 도 126(a2)의 전환은, 게이트 드라이버 회로(12)에의 스타트 펄스의 제어에 의해 용이하게 변경할 수 있다.

과제는, 도 126(a2)과 같이 2 화소 행을 동시에 선택하는 구동 방식인 경우에는, 1 화소 행을 순차 선택하는 구동 방식(도 126(a1))보다도 화면 휘도는 $1/2$ 로 된다고 하는 점이다. 화면 휘도를 일치시키는 경우에는, 도 126(a2)의 duty를 2배(예를 들면, 도 126(a1)이 duty $1/2$ 이면, 도 126(a2)의 duty를 $1/2 \times 2 = 1/1$)로 하면 된다. 즉, 도 126의 (b)의 비표시 영역(52)과 표시 영역(53)의 비율을 변화시키면 된다.

비표시 영역(52)과 표시 영역(53)의 비율은, 게이트 드라이버 회로(12)의 스타트 펄스의 제어에 의해 용이하게 실현할 수 있다. 즉, 도 126(a1)과 도 126(a2)의 표시 상태에 따라서 도 126의 (b)의 구동 상태를 가변하면 된다.

또한, 도 126(a2)은 2 화소를 동시에 순차 구동하는 방식이다. 그러나, 2 화소 행의 선택은 인접한 화소 행을 선택할 필요는 없고, 도 123과 같이, 인접하지 않는 2 화소 행을 선택하고, 순차 주사해도 된다.

이상의 본 발명의 N배 펄스 구동 방법에서는, 각 화소 행에서, 게이트 신호선(17b)의 파형을 동일하게 하고, $1H$ 의 간격으로 시프트시켜 인가해 간다. 이와 같이 주사함으로써, EL 소자(15)가 점등하고 있는 시간을 $1F/N$ 으로 규정하면서, 순차 점등하는 화소 행을 시프트시킬 수 있다. 이와 같이, 각 화소 행에서, 게이트 신호선(17b)의 파형을 동일하게 하고, 시프트

시키고 있는 것을 실현하는 것은 용이하다. 도 6의 시프트 레지스터 회로(61a, 61b)에 인가하는 데이터인 ST1, ST2를 제어하면 되기 때문이다. 예를 들면, 입력 ST2가 L 레벨일 때, 게이트 신호선(17b)에 vg1이 출력되고, 입력 ST2가 H 레벨일 때, 게이트 신호선(17b)에 Vgh가 출력된다고 하면, 시프트 레지스터(61b)에 인가하는 ST2를 1F/N의 기간만큼 L 레벨로 입력하고, 다른 기간은 H 레벨로 한다. 이 입력된 ST2를 1H에 동기한 클럭 CLK2에서 시프트해 갈뿐이다.

또한, EL 소자(15)를 온 오프 상태로 하는 주기는 0.5 msec 이상으로 할 필요가 있다. 이 주기가 짧으면, 인간의 눈의 잔상 특성에 의해 완전한 흑 표시 상태로 되지 않고, 화상이 희미해져, 마치 해상도가 저하한 것처럼 된다. 또한, 데이터 유지형의 표시 패널의 표시 상태로 된다. 그러나, 온 오프 주기를 100msec 이상으로 되면, 점멸 상태로 보인다. 따라서, EL 소자의 온 오프 주기는 0.5 msec 이상 100msec 이하로 해야 한다. 더욱 바람직하게는, 온 오프 주기를 2 msec 이상 30 msec 이하로 해야 한다. 더욱 바람직하게는, 온 오프 주기를 3 msec 이상 20 msec 이하로 해야 한다.

앞에서도 기재했지만, 흑 화면152의 분할수는, 하나로 하면 양호한 동화상 표시를 실현할 수 있지만, 화면의 어른거림이 보이기 쉬워진다. 따라서, 흑 삽입부를 복수로 분할하는 것이 바람직하다. 그러나, 분할수를 너무 많게 하면 동화상 불선명이 발생한다. 분할수는 1 이상 8 이하로 하여야 한다. 더욱 바람직하게는 1 이상 5 이하로 하는 것이 바람직하다.

또한, 흑 화면의 분할수는 정지 화상과 동화상으로 변경할 수 있도록 구성하는 것이 바람직하다. 분할수란, N=4에서는, 75%의 흑 화면(비표시 영역(52))이고, 25%가 화상 표시(표시 영역(53))이다. 이 때, 75%의 흑 표시부(표시 영역(52))을 75%의 흑 때 상태에서 화면의 상하 방향으로 주사하는 것이 분할수 1이다. 25%의 흑 화면과 25/3%의 표시 화면의 3 블록으로 주사하는 것이 분할수 3이다. 정지 화상은 분할수를 많게 한다. 동화상은 분할수를 적게 한다. 전환은 입력 화상에 대응하여 자동적(동화상 검출 등)으로 행하여도 되고, 사용자가 수동으로 행하여도 된다. 또한, 표시 장치의 영상 등의 입력 콘텐츠에 대응하여 전환하도록 구성하면 된다.

예를 들면, 휴대 전화 등에 있어서, 벽지표시, 입력 화면은 정지 화상이기 때문에, 분할수를 10 이상으로 한다(극단적으로는 1H마다 온 오프해도 됨). NTSC의 동화상을 표시할 때는, 분할수를 1 이상 5 이하로 한다. 또한, 분할수는 3 이상의 단계로 전환할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 분할수 없음, 2, 4, 8, 16 등이다. 또한, 분할수 없음으로부터, 표시 주사선 수/2까지 분할할 수 있도록 제어할 수 있도록 하는 것이 바람직하다. 분할수의 전환은, 화상 데이터의 내용에 의해 리얼타임으로 변경할 수 있도록 구성하는 것이 바람직하다. 또한, 사용자가 전환 스위치 등에 의해 변경할 수 있도록 구성해도 된다. 또한, 외광의 밝기에 의해 리얼타임으로 변경할 수 있도록 구성해도 된다.

또한, 전 표시 화면에 대한 흑 화면의 비율은, 전 화면의 면적을 1로 했을 때, 0.2 이상 0.9 이하(N으로 표시하면 1.2 이상 9 이하)로 하는 것이 바람직하다. 또한, 특히 0.25 이상 0.6 이하(N으로 표시하면 1.25 이상 6 이하)로 하는 것이 바람직하다. 0.20 이하이면 동화상 표시에서의 개선 효과가 낮다. 0.9 이상이면, 표시부분의 휘도가 높아져, 표시 부분이 상하로 이동하는 것이 시각적으로 인식되기 쉬워진다.

또한, 1초당의 프레임 수는, 10 이상 100 이하(10Hz 이상 100Hz 이하)가 바람직하다. 나아가서는 12 이상 65 이하(12Hz 이상 65Hz 이하)가 바람직하다. 프레임 수가 적으면, 화면의 어른거림이 눈에 띄게 되고, 너무나도 프레임 수가 많으면, 드라이버 회로(14) 등으로부터의 기입이 힘들어져 해상도가 열화한다.

아무튼, 본 발명에서는, 게이트 신호선(17)의 제어에 의해 화상의 밝기를 변화시킬 수 있다. 단, 화상의 밝기는 소스 신호선(18)에 인가하는 전류(전압)를 변화시켜 행하여도 되는 것은 물론이다. 또한, 앞서 설명한 (도 33, 도 35 등을 이용하여) 게이트 신호선(17)의 제어와, 소스 신호선(18)에 인가하는 전류(전압)를 변화시키는 것을 조합하여 행하여도 되는 것은 물론이다.

또한 이상의 사항은, 도 38 등의 전류 프로그램의 화소 구성, 도 43, 도 51, 도 54 등의 전압 프로그램의 화소 구성에서도 적용할 수 있는 것은 물론이다. 도 38에서는, 트랜지스터(11d)를, 도 43에서는 트랜지스터(11d)를, 도 51에서는 트랜지스터(11e)를 온 오프 제어하면 된다. 또한, 도 63에서는 전환 스위치(631)의 접속 단자를 전환하면 된다. 이와 같이, EL 소자(15)에 전류를 흘리는 배선을 온 오프함으로써, 본 발명의 N배 펄스 구동을 용이하게 실현할 수 있다.

또한, 게이트 신호선(17b)의 1F/N의 기간만큼, vg1로 하는 시각은 1F(1F에 한정되는 것은 아니다. 단위 기간이면 됨)의 기간 중, 어느 시각이더라도 무방하다. 단위 시간 내, 소정의 기간만큼 EL 소자(15)를 온시키므로써, 소정의 평균 휘도를 얻는 것이기 때문이다. 단, 전류 프로그램 기간(1H) 후, 곧 게이트 신호선(17b)을 vg1로 하여 EL 소자(15)를 발광시키는 것이 좋다. 도 1의 컨덴서(19)의 유지율 특성의 영향을 받기 어렵게 되기 때문이다.

또한, 이 화상의 분할수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 누르는 것에 의해, 혹은 밝기 조정 볼륨을 돌리는 것에 의해, 이 변화를 검출하여 분할수 K의 값을 변경한다. 표시하는 화상의 내용, 데이터에 의해 수동으로, 혹은 자동적으로 변화시키도록 구성해도 된다.

이와 같이 K의 값(화상 표시부(53)의 분할수)을 변화시키는 것도 용이하게 실현할 수 있다. 도 6에 있어서 ST에 인가하는 데이터의 타이밍(1F의 언제에 L 레벨로 할지)을 조정 혹은 가변할 수 있도록 구성하여 놓으면 되기 때문이다.

또한 도 16 등에서는, 게이트 신호선(17b)을 $vg1$ 로 하는 기간($1F/N$)을 복수에 분할(분할수 K)하고, $vg1$ 로 하는 기간은 $1F/(K/N)$ 의 기간을 K회 실시한다고 했지만 이것 한정되는 것은 아니다. $1F/(K/N)$ 의 기간을 $L(L \neq K)$ 회 실시해도 된다. 즉, 본 발명은 EL 소자(15)에 흘리는 기간(시간)을 제어함으로써 화상(50)을 표시하는 것이다. 따라서, $1F/(K/N)$ 의 기간을 $L(L \neq K)$ 회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 화상(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, $L=2$ 와 $L=3$ 에서는 50%의 휘도(콘트라스트) 변화를 된다. 이들 제어도, 본 발명의 다른 실시예에도 적용할 수 있는 것은 말할 필요도 없다(물론, 이후에 설명하는 본 발명에도 적용할 수 있음). 이들도 본 발명의 N배 펄스 구동이다.

이상의 실시예는, EL 소자(15)와 구동용 트랜지스터(11a)의 사이에 스위칭 소자로서의 트랜지스터(11d)를 배치(형성)하고, 이 트랜지스터(11d)를 제어함으로써, 화면(50)을 온 오프 표시하는 것이었다. 이 구동 방법에 의해, 전류 프로그램 방식의 흑 표시 상태에서의 전류 기입 부족을 없애고, 양호한 해상도 혹은 흑 표시를 실현하는 것이었다. 즉, 전류 프로그램 방식에서는 양호한 흑 표시를 실현하는 것이 중요하다. 다음에 설명하는 구동 방법은, 구동용 트랜지스터(11a)를 리셋하고, 양호한 흑 표시를 실현하는 것이다. 이하, 도 32를 이용하고, 그 실시예에 대하여 설명한다.

도 32는 기본적으로는 도 1의 화소 구성이다. 도 32의 화소 구성에서는, 프로그램된 I_w 전류가 EL 소자(15)에 흘러, EL 소자(15)가 발광한다. 즉, 구동용 트랜지스터(11a)는 프로그램됨으로써, 전류를 흘리는 능력을 유지하고 있다. 이 전류를 흘리는 능력을 이용하여 트랜지스터(11a)를 리셋(오프 상태)로 하는 방식이 도 32의 구동 방식이다. 이후, 이 구동 방식을 리셋 구동이라고 부른다.

도 1의 화소 구성에서 리셋 구동을 실현하기 위해서는, 트랜지스터(11b)와 트랜지스터(11c)를 독립하여 온 오프 제어할 수 있도록 구성할 필요가 있다. 즉, 도 32에서 도시한 바와 같이 트랜지스터(11b)를 온 오프 제어하는 게이트 신호선(11a)(게이트 신호선 WR), 트랜지스터(11c)를 온 오프 제어하는 게이트 신호선(11c)(게이트 신호선 EL)을 독립하여 제어할 수 있도록 한다. 게이트 신호선(11a)과 게이트 신호선(11c)의 제어는 도 6에 도시한 바와 같이 독립된 2개의 시프트 레지스터(61)로 행하면 된다.

게이트 신호선 WR와 게이트 신호선 EL의 구동 전압은 변화시키면 된다. 게이트 신호선 WR의 진폭치(온 전압과 오프 전압의 차)는, 게이트 신호선 EL의 진폭치보다도 작게 한다. 기본적으로 게이트 신호선의 진폭치가 크면, 게이트 신호선과 화소와의 관통 전압이 커져, 흑 들뜸이 발생한다. 게이트 신호선 WR의 진폭은, 소스 신호선(18)의 전위가 화소(16)에 인가되지 않음(인가함(선택 시))을 제어하면 되는 것이다. 소스 신호선(18)의 전위 변동은 작기 때문에, 게이트 신호선 WR의 진폭치는 작게 할 수 있다. 한편, 게이트 신호선 EL은 EL의 온 오프 제어를 실시할 필요가 있다. 따라서, 진폭치는 커진다. 이에 대응하기 위해서, 시프트 레지스터(61a와 61b)의 출력 전압을 변화시킨다. 화소가 P 채널 트랜지스터로 형성되어 있는 경우에는, 시프트 레지스터(61a와 61b)의 V_{gh} (오프 전압)을 대략 동일하게 하고, 시프트 레지스터(61a)의 $vg1$ (온 전압)을 시프트 레지스터(61b)의 $vg1$ (온 전압)보다도 낮게 한다.

이하, 도 33을 참조하면서, 리셋 구동 방식에 대하여 설명을 한다. 도 33은 리셋 구동의 원리 설명도이다. 우선, 도 33의 (a)에 도시한 바와 같이, 트랜지스터(11c), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11b)를 온 상태로 한다. 그렇게 하면, 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되고, I_b 전류가 흐른다. 일반적으로, 트랜지스터(11a)는 하나 전의 필드(프레임)에서 전류 프로그램되어, 전류를 흘리는 능력이 있다. 이 상태에서 트랜지스터(11d)가 오프 상태로 되고, 트랜지스터(11b)가 온 상태로 되면, 구동 전류 I_b 가 트랜지스터(11a)의 게이트(G) 단자에 흐른다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되고, 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)으로 된다.

이 트랜지스터(11a)의 리셋 상태(전류를 흘리지 않는 상태)는, 도 51 등에서 설명하는 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 33의 (a)의 상태에서는, 컨덴서(19)의 단자 사이에는, 오프셋 전압이 유지되어 있

게 된다. 이 오프셋 전압은 트랜지스터(11a)의 특성에 따라 서로 다른 전압값이다. 따라서, 도 33의 (a)의 동작을 실시함으로써, 각 화소의 컨덴서(19)에는 트랜지스터(11a)가 전류를 흘리지 않는다(즉, 흑 표시 전류(거의 0과 동일함)가 유지되게 되는 것이다.

또한, 도 33의 (a)의 동작의 앞에, 트랜지스터(11b), 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하여, 구동용 트랜지스터(11a)에 전류를 흘린다고 하는 동작을 실시하는 것이 바람직하다. 이 동작은, 극력 단시간으로 하는 것이 바람직하다. EL 소자(15)에 전류가 흘러 EL 소자(15)가 점등하여, 표시 콘트라스트를 저하시킬 우려가 있기 때문이다. 이 동작 시간은 1H(1 수평 주사 기간)의 0.1% 이상 10% 이하로 하는 것이 바람직하다. 더욱 바람직하게는 0.2% 이상 2% 이하로 되도록 하는 것이 바람직하다. 혹은 0.2 μ sec 이상 5 μ sec 이하로 되도록 하는 것이 바람직하다. 또한, 전 화면의 화소(16)에 일괄해서 전술한 동작(도 33의 (a)의 앞에 행하는 동작)을 실시해도 된다. 이상의 동작을 실시함으로써, 구동용 트랜지스터(11a)의 드레인(D) 단자 전압이 저하하고, 도 33의 (a)의 상태에서 원활한 Ib 전류를 흘릴 수 있게 된다. 또한, 이상의 사항은 본 발명의 다른 리셋 구동 방식에도 적용된다.

도 33의 (a)의 실시 시간을 길고 할수록, Ib 전류가 흐르고, 컨덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 33의 (a)의 실시 시간은 고정치로 할 필요가 있다. 실험 및 검토에 따르면, 도 33의 (a)의 실시 시간은, 1H 이상 5H 이하로 하는 것이 바람직하다. 또한, 이 기간은, R, G, B의 화소로 다르게 한 것이 바람직하다. 각 색의 화소로 EL 재료가 다르고, 이 EL 재료가 상응하여 전압 등에 차이가 있기 때문이다. RGB의 각 화소로, EL 재료에 적응하여, 가장 최적의 기간을 설정한다. 또한, 실시예에 있어서, 이 기간은 1H 이상 5H 이하로 한다고 했지만, 흑 삽입(흑 화면을 기입함)을 주로 하는 구동 방식에서는, 5H 이상이어도 되는 것은 물론이다. 또한, 이 기간이 길수록(정도로), 화소의 흑 표시 상태는 양호해진다.

도 33의 (a)를 실시 후, 1H 이상 5H 이하의 기간에 있어서, 도 33의 (b)의 상태로 한다. 도 33의 (b)는 트랜지스터(11c), 트랜지스터(11b)를 온시키고, 트랜지스터(11d)를 오프시킨 상태이다. 도 33의 (b)의 상태는, 이전에도 설명했지만, 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버 회로(14)로부터 프로그램 전류 Iw를 출력(혹은 흡수)하고, 이 프로그램 전류 Iw를 구동용 트랜지스터(11a)에 흘린다. 이 프로그램 전류 Iw가 흐르도록, 구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 설정하는 것이다(설정 전위는 컨덴서(19)에 유지됨).

만약, 프로그램 전류 Iw가 0(A)이면, 트랜지스터(11a)는 전류를 도 33의 (a)의 전류를 흘리지 않는 상태가 유지된 그대로 되므로, 양호한 흑 표시를 실현할 수 있다. 또한, 도 33의 (b)로 백 표시의 전류 프로그램을 행하는 경우에도, 각 화소의 구동용 트랜지스터의 특성 변동이 발생하고 있더라도, 완전히 흑 표시 상태의 오프셋 전압으로부터 전류 프로그램을 행한다. 따라서, 목표의 전류값으로 프로그램되는 시간이 계조에 따라 동일해진다. 그 때문에, 트랜지스터(11a)의 특성 변동에 의한 계조 오차가 없고, 양호한 화상 표시를 실현할 수 있다.

도 33의 (b)의 전류 프로그래밍 후, 도 33의 (c)에 도시한 바와 같이, 트랜지스터(11b), 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온시켜, 구동용 트랜지스터(11a)로부터의 프로그램 전류 Iw(=Ie)를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다. 도 33의 (c)에 관해도, 도 1 등에서 이전에 설명을 했기 때문에 상세는 생략한다.

즉, 도 33에서 설명한 구동 방식(리셋 구동)은, 구동용 트랜지스터(11a)와 EL 소자(15) 사이를 절단(전류가 흐르지 않는 상태)하고, 또한 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제1 동작과, 상기 동작의 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제2 동작을 실시하는 것이다. 그리고, 적어도 제2 동작은 제1 동작 후에 행하는 것이다. 또한, 리셋 구동을 실시하기 위해서는, 도 32의 구성과 같이, 트랜지스터(11b)와 트랜지스터(11c)를 독립적으로 제어할 수 있도록, 구성해 두어야 한다.

화상 표시 상태는 (만약, 순간적인 변화가 관찰할 수 있는 것이면), 우선, 전류 프로그램을 행해지는 화소 행은, 리셋 상태(흑 표시 상태)로 되어, 1H 후에 전류 프로그램이 행해진다(이 때도 흑 표시 상태임. 트랜지스터(11d)가 오프이기 때문임). 다음에, EL 소자(15)에 전류가 공급되고, 화소 행은 소정 회도(프로그램된 전류)로 발광한다. 즉, 화면의 위에서 아래 방향에, 흑 표시의 화소 행이 이동하고, 이 화소 행이 통과한 위치에서 화상이 재기입되어 가는 것처럼 보일 것이다. 또한, 리셋 후, 1H 후에 전류 프로그램을 행한다고 했지만 이 기간은, 5H 정도 이내로 하여도 된다. 도 33의 (a)의 리셋이 완전히 행해지는 데 비교적 장시간을 필요로 하기 때문이다. 만약, 이 기간을 5H로 하면, 5 화소 행이 흑 표시(전류 프로그램의 화소 행도 넣으면 6 화소 행)로 될 것이다.

또한, 리셋 상태는 1 화소 행씩 행하는 것에 한정되는 것이 아니고, 복수 화소 행씩 동시에 리셋 상태로 하여도 된다. 또한, 복수 화소 행씩 동시에 리셋 상태로 하고, 또한 오버랩하면서 주사해도 된다. 예를 들면, 4 화소 행을 동시에 리셋하는 것이면, 제1 수평 주사 기간(1 단위)에, 화소 행(1)(2)(3)(4)을 리셋 상태로 하고, 다음의 제2 수평 주사 기간에, 화소 행(3)(4)

(5)(6)을 리셋 상태로 하고, 또한 다음의 제3 수평 주사 기간에, 화소 행(5)(6)(7)(8)을 리셋 상태로 한다. 또한, 다음의 제4 수평 주사 기간에, 화소 행(7)(8)(9)(10)을 리셋 상태로 한다고 하는 구동 상태가 예시된다. 또한 당연히, 도 33의 (b), 도 33의 (c)의 구동 상태도 도 33의 (a)의 구동 상태와 동기하여 실시된다.

또한, 1 화면의 화소 전부를 동시에 혹은 주사 상태에서 리셋 상태로 하고 나서, 도 33의 (b)(c)의 구동을 실시해도 되는 것은 물론이다. 또한, 인터레이스 구동 상태(1 화소 행 혹은 복수 화소 행의 비월 주사)로, 리셋 상태(1 화소 행 혹은 복수 화소 행 비월)로 하여도 되는 것은 물론이다. 또한, 랜덤의 리셋 상태를 실시해도 된다. 또한, 본 발명의 리셋 구동의 설명은, 화소 행을 조작하는 방식이다(즉, 화면의 상하 방향의 제어함). 그러나, 리셋 구동의 개념은, 제어 방향이 화소 행에 한정되는 것이 아니다. 예를 들면, 화소 열 방향으로 리셋 구동을 실시해도 되는 것은 물론이다.

도 32는 리셋 구동의 화소 구성이라고 설명을 했다. 그러나, 게이트 신호선(17a)과 게이트 신호선(17c)을 개별로 제어하는 것보다, 전류 프로그램된 화상 데이터의 변동이 적어진다고 하는 특징이 있다. 이하에 그 구동 방법에 대하여 설명을 한다.

우선, 도 1의 화소 구성으로 전류 프로그램된 화상 데이터의 변동이 발생하는 이유에 대하여 설명을 한다. 도 1의 화소 구성에서는, 게이트 신호선(17a)에 인가한 전압에 의해, 트랜지스터(11b, 11c)가 동시에 온 오프 동작하는 것으로 해서 구성하고 있다. 그러나, 실제로는, 트랜지스터(11b)와 트랜지스터(11c)에서는 특성이 미묘하게 다르게 형성되어 있는 경우가 있고, 트랜지스터(11b)와 트랜지스터(11c)는 동시에 온 오프 동작하지 않는 경우가 있다. 예를 들면, 게이트 신호선(17a)에 온 전압이 인가된 상태로부터 오프 전압이 인가되면, 트랜지스터(11b)가 트랜지스터(11c)보다도 후에 오프로 되는 경우가 있다.

트랜지스터(11c)가 오프로 된 상태에서, 트랜지스터(11b)가 온 상태로 되어 있으면, 도 33의 (a)에 도시한 상태로 된다. 즉, 리셋 상태이다. 그 때문에, Ib 전류가 흐르는 것의 보다, 컨덴서(19)에 유지된 전압이 충전 혹은 방전한다. 화소(16)의 트랜지스터의 변동에 의해, 충전 혹은 방전 상태는 서로 다르다. 트랜지스터(11b)가 트랜지스터(11c)보다도 먼저 오프 상태로 되면, 컨덴서(19)에 유지된 전압이 충방전하는 일은 없다. 트랜지스터(11b)가 트랜지스터(11c)보다도 후에 오프 상태로 되면, 컨덴서(19)에 유지된 전압이 충방전한다. 또한, 충방전 기간에 의해 컨덴서(19)에 유지된 전압에 오차가 발생한다.

이 과제를 해결하기 위해서는, 게이트 신호선(17a)을 온 전압 인가 상태로부터 오프 전압 인가 상태로 한 후(오프 전압의 인가에 의해 트랜지스터(11b)가 오프 상태로 함), 게이트 신호선(17c)을 온 전압 인가 상태에서 오프 전압 인가 상태로 한다(오프 전압의 인가에 의해 트랜지스터(11c)가 오프 상태로 함). 즉, 화소(16)에 전류(전압) 프로그램을 행한 후(프로그램 중에는 게이트 신호선(17a, 17c)에 온 전압이 인가되고, 트랜지스터(11b, 11c)가 온하고 있음), 우선, 게이트 신호선(17a)에 오프 전압을 인가하고, 일정한 시간이 경과한 후, 게이트 신호선(17c)에 오프 전압이 인가한다. 이상의 동작에 의해, 도 33의 (a)의 상태는 발생하지 않고, 양호한 전류(전압) 프로그램을 실현할 수 있다. 트랜지스터(11d)의 동작 혹은 제어 등은 도 1 등과 마찬가지로 때문에 설명을 생략한다.

또한, 일정한 시간이란, 0.1 μ sec 이상 10 μ sec 이내의 시간이다. 혹은 1H의 1/1000 이상 1/10 이하의 시간이다. 짧으면 양호한 전류(전압) 프로그램을 실현할 수 없고 컨덴서(19)의 유지 전압에 변동이 발생한다. 길면 전류(전압) 프로그램 시간이 짧아져, 기입 부족이 발생한다. 이와 같이, 전압 유지용의 트랜지스터(11b)의 온 오프 타이밍과, 구동 트랜지스터(11a)에 전류(전압)를 기입하는 트랜지스터(11c)의 온 오프 타이밍을 제어하는 구동 방법을 타임 제어 구동 방법이라고 부른다.

이상의 타임 제어 방법은, 도 32의 화소 구성에 한정되는 것이 아니고, 도 38 등의 화소 구성에서도 적용된다. 도 32에서는, 트랜지스터(11d)가 전압 유지용의 트랜지스터이다. 트랜지스터(11c)가 구동 트랜지스터(11a)에 전류(전압)를 기입하는 트랜지스터이다. 트랜지스터(11d)는 게이트 신호선(17a2)에 인가하는 온 오프 전압에 의해 온 오프 제어를 행할 수 있다. 트랜지스터(11c)는 게이트 신호선(17a1)에 인가하는 온 오프 전압에 의해 온 오프 제어를 행할 수 있다. 화소(16)에 전류(전압) 프로그램을 행한 후(프로그램 중에는 게이트 신호선(17a1, 17a2)에 온 전압이 인가되고, 트랜지스터(11c, 11d)가 온하고 있음), 우선, 게이트 신호선(17a2)에 오프 전압을 인가하고, 일정한 시간이 경과한 후, 게이트 신호선(17a1)에 오프 전압이 인가한다. 이상의 동작에 의해, 양호한 전류(전압) 프로그램을 실현할 수 있다. 트랜지스터(11e)의 동작 혹은 제어 등은 도 1 등과 마찬가지로 때문에 설명을 생략한다.

또한, 도 33의 리셋 구동, 도 32의 타임 제어 구동 방법은, 본 발명의 N배 펄스 구동 등과 조합하고, 인터레이스 구동과 조합함으로써 더욱 양호한 화상 표시를 실현할 수 있다. 특히 도 22의 구성은, 간헐 N/K 배 펄스 구동(1 화면에 점등 영역을 복수 마련하는 구동 방법임. 이 구동 방법은, 게이트 신호선(17b)을 제어하고, 트랜지스터(11d)를 온 오프 동작시킴으로써 용이하게 실현할 수 있음. 이것은 이전에 설명함)을 용이하게 실현할 수 있다. 따라서, 깜박임의 발생도 없고, 양호한 화상 표시를 실현할 수 있다. 이것은 도 22 혹은 그 변형 구성의 뛰어난 특징이다.

또한, 다른 구동 방법, 예를 들면, 이후 설명하는 역 바이어스 구동 방식, 프리차지 구동 방식, 관통 전압 구동 방식 등과 조합함으로써 더욱 우수한 화상 표시를 실현할 수 있는 것은 물론이다. 이상과 같이, 본 발명과 같이 리셋 구동도 본 명세서의 다른 실시예와 조합하여 실시할 수 있는 것은 물론이다. 이상의 구동 방식의 조합에 관한 사항은, 본 발명의 다른 실시예에서도 마찬가지로 적용된다.

도 34는 리셋 구동을 실현하는 표시 장치의 구성도이다. 게이트 드라이버 회로(12a)는 도 32에서의 게이트 신호선(17a) 및 게이트 신호선(17b)을 제어한다. 게이트 신호선(17a)에 온 오프 전압을 인가함으로써 트랜지스터(11b)가 온 오프 제어된다. 또한, 게이트 신호선(17b)에 온 오프 전압을 인가함으로써 트랜지스터(11d)가 온 오프 제어된다. 게이트 드라이버 회로(12b)는, 도 32에 있어서의 게이트 신호선(17c)을 제어한다. 게이트 신호선(17c)에 온 오프 전압을 인가함으로써 트랜지스터(11c)가 온 오프 제어된다.

게이트 신호선(17a)은 게이트 드라이버 회로(12a)에서 조작하고, 게이트 신호선(17c)은 게이트 드라이버 회로(12b)에서 조작한다. 그 때문에, 트랜지스터(11b)를 온시켜 구동용 트랜지스터(11a)를 리셋하는 타이밍과, 트랜지스터(11c)를 온시켜 구동용 트랜지스터(11a)에 전류 프로그램을 행하는 타이밍을 자유롭게 설정할 수 있다. 다른 구성 등은 도 6 등에서 설명한 것과 동일 또는 유사하기 때문에 설명을 생략한다. 또한, 게이트 드라이버 회로(12)는 폴리실리콘 기술로 형성한다. 또한, 게이트 드라이버 회로(12a와 12b)는 일체화해도 되는 것은 물론이다.

도 35는 리셋 구동의 타이밍차트이다. 게이트 신호선(17a)에 온 전압을 인가하고, 트랜지스터(11b)를 온시키고, 구동용 트랜지스터(11a)를 리셋하고 있을 때에는, 게이트 신호선(17b)에는 오프 전압을 인가하고, 트랜지스터(11d)를 오프 상태로 하고 있다. 따라서, 도 32의 (a)의 상태로 되어 있다. 이 기간에 Ib 전류가 흐른다.

예를 들면, 화소 행(1)에 주목하면, 1H 번째에는 게이트 신호선(17c)에 오프 전압이 인가되고, 게이트 신호선(17a)에 온 전압이 인가되고, 게이트 신호선(17b)에 오프 전압이 인가되어 있다. 따라서, 화소 행(1)의 1H 번째는, 리셋 상태이고, 트랜지스터(11d)는 오프 상태이고, EL 소자(15)에는 전류가 흐르고 있지 않은 상태이다.

2H 번째에는 게이트 신호선(17c)에 온 전압이 인가되고, 게이트 신호선(17a)에 온 전압이 인가되고, 게이트 신호선(17b)에 오프 전압이 인가되어 있다. 따라서, 화소 행(1)의 2H 번째는, 전류 프로그램 상태이고, 트랜지스터(11d)는 오프 상태이고, EL 소자(15)에는 전류가 흐르고 있지 않은 상태이다.

3H 번째에는 게이트 신호선(17c)에 오프 전압이 인가되고, 게이트 신호선(17a)에 오프 전압이 인가되고, 게이트 신호선(17b)에 온 전압이 인가되어 있다. 따라서, 화소 행(1)의 3H 번째는, 화상 표시 상태이고, 트랜지스터(11d)는 온 상태이고, EL 소자(15)에 전류가 흐르고 있는 상태이다.

이상의 점으로부터, 1H의 기간(1 수평 주사 기간), 컨덴서(19)는 리셋된다. 따라서, 트랜지스터(11a)의 게이트 단자 G는 애노드 전압 Vdd 근방의 전압으로 된다. 그 때문에, 트랜지스터(11a)는 차단한다(리셋 상태). 한 번, 리셋하고 나서 전류 프로그램을 행하기 때문에, 정밀도가 좋은 전류 프로그램을 행할 수 있다. 또한, 리셋하고 있는 상태는, 화소는 비표시 상태로 된다(트랜지스터(11d)가 온 상태에서도). 즉, 흑 화면을 삽입하고 있는 상태와 근사하고 있다. 따라서, 리셋 상태를 일정 기간 이상 지속시킴으로써, 동화상 불선명의 발생을 없앨 수 있다.

도 35의 타이밍차트에서는, 리셋 시간은 2H 기간(게이트 신호선(17a)에 온 전압이 인가되고, 트랜지스터(11b)가 온 상태로 하고 있는 상태. 단, 2H 기간 중, 1H 기간은 전류 프로그램 기간임)로 하고 있지만, 이것에 한정되는 것은 아니다. 2H 이상이어도 된다.

리셋이 매우 고속으로 행할 수 있는 경우에는, 리셋 시간은 1H 미만이어도 된다. 또한, 리셋 기간을 몇 H 기간으로 할지는 게이트 드라이버 회로(12)에 입력하는 DATA(ST) 펄스 기간에서 용이하게 변경할 수 있다. 예를 들면, ST 단자에 입력하는 DATA를 2H 기간 동안 H 레벨로 하면, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간은 2H 기간으로 된다. 마찬가지로, ST 단자에 입력하는 DATA를 5H 기간 동안 H 레벨로 하면, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간은 5H 기간으로 된다.

1H 기간의 리셋 후, 화소 행(1)의 게이트 신호선(17c)(1)에, 온 전압이 인가된다. 트랜지스터(11c)가 온함으로써, 소스 신호선(18)에 인가된 프로그램 전류 Iw가 트랜지스터(11c)를 통하여 구동용 트랜지스터(11a)에 기입된다.

전류 프로그램 후, 화소(1)의 게이트 신호선(17c)에 오프 전압이 인가되고, 트랜지스터(11c)가 오프 상태로 되어, 화소가 소스 신호선과 분리된다. 동시에, 게이트 신호선(17a)에도 오프 전압이 인가되고, 구동용 트랜지스터(11a)의 리셋 상태가 해소된다(또한, 이 기간은, 리셋 상태로 표현하는 것보다도, 전류 프로그램 상태로 표현하는 것이 적절함). 또한, 게이트 신호선(17b)에는 온 전압이 인가되고, 트랜지스터(11d)가 온 상태로 되어, 구동용 트랜지스터(11a)에 프로그램된 전류가 EL 소자(15)에 흐른다. 또한, 화소 행(2) 이후에 대해서도, 화소 행(1)과 마찬가지로, 또한 도 35로부터 그 동작은 분명하기 때문에 설명을 생략한다.

도 35에 있어서, 리셋 기간은 1H 기간이었다. 도 36은 리셋 기간을 5H로 한 실시예이다. 리셋 기간을 몇 H 기간으로 할지는 게이트 드라이버 회로(12)에 입력하는 DATA(ST) 펄스 기간에서 용이하게 변경할 수 있다. 도 36에서는 게이트 드라이버 회로(12a)의 ST1 단자에 입력하는 DATA를 5H 기간 동안 H 레벨하고, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간을 5H 기간으로 한 실시예이다. 리셋 기간은 길수록, 리셋이 완전히 행해져, 양호한 흑 표시를 실현할 수 있다. 또한, 동화상 불선명도 억제할 수 있다. 도 36에 있어서, 다른 동작 등은 도 35와 마찬가지로 하기 때문에 설명을 생략한다.

리셋 기간의 비율분은 표시 휘도가 저하하게 된다. 그러나, N배 펄스 구동과 같이 프로그램 전류를 소정값의 N배로 함으로써 화면 휘도의 저하를 방지할 수 있다. 따라서, 리셋 구동은, N배 펄스 구동의 일 실시 형태이다.

도 36은 리셋 기간을 5H로 한 실시예였다. 또한, 이 리셋 상태는 연속 상태였다. 그러나, 리셋 상태는 연속하여 행하는 것에 한정되는 것이 아니다. 예를 들면, 각 게이트 신호선(17a)으로부터 출력되는 신호를 1H마다 온 오프 동작시켜도 무방하다. 이와 같이 온 오프 동작시키는 것은, 시프트 레지스터의 출력단에 형성된 인에이블 회로(도시하지 않음)를 조작함으로써 용이하게 실현할 수 있다. 또한, 게이트 드라이버 회로(12)에 입력하는 DATA(ST) 펄스를 제어함으로써 용이하게 실현할 수 있다.

도 34의 회로 구성에서는, 게이트 드라이버 회로(12a)는 적어도 2개의 시프트 레지스터 회로(하나의 게이트 신호선(17a) 제어용, 다른 하나는 게이트 신호선(17b) 제어용)이 필요했다. 그 때문에, 게이트 드라이버 회로(12a)의 회로 규모가 커진다고 하는 과제가 있었다. 도 37은 게이트 드라이버 회로(12a)의 시프트 레지스터를 하나로 한 실시예이다. 도 37의 회로를 동작시킨 출력 신호의 타이밍차트는 도 35와 같이 된다. 또한, 도 35와 도 37은 게이트 드라이버 회로(12a, 12b)로부터 출력되어 있는 게이트 신호선(17)의 기호가 서로 다르기 때문에 주의가 필요하다.

도 37의 OR 회로(371)가 부가되어 있는 것으로부터 분명하지만, 각 게이트 신호선(17a)의 출력은, 시프트 레지스터 회로(61a)의 전단 출력과의 OR을 취하고, 이 결과에 의해, 게이트 신호선(17a)에 온 전압 또는 오프 전압이 출력된다. 또한, 설명을 쉽게 하기 위해서, 화소 구성은 도 32의 화소 구성을 상정하고 있으며, OR의 출력이 H 레벨(플러스 논리)일 때에, 게이트 신호선(17a)에 온 전압이 출력되는 것으로 하여 설명을 한다.

도 37의 실시예에서는, 2H 기간, 게이트 신호선(17a)에서는 온 전압이 출력된다. 한편, 게이트 신호선(17c)은 시프트 레지스터 회로(61a)의 출력이 그대로 출력된다. 따라서, 1H 기간 동안, 온 전압이 인가된다.

예를 들면, 시프트 레지스터 회로(61a)의 2번째에 H 레벨 신호가 출력되고 있을 때, 화소(16)(1)의 게이트 신호선(17c)에 온 전압이 출력되고, 화소(16)(1)가 전류(전압) 프로그램의 상태이다. 동시에, 화소(16)(2)의 게이트 신호선(17a)에도 온 전압이 출력되고, 화소(16)(2)의 트랜지스터(11b)가 온 상태로 되고, 화소(16)(2)의 구동용 트랜지스터(11a)가 리셋된다.

마찬가지로, 시프트 레지스터 회로(61a)의 3번째에 H 레벨 신호가 출력되고 있을 때, 화소(16)(2)의 게이트 신호선(17c)에 온 전압이 출력되고, 화소(16)(2)가 전류(전압) 프로그램의 상태이다. 동시에, 화소(16)(3)의 게이트 신호선(17a)에도 온 전압이 출력되고, 화소(16)(3) 트랜지스터(11b)가 온 상태로 되고, 화소(16)(3) 구동용 트랜지스터(11a)가 리셋된다. 즉, 2H 기간, 게이트 신호선(17a)에서는 온 전압이 출력되고, 게이트 신호선(17c)에 1H 기간, 온 전압이 출력된다.

프로그램 상태일 때에는, 트랜지스터(11b)와 트랜지스터(11c)가 동시에 온 상태로 되었으면(도 33의 (b)), 비 프로그램 상태(도 33의 (c))로 이행할 때, 트랜지스터(11c)가 트랜지스터(11b)보다도 먼저 오프 상태로 되면, 도 33의 (b)의 리셋 상태로 되어 버린다. 이를 방지하기 위해서는, 트랜지스터(11c)가 트랜지스터(11b)보다도 나중에 오프 상태로 할 필요가 있다. 이를 위해서는, 게이트 신호선(17a)이 게이트 신호선(17c)보다도 먼저 온 전압이 인가되도록 제어할 필요가 있다.

이상의 실시예는, 도 32(기본적으로는 도 1)의 화소 구성에 관한 실시예였다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 38에 도시한 바와 같은 커런트 미러의 화소 구성이라도 실시할 수 있다. 또한, 도 38에서는 트랜지스

터(11e)를 온 오프 제어함으로써, 도 13, 도 15등에서 도시하는 N배 펄스 구동을 실현할 수 있다. 도 39는 도 38의 커런트 미러의 화소 구성에서의 실시예의 설명도이다. 이하, 도 39를 참조하면서, 커런트 미러의 화소 구성에 있어서의 리셋 구동 방식에 대하여 설명을 한다.

도 39의 (a)에 도시한 바와 같이, 트랜지스터(11c), 트랜지스터(11e)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 한다. 하면, 전류 프로그램용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되고, 도면에 도시한 바와 같이 Ib 전류가 흐른다. 일반적으로, 트랜지스터(11b)는 하나 전의 펄드(프레임)으로 전류 프로그램되어, 전류를 흘리는 능력이 있다(게이트 전위는 컨덴서(19)에 1F 기간 유지되고, 화상 표시를 행하고 있기 때문에 당연함. 단, 완전한 흑 표시를 행하고 있는 경우, 전류는 흐르지 않음). 이 상태에서 트랜지스터(11e)가 오프 상태로 되고, 트랜지스터(11d)가 온 상태로 하면, 구동 전류 Ib가 트랜지스터(11a)의 게이트(G) 단자의 방향에 흐른다(게이트(G) 단자와 드레인(D) 단자가 쇼트됨). 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되고, 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)으로 된다. 또한, 구동용 트랜지스터(11b)의 게이트(G) 단자는 전류 프로그램용 트랜지스터(11a)의 게이트(G) 단자와 공통이므로, 구동용 트랜지스터(11b)도 리셋 상태로 된다.

이 트랜지스터(11a), 트랜지스터(11b)의 리셋 상태(전류를 흘리지 않는 상태)는, 도 51 등에서 설명하는 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 39의 (a)의 상태에서는, 컨덴서(19)의 단자 사이에는, 오프셋 전압(전류가 흐르기 시작하는 개시 전압. 이 전압의 절대값 이상의 전압을 인가함으로써, 트랜지스터(11)에 전류가 흐름)이 유지되어 있게 된다. 이 오프셋 전압은 트랜지스터(11a), 트랜지스터(11b)의 특성에 따라 서로 다른 전압값이다. 따라서, 도 39의 (a)의 동작을 실시함으로써, 각 화소의 컨덴서(19)에는 트랜지스터(11a), 트랜지스터(11b)가 전류를 흘리지 않는다(즉, 흑 표시 전류(거의 0과 같음)) 상태가 유지되게 되는 것이다(전류가 흐르기 시작하는 개시 전압으로 리셋됨).

또한, 도 39의 (a)에서도 도 33의 (a)와 마찬가지로, 리셋의 실시 시간을 길게 할수록, Ib 전류가 흘러, 컨덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 39의 (a)의 실시 시간은 고정치로 할 필요가 있다. 실험 및 검토에 따르면, 도 39의 (a)의 실시 시간은, 1H 이상 10H(10수평 주사 기간) 이하로 하는 것이 바람직하다. 나아가서는 1H 이상 5H 이하로 하는 것이 바람직하다. 혹은, 20μsec 이상 2 msec 이하로 하는 것이 바람직하다. 이것은 도 33, 도 34의 구동 방식에서도 마찬가지이다.

도 33의 (a)도 마찬가지이지만, 도 39의 (a)의 리셋 상태와, 도 39의 (b)의 전류 프로그램 상태를 동기를 취하여 행하는 경우에는, 도 39의 (a)의 리셋 상태로부터, 도 39의 (b)의 전류 프로그램 상태까지의 기간이 고정치(일정치)로 되므로 문제가 없다(고정치로 되어 있음). 즉, 도 33의 (a) 혹은 도 39의 (a)의 리셋 상태로부터, 도 33의 (b) 혹은 도 39의 (b)의 전류 프로그램 상태까지의 기간이, 1H 이상 10H(10수평 주사 기간) 이하로 하는 것이 바람직하다. 나아가서는 1H 이상 5H 이하로 하는 것이 바람직한 것이다. 혹은, 20μsec 이상 2 msec 이하로 하는 것이 바람직한 것이다. 이 기간이 짧으면 구동용 트랜지스터(11a)가 완전히 리셋되지 않는다. 또한, 너무나도 길면 구동용 트랜지스터(11)가 완전히 오프 상태로 되고, 이번에는 전류를 프로그램하는 데 장시간을 요하게 된다. 또한, 화면(50)의 휘도도 저하한다. 단, 도 13과 같이 흑 삽입(비점 등 영역(52)을 발생시킴)을 실시하는 경우에는 이 한정에 들지 않는다. 흑 삽입(비점 등 영역(52)을 발생시킴)에 의해, N배 펄스 구동 등 실시하는 것을 목적으로 하기 때문이다.

도 39의 (a)를 실시 후, 도 39의 (b)의 상태로 한다. 도 39의 (b)는 트랜지스터(11c), 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시킨 상태이다. 도 39의 (b)의 상태는, 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버 회로(14)로부터 프로그램 전류 Iw를 출력(혹은 흡수)하고, 이 프로그램 전류 Iw를 전류 프로그램용 트랜지스터(11a)에 흘린다. 이 프로그램 전류 Iw가 흐르도록, 구동용 트랜지스터(11b)의 게이트(G) 단자의 전위를 컨덴서(19)로 설정하는 것이다.

만약, 프로그램 전류 Iw가 0(A)(흑 표시)이면, 트랜지스터(11b)는 전류를 도 39의 (a)의 전류를 흘리지 않는 상태가 유지된 그대로 되기 때문에, 양호한 흑 표시를 실현할 수 있다. 또한, 도 39의 (b)로 백 표시의 전류 프로그램을 행하는 경우에는, 각 화소의 구동용 트랜지스터의 특성 변동이 발생하고 있더라도, 완전히 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)으로부터 전류 프로그램을 행한다. 따라서, 목표의 전류값으로 프로그램되는 시간이 계조에 따라 동일해진다. 그 때문에, 트랜지스터(11a) 혹은 트랜지스터(11b)의 특성 변동에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 39의 (b)의 전류 프로그래밍 후, 도 39의 (c)에 도시한 바와 같이, 트랜지스터(11c), 트랜지스터(11d)와 오프 상태로 하고, 트랜지스터(11e)를 온시켜, 구동용 트랜지스터(11b)에서의 프로그램 전류 Iw(=Ie)를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다. 도 39의 (c)에 관해도, 이전에 설명을 했기 때문에 상세는 생략한다.

도 33, 도 39에서 설명한 구동 방식(리셋 구동)은, 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단(전류가 흐르지 않는 상태. 트랜지스터(11e) 혹은 트랜지스터(11d)에서 행함)하고, 또한, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제1 동작과, 상기 동작의 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제2 동작을 실시하는 것이다. 그리고, 적어도 제2 동작은 제1 동작 후에 행하는 것이다.

또한, 제1 동작에 있어서의 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단한다고 하는 동작은, 반드시 필수적인 조건이 아니다. 만약, 제1 동작에 있어서의 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단하지 않고서, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자 사이를 쇼트하는 제1 동작을 행하여도 다소의 리셋 상태의 변동이 발생하는 정도로 끝나는 경우가 있기 때문이다. 이것은, 제작한 어레이의 트랜지스터 특성을 검토하여 결정한다.

도 39의 커런트 미러의 화소 구성은, 전류 프로그램 트랜지스터(11a)를 리셋함으로써, 결과적으로 구동용 트랜지스터(11b)를 리셋하는 구동 방법이었다.

도 39의 커런트 미러의 화소 구성에서는, 리셋 상태에서는, 반드시 구동용 트랜지스터(11b)와 EL 소자(15) 사이를 절단할 필요는 없다. 따라서, 전류 프로그램용 트랜지스터 a의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 전류 프로그램용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자, 혹은 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제1 동작과, 상기 동작의 후, 전류 프로그램용 트랜지스터에 전류(전압) 프로그램을 행하는 제2 동작을 실시하는 것이다. 그리고, 적어도 제2 동작은 제1 동작 후에 행하는 것이다.

화상 표시 상태는 (만약, 순간적인 변화가 관찰할 수 있는 것이면), 우선, 전류 프로그램을 행해지는 화소 행은, 리셋 상태(혹 표시 상태)로 되고, 소정 H 후에 전류 프로그램이 행해진다. 화면의 위로부터 아래 방향으로, 흑 표시의 화소 행이 이동하고, 이 화소 행이 통과한 위치에서 화상이 재개입되어 가는 것처럼 보일 것이다.

이상의 실시예는, 전류 프로그램의 화소 구성을 중심으로 하여 설명을 했지만, 본 발명의 리셋 구동은 전압 프로그램의 화소 구성에도 적용할 수 있다. 도 43은 전압 프로그램의 화소 구성에 있어서의 리셋 구동을 실시하기 위한 본 발명의 화소 구성(패널 구성)의 설명도이다.

도 43의 화소 구성에서는, 구동용 트랜지스터(11a)를 리셋 동작시키기 위한 트랜지스터(11e)가 형성되어 있다. 게이트 신호선(17e)에 온 전압이 인가됨으로써, 트랜지스터(11e)가 온 상태로 되고, 구동용 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자 사이를 쇼트시킨다. 또한, EL 소자(15)와 구동용 트랜지스터(11a)와의 전류 경로를 절단하는 트랜지스터(11d)가 형성되어 있다. 이하, 도 44를 참조하면서, 전압 프로그램의 화소 구성에 있어서의 본 발명의 리셋 구동 방식에 대하여 설명을 한다(도 43은 전압 프로그램 방식의 화소 구성임).

도 44의 (a)에 도시한 바와 같이, 트랜지스터(11b), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11e)를 온 상태로 한다. 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되고, 도면에 도시한 바와 같이 Ib 전류가 흐른다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되고, 구동용 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)으로 된다. 또한, 트랜지스터(11a)를 리셋하기 전에, 도 33 혹은 도 39에서 설명한 바와 같이, HD 동기 신호에 동기하여, 최초로 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시켜, 트랜지스터(11a)에 전류를 흘려 놓는다. 그 후, 도 44의 (a)의 동작을 실시한다. 또한, 리셋은 HD 신호에 동기시키는 것에 한정되는 것은 아니다.

이 트랜지스터(11a), 트랜지스터(11b)의 리셋 상태(전류를 흘리지 않는 상태)는, 도 41 등에서 설명한 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 44의 (a)의 상태에서는, 커패시터(19)의 단자 사이에는, 오프셋 전압(리셋 전압)이 유지되어 있게 된다. 이 리셋 전압은 구동용 트랜지스터(11a)의 특성에 따라 서로 다른 전압값이다. 즉, 도 44의 (a)의 동작을 실시함으로써, 각 화소의 커패시터(19)에는 구동용 트랜지스터(11a)가 전류를 흘리지 않은(즉, 흑 표시 전류(거의 0과 같음)) 상태로 유지되게 되는 것이다(전류가 흐르기 시작하는 개시 전압으로 리셋됨).

또한, 전압 프로그램의 화소 구성에 있어서도, 전류 프로그램의 화소 구성과 마찬가지로, 도 44의 (a)의 리셋의 실시 시간을 길게 할수록, Ib 전류가 흐르고, 커패시터(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 44의 (a)의 실시 시간은 고정치로 할 필요가 있다. 실시 시간은, 0.2H 이상 5H(5수평 주사 기간) 이하로 하는 것이 바람직하다. 나아가서는 0.5H 이상 4H 이하로 하는 것이 바람직하다. 혹은, 2μsec 이상 400μsec 이하로 하는 것이 바람직하다.

또한, 게이트 신호선(17e)은 전단의 화소 행의 게이트 신호선(17a)과 공통으로 해 두는 것이 바람직하다. 즉, 게이트 신호선(17e)과 전단의 화소 행의 게이트 신호선(17a)을 쇼트 상태로 형성한다. 이 구성을 전단 게이트 제어 방식이라고 부른다. 또한, 전단 게이트 제어 방식이란, 주목 화소 행보다 적어도 1H전 이상에서 선택되는 화소 행의 게이트 신호선 파형을 이용하는 것이다. 따라서, 1화소 행 전으로 한정되는 것이 아니다. 예를 들면, 2 화소 행 전의 게이트 신호선의 신호 파형을 이용하여 주목 화소의 구동용 트랜지스터(11a)의 리셋을 실시해도 된다.

전단 게이트 제어 방식을 또한 구체적으로 기재하면 이하와 같이 된다. 주목하는 화소 행이(N) 화소 행으로 하고, 그 게이트 신호선이 게이트 신호선(17e)(N), 게이트 신호선(17a)(N)으로 한다. 1H 전에 선택되는 전단의 화소 행은, 화소 행이(N-1) 화소 행으로 하고, 그 게이트 신호선이 게이트 신호선(17e)(N-1), 게이트 신호선(17a)(N-1)으로 한다. 또한, 주목 화소 행의 다음의 1H 후에 선택되는 화소 행이(N+1) 화소 행으로 하고, 그 게이트 신호선이 게이트 신호선(17e)(N+1), 게이트 신호선(17a)(N+1)으로 한다.

제(N-1) H기간에서는, 제(N-1) 화소 행의 게이트 신호선(17a)(N-1)에 온 전압이 인가되면, 제(N) 화소 행의 게이트 신호선(17e)(N)에도 온 전압이 인가된다. 게이트 신호선(17e)(N)과 전단의 화소 행의 게이트 신호선(17a)(N-1)이 쇼트 상태로 형성되어 있기 때문이다. 따라서, 제(N-1) 화소 행의 화소의 트랜지스터(11b)(N-1)가 온 상태로 되고, 소스 신호선(18)의 전압이 구동용 트랜지스터(11a)(N-1)의 게이트(G) 단자에 기입된다. 동시에, 제(N) 화소 행의 화소의 트랜지스터(11e)(N)가 온 상태로 되고, 구동용 트랜지스터(11a)(N)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(11a)(N)가 리셋된다.

제(N-1) H기간의 다음의 제(N) 기간에서는, 제(N) 화소 행의 게이트 신호선(17a)(N)에 온 전압이 인가되면, 제(N+1) 화소 행의 게이트 신호선(17e)(N+1)에도 온 전압이 인가된다. 따라서, 제(N) 화소 행의 화소의 트랜지스터(11b)(N)가 온 상태로 되고, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a)(N)의 게이트(G) 단자에 기입된다. 동시에, 제(N+1) 화소 행의 화소의 트랜지스터(11e)(N+1)가 온 상태로 되고, 구동용 트랜지스터(11a)(N+1)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(11a)(N+1)가 리셋된다.

이하 마찬가지로, 제(N) H기간의 다음의 제(N+1) 기간에서는, 제(N+1) 화소 행의 게이트 신호선(17a)(N+1)에 온 전압이 인가되면, 제(N+2) 화소 행의 게이트 신호선(17e)(N+2)에도 온 전압이 인가된다. 따라서, 제(N+1) 화소 행의 화소의 트랜지스터(11b)(N+1)가 온 상태로 되고, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a)(N+1)의 게이트(G) 단자에 기입된다. 동시에, 제(N+2) 화소 행의 화소의 트랜지스터(11e)(N+2)가 온 상태로 되고, 구동용 트랜지스터(11a)(N+2)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되고, 구동용 트랜지스터(11a)(N+2)가 리셋된다.

이상의 본 발명의 전단 게이트 제어 방식에서는, 1H 기간, 구동용 트랜지스터(11a)는 리셋되고, 그 후, 전압(전류) 프로그램이 실시된다.

도 33의 (a)도 마찬가지이지만, 도 44의 (a)의 리셋 상태와, 도 44의 (b)의 전압 프로그램 상태를 동기를 취하여 행하는 경우에는, 도 44의 (a)의 리셋 상태에서부터, 도 44의 (b)의 전류 프로그램 상태까지의 기간이 고정치(일정치)로 되므로 문제가 없다(고정치로 되어 있음). 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리셋되지 않는다. 또한, 너무나도 길면 구동용 트랜지스터(11a)가 완전히 오프 상태로 되고, 이번에는 전류를 프로그램하는 데 장시간을 요하게 된다. 또한, 화면(50)의 휘도도 저하한다.

도 44의 (a)를 실시 후, 도 44의 (b)의 상태로 한다. 도 44의 (b)는 트랜지스터(11b)를 온시키고, 트랜지스터(11e), 트랜지스터(11d)를 오프시킨 상태이다. 도 44의 (b)의 상태는, 전압 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버 회로(14)로부터 프로그램 전압을 출력하고, 이 프로그램 전압을 구동용 트랜지스터(11a)의 게이트(G) 단자에 기입한다(구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 컨덴서(19)에 설정함). 또한, 전압 프로그램 방식인 경우에는, 전압 프로그램시에 트랜지스터(11d)를 반드시 오프시킬 필요는 없다. 또한, 도 13, 도 15등의 N배 펄스 구동 등과 조합하는 것, 혹은 이상과 같은, 간헐 N/K 배 펄스 구동(1 화면에 점등 영역을 복수 마련하는 구동 방법임. 이 구동 방법은, 트랜지스터(11e)를 온 오프 동작시킴으로써 용이하게 실현할 수 있음)을 실시할 필요가 없으면, 트랜지스터(11e)가 필요하지 않다. 이것은 이전에 설명을 했기 때문에, 설명을 생략한다.

도 43의 구성 혹은 도 44의 구동 방법으로 백 표시의 전압 프로그램을 행하는 경우에는, 각 화소의 구동용 트랜지스터의 특성 변동이 발생하고 있더라도, 완전히 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)으로부터 전압 프로그램을 행한다. 따라서, 목표의 전류값에 프로그램되는 시간이 계조에 따라 같아진다. 그 때문에, 트랜지스터(11a)의 특성 변동에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 44의 (b)의 전압 프로그래밍후, 도 44의 (c)에 도시한 바와 같이, 트랜지스터(11b)를 오프 상태로 하고, 트랜지스터(11d)를 온시키고, 구동용 트랜지스터(11a)에서의 프로그램 전류를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다.

이상과 같이, 도 43의 전압 프로그램에 있어서의 본 발명의 리셋 구동은, 우선, HD 동기 신호에 동기하여, 최초로 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시켜, 트랜지스터(11a)에 전류를 흘리는 제1 동작과, 트랜지스터(11a)와 EL 소자(15) 사이를 절단하고, 또한 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제2 동작과, 상기 동작의 후, 구동용 트랜지스터(11a)에 전압 프로그램을 행하는 제3 동작을 실시하는 것이다.

이상의 실시예에서는, 구동용 트랜지스터(11a)(도 1의 화소 구성인 경우)로부터 EL 소자(15)에 흘리는 전류를 제어하는데, 트랜지스터(11d)를 온 오프시켜 행한다. 트랜지스터(11d)를 온 오프시키기 위해서는, 게이트 신호선(17b)을 주사할 필요가 있어, 주사를 위해서는, 시프트 레지스터(61)(게이트 회로(12))가 필요하다. 그러나, 시프트 레지스터(61)는 규모가 크고, 게이트 신호선(17b)의 제어에 시프트 레지스터(61)를 이용한 것에서는 헵프레임화를 할 수 없다. 도 40에서 설명하는 방식은 이 과제를 해결하는 것이다.

또한 본 발명은, 주로 도 1 등에 도시하는 전류 프로그램의 화소 구성을 예시하여 설명을 하지만, 이것에 한정되는 것이 아니고, 도 38 등에서 설명한 다른 전류 프로그램 구성(커런트 미러의 화소 구성)이더라도 적용할 수 있는 것은 물론이다.

또한, 블록에서 온 오프로 하는 기술적 개념은, 도 41 등의 전압 프로그램의 화소 구성에서도 적용할 수 있는 것은 물론이다. 또한, 본 발명은, EL 소자(15)에 흐르는 전류를 간헐로 하는 방식이므로, 도 50 등에서 설명하는 역 바이어스 전압을 인가하는 방식과도 조합할 수 있는 것은 물론이다. 이상과 같이, 본 발명은 다른 실시예와 조합하여 실시할 수 있다.

도 40은 블록 구동 방식의 실시예이다. 우선, 설명을 쉽게 하기 위해서, 게이트 드라이버 회로(12)는 기관(71)에 직접 형성한다든지, 혹은 실리콘 칩의 게이트 드라이버 IC(12)를 기관(71)에 적재하는 것으로 해서 설명을 한다. 또한, 소스 드라이버(14) 및 소스 신호선(18)은 도면이 번잡하게 되기 때문에 생략한다.

도 40에 있어서, 게이트 신호선(17a)은 게이트 드라이버 회로(12)와 접속되어 있다. 한편, 각 화소의 게이트 신호선(17b)은 점등 제어선(401)과 접속되어 있다. 도 40에서는 4개의 게이트 신호선(17b)이 하나의 점등 제어선(401)과 접속되어 있다.

또한, 4개의 게이트 신호선(17b)에서 차단한다고 하는 것은 이것에 한정되는 것이 아니고, 그 이상이어도 되는 것은 물론이다. 일반적으로 표시 영역(50)은 적어도 5 이상으로 분할하는 것이 바람직하다. 더욱 바람직하게는, 10 이상으로 분할하는 것이 바람직하다. 나아가서는, 20 이상으로 분할하는 것이 바람직하다. 분할수가 적으면, 깜박임이 보이기 쉽다. 너무나도 분할수가 많으면, 점등 제어선(401)의 개수가 많아져, 제어선(401)의 레이아웃이 곤란해진다.

따라서, QCIF 표시 패널인 경우에는, 수직 주사선의 개수가 220개이므로, 적어도, $220/5=44$ 개 이상에서 블록화할 필요가 있고, 바람직하게는, $220/10=22$ 이상에서 블록화할 필요가 있다. 단, 홀수 행과 짝수 행에서 2개의 블록화를 행한 경우에는, 저 프레임 레이트라도 비교적 깜박임의 발생이 적기 때문에, 2개의 블록화로 충분한 경우가 있다.

도 40의 실시예에서는, 점등 제어선(401a, 401b, 401c, 401d……401n)으로 순차, 온 전압(vg1)을 인가하거나, 혹은 오프 전압(Vgh)을 인가하고, 블록마다 EL 소자(15)에 흐르는 전류를 온 오프시킨다.

또한, 도 40의 실시예에서는, 게이트 신호선(17b)과 점등 제어선(401)이 크로스하지 않는다. 따라서, 게이트 신호선(17b)과 점등 제어선(401)의 쇼트 결합은 발생하지 않는다. 또한, 게이트 신호선(17b)과 점등 제어선(401)이 용량 결합하지 않기 때문에, 점등 제어선(401)으로부터 게이트 신호선(17b) 측을 보았을 때의 용량 부하가 매우 작다. 따라서, 점등 제어선(401)을 구동하기 쉽다.

게이트 드라이버(12)에는 게이트 신호선(17a)이 접속되어 있다. 게이트 신호선(17a)에 온 전압을 인가함으로써, 화소 행이 선택되고, 선택된 각 화소의 트랜지스터(11b, 11c)는 온 상태로 하고, 소스 신호선(18)에 인가된 전류(전압)를 각 화소의 컨덴서(19)에 프로그램한다. 한편, 게이트 신호선(17b)은 각 화소의 트랜지스터(11d)의 게이트(G) 단자와 접속되어 있다. 따라서, 점등 제어선(401)에 온 전압(vg1)이 인가되었을 때, 구동용 트랜지스터(11a)와 EL 소자(15)의 전류 경로를 형성하고, 반대로 오프 전압(Vgh)이 인가되었을 때는, EL 소자(15)의 애노드 단자를 오픈으로 한다.

또한, 점등 제어선(401)에 인가하는 온 오프 전압의 제어 타이밍과, 게이트 드라이버 회로(12)가 게이트 신호선(17a)에 출력하는 화소 행 선택 전압(vg1)의 타이밍은 1 수평 주사 클럭(1H)에 동기하고 있는 것이 바람직하다. 그러나, 이것에 한정되는 것은 아니다.

점등 제어선(401)에 인가하는 신호는 단순히, EL 소자(15)에의 전류를 온 오프시킬 뿐이다. 또한, 소스 드라이버(14)가 출력하는 화상 데이터와 동기가 취해져 있을 필요도 없다. 점등 제어선(401)에 인가하는 신호는, 각 화소(16)의 컨덴서(19)에 프로그램된 전류를 제어하는 것이기 때문이다. 따라서, 반드시, 화소 행의 선택 신호와 동기가 취해져 있을 필요는 없다. 또한, 동기하는 경우에서도 클럭은 1H 신호에 한정되는 것이 아니고, 1/2H여도, 1/4H여도 무방하다.

도 38에 도시한 커런트 미러의 화소 구성인 경우이더라도, 게이트 신호선(17b)을 점등 제어선(401)에 접속함으로써, 트랜지스터(11e)를 온 오프 제어할 수 있다. 따라서, 블록 구동을 실현할 수 있다.

또한, 도 32에 있어서, 게이트 신호선(17a)을 점등 제어선(401)에 접속하고, 리셋을 실시하면, 블록 구동을 실현할 수 있다. 즉, 본 발명의 블록 구동이란, 하나의 제어선에서, 복수의 화소 행을 동시에 비점등(혹은 흑 표시)으로 하는 구동 방법이다.

이상의 실시예는, 1화소 행마다 하나의 선택 게이트 신호선을 배치(형성)하는 구성이었다. 본 발명은, 이것에 한정되는 것이 아니고, 복수의 화소 행에서 하나의 선택 게이트 신호선을 배치(형성)해도 된다.

도 41은 그 실시예이다. 또한, 설명을 쉽게 하기 위해서, 화소 구성은 도 1의 경우를 주로 예시하여 설명한다. 도 41에서는 화소 행의 선택 게이트 신호선(17a)은 3개의 화소(16R, 16G, 16B)를 동시에 선택한다. R의 기호란 적색의 화소 관련을 의미하고, G의 기호는 녹색의 화소 관련을 의미하고, B의 기호는 청색의 화소 관련을 의미하는 것으로 한다.

따라서, 게이트 신호선(17a)의 선택에 의해, 화소(16R), 화소(16G) 및 화소(16B)가 동시에 선택되고 데이터 기입 상태로 된다. 화소(16R)는 소스 신호선(18R)에서 데이터를 컨덴서(19R)에 기입하고, 화소(16G)는 소스 신호선(18G)으로부터 데이터를 컨덴서(19G)에 기입한다. 화소(16B)는 소스 신호선(18b)으로부터 데이터를 컨덴서(19b)에 기입한다.

화소(16R)의 트랜지스터(11d)는 게이트 신호선(17bR)에 접속되어 있다. 또한, 화소(16G)의 트랜지스터(11d)는 게이트 신호선(17bG)에 접속되고, 화소(16B)의 트랜지스터(11d)는 게이트 신호선(17bB)에 접속되어 있다. 따라서, 화소(16R)의 EL 소자(15R), 화소(16G)의 EL 소자(15G), 화소(16B)의 EL 소자(15b)는 별도로 온 오프 제어할 수 있다. 즉, EL 소자(15R), EL 소자(15G), EL 소자(15b)는 각각의 게이트 신호선(17bR, 17bG, 17bB)을 제어함으로써, 점등 시간, 점등 주기를 개별로 제어 가능하다.

이 동작을 실현하기 위해서는, 도 6의 구성에 있어서, 게이트 신호선(17a)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bR)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bG)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bB)을 주사하는 시프트 레지스터 회로(61)의 4개를 형성(배치)하는 것이 적절하다.

또한, 소스 신호선(18)에 소정 전류의 N배의 전류를 흘려, EL 소자(15)에 소정 전류의 N배의 전류를 1/N의 기간 흘린다고 했지만, 실용상은 이것을 실현할 수 없다. 실제로는 게이트 신호선(17)에 인가한 신호 펄스가 컨덴서(19)에 관통하여, 컨덴서(19)에 원하는 전압값(전류값)을 설정할 수 없기 때문이다. 일반적으로 컨덴서(19)에는 원하는 전압값(전류값)보다도 낮은 전압값(전류값)이 설정된다. 예를 들면, 10배의 전류값을 설정하도록 구동해도, 5배 정도의 전류 밖에 컨덴서(19)에는 설정되지 않는다. 예를 들면, N=10으로 하여도 실제로 EL 소자(15)에 흐르는 전류는 N=5인 경우와 동일해진다. 따라서, 본 발명은 N배의 전류값을 설정하고, N배에 비례한 혹은 대응하는 전류를 EL 소자(15)에 흐르도록 구동하는 방법이다. 혹은, 소망치보다도 큰 전류를 EL 소자(15)에 펄스 형상으로 인가하는 구동 방법이다.

또한, 소망치로부터 전류(그대로, EL 소자(15)에 연속하여 전류를 흘리면 소망 휘도보다도 높아지는 전류)를 구동용 트랜지스터(11a)(도 1을 예시하는 경우)에 전류(전압) 프로그램을 행하고, EL 소자(15)에 흐르는 전류를 간헐로 함으로써, 원하는 EL 소자의 발광 휘도를 얻는 것이다.

또한, 이 컨덴서(19)에의 관통에 의한 보상 회로는 소스 드라이버 회로(14) 내에 도입한다. 이 사항에 대해서는 나중에 설명을 한다.

또한, 도 1 등의 스위칭 트랜지스터(11b, 11c) 등은 N 채널로 형성하는 것이 바람직하다. 컨덴서(19)에의 관통 전압이 저감하기 때문이다. 또한, 컨덴서(19)의 오프 리크도 감소하므로, 10Hz 이하가 낮은 프레임 레이트에도 적용할 수 있게 된다.

또한, 화소 구성에 의해서는, 관통 전압이 EL 소자(15)에 흐르는 전류를 증가시키는 방향에 작용하는 경우에는, 백 피크 전류가 증가하여, 화상 표시의 콘트라스트감이 증가한다. 따라서, 양호한 화상 표시를 실현할 수 있다.

반대로, 도 1의 스위칭 트랜지스터(11b, 11c)를 P 채널로 하는 것의 보다 관통을 발생시켜, 보다 흑 표시를 양호하게 하는 방법도 유효하다. P 채널 트랜지스터(11b)가 오프할 때에는 V_{gh} 전압으로 된다. 그 때문에, 컨덴서(19)의 단자 전압이 V_{dd} 측으로 조금 시프트한다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자 전압은 상승하여, 보다 흑 표시로 된다. 또한, 제1 계조 표시로 하는 전류값을 크게 할 수 있으므로(계조1까지 일정한 베이스 전류를 흘릴 수 있음), 전류 프로그램 방식으로 기입 전류 부족을 경감할 수 있다.

기타, 게이트 신호선(17a)과 트랜지스터(11a)의 게이트(G) 단자 사이에 적극적으로 컨덴서(19b)를 형성하고, 관통 전압을 증가시키는 구성도 유효하다(도 42의 (a)를 참조). 이 컨덴서(19b)의 용량은 정규의 컨덴서(19a)의 용량의 1/50 이상 1/10 이하로 하는 것이 바람직하다. 나아가서는 1/40 이상 1/15이하로 하는 것이 바람직하다. 혹은 트랜지스터(11b)의 소스-게이트(소스-드레인(SD) 혹은 게이트-드레인(GD)) 용량의 1배 이상 10배 이하로 한다. 더욱 바람직하게는, SG 용량의 2배 이상 6배 이하로 하는 것이 바람직하다. 또한, 컨덴서(19b)의 형성 위치는, 컨덴서(19a)의 한쪽의 단자(트랜지스터(11a)의 게이트(G) 단자)와 트랜지스터(11d)의 소스(S) 단자 사이에 형성 또는 배치해도 된다. 이 경우도 용량 등은 앞서 설명한 값과 마찬가지로이다.

관통 전압 발생용의 컨덴서(19b)의 용량(용량을 C_b (pF)로 함)은, 전하 유지용의 컨덴서(19a)의 용량(용량과 C_a (pF)로 함)와, 트랜지스터(11a)의 백 피크 전류 시(화상 표시로 표시 최대 휘도의 백 래스터 시)의 게이트(G) 단자 전압 V_w (V)를 흑 표시에서의 전류를 흘릴(기본적으로는 전류는 0임. 즉, 화상 표시로 흑 표시로 하고 있을 때) 때의 게이트(G) 단자 전압 V_b (V)가 관련된다. 이들 관계는,

$$C_a/(200 C_b) \leq |V_w - V_b| \leq C_a/(8 C_b)$$

의 조건을 만족시키는 것이 바람직하다. 또한, $|V_w - V_b|$ 란, 구동용 트랜지스터의 백 표시 시의 단자 전압과 흑 표시 시의 단자 전압의 차의 절대값이다(즉, 변화하는 전압 폭).

더욱 바람직하게는,

$$C_a/(100 C_b) \leq |V_w - V_b| \leq C_a/(10 C_b)$$

의 조건을 만족시키는 것이 바람직하다.

트랜지스터(11b)는 P 채널로 하고, 이 P 채널은 적어도 더블 게이트 이상으로 한다. 바람직하게는, 트리플 게이트 이상으로 한다. 더욱 바람직하게는, 4 게이트 이상으로 한다. 그리고, 트랜지스터(11b)의 소스-게이트(SD 혹은 게이트-드레인(GD)) 용량(트랜지스터가 온 상태로 하고 있을 때의 용량)의 1배 이상 10배 이하의 컨덴서를 병렬로 형성 또는 배치하는 것이 바람직하다.

또한, 이상의 사항은, 도 1의 화소 구성뿐만 아니라, 다른 화소 구성에서도 유효하다. 예를 들면, 도 42의 (b)에 도시한 바와 같이 커런트 미러의 화소 구성에 있어서, 관통을 발생시키는 컨덴서를 게이트 신호선(17a 또는 17b)과 트랜지스터(11a)의 게이트(G) 단자 사이에 배치 또는 형성한다. 스위칭 트랜지스터(11c)의 N 채널은 더블 게이트 이상으로 한다. 혹은 스위칭 트랜지스터(11c, 11d)를 P 채널로 하여, 트리플 게이트 이상으로 한다.

(41)의 전압 프로그램의 구성에 있어서는, 게이트 신호선(17c)과 구동용 트랜지스터(11a)의 게이트(G) 단자 사이에 관통 전압 발생용의 컨덴서(19c)를 형성 또는 배치한다. 또한, 스위칭 트랜지스터(11c)는 트리플 게이트 이상으로 한다. 관통 전압 발생용의 컨덴서(19c)는 트랜지스터(11c)의 드레인(D) 단자(컨덴서(19b) 측)와, 게이트 신호선(17a) 사이에 배치해도 된다. 또한, 관통 전압 발생용의 컨덴서(19c)는 트랜지스터(11a)의 게이트(G) 단자와, 게이트 신호선(17a) 사이에 배치해도 된다. 또한, 관통 전압 발생용의 컨덴서(19c)는 트랜지스터(11c)의 드레인(D) 단자(컨덴서(19b) 측)와, 게이트 신호선(17c) 사이에 배치해도 된다.

또한, 전하 유지용의 컨덴서(19a)의 용량을 C_a (pF)로 하고, 스위칭용의 트랜지스터(11c 또는 11d)의 소스-게이트 용량 C_c (pF)(관통용의 컨덴서가 있는 경우에는, 그 용량을 더한 값)로 하고, 게이트 신호선에 인가되는 고전압 신호(V_{gh})(V)로 하고, 게이트 신호선에 인가되는 저전압 신호(v_{g1})(V)로 했을 때, 이하의 조건을 만족하도록 구성함으로써, 양호한 흑 표시를 실현할 수 있다.

$$0.05(V) \leq (V_{gh} - v_{g1}) \times (C_c / C_a) \leq 0.8(V)$$

더욱 바람직하게는, 이하의 조건을 만족시키는 것이 바람직하다.

$$0.1(V) \leq (V_{gh} - v_{g1}) \times (C_c / C_a) \leq 0.5(V)$$

이상의 사항은 도 43 등의 화소 구성에도 유효하다. 도 43의 전압 프로그램의 화소 구성에서는, 트랜지스터(11a)의 게이트(G) 단자와 게이트 신호선(17a) 사이에 관통 전압 발생용의 컨덴서(19b)를 형성 또는 배치한다.

또한, 관통 전압을 발생시키는 컨덴서(19b)는, 트랜지스터의 소스 배선과 게이트 배선으로 형성한다. 단, 트랜지스터(11)의 소스 폭을 넓혀, 게이트 신호선(17)과 중첩하여 형성하는 구성이므로, 실용상은 명확하게 트랜지스터와 분리할 수 없는 구성인 경우가 있다.

또한, 스위칭 트랜지스터(11b, 11c)(도 1의 구성인 경우)를 필요 이상으로 크게 형성함으로써, 외관상, 관통 전압용의 컨덴서(19b)를 구성하는 방식도 본 발명의 범주이다. 스위칭 트랜지스터(11b, 11c)는 채널 폭 W / 채널 길이 $L=6/6\mu m$ 로 형성하는 경우가 많다. 이것을 W 와 크게 하는 것도 관통 전압용의 컨덴서(19b)를 구성하게 된다. 예를 들면, $W:L$ 의 비를 2:1 이상 20:1 이하로 하는 구성이 예시된다. 바람직하게는, $W:L$ 의 비를 3:1 이상 10:1 이하로 하는 것이 좋다.

또한, 관통 전압용의 컨덴서(19b)는, 화소가 변조하는 R, G, B에서 크기(용량)를 변화시키는 것이 바람직하다. R, G, B의 각 EL 소자(15)의 구동 전류가 서로 다르기 때문이다. 또한, EL 소자(15)의 차단 전압이 다르기 때문이다. 그 때문에, EL 소자(15)의 구동용 트랜지스터(11a)의 게이트(G) 단자에 프로그램하는 전압(전류)이 다르기 때문이다. 예를 들면, R의 화소의 컨덴서(19bR)를 0.02pF로 한 경우, 다른 색(G, B의 화소)의 컨덴서(19bG, 19bB)를 0.025pF로 한다. 또한, R의 화소의 컨덴서(19bR)를 0.02pF로 한 경우, G의 화소의 컨덴서(19bG)와 0.03pF로 하고, B의 화소의 컨덴서(19bB)를 0.025pF로 하는 등이다. 이와 같이, R, G, B의 화소마다 컨덴서(19b)의 용량을 변화시키는 것의 보다 오프셋의 구동 전류를 RGB마다 조정할 수 있다. 따라서, 각 RGB의 흑 표시 레벨을 최적값으로 할 수 있다.

이상은, 관통 전압 발생용의 컨덴서(19b)의 용량을 변화시킨다고 했지만, 관통 전압은, 유지용의 컨덴서(19a)와 관통 전압 발생용의 컨덴서(19b)의 용량이 상대적인 것이다. 따라서, 컨덴서(19b)를 R, G, B의 화소로 변화하는 것에 한정되는 것은 아니다. 즉, 유지용 컨덴서(19a)의 용량을 변화시켜도 무방하다. 예를 들면, R의 화소의 컨덴서(11aR)를 1.0pF로 한 경우, G의 화소의 컨덴서(11aG)와 1.2pF로 하고, B의 화소의 컨덴서(11aB)를 0.9pF로 하는 등이다. 이 때, 관통용 컨덴서(19b)의 용량은, R, G, B에서 공통의 값으로 한다. 따라서, 본 발명은, 유지용의 컨덴서(19a)와 관통 전압 발생용의 컨덴서(19b)와의 용량비를, R, G, B의 화소 중, 적어도 하나를 다른 것과 다르게 한 것이다. 또한, 유지용의 컨덴서(19a)의 용량과 관통 전압 발생용의 컨덴서(19b)와의 용량의 양방을 R, G, B 화소로 변화시켜도 무방하다.

또한, 화면(50)의 좌우로 관통 전압용의 컨덴서(19b)의 용량을 변화시켜도 된다. 게이트 드라이버(12)에 가까운 위치에 있는 화소(16)는 신호 공급측에 배치되어 있기 때문에, 게이트 신호의 상승이 빠르기(회전율이 높기 때문임) 때문에, 관통 전압이 커진다. 게이트 신호선(17)단에 배치(형성)되어 있는 화소는, 신호 파형이 완만해져 있다(게이트 신호선(17)에는 용량이 있기 때문임). 게이트 신호의 상승이 느리기(회전율이 느림) 때문에, 관통 전압이 작아지기 때문이다. 따라서, 게이트 드라이버(12)와의 접속 측에 가까운 화소(16)의 관통 전압용 컨덴서(19b)를 작게 한다. 또한, 게이트 신호선(17)단은 컨덴서(19b)를 크게 한다. 예를 들면, 화면의 좌우에서 컨덴서의 용량은 10% 정도 변화시킨다.

발생하는 관통 전압은, 유지용 컨덴서(19a)와 관통 전압 발생용의 컨덴서(19b)의 용량비로 결정된다. 따라서, 화면의 좌우로 관통 전압 발생용의 컨덴서(19b)의 크기를 변화시킨다고 했지만, 이것에 한정되는 것은 아니다. 관통 전압 발생용의 컨덴서(19b)는 화면의 좌우로 일정하게 하여, 전하 유지용의 컨덴서(19a)의 용량을 화면의 좌우로 변화시켜도 무방하다. 또한, 관통 전압 발생용의 컨덴서(19b)와, 전하 유지용의 컨덴서(19a) 용량의 양방을 화면의 좌우로 변화시켜도 되는 것은 물론이다.

본 발명의 N배 펄스 구동의 과제에 EL 소자(15)에 인가하는 전류가 순간 적이지만, 종래와 비교하여 N배 크다고 하는 문제가 있다. 전류가 크면 EL 소자의 수명을 저하시키는 경우가 있다. 이 과제를 해결하기 위해서는, EL 소자(15)에 역 바이어스 전압 V_m 을 인가하는 것이 유효하다.

이상의 실시예는 1 필드(1 프레임) 내에서 RGB의 화상 데이터를 재기입하는 구동 방법이었다. RGB 데이터의 재기입은 시퀀스적으로 행하여도 된다. 시퀀스적이라고 함은, 1 프레임과 3 필드로 하고, 제1 필드에서 R의 화상 데이터를 재기입하고, 제2 필드에서 G의 화상 데이터를 재기입하고, 제3 필드에서 B의 화상 데이터를 재기입하는 구동 방법이다. 이 구동을 시퀀스 구동이라고 부른다.

또한, 시퀀스 구동과 N배 펄스 구동, 리셋 구동 등의 본 발명의 다른 구동 방법과 조합하여도 되는 것은 물론이다. 또한, 각 구동 방법을 조합한 구동 방법을 실시한 표시 패널, 상기 표시 패널을 이용한 표시 장치는 본 발명에 포함된다.

도 75는 시퀀스 구동을 실시하기 위한 표시 패널의 설명도이다. 소스 드라이버 회로(14)는 접속 단자(996)에 R, G, B 데이터를 전환하여 출력한다. 따라서, 소스 드라이버 회로(14)의 출력 단자 수는 도 48 등의 경우에 비교하여 1/3의 출력 단자수로 끝난다.

소스 드라이버 회로(14)로부터 접속 단자(996)에 출력하는 신호는, 출력 전환 회로(751)의 보다 소스 신호선(18R, 18G, 18B)으로 분류된다. 출력 전환 회로(751)는 폴리실리콘 기술로 기판(71)에 직접 형성한다. 또한, 출력 전환 회로(751)는 실리콘 칩으로 형성하고, COG 기술로 기판(71)에 실장해도 된다. 또한, 출력 전환 회로(751)는 전환 스위치 751을 소스 드라이버 회로(14)의 회로로서, 소스 드라이버 회로(14)에 내장시켜도 무방하다.

전환 스위치(752)가 R 단자에 접속되어 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는, 소스 신호선(18R)에 인가된다. 전환 스위치(752)가 G 단자에 접속되어 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는, 소스 신호선(18G)에 인가된다. 전환 스위치(752)가 B 단자에 접속되어 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는, 소스 신호선(18b)에 인가된다.

또한, 도 76의 구성에서는, 전환 스위치(752)가 R 단자에 접속되어 있을 때에는, 전환 스위치의 G 단자 및 B 단자는 오픈이다. 따라서, 소스 신호선(18G) 및 18B에 입력되는 전류는 0A이다. 따라서, 소스 신호선(18G) 및 18B에 NO 접속된 화소(16)는 흑 표시로 된다.

전환 스위치(752)가 G 단자에 접속되어 있을 때에는, 전환 스위치의 R 단자 및 B 단자는 오픈이다. 따라서, 소스 신호선(18R) 및 18B에 입력되는 전류는 0A이다. 따라서, 소스 신호선(18R) 및 18B에 접속된 화소(16)는 흑 표시로 된다.

또한, 도 76의 구성에서는, 전환 스위치(752)가 B 단자에 접속되어 있을 때에는, 전환 스위치의 R 단자 및 G 단자는 오픈이다. 따라서, 소스 신호선(18R 및 18G)에 입력되는 전류는 0A이다. 따라서, 소스 신호선(18R 및 18G)에 접속된 화소(16)는 흑 표시로 된다.

기본적으로는, 1 프레임이 3 필드로 구성되는 경우, 제1 필드에서, 표시 영역(50)의 화소(16)에 순차 R 화상 데이터가 기입된다. 제2 필드에서는, 표시 영역(50)의 화소(16)에 순차 G 화상 데이터가 기입된다. 또한, 제3 필드에서는, 표시 영역(50)의 화소(16)에 순차 B 화상이 기입된다.

이상과 같이, 필드마다 R 데이터→G 데이터→B 데이터→R 데이터→……가 순차 재기입되어 시퀀스 구동이 실현된다. 도 1과 같이 스위칭 트랜지스터(11d)를 온 오프시켜, N배 펄스 구동을 실현하는 것 등은, 도 5, 도 13, 도 16 등에서 설명을 했다. 이들 구동 방법을 시퀀스 구동과 조합할 수 있는 것은 물론이다.

또한, 앞서 설명한 실시예에서는, R 화소(16)에 화상 데이터를 기입할 때는, G 화소 및 B 화소에는 흑 데이터를 기입하는 것으로 했다. G 화소(16)에 화상 데이터를 기입할 때는, R 화소 및 B 화소에는 흑 데이터를 기입하는 것으로 했다. B 화소(16)에 화상 데이터를 기입할 때는, R 화소 및 G 화소에는 흑 데이터를 기입하는 것으로 했다. 본 발명은 이것에 한정되는 것은 아니다.

예를 들면, R 화소(16)에 화상 데이터를 기입할 때는, G 화소 및 B 화소의 화상 데이터는 이전 필드에서 재기입된 화상 데이터를 유지하도록 하여도 된다. 이와 같이 구동하면 화면(50) 휘도를 밝게 할 수 있다. G 화소(16)에 화상 데이터를 기입할 때는, R 화소 및 B 화소의 화상 데이터는 이전 필드에서 재기입된 화상 데이터를 유지하도록 한다. B 화소(16)에 화상 데이터를 기입할 때는, G 화소 및 R 화소의 화상 데이터는 이전 필드에서 재기입된 화상 데이터를 유지한다.

이상과 같이, 재기입하고 있는 색 화소 이외의 화소의 화상 데이터를 유지하기 위해서는, RGB 화소에서 게이트 신호선(17a)을 독립적으로 제어할 수 있도록 하면 된다. 예를 들면, 도 75에 도시한 바와 같이, 게이트 신호선(17aR)은, R 화소의 트랜지스터(11b), 트랜지스터(11c)의 온 오프를 제어하는 신호선으로 한다. 또한, 게이트 신호선(17aG)은, G 화소의 트랜지스터(11b), 트랜지스터(11c)의 온 오프를 제어하는 신호선으로 한다. 게이트 신호선(17aB)은, B 화소의 트랜지스터(11b), 트랜지스터(11c)의 온 오프를 제어하는 신호선으로 한다. 한편, 게이트 신호선(17b)은 R 화소, G 화소, B 화소의 트랜지스터(11d)를 공통으로 온 오프시키는 신호선으로 한다.

이상과 같이 구성하면, 소스 드라이버 회로(14)가 R의 화상 데이터를 출력하고, 스위치(752)가 R 접점에 전환하여 있을 때는, 게이트 신호선(17aR)에 온 전압을 인가하고, 게이트 신호선 aG와 게이트 신호선 aB로 오프 전압을 인가할 수 있다. 따라서, R의 화상 데이터를 R 화소(16)에 기입하고, G 화소(16) 및 B 화소(16)는 앞에 필드의 화상 데이터를 유지한 그대로 할 수 있다.

제2 필드에서 소스 드라이버 회로(14)가 G의 화상 데이터를 출력하고, 스위치(752)가 G 접점으로 전환되어 있을 때는, 게이트 신호선(17aG)에 온 전압을 인가하고, 게이트 신호선 aR과 게이트 신호선 aB로 오프 전압을 인가할 수 있다. 따라서, G의 화상 데이터를 G 화소(16)에 기입하고, R 화소(16) 및 B 화소(16)는 앞에 필드의 화상 데이터를 유지한 그대로 할 수 있다.

제3 필드에서 소스 드라이버 회로(14)가 B의 화상 데이터를 출력하고, 스위치(752)가 B 접점으로 전환되어 있을 때는, 게이트 신호선(17aB)에 온 전압을 인가하고, 게이트 신호선 aR와 게이트 신호선 aG 과 오프 전압을 인가할 수 있다. 따라서, B의 화상 데이터를 B 화소(16)에 기입하고, R 화소(16) 및 G 화소(16)은 앞에 필드의 화상 데이터를 유지한 그대로 할 수 있다.

도 75의 실시예에서는, RGB마다 화소(16)의 트랜지스터(11b)를 온 오프시키는 게이트 신호선(17a)을 형성 혹은 배치한다고 했다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 76에 도시한 바와 같이, RGB의 화소(16)에 공통의 게이트 신호선(17a)을 형성 또는 배치하는 구성이어도 된다.

도 75 등의 구성에 있어서, 전환 스위치(752)가 R의 소스 신호선을 선택하고 있을 때는, G의 소스 신호선과 B의 소스 신호선은 오픈이 된다고 해서 설명을 했다. 그러나, 오픈 상태는 전기적으로는 부유 상태이어서, 바람직한 것은 아니다.

도 76에서는 이 부유 상태를 없애기 위해서 대책을 행한 구성이다. 출력 전환 회로(751)의 스위치(752)의 a 단자는 Vaa 전압(혹 표시로 되는 전압)에 접속되어 있다. b 단자는 소스 드라이버 회로(14)의 출력 단자와 접속되어 있다. 스위치(752)는 RGB 각각에 마련되어 있다.

도 76의 상태에서는, 스위치(752R)는 Vaa 단자에 접속되어 있다. 따라서, 소스 신호선(18R)에는 Vaa 전압(혹 전압)이 인가되어 있다. 스위치(752G)는 Vaa 단자에 접속되어 있다. 따라서, 소스 신호선(18G)에는, Vaa 전압(혹 전압)이 인가되어 있다. 스위치(752B)는 소스 드라이버 회로(14)의 출력 단자에 접속되어 있다. 따라서, 소스 신호선(18b)에는, B의 영상 신호가 인가되어 있다.

이상의 상태에서는, B 화소가 재기입 상태이고, R 화소와 G 화소에는 흑 표시 전압이 인가된다. 이상과 같이 스위치(752)를 제어함으로써, 화소(16)의 화상은 재기입된다. 또한, 게이트 신호선(17b)의 제어 등에 관해서는 이전에 설명한 실시예와 마찬가지로 하기 때문에 설명을 생략한다.

이상의 실시예에서는, 제1 필드에서 R 화소(16)를 재기입하고, 제2 필드에서 G 화소(16)를 재기입하고, 제3 필드에서 B 화소(16)를 재기입하는 것으로 했다. 즉, 1 필드마다 재기입되는 화소의 색이 변화한다. 본 발명은 이것에 한정되는 것이 아니다. 1 수평 주사 기간(1H)마다 재기입 화소의 색을 변화시켜도 무방하다. 예를 들면, 1H 번째에 R 화소를 재기입하고, 2H 번째에 G 화소를 재기입하고, 3H 번째에 B 화소를 재기입하고, 4H 번째에 R 화소를 재기입하고,라고 구동하는 방법이다. 물론, 2H 이상의 복수 수평 주사 기간마다 재기입 화소의 색을 변화시켜도 되고, 1/3 필드마다 재기입 화소의 색을 변화시켜도 무방하다.

도 77은 1H마다 재기입 화소의 색을 변화시킨 실시예이다. 또한, 도 77 내지 도 79에 있어서, 사전으로 도시한 화소(16)는, 화소를 재기입하지 않고서 이전 필드의 화상 데이터를 유지하고 있는 것, 혹은 흑 표시에 되어 있는 것을 나타내고 있다. 물론, 화소를 흑 표시하거나, 이전 필드의 데이터를 보유하고나 하여 반복해서 실시하여도 된다.

또한, 도 75 내지 도 79의 구동 방식에 있어서, 도 13 등의 N배 펄스 구동이나 M행 동시 구동을 실시해도 되는 것은 물론이다. 도 75 내지 도 79 등은 화소(16)의 기입 상태를 설명하고 있다. EL 소자(15)의 점등 제어는 설명하지 않지만, 이전 혹은 이후에 설명하는 실시예를 조합할 수 있는 것은 물론이다.

또한, 1 프레임은 3 필드로 구성되는 것에 한정되는 것이 아니다. 2 필드이어도 되고, 4 필드 이상이어도 된다. 1 프레임이 2 필드에서, RGB의 3원색인 경우에는, 제1 필드에서, R와 G 화소를 재기입하고, 제2 필드에서 B 화소를 재기입한다고 하는 실시예가 예시된다. 또한, 1 프레임이 4 필드에서, RGB의 3원색인 경우에는, 제1 필드에서, R 화소를 재기입하고, 제2 필드에서 G 화소를 재기입하고, 제3 필드와 제4 필드에서 B 화소를 재기입한다고 하는 실시예가 예시된다. 이들 시퀀스는, RGB의 EL 소자(15)의 발광 효율을 고려하여 검토하는 것의 보다 효율적으로 화이트 밸런스를 취할 수 있다.

이상의 실시예에서는, 제1 필드에서 R 화소(16)를 재기입하고, 제2 필드에서 G 화소(16)를 재기입하고, 제3 필드에서 B 화소(16)를 재기입하는 것으로 했다. 즉, 1 필드마다 재기입되는 화소의 색이 변화한다.

도 77의 실시예에서는, 제1 필드의 1H째에 R 화소를 재기입하고, 2H 번째에 G 화소를 재기입하고, 3H 번째에 B 화소를 재기입하고, 4H 번째에 R 화소를 재기입하고, ……라고 구동하는 방법이다. 물론, 2H 이상의 복수수평 주사 기간마다 재기입 화소의 색을 변화시켜도 되고, 1/3 필드마다 재기입 화소의 색을 변화시켜도 무방하다.

도 77의 실시예에서는, 제1 필드의 1H째에 R 화소를 재기입하고, 2H 번째에 G 화소를 재기입하고, 3H 번째에 B 화소를 재기입하고, 4H 번째에 R 화소를 재기입한다. 제2 필드의 1H째에 G 화소를 재기입하고, 2H 번째에 B 화소를 재기입하고, 3H 번째에 R 화소를 재기입하고, 4H 번째에 G 화소를 재기입한다. 제3 필드의 1H째에 B 화소를 재기입하고, 2H 번째에 R 화소를 재기입하고, 3H 번째에 G 화소를 재기입하고, 4H 번째에 B 화소를 재기입한다.

이상과 같이, 각 필드에서 R, G, B 화소를 임의로 혹은 소정의 규칙성을 갖고 재기입함으로써, R, G, B의 컬러 분리를 방지할 수 있다. 또한, 깜박임의 발생도 억제할 수 있다.

도 78에서는, 1H마다 재기입되는 화소(16)의 색 수는 복수로 되어 있다. 도 77에서는, 제1 필드에서, 1H 번째는 재기입되는 화소(16)는 R 화소이고, 2H 번째는 재기입되는 화소(16)는 G 화소이다. 또한, 3H 번째는 재기입되는 화소(16)는 B 화소이고, 4H 번째는 재기입되는 화소(16)는 R 화소이다.

도 78에서는, 1H마다, 재기입 화소의 색 위치를 서로 다르게 하고 있다. 각 필드에서 R, G, B 화소를 다르게 하여(소정의 규칙성을 가지고 있어도 되는 것은 물론임), 순차 재기입함으로써, R, G, B의 컬러 분리를 방지할 수 있다. 또한, 깜박임의 발생도 억제할 수 있다.

또한, 도 78의 실시예에 있어서도, 각 화소(RGB 화소의 조)에서는 RGB의 점등 시간 혹은 발광 강도를 일치시킨다. 이것은, 도 76, 도 77 등의 실시예에서도 당연히 실시하는 것은 물론이다. 색 얼룩으로 되기 때문이다.

도 78과 같이, 1H마다 재기입 화소의 색 수(도 78의 제1 필드의 1H 번째는, R, G, B의 3색이 재기입되어 있음)를 복수로 하는 것은, 도 75에 있어서, 소스 드라이버 회로(14)가 각 출력 단자에 임의(일정한 규칙성이 있어도 무방함)의 색의 영상 신호를 출력할 수 있도록 구성하고, 스위치(752)가 점점 R, G, B를 임의(일정한 규칙성이 있어도 됨)에 접속할 수 있도록 구성하면 된다.

도 79의 실시예의 표시 패널에서는, RGB의 3원색 외에, W(백)의 화소(16W)를 갖고 있다. 화소(16W)를 형성 또는 배치하는 것의 보다, 색 피크 회도를 양호하게 실현할 수 있다. 또한, 고휘도 표시를 실현할 수 있다. 도 79의 (a)는 1 화소 행에, R, G, B, W 화소(16)를 형성한 실시예이다. 도 79의 (b)는 1 화소 행마다, RGBW의 화소(16)를 배치한 구성이다.

도 79의 구동 방법에서도 도 77, 도 78 등의 구동 방식을 실시할 수 있는 것은 물론이다. 또한, N배 펄스 구동이나, M 화소 행 동시 구동 등을 실시할 수 있는 것은 물론이다. 이들 사항은 당업자이면 본 명세서에 의해 용이하게 구현화할 수 있기 때문에 설명을 생략한다.

또한, 본 발명은 설명을 쉽게 하기 위해서, 본 발명의 표시 패널은 RGB의 3원색을 갖는 것으로 하여 설명을 하고 있지만, 이것에 한정되는 것은 아니다. RGB 외에, 시안, 옐로우, 마젠타를 가하여도 되고, R, G, B 중 어느 단색, R, G, B 중 어느 2색을 이용한 표시 패널이어도 된다.

또한, 이상의 시퀀스 구동 방식에서는, 필드마다 RGB를 조작하는 것으로 했지만, 본 발명은 이것에 한정되는 것이 아닌 것은 물론이다. 또한, 도 75 내지 도 79의 실시예는, 화소(16)에 화상 데이터를 기입하는 방법에 대하여 설명한 것이다. 도 1 등의 트랜지스터(11d)를 조작하여, EL 소자(15)에 전류를 흘려 화상을 표시하는 방식을 설명한 것이 아니다(물론, 관련하고 있음). EL 소자(15)에 흐르는 전류는, 도 1의 화소 구성에서는, 트랜지스터(11d)를 제어함으로써 행한다.

또한, 도 77, 도 78 등의 구동 방법에서는, 트랜지스터(11d)(도 1의 경우)를 제어함으로써, RGB 화상을 순차 표시할 수 있다. 예를 들면, 도 80의 (a)는 1 프레임(1 필드) 기간에 R 표시 영역(53R), G 표시 영역(53G), B 표시 영역(53b)을 화면의 위에서 아래 방향(아래 방향에서 위 방향이어도 됨)으로 주사한다. RGB의 표시 영역 이외의 영역은 비표시 영역(52)으로 한다. 즉, 간헐 구동을 실시한다.

도 80의 (b)는 1 필드(1 프레임) 기간에 RGB 표시 영역(53)을 복수 발생하도록 실시한 실시예이다. 이 구동 방법은, 도 16의 구동 방법과 유사하다. 따라서, 설명을 필요로 하지 않을 것이다. 도 80의 (b)에 표시 영역(53)을 복수로 분할함으로써, 깜박임의 발생은 보다 저 프레임 레이트에서도 없어진다.

도 81의 (a)는, RGB의 표시 영역(53)으로 표시 영역(53)의 면적을 다르게 한 것이다(표시 영역(53)의 면적은 점등 기간에 비례하는 것은 말할 필요도 없음). 도 81의 (a)에서는, R 표시 영역(53R)과 G 표시 영역(53G)의 면적을 동일하게 하고 있다. G 표시 영역(53G)보다 B 표시 영역(53b)의 면적을 크게 하고 있다. 유기 EL 표시 패널에서는, B의 발광 효율이 나쁜 경우가 많은, 도 81의 (a)와 같이 B 표시 영역(53b)을 다른 색의 표시 영역(53)보다도 크게 함으로써, 효율적으로 화이트 밸런스를 취할 수 있게 된다.

도 81의 (b)는, 1 필드(프레임) 기간에, B 표시 기간 53 B가 복수(53B1, 53B2)로 되도록 한 실시예이다. 도 81의 (a)는 하나의 B 표시 영역(53b)을 변화시키는 방법이었다. 변화시키는 것에 의해 화이트 밸런스를 양호하게 조정할 수 있도록 한다. 도 81의 (b)는, 동일 면적의 B 표시 영역(53b)을 복수 표시시킴으로써, 화이트 밸런스를 양호하게 한다.

본 발명의 구동 방식은 도 81의 (a)와 도 81의 (b)의 어느 것으로 한정하는 것은 아니다. R, G, B의 표시 영역(53)을 발생하고, 또한, 간헐 표시함으로써, 결과로서 동화상 불선명을 대책하여, 화소(16)에의 기입 부족을 개선하는 것을 목적으로 하고 있다. 또한, 도 16의 구동 방법에서는, R, G, B가 독립의 표시 영역(53)은 발생하지 않는다. RGB가 동시에 표시된다(W 표시 영역(53)이 표시되면 표현하여야 함). 또한, 도 81의 (a)와 도 81의 (b)는 조합하여도 되는 것은 물론이다. 예를 들면, 도 81의 (a)의 RGB의 표시 면적(53)을 변화하고, 또한 도 81의 (b)의 RGB의 표시 영역(53)을 복수 발생시키는 구동 방법의 실시이다.

또한, 도 80 내지 도 81의 구동 방식은, 도 75 내지 도 79의 본 발명의 구동 방식에 한정되는 것이 아니다. 도 41과 같이, RGB마다 EL 소자(15)(EL 소자(15R), EL 소자(15G), EL 소자(15b))에 흐르는 전류를 제어할 수 있는 구성이면, 도 80, 도 81의 구동 방식을 용이하게 실시할 수 있는 것은 말할 필요도 없을 것이다. 게이트 신호선(17bR)에 온 오프 전압을 인가함으로써, R 화소(16R)를 온 오프 제어할 수 있다. 게이트 신호선(17bG)에 온 오프 전압을 인가함으로써, G 화소(16G)를 온 오프 제어할 수 있다. 게이트 신호선(17bB)에 온 오프 전압을 인가함으로써, B 화소(16B)를 온 오프 제어할 수 있다.

또한, 이상의 구동을 실현하기 위해서는, 도 82에 도시한 바와 같이, 게이트 신호선(17bR)을 제어하는 게이트 드라이버 회로(12bR), 게이트 신호선(17bG)을 제어하는 게이트 드라이버 회로(12bG), 게이트 신호선(17bB)를 제어하는 게이트 드라이버 회로(12bB)를 형성 또는 배치하면 된다. 도 82의 게이트 드라이버(12bR, 12bG, 12bB)를 도 6 등에서 설명한 방법으로 구동함으로써, 도 80, 도 81의 구동 방법을 실현할 수 있다. 물론, 도 82의 표시 패널의 구성으로, 도 16의 구동 방법 등도 실현할 수 있는 것은 물론이다.

또한, 도 75 내지 도 78의 구성에서, 화상 데이터를 재기입 화소(16) 이외의 화소(16)에, 즉 화상 데이터를 재기입 방식이면, EL 소자(15R)를 제어하는 게이트 신호선(17bR), EL 소자(15G)를 제어하는 게이트 신호선(17bG), EL 소자(15b)를 제어하는 게이트 신호선 bB가 분리되어 있지 않고, RGB 화소에 공통의 게이트 신호선(17b)이더라도, 도 80, 도 81의 구동 방식을 실현할 수 있는 것은 물론이다.

EL 소자(15)에 있어서, 전자는 음극(캐소드)으로부터 전자 수송층에 주입됨과 동시에 정공도 양극(애노드)으로부터 정공 수송층에 주입된다. 주입된 전자, 정공은 인가 전계에 의해 쌍극으로 이동한다. 그 때, 유기층중에 트랩되거나, 발광층 계면에서의 에너지 준위의 차에 의해 캐리어가 축적되기도 한다.

유기층중에 공간 전하가 축적되면 분자가 산화 혹은 환원되고, 생성된 래디컬 음이온 분자 혹은 래디컬 양이온 분자가 불안정함으로써, 막질의 저하에 의해 휘도의 저하 및 정전류 구동 시의 구동 전압의 상승을 초래하는 것이 알려져 있다. 이것을 방지하기 위해서, 일례로서 디바이스 구조를 변화시켜, 역방향 전압을 인가하고 있다.

역 바이어스 전압이 인가되면, 역방향 전류가 인가되기 때문에, 주입된 전자 및 정공이 각각 음극 및 양극으로 방출된다. 이에 의해, 유기층 중의 공간 전하 형성을 해소하여, 분자의 전기 화학적 열화를 억제함으로써 수명을 길게 하는 것이 가능하게 된다.

도 45는 역 바이어스 전압 V_m 과 EL 소자(15)의 단자 전압이 변화를 나타내고 있다. 이 단자 전압이란, EL 소자(15)에 정격 전류를 인가했을 때이다. 도 45는 EL 소자(15)에 흘리는 전류가 전류 밀도 100A/평방미터인 경우이지만, 도 45의 경향은, 전류 밀도 50~100A/평방미터인 경우와 거의 차이가 없었다. 따라서, 넓은 범위의 전류 밀도로 적용할 수 있다고 추정된다.

종축은 초기의 EL 소자(15)의 단자 전압에 대하여, 2500 시간 후의 단자 전압과의 비이다. 예를 들면, 경과 시간 0 시간에 있어서, 전류 밀도 100A/평방미터의 전류의 인가했을 때의 단자 전압이 8(V)로 하고, 경과 시간 2500 시간에 있어서, 전류 밀도 100A/평방미터의 전류의 인가했을 때의 단자 전압이 10(V)으로 하면, 단자 전압비는 $10/8=1.25$ 이다.

횡축은 역 바이어스 전압 V_m 과 1 주기에 역 바이어스 전압을 인가한 시간 t_1 의 곱에 대한 정격 단자 전압 V_0 의 비이다. 예를 들면, 60Hz(특히 60Hz에 의미는 없지만)에서, 역 바이어스 전압 V_m 을 인가한 시간이 $1/2$ (절반)이면, $t_1=0.5$ 이다. 또한, t_2 는 정격 단자 전압의 인가 시간이다. 또한, 경과 시간 0 시간에 있어서, 전류 밀도 100A/평방미터의 전류의 인가했을 때의 단자 전압(정격 단자 전압)이 8(V)로 하고, 역 바이어스 전압 V_m 을 -8(V)로 하면, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2) = | -8(V) \times 0.5 | / (8(V) \times 0.5) = 1.0$ 으로 된다.

도 45에 따르면, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 가 1.0 이상에서 단자 전압비의 변화가 없어진다(초기의 정격 단자 전압으로부터 변화되지 않음). 역 바이어스 전압 V_m 의 인가에 의한 효과가 잘 발휘되어 있다. 그러나, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 가 1.75 이상에서 단자 전압비는 증가하는 경향이 있다. 따라서, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 는 1.0 이상으로 하도록 역 바이어스 전압 V_m 의 크기 및 인가 시간비 T_1 (혹은 t_2 , 혹은 T_1 과 T_2 의 비율)을 결정하면 된다. 또한, 바람직하게는, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 는 1.75 이하로 되도록 역 바이어스 전압 V_m 의 크기 및 인가 시간비 T_1 등을 결정하면 된다.

단, 바이어스 구동을 행하는 경우에는, 역 바이어스 V_m 과 정격 전류를 교대로 인가할 필요가 있다. 도 46와 같이 샘플 A와 B의 단위 시간당의 평균 휘도를 동일하게 하고자 하면, 역 바이어스 전압을 인가하는 경우에는, 인가하지 않는 경우에 비교하여 순간적으로는 높은 전류를 흘릴 필요가 있다. 그 때문에, 역 바이어스 전압 V_m 을 인가하는 경우(도 46의 샘플 A)의 EL 소자(15)의 단자 전압도 높아진다.

그러나, 도 45에서는, 역 바이어스 전압을 인가하는 구동 방법에서도, 정격 단자 전압 V_0 이란, 평균 휘도를 만족하는 단자 전압(즉, EL 소자(15)를 점등하는 단자 전압)으로 한다(본 명세서의 구체예에 따르면, 전류 밀도 200A/평방미터의 전류의 인가했을 때의 단자 전압이다. 단, $1/2$ 듀티이기 때문에, 1 주기의 평균 휘도는 전류 밀도 200A/평방미터에서의 휘도로 됨).

이상의 사항은, EL 소자(15)를, 백 래스터 표시(화면 전체의 EL 소자에 최대 전류를 인가하고 있는 경우)를 상정하고 있다. 그러나, EL 표시 장치의 영상 표시를 행하는 경우에는, 자연 화상이고, 계조 표시를 행한다. 따라서, 끊임없이, EL 소자(15)의 백 피크 전류(최대 백 표시로 흐르는 전류. 본 명세서의 구체예에서는, 평균 전류 밀도 100A/평방미터의 전류)가 흐르고 있는 것은 아니다.

일반적으로, 영상 표시를 행하는 경우에는, 각 EL 소자(15)에 인가되는 전류(흐르는 전류)는, 백 피크 전류(정격 단자 전압 시에 흐르는 전류. 본 명세서의 구체예에 따르면, 전류 밀도 100A/평방미터의 전류)의 약 0.2배이다.

따라서, 도 45의 실시예에서는, 영상 표시를 행하는 경우에는 횡축의 값에 0.2를 곱하는 것으로 할 필요가 있다. 따라서, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 는 0.2 이상으로 하도록 역 바이어스 전압 V_m 의 크기 및 인가 시간비 $t1$ (혹은 $t2$, 혹은 $T1$ 과 $T2$ 의 비율 등)을 결정하면 된다. 또한, 바람직하게는, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 는 $1.75 \times 0.2 = 0.35$ 이하로 되도록 역 바이어스 전압 V_m 의 크기 및 인가 시간비 $T1$ 등을 결정하면 된다.

즉, 도 45의 횡축($| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$)에 있어서, 1.0의 값을 0.2로 할 필요가 있다. 따라서, 표시 패널에 영상을 표시(이 사용 상태가 통상일 것임. 백 래스터를 상시 표시하는 일은 없을 것임) 시에는, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 가 0.2보다도 커지도록, 역 바이어스 전압 V_m 을 소정 시간 $T1$ 인가하도록 한다. 또한, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 의 값이 커지더라도, 도 45에서 도시하는 바와 같이, 단자 전압비의 증가는 크지 않다. 따라서, 상한치는 백 래스터 표시를 실시하는 것도 고려하여, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 의 값이 1.75 이하를 만족하도록 하면 된다.

이하, 도면을 참조하면서, 본 발명의 역 바이어스 방식에 대하여 설명을 한다. 또한, 본 발명은 EL 소자(15)에 전류가 흐르고 있지 않은 기간에 역 바이어스 전압 V_m (전류)를 인가하는 것을 기본으로 한다. 그러나, 이것에 한정되는 것은 아니다. 예를 들면, EL 소자(15)에 전류가 흐르고 있는 상태에서, 강제적으로 역 바이어스 전압 V_m 을 인가해도 된다. 또한, 이 경우에는, 결과로서 EL 소자(15)에는 전류가 흐르지 않고, 비점등 상태(혹 표시 상태)로 될 것이다. 또한, 본 발명은, 주로 전류 프로그램의 화소 구성으로 역 바이어스 전압 V_m 을 인가하는 것을 중심으로 하여 설명하지만 이것에 한정되는 것은 아니다.

역 바이어스 구동의 화소 구성에서는, 도 47에 도시한 바와 같이, 트랜지스터(11g)를 N 채널로 한다. 물론, P 채널이어도 된다.

도 47에서는 게이트 전위 제어선(473)에 인가하는 전압을 역 바이어스선(471)에 인가하고 있는 전압보다도 높게 함으로써, 트랜지스터(11g)(N)가 온하고, EL 소자(15)의 애노드 전극에 역 바이어스 전압 V_m 이 인가된다.

또한, 도 47의 화소 구성 등에 있어서, 게이트 전위 제어선(473)을 상시, 전위 고정하여 동작시켜도 된다. 예를 들면, 도 47에 있어서 V_k 전압이 0(V)으로 할 때, 게이트 전위 제어선(473)의 전위를 0(V) 이상(바람직하게는 2(V) 이상)으로 한다. 또한, 이 전위를 V_{sg} 로 한다. 이 상태에서, 역 바이어스선(471)의 전위를 역 바이어스 전압 V_m (0(V) 이하, 바람직하게는 V_k 보다 -5(V) 이상 작은 전압)으로 하면, 트랜지스터(11g)(N)가 온 상태로 되어, EL 소자(15)의 애노드에, 역 바이어스 전압 V_m 이 인가된다. 역 바이어스선(471)의 전압을 게이트 전위 제어선(473)의 전압(즉, 트랜지스터(11g)의 게이트(G) 단자 전압)보다도 높게 하면, 트랜지스터(11g)는 오프 상태이기 때문에, EL 소자(15)에는 역 바이어스 전압 V_m 은 인가되지 않는다. 물론, 이 상태일 때에, 역 바이어스선(471)을 하이 임피던스 상태(오픈 상태 등)로 하여도 되는 것은 물론이다.

또한, 도 48에 도시하는 바와 같이, 역 바이어스선(471)을 제어하는 게이트 드라이버 회로(12c)를 별도로 형성 또는 배치해도 된다. 게이트 드라이버 회로(12c)는, 게이트 드라이버 회로(12a)와 마찬가지로 순차 시프트 동작하여, 시프트 동작에 동기하여, 역 바이어스 전압을 인가하는 위치가 시프트된다.

이상의 구동 방법에서는, 트랜지스터(11g)의 게이트(G) 단자는 전위 고정하고, 역 바이어스선(471)의 전위를 변화시키는 것만으로, EL 소자(15)에 역 바이어스 전압 V_m 을 인가할 수 있다. 따라서, 역 바이어스 전압 V_m 의 인가 제어가 용이하다. 또한, 트랜지스터(11g)의 게이트(G) 단자와 소스(S) 단자 간에 인가되는 전압을 저감할 수 있다. 이것은, 트랜지스터(11g)가 P 채널인 경우도 마찬가지이다.

또한, 역 바이어스 전압 V_m 의 인가는, EL 소자(15)에 전류를 흘리고 있지 않을 때에 행하는 것이다. 따라서, 트랜지스터(11d)가 온하지 않을 때에, 트랜지스터(11g)를 온시킴으로써 행하면 된다. 즉, 트랜지스터(11d)의 온 오프 로직의 역을 게이트 전위 제어선(473)에 인가하면 된다. 예를 들면, 도 47에서는 게이트 신호선(17b)에 트랜지스터(11d) 및 트랜지스터(11g)의 게이트(G) 단자를 접속하면 된다. 트랜지스터(11d)는 P 채널이고, 트랜지스터(11g)는 N 채널이기 때문에, 온 오프 동작은 반대로 된다.

도 49는 역 바이어스 구동의 타이밍차트이다. 또한, 차트도에 있어서 (1)(2) 등의 첨자는, 화소 행을 나타내고 있다. 설명을 쉽게 하기 위해서, (1)이란, 제1 화소 행째로 나타내고, (2)란 제2 화소 행째를 나타내는 것으로 하여 설명을 하지만, 이것에 한정되는 것은 아니다. (1)이 N 화소 행째를 나타내고, (2)가 N+1 화소 행째를 나타낸다고 생각하여도 된다. 이상의 것은 다른 실시예에서도, 특례를 제외하고 마찬가지이다. 또한, 도 49 등의 실시예에서는, 도 1 등의 화소 구성을 예시하여 설명을 하지만 이것에 한정되는 것이 아니다. 예를 들면, 도 41, 도 38 등의 화소 구성에 있어서도 적용할 수 있는 것이다.

제1 화소 행패의 게이트 신호선(17a)(1)에 온 전압(vg1)이 인가되고 있을 때에는, 제1 화소 행패의 게이트 신호선(17b)(1)에는 오프 전압(Vgh)이 인가된다. 즉, 트랜지스터(11d)는 오프이며, EL 소자(15)에는 전류가 흐르고 있지 않다.

역 바이어스선(471)(1)에는, Vs1 전압(트랜지스터(11g)가 온하는 전압)이 인가된다. 따라서, 트랜지스터(11g)가 온 상태로 되고, EL 소자(15)에는 역 바이어스 전압이 인가되어 있다. 역 바이어스 전압은, 게이트 신호선(17b)에 오프 전압(Vgh)이 인가된 후, 소정 기간(1H의 1/200 이상의 기간, 또는 0.5μsec) 후에, 역 바이어스 전압이 인가된다. 또한, 게이트 신호선(17b)에 온 전압(vg1)이 인가되는 소정 기간(1H의 1/200 이상의 기간, 또는 0.5μsec) 전에, 역 바이어스 전압이 오프된다. 이것은 트랜지스터(11d)와 트랜지스터(11g)가 동시에 온으로 되는 것을 회피하기 위해서이다.

다음의 수평 주사 기간(1H)에는, 게이트 신호선(17a)에는 오프 전압(Vgh)이 인가되고, 제2 화소 행이 선택된다. 즉, 게이트 신호선(17b)(2)에 온 전압이 인가된다. 한편, 게이트 신호선(17b)에는 온 전압(vg1)이 인가되고, 트랜지스터(11d)가 온하여, EL 소자(15)에 트랜지스터(11a)로부터 전류가 흘러 EL 소자(15)가 발광한다. 또한, 역 바이어스선(471)(1)에는 오프 전압(Vgh)이 인가되고, 제1 화소 행(1)의 EL 소자(15)에는 역 바이어스 전압이 인가되지 않도록 된다. 제2 화소 행의 역 바이어스선(471)(2)에는 Vs1 전압(역 바이어스 전압)이 인가된다.

이상의 동작을 순차 반복함으로써, 1 화면의 화상이 재기입된다. 이상의 실시예에서는, 각 화소에 프로그램되어 있는 기간에 역 바이어스 전압을 인가한다고 하는 구성이었다. 그러나, 도 48의 회로 구성은 이것에 한정되는 것이 아니다. 복수의 화소 행에 연속하여 역 바이어스 전압을 인가할 수도 있는 것은 분명하다. 또한, 블록 구동(도 40 참조)이나, N배 펄스 구동, 리셋 구동, 더미 화소 구동과도 조합할 수 있음은 명백하다.

또한, 역 바이어스 전압의 인가는, 화상 표시의 도중에 실시하는 것에 한정되는 것은 아니다. EL 표시 장치의 전원 오프 후, 일정한 기간 동안, 역 바이어스 전압이 인가되도록 구성해도 된다.

이상의 실시예는 도 1의 화소 구성의 경우였지만, 다른 구성에 있어서도, 도 38, 도 41 등의 역 바이어스 전압을 인가하는 구성에 적용할 수 있는 것은 물론이다. 예를 들면, 도 50은 전류 프로그램 방식의 화소 구성이다.

도 50은 커런트 미러의 화소 구성이다. 트랜지스터(11c)는 화소 선택 소자이다. 게이트 신호선(17a1)에 온 전압을 인가함으로써, 트랜지스터(11c)가 온 상태로 된다. 트랜지스터(11d)는 리셋 기능과, 구동용 트랜지스터(11a)의 드레인(D)-게이트(G) 단자 사이를 쇼트(GD 쇼트)하는 기능을 갖는 스위치 소자이다. 트랜지스터(11d)는 게이트 신호선(17a2)에 온 전압을 인가함으로써 온한다.

트랜지스터(11d)는, 해당 화소가 선택하는 1H(1수평 주사 기간, 즉 1 화소 행) 이상 전에 온 상태로 한다. 바람직하게는 3H 전에는 온시킨다. 3H 전으로 하면, 3H 전에 트랜지스터(11d)가 온하고, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 쇼트된다. 그 때문에, 트랜지스터(11a)는 오프 상태로 한다. 따라서, 트랜지스터(11b)에는 전류가 흐르지 않게 되어, EL 소자(15)는 비점등으로 된다.

EL 소자(15)가 비점등 상태일 때, 트랜지스터(11g)가 온하여, EL 소자(15)에 역 바이어스 전압이 인가된다. 따라서, 역 바이어스 전압은, 트랜지스터(11d)가 온되어 있는 기간, 인가되게 된다. 그 때문에, 로직적으로는 트랜지스터(11d)와 트랜지스터(11g)는 동시에 온하게 된다.

트랜지스터(11g)의 게이트(G) 단자는 Vs1 전압이 인가되어 고정되어 있다. 역 바이어스선(471)을 Vs1 전압보다 충분히 작은 역 바이어스 전압을 역 바이어스선(471)에 인가함으로써 트랜지스터(11g)가 온 상태로 된다.

그 후, 상기 해당 화소에 영상 신호가 인가(기입)되는 수평 주사 기간이 오면, 게이트 신호선(17a1)에 온 전압이 인가되어, 트랜지스터(11c)가 온 상태로 된다. 따라서, 소스 드라이버 회로(14)로부터 소스 신호선(18)에 출력된 영상 신호 전압이 컨덴서(19)에 인가된다(트랜지스터(11d)는 온 상태가 유지되고 있음).

트랜지스터(11d)를 온시키면 흑 표시로 된다. 1 필드(1 프레임) 기간에 차지하는 트랜지스터(11d)의 온 기간이 길어질수록, 흑 표시 기간의 비율이 길어진다. 따라서, 흑 표시 기간이 존재해도 1 필드(1 프레임)의 평균 휘도를 소망치로 하기 위해서는, 표시 기간의 휘도를 높게 할 필요가 있다. 즉, 표시 기간에 EL 소자(15)에 흐르는 전류를 크게 할 필요가 있다. 이 동작은 본 발명의 N배 펄스 구동이다. 따라서, N배 펄스 구동과, 트랜지스터(11d)를 온시켜 흑 표시로 하는 구동을 조합하는 것이 본 발명의 하나의 특징 있는 동작이다. 또한, EL 소자(15)가 비점등 상태에서, 역 바이어스 전압을 EL 소자(15)에 인가하는 것이 본 발명의 특징 있는 구성(방식)이다.

이상의 실시예에서는, 화상 표시 시에 있어서, 화소가 비점등 시에 역 바이어스 전압을 인가하는 방식이지만, 역 바이어스 전압을 인가하는 구성은 이것에 한정되는 것이 아니다. 화상을 비표시에 역 바이어스 전압을 인가하는 것이면, 역 바이어스용의 트랜지스터(11g)를 각 화소에 형성할 필요는 없다. 비점등시간이란, 표시 패널의 사용을 종료한 후, 혹은 사용전에 역 바이어스 전압을 인가하는 구성이다.

예를 들면, 도 1의 화소 구성에 있어서, 화소(16)를 선택하고(트랜지스터(11b), 트랜지스터(11c)를 온시킨다), 소스 드라이버 IC(회로)(14)로부터, 소스 드라이버 IC가 출력할 수 있는 낮은 전압 V_0 (예를 들면, GND 전압)을 출력하여 구동용 트랜지스터(11a)의 드레인 단자(D)에 인가한다. 이 상태에서 트랜지스터(11d)도 온시키면 EL의 애노드 단자에 V_0 전압이 인가된다. 동시에, EL 소자(15)의 캐소드 V_k 에 V_0 전압에 대하여, 5 내지 15(V) 낮은 전압 V_m 전압을 인가하면 EL 소자(15)에 역 바이어스 전압이 인가된다. 또한, V_{dd} 전압도 V_0 전압보다 0 내지 -5(V) 낮은 전압을 인가함으로써, 트랜지스터(11a)도 오프 상태로 된다. 이상과 같이 소스 드라이버 회로(14)로부터 전압을 출력하여, 게이트 신호선(17)을 제어함으로써, 역 바이어스 전압을 EL 소자(15)에 인가할 수 있다.

N배 펄스 구동은 1 필드(1 프레임) 기간 내에 있어서, 한 번, 혹은 표시를 해도 재차, EL 소자(15)에 소정의 전류(프로그램된 전류(컨덴서(19)에 유지되고 있는 전압에 의함))를 흘려보낼 수 있다. 그러나, 도 50의 구성에서는 한 번, 트랜지스터(11d)가 온하면, 컨덴서(19)의 전하는 방전(감소를 포함함)되기 때문에, EL 소자(15)에 소정의 전류(프로그램된 전류)를 흘릴 수 없다. 그러나, 회로 동작이 용이하다고 하는 특징이 있다.

또한, 이상의 실시예는 화소가 전류 프로그램의 화소 구성이지만, 본 발명은 이것에 한정되는 것이 아니고, 도 38, 도 50과 같은 다른 전류 방식의 화소 구성에도 적용할 수 있다. 또한, 도 51, 도 54, 도 62에 도시하는 전압 프로그램의 화소 구성에서도 적용할 수 있다.

도 51은 전압 프로그램의 화소 구성이다. 트랜지스터(11b)가 선택 스위칭 소자이고, 트랜지스터(11a)가 EL 소자(15)에 전류를 인가하는 구동용 트랜지스터이다. 이 구성에서, EL 소자(15)의 애노드에 역 바이어스 전압 인가용의 트랜지스터(스위칭 소자)(11g)를 배치(형성)하고 있다.

도 51의 화소 구성에서는, EL 소자(15)에 흘리는 전류는 소스 신호선(18)에 인가되고, 트랜지스터(11b)가 선택됨으로써, 트랜지스터(11a)의 게이트(G) 단자에 인가된다.

우선, 도 51의 구성을 설명하기 위해서, 기본 동작에 대하여 도 52를 이용하여 설명한다. 도 51의 화소 구성은 전압 오프셋 캔들러라고 하는 구성이고, 초기화 동작, 리셋 동작, 프로그램 동작, 발광 동작의 4 단계로 동작한다.

수평 동기 신호(HD)후, 초기화 동작이 실시된다. 게이트 신호선(17b)에 온 전압이 인가되고, 트랜지스터(11g)가 온한다. 또한, 게이트 신호선(17a)에도 온 전압이 인가되고, 트랜지스터(11c)가 온 상태로 된다. 이 때, 소스 신호선(18)에는 V_{dd} 전압이 인가된다. 따라서, 컨덴서(19b)의 a 단자에는 V_{dd} 전압이 인가되게 된다. 이 상태에서, 구동용 트랜지스터(11a)는 온하고, EL 소자(15)에 약간의 전류가 흐른다. 이 전류에 의해 구동용 트랜지스터(11a)의 드레인(D) 단자는 적어도 트랜지스터(11a)의 동작점보다도 큰 절대값의 전압값으로 된다.

다음에 리셋 동작이 실시된다. 게이트 신호선(17b)에 오프 전압이 인가되고, 트랜지스터(11e)가 오프 상태로 된다. 한편, 게이트 신호선(17c)에 T1의 기간, 온 전압이 인가되고, 트랜지스터(11b)가 온 상태로 된다. 이 T1의 기간이 리셋 기간이다. 또한, 게이트 신호선(17a)에는 1H의 기간, 계속하여 온 전압이 인가된다. 또한, T1은 1H 기간의 20% 이상 90% 이하의 기간으로 하는 것이 바람직하다. 혹은, 20 μ sec 이상 160 μ sec 이하의 시간으로 하는 것이 바람직하다. 또한, 컨덴서(19b)(Cb)와 컨덴서(19a)(Ca)의 용량의 비율은, Cb:Ca=6:1 이상 1:2 이하로 하는 것이 바람직하다.

리셋 기간에서는, 트랜지스터(11b)의 온에 의해, 구동용 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트된다. 따라서, 트랜지스터(11a)의 게이트(G) 단자 전압과 드레인(D) 단자 전압이 동일해지고, 트랜지스터(11a)는 오프셋 상태(리셋 상태: 전류가 흐르지 않는 상태)로 된다. 이 리셋 상태란 트랜지스터(11a)의 게이트(G) 단자가, 전류를 흘리기 시작하는 개시 전압 근방으로 되는 상태이다. 이 리셋 상태를 유지하는 게이트 전압은 컨덴서(19b)의 B단자에 유지된다. 따라서, 컨덴서(19)에는 오프셋 전압(리셋 전압)이 유지되고 있게 된다.

다음의 프로그램 상태에서는, 게이트 신호선(17c)에 오프 전압이 인가되어 트랜지스터(11b)가 오프 상태로 된다. 한편, 소스 신호선(18)에는 Td의 기간, DATA 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트(G) 단자에는 DATA 전압+오프셋 전압(리셋 전압)이 가해진 것이 인가된다. 그 때문에, 구동용 트랜지스터(11a)는 프로그램된 전류를 흘릴 수 있게 된다.

프로그램 기간 후, 게이트 신호선(17a)에는 오프 전압이 인가되어, 트랜지스터(11c)는 오프 상태로 되고, 구동용 트랜지스터(11a)는 소스 신호선(18)으로부터 분리된다. 또한, 게이트 신호선(17c)에도 오프 전압이 인가되어, 트랜지스터(11b)가 오프하고, 이 오프 상태는 1F의 기간 유지된다. 한편, 게이트 신호선(17b)에는, 필요에 따라서 온 전압과 오프 전압이 주기적으로 인가된다. 즉, 도 13, 도 15 등의 N배 펄스 구동 등과 조합하는 것, 인터레이스 구동과 조합하는 것에 의해 더욱 양호한 화상 표시를 실현할 수 있다. 또한, 역 바이어스 구동과 조합할 수 있다. 이상과 같이 본 발명의 구동 방식은 도 1 등의 전류 구동 방식의 화소 구성에 한정되는 것이 아니고, 전압 프로그램 방식의 화소 구성에도 적용할 수 있다.

도 52의 구동 방식에서는, 리셋 상태에서 컨덴서(19)에는, 트랜지스터(11a)의 개시 전류 전압(오프셋 전압, 리셋 전압)이 유지된다. 그 때문에, 이 리셋 전압이 트랜지스터(11a)의 게이트(G) 단자에 인가되어 있을 때가, 가장 어두운 흑 표시 상태이다. 그러나, 소스 신호선(18)과 화소(16)의 커플링, 컨덴서(19)에의 관통 전압 혹은 트랜지스터의 관통에 의해, 흑 들뜸(콘트라스트 저하)이 발생한다. 따라서, 도 53에서 설명한 구동 방법에서는, 표시 콘트라스트를 높게 할 수 없다.

역 바이어스 전압 V_m 을 EL 소자(15)에 인가하기 위해서는, 트랜지스터(11a)가 오프하게 할 필요가 있다. 트랜지스터(11a)를 오프시키기 위해서는, 트랜지스터(11a)의 드레인 단자와 게이트(G) 단자 사이를 쇼트하면 된다. 이 구성에 대해서는 후에 도 53을 이용하여 설명한다.

또한, 소스 신호선(18)에 Vdd 전압 또는 트랜지스터(11a)를 오프시키는 전압을 인가하고, 트랜지스터(11b)를 온시켜 트랜지스터(11a)의 게이트(G) 단자에 인가시켜도 된다. 이 전압에 의해 트랜지스터(11a)가 오프 상태로 된다(혹은, 대부분 전류가 흐르지 않는 상태로 함(대략 오프 상태: 트랜지스터(11a)가 고 임피던스 상태)). 그 후, 트랜지스터(11g)를 온시켜, EL 소자(15)에 역 바이어스 전압을 인가한다. 이 역 바이어스 전압 V_m 의 인가는, 전 화소 동시에 행하여도 된다. 즉, 소스 신호선(18)에 트랜지스터(11a)를 대략 오프 상태로 하는 전압을 인가하고, 모든(복수의) 화소 행의 트랜지스터(11b)를 온시킨다. 따라서, 트랜지스터(11a)가 오프 상태로 된다. 그 후, 트랜지스터(11g)를 온시키고, 역 바이어스 전압을 EL 소자(15)에 인가한다. 그 후, 순차, 각 화소 행에 영상 신호를 인가하고, 표시 장치에 화상을 표시한다.

다음에, 도 51의 화소 구성에 있어서의 리셋 구동에 대하여 설명을 한다. 도 53은 그 실시예이다. 도 53에 도시한 바와 같이 화소(16a)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 차단 화소(16b)의 리셋용 트랜지스터(11b)의 게이트(G) 단자에도 접속되어 있다. 마찬가지로, 화소(16b)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 차단 화소(16c)의 리셋용 트랜지스터(11b)의 게이트(G) 단자에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16a)가 전압 프로그램 상태로 함과 함께, 차단 화소(16b)의 리셋용 트랜지스터(11b)가 온 상태로 되고, 화소(16b)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 마찬가지로, 화소(16b)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16b)가 전류 프로그램 상태로 됨과 함께, 차단 화소(16c)의 리셋용 트랜지스터(11b)가 온하고, 화소(16c)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리셋 구동을 실현할 수 있다. 또한, 각 화소당의 게이트 신호선의 인출 개수를 감소시킬 수 있다.

더욱 자세하게 설명한다. 도 53의 (a)와 같이 게이트 신호선(17)에 전압이 인가되어 있다고 한다. 즉, 화소(16a)의 게이트 신호선(17a)에 온 전압이 인가되고, 다른 화소(16)의 게이트 신호선(17a)에 오프 전압이 인가되어 있다고 한다. 또한, 게이트 신호선(17b)은 화소(16a, 16b)에는 오프 전압이 인가되고, 화소(16c, 16d)에는 온 전압이 인가되어 있다고 한다.

이 상태에서는, 화소(16a)는 전압 프로그램 상태에서 비점등, 화소(16b)는 리셋 상태에서 비점등, 화소(16c)는 프로그램 전류의 유지 상태에서 점등, 화소(16d)는 프로그램 전류의 유지 상태에서 점등 상태이다.

1H 후, 제어용 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 내의 데이터가 1 비트 시프트하고, 도 53의 (b)의 상태로 된다. 도 53의 (b)의 상태는, 화소(16a)는 프로그램 전류 유지 상태에서 점등, 화소(16b)는 전류 프로그램 상태에서 비점등, 화소(16c)는 리셋 상태에서 비점등, 화소(16d)는 프로그램 유지 상태에서 점등 상태이다.

이상의 점에서, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 차단 화소의 구동용 트랜지스터(11a)가 리셋되고, 다음의 수평 주사 기간에 전압 프로그램이 순차 행해지는 것을 알 수 있다.

도 43에 도시하는 전압 프로그램의 화소 구성이라도 전단 게이트 제어를 실현가능하다. 도 54는 도 43의 화소 구성을 전단 게이트 제어 방식의 접속으로 한 실시예이다.

도 54에 도시한 바와 같이 화소(16a)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 차단 화소(16b)의 리셋용 트랜지스터(11e)의 게이트(G) 단자에 접속되어 있다. 마찬가지로, 화소(16b)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 차단 화소(16c)의 리셋용 트랜지스터(11e)의 게이트(G) 단자에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16a)가 전압 프로그램 상태로 됨과 함께, 차단 화소(16b)의 리셋용 트랜지스터(11e)가 온 상태로 되고, 화소(16b)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 마찬가지로, 화소(16b)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16b)가 전류 프로그램 상태로 됨과 함께, 차단 화소(16c)의 리셋용 트랜지스터(11e)가 온하고, 화소(16c)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리셋 구동을 실현할 수 있다.

더욱 자세하게 설명한다. 도 55의 (a)와 같이 게이트 신호선(17)에 전압이 인가되어 있다고 한다. 즉, 화소(16a)의 게이트 신호선(17a)에 온 전압이 인가되고, 다른 화소(16b)의 게이트 신호선(17a)에 오프 전압이 인가되어 있다고 한다. 또한, 모든 역 바이어스용 트랜지스터(11g)는 오프 상태이라고 한다.

이 상태에서는, 화소(16a)는 전압 프로그램 상태, 화소(16b)는 리셋 상태, 화소(16c)는 프로그램 전류의 유지 상태, 화소(16d)는 프로그램 전류의 유지 상태이다.

1H 후, 제어용 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 내의 데이터가 1 비트 시프트하고, 도 55의 (b)의 상태로 된다. 도 55의 (b)의 상태는, 화소(16a)는 프로그램 전류 유지 상태, 화소(16b)는 전류 프로그램 상태, 화소(16c)는 리셋 상태, 화소(16d)는 프로그램 유지 상태이다.

이상의 점으로부터, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 차단 화소의 구동용 트랜지스터(11a)가 리셋되고, 다음의 수평 주사 기간에 전압 프로그램이 순차 행해지는 것을 알 수 있다.

전류 구동 방식에서는, 완전 흑 표시에서는, 화소의 구동용 트랜지스터(11)에 프로그램되는 전류는 0이다. 즉, 소스 드라이버 회로(14)로부터는 전류가 흐르지 않는다. 전류가 흐르지 않으면, 소스 신호선(18)에 발생한 기생 용량을 충방전 할 수 없고, 소스 신호선(18)의 전위를 변화시킬 수 없다. 따라서, 구동용 트랜지스터의 게이트 전위도 변화하지 않게 되고, 1 프레임(필드)(1F) 전의 전위가 컨덴서(19)에 축적된 대로 된다. 예를 들면, 1 프레임 전이 백 표시이고, 다음의 프레임이 완전 흑 표시이더라도 백 표시가 유지되게 된다.

이 과제를 해결하기 위해서, 본 발명에서는 1수평 주사 기간(1H)의 최초로 흑 레벨의 전압을 소스 신호선(18)에 기입하고 나서, 소스 신호선(18)에 프로그램하는 전류를 출력한다. 예를 들면, 영상 데이터가 흑 레벨에 가까운 0 계조제~7 계조제인 경우, 1수평 기간의 처음의 일정 기간만큼 흑 레벨에 상당하는 전압이 기입되고, 전류 구동의 부담이 감소하여, 기입 부족을 보충하는 것이 가능해진다. 또한, 완전 흑 표시를 0 계조제로 하고, 완전 백 표시를 63 계조제로 한다(64 계조 표시의 경우).

또한, 프리차지를 행하는 계조는, 흑 표시 영역에 한정하여야 한다. 즉, 기입 화상 데이터를 판정하여, 흑 영역 계조(저휘도, 즉, 전류 구동 방식에서는 기입 전류가 작음(미소))를 선택하여 프리차지한다(선택 프리차지). 전 계조 데이터에 대하여, 프리차지하면, 이번에는 백 표시 영역에서, 휘도의 저하(목표 휘도에 도달하지 않음)가 발생한다. 또한, 화상에 세로 줄 무늬가 표시된다.

바람직하게는, 계조 데이터의 계조 0 내지 1/8의 영역의 계조에서, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 0 계조제에서 7 계조제까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함). 또한, 바람직하게는, 계조 데이터의 계조 0 내지 1/16의 영역의 계조에서, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 0 계조제로부터 3 계조제까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함).

특히 흑 표시에서, 콘트라스트를 높게 하기 위해서는, 계조 0만을 검출하여 프리차지하는 방식도 유효하다. 매우 흑 표시가 양호하게 된다. 문제는 화면 전체가 계조 1, 2인 경우에 화면이 흑이 들뜨게 보이는 것이다. 따라서, 계조 데이터의 계조 0 내지 1/8의 영역의 계조와, 플러스의 범위에서 선택 프리차지를 행한다.

또한, 프리차지의 전압, 계조 범위는 R, G, B에서 서로 다르게 하는 것도 유효하다. EL 소자(15)는 R, G, B에서 발광 개시 전압, 발광 휘도가 서로 다르기 때문이다. 예를 들면, R은 계조 데이터의 계조 0 내지 1/8의 영역의 계조에서, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 01 계조째로부터 7 계조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함). 다른 색(G, B)은, 계조 데이터의 계조 0 내지 1/16의 영역의 계조에서 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 0 계조째에서 3 계조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함) 등의 제어를 행한다. 또한, 프리차지 전압도, R은 7(V)이면, 다른 색(G, B)은 7.5(V)의 전압을 소스 신호선(18)에 기입하도록 한다. 최적의 프리차지 전압은, EL 표시 패널의 제조 로트에서 서로 다른 경우가 많다. 따라서, 프리차지 전압은 외부 볼륨 등으로 조정할 수 있도록 구성해 두는 것이 바람직하다. 이 조정 회로도 전자 볼륨 회로를 이용함으로써 용이하게 실현할 수 있다.

화소(16)에는 전하 유지용의 커패시터(19)가 형성되어 있다. 이 커패시터(19)에 유지된 전하가 1 필드(1 프레임) 기간에 10% 이상 방전하면, 흑 표시 상태를 유지할 수 없게 된다. 화상 표시 상태는, 트랜지스터(11)의 오프 특성이 나쁜 화소가 휘점(오프 리크 휘점이라고 함)으로 된다. 따라서, 특히 도 1 등의 트랜지스터(11b)의 오프 특성은 양호하게 할 필요가 있다.

본 발명은 이 과제를 해결하기 위해서, 게이트 신호선(17b)을 조작하여, 온 상태의 트랜지스터(11d)를 단기간 오프시킨다. 이 구동 방법에 의해, 유지용의 트랜지스터(11b)의 오프 특성이 나쁘더라도 오프 리크 휘점의 발생을 억제할 수 있다. 또한, 유지용의 트랜지스터(11b)의 오프 기간을 변화시키는 것의 보다 오프 리크 휘점의 억제 효과를 조정할 수 있다.

도 115의 (a)에 도시한 바와 같이, 오프 리크 휘점은 커패시터(19)에 유지된 전하가, 트랜지스터(11b)를 통하여 누설됨으로써 발생한다고 생각된다. 트랜지스터(11d)가 온 상태일 때, 기본적으로는 A점의 전위가 낮아지기 때문이다. 따라서, 트랜지스터(11d)의 온 상태가 장시간 계속되면, 커패시터(19)의 전하는 거의 방전되어, 오프 리크 휘점이 발생한다. 도 16과 같이 표시 영역(53)과 비표시 영역(52)이 단기간에 반복될 때, 도 13과 같이 비표시 영역(52)의 비율이 높을 때는, 오프 리크 휘점은 발생하지 않는다. 그러나, 도 5와 같이 표시 영역(53)이 장시간 계속하면 오프 리크 휘점이 발생한다.

또한, 본 발명의 표시 패널의 구동 방법은, 화상 데이터의 내용에 의해서, 도 5의 상태, 도 13의 상태, 도 16의 상태를 전환하여 화상 표시한다. 따라서, 화상 표시의 내용에 따라서는, 도 5의 표시 상태가 계속하는 경우가 있을 수 있다. 이 도 5의 상태가 발생한 경우에 이하에 설명하는 구동 방법을 실시하면 효과가 있다. 즉, 이하에 설명하는 실시예는, 항상 행할 필요는 없다. 트랜지스터(11d)의 온 상태가 일정 기간, 계속하는 경우에 실시하면 된다.

트랜지스터(11d)가 오프하면, A점의 전위가 적어도 한 번 높아진다. 그 때문에, 도 115의 (b)에 도시한 바와 같이, A점에서 B점을 향하여 전류가 흘러, 커패시터(19)가 재충전된다. 따라서, 오프 리크 휘점은 발생하지 않는다. 즉, 트랜지스터(11d)를 온 오프시킴으로써, 커패시터(19)의 전하가 충전된다.

또한, 이상의 설명은 현상에 대하여 이론적으로 추정되는 고찰이다. 따라서, 이해가 잘못되어 있을 가능성은 있다. 그러나, 실제의 패널에 있어서, 본 발명의 구동 방법을 실시하는 것의 보다 오프 리크 휘점의 억제에 효과가 있는 것은 사실이다.

도 1(도 115)의 화소 구성은, 구동용 트랜지스터(11a)와 스위치 트랜지스터(11d)가 P 채널 트랜지스터이다. 따라서, 트랜지스터(11d)가 온 상태일 때, 트랜지스터(11b)가 누설된다. 한편, 트랜지스터(11d)가 오프 상태로 하면 A점의 전위가 높아지고, 전하의 누설을 억제하거나, 또는 재충전된다. 따라서, 트랜지스터(11d)가 N 채널일 때에는, 트랜지스터(11d)가 오프 상태에서, 커패시터(19)의 전하가 누설되고, 트랜지스터(11d)가 온 상태에서 재충전된다. 또한, 구동용 트랜지스터가 N 채널인 경우에는, 오프 리크 휘점으로 되지 않고, 백 표시에서 더욱 휘도가 높아진다고 하는 현상으로 된다. 이 경우도, 본 발명의 실시예에 의해 대책할 수 있는 것은 물론이다.

여기서 설명을 쉽게 하기 위해서, duty라는 개념을 도입한다. STN 액정 표시 패널에서 duty라는 말이 있는데, 본 발명에서는 이 duty와 다르다. 본 발명의 duty 1/1이란, 끊임없이, 1 필드(1 프레임)의 기간, EL 소자(15)에 전류가 흐르고 있는 구동 상태를 의미한다. 즉, 표시 화면(50)에서 비표시 영역(52)이 0%인 상태를 말한다. 단, 실제의 구동 상태에서는, 전류(전압) 프로그램을 행하고 있는 화소 행은, 비표시 상태로 되므로, 엄밀하게는 도 1의 구성에서는, duty 1/1의 상태는 발생하지 않는다. 단, 화소 행 수는 표시 패널에 있어서 200 화소 행 이상 형성되기 때문에, 비표시 영역이 1 화소 행 정도는 오

차의 범주이다. 한편, duty 0/1이란, 1 필드(1 프레임)의 기간, 전혀 EL 소자(15)에 전류가 흐르지 않는 상태를 말한다. 즉, 표시 화면(50)으로 비표시 영역(52)이 100%의 상태를 말한다. EL 표시 패널의 화소 행이 220개 형성되어 있는 경우에 대해 설명을 한다.

duty에 관하여, 예를 들면, duty 220/220은 약분하여 duty 1/1로 한다. duty 55/220=1/4이므로, duty 1/4이라고 부른다. duty 1/4는 3/4의 영역이 비표시 영역(52)이다. 따라서, N배 펄스 구동에서는, N=4로 함으로써, 목표(소정)의 표시 휘도를 얻을 수 있다. duty 110/220=1/2이므로, duty 1/2라고 부른다. duty 1/2는 50%가 비표시 영역(52)이다. 따라서, N배 펄스 구동으로서는 N=2로 함으로써, 소정의 표시 휘도를 얻을 수 있다.

본 발명의 표시 패널에서는, 전류 프로그램을 행하는 화소 행을 선택하는 게이트 신호선(17a)(도 1인 경우)이라고 하여 설명을 한다. 또한, 게이트 신호선(17a)을 제어하는 게이트 드라이버 회로(12a)의 출력을 WR 측 선택 신호선이라고 부른다. EL 소자(15)를 선택하는 게이트 신호선(17b)(도 1인 경우)으로 하여 설명을 한다. 또한, 게이트 신호선(17b)을 제어하는 게이트 드라이버 회로(12b)의 출력을 게이트 신호선(17b)(EL 측 선택 신호선)이라고 부른다.

게이트 드라이버 회로(12)는, 스타트 펄스가 입력되고, 입력된 스타트 펄스가 유지 데이터로서 순차 시프트 레지스터내를 시프트한다. 게이트 드라이버 회로(12a)의 시프트 레지스터 내의 유지 데이터에 의해, WR 측 선택 신호선에 출력되는 전압이 온 전압(vg1)인지 오프 전압(Vgh)인지가 결정된다. 또한, 게이트 드라이버 회로(12a)의 출력단에는, 강제적으로 출력을 오프로 하는 OEV1 회로(도시하지 않음)가 형성 또는 배치되어 있다. OEV1 회로가 L 레벨의 때로는, 게이트 드라이버 회로(12a)의 출력인 WR 측 선택 신호를 그대로 게이트 신호선(17a)에 출력한다. 이상의 관계를 로직적으로 나타내면, 도 116의 (a)의 관계로 된다. 또한, 온 전압을 로직 레벨의 L(0)로 하고, 오프 전압을 로직 전압의 H(1)로 하고 있다.

즉, 게이트 드라이버 회로(12a)가 오프 전압을 출력하고 있는 경우에는, 게이트 신호선(17a)에 오프 전압이 인가된다. 게이트 드라이버 회로(12a)가 온 전압(로직에서는 L 레벨)을 출력하고 있는 경우에는, OR 회로에서 OEV1 회로의 출력과 OR이 취해져 게이트 신호선(17a)에 출력된다. 즉, OEV1 회로는 H 레벨일 때, 게이트 드라이버 신호선(17a)에 출력하는 전압을 오프 전압(Vgh)으로 한다.

게이트 드라이버 회로(12b)의 시프트 레지스터 내의 유지 데이터에 의해, 게이트 신호선(17b)(EL 측 선택 신호선)에 출력되는 전압이 온 전압(vg1)인지 오프 전압(Vgh)인지가 결정된다. 또한, 게이트 드라이버 회로(12b)의 출력단에는, 강제적으로 출력을 오프로 하는 OEV2 회로(도시하지 않음)가 형성 또는 배치되어 있다. OEV2 회로가 L 레벨일 때에는, 게이트 드라이버 회로(12b)의 출력을 그대로 게이트 신호선(17b)에 출력한다. 이상의 관계를 로직적으로 도시하면, 도 116의 (a)의 관계로 된다. 또한, 온 전압을 로직 레벨의 L(0)로 하고, 오프 전압을 로직 전압의 H(1)로 하고 있다.

즉, 게이트 드라이버 회로(12b)가 오프 전압을 출력하고 있는 경우에(EL 측 선택 신호는 오프 전압)는, 게이트 신호선(17b)에 오프 전압이 인가된다. 게이트 드라이버 회로(12b)가 온 전압(로직에서는 L 레벨)을 출력하고 있는 경우에는, OR 회로에서 OEV2 회로의 출력과 OR이 취해져 게이트 신호선(17b)에 출력된다. 즉, OEV2 회로는, 입력 신호가 H 레벨일 때, 게이트 드라이버 신호선(17b)에 출력하는 전압을 오프 전압(Vgh)으로 한다. 따라서, OEV2 회로의 보다 EL 측 선택 신호가 온 전압 출력 상태이더라도, 강제적으로 게이트 신호선(17b)에 출력되는 신호는 오프 전압(Vgh)으로 된다. 또한, OEV2 회로의 입력이 L이면, EL 측 선택 신호가 스루로 게이트 신호선(17b)에 출력된다.

이하의 실시예에서는, OEV2 회로를 조작함으로써, 도 115의 상태를 실시하여, 오프 리크 휘점 대책을 행한다. 즉, 게이트 신호선(17b)(EL 측 선택 신호선)의 출력에 있어서, 온 전압이 계속하는 경우에도, 주기적으로 OEV2 회로에 H 레벨 로직을 입력하여, 트랜지스터(11d)를 오프시킨다. 이 강제적인 트랜지스터(11d)의 오프 동작에 의해 오프 리크 휘점의 발생을 해결할 수 있다.

도 116은 본 발명의 구동 방법의 실시예이다. OEV1 회로는 L 레벨이므로, 게이트 드라이버 회로(12a)의 출력에 기초하여, 1 화소 행씩 화소 행이 선택되고, 전류(전압) 프로그램이 실시된다. 따라서, 화소 행을 선택하는 신호는 화소측 선택 신호와 동일하다. 게이트 드라이버 회로(12b)(EL 측 선택 신호선) 쪽은, 도 116에 도시한 바와 같이, OEV2 회로를 조작하여, 1 수평 주사 기간(1H)마다 OEV2 회로에 H 로직을 인가하고, 게이트 신호선(17b)(EL 측 선택 신호선)에 강제적으로 오프 전압을 인가한다. 따라서, 게이트 드라이버 회로(12b)가 출력하는 신호가 항상 온 전압(vg1)이더라도, OEV2 회로의 신호의 보다, 1H마다 일정한 기간 오프 전압이 게이트 신호선(17b)에 출력된다. OEV2 회로에 의한 오프 전압의 인가에 의해 컨텐서(19)의 방전이 억제되어(도 115를 참조할 것), 오프 리크 휘점을 억제할 수 있다.

도 116은 OEV1에 의한 게이트 신호선(17a)에 출력되는 전압 변화와, OEV2에 의한 게이트 신호선(17b)에 출력되는 전압 변화를 도시하고 있다. 게이트 신호선(17a)은 OEV1이 항상 L 레벨이기 때문에, WR 측 선택 신호선의 파형이 그대로 게이

트 신호선(17a)의 인가 파형으로 된다. 게이트 신호선(17b)은 OEV2가 H 레벨과 L 레벨을 변화하기 때문에, 게이트 신호선(17b)(EL 측 선택 신호선)의 출력과 OEV2 회로의 출력이 OR되어 게이트 신호선(17b)의 인가 파형으로 된다. 따라서, 도 116에서는, OEV2 회로에 H 전압 인가된 부분(A로 도시함)과, EL 선택 신호선의 오프 부분(B로 도시함)이 가해진 기간(A+B) 동안, 게이트 신호선(17b)에는, 오프 전압이 인가된다. 또한, OEV2 회로에 H 전압 인가된 기간도 게이트 신호선(17b)에 오프 전압이 인가된다.

또한, OEV2 회로의 조작에 의해, EL 소자(15)가 점등하는 기간을 제어할 수 있다. 따라서, OEV2 회로의 제어에 의해 표시 패널의 화면(50)의 휘도를 변경할 수 있다. 즉, OEV2 회로에 의해, 오프 리크 휘점을 억제할 수 있음과 동시에, 화면 휘도를 제어할 수 있는 효과가 있다.

도 117은, 종래의 구동 방법에서는 duty 1/1 구동이 해당한다(게이트 신호선(17b)(EL 측 선택 신호선)은 끊임없이, 온 전압이 인가되어 있는 상태이다. 단, 도 1의 화소 구성에서는, WR 측 선택 신호선에 온 전압이 인가되어 있을 때에는, 게이트 신호선(17b)(EL 측 선택 신호선)에도 오프 전압을 인가할 필요가 있다. 그 때문에, 게이트 신호선(17a)에 온 전압이 인가되어 있을 때에는, 게이트 신호선(17b)에는 오프 전압이 인가된다.

duty 1/1 구동 상태에서는 오프 리크 휘점이 발생한다. 트랜지스터(11b)의 채널 사이(SD간) 전압이 크고, 트랜지스터(11b)가 누설되기 때문이다. 도 117의 도시한 바와 같이, OEV2를 1H로 소정 기간 동안 H 레벨로 함으로써, 게이트 신호선(17b)에 인가되는 전압은 오프 전압 인가 상태로 된다. 그 때문에, 트랜지스터(11d)가 온 오프되고, 도 115의 상태가 발생한다. 트랜지스터(11d)가 오프 상태로 되면 트랜지스터(11b)의 채널 사이(SD간) 전압이 작아진다. 또한, 도 115의 (b)의 상태로 된다. 따라서, 트랜지스터(11b)의 누설이 감소하여, 오프 리크 휘점의 발생이 없어진다는지, 혹은 대폭 개선된다.

또한, 도 117은 1H마다 OEV2 회로를 조작한다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 118에 도시한 바와 같이, 2H 이상마다 온 오프시켜도 되는 것은 물론이다. 물론, 3H 이상에서, 1회 또한 소정 기간 동안, OEV2 회로를 제어하여 트랜지스터(11d)를 온 오프 동작시켜도 무방하다. 2 화소 행에 대응하는 게이트 신호선(17b)에 온 전압을 인가하고, 2 화소 행씩 선택하는 경우(도 24 등을 참조할 것)도 마찬가지로, 본 발명의 구동 방법을 적용할 수 있는 것은 물론이다.

도 119는 게이트 신호선(17b)에 인가되는 전압이 온 전압 또는 오프 전압이 주기적으로 인가되는 경우이다. 게이트 신호선(17b)에 인가되는 전압은 온 전압 인가 상태가 계속하지 않고서, 오프 전압과 온 전압이 주기적으로 인가된다. 온 전압과 오프 전압을 게이트 신호선(17b)에 인가하는 경우에서도, 일정한 기간 이상, 온 전압 인가 상태가 계속되면, 오프 리크 휘점이 발생하는 경우가 있다. 이 경우도 OEV2 회로의 조작에 의해, 소정 기간마다 게이트 신호선(17b)에 오프 전압이 인가하도록 제어한다. 이 제어에 의해, 트랜지스터(11d)는 주기적으로 오프 상태로 된다. 그 때문에, 트랜지스터(11b)의 누설이 감소하여, 오프 리크 휘점의 발생이 없어진다는지, 혹은 대폭 개선된다.

도 117, 도 118등은, 1H의 시작 기간 혹은 1H의 끝 기간에 OEV2를 H 레벨로 하여 게이트 신호선(17b)에 주기적으로 오프 전압을 인가한다고 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 120에 도시한 바와 같이, 1H의 중앙부에서 게이트 신호선(17b)에 오프 전압을 인가하도록 제어해도 된다.

이상과 같이 게이트 신호선(17b)에 오프 전압을 인가함으로써, 오프 리크 휘점을 억제할 수 있다. 그러나, 게이트 신호선(17b)에 인가하는 오프 전압 시간이 지나치게 짧으면, 오프 리크 휘점을 억제하는 효과는 없다. 도 121은 게이트 신호선(17b)에 오프 전압을 인가하는 시간과 온 전압을 인가하는 시간이, 오프 리크 휘점의 억제에 어떠한 상태에서 효과 있는지를 설명한 것이다.

흑 표시에서 오프 리크 휘점이 발생한다. 오프 리크 휘점이 발생하면, 흑 조도(표시 패널의 표시 화면을 조도계로 측정한 조도)가 상승한다(흑 들뜸). 도 121의 (a)는, 임의의 게이트 신호선(17b)에 인가되는 전압 파형이다. 오프 전압에 인가 시간을 C로 하고, 인가되는 오프 전압의 주기를 S로 한다. 또한, 주기 S는, 1H 기간을 상정하고 있지만 이것에 한정되는 것이 아니다.

도 121에 있어서, C/S가 0.02 이하에서는 흑 조도가 높지만(오프 리크 휘점이 다발하고 있음), C/S가 0.02에 근접함에 따라서 흑 조도가 0으로 된다(오프 리크 휘점이 발생하지 않음). 1H=S=100μsec로 하면, C/S=0.02는 2μsec이다. 따라서, 1H=100μsec에서는, duty 1/1이더라도, 약 2%의 기간, 게이트 신호선(17b)에 오프 전압을 인가함으로써, 오프 리크 휘점의 발생을 완전히 대책할 수 있다.

도 122에 있어서, 게이트 신호선(17b)(A)은, 본 발명의 구동 방법을 실시하지 않은 경우의 신호 파형이다. 게이트 신호선(17b)(B)은 OEV2 회로의 조작에 의해, 온 오프 동작시킨 본 발명의 구동 방법에 의한 신호 파형이다.

이상의 실시예에서는, OEV2 회로의 제어는 duty에 상관없이, 1 필드(1 프레임) 기간 전반에 조작하는 것으로 하고 있다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 화상 데이터에 의해, duty가 1/1일 때에만, OEV2 회로 제어를 실시해도 된다. 또한, duty 1/1 등의 상태가 일정 기간 동안, 계속하는 경우에 OEV2 회로 제어를 실시해도 된다.

검토 결과에 따르면, OEV2 회로의 조작은, duty는 1/1 이하1/2 이상인 경우에 행하는 것이 바람직하고, 더욱 바람직하게는, duty는 1/1 이하3/4 이상인 경우에 행하는 것이 바람직하다. 또한, duty는 1/1 이하1/2 이상이 10 프레임(필드)의 기간 계속하는 경우에, OEV2 회로 제어를 실시하는 것이 바람직하다.

또한, OEV2의 조작에 의해, 화면 휘도를 조정할 수 있다. OEV2를 H 레벨로 하는 기간을 길게 하면, 화면 휘도가 저하한다. OEV2를 H 레벨로 하는 기간을 짧게 하면, 화면 휘도가 높아진다. 이와 같이 OEV2의 조작에 의해 화면 휘도를 조정(변경)하는 구동 방법도 본 발명의 구동 방법의 큰 특징이다.

또한, 이상의 실시예에서는, 게이트 신호선(17b)에 오프 전압을 인가함으로써, 오프 리크 휘점의 발생을 억제한다고 했다. 그러나, 이것은, 화소 구성이 도 1과 같이 P 채널 트랜지스터로 구성되어 있는 경우이다. 화소가 N 채널 트랜지스터로 구성되어 있는 경우에는, 게이트 신호선(17b)에 온 전압을 인가한다. 이상과 같이, 본 발명은, 게이트 신호선(17b)에 온 오프 전압을 인가함으로써 오프 리크 휘점을 억제하는 것이 아니고, 도 115에 도시한 바와 같이, 컨덴서(19)의 인가 전압(B점)보다도 A점의 인가 전압이 비싸게 되는 기간을 마련함으로써, 오프 리크 휘점을 억제하는 것이다. 또한, 유지용의 트랜지스터(11b)의 채널 사이 전압(SD 전압)이 작아지는 기간을 마련함으로써, 오프 리크를 경감하는 것이다.

도 116 내지 도 122는 OEV2의 조작하고, 주기적으로 게이트 신호선(17b)에 오프 전압을 인가함으로써, 오프 리크 휘점의 발생을 억제하는 것이었다. 그러나, 본 발명의 구동 방법은 이것에 한정되는 것은 아니다. OEV2 회로를 조작하지 않고, 게이트 드라이버 회로(12b)의 동작에 의해, 게이트 신호선(17b)에 소정 주기로 오프 전압을 인가해도 된다. 도 123은 그 실시예이다.

도 123에서는, 소정 주기로 1 화소 행의 비표시 영역(52)을 발생시켜, 상기 비표시 영역(52)을 주사하고 있다. 비표시 영역(52)을 발생시키는 것은, 도 1의 화소 구성에 있어서, 게이트 신호선(17)물론, 비표시 영역(52)이 1 화소 행에 한정되는 것이 아니고, 복수 화소 행이어도 된다.

도 123에서는, 비표시 영역(52)은 도 123의 (a)→도 123의 (b)→도 123의 (c)로 이동한다. 1 필드(1 프레임)에서의, 비표시 영역(52)의 반복 횟수는, 도 124에 도시한 바와 같이, 4회 이상으로 하는 것이 바람직하다.

또한, 도 123, 도 124의 실시예에 있어서, 게이트 신호선(17b)에 인가하는 오프 전압 인가 기간은, 1H에 한정되는 것이 아니다. 예를 들면, 도 125의 E 기간과 도시한 바와 같이, 1H 이하의 기간이어도 된다.

이상의 실시예는, OEV2 회로의 조작 등에 의해, 게이트 신호선(17b)(도 1에서는 게이트 신호선(17b))에 적어도 소정 주기 기간 온 전압 인가 상태가 계속될 때에, 소정 기간 동안 오프 전압을 인가하고 오프 리크 휘점의 발생을 방지하는 것이었다.

화소(16)의 설계로 오프 리크 휘점의 발생을 대책하는 경우에는, 트랜지스터(11b)의 오프 특성을 양호하게 하면 된다. 예를 들면, 도 150에 도시한 바와 같이, 트랜지스터(11b)를 복수의 트랜지스터를 직렬로 배치함으로써 대응한다. 검토 결과에 따르면, 트랜지스터(11b)는, 3개 이상의 트랜지스터를 직렬로 형성 혹은 배치하는 것이 바람직하다. 더욱 바람직하게는, 도 150에 도시한 바와 같이 5개 이상의 트랜지스터를 직렬로 형성 또는 배치하는 것이 바람직하다.

또한, 도 115 내지 도 126의 실시예는, 도 1의 화소 구성을 예시하여 설명했지만 이것에 한정되는 것은 아니다. 도 115 등에서 설명하는 구동 방법은, 컨덴서(19)가 유지하는 전하의 누설을 방지하게 된다. 따라서, 도 1과 같이 컨덴서(19)와 유지용의 트랜지스터(11b)를 갖는 화소 구성이면 적용할 수 있다.

예를 들면, 도 38의 화소 구성이더라도, 컨덴서(19)와 유지용의 트랜지스터(11d)를 갖고 있다. 따라서, 도 38의 화소 구성에 있어서도, 트랜지스터(11e)를 제어함으로써 본 발명의 구동 방법에 의한 효과를 얻을 수 있다. 마찬가지로, 도 43의 화소 구성에서도, 컨덴서(19)와 유지용의 트랜지스터(11e)를 갖고 있다. 따라서, 트랜지스터(11d)를 조작함으로써, 본 발명의 효과를 얻을 수 있다.

도 51의 화소 구성에서도, 컨덴서(19a)와 유지용의 트랜지스터(11b)를 갖고 있다. 따라서, 트랜지스터(11e)를 조작함으로써, 본 발명의 효과를 얻을 수 있다. 도 50 등에 대하여도 마찬가지이다. 나아가서는, 도 63의 화소 구성에서도 마찬가지이다. 도 63의 화소 구성에서도, 컨덴서(19)와 유지용의 트랜지스터(11b)를 갖고 있다. 따라서, 스위치(631)를 전환하여, EL 소자(15)를 풀어, 트랜지스터 소자(11b)에 영향을 주는 것에 의해, 결과로서 유지 효과를 높일 수 있다. 따라서, 본 발명의 효과를 얻을 수 있다.

도 1, 도 38 등의 화소 구성에서는, 게이트 신호선(17a)의 진폭에 의해, 컨덴서(19)의 전하가 변화하여, 소정의 계조를 실현할 수 없다고 하는 과제가 있다. 이해를 쉽게 하기 위해서, 도 1의 화소 구성을 예시하여 설명한다. 도 138은 도 1의 화소 구성으로 종래의 전류 프로그램 방식을 실시한 경우의 화소(16)의 전위의 변화를 도시하고 있다.

도 138에 있어서, 게이트 신호선(17a)(1)은 화소(1)의 게이트 신호선(17a)의 전압 파형을 도시하고 있다. 게이트 신호선(17a)(2)은 화소(1)의 다음 화소(2)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다. 게이트 신호선(17a)(3)은 화소(2)의 다음 화소(3)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다. 소스 신호선(18)의 란은 소스 신호선에 인가되어 있는 전압(전류) 파형을 나타내고 있다. 화소 전위는, 화소(2)의 컨덴서 전위(구동 트랜지스터11a의 게이트 단자 G의 전압 파형)를 도시하고 있다. 게이트 신호선(17a)은 (1)→(2)→(3)→(4)→(5)→……(1)→(2)→……로 순차 주사된다.

도 1의 화소 구성(도 1의 화소 구성에 특징되는 것이 아님)에서는, 트랜지스터(11b)의 게이트 G-소스 S 단자 사이에 기생 용량(1381)이 발생한다. 게이트 신호선(17a)이 Vgh(오프 전압)로부터 vg1(온 전압)로 변화하거나, 혹은 게이트 신호선(17a)이 vg1로부터 Vgh로 변화하면, 이 전압 변화는 기생 용량(1381)을 통하여 구동 트랜지스터(11a)의 게이트 G 단자(컨덴서(19) 단자)에 전달된다. 구동 트랜지스터(11a)의 게이트 단자의 전위 변화는, 구동 트랜지스터(11a)에 프로그램된 전류값(전압값)을 소정값으로부터 어긋나게 된다. 소정값으로부터의 어긋남량은, 기생 용량(1381)의 용량을 컨덴서(19)의 용량비로 결정된다. 소정값으로부터의 어긋남량은, 기생 용량(1381)의 용량이 작을수록 작고, 또한, 컨덴서(19)의 용량이 클수록 작다.

주목하여야 할 점은, 변화점 A와 B에서의 화소 전위의 변화이다. A에서는 게이트 신호선(17a)(2)이 Vgh로부터 vg1로 변화한다. B에서는 게이트 신호선(17a)(2)이 vg1로부터 Vgh로 변화한다(도 138의 화소 전위를 참조할 것).

A점에서는 게이트 신호선(17a)의 전위 변화(Vgh(오프 전압)로부터 vg1(온 전압)로 변화하고, 구동용 트랜지스터(11a)의 게이트 단자 G 전위가 저하한다. 그러나, 트랜지스터(11b, 11c)가 온 상태이므로, 소스 신호선(18)의 전위(전류)를 화소(16)에 기입하고, 컨덴서(19)가 충전(방전)된다. 컨덴서(19)의 충전(방전)에 의해, 구동 트랜지스터(11a)가 소정 전류를 흘리도록 프로그램된다(화소 전위는 Vb 전압으로 됨). 프로그램은 1H 기간 이내로 완료되도록 화소 설계가 되어 있기 때문에, C점에서는 구동 트랜지스터(11a)가 소정 전류를 흘리게 된다.

B점에서는 게이트 신호선(17a)의 전위 변화(vg1(온 전압)로부터 Vgh(오프 전압)로 변화한다. 이 전압 변화에 의해, 구동용 트랜지스터(11a)의 게이트 단자 G 전위가 상승한다(화소 전위는 Vc 전압으로 됨). 게이트 신호선(17a)의 전위가 Vgh(오프 전압)로 변화하면 트랜지스터(11b) 및 트랜지스터(11c)가 오프 상태로 하기 때문에, 컨덴서(19) 단자는 소스 신호선(18)과 분리되어 Vc 전압이 유지된다.

따라서, 프로그램하고자 하는 전류를 흘리는 화소 전위는 Vb 전압이지만, 실제로 유지되는 화소 전위는 Vc 전압이다. 그 때문에, 프로그램 전류는 목적의 전류와 다른 값이 EL 소자(15)에 흐르게 된다.

이 과제를 해결하는 구동 방법을 도 139에서 설명을 한다. 그러나, 도 138의 구동 방법은 반드시 과제가 아니다. 우선, 그 이유를 기재한다.

구동용 트랜지스터(11a)는, 게이트 신호선(17a)의 전위 변화(vg1(온 전압)로부터 Vgh(오프 전압)로 변화하고, 이 상태가 1 프레임(필드) 기간 유지된다. 게이트 신호선(17a)이 vg1(온 전압)로부터 Vgh(오프 전압)으로 변화는, 구동용 트랜지스터(11a)의 전위를 애노드 전압 Vdd 측에 시프트하게 된다.

에노드 전압 V_{dd} 의 시프트는, 구동 트랜지스터(11a)는 P 채널이므로, 전류를 흘려 보내지 않는 방향이다. 전류 프로그램 방식에서는, 본 명세서에서도 기재한 바와 같이 혹 표시 시에서의 프로그램 전류가 작다고 하는 과제가 있다. 이 과제에 대처하기 위해서, 본 발명에서는 N배 펄스 구동 등을 실시한다. 그러나, 도 138에서는, 최종적으로 화소 전위는 혹 전위측에 시프트하여 유지되기 때문에, 양호한 혹 표시를 실현할 수 있다.

이러한 효과를 발휘할 수 있는 것은, 본 발명은, 화소의 구동 트랜지스터(11a)를 P 채널로 구성하고 있는 점, 에노드 전압이 캐소드 전압보다도 높은 전압 구성인 점, WR 측 선택 신호선(게이트 신호선(17a))이 저전압(v_{g1})에서 소스 신호선(18)에 인가된 전류를 화소(16)의 구동용 트랜지스터(11a)에 흘리도록 구성되어 있고, 또한 WR 측 선택 신호선(게이트 신호선(17a))이 고전압(V_{gh})에서 소스 신호선(18)으로부터 화소(16)를 분리하도록 구성되어 있는 점의 상승 효과이다. 즉, 트랜지스터(11b), 트랜지스터(11c)(도 1을 참조)를 P 채널로 구성되는 것이 중요하다. 또한, 도 111 등에서 설명한 바와 같이, 게이트 드라이버 회로(12)를 P 채널로 구성함으로써, 더욱 상승 효과를 발휘할 수 있다.

또한, 프로그램 전류가 양호하게 행해지도록 EL 소자(15)에의 경로를 절단하는 트랜지스터(11d)가 P 채널로 구성되어 있는 점도 중요하다. 또한, N배 펄스 구동 등의 실시에 의해, 스위치 트랜지스터(11d)의 게이트 단자 G가 고전압(V_{gh})으로 유지되는 기간이 있고, 또한 그 기간이 일정한 기간(적어도 2H 이상) 됨으로써, 구동용 트랜지스터(11a)의 드레인 D단자가, 비교적 고전압으로 유지되는 점도 상승 효과가 있다. 트랜지스터(11b)의 누설의 발생을 억제할 수 있기 때문이다. 이상과 같이, 도 1 등의 구성과 도 138의 방식 등의 조합은 본 발명의 특징 있는 구성이다.

다음에, 도 139의 구동 방법에 대하여 설명을 한다. 또한, 명세서중에서 설명했지만, 게이트 드라이버 회로(12a)의 출력단에는 OEVI 회로가 구성되어 있고(도 116 등을 참조할 것), OEVI 회로에 H 레벨 신호를 인가함으로써, 게이트 신호선(17a)에는 V_{gh} 전압이 인가된다. V_{gh} 전압의 인가에 의해 트랜지스터(11b, 11c)(도 1 등의 화소 구성인 경우)는 오프 상태로 된다.

OEVI는 1H 기간에 1회, H 레벨 전압이 인가되고, 게이트 신호선(17a)에 V_{gh} (오프 전압)를 출력한다. 단, 선택되어 있지 않은 게이트 신호선(17a)은 당초부터 오프 전압(V_{gh})이 출력되어 있지 않으므로, 출력의 변화는 없다. 선택되어 있는 게이트 신호선(17a)은 온 전압(v_{g1})이 인가되어 있으므로, OEVI 회로의 H 레벨 전압 인가에 의해 온 전압 출력 기간 내에 V_{gh} (오프 전압) 기간이 발생한다.

OEVI 회로에 H 레벨이 인가되면, 모든 게이트 신호선(17a)에는 오프 전압(V_{gh})이 인가된다. 소스 드라이버 회로(14)는 소스 신호선에서 프로그램 전류를 흡수하고(도 1의 화소 구성인 경우), 소스 신호선(18)에는 선택된 화소(16)의 에노드 단자 V_{dd} 로부터 구동용 트랜지스터(11a), 스위치용 트랜지스터(11c)를 통하여 프로그램 전류가 공급된다. 따라서, 소스 드라이버 회로(14)가 프로그램 전류를 흡수하고 있는 상태에서, 모든 게이트 신호선(17a)이 오프 상태로 되면, 프로그램 전류의 공급 경로가 없어진다. 그 때문에, 소스 드라이버 회로(14)는 소스 신호선(18)의 기생 용량의 전하를 흡수하고, 소스 신호선(18)의 전위는 시간과 함께 저하한다.

도 138의 구동 방법의 과제는, 게이트 신호선(17a)이 온 상태에서부터 오프 상태로 변화하는 전압이 기생 용량(1381) 등에 의해 컨덴서(19)에 관통하여(관통 전압), 소정 전압보다도 높은 전압으로 유지되는 점이다.

OEVI 회로의 제어에 의해, 소스 신호선(18)의 전위를 저하시켜, 기생 용량(1381)의 관통 전압을 보상하면, 거의 소정의 전압이 컨덴서(19)에 유지되게 된다. 도 139의 구동 방법은 이 원리를 이용한 것이다.

도 139에서도 분명한 바와 같이, OEVI 회로의 제어에 의해, 게이트 신호선(17a)에 선택 전압(온 전압: v_{g1})이 인가된 기간(1H)에 오프 전압이 되는 기간이 t_1 발생한다(t_1 이 OEVI 회로에 H 레벨 전압을 인가한 시간임). 이 t_1 의 기간을 게이트 오픈 기간이라고 부른다. 게이트 오픈 기간은, 1H가 끝나는 시각보다도 t_2 기간 전에 종료하도록 발생시킨다. 또한, 게이트 오픈 기간은, 1H의 시작으로부터 t_3 기간 후에 발생시킨다. 따라서, $1H \text{ 기간} = t_3 + t_1 + t_2$ 이다.

도 139에 있어서, 게이트 신호선(17a)(1)은 화소(1)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다. 게이트 신호선(17a)(2)은 화소(1)의 다음 화소(2)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다. 게이트 신호선(17a)(3)은 화소(2)의 다음 화소(3)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다. 소스 신호선(18)의 란은 소스 신호선에 인가되어 있는 전압(전류) 파형을 나타내고 있다. 화소 전위는, 화소(3)의 컨덴서 전위(구동 트랜지스터(11a)의 게이트 단자 G의 전압 파형을 도시하고 있다. 게이트 신호선(17a)은 (1)→(2)→(3)→(4)→(5)→……(1)→(2)→……로 순차 주사된다.

화소 전위는 화소(3)이라고 하고, 또한, 화소 구성은 도 1의 화소 구성을 예시하여 설명한다. 화소 전위(3)는 제1H 번째, 제2H 번째에서는 이전 필드(프레임) 전위를 유지하고 있다. 제3 H 번째에, 게이트 신호선(17a)(3)에 온 전압(vg1)이 인가되고, 화소 행(3)의 트랜지스터(11b, 11c)가 온 상태로 된다.

도 139의 A점에서는 게이트 신호선(17a)의 전위 변화(Vgh(오프 전압)으로부터 vg1(온 전압)로 변화하고, 구동용 트랜지스터(11a)의 게이트 단자 전위가 저하한다. 그러나, 트랜지스터(11b, 11c)가 온 상태이므로, 소스 신호선(18)의 전위(전류)를 화소(16)에 기입하고, 컨덴서(19)가 충전(방전)된다. 컨덴서(19)의 충전(방전)에 의해, 구동 트랜지스터(11a)가 소정 전류를 흘리도록 프로그램된다(화소 전위는 Vb 전압으로 됨). 프로그램은 1H 기간 이내로 완료하도록 화소 설계가 되어 있기 때문에, C점에서는 구동 트랜지스터(11a)가 소정 전류를 흘리게 된다.

B점에서는, 화소에의 프로그램 전류의 기입은 완료하여, Va 전압으로 된다(Va 전압이 목표 전압으로 한다. 도 142의 (a)를 참조할 것). C점에서는 게이트 신호선(17a)의 전위 변화(vg1(온 전압)로부터 Vgh(오프 전압)로 변화한다. 이 전압 변화에 의해, 구동용 트랜지스터(11a)의 게이트 단자 전위가 상승한다(화소 전위(3)는 관통 전압에 의해 Vd 전압으로 됨). 게이트 신호선(17a)의 전위가 Vgh(오프 전압)로 변화하면 트랜지스터(11b) 및 트랜지스터(11c)가 오프 상태로 되기 때문에, 컨덴서(19) 단자는 소스 신호선(18)과 분리되어, 게이트 오픈 기간 t1의 기간, 화소 전위는 Vd 전압으로 유지된다.

게이트 오픈 기간 t1에서는, 소스 신호선(18)의 전위는, 소스 드라이버 회로(14)가 프로그램 전류를 계속 흡수하기 때문에, 전위가 저하하여, t1 기간의 경과 후에는 소스 신호선 전위 란에 도시한 바와 같이 Vc 전압으로 된다(도 142의 (b)를 참조할 것). 다음에, t2 기간에서는 재차, 게이트 신호선(17a)(3)에 온 전압이 인가되고, 트랜지스터(11b, 11c)가 온 상태로 된다. 트랜지스터(11b, 11c)의 온에 의해, 소스 신호선(18)의 전위가 화소의 컨덴서(19)에 기입된다. 따라서, 화소 전위(3)는 Vc 전압으로 된다. t2 기간은 재차 전류 프로그램 상태로 되고, 화소 전위(3)는 Vb로 변화한다. 그러나, t2 기간은 전압 기입을 할 수 있을 정도의 단시간이기 때문에, Vc 전압으로부터 Vb 전압으로의 변화량은 근소하다(근소해지도록, t2 기간을 설정함. 검토에 따르면, t2 기간은 0.5μsec 이상 5μsec 이하로 설정함). 또한, t1 기간은 0.5μsec 이상 10μsec 이하가 적절하다.

E점에서는 게이트 신호선(17a)(3)의 전위 변화(vg1(온 전압)로부터 Vgh(오프 전압)로 변화한다. 이 전압 변화에 의해, 구동용 트랜지스터(11a)의 게이트 단자 전위가 상승한다(화소 전위는 Va 전압으로 됨). 게이트 신호선(17a)의 전위가 Vgh(오프 전압)로 변화하면 트랜지스터(11b) 및 트랜지스터(11c)가 오프 상태로 하기 때문에, 컨덴서(19) 단자는 소스 신호선(18)과 분리되어 Va 전압이 유지된다. 따라서, 프로그램하고자 하는 전류를 흘리는 화소 전위는 Va 전압이 화소 전위(3)로서 유지된다(관통 전압이 보상된 것으로 됨).

도 139의 구동 방법은, 영상 신호 데이터(프로그램 전류)에 대응하여 관통 전압의 보상량을 조정할 수 있다고 하는 특징이 있다. 관통 전압의 크기는, 기본적으로 Vgh와 vg1의 전위차와 기생 용량(1381), 컨덴서(19)의 용량으로 결정된다(단, 구동 트랜지스터(11a)의 게이트 단자 전압으로 다소의 차이는 발생함). 따라서, 관통 전압의 크기는 고정치이다. OEV1 회로에 H 전압을 인가하는 기간도 일정하다고 하면, 프로그램 전류가 흑 표시의 전류이면, 소스 드라이버 회로(14)가 흡수하는 전류량은 작다. 따라서, 화소에 기입하는 화상 데이터가 흑 표시에서는, 소스 신호선(18)의 전위 저하도 작다. 프로그램 전류가 백 표시의 전류이면, 소스 드라이버 회로(14)가 흡수하는 전류량은 크다. 따라서, 화소에 기입하는 화상 데이터가 백 표시에서는, 소스 신호선(18)의 전위 저하가 크다.

한편, 게이트 신호선(17a)에 의해 발생하는 관통 전압은 고정치이다. 그 때문에, 화소에 기입하는 프로그램 전류가 흑 표시 데이터이면, OEV1 회로의 제어에 의한 관통 전압의 보상량은 작다. 게이트 신호선(17a)에 의한 관통 전압이 지배적이게 된다. 그 때문에, 흑 표시가 보다 완전한 흑 표시로 된다. 흑 표시에서는 시 감도가 낮기 때문에, 관통 전압에 의한 소정값으로부터의 어긋남이 크더라도 문제없다.

화소에 기입하는 프로그램 전류가 백 표시 데이터이면, OEV1 회로의 제어에 의한 관통 전압의 보상량은 크다. 소스 신호선(18)의 전위는 OEV1 회로가 H 레벨 입력일 때, 단시간에서 전위 저하를 일으키기 때문이다. 따라서, OEV1 회로의 제어에 의해, 강하한 전압의 크기와, 게이트 신호선(17a)에 의한 관통 전압의 크기가 일치하도록 OEV1 회로의 H 레벨 기간을 제어하면, 관통 전압의 영향을 완전히 없앨 수 있다. 그 때문에, 백 표시에서는 완전히 관통 전압을 보상할 수 있다. 백 표시에서는 시감도가 높기 때문에, 관통 전압을 캔슬하는 구동 방법의 효과가 높다.

이상의 점으로부터, 본 발명의 구동 방법에서는, 화상 표시 데이터에 의해, 관통 전압의 보상량을 조정할 수 있다.

또한, 표시 화상 데이터에 의해, OEV1 회로를 H 레벨로 하는 기간을 가변해도 된다. 예를 들면, 표시 화상 데이터를 총합하여, 총합에 의해 화면 휘도를 구하여, 구해진 결과에 의해 OEV1의 H 레벨 기간을 제어하는 방식이 예시된다.

또한, 게이트 오픈 기간 $t1$ 및 $t2$ 기간을 조정할 수 있도록 구성해 놓음으로써, 관통 전압의 보상량을 변경할 수 있다. 따라서, 패널 특성에 맞추어, 관통 전압의 보상량이 최적으로 되도록 조정할 수 있다. 단, $t2$ 기간은 거칠더라도 무방하다.

도 139의 실시예에서는, OEV1 회로의 제어에 의해, 게이트 신호선(17a)이 선택되고 있을 때에, 게이트 오픈 기간 $t1$ 을 마련하는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 1 수평 주사 기간 혹은 선택하는 화소 행마다, 게이트 오픈 기간 $t1$ 을 마련하는 가 아닌가를 판단하여, 구동해도 된다.

예를 들면, 1 화소 행의 화상 데이터가, 거의 흑 표시 데이터일 때에는 게이트 오픈 기간을 마련하지 않고, 1 화소 행의 화상 데이터가, 거의 백 표시 데이터일 때에는 게이트 오픈 기간을 마련하고, 완전히 백 표시 데이터일 때에는 게이트 오픈 기간을 통상보다도 길게 한다고 하는 구동 방법이다.

도 140은 본 발명의 구동 방법의 설명도이다. 제1H 번째와 제5H 번째에는 게이트 오픈 기간을 마련하고 있지 않다. 제2H 번째에서부터 제4H 번째에는 게이트 오픈 기간을 마련하고 있기 때문에, 소스 신호선(18)의 전위 저하가 발생하고 있다.

게이트 오픈 기간 $t1$ (도 141의 (a)에서는 B)과 전류 프로그램 기간(도 141의 (a))과는 상관이 있다. 도 141의 (b)의 그래프는 종축을 소정 휘도와 차(%)이다. 단, 수치는 절대값으로 하고 있다. 소정 휘도와 차란, 전류 프로그램을 행했을 때의 목표 휘도와 관통 전압의 발생 등에 의해 실제로 표시된 휘도와 차를 %로 나타낸 것이다. 도 141의 (b)에서도 분명한 바와 같이, 오차는 B/A 가 0.02 이상에서 거의 최저로 된다($B=t1$, $A=1H$, $C=2\mu\text{sec}$ 로 하고 있음). 따라서, B/A 는 0.02 이상으로 되도록 하는 것이 바람직하다. 단, B가 너무나도 커지면, 전류 프로그램 시간이 짧아져 기입 부족이 발생한다. 따라서, B/A 는 0.3 이하로 되도록 하는 것이 바람직하다.

B/A (B는 OEV1 회로에 H 레벨 상태의 시간=선택된 게이트 신호선(17a)이 오프가 되는 시간. A는 1H(1 수평 주사 기간))을 모드로 전환함으로써, 패널에의 관통 전압의 영향을 조정할 수 있다. B/A 는 계조에 따라 변화시키는 것이 바람직하다(도 145를 참조할 것). 일반적으로 B/A 는, 저계조(흑 표시=계조1, 2, 3...)에서 짧게, 고 계조(백 표시=계조...62, 63, 64)에서 길게 하는 것이 바람직하다. B/A 는, 모드(MODE)를 4 단계 정도만 돌아갈 수 있도록 구성해 놓고, 화상의 신(scene), 내용 등에 따라서 변경할 수 있도록 하여 놓은 것이 바람직하다.

도 145에서는, MODE1, MODE2, MODE3, MODE4가 있다. MODE1은 $B=0$ (즉, OEV1 회로는 항상 L 레벨에서 선택된 게이트 신호선(17a)은 온 전압으로 유지됨)인 경우이다. MODE2는 저계조측에서 $B=0$ (즉, OEV1 회로는 항상 L 레벨에서 선택된 게이트 신호선(17a)은 온 전압으로 유지됨), 고 계조측에서 $B/A=0.05H$ 인 경우이다. MODE3은 전 계조에서 $B/A=0.05H$ 인 경우이다. MODE4는 계조에 따라 B/A 의 값을 변화시키는 모드이다.

또한, 1 화소 행의 화상 데이터의 평균 계조 레벨에 의해, B의 값을 선정하여, MODE를 전환하여도 된다. 또한, 일정 계조 이상으로 OEV1의 제어를 변경해도 된다. 일정 계조 레벨 이하로 OEV1을 사용하지 않도록 제어해도 된다.

이상의 실시예는, 게이트 드라이버 회로(12)의 OEV1 회로를 제어하는 것의 보다 소스 신호선(18)의 전위를 변화시켜, 관통 전압 등에 의한 영향을 대책하는 것이었다. 도 143은 소스 신호선(18)에 외부로부터 직사각형파를 인가함으로써 관통 전압 등에 의한 영향을 대책하는 것이다.

도 143에 있어서, 컨텐서 드라이버(1431)는 직사각형파(소스 결합 신호라고 부름. 도 144를 참조할 것)를 발생하고, 이 직사각형파는 결합 컨텐서(1434)에서 소스 신호선(18)에 인가된다. 결합 컨텐서(1434)의 일단은 컨텐서 신호선(1433)에 접속되어 있다. 직사각형파는 이 컨텐서 신호선(1433)에 인가된다. 소스 결합 신호는 수평 동기 신호와 동기를 취하여, 소스 신호선에 인가된다.

이해를 쉽게 하기 위해서, 화소 전위는 (2)에 주목하여 설명을 한다. 제3H 번째에서는 게이트 신호선(17a)(2)에 온 전압이 인가된다. 온 전압의 인가에 의해, 화소(2)의 트랜지스터(11b, 11c)가 온 상태로 되고, 소스 신호선(18)에 인가된 전류가 구동용 트랜지스터 11a에 인가된다(A점). B점에서는, 컨텐서 신호선(1433)에 인가된 소스 결합 신호가 V_{s1} 로부터 V_{sh} 로 변화한다. 따라서, 소스 결합 신호가 소스 신호선(18)에 커플링(관통함)하기 때문에, 화소 전위(2)는, V_a 전압까지 급등한다. 그러나, 이 급등은 프로그램 전류의 보다 단시간에서 해소되고, 화소 전위(2)는 C점까지는 목표 전위 V_b 에 도달한다.

C점에서는, 컨덴서 신호선(1433)에 인가된 소스 결합 신호가 V_{sh} 로부터 V_{s1} 로 변화한다. 따라서, 소스 결합 신호가 소스 신호선(18)에 커플링(관통함)하기 때문에, 화소 전위(2)는 V_c 전압까지 저하한다. C점에서는 게이트 신호선(17a)(2)에 온 전압이 인가되어 있기 때문에, V_c 전압은 프로그램 전류에 의해 변화한다. 그러나, C점에서부터 D점까지의 시간이 단시간이면 거의 변화하지 않는다.

D점에서는, 게이트 신호선(17a)(2)이 온 전압으로부터 오프 전압으로 변화하기 때문에, 관통 전압에 의해 화소 전위(2)의 전위는 V_b 전압으로 시프트한다. 따라서, 목표의 V_b 전압이 화소(16)로 유지된다. 이상과 같이 소스 결합 신호를 소스 신호선(18)에 커플링시킴으로써, 관통 전압을 보상할 수 있다. 또한, 소스 결합 신호의 진폭을 변화시킴으로써, 관통 전압의 보상 비율을 조정할 수 있는 것은 물론이다.

도 139는 OEVI를 제어함으로써, 소스 신호선(18)의 전위를 변화시키는 것이었다. 그러나, 소스 신호선(18)의 전위 변화시키는 것은, 소스 드라이버 회로(14)측에서도 실현할 수 있다. 소스 드라이버 회로(14)에는, 도 147에 도시한 바와 같이, 소스 신호선(18)과 접속하는 단자(1471)와 전류 출력 회로(1461) 사이에 아날로그 스위치(752)가 형성 또는 배치되어 있다(도 146를 참조할 것). 또한, 소스 드라이버 회로(14) 내에도 기생 용량(1472)이 발생하고 있다.

스위치(752)가 폐쇄된 상태에서는, 도 147의 (a)에 도시하는 바와 같이, 프로그램 전류 I_w 가 전류 출력 회로(1461)에 유입된다. 스위치(752)가 오픈(도 147의 (b)를 참조할 것)하면, 전류 출력 회로(1461)는 정전류 회로이므로, 계속하여 전류 I_w 를 흡수한다. 그 때문에, 기생 용량(1472)의 전하를 흡수하여, 내부 배선(1473)의 전위가 저하한다. 이 상태에서, 스위치(752)를 온 상태로 하면(도 147의 (c)를 참조할 것), 프로그램 전류 I_w 는, 기생 용량(1472)의 충전과 전류 출력 회로로 분류된다. 따라서, 소스 신호선(18)의 전위가 저하한다. 이상의 소스 신호선(18)의 전위 저하 상태를 도 139의 C점으로부터 D점의 상태에 적용시키면, 도 139와 같이, 전압이 저하한 소스 신호선(18) 전위를 화소(16)에 기입할 수 있다.

도 143은 컨덴서 신호선(1433)에 의해, 소스 신호선(18)에 관통 전압을 보상하는 신호를 인가하는 구성이었다. 도 151은 화소 행마다, 관통 전압을 보상하는 구성이다.

도 151은 컨덴서(19)의 일단은 구동용 트랜지스터(11a)에 접속되어 있고, 타단은 공통 신호선(1511)에 접속되어 있다. 공통 신호선(1511)은 1 화소 행에 공통으로 형성되어 있는 신호선이다. 공통 신호선(1511)은 공통 드라이버 회로(1512)에 접속되어 있다. 공통 드라이버 회로(1512)는 도 152에 도시한 바와 같이 직사각형파의 신호를 출력하고, 각 공통 신호선(1511)에 인가한다. 다른 구성은, 도 1과 마찬가지로이기 때문에 설명을 생략한다.

도 152에 있어서, 게이트 신호선(17a)(1)은 화소(1)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다. 게이트 신호선(17a)(2)은 화소(1)의 다음 화소(2)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다. 게이트 신호선(17a)(3)은 화소(2)의 다음 화소(3)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다.

공통 신호선(1)은 화소(1)의 공통 신호선(1511)의 전압 파형을 나타내고 있다. 또한, 공통 신호선(2)은 화소(2)의 공통 신호선(1511)의 전압 파형을 나타내고, 공통 신호선(3)은 화소(3)의 공통 신호선(1511)의 전압 파형을 나타내고 있다.

소스 신호선(18)의 란은 소스 신호선에 인가되어 있는 전압(전류) 파형을 나타내고 있다. 화소 전위(2)는, 화소(2)의 컨덴서 전위(구동 트랜지스터(11a)의 게이트 단자 G의 전압 파형)를 나타내고 있다. 게이트 신호선(17a)은 (1)→(2)→(3)→(4)→(5)→……(1)→(2)→……로 순차 주사된다. 또한, 공통 신호선(1511)도 (1)→(2)→(3)→(4)→(5)→……(1)→(2)……로 순차 주사된다. 이후, 설명을 쉽게 하기 위해서, 화소(2)의 화소 전위(구동 트랜지스터(11a)의 게이트 G 단자 전위)에 주목하여 설명을 한다. 또한, 최초는 화소(16)에는 이전 필드의 화상 데이터가 유지되고 있다.

A점에서는 게이트 신호선(17a)의 전위 변화(V_{gh} (오프 전압)으로부터 v_{g1} (온 전압)로 변화하고, 구동용 트랜지스터(11a)의 게이트 단자 G 전위가 저하한다($V_a + V_c$). 또한, 트랜지스터(11b, 11c)가 온 상태이므로, 소스 신호선(18)의 전위(전류)를 화소(16)에 기입하고, 컨덴서(19)의 충전(방전)이 개시된다. 또한, 1H 개시 시는, 공통 신호선(1511)의 전위는 V_{cl} 이라고 한다($V_{cl} < V_{ch}$).

1H의 개시로부터 T_a 기간 후, 공통 신호선(1511)의 전위가, V_{cl} 로부터 V_{ch} 로 변화한다(도 152의 B점을 참조할 것). 단, 상기 동작은, 1H의 개시와 동시에 행하여도 되는 것은 물론이다. 공통 신호선(1511)의 전위 변화에 의해, 컨덴서(19)의 전위(화소 전위(2))도 시프트하여, V_e 전압으로 된다. 트랜지스터(11b, 11c)가 온 상태이므로, 소스 신호선(18)의 전위(전

류)를 화소(16)에 기입되고, 컨덴서(19)가 충전(방전)되어, 1H의 끝의 C점에서는, 목표의 V_b 전압이 화소(16)에 기입된다. 또한, T_a 시간은 0(1H 기간의 개시와 동시) sec이어도 된다. 바람직하게는, T_a 시간은 0 이상 1H의 1/5 시간으로 설정하는 것이 바람직하다. T_a 시간이 길면 본래의 전류 프로그램 기간이 짧아지기 때문이다.

C점에서는, 게이트 신호선(17a)의 전위 변화($vg1$ (온 전압)로부터 V_{gh} (오프 전압)로 변화하고, 이 전압 변화가, 관통 전압으로서, 기생 용량(1381)을 통하여 화소 전위(2)를 변동시킨다. 이 전위 변화에 의해, 화소 전위(2)는 V_d 전압으로 된다. C점에서는, 게이트 신호선(17a)의 전위가 V_{gh} (오프 전압)로 변화하고, 트랜지스터(11b) 및 트랜지스터(11c)가 오프 상태로 되기 때문에, 컨덴서(19) 단자는 소스 신호선(18)과 분리되어 V_d 전압이 유지된다.

1H 기간(화소(2)에 선택 기간)이 완료하고 나서 T_b 의 경과 후, 공통 신호선(1511)의 전위가, V_{ch} 로부터 V_{cl} 로 변화한다(도 152의 D점을 참조할 것). 공통 신호선(1511)의 전위 변화에 의해, 컨덴서(19)의 전위(화소 전위(2))도 시프트하여, 목표 전압의 V_b 전압으로 된다. 이상의 동작에 의해, 컨덴서(19)에는, 화상 데이터에 기초한 소정 전류가 구동용 트랜지스터(11a)에 흐르도록, 전압 V_b 가 유지된다.

이상의 동작에서도 분명하지만, 기생 용량(1381) 등에 의해 발생하는 관통 전압을, 공통 신호선(1511)에 신호를 인가함으로써 보상하고 있다. 이 보상에 의해 화소(16)에는 정밀도의 보다 전류 프로그램을 실시할 수 있다. 또한, 1H 후가 완료하여 T_b 시간 후에, 공통 신호선(1511)의 전위를 V_{ch} 로부터 V_{cl} 로 변화하게 한다고 했다. 그러나, T_b 는 0 sec(1H의 종료와 동시)라도 잘, 1H 이상이어도 된다.

이상의 점으로부터, 본 발명의 구동 방법은, 화소 선택 기간 내에, 공통 신호선의 전위를 V_{cl} 로부터 V_{ch} 로 변화하게 한다(단, 선택 기간보다 전에 변화시켜도 선택 기간 중에 전류 프로그램이 실시되므로 문제는 발생하지 않음. 따라서, 해당 화소가 전류 프로그램 종료 전에 공통 신호선의 전위를 V_{cl} 로부터 V_{ch} 로 변화하면 됨). 또한, 화소 선택 기간 후(선택 기간 종료와 동시)이라도 무방함), 공통 신호선의 전위를 V_{ch} 로부터 V_{cl} 로 변화하게 하는 구동 방법이다.

또한, 공통 신호선(1511)의 진폭(V_{ch} , V_{cl})은, 전압 발생 회로(도시하지 않음)의 볼륨에 의해 변경할 수 있도록 구성해 둔다. 또한, 공통 드라이버 회로(1512)의 구성, 동작은, 게이트 드라이버 회로(12)와 마찬가지로 혹은 유사하기 때문에 설명을 생략한다. 또한, 다른 동작은, 도 139와 마찬가지로 하기 때문에 설명을 생략한다.

도 151, 도 152는 공통 신호선의 동작에 의해, 관통 전압을 보상하는 방식이었다. 도 153은 공통 드라이버 회로(1512)를 마련하지 않고, 화소의 전단의 게이트 신호선(17a)의 동작에 의해 관통 전압을 보상하는 구성이다.

도 153은 컨덴서(19)의 일단은 구동용 트랜지스터(11a)에 접속되어 있고, 타단은 전단(하나 전에 선택되는 화소)의 게이트 신호선(17a)에 접속되어 있다. 컨덴서(19)의 일단의 전극은 게이트 신호선(17a)이다. 다른 구성은, 도 1, 도 151 등과 마찬가지이다.

도 154에 있어서, 게이트 신호선(17a)(1)은 화소(1)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다. 게이트 신호선(17a)(2)은 화소(1)의 다음 화소(2)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다. 게이트 신호선(17a)(3)은 화소(2)의 다음 화소(3)의 게이트 신호선(17a)의 전압 파형을 나타내고 있다.

소스 신호선(18)의 란은 소스 신호선에 인가되어 있는 전압(전류) 파형을 나타내고 있다. 화소 전위(2)는, 화소(2)의 컨덴서 전위(구동 트랜지스터(11a)의 게이트 단자 G의 전압 파형)를 도시하고 있다. 게이트 신호선(17a)은 (1)→(2)→(3)→(4)→(5)→……(1)→(2)→……로 순차 주사된다.

이후, 설명을 쉽게 하기 위해서, 화소(2)의 화소 전위(구동 트랜지스터(11a)의 게이트 G 단자 전위)에 주목하여 설명을 한다. 또한, 최초는 화소(16)에는, 이전 필드의 화상 데이터가 유지되어 있다. 또한, 도 153의 실시예에서는, 게이트 드라이버 회로(12a)는 하나의 온 전압($vg1$)과 2개의 오프 전압(V_{gh2} , V_{gh1})을 게이트 신호선(17a)에 인가한다. 단, 오프 전압 V_{gh2} >오프 전압 V_{gh1} 로 하고, $0.02(V)<V_{gh2}-V_{gh1}<0.4(V)$ 의 조건을 만족시킨다.

A점에서는 전단의 게이트 신호선(17a)(1)의 전위 변화(V_{gh1} (오프 전압)로부터 $vg1$ (온 전압)로 변화함으로써, 화소(2)의 컨덴서(19)의 전위가 변동된다(화소 전위는 V_e 로부터 V_d 로 변화함). 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G 전위가 저하한다.

B점에서는, 화소(2)의 게이트 신호선(17a)(2)의 전위 변화(Vgh1(오프 전압)로부터 vg1(온 전압)로 변화함으로써, 화소 전위가 변화하지만, 트랜지스터(11b, 11c)가 온 상태이므로, 소스 신호선(18)의 전위(전류)를 화소(16)에 기입하고, 컨덴서(19)의 충전(방전)이 개시된다. 1H의 선택 기간 내에, 목표 전압의 Vb 전압으로 된다. 이상의 동작에 의해, 컨덴서(19)에는, 화상 데이터에 기초한 소정 전류가 구동용 트랜지스터(11a)에 흐르도록 설정된다.

C점에서는, 게이트 신호선(17a)(2)의 전위 변화(vg1(온 전압)로부터 Vgh2(오프 전압)로 변화하고, 이 전압 변화가, 관통 전압으로서, 기생 용량(1381)을 통하여 화소 전위(2)를 변동시킨다. 이 전위 변화에 의해, 화소 전위(2)는 Vc 전압으로 된다. C점에서는 게이트 신호선(17a)의 전위가 Vgh(오프 전압)로 변화하고, 트랜지스터(11b) 및 트랜지스터(11c)가 오프 상태로 되기 때문에, 컨덴서(19) 단자는 소스 신호선(18)과 분리되어 Vc 전압이 유지된다.

1H 기간(화소(2)에 선택 기간)이 완료하고 나서 1H 기간의 경과 후(도 154의 D점), 게이트 신호선(17a)(2)의 전위가, Vgh2로부터 Vgh1로 변화한다(도 152의 D점을 참조할 것). 게이트 신호선(17a)(2)의 전위 변화에 의해, 컨덴서(19)의 전위(화소 전위(2))도 시프트하여, 목표 전압의 Vb 전압으로 된다. 이상의 동작에 의해, 컨덴서(19)에는, 화상 데이터에 기초한 소정 전류가 구동용 트랜지스터(11a)에 흐르도록, 전압 Vb가 유지된다. .

이상의 동작에서도 분명하지만, 기생 용량(1381) 등에 의해 발생하는 관통 전압을, 게이트 신호선(17a)에 3개의 전압(Vgh1, Vgh2, vg1)을 인가함으로써 보상하고 있다. 이 보상에 의해 화소(16)에는 정밀도의 보다 전류 프로그램을 실시할 수 있다. 또한, 선택 기간부터 1H 기간이 경과 후(도 154의 D점)에, 게이트 신호선(17a)(2)의 전위를 Vgh2로부터 Vgh1로 변화하게 한다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 155에 도시한 바와 같이, 1H 이내의 Ta 시간 후(도 155의 D점을 참조할 것)에서 변화하게 하여도 된다. 또한, 1H 이상 경과 후에서 변화하게 하여도 된다.

또한, 도 153은 전단의 게이트 신호선(17a)을 후단의 컨덴서(19)의 단자 전극으로 하는 구성이지만, 본 발명은 이것에 한정되는 것은 아니다. 도 156에 도시한 바와 같이, 전단보다도 전의 화소의 게이트 신호선(17a)을 컨덴서(19)의 전극으로 하여도 된다. 이 타이밍차트를 도 157에 도시한다.

A점에서는 전 전단의 게이트 신호선(17a)(1)의 전위 변화(Vgh1(오프 전압)으로부터 vg1(온 전압)로 변화함으로써, 화소(3)의 컨덴서(19)의 전위가 변동된다(화소 전위는 Va로부터 Ve로 변화함). 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G 전위가 저하한다.

B점에서는, 전 전단의 게이트 신호선(17a)(1)의 전위 변화(vg1(온 전압)로부터 Vgh2(오프 전압)로 변화함으로써, 화소(3)의 컨덴서(19)의 전위가 변동된다(화소 전위는 Ve로부터 Va로 변화함). 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G 전위가 상승한다.

C점에서는 게이트 신호선(17a)(3)의 전위 변화(Vgh1(오프 전압)로부터 vg1(온 전압)로 변화함으로써, 화소(3)의 컨덴서(19)의 전위가 변동하지만, 트랜지스터(11b, 11c)가 온 상태이므로, 소스 신호선(18)의 전위(전류)를 화소(16)에 기입되고, 컨덴서(19)의 충전(방전)이 개시된다. 1H의 선택 기간 내에, 목표 전압의 Vc 전압으로 된다. 이상의 동작에 의해, 컨덴서(19)에는 화상 데이터에 기초한 소정 전류가 구동용 트랜지스터(11a)에 흐르도록 설정된다.

D점에서는, 게이트 신호선(17a)(3)의 전위 변화(vg1(온 전압)로부터 Vgh2(오프 전압)로 변화하고, 이 전압 변화가, 관통 전압으로서, 기생 용량(1381)을 통하여 화소 전위(3)를 변동시킨다. 이 전위 변화에 의해, 화소 전위(3)는 Vb 전압으로 된다. C점에서는, 게이트 신호선(17a)의 전위가 Vgh(오프 전압)로 변화하고, 트랜지스터(11b) 및 트랜지스터(11c)가 오프 상태로 되기 때문에, 컨덴서(19) 단자는 소스 신호선(18)과 분리되어 Vb 전압이 유지된다.

1H 기간(화소(3)에 선택 기간)이 완료하고 나서 1H 기간의 경과 후(도 157의 D점), 게이트 신호선(17a)(3)의 전위가, Vgh2로부터 Vgh1로 변화한다(도 157의 D점을 참조할 것). 게이트 신호선(17a)(3)의 전위 변화에 의해, 컨덴서(19)의 전위(화소 전위(3))도 시프트하여, 목표 전압의 Vc 전압으로 된다. 이상의 동작에 의해, 컨덴서(19)에는, 화상 데이터에 기초한 소정 전류가 구동용 트랜지스터(11a)에 흐르도록, 전압 Vc이 유지된다.

이상의 동작에서도 분명하지만, 기생 용량(1381) 등에 의해 발생하는 관통 전압을, 게이트 신호선(17a)에 3개의 전압(Vgh1, Vgh2, vg1)을 인가함으로써 보상하고 있다. 이 보상에 의해 화소(16)에는 정밀도의 보다 전류 프로그램을 실시할 수 있다.

이상의 실시예는, 구동 방식의 개량 혹은 발명에 의해, 관통 전압의 영향을 보상하는 것이었다. 화소(16)의 구성에 의해서도 관통 전압의 발생을 억제할 수 있다. 도 148은 도 1의 P 채널의 스위칭 트랜지스터(11b)를, P 채널 트랜지스터(11bp)와 N 채널 트랜지스터(11bn)로 구성한 것이다. 즉, 아날로그 스위치이다. P 채널 트랜지스터(11bp)와 N 채널 트랜지스터(11bn)를 동시에 온시키기 위해서, 인버터(1481)를 배치하고 있다.

도 148에 도시한 바와 같이, 트랜지스터(11b)를 P 채널과 N 채널의 트랜지스터로 구성함으로써 양 트랜지스터에 인가되는 게이트 신호선(17a)에서의 전압이 상쇄된다. 따라서, 관통 전압에 의한 전위 시프트를 대폭 개선하는 것이 가능하다. 또한, 도 149에 도시한 바와 같이, 트랜지스터(11bn) 등을 다이오드 구성으로 하여도 그 효과는 발휘되는 것은 물론이다.

이상과 같이, 화소 구성을 도 148, 149 등과 같이 구성함으로써 관통 전압의 영향을 보상할 수 있다. 또한, 도 139 등에서 설명한 본 발명과 조합함으로써 상승 효과로 관통 전압을 보상할 수 있어, 균일한 화상 표시를 실현할 수 있다.

이상의 실시예는, 게이트 신호선(17a)(WR 측 선택 신호선)의 동작을 중심으로 설명했다. 게이트 신호선(17b)(EL 측 선택 신호선)의 구동 방법에 대하여 보충해 둔다. 게이트 신호선(17b)(EL 측 선택 신호선)은, EL 소자(15)에 흘리는 전류를 제어하는 신호선이다. 단, 도 63에서는, 스위치(631)의 온 오프 제어에 의해, EL 소자(15)에 흘리는 전류를 제어한다. 따라서, 이하에 보충하는 게이트 신호선(17b)(EL 측 선택 신호선)의 제어 방법은, EL 소자(15)에 전류를 흘리는 타이밍 혹은 시간으로 바꾸어 말할 수 있다. 여기서 설명을 쉽게 하기 위해서, 게이트 신호선(17b)(EL 측 선택 신호선)을 예시하여 설명한다. 이후에 설명하는 사항은 본 발명의 구동 방식의 전부에 적용할 수 있는 것은 물론이다.

도 15, 도 18, 도 21 등에서는, 게이트 신호선(17b)(EL 측 선택 신호선)은 1 수평 주사 기간(1H)을 단위로 하여, 온 전압(vg1), 오프 전압(Vgh)을 인가하는 것으로 해서 설명을 했다. 그러나, EL 소자(15)의 발광량은, 흘리는 전류가 정전류일 때, 흘리는 시간에 비례한다. 따라서, 흘리는 시간은 1H 단위에 한정할 필요는 없다.

도 158은 1/4 duty 구동이다. 4H 기간에 1H 기간 동안, 게이트 신호선(17b)(EL 측 선택 신호선)에 온 전압이 인가되고, 수평 동기 신호(HD)에 동기하여, 온 전압이 인가되어 있는 위치가 주사된다. 따라서, 온 시간은 1H 단위이다.

그러나, 본 발명은 이것에 한정되는 것이 아니고, 도 161에 도시한 바와 같이 1H 미만(도 161은 1/2H)으로 하여도 되고, 또한, 1H 이하로 하여도 된다. 즉, 1H 단위에 한정되는 것이 아니고, 1H 단위 이외의 발생도 용이하다. 게이트 드라이버 회로(12b)(게이트 신호선(17b)을 제어하는 회로임)의 출력단에 형성 또는 배치된 OEV2 회로를 이용하면 된다. OEV2 회로는 앞서 설명한 OEV1 회로와 마찬가지로 하기 때문에 설명을 생략한다.

도 159는 게이트 신호선(17b)(EL 측 선택 신호선)의 온 시간은 1H를 단위로 하고 있지 않다. 홀수 화소 행의 게이트 신호선(17b)(EL 측 선택 신호선)은 1H 약(弱)의 기간 온 전압이 인가된다. 짝수 화소 행의 게이트 신호선(17b)(EL 측 선택 신호선)은, 극히 짧은 기간 온 전압이 인가된다. 또한, 홀수 화소 행의 게이트 신호선(17b)(EL 측 선택 신호선)에 인가되는 온 전압 시간 T1과 짝수 화소 행의 게이트 신호선(17b)(EL 측 선택 신호선)에 인가되는 온 전압 시간 T2를 더한 시간을 1H 기간으로 되도록 하고 있다. 도 159을 제1 필드의 상태로 한다.

제1 필드의 다음 제2 필드에서는, 짝수 화소 행의 게이트 신호선(17b)(EL 측 선택 신호선)은 1H 약의 기간 온 전압이 인가된다. 홀수 화소 행의 게이트 신호선(17b)(EL 측 선택 신호선)은, 극히 짧은 기간 온 전압이 인가된다. 또한, 짝수 화소 행의 게이트 신호선(17b)(EL 측 선택 신호선)에 인가되는 온 전압 시간 T1과 홀수 화소 행의 게이트 신호선(17b)(EL 측 선택 신호선)에 인가되는 온 전압 시간 T2를 더한 시간을 1H 기간으로 되도록 하고 있다.

이상과 같이, 복수 화소 행에서의 게이트 신호선(17b)(EL 측 선택 신호선)에 인가하는 온 시간의 합을 일정해지도록 하고, 또한, 복수 필드에서 각 화소 행의 EL 소자(15)의 점등 시간을 일정해 지도록 해도 된다.

도 160은 게이트 신호선(17b)(EL 측 선택 신호선)의 온 시간을 1.5H를 하고 있다. 또한, A점에서의 게이트 신호선(17b)(EL 측 선택 신호선)의 상승과 하강이 중첩되도록 하고 있다. 게이트 신호선(17b)(EL 측 선택 신호선)과 소스 신호선(18)은 커플링하고 있다. 그 때문에, 게이트 신호선(17b)(EL 측 선택 신호선)의 파형이 변화하면 파형의 변화가 소스 신호선(18)에 관통한다. 이 관통에 의해 소스 신호선(18)에 전위 변동이 발생하면 전류(전압) 프로그램의 정밀도가 저하하여, 구동용 트랜지스터(11a)의 특성 열특징이 표시되도록 된다.

도 160에 있어서, A점에 있어서, 게이트 신호선(17b)(EL 측 선택 신호선)(1)은 온 전압(vg1) 인가 상태에서부터 오프 전압(Vgh) 인가 상태로 변화한다. 게이트 신호선(17b)(EL 측 선택 신호선)(2)은 오프 전압(Vgh) 인가 상태에서부터 온 전압

(vg1) 인가 상태로 변화한다. 따라서, A점에서는, 게이트 신호선(17b)(EL측 선택 신호선)(1)의 신호 파형과 게이트 신호선(17b)(EL 측 선택 신호선)(2)의 신호 파형이 상쇄된다. 따라서, 소스 신호선(18)과 게이트 신호선(17b)(EL 측 선택 신호선)이 커플링하고 있더라도, 게이트 신호선(17b)(EL 측 선택 신호선)의 파형 변화가 소스 신호선(18)에 관통하는 일이 없다. 그 때문에, 양호한 전류(전압) 프로그램 정밀도를 얻을 수 있어, 균일한 화상 표시를 실현할 수 있다.

또한, 도 160은 온 시간이 1.5H의 실시예였다. 그러나, 본 발명은 이것에 한정되는 것이 아니고, 도 162에 도시한 바와 같이, 온 전압의 인가 시간을 1H 이하로 하여도 되는 것은 물론이다.

게이트 신호선(17b)(EL 측 선택 신호선)에 온 전압을 인가하는 기간을 조정함으로써, 표시 화면(50)의 휘도를 선형으로 조절할 수 있다. 이것은 OEV2 회로를 제어함으로써 용이하게 실현할 수 있다. 예를 들면, 도 163에서는, 도 163의 (a)보다도 도 163의 (b) 쪽이 표시 휘도가 낮아진다. 또한, 도 163의 (b)보다도 도 163의 (c)쪽이 표시 휘도가 낮아진다.

또한, 도 164에 도시한 바와 같이, 1H 기간에 온 전압을 인가하는 기간과 오프 전압을 인가하는 기간의 조를 복수회 마련하여도 좋다. 도 164의 (a)는 6회 마련한 실시예이다. 도 164의 (b)는 3회 마련한 실시예이다. 도 164의 (c)는 1회 마련한 실시예이다. 도 164에서는, 도 164의 (a)보다도 도 164의 (b) 쪽이 표시 휘도가 낮아진다. 또한, 도 164의 (b)보다도 도 164의 (c)쪽이 표시 휘도가 낮아진다. 따라서, 온 기간의 횟수를 제어함으로써 표시 휘도를 용이하게 조정(제어)할 수 있다.

또한, 도 98의 (a)에 도시한 바와 같이, 비표시 영역(52)과 표시 영역(53)을 규칙적으로 제어하는 구동 모드와, 도 98의 (c)에 도시한 바와 같이, 비표시 영역(52)과 표시 영역(53)을 랜덤하게 제어하는 구동 모드와, 도 98의 (b)에 도시한 바와 같이 프레임(필드)마다 비표시 영역(52)과 표시 영역(53)을 반복하는 구동 모드를 선택할 수 있도록 하여도 된다. 또한, 사용자의 제어에 의해, 또한, 화상 데이터의 내용에 따라, 도 98의 (a), (b), (c)를 전환하도록 구성해도 된다.

도 184에, 본 발명의 전류 구동 방식의 소스 드라이버 IC(회로)(14)의 일 실시예에서의 구성도를 도시한다. 도 184는, 일례로서 전류원을 3단 구성(1841, 1842, 1843)으로 한 경우의 다단식 커런트 미러 회로를 나타내고 있다.

도 184에 있어서, 제1단의 전류원(1841)의 전류값은, N개(단, N은 임의의 정수)의 제2단 전류원(1842)에 커런트 미러 회로에 의해 카피된다. 또한, 제2단 전류원(1842)의 전류값은, M 개(단, M은 임의의 정수)의 제3단 전류원(1843)에 커런트 미러 회로에 의해 카피된다. 이 구성에 의해, 결과로서 제1단 전류원(1841)의 전류값은, $N \times M$ 개의 제3단 전류원(1843)에 카피되게 된다.

예를 들면, QCIF 형식의 표시 패널의 소스 신호선(18)에 하나의 드라이버 IC(14)로 구동하는 경우에는, 176 출력(소스 신호선이 각 RGB에서 176 출력 필요하기 때문)으로 된다. 이 경우에는, N을 16개로 하여, M=1하나로 한다. 따라서, $16 \times 11 = 176$ 으로 되고, 176 출력에 대응할 수 있다. 이와 같이, N 또는 M 중, 한쪽을 8 또는 16 혹은 그 배수로 함으로써, 드라이버 IC의 전류원의 레이아웃 설계가 용이해진다.

본 발명의 다단식 커런트 미러 회로에 의한 전류 구동 방식의 소스 드라이버 IC(회로)(14)에서는, 상기 한 바와 같이, 제1단 전류원(1841)의 전류값을 직접 $N \times M$ 개의 제3단 전류원(1843)에 커런트 미러 회로에서 카피하는 것은 아니고, 중간에 제2단 전류원(1842)을 배치하고 있기 때문에, 그래서 트랜지스터 특성의 변동을 흡수하는 것이 가능하다.

특히 본 발명은, 제1단의 커런트 미러 회로(전류원(1841))와 제2단에 커런트 미러 회로(전류원(1842))를 밀접하게 배치하는 것에 특징이 있다. 제1단의 전류원(1841)으로부터 제3단의 전류원(1843)(즉, 커런트 미러 회로의 2단 구성)이면, 제1단의 전류원과 접속되는 제2단의 전류원(1843)의 개수가 많고, 제1단의 전류원(1841)과 제3단의 전류원(1843)을 밀접하게 배치할 수 없다.

본 발명의 소스 드라이버 회로(14)와 같이, 제1단의 커런트 미러 회로(전류원(1841))의 전류를 제2단의 커런트 미러 회로(전류원(1842))에 카피하고, 제2단의 커런트 미러 회로(전류원(1842))의 전류를 제3단에 커런트 미러 회로(전류원(1842))에 카피하는 구성이다. 이 구성에서는, 제1단의 커런트 미러 회로(전류원(1841))에 접속되는 제2단의 커런트 미러 회로(전류원(1842))의 개수가 적다. 따라서, 제1단의 커런트 미러 회로(전류원(1841))과 제2단의 커런트 미러 회로(전류원(1842))를 밀접하게 배치할 수 있다.

밀접하게 커런트 미러 회로를 구성하는 트랜지스터를 배치할 수 있으면, 당연한 것이지만, 트랜지스터의 변동이 적어지므로, 카피되는 전류값의 변동도 적어진다. 또한, 제2단의 커런트 미러 회로(전류원(1842))에 접속되는 제3단의 커런트 미러 회로(전류원(1843))의 개수도 적어진다. 따라서, 제2단의 커런트 미러 회로(전류원(1842))과 제3단의 커런트 미러 회로(전류원(1843))를 밀접하게 배치할 수 있다.

즉, 전체적으로, 제1단의 커런트 미러 회로(전류원(1841)), 제2단의 커런트 미러 회로(전류원(1842)), 제3단의 커런트 미러 회로(전류원(1843))의 전류 수취부의 트랜지스터를 밀접하게 배치할 수 있다. 따라서, 밀접하여 커런트 미러 회로를 구성하는 트랜지스터를 배치할 수 있으므로, 트랜지스터의 변동이 적어지고, 출력 단자로부터의 전류 신호의 변동은 매우 적어진다(정밀도가 높음).

본 발명에 있어서, 전류원(1841, 1842, 1843)으로 표현하거나, 커런트 미러 회로로 표현하기도 한다. 이들은 동의로 이용하고 있다. 즉, 전류원이란, 본 발명의 기본적인 구성 개념이고, 전류원을 구체적으로 구성하면 커런트 미러 회로로 되기 때문이다.

도 185는 더욱 구체적인 소스 드라이버 IC(회로)(14)의 구조도이다. 도 185는 제3 전류원(1843)의 부분을 도시하고 있다. 즉, 하나의 소스 신호선(18)에 접속되는 출력부이다. 최종단의 커런트 미러 구성으로서, 복수의 동일 사이즈의 커런트 미러 회로(단위 트랜지스터(1854))(1 단위))로 구성되어 있고, 그 개수가 화상 데이터의 비트에 대응하여, 비트 가중치 부여되어 있다.

또한, 본 발명의 소스 드라이버 IC(회로)(14)를 구성하는 트랜지스터는, MOS 타입에 한정되는 것이 아니고, 바이폴라 타입이어도 된다. 또한, 실리콘 반도체에 한정되는 것이 아니고, 갈륨 비소 반도체여도 된다. 또한, 게르마늄 반도체여도 된다. 또한, 기판에 저온 폴리실리콘 등의 폴리실리콘 기술, 비정질 실리콘 기술로 직접 형성한 것이어도 된다.

도 185에서 분명하지만, 본 발명의 일 실시예로서, 6 비트의 디지털 입력인 경우를 나타내고 있다. 즉, 2의 6승이므로, 64 계조 표시이다. 이 소스 드라이버 IC(14)를 어레이 기판에 적재함으로써, 적(R), 녹(G), 청(B)이 각 64 계조이므로, $64 \times 64 \times 64 = \text{약 } 26\text{만}$ 색을 표시할 수 있게 된다.

64 계조의 경우에는, D0 비트의 단위 트랜지스터(1854)는 하나, D1 비트의 단위 트랜지스터(1854)는 2개, D2 비트의 단위 트랜지스터(1854)는 4개, D3 비트의 단위 트랜지스터(1854)는 8개, D4 비트의 단위 트랜지스터(1854)는 16개, D5 비트의 단위 트랜지스터(1854)는 32개이므로, 계 단위 트랜지스터(1854)는 63개이다. 즉, 본 발명은 계조의 표현 수(이 실시예의 경우는, 64 계조) - 하나의 단위 트랜지스터(1854)를 1 출력으로 구성(형성)한다. 또, 단위 트랜지스터 하나가 복수의 서브 단위 트랜지스터로 분할되어 있는 경우에서도, 단위 트랜지스터가 단순히 서브 단위 트랜지스터로 분할되어 있을 뿐이다. 따라서, 본 발명이 계조의 표현 수 - 하나의 단위 트랜지스터로 구성되어 있는 것에는 차이가 없다(동의임).

도 185에 있어서, D0은 LSB 입력을 나타내고 있고, D5는 MSB 입력을 나타내고 있다. D0 입력 단자에 H 레벨(플러스 논리 시)일 때, 스위치(1851a)(온 오프 수단임. 물론, 단체 트랜지스터로 구성해도 되고, P 채널 트랜지스터와 N 채널 트랜지스터를 조합한 아날로그 스위치 등이어도 됨)가 온 상태로 된다. 그렇게 하면, 커런트 미러를 구성하는 전류원(1 단위)(1854)을 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(1853)에 흐른다. 이 내부 배선(1853)은 IC(14)의 단자 전극을 통하여 소스 신호선(18)에 접속되어 있으므로, 이 내부 배선(1853)에 흐르는 전류가 화소(16)의 프로그램 전류로 된다.

예를 들면, D1 입력 단자에 H 레벨(플러스 논리 시)일 때, 스위치(1851b)가 온 상태로 된다. 하면, 커런트 미러를 구성하는 2개의 전류원(1 단위)(1854)을 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(1853)에 흐른다. 이 내부 배선(1853)은 IC(14)의 단자 전극을 통하여 소스 신호선(18)에 접속되어 있으므로, 이 내부 배선(1853)에 흐르는 전류가 화소(16)의 프로그램 전류로 된다.

다른 스위치(1851)에서도 마찬가지이다. D2 입력 단자에 H 레벨(플러스 논리 시)일 때에는, 스위치(1851c)가 온 상태로 된다. 하면, 커런트 미러를 구성하는 4개의 전류원(1 단위)(1854)을 향하여 전류가 흐른다. D5 입력 단자에 H 레벨(플러스 논리 시)일 때에는, 스위치(1851f)가 온 상태로 된다. 하면, 커런트 미러를 구성하는 32개의 전류원(1 단위)(1854)을 향하여 전류가 흐른다.

이상과 같이, 외부로부터의 데이터(D0~D5)에 대응하고, 그것에 대응하는 전류원(1 단위)를 향하여 전류가 흐른다. 따라서, 데이터에 대응하여, 0개에서 63개에 전류원(1 단위)에 전류가 흐르도록 구성되어 있다.

또한, 본 발명은 설명을 쉽게 하기 위해서, 전류원은 6 비트의 63개로 하고 있지만, 이것에 한정되는 것은 아니다. 8 비트인 경우에는, 255개의 단위 트랜지스터(1854)를 형성(배치)하면 된다. 또한, 4 비트일 때에는, 15개의 단위 트랜지스터(1854)를 형성(배치)하면 된다. 단위 전류원을 구성하는 트랜지스터(1854)는 동일한 채널 폭 W, 채널 길이 L로 한다. 이와 같이 동일한 트랜지스터로 구성함으로써, 변동이 적은 출력단을 구성할 수 있다.

또한, 단위 트랜지스터(1854)는 전부가, 동일한 전류를 흘리는 것에 한정되는 것은 아니다. 예를 들면, 각 단위 트랜지스터(1854)를 가중해도 된다. 예를 들면, 1 단위의 단위 트랜지스터(1854)와, 2배의 단위 트랜지스터(1854)와, 4배의 단위 트랜지스터(1854) 등을 혼재시켜 전류 출력 회로를 구성해도 된다. 그러나, 단위 트랜지스터(1854)를 가중하여 구성하면, 각 가중한 전류원이 가중한 비율로 되지 않고, 변동이 발생할 가능성이 있다. 따라서, 가중하는 경우에서도, 각 전류원은, 1 단위의 전류원으로 되는 트랜지스터를 복수개 형성함으로써 구성하는 것이 바람직하다.

단위 트랜지스터(1854)를 구성하는 트랜지스터의 크기는 일정 이상의 크기가 필요하다. 트랜지스터 사이즈가 작을수록 출력 전류의 변동이 커진다. 트랜지스터(1854)의 크기란, 채널 길이 L과 채널 폭 W를 건 사이즈를 말한다. 예를 들면, $W=3\mu\text{m}$, $L=4\mu\text{m}$ 이면, 하나의 단위 전류원을 구성하는 트랜지스터(1854)의 사이즈는, $W \times L = 12$ 평방 μm 이다. 트랜지스터 사이즈가 작아질수록 변동이 커지는 것은 실리콘 웨이퍼의 결정 계면의 상태가 영향을 주고 있기 때문이라고 생각된다. 따라서, 하나의 트랜지스터가 복수의 결정 계면에 걸쳐 형성되어 있으면 트랜지스터의 출력 전류 변동은 작아진다.

단위 트랜지스터(1854)는 N 채널로 구성하는 것이 바람직하다. P 채널 트랜지스터로 구성된 단위 트랜지스터는, N 채널 트랜지스터로 구성된 단위 트랜지스터에 비교하고, 출력 변동이 1.5배로 된다.

소스 드라이버 IC(14)의 단위 트랜지스터(1854)는, N 채널 트랜지스터로 구성하는 것이 바람직하다는 점에서, 소스 드라이버 IC(14)의 프로그램 전류는, 화소(16)로부터 소스 드라이버 IC에의 인입 전류로 된다. 따라서, 화소(16)의 구동용 트랜지스터(11a)는 P 채널로 구성된다. 또한, 도 1의 스위칭용 트랜지스터(11d)도 P 채널 트랜지스터로 구성된다.

이상으로부터, 소스 드라이버 IC(회로)(14)의 출력단의 단위 트랜지스터(1854)를 N 채널 트랜지스터로 구성하고, 화소(16)의 구동용 트랜지스터(11a)를 P 채널 트랜지스터로 구성한다고 하는 구성은, 본 발명의 특징 있는 구성이다. 또한, 화소(16)를 구성하는 트랜지스터(11)의 전부(트랜지스터(11a, 11b, 11c, 11d))를 P 채널과 형성하면 된다. N 채널 트랜지스터를 형성하는 프로세스로 없앨 수 있으므로, 저 비용화와 고 수율화를 실현할 수 있다.

또한, 단위 트랜지스터(1854)는 IC(14)에 형성한다고 했지만, 이것에 한정되는 것은 아니다. 저온 폴리실리콘 기술로 소스 드라이버 회로(14)를 형성하여도 된다. 이 경우에도, 소스 드라이버 회로(14) 내의 단위 트랜지스터(1854)는 N 채널 트랜지스터로 구성하는 것이 바람직하다.

화소(16)의 트랜지스터(11)를 P 채널 트랜지스터로 형성하고, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 형성한다. 이와 같이 화소(16)의 트랜지스터(11)와 게이트 드라이버 회로(12)의 양방을 P 채널 트랜지스터로 형성함으로써 기관(71)을 저 비용화할 수 있다. 그러나, 소스 드라이버(14)는, 단위 트랜지스터(1854)를 N 채널 트랜지스터로 형성하는 것이 필요하게 된다. 따라서, 소스 드라이버 회로(14)는 기관(71)에 직접 형성할 수 없다. 그래서 별도, 실리콘 칩 등으로 소스 드라이버 회로(14)를 제작하여, 기관(71)에 적재한다. 즉, 본 발명은, 소스 드라이버 IC(14)(영상 신호로서의 프로그램 전류를 출력하는 수단)을 외장하는 구성이다.

또한, 게이트 드라이버(12)를 P 채널로 형성하면, 오프 전압(V_{gh})을 보유(유지)하기 쉽다. 따라서, 화소(16)의 구동용 트랜지스터(11a, 11b, 11c)를 오프 전위로 유지하기 쉽기 때문에, 본 발명의 P 채널 트랜지스터로 구성된 화소 구성과 매칭이 좋아, 상승 효과를 발휘한다.

또한, 소스 드라이버 회로(14)는 실리콘 칩으로 구성한다고 했지만 이것에 한정되는 것은 아니다. 예를 들면, 저온 폴리실리콘 기술 등으로 유리 기관에 다수개를 동시에 형성하고, 칩 형상으로 절단하여, 기관(71)에 적재해도 된다. 또한, 기관(71)에 소스 드라이버 회로를 적재하는 것으로 하여 설명하고 있지만, 적재에 한정되는 것은 아니다. 소스 드라이버 회로(14)의 출력 단자를 기관(71)의 소스 신호선(18)에 접속하는 것이면 어느 형태라도 무방하다. 예를 들면, TAB 기술로 소스 드라이버 회로(14)를 소스 신호선(18)에 접속하는 방식이 예시된다. 실리콘 칩 등에 별도 소스 드라이버 회로(14)를 형성함으로써, 출력 전류의 변동이 저감하고, 양호한 화상 표시를 실현할 수 있다. 또한, 저 비용화가 가능하다.

또한, 화소(16)의 선택 트랜지스터를 P 채널로 구성하고, 게이트 드라이버 회로를 P 채널 트랜지스터로 구성한다고 하는 구성은, 유기 EL 등의 자기 발광 디바이스(표시 패널 혹은 표시 장치)에 한정되는 것이 아니다. 예를 들면, 액정 표시 디바이스, FED(필드 에미션 디스플레이)에도 적용할 수 있다.

화소(16)의 스위칭용 트랜지스터(11b, 11c)가 P 채널 트랜지스터로 형성되어 있으면, V_{gh}에서 화소(16)가 선택 상태로 된다. vg1에서 화소(16)가 비선택 상태로 된다. 이전에도 설명했지만, 게이트 신호선(17a)이 온(vg1)으로부터 오프(V_{gh})가 되는 시에 전압이 관통한다(관통 전압). 화소(16)의 구동용 트랜지스터(11a)가 P 채널 트랜지스터로 형성되어 있으면, 흑 표시 상태일 때, 이 관통 전압에 의해 트랜지스터(11a)가보다 전류가 흐르지 않게 된다. 따라서, 양호한 흑 표시를 실현할 수 있다. 흑 표시를 실현하는 것이 곤란하다고 하는 점이, 전류 구동 방식의 과제이다.

본 발명에서는, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성함으로써, 온 전압은 V_{gh}로 된다. 따라서, P 채널 트랜지스터로 형성된 화소(16)와 매칭이 좋다. 또한, 흑 표시를 양호하게 하는 효과를 발휘시키기 위해서는, 도 1, 도 2의 화소(16)의 구성과 같이, 애노드 전압 V_{dd}에서 구동용 트랜지스터(11a), 소스 신호선(18)을 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(1854)에 프로그램 전류 I_w가 유입하도록 구성하는 것이 중요하다. 따라서, 게이트 드라이버 회로(12) 및 화소(16)를 P 채널 트랜지스터로 구성하고, 소스 드라이버 회로(14)를 기판에 적재하고, 또한 소스 드라이버 회로(14)의 단위 트랜지스터(1854)를 N 채널 트랜지스터로 구성하는 것은, 뛰어난 상승 효과를 발휘한다. 또한, N 채널로 형성한 단위 트랜지스터(1854)는 P 채널로 형성한 단위 트랜지스터(1854)에 비교하여 출력 전류의 변동이 작다. 동일 면적(W·L)의 트랜지스터(1854)에서 비교한 경우, N 채널의 단위 트랜지스터(1854)는 P 채널의 단위 트랜지스터(1854)에 비교하고, 출력 전류의 변동은, 1/1.5 내지 1/2로 된다. 이 이유로부터도 소스 드라이버 IC(14)의 단위 트랜지스터(1854)는 N 채널로 형성하는 것이 바람직하다.

도 186에, 3단식 커런트 미러 회로에 의한 176 출력(N×M=176)의 회로도의 일례를 나타낸다. 도 186에서는, 제1단 커런트 미러 회로에 의한 전류원(1841)을 모 전류원, 제2단 커런트 미러 회로에 의한 전류원(1842)을 자 전류원, 제3단 커런트 미러 회로에 의한 전류원(1843)을 손 전류원과 기재하고 있다. 최종단 커런트 미러 회로인 제3단 커런트 미러 회로에 의한 전류원의 정수배의 구성에 의해, 176 출력의 변동을 극력 억제하여, 고정밀도의 전류 출력이 가능하다.

또한, 밀집하게 배치한다고 함은, 제1 전류원(1841)과 제2 전류원(1842)을 적어도 8mm 이내의 거리에 배치(전류 혹은 전압의 출력측과 전류 혹은 전압의 입력측)하는 것을 말한다. 나아가서는, 5mm 이내에 배치하는 것이 바람직하다. 이 범위이면, 검토에 의해 실리콘 칩 내에서 배치되어 트랜지스터의 특성(V_t, 모빌리티(μ)) 차가 거의 발생하지 않기 때문이다. 또한, 마찬가지로, 제2 전류원(1842)과 제3 전류원(1843)(전류의 출력측과 전류의 입력측)도 적어도 8mm 이내의 거리에 배치한다. 더욱 바람직하게는, 5mm 이내의 위치에 배치하는 것이 바람직하다. 이상의 사항은, 본 발명의 다른 실시예에 있어서도 적용되는 것은 물론이다.

이 전류 혹은 전압의 출력측과 전류 혹은 전압의 입력측은, 이하의 관계를 의미한다. 도 187의 전압 교환인 경우에는, 제(I)단의 전류원의 트랜지스터(1841)(출력측)와 제(I+1)의 전류원의 트랜지스터(1842a)(입력측)를 밀집하게 배치하는 관계이다. 도 188의 전류 교환인 경우에는, 제(I)단의 전류원의 트랜지스터(1841a)(출력측)와 제(I+1)의 전류원의 트랜지스터(1842b)(입력측)를 밀집하게 배치하는 관계이다.

또한, 도 186, 도 187 등에 있어서, 트랜지스터(1841)는 1개로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 작은 서브 트랜지스터(1841)를 복수개 형성하고, 이 복수개의 서브 트랜지스터의 소스 또는 드레인 단자를 저항(491)과 접속하여 단위 트랜지스터(1854)를 구성해도 된다. 작은 서브 트랜지스터를 복수개 병렬로 접속하는 것의 보다, 단위 트랜지스터(1854)의 변동을 저감할 수 있다.

마찬가지로, 트랜지스터(1842a)는 하나로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 작은 트랜지스터(1842a)를 복수개 형성하고, 이 트랜지스터(1842a)의 복수개의 게이트 단자를, 트랜지스터(1841)의 게이트 단자와 접속해도 된다. 작은 트랜지스터(1842a)를 복수개병렬로 접속하는 것의 보다, 트랜지스터(1842a)의 변동을 저감할 수 있다.

따라서, 본 발명의 구성에서는, 하나의 트랜지스터(1841)와 복수개의 트랜지스터(1842a)를 접속하는 구성, 복수개의 트랜지스터(1841)와 1개의 트랜지스터(1842a)를 접속하는 구성, 복수개의 트랜지스터(1841)와 복수개의 트랜지스터(1842a)를 접속하는 구성이 예시된다. 이상의 실시예는 후에 상세히 설명한다.

이상의 사항은 도 189의 트랜지스터(1843a)와 트랜지스터(1843b)의 구성에도 적용된다. 하나의 트랜지스터(1843a)와 복수개의 트랜지스터(1843ba)를 접속하는 구성, 복수개의 트랜지스터(1843a)와 하나의 트랜지스터(1843b)를 접속하는 구성, 복수개의 트랜지스터(1843a)와 복수개의 트랜지스터(1843b)를 접속하는 구성이 예시된다. 작은 트랜지스터(1843)를 복수개 병렬로 접속하는 것의 보다, 트랜지스터(1843)의 변동을 저감할 수 있기 때문이다.

이상의 사항은, 도 189의 트랜지스터(1842a, 1842b)의 관계에도 적용할 수 있다. 또한, 도 185의 트랜지스터(1843b)도 복수개의 트랜지스터로 구성하는 것이 바람직하다.

여기서, 소스 드라이버 IC(14)는 실리콘 칩으로 형성한다고 해서 설명하지만, 이것에 한정되는 것은 아니다. 소스 드라이버 IC(14)는, 갈륨 기관, 게르마늄 기관 등 형성된 다른 반도체 칩이어도 된다. 또한, 단위 트랜지스터(1854)는, 바이폴라 트랜지스터, CMOS 트랜지스터, FET, 바이 CMOS 트랜지스터, DMOS 트랜지스터의 어느 것이나 된다. 그러나, 단위 트랜지스터(1854)의 출력 변동을 작게 하는 관점에서, 단위 트랜지스터(1854)는 CMOS 트랜지스터로 구성하는 것이 바람직하다.

단위 트랜지스터(1854)는 N 채널로 구성하는 것이 바람직하다. P 채널 트랜지스터로 구성된 단위 트랜지스터는, N 채널 트랜지스터로 구성된 단위 트랜지스터에 비교하고, 출력 변동이 1.5배로 된다.

소스 드라이버 IC(14)의 단위 트랜지스터(1854)는, N 채널 트랜지스터로 구성하는 것이 바람직하다는 점에서, 소스 드라이버 IC(14)의 프로그램 전류는, 화소(16)로부터 소스 드라이버 IC에의 인입 전류로 된다. 따라서, 화소(16)의 구동용 트랜지스터(11a)는 P 채널로 구성된다. 또한, 도 1의 스위칭용 트랜지스터(11d)도 P 채널 트랜지스터로 구성된다.

이상의 점으로부터, 소스 드라이버 IC(회로)(14)의 출력단의 단위 트랜지스터(1854)를 N 채널 트랜지스터로 구성하고, 화소(16)의 구동용 트랜지스터(11a)를 P 채널 트랜지스터로 구성한다고 하는 구성은, 본 발명의 특징 있는 구성이다. 또한, 화소(16)를 구성하는 트랜지스터(11)의 전부(트랜지스터(11a, 11b, 11c, 11d)를 P 채널과 형성하면 된다. N 채널 트랜지스터를 형성하는 프로세스와 없앨 수 있으므로, 저 비용화와 고 수율화를 실현할 수 있다.

또한, 단위 트랜지스터(1854)는 IC(14)에 형성한다고 했지만, 이것에 한정되는 것은 아니다. 저온 폴리실리콘 기술로 소스 드라이버 회로(14)를 형성하여도 된다. 이 경우에도, 소스 드라이버 회로(14) 내의 단위 트랜지스터(1854)는 N 채널 트랜지스터로 구성하는 것이 바람직하다.

도 188은 전류 교환 구성의 실시예이다. 또한, 도 187은 전압 교환 구성의 실시예이다. 도 187, 도 188 모두 회로도로서는 동일하고, 레이아웃 구성 즉 배선의 인출하는 방법이 서로 다르다. 도 187에 있어서, (1841)는 제1단 전류원용 N 채널 트랜지스터, (1842a)는 제2단 전류원용 N 채널 트랜지스터, (1842b)는 제2단 전류원용 P 채널 트랜지스터이다.

도 188에 있어서, (1841a)는 제1단 전류원용 N 채널 트랜지스터, (1842a)는 제2단 전류원용 N 채널 트랜지스터, (1842b)는 제2단 전류원용 P 채널 트랜지스터이다.

도 187에서는, 가변 저항(491)(전류를 변화하기 위해서 이용하는 것임)과 N 채널 트랜지스터(1841)로 구성되는 제1단 전류원의 게이트 전압이, 제2단 전류원의 N 채널 트랜지스터(1842a)의 게이트에 교환되고 있기 때문에, 전압 교환 방식의 레이아웃 구성으로 된다.

한편, 도 188에서는, 가변 저항(491)과 N 채널 트랜지스터(1841a)로 구성되는 제1단 전류원의 게이트 전압이, 인접하는 제2단 전류원의 N 채널 트랜지스터(1842a)의 게이트에 인가되고, 그 결과 트랜지스터에 흐르는 전류값이, 제2단 전류원의 P 채널 트랜지스터(1842b)에 교환되고 있기 때문에, 전류 교환 방식의 레이아웃 구성으로 된다.

또한, 본 발명의 실시예에서는 설명을 쉽게 하기 위해서, 혹은 이해를 쉽게 하기 위해서, 제1 전류원과 제2 전류원과의 관계를 중심에서 설명하고 있지만, 이것에 한정되는 것이 아니고, 제2 전류원과 제3 전류원의 관계, 혹은 그것 이외의 전류원과의 관계에 있어서도 적용되는(적용할 수 있음) 것은 물론이다.

도 187에 도시한 전압 교환 방식의 커런트 미러 회로의 레이아웃 구성에서는, 커런트 미러 회로를 구성하는 제1단의 전류원의 N 채널 트랜지스터(1841)와 제2단의 전류원의 N 채널 트랜지스터(1842a)가 따로따로 떨어지게(따로따로 떨어지게 되기 쉽다고 말해야 되기는 함) 되므로, 양자의 트랜지스터 특성에 상위가 발생하기 쉽다. 따라서, 제1단 전류원의 전류값이 제2단 전류원에 정확하게 전달되지 않아, 변동이 발생하기 쉽다.

이에 대하여, 도 188에 도시한 전류 교환 방식의 커런트 미러 회로의 레이아웃 구성에서는, 커런트 미러 회로를 구성하는 제1단 전류원의 N 채널 트랜지스터(1841a)와 제2단 전류원의 N 채널 트랜지스터(1842a)가 인접(인접하여 배치하기 쉬움)하고 있으므로, 양자의 트랜지스터 특성에 상위는 발생하기 어렵고, 제1단 전류원의 전류값이 제2단 전류원에 정확하게 전달되어, 변동이 발생하기 어렵다.

이상의 점으로부터, 본 발명의 다단식 커런트 미러 회로의 회로 구성(본 발명의 전류 구동 방식의 소스 드라이버 회로(IC)(14)로서, 전압 교환이 아니고, 전류 교환으로 되는 레이아웃 구성으로 함으로써, 보다 변동을 작게 할 수 있어 바람직하다. 이상의 실시예에는 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

또한, 설명의 형편상, 제1단 전류원에서 제2단 전류원인 경우를 도시했지만, 제2단 전류원에서 제3단 전류원, 제3단 전류원에서 제4단 전류원, ...등의 다단인 경우에도 마찬가지인 것은 물론이다. 또한, 본 발명은 1단의 전류원 구성을 채용해도 되는 것은 물론이다.

도 189는 도 186의 3단 구성의 커런트 미러 회로(3단 구성의 전류원)를, 전류 교환 방식으로 한 경우의 예를 나타내고 있다(따라서, 도 186은 전압 교환 방식의 회로 구성임).

도 189에서는, 우선, 가변 저항(491)과 N 채널 트랜지스터(1841)에서 기준 전류가 작성된다. 또한, 가변 저항(491)으로 기준 전류를 조정하도록 설명하고 있지만, 실제로는, 소스 드라이버 IC(회로)(14) 내에 형성(혹은 배치)된 전자 볼륨 회로에 의해 트랜지스터(1841)의 소스 전압이 설정되고, 조정되도록 구성된다. 혹은, 도 185에 도시하는 다수의 전류원(1 단위)(1854)으로 구성되는 전류 방식의 전자 볼륨으로부터 출력되는 전류를 직접 트랜지스터(1841)의 소스 단자에 공급함으로써 기준 전류는 조정된다.

트랜지스터(1841)에 의한 제1단 전류원의 게이트 전압이, 인접하는 제2단 전류원의 N 채널 트랜지스터(1842a)의 게이트에 인가되고, 그 결과 트랜지스터에 흐르는 전류값이, 제2단 전류원의 P 채널 트랜지스터(1842b)에 교환된다. 또한, 제2 전류원의 트랜지스터(1842b)에 의한 게이트 전압이, 인접하는 제3단 전류원의 N 채널 트랜지스터(1843a)의 게이트에 인가되고, 그 결과 트랜지스터에 흐르는 전류값이, 제3단 전류원의 N 채널 트랜지스터(1843b)에 교환된다. 제3단 전류원의 N 채널 트랜지스터(1843b)의 게이트에는 도 185에 도시하는 다수의 N 채널의 단위 트랜지스터(1854)가 필요한 비트 수에 대응하여 형성(배치)된다.

이하, 본 발명의 표시 패널에 대하여 설명을 한다. 본 발명의 표시 패널은, 화소 및 게이트 드라이버 회로(12)를 폴리실리콘 기술로 형성하고 있다. 소스 드라이버 회로(14)는 실리콘 웨이퍼를 가공한 IC 칩으로 구성되어 있다. 따라서, 소스 드라이버 회로(14)는 소스 드라이버 IC이다. 소스 드라이버 IC(14)는, COG 기술로 어레이 기판(71)에 적재한다. 그 때문에, 소스 드라이버 IC(14) 아래에는 공간이 있다. 이 공간(어레이 기판면)에 애노드선을 형성한다.

도 83에 도시한 바와 같이 애노드 접속 단자로부터 애노드선(832)이 배선되고, 소스 드라이버 IC의 양측에 형성된 애노드선(832)은, IC(14) 아래에 형성된 애노드 결합선(835)으로 전기적으로 접속되어 있다.

IC(14)의 출력측에는 공통 애노드선(833)이 형성 또는 배치되어 있다. 공통 애노드선(833)으로부터 애노드 배선(834)이 분기되어 있다. 애노드 배선(834)이 QCIF 패널인 경우에는, $176 \times \text{RGB} = 528$ 개이다. 애노드 배선(834)을 통하여, 도 1 등에서 도시하는 Vdd 전압(애노드 전압)이 공급된다. 하나의 애노드 배선(834)에는, EL 소자(15)가 저 분자 재료인 경우에는, 최대로 $200\mu\text{A}$ 정도의 전류가 흐른다. 따라서, 공통 애노드 배선(833)에는, $200\mu\text{A} \times 528$ 로 약 100mA 의 전류가 흐른다.

따라서, 공통 애노드 배선(833)에서의 전압 강하를 $0.2(\text{V})$ 이내로 하기 위해서는, 전류가 흐르는 최대 경로의 저항값이 2Ω (100mA 흐른다고 하고) 이하로 할 필요가 있다.

애노드 결합선(835)은 IC 칩(14)의 아래로 형성(배치)한다. 형성하는 선 폭은, 저 저항화의 관점에서, 극력 굵은 쪽으로 되는 것은 물론이다. 기타, 애노드 결합선(835)은 차광의 기능을 갖게 하는 것이 바람직하다. EL 소자(15)가 발생하는 빛에 의해서, 소스 드라이버 IC(14)에 포토컨덕터 현상이 발생하여, 오동작을 방지하기 위해서이다. 또한, 애노드 결합선(835)을 금속 재료로 소정 막 두께 형성하면, 차광의 효과가 있는 것은 물론이다.

애노드 결합선(835)을 굵게 할 수 없을 때, 혹은, ITO 등의 투명 재료로 형성할 때는, 애노드 결합선(835)에 적층하거나, 혹은 다층에, 광 흡수막 혹은 광 반사막을 IC 칩(14) 아래(기본적으로는 어레이(71)의 표면)에 형성한다. 또한, 애노드 결

합선(835)은, 완전한 차광막인 것을 필요로 하지 않는다. 부분에 개구부가 있어도 된다. 또한, 회절 효과, 산란 효과를 발휘하는 것이어도 된다. 또한, 애노드 결합선(835)에 적층시켜, 광학적 간섭 다층막으로 이루어지는 차광막을 형성 또는 배치해도 된다.

물론, 어레이 기관(71)과 IC 칩(14)과의 공간에, 금속박 혹은 판 혹은 시트로 이루어지는 반사판(시트), 광 흡수판(시트)을 배치 혹은 삽입 혹은 형성하여도 되는 것은 물론이다. 또한, 금속박에 한정되지 않고, 유기 재료 혹은 무기 재료로 이루어지는 박 혹은 판 혹은 시트로 이루어지는 반사판(시트), 광 흡수판(시트)을 배치 혹은 삽입 혹은 형성하여도 되는 것은 물론이다. 또한, 어레이 기관(71)과 IC 칩(14)의 공간에, 겔 혹은 액체로 이루어지는 광 흡수 재료, 광 반사 재료를 주입 혹은 배치해도 된다. 또한 상기 겔 혹은 액체로 이루어지는 광 흡수 재료, 광 반사 재료를 가열에 의해, 혹은 광조사에 의해 경화시키는 것이 바람직하다. 또한, 여기서는 설명을 쉽게 하기 위해서, 애노드 결합선(835)을 차광막(반사막)으로 하는 것으로 해서 설명을 한다.

애노드 결합선(835)은 어레이 기관(71)의 표면(또한, 표면에 한정되는 것이 아니다. 차광막/ 반사막으로 한다고 하는 사상을 만족시키기 위해서는, IC 칩(14)의 이면에 빛이 입사해야 하는 것이다. 따라서, 기관(71)의 내면 혹은 내층에 애노드 결합선(835) 등을 형성하여도 되는 것은 물론이다. 또한, 기관(71)의 이면에 애노드 결합선(835)(반사막, 광 흡수막으로서 기능하는 구성 또는 구조)을 형성하는 것의 보다, IC(14)에 빛이 입사하는 것을 방지 또는 억제할 수 있는 것이면, 어레이 기관(71)의 이면이어도 무방하다.

또한, 도 83 등에서는, 차광막 등은 어레이 기관(71)에 형성한다고 했지만 이것에 한정되는 것이 아니고, IC 칩(14)의 이면에 직접 차광막 등을 형성하여도 된다. 이 경우에는, IC 칩(14)의 이면에 절연막(도시하지 않음)을 형성하고, 이 절연막 위에 차광막 혹은 반사막 등을 형성한다.

또한, 소스 드라이버 회로(14)가 어레이 기관(71)에 직접 형성하는 구성(저온 폴리실리콘 기술, 고온 폴리실리콘 기술, 고상 성장 기술, 비정질 실리콘 기술에 의한 드라이버 구성)인 경우에는, 차광막, 광 흡수막 혹은 반사막을 기관(71)에 형성하고, 그 위에 드라이버 회로(14)를 형성(배치)하면 된다.

IC 칩(14)에는 전류 출력 회로(1461) 등, 미소 전류를 흘리는 트랜지스터 소자가 많이 형성되어 있다(도 146). 미소 전류를 흘리는 트랜지스터 소자에 빛이 입사하면, 포토컨덕터 현상이 발생하여, 출력 전류(프로그램 전류 I_w) 등이 이상한 값(변동이 발생하는 등)으로 된다. 특히, 유기 EL 등의 자발광 소자는, 기관(71) 내에서 EL 소자(15)로부터 발생한 빛이 난반사하기 때문에, 표시 영역(50) 이외의 개소에서 강한 빛이 방사된다. 이 방사된 광이, IC 칩(14)의 회로 형성부(1461)에 입사하면 포토컨덕터 현상을 발생한다. 따라서, 포토컨덕터 현상의 대책은, EL 표시 디바이스에 특유한 대책이다.

이 과제에 대하여, 본 발명에서는, 애노드 결합선(835)을 기관(71) 상에 구성하여, 차광막한다. 애노드 결합선(835)의 형성 영역은 도 83에 도시한 바와 같이, 회로 형성부(1461)를 피복하도록 한다. 이상과 같이, 차광막(애노드 결합선(835))을 형성함으로써, 포토컨덕터 현상을 완전히 방지할 수 있다. 특히 애노드 결합선(835) 등의 EL 전원선은, 화면 재기입에 따른, 전류가 흘러 다소의 전위가 변화한다. 그러나, 전위의 변화량은, 1H 타이밍에서 조금씩 변화하기 때문에, 거의 접지 전위(전위 변화하지 않는다고 하는 의미)로서 간주할 수 있다. 따라서, 애노드 결합선(835)은 차광의 기능뿐만 아니라, 실드의 효과도 발휘한다.

공통 애노드선(833)의 전압 강하, 애노드 배선(834)의 전압 강하를 억제하기 위해서, 도 84에 도시한 바와 같이, 표시 화면(50)의 상측에 공통 애노드선(833a)을 형성하고, 표시 화면(50)의 하측에 공통 애노드선(833b)을 형성하고, 애노드 배선(834)의 상하에서 쇼트 상태로 하면 된다.

또한, 도 85에 도시한 바와 같이, 화면(50)의 상하로 소스 드라이버 회로(14)를 배치하는 것도 바람직하다. 또한, 도 86에 도시한 바와 같이, 표시 화면(50)을 표시 화면(50a)과 표시 화면(50b)으로 분할하여, 표시 화면(50a)을 소스 드라이버 회로(14a)에서 구동하고, 표시 화면(50b)을 소스 드라이버 회로(14b)에서 구동하도록 하여도 된다.

유기 EL 등의 자발광 소자는, 기관(71) 내에서 EL 소자(15)로부터 발생한 빛이 난반사하기 때문에, 표시 영역(50) 이외의 개소에서 강한 빛이 방사된다. 이 난반사광을 방지 혹은 억제하기 위해서, 화상 표시에 유효인 빛이 통과하지 않는 개소(무효 영역)에 광 흡수막을 형성하면 된다. 광 흡수막을 형성하는 개소는, 밀봉 뚜껑(85)의 외면, 밀봉 뚜껑(85)의 내면, 어레이 기관(71)의 측면, 기관의 화상 표시 영역 이외(광 흡수막(1011b)) 등이다. 또한, 광 흡수막에 한정되는 것이 아니고, 광 흡수 시트를 부착하여도 되고, 또한, 광 흡수벽이어도 된다. 또한, 광 흡수의 개념에는, 빛을 산란시키는 것의 보다, 빛을 발산시키는 방식 혹은 구조도 포함되거나, 또한, 광의로는 반사에 의해 빛을 가두는 방식 혹은 구성도 포함된다.

광 흡수막을 구성하는 물질로서는, 아크릴 수지 등의 유기 재료에 카본을 함유시킨 것, 흑색의 색소 혹은 안료를 유기 수지 중에 분산시킨 것, 컬러 필터와 같이 젤라틴이나 카제인을 흑색의 산성 염료로 염색한 것이 예시된다. 기타, 단일로 흑색으로 되는 플루오렌계 색소를 발색시켜 이용한 것이어도 되고, 녹색계 색소와 적색계 색소를 혼합한 배색블랙을 이용할 수도 있다. 또한, 스퍼터에 의해 형성된 PrMnO_3 막, 플라즈마 중합에 의해 형성된 프타로시아닌막 등이 예시된다.

도 94는 본 발명의 전원 회로의 구성도이다. 942는 제어 회로이다. 저항(945a와 954b)의 중점 전위를 제어하여, 트랜지스터(946)의 게이트 신호를 출력한다. 트랜스포머(941)의 1차측에는 전원 V_{pc} 가 인가되고, 1차측의 전류가 트랜지스터(946)의 온 오프 제어에 의해 2차측으로 전달된다. (943)는 정류 다이오드이고, (944)는 평활화 컨덴서이다.

애노드 전압 V_{dd} 는 저항945 b에 출력 전압이 조정된다. V_{ss} 는 캐소드 전압이다. 캐소드 전압 V_{ss} 는 도 95에 도시한 바와 같이 2개의 전압을 선택하여 출력할 수 있도록 구성되어 있다. 선택은 스위치(951)로 행한다. 도 95에서는 스위치(951)에 의해 $-9(V)$ 가 선택되어 있다.

스위치(951)의 선택은 온도 센서(952)로부터의 출력 결과에 의한다. 패널 온도가 낮을 때는, V_{ss} 전압으로서, $-9(V)$ 를 선택한다. 일정 이상의 패널 온도일 때에는, $-6(V)$ 을 선택한다. 이것은, EL 소자(15)에 온특이 있고, 저온측에서 EL 소자(15)의 단자 전압이 높아지기 때문이다. 또한, 도 95에서는, 2개의 전압으로부터 하나의 전압을 선택하고, V_{ss} (캐소드 전압)로 한다고 했지만, 이것에 한정되는 것이 아니고, 3개 이상의 전압으로부터 V_{ss} 전압을 선택할 수 있도록 구성해도 된다. 이상의 사항은, V_{dd} 에 대해서도 마찬가지로 적용된다.

도 95와 같이, 복수의 전압을 패널 온도에 의해 선택할 수 있도록 구성함으로써, 패널의 소비 전력을 저감할 수 있다. 일정 온도 이하일 때에, V_{ss} 전압을 저하시키면 되기 때문이다. 통상은, 전압이 낮은 $V_{ss}=-6(V)$ 을 사용할 수 있다. 또한, 스위치(951)는 도 96에 도시한 바와 같이 구성해도 된다. 또한, 복수의 캐소드 전압 V_{ss} 를 발생시키는 것은, 도 96의 트랜스포머(941)로부터 중간 탭을 추출함으로써 용이하게 실현할 수 있다. 애노드 전압 V_{dd} 인 경우도 마찬가지이다.

도 97은 전위 설정의 설명도이다. 소스 드라이버 IC(14)는 GND를 기준으로 한다. 소스 드라이버 IC(14)의 전원은 V_{cc} 이다. V_{cc} 는 애노드 전압(V_{dd})과 일치시켜도 무방하다. 본 발명에서는 소비 전력의 관점에서, $V_{cc}<V_{dd}$ 로 하고 있다.

게이트 드라이버 회로(12)의 오프 전압 V_{gh} 는, V_{dd} 전압 이상으로 한다. 바람직하게는, $V_{dd}+0.5(V)<V_{gh}<V_{dd}+2.5(V)$ 의 관계를 만족시킨다. 온 전압 v_{g1} 은 V_{ss} 와 일치시켜도 되지만, 바람직하게는, $V_{ss}(V)<v_{g1}<-0.5(V)$ 의 관계를 만족시킨다. 이상의 전압 설정은, 화소 구성이 도 1의 경우에 중요하다.

본 발명은 유기 EL 표시 장치에 대하여 설명을 하고 있지만, 유기 EL 표시 장치에 이용하는 표시 패널은 유기 EL 표시 패널에만 한정되는 것이 아니다. 예를 들면, 도 99에 도시한 바와 같이 유기 EL 표시 패널을 메인 표시 패널로서 이용하여, 액정 표시 패널(9991)을 서브표시 패널로서 이용하는 표시 장치를 구성해도 된다.

도 100은 메인 표시용의 어레이 기관(71a)과 서브 표시용의 어레이 기관(71b)을 이용한 EL 표시 패널의 구성도이다. 어레이 기관(71a)과 어레이 기관(71b) 사이에 건조제(107)가 배치되어 있다(밀봉되어 있음)(도 101을 참조할 것).

(1001)은 ACF 등의 접속 수지이다. 소스 드라이버 회로(14)로부터의 신호는, 어레이 기관(71a)의 소스 신호선(18), 접속 수지(1001)를 통하여 어레이 기관(71b)의 소스 신호선(18)에 전달된다.

(1004)는 편광판 혹은 원편광판이다. 편광판(1004)과 어레이 기관(71) 사이에는 확산제(1003)가 배치 또는 형성되어 있다. 확산제(1003)는 편광판(1004)과 어레이 기관(71)을 부합하는 접착체로서도 기능한다. 확산제(1003)는, 아크릴계 접착제 내에 산화 티탄의 미분말이 첨가된 것, 아크릴계 접착제 내에 탄산칼슘의 미분말이 첨가된 것이 예시된다. 확산제(1003)에 의해 EL 소자(15)로부터 발생한 빛의 추출 효율이 향상된다.

도 101은 어레이 기관(71a)과 어레이 기관(71b) 사이에 글라스 링(1011)을 배치한 구성이다. 글라스 링(1011)을 사용함으로써, 어레이 기관(71a)과 어레이 기관(71b) 사이의 거리를 자유롭게 설정할 수 있게 된다.

도 102는 본 발명의 패널 모듈의 구성도이다. 플렉시블(1021)은 커넥터 단자(1023)에 입력된 신호를 소스 드라이버 IC(14) 및 게이트 드라이버 회로(12)에 전달하는 기능을 갖는다. 또한, (1022)는 컨트롤 IC이다.

컨트롤 IC(1022)은 직렬의 영상 데이터를 병렬 변환하여 소스 드라이버 IC(14)에 입력한다. 또한, 패널의 제어 데이터를 해독하여 소스 드라이버 회로(14) 등을 제어하는 기능을 갖는다.

도 103은 신호의 흐름을 모식적으로 도시한 것이다. 직렬 데이터(1031)가 플렉시블(1021)의 배선을 통하여 컨트롤 IC(1022)에 입력된다. 컨트롤 IC(1022)는 직렬/병렬 데이터 변환을 행하여, 병렬 영상 데이터(1032), 게이트 드라이브 회로 제어 데이터(1033)에 전개한다.

도 104는 컨트롤러 IC(1022)가 전개하는 데이터를 기재한 것이다. 입력은 직렬의 영상 신호 DATA, 직렬의 제어 데이터 ID 및 클럭 CLK이다. 출력은, 병렬의 영상 데이터(RDATA(적 데이터), GDATA(녹 데이터), BDATA(청 데이터)), 프리차지 전압(RPV(적색용 프리차지 전압), GPV(녹색용 프리차지 전압), BPV(청색용 프리차지 전압)), 클럭(CLK), 상하 반전 신호(UD), EL 측의 게이트 회로 제어 신호(ELCNTL), WR 측의 게이트 회로 제어 신호(WRCNTL) 등이다.

도 108은 입력 데이터 신호의 타이밍차트이다. ID는 H 레벨일 때, DATA가 영상 신호인 것을 나타내고, L 레벨일 때, DATA가 제어 데이터인 것을 나타낸다. 데이터는 CLK의 상승에서 검출한다. 도 109는 제어 데이터 ID도 직렬 입력으로 한 실시예이다. 또한, 도 110은 입력 신호를 LVDS 신호로 한 실시예이다.

도 105는 본 발명의 표시 패널의 구성도이다. 도 105의 (a)는 표시 패널의 이면이고, 도 105의 (b)는 AA'선에서의 단면도이다. 표시 패널의 이면에는, 방열판(1051)이 부착되어 있다. 또한, 도 11에서 설명한 박막 밀봉이 실시되어 있다. 방열판(1051)은 박막 밀봉막(111) 상에 실리콘계의 접착제(도시하지 않음)로 접착되어 있다. 상기 접착제는, EL 소자(15)에서 발열한 열의 전도체로서도 작용한다. 방열판에는 복수의 구멍(1052)이 형성되어 있다. 이 구멍(1052) 내를 공기가 통과하여, 패널의 열을 방열한다.

도 106에 도시한 바와 같이, 회로 기관(프린트 기관(1062) 상에는 실장 부품(1061)이 실장되어 있다. 회로 기관(1062)은 패널의 접속 단자와 플렉시블 기관(1021)으로 부착되어 있다. 따라서, 회로 기관(1062)으로부터의 신호는, 플렉시블 기관(1021)을 통하여 패널 기관(71)에 전달된다.

프린트 기관(1062)과 기관(71)은 접촉하고, 박막 밀봉막(111)에 상처가 나지 않도록, 프린트 기관(1062) 상에 완충 부재(완충 돌기((1063)가 형성되어 있다(도 106의 (a)). 완충 부재(1063)는 아크릴 수지, 폴리우레탄 수지, 폴리이미드 수지로 형성하면 된다. 또한, 완충 부재(1063)는 도 106의 (b)에 도시한 바와 같이, 패널 기관(71)측에 형성하여도 된다. 도 107에 도시한 바와 같이, 케이싱(573) 상에 패널 기관(71)을 배치하는 경우에는, 케이싱(573)과 패널 기관(71) 사이에 완충 부재(1063)를 배치하면 된다.

이어서, 본 발명의 구동 방식을 실시하는 본 발명의 표시 기기에 대한 실시예에 대하여 설명한다. 도 57은 정보 단말 장치의 일례로서의 휴대 전화의 평면도이다. 케이싱(573)에 안테나(571), 키(572) 등이 부착되어 있다. (572) 등이 표시색 전환 키 혹은 전원 온 오프, 프레임 레이트 전환 키이다.

키(572)를 한번 누르면 표시색은 8색 모드로, 계속해서 동일 키(572)를 누르면 표시색은 4096색 모드, 또한 키(572)를 누르면 표시색은 26만 색 모드로 되도록 시퀀스를 조합하여도 된다. 키는 누를 때마다 표시색 모드가 변화하는 토글 스위치로 한다. 또한, 별도로 표시색에 대한 변경 키를 마련하여도 무방하다. 이 경우, 키(572)는 3개(이상)로 된다.

키(572)는 푸시 스위치 외에, 슬라이드 스위치 등의 다른 메카니컬한 스위치여도 되고, 또한 음성 인식 등에 의해 전환하는 것이어도 무방하다. 예를 들면, 4096색으로의 변경은 음성 입력하여 실시하는 것, 예를 들면, 「고 품위 표시」, 「4096색 모드」 혹은 「저 표시색 모드」로 수화기에 음성 입력하는 것에 의해 표시 패널의 표시 화면(50)에 표시되는 표시색이 변화하도록 구성한다. 이것은 현행의 음성 인식 기술을 채용함으로써 용이하게 실현할 수 있다.

또한, 표시색의 전환은 전기적으로 전환하는 스위치여도 되고, 표시 패널의 표시부(21)에 표시시킨 메뉴를 터치함으로써 선택하는 터치 패널이어도 된다. 또한, 스위치를 누르는 횟수로 전환하거나, 혹은 클릭 볼과 같이 회전 혹은 방향에 의해 전환하도록 구성해도 된다.

(572)는 표시색 전환 키로 했지만, 프레임 레이트를 전환하는 키 등으로 해도 된다. 또한, 동화상과 정지 화상을 전환하는 키 등으로 해도 된다. 또한, 동화상과 정지 화상과 프레임 레이트 등의 복수의 요건을 동시에 전환하여도 된다. 또한, 계속 누르면 서서히(연속적으로) 프레임 레이트가 변화하도록 구성해도 된다. 이 경우에는 발진기를 구성하는 컨텐서 C, 저항 R

중, 저항 R을 가변 저항으로 하거나, 전자 볼륨으로 하거나 함으로써 실현할 수 있다. 또한, 컨덴서는 트리머 컨덴서로 함으로써 실현할 수 있다. 또한, 반도체 칩에 복수의 컨덴서를 형성해 놓고, 하나 이상의 컨덴서를 선택하여, 이들을 회로적으로 병렬로 접속하는 것에 의해 실현해도 된다.

또한, 표시색 등에 의해 프레임 레이트를 전환한다고 하는 기술적 사상은 휴대 전화에 한정되는 것이 아니고, 팜 탑 컴퓨터나, 노트북 컴퓨터, 디스크탑 퍼스널 컴퓨터, 휴대 시계 등 표시 화면을 갖는 기기에 넓게 적용할 수 있다.

도 57에서 설명한 본 발명의 휴대 전화로서는 도시하지 않지만, 케이싱의 이면측에 CCD 카메라를 구비하고 있다. CCD 카메라로 촬영하고 화상은 즉시 표시 패널의 표시 화면(50)에 표시할 수 있다. CCD 카메라로 촬영한 데이터는, 표시 화면(50)에 표시할 수 있다. CCD 카메라의 화상 데이터는 24 비트(1670만 색), 18비트(26만 색), 16비트(6.5만 색), 12비트(4096색), 8 비트(256색)을 키(572) 입력으로 전환할 수 있다.

도 58은 본 발명의 실시 형태에 있어서의 뷰 파인더의 단면도이다. 단, 설명을 쉽게 하기 위해서 모식적으로 그리고 있다. 또한 일부 확대 혹은 축소한 개소가 존재하고, 또한, 생략한 개소도 있다. 예를 들면, 도 58에 있어서, 접안 커버를 생략하고 있다. 이상의 것은 다른 도면에 있어서도 해당한다.

바디(573)의 이면은 암색 혹은 흑색으로 되어 있다. 이것은, EL 표시 패널(표시 장치)(574)로부터 출사한 미광이 케이싱(573)의 내면에서 난반사하여 표시 콘트라스트의 저하를 방지하기 때문이다. 또한, 표시 패널의 광 출사측에는 위상판($\lambda/4$ 판 등)(108), 편광판(109) 등이 배치되어 있다. 이 것은 도 10, 도 11에서도 설명하고 있다.

접안 링(581)에는 확대 렌즈(582)가 부착되어 있다. 관찰자는 접안 링(581)을 케이싱(573) 내에서의 삽입 위치를 가변하여, 표시 패널(574)의 표시 화상(50)에 핀트가 맞도록 조정한다.

또한, 필요에 따라서 표시 패널(574)의 광 출사측에 플러스 렌즈(583)를 배치하면, 확대 렌즈(582)에 입사하는 주광선을 수축시킬 수 있다. 그 때문에, 확대 렌즈(582)의 렌즈 직경을 작게 할 수 있어, 뷰 파인더를 소형화할 수 있다.

도 59는 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬영) 렌즈부(592)와 비디오 카메라 케이싱(573)을 구비하고, 촬영 렌즈부(592)와 케이싱(뷰 파인더부)(573)은 등을 맞대고 있다. 또한, 케이싱(도 58도 참조)(573)에는 접안 커버가 부착되어 있다. 관찰자(사용자)는 이 접안 커버부로 표시 패널(574)의 화상(50)을 관찰한다.

한편, 본 발명의 EL 표시 패널은 표시 모니터로서도 사용되고 있다. 표시 화면(50)은 지점(591)에서 각도를 자유롭게 조정할 수 있다. 표시 화면(50)을 사용하지 않을 때에는, 저장부(593)에 저장된다.

스위치(594)는 이하의 기능을 실시하는 전환 혹은 제어 스위치이다. 스위치(594)는 표시 모드 전환 스위치이다. 스위치(594)는 휴대 전화 등에도 부착하는 것이 바람직하다. 이 표시 모드 전환 스위치(594)에 대하여 설명을 한다.

본 발명의 구동 방법의 하나에 N배의 전류를 EL 소자(15)에 흘리고, 1F의 1/M의 기간만 점등시키는 방법이 있다. 이 점등시키는 기간을 변화시킴으로써, 밝기를 디지털적으로 변경할 수 있다. 예를 들면, N=4로 하여, EL 소자(15)에는 4배의 전류를 흘린다. 점등 기간을 1/M로 하고, M=1, 2, 3, 4로 전환하면, 1배에서 4배까지의 밝기 전환이 가능해진다. 또한, M=1, 1.5, 2, 3, 4, 5, 6 등으로 변경할 수 있도록 구성해도 된다.

이상의 전환 동작은, 휴대 전화의 전원을 온했을 때에, 표시 화면(50)을 매우 밝게 표시하고, 일정한 시간을 경과한 후는, 전력 세이브하기 위해서, 표시 휘도를 저하시키는 구성에 이용한다. 또한, 사용자가 희망하는 밝기로 설정하는 기능으로서도 이용할 수 있다. 예를 들면, 옥외 등에서는 화면을 매우 밝게 한다. 옥외에서는 주변이 밝고, 화면이 전혀 보이지 않게 되기 때문이다. 그러나, 높은 휘도로 계속 표시하면 EL 소자(15)는 급격히 열화한다. 그 때문에, 매우 밝게 하는 경우에는, 단 시간에 통상의 휘도로 복귀시키도록 구성해 둔다. 또한, 고휘도로 표시시키는 경우에는, 사용자가 버튼을 누름으로써 표시 휘도를 높게 할 수 있도록 구성해 둔다.

따라서, 사용자가 스위치(594)로 전환할 수 있도록 하여 놓는다든지, 설정 모드로 자동적으로 변경 가능하다는지, 외광의 밝기를 검출하여 자동적으로 전환 가능하도록 구성해 두는 것이 바람직하다. 또한, 표시 휘도를 50%, 60%, 80%로 사용자 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

또한, 표시 화면(50)은 가우스 분포 표시로 하는 것이 바람직하다. 가우스 분포 표시란, 중앙부의 휘도가 밝고, 주변부를 비교적 어둡게 하는 방식이다. 시각적으로는, 중앙부가 밝으면 주변부가 어둡더라도 밝다고 느껴진다. 주관 평가에 따르면,

주변부가 중앙부에 비교하여 70%의 휘도를 유지하고 있으면, 시각적으로 손색없다. 더욱 저감시켜, 50% 휘도로 하여도 거의 문제가 없다. 본 발명의 자기 발광형 표시 패널에서는, 이전에 설명한 N배 펄스 구동(N배의 전류를 EL 소자(15)에 흘리고, 1F의 1/M의 기간만 점등시키는 방법)을 이용하여 화면의 위에서 아래 방향으로, 가우스 분포를 발생시키고 있다.

구체적으로는, 화면의 상부와 하부에서는 M의 값으로 크게 하고, 중앙부에서 M의 값을 작게 한다. 이것은, 게이트 드라이브 회로(12)의 시프트 레지스터의 동작 속도를 변조하는 것 등에 의해 실현한다. 화면의 좌우의 밝기 변조는, 테이블의 데이터와 영상 데이터를 승산함으로써 발생시키고 있다. 이상의 동작에 의해, 주변 휘도(화각 0.9)를 50%로 했을 때, 100% 휘도인 경우에 비교하여 약 20%의 저 소비 전력화가 가능하다. 주변 휘도(화각 0.9)를 70%로 했을 때, 100% 휘도인 경우에 비교하여 약 15%의 저 소비 전력화가 가능하다.

또한, 가우스 분포 표시는 온 오프할 수 있도록 전환 스위치 등을 마련하는 것이 바람직하다. 예를 들면, 옥외 등에서, 가우스 표시시키면 화면 주변부가 전혀 보이지 않게 되기 때문이다. 따라서, 사용자-가 버튼으로 전환할 수 있도록 하여 놓는 다든지, 설정 모드로 자동적으로 변경 가능하다는지, 외광의 밝기를 검출하여 자동적으로 전환할 수 있도록 구성해 두는 것이 바람직하다. 또한, 주변 휘도를 50%, 60%, 80%로 사용자 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

액정 표시 패널에서는 백라이트로 고정의 가우스 분포를 발생시키고 있다. 따라서, 가우스 분포의 온 오프를 행할 수는 없다. 가우스 분포를 온 오프할 수 있는 것은 자기 발광형의 표시 디바이스 특유의 효과이다.

또한, 프레임 레이트가 소정일 때, 실내의 형광등 등의 점등 상태와 간섭하여 깜박임이 발생하는 경우가 있다. 즉, 형광등이 60 Hz의 교류로 점등하고 있을 때, EL 소자(15)가 프레임 레이트 60Hz로 동작하고 있으면, 미묘한 간섭이 발생하여, 화면이 천천히 점멸하고 있는 것처럼 느껴지는 경우가 있다. 이것을 피하기 위해서는 프레임 레이트를 변경하면 된다. 본 발명은 프레임 레이트의 변경 기능을 부가하고 있다. 또한, N배 펄스 구동(N배의 전류를 EL 소자(15)에 흘리고, 1F의 1/M의 기간만 점등시키는 방법)에 있어서, N 또는 M의 값을 변경할 수 있도록 구성하고 있다.

이상의 기능을 스위치(594)로 실현할 수 있도록 한다. 스위치(594)는 표시 화면(50)의 메뉴에 따라서, 복수회 억제하는 것에 의해, 이상으로 설명한 기능을 전환하여 실현한다.

또한 이상의 사항은, 휴대 전화에만 한정되는 것이 아니고, 텔레비전, 모니터 등에 이용할 수 있는 것은 물론이다. 또한, 어떠한 표시 상태에 있는지를 사용자가 곧 인식할 수 있도록, 표시 화면에 아이콘 표시를 해 두는 것이 바람직하다. 이상의 사항은 이하의 사항에 대하여도 마찬가지이다.

본 실시 형태의 EL 표시 장치 등은 비디오 카메라뿐만 아니라, 도 60에 도시한 바와 같은 전자 카메라에도 적용할 수 있다. 표시 장치는 카메라 본체(601)에 부착된 표시 화면(50)으로서 이용한다. 카메라 본체(601)에는 셔터(603) 외에, 스위치(594)가 부착되어 있다.

이상은 표시 패널의 표시 영역이 비교적 소형의 경우이지만, 30인치 이상으로 대형으로 되면 표시 화면(50)이 휘기 쉽다. 그 대책을 위해, 본 발명에서는 도 61에 도시한 바와 같이 표시 패널에 외부 프레임(611)을 장착하고, 외부 프레임(611)을 매어 달도록 고정 부재(614)로 부착하고 있다. 이 고정 부재(614)를 이용하여, 벽 등에 부착한다.

그러나, 표시 패널의 화면 사이즈가 커지면 중량도 무거워진다. 그 때문에, 표시 패널의 하측에 다리 부속부(613)를 배치하고, 복수의 다리(612)로 표시 패널의 중량을 유지할 수 있도록 하고 있다.

다리(612)는 A에 도시한 바와 같이 좌우로 이동할 수 있고, 또한 다리(612)는 B에 도시한 바와 같이 수축할 수 있도록 구성되어 있다. 그 때문에, 좁은 장소에서도 표시 장치를 용이하게 설치할 수 있다.

도 61의 텔레비전에서는, 화면의 표면을 보호 필름(보호판이어도 됨)으로 피복하고 있다. 이것은, 표시 패널의 표면에 물체가 맞닿아 파손되는 것을 방지하는 것이 하나의 목적이다. 보호 필름의 표면에는 AIR 코트가 형성되어 있고, 또한 표면을 엠보싱 가공함으로써 표시 패널에 밖의 상황(외광)이 찍혀 들어가는 것을 억제하고 있다.

보호 필름과 표시 패널 사이에 비즈 등을 산포하는 것에 의해, 일정 공간이 배치되도록 구성되어 있다. 또한, 보호 필름의 이면에 미세한 볼록부를 형성하고, 이 볼록부에서 표시 패널과 보호 필름 사이에 공간을 유지시킨다. 이와 같이 공간을 유지하는 것에 의해 보호 필름으로부터의 충격이 표시 패널에 전달하는 것을 억제한다.

또한, 보호 필름과 표시 패널 사이에 알콜, 에틸렌 글리콜 등 액체 혹은 겔형의 아크릴 수지 혹은 에폭시 등의 고체 수지 등의 광 결합제를 배치 또는 주입하는 것도 효과가 있다. 계면 반사를 방지할 수 있음과 함께, 상기 광 결합제가 완충재로서 기능하기 때문이다.

보호 필름으로서는, 폴리카보네이트 필름(판), 폴리프로필렌 필름(판), 아크릴 필름(판), 폴리에스테르 필름(판), PVA 필름(판) 등이 예시된다. 기타 엔지니어링 수지 필름(ABS 등)을 이용할 수 있는 것은 물론이다. 또한, 강화 유리 등 무기 재료로 이루어지는 것이어도 된다. 보호 필름을 배치하는 대신에, 표시 패널의 표면을 에폭시 수지, 페놀 수지, 아크릴 수지로 0.5mm 이상 2.0mm 이하의 두께로 코팅하는 것도 마찬가지로 효과가 있다. 또한, 이들 수지 표면에 엠보싱 가공 등을 하는 것도 유효하다.

또한, 보호 필름 혹은 코팅 재료의 표면을 불소 코팅하는 것도 효과가 있다. 표면에 묻은 오물을 세제 등으로 용이하게 닦아낼 수 있기 때문이다. 또한, 보호 필름을 두텁게 형성하고, 프론트 라이트와 겸용해도 된다.

본 발명의 실시예에서의 표시 패널은, 3 변 프리의 구성과 조합하는 것도 유효한 것은 물론이다. 특히 3 변 프리의 구성은 화소가 비정질 실리콘 기술을 이용하여 제작되어 있을 때에 유효하다. 또한, 비정질 실리콘 기술로 형성된 패널에서는, 트랜지스터 소자의 특성 변동의 프로세스 제어가 불가능하기 때문에, 본 발명의 N배 펄스 구동, 리셋 구동, 더미 화소 구동 등을 실시하는 것이 바람직하다. 즉, 본 발명에 있어서의 트랜지스터 등은, 폴리실리콘 기술에 의한 것에 한정되는 것이 아니고, 비정질 실리콘에 의한 것이어도 된다.

또한, 본 발명의 N배 펄스 구동(도 13, 도 16, 도 19, 도 20, 도 22, 도 24, 도 30 등) 등은, 저온 폴리실리콘 기술로 트랜지스터(11)를 형성하여 표시 패널보다도, 비정질 실리콘 기술로 트랜지스터(11)를 형성한 표시 패널에 유효하다. 비정질 실리콘의 트랜지스터(11)에서는, 인접한 트랜지스터의 특성이 거의 일치하고 있는지 등이다. 따라서, 가산한 전류로 구동해도 개개의 트랜지스터의 구동 전류는 거의 목표치로 되어 있다(특히, 도 22, 도 24, 도 30의 N배 펄스 구동은 비정질 실리콘으로 형성한 트랜지스터의 화소 구성에 있어서 유효함).

본 발명의 실시예에서 설명한 기술적 사상은 비디오 카메라, 프로젝터, 입체 텔레비전, 프로젝션 텔레비전 등에 적용할 수 있다. 또한, 뷰 파인더, 휴대 전화의 모니터, PHS, 휴대 정보 단말기 및 그 모니터, 디지털 카메라 및 그 모니터에도 적용할 수 있다.

또한, 전자 사진 시스템, 헤드 마운트 디스플레이, 직시 모니터 디스플레이, 노트북 컴퓨터, 비디오 카메라, 전자 스틸 카메라에도 적용할 수 있다. 또한, 현금 자동 인출기의 모니터, 공중 전화, 화상 전화, 퍼스널 컴퓨터, 손목 시계 및 그 표시 장치에도 적용할 수 있다.

또한, 가정 전기 기기의 표시 모니터, 포켓 게임 기기 및 그 모니터, 표시 패널용 백 라이트 혹은 가정용 혹은 업무용의 조명 장치 등에도 적용 혹은 응용 전개할 수 있는 것은 물론이다. 조명 장치는 색 온도를 가변할 수 있도록 구성하는 것이 바람직하다. 이것은 RGB의 화소를 스트라이프 형상 혹은 도트 매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정함으로써 색 온도를 변경할 수 있다. 또한, 광고 혹은 포스터 등의 표시 장치, RGB의 신호기, 경보 표시등 등에도 응용할 수 있다.

또한, 스캐너의 광원으로서는도 유기 EL 표시 패널은 유효하다. RGB의 도트 매트릭스를 광원으로 하여, 대상물에 빛을 조사하여 화상을 판독한다. 물론, 단색이어도 되는 것은 물론이다. 또한, 액티브 매트릭스에 한정되는 것이 아니고, 단순매트릭스라도 무방하다. 색 온도를 조정할 수 있도록 하면 화상 판독 정밀도도 향상된다.

또한, 액정 표시 장치의 백 라이트에도 유기 EL 표시 장치는 유효하다. EL 표시 장치(백 라이트)의 RGB의 화소를 스트라이프형 혹은 도트 매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정하는 것에 의해 색 온도를 변경할 수 있으며, 또한, 밝기의 조정도 용이하다. 게다가, 먼 광원이므로, 화면의 중앙부를 밝고, 주변부를 어둡게 하는 가우스 분포를 용이하게 구성할 수 있다. 또한, R, G, B광을 교대로 주사하는, 필드 시퀀셜 방식의 액정 표시 패널의 백 라이트로서도 유효하다. 또한, 백 라이트를 점멸해도 흑 삽입하는 것에 의해 동화상 표시용 등의 액정 표시 패널의 백 라이트로서도 이용할 수 있다.

발명의 효과

본 발명에 따르면, 고 화질, 양호한 동화상 표시 성능, 저 소비 전력, 저 비용화, 고휘도화 등의 각각의 구성에 대응하여 특징 있는 효과를 발휘한다.

또한, 본 발명을 이용하면, 저 소비 전력의 정보 표시 장치 등을 구성할 수 있기 때문에, 전력을 소비하지 않는다. 또한, 소형 경량화할 수 있기 때문에, 자원을 소비하지 않는다. 또한, 고정밀의 표시 패널에서도 충분히 대응할 수 있다. 따라서, 지구 환경, 우주 환경에 우수한 것으로 된다.

또한, 본 발명의 검사 방법을 이용하면, 검사가 용이하게 되고, 불량 패널로 폐기하는 비용을 저감할 수 있는 등의 이점이 있다.

도면의 간단한 설명

- 도 1은 본 발명의 표시 패널의 화소 구성도.
- 도 2는 본 발명의 표시 패널의 화소 구성도.
- 도 3은 본 발명의 표시 패널의 동작의 설명도.
- 도 4는 본 발명의 표시 패널의 동작의 설명도.
- 도 5는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 6은 본 발명의 표시 장치의 구성도.
- 도 7은 본 발명의 표시 패널의 제조 방법의 설명도.
- 도 8은 본 발명의 표시 장치의 구성도.
- 도 9는 본 발명의 표시 장치의 구성도.
- 도 10은 본 발명의 표시 패널의 단면도.
- 도 11은 본 발명의 표시 패널의 단면도.
- 도 12는 본 발명의 표시 패널의 설명도.
- 도 13은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 14는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 15는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 16은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 17은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 18은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 19는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 20은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 21은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 22는 본 발명의 표시 장치의 구동 방법의 설명도.

도 23은 본 발명의 표시 장치의 구동 방법의 설명도.
도 24는 본 발명의 표시 장치의 구동 방법의 설명도.
도 25는 본 발명의 표시 장치의 구동 방법의 설명도.
도 26은 본 발명의 표시 장치의 구동 방법의 설명도.
도 27은 본 발명의 표시 장치의 구동 방법의 설명도.
도 28은 본 발명의 표시 장치의 구동 방법의 설명도.
도 29는 본 발명의 표시 장치의 구동 방법의 설명도.
도 30은 본 발명의 표시 장치의 구동 방법의 설명도.
도 31은 본 발명의 표시 장치의 구동 방법의 설명도.
도 32는 본 발명의 표시 장치의 구동 방법의 설명도.
도 33은 본 발명의 표시 장치의 구동 방법의 설명도.
도 34는 본 발명의 표시 장치의 구성도.
도 35는 본 발명의 표시 장치의 구동 방법의 설명도.
도 36은 본 발명의 표시 장치의 구동 방법의 설명도.
도 37은 본 발명의 표시 장치의 구성도.
도 38은 본 발명의 표시 장치의 구성도.
도 39는 본 발명의 표시 장치의 구동 방법의 설명도.
도 40은 본 발명의 표시 장치의 구성도.
도 41은 본 발명의 표시 장치의 구성도.
도 42는 본 발명의 표시 패널의 화소 구성도.
도 43은 본 발명의 표시 패널의 화소 구성도.
도 44는 본 발명의 표시 장치의 구동 방법의 설명도.
도 45는 본 발명의 표시 장치의 구동 방법의 설명도.
도 46은 본 발명의 표시 장치의 구동 방법의 설명도.
도 47은 본 발명의 표시 패널의 화소 구성도.
도 48은 본 발명의 표시 장치의 구성도.
도 49는 본 발명의 표시 장치의 구동 방법의 설명도.

도 50은 본 발명의 표시 패널의 화소 구성도.

도 51은 본 발명의 표시 패널의 화소 도면이다.

도 52는 본 발명의 표시 장치의 구동 방법의 설명도.

도 53은 본 발명의 표시 장치의 구동 방법의 설명도.

도 54는 본 발명의 표시 패널의 화소 구성도.

도 55는 본 발명의 표시 장치의 구동 방법의 설명도.

도 56은 본 발명의 표시 장치의 구동 방법의 설명도.

도 57은 본 발명의 휴대 전화의 설명도.

도 58은 본 발명의 뷰 파인더의 설명도.

도 59는 본 발명의 비디오 카메라의 설명도.

도 60은 본 발명의 디지털 카메라의 설명도.

도 61은 본 발명의 텔레비전(모니터)의 설명도.

도 62는 종래의 표시 패널의 화소 구성도.

도 63은 본 발명의 표시 패널의 화소 구성도.

도 64는 본 발명의 표시 패널의 화소 구성도.

도 65는 본 발명의 표시 패널의 화소 구성도.

도 66은 본 발명의 표시 장치의 구동 방법의 설명도.

도 67은 본 발명의 표시 장치의 구동 방법의 설명도.

도 68은 본 발명의 표시 패널의 설명도.

도 69는 본 발명의 표시 패널의 설명도.

도 70은 본 발명의 표시 패널의 설명도.

도 71은 본 발명의 표시 패널의 설명도.

도 72는 본 발명의 표시 패널의 설명도.

도 73은 본 발명의 표시 패널의 설명도.

도 74는 본 발명의 표시 패널의 설명도.

도 75는 본 발명의 표시 패널의 설명도.

도 76은 본 발명의 표시 패널의 설명도.

도 77은 본 발명의 표시 장치의 구동 방법의 설명도.
도 78은 본 발명의 표시 장치의 구동 방법의 설명도.
도 79는 본 발명의 표시 장치의 구동 방법의 설명도.
도 80은 본 발명의 표시 장치의 구동 방법의 설명도.
도 81은 본 발명의 표시 장치의 구동 방법의 설명도.
도 82는 본 발명의 표시 패널의 설명도.
도 83은 본 발명의 표시 패널의 설명도.
도 84는 본 발명의 표시 패널의 설명도.
도 85는 본 발명의 표시 패널의 설명도.
도 86은 본 발명의 표시 패널의 설명도.
도 87은 본 발명의 검사 방법의 설명도.
도 88은 본 발명의 검사 방법의 설명도.
도 89는 본 발명의 검사 방법의 설명도.
도 90은 본 발명의 검사 방법의 설명도.
도 91은 본 발명의 검사 방법의 설명도.
도 92는 본 발명의 검사 방법의 설명도.
도 93은 본 발명의 검사 방법의 설명도.
도 94는 본 발명의 표시 장치의 전원 회로의 설명도.
도 95는 본 발명의 표시 장치의 전원 회로의 설명도.
도 96은 본 발명의 표시 장치의 전원 회로의 설명도.
도 97은 본 발명의 표시 장치의 전원 회로의 설명도.
도 98은 본 발명의 표시 패널의 구동 방법의 설명도.
도 99는 본 발명의 표시 패널의 구동 방법의 설명도.
도 100은 본 발명의 표시 장치의 설명도.
도 100은 본 발명의 표시 장치의 설명도.
도 101은 본 발명의 표시 장치의 설명도.
도 102는 본 발명의 표시 장치의 설명도.

도 103은 본 발명의 표시 장치의 설명도.

도 104는 본 발명의 표시 장치의 설명도.

도 105는 본 발명의 표시 장치의 설명도.

도 106은 본 발명의 표시 장치의 설명도.

도 107은 본 발명의 표시 장치의 설명도.

도 108은 본 발명의 표시 장치의 설명도.

도 109는 본 발명의 표시 장치의 설명도.

도 110은 본 발명의 표시 장치의 설명도.

도 111은 본 발명의 표시 장치의 설명도.

도 112는 본 발명의 표시 장치의 설명도.

도 113은 본 발명의 표시 장치의 설명도.

도 114는 본 발명의 표시 장치의 설명도.

도 115는 본 발명의 표시 패널의 구동 방법의 설명도.

도 116은 본 발명의 표시 패널의 구동 방법의 설명도.

도 117은 본 발명의 표시 패널의 구동 방법의 설명도.

도 118은 본 발명의 표시 패널의 구동 방법의 설명도.

도 119는 본 발명의 표시 패널의 구동 방법의 설명도.

도 120은 본 발명의 표시 패널의 구동 방법의 설명도.

도 121은 본 발명의 표시 패널의 구동 방법의 설명도.

도 122는 본 발명의 표시 패널의 구동 방법의 설명도.

도 123은 본 발명의 표시 패널의 구동 방법의 설명도.

도 124는 본 발명의 표시 패널의 구동 방법의 설명도.

도 125는 본 발명의 표시 패널의 구동 방법의 설명도.

도 126은 본 발명의 표시 패널의 구동 방법의 설명도.

도 127은 본 발명의 표시 패널의 구동 방법의 설명도.

도 128은 본 발명의 표시 패널의 구동 방법의 설명도.

도 129는 본 발명의 표시 패널의 구동 방법의 설명도.

도 130은 본 발명의 표시 패널의 구동 방법의 설명도.
도 131은 본 발명의 표시 패널의 구동 방법의 설명도.
도 132는 본 발명의 표시 패널의 구동 방법의 설명도.
도 133은 본 발명의 표시 패널의 구동 방법의 설명도.
도 134는 본 발명의 표시 패널의 구동 방법의 설명도.
도 135는 본 발명의 표시 패널의 구동 방법의 설명도.
도 136은 본 발명의 표시 패널의 구동 방법의 설명도.
도 137은 본 발명의 표시 패널의 구동 방법의 설명도.
도 138은 본 발명의 표시 패널의 구동 방법의 설명도.
도 139는 본 발명의 표시 패널의 구동 방법의 설명도.
도 140은 본 발명의 표시 패널의 구동 방법의 설명도.
도 141은 본 발명의 표시 패널의 구동 방법의 설명도.
도 142는 본 발명의 표시 패널의 구동 방법의 설명도.
도 143은 본 발명의 표시 패널의 구동 방법의 설명도.
도 144는 본 발명의 표시 패널의 구동 방법의 설명도.
도 145는 본 발명의 표시 패널의 구동 방법의 설명도.
도 146은 본 발명의 표시 패널의 구동 방법의 설명도.
도 147은 본 발명의 표시 패널의 구동 방법의 설명도.
도 148은 본 발명의 표시 패널의 구동 방법의 설명도.
도 149는 본 발명의 표시 패널의 구동 방법의 설명도.
도 150은 본 발명의 표시 패널의 구동 방법의 설명도.
도 151은 본 발명의 표시 패널의 구동 방법의 설명도.
도 152는 본 발명의 표시 패널의 구동 방법의 설명도.
도 153은 본 발명의 표시 패널의 구동 방법의 설명도.
도 154는 본 발명의 표시 패널의 구동 방법의 설명도.
도 155는 본 발명의 표시 패널의 구동 방법의 설명도.
도 156은 본 발명의 표시 패널의 구동 방법의 설명도.

도 157은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 158은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 159는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 160은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 161은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 162는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 163은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 164는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 165는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 166은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 167은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 168은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 169는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 170은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 171은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 172는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 173은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 174는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 175는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 176은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 177은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 178은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 179는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 180은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 181은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 182는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 183은 본 발명의 표시 장치의 구동 방법의 설명도.

도 184는 본 발명의 소스 드라이버 회로의 설명도.

도 185는 본 발명의 소스 드라이버 회로의 설명도.

도 186은 본 발명의 소스 드라이버 회로의 설명도.

도 187은 본 발명의 소스 드라이버 회로의 설명도.

도 188은 본 발명의 소스 드라이버 회로의 설명도.

도 189는 본 발명의 소스 드라이버 회로의 설명도.

<도면의 주요 부분에 대한 부호의 설명>

11 : 트랜지스터(박막 트랜지스터)

12 : 게이트 드라이버 IC(회로)

14 : 소스 드라이버 IC(회로)

15 : EL(소자)(발광 소자)

16 : 화소

17 : 게이트 신호선

18 : 소스 신호선

19 : 축적 용량(부가 커패시터, 부가 용량)

50 : 표시 화면

51 : 기입 화소(행)

52 : 비표시 화소(비표시 영역, 비점등 영역)

53 : 표시 화소(표시 영역, 점등 영역)

61 : 시프트 레지스터

62 : 인버터

63 : 출력 버퍼

71 : 어레이 기관(표시 패널)

72 : 레이저 조사 범위(레이저 스폿)

73 : 위치 결정 마커

74 : 유리 기관(어레이 기관)

81 : 컨트롤 IC(회로)

- 82 : 전원 IC(회로)
- 83 : 프린트 기관
- 84 : 플렉시블 기관
- 85 : 밀봉 뚜껑
- 86 : 캐소드 배선
- 87 : 애노드 배선(Vdd)
- 88 : 데이터 신호선
- 89 : 게이트 제어 신호선
- 101 : 독(리브)
- 102 : 층간 절연막
- 104 : 콘택트 접속부
- 105 : 화소 전극
- 106 : 캐소드 전극
- 107 : 건조제
- 108 : $\lambda/4$ 판
- 109 : 편광판
- 111 : 박막 밀봉막
- 281 : 더미 화소(행)
- 341 : 출력단 회로
- 371 : OR 회로
- 401 : 점등 제어선
- 471 : 역 바이어스선
- 472 : 게이트 전위 제어선
- 561 : 전자 볼륨 회로
- 562 : 트랜지스터의 SD(소스-드레인) 쇼트
- 571 : 안테나
- 572 : 키

573 : 케이싱

574 : 표시 패널

581 : 접안 링

582 : 확대 렌즈

583 : 볼록 렌즈

591 : 지점(회전부)

592 : 촬영 렌즈

593 : 저장부

594 : 스위치

601 : 본체

602 : 촬영부

603 : 셔터 스위치

611 : 외부 프레임

612 : 다리

613 : 다리 부착부

614 : 고정부

631 : 전환 스위치

681 : 절연막

691 : 회절 격자

721 : 화소 개구부

341 : 출력단 회로

991 : 기준 전압 회로

992 : PC(데이터 입력 수단, 제어 수단)

993 : 입력 회로(연산 증폭기, 스위치, A/D 변환 회로)

994 : 트랜지스터

995 : 연산 증폭기

996 : 접속 단자

997 : 프로브(접속 수단)

941 : 코일(트랜스포머)

942 : 제어 회로

943 : 다이오드

944 : 컨덴서

945 : 저항

946 : 트랜지스터

951 : 스위치

952 : 온도 센서

9991 : 액정 표시 패널

1001 : 접속 수지

1002 : 밀봉 수지

1003 : 확산제

1004 : 편광판(편광 필름, 원편광판, 원편광 필름)

1011 : 글라스 링

1021 : 플렉시블 기판

1022 : 컨트롤러

1023 : 커넥터 단자

1031 : 직렬 데이터

1032 : 병렬 영상 데이터

1033 : 게이트 드라이버 회로 제어 데이터

1051 : 방열판(방열 필름)

1052 : 구멍(공기 구멍, 방열 구멍)

1061 : 실장 부품

1062 : 프린트 기판

1063 : 완충 부재(완충 돌기)

1111 : 단위 게이트 출력 회로

1381 : 기생 용량

1431 : 컨덴서 드라이버

1433 : 컨덴서 신호선

1434 : 결합 컨덴서

1461 : 전류 출력 회로

1471 : 출력 단자

1472 : 기생 용량

1481 : 인버터

1511 : 공통 신호선

1512 : 공통 드라이버 회로

1841, 1842, 1843 : 전류원(트랜지스터)

1851 : 스위치(온 오프 수단)

1854 : 전류원(1 : 단위)

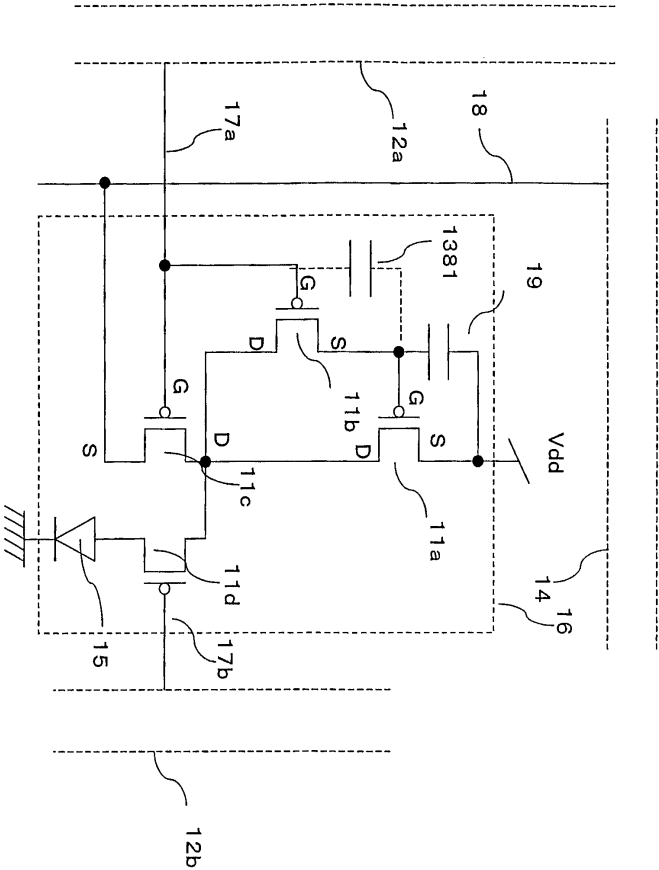
1853 : 내부 배선

1861 : 볼륨(전류 조절 수단)

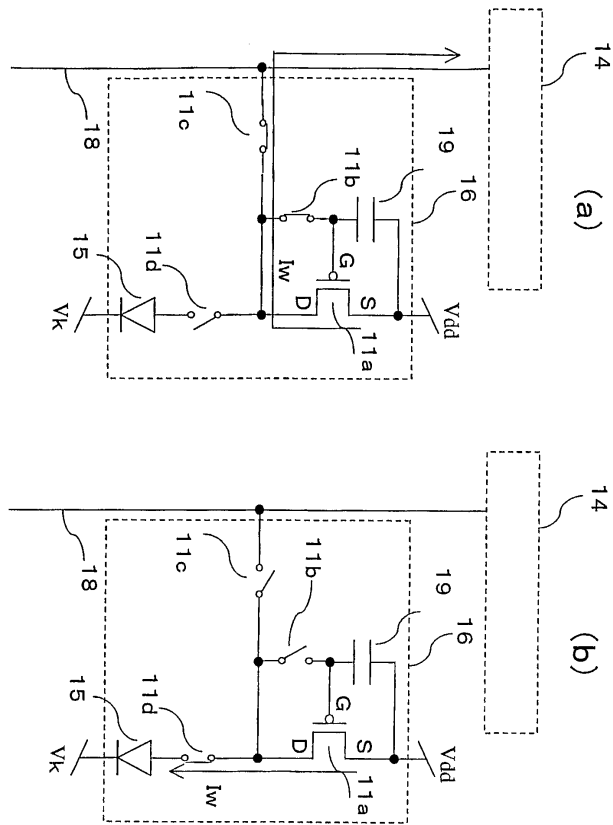
1891 : 트랜지스터군

도면

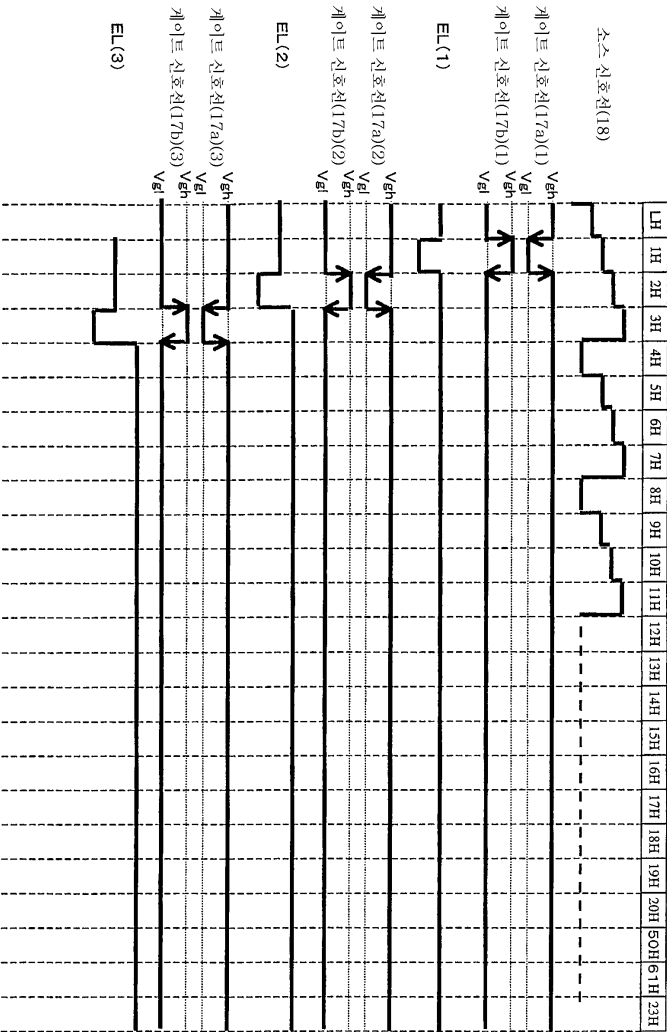
도면1



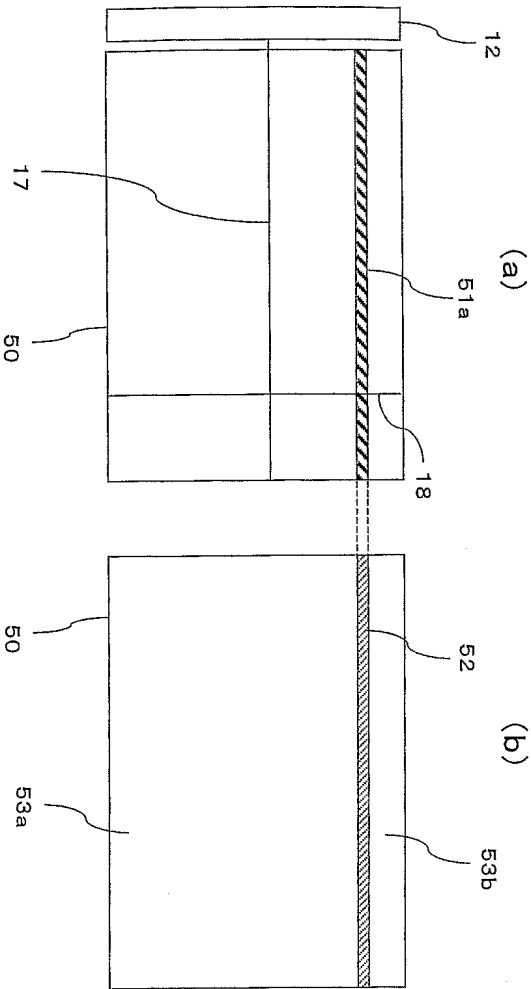
도면3



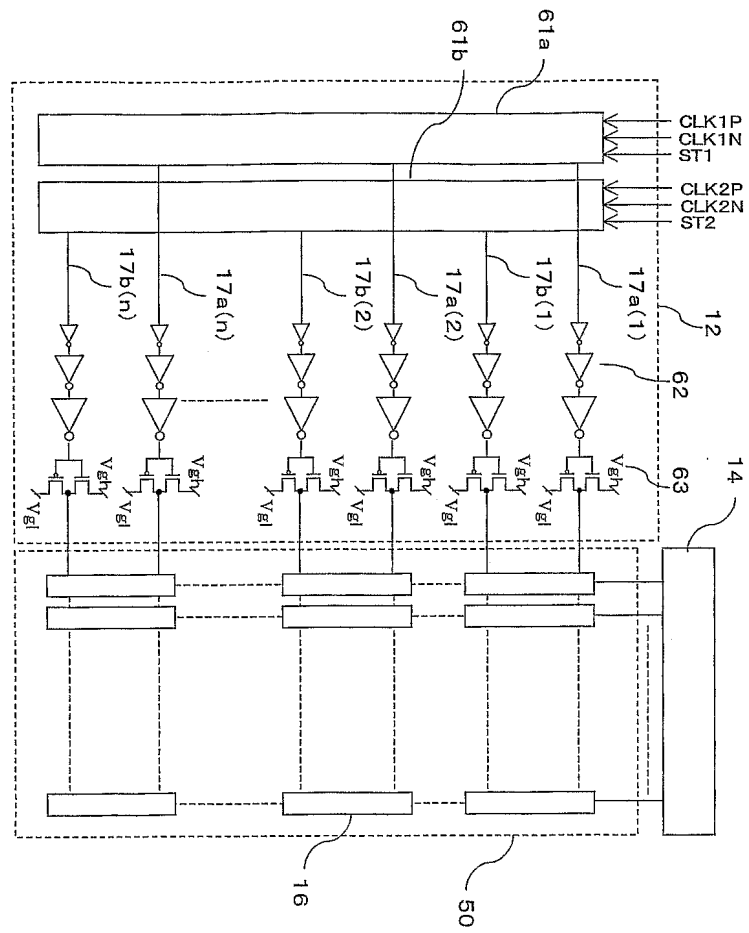
도면4



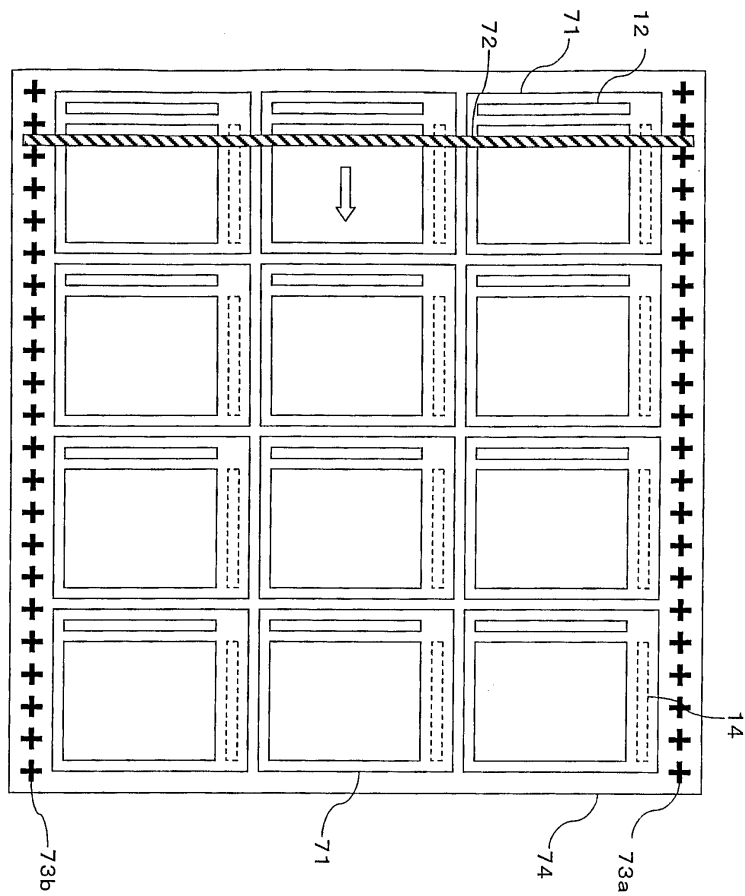
도면5



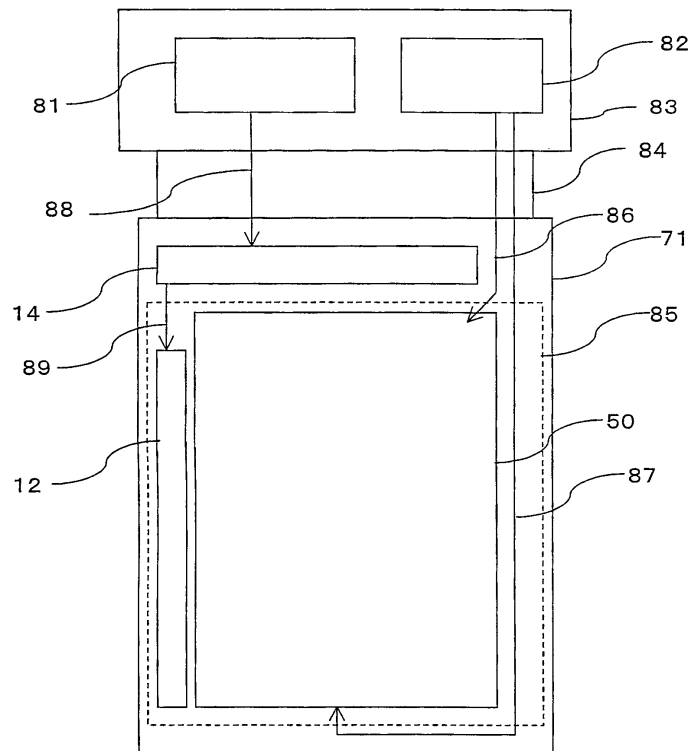
도면6



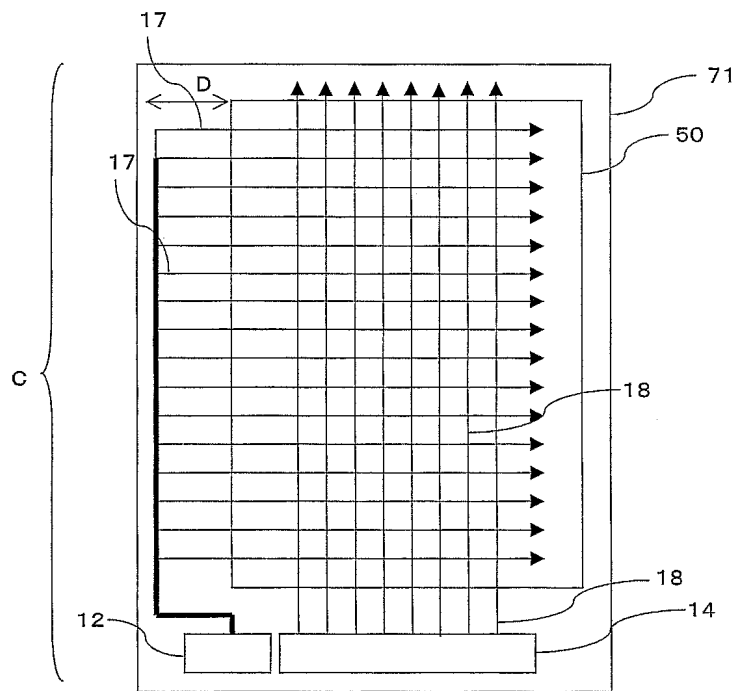
도면7



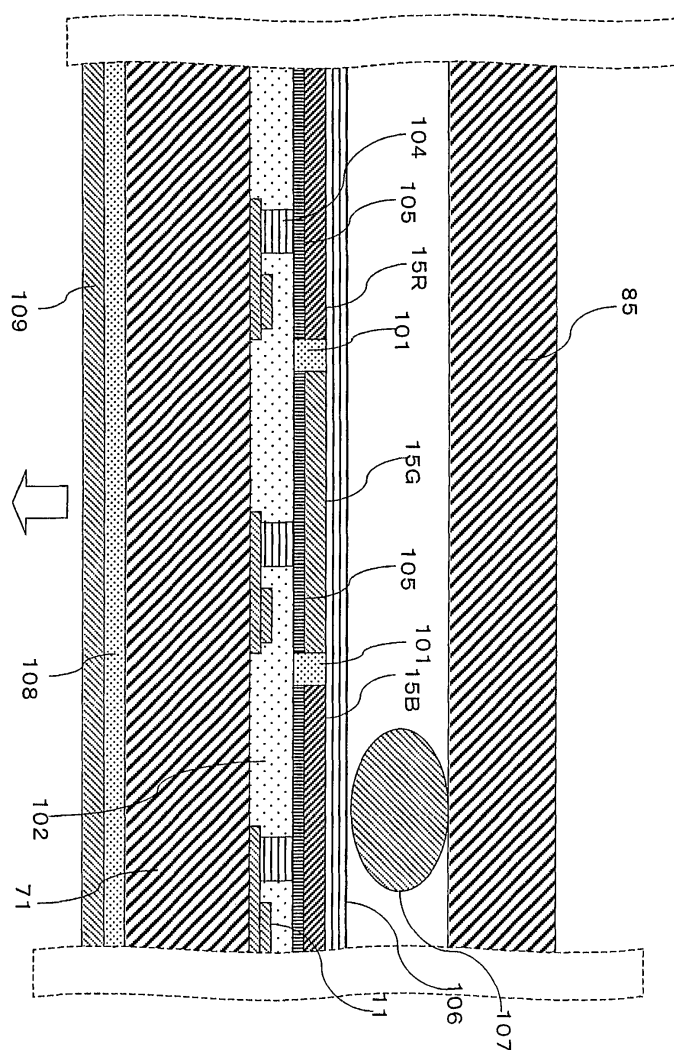
도면8



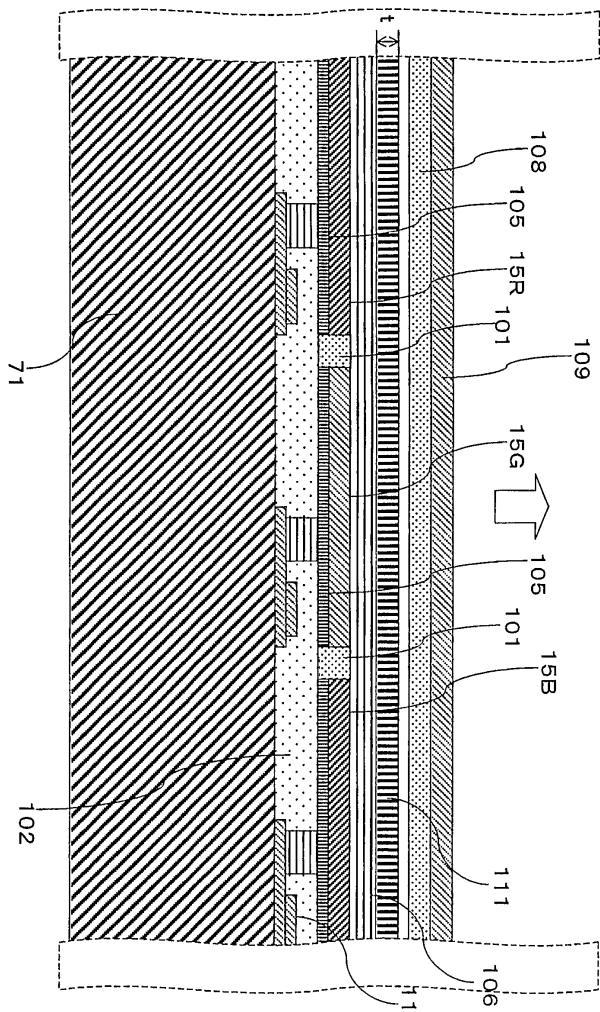
도면9



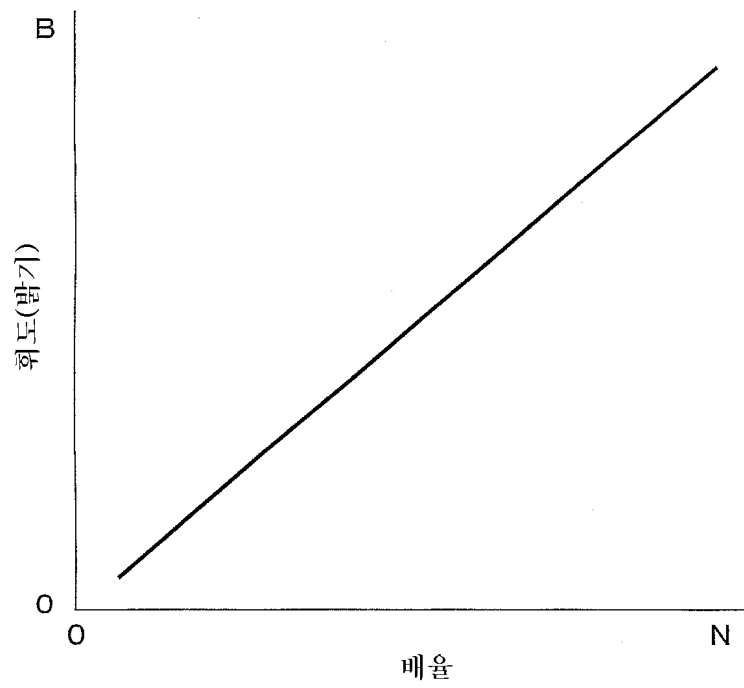
도면10



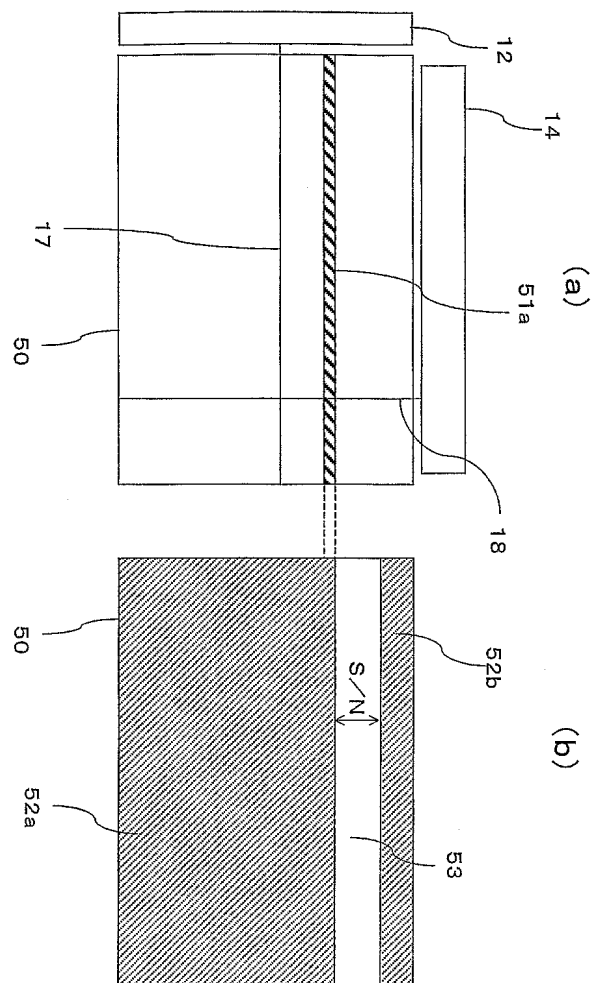
도면11



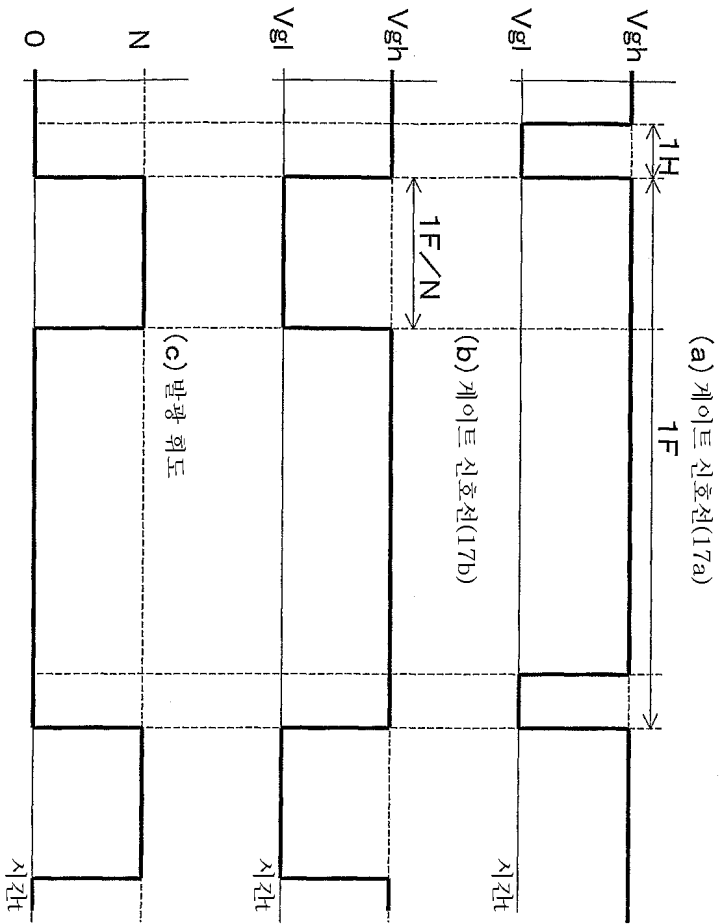
도면12



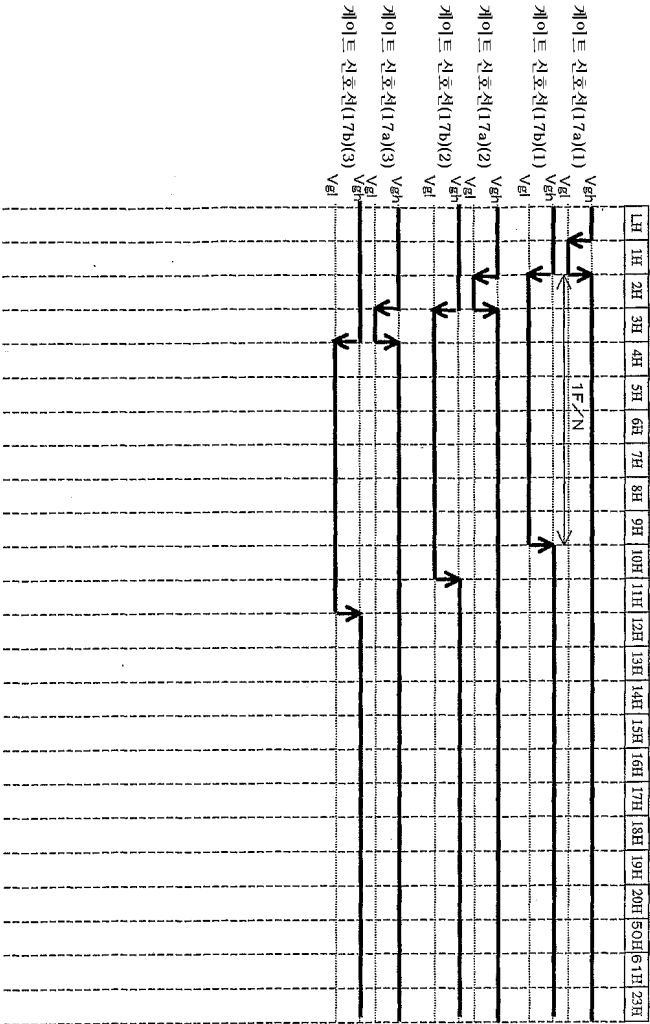
도면13



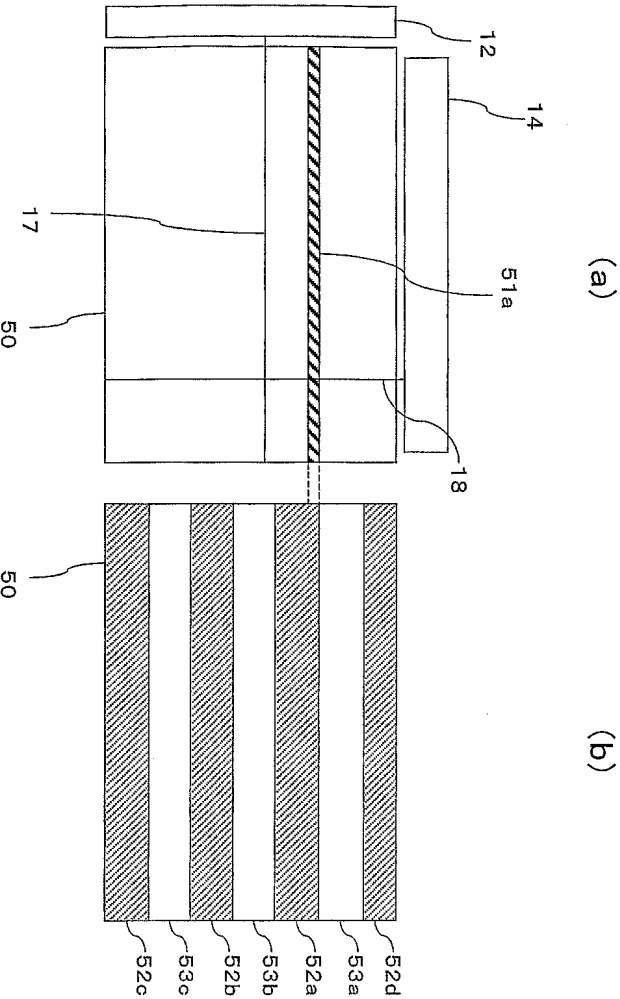
도면14



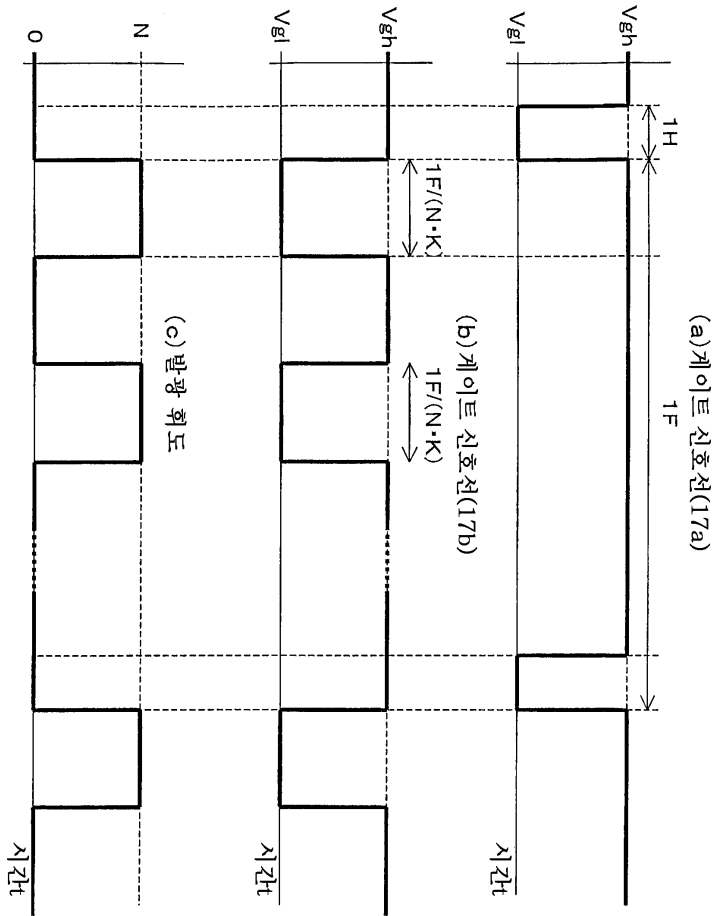
도면15



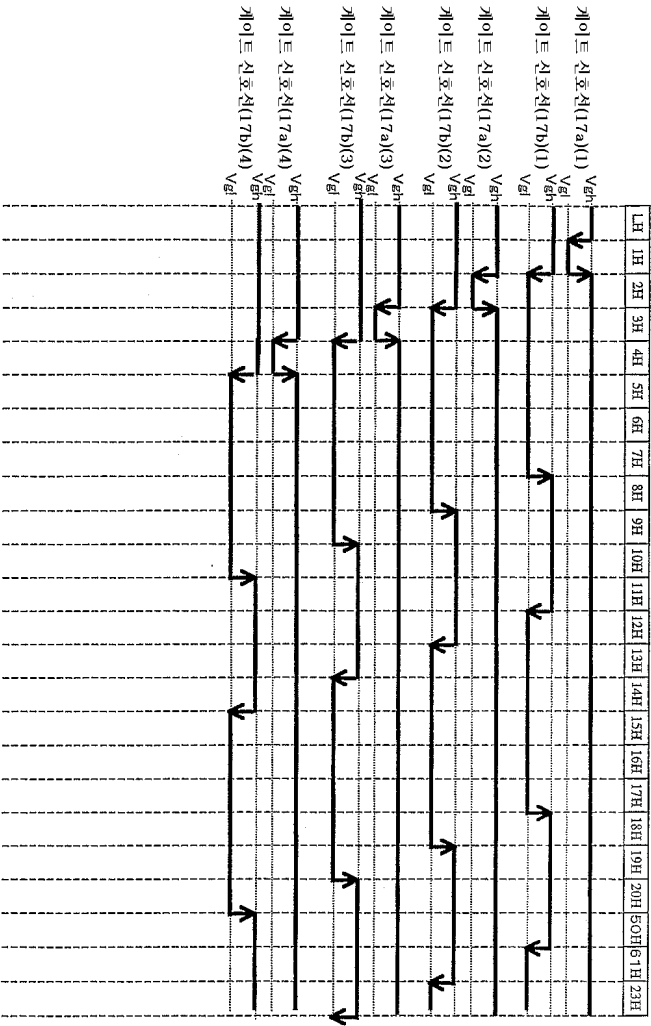
도면16



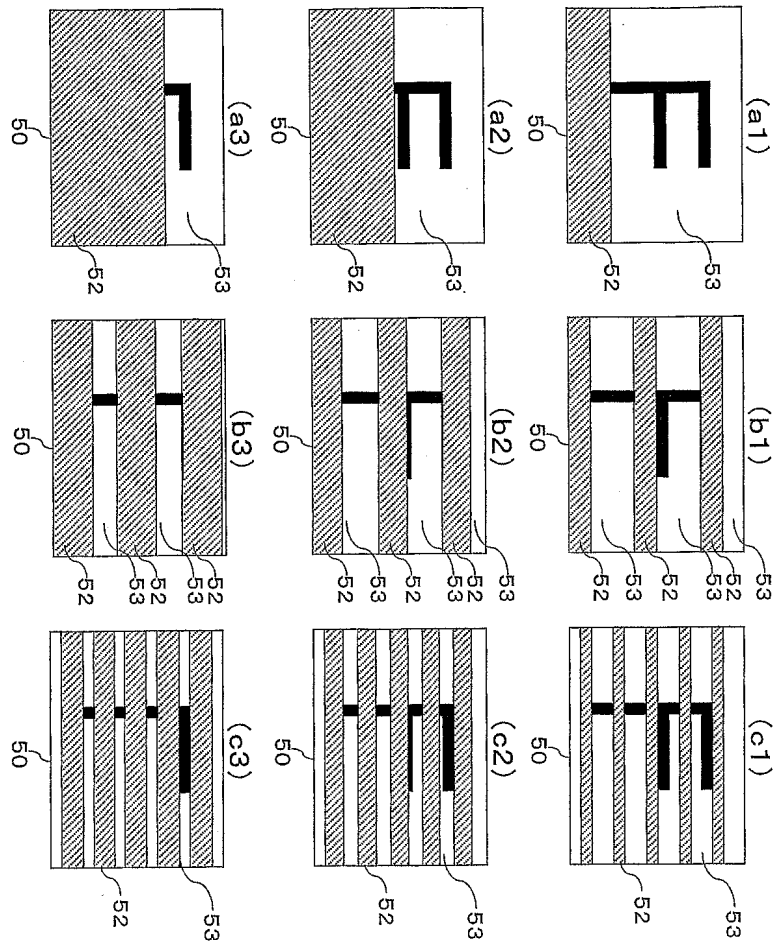
도면17



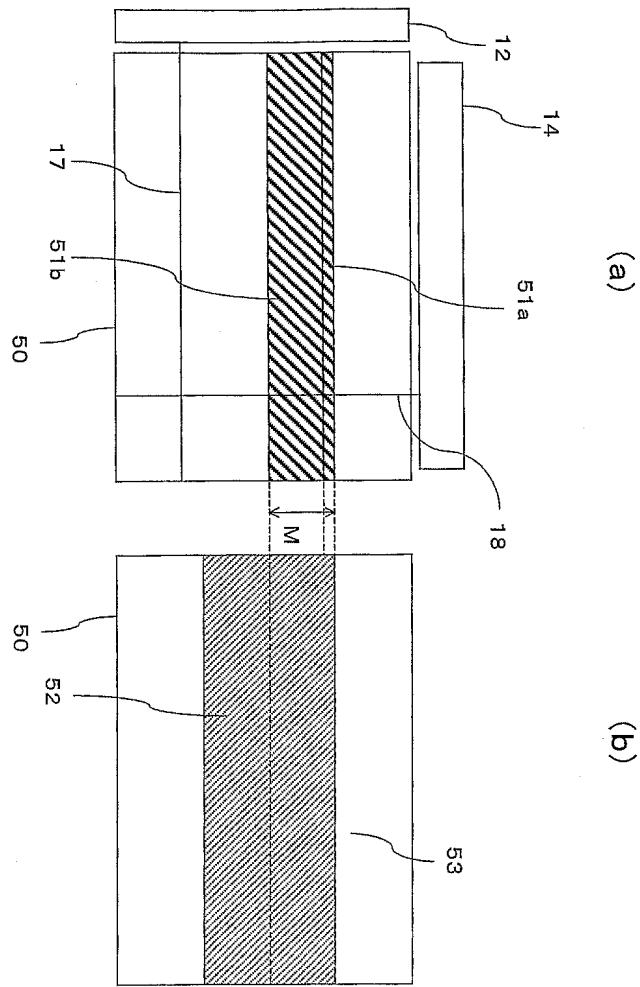
도면18



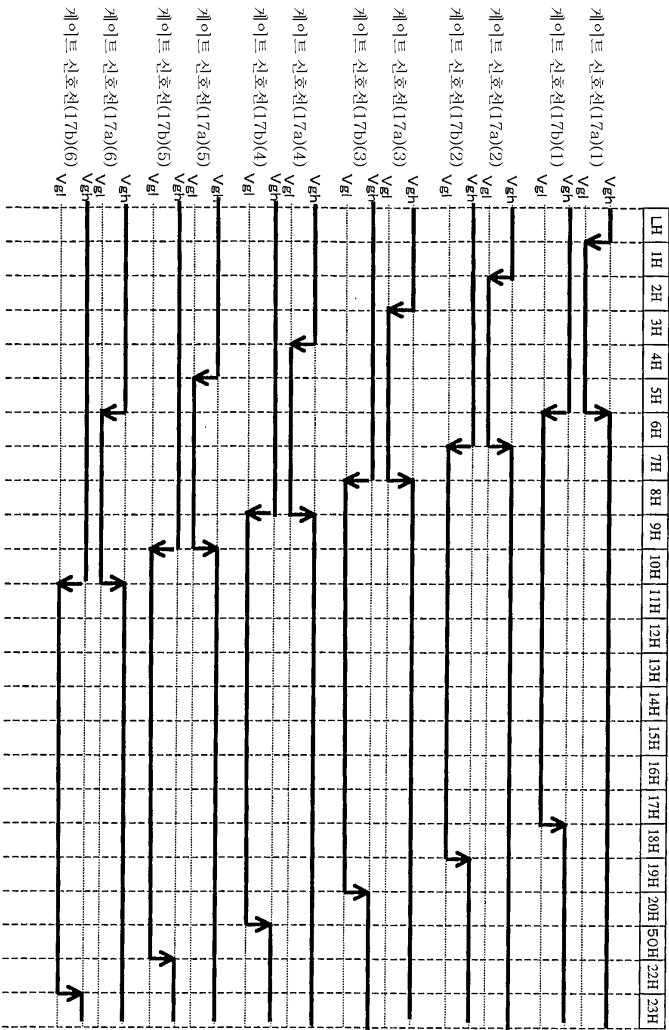
도면19



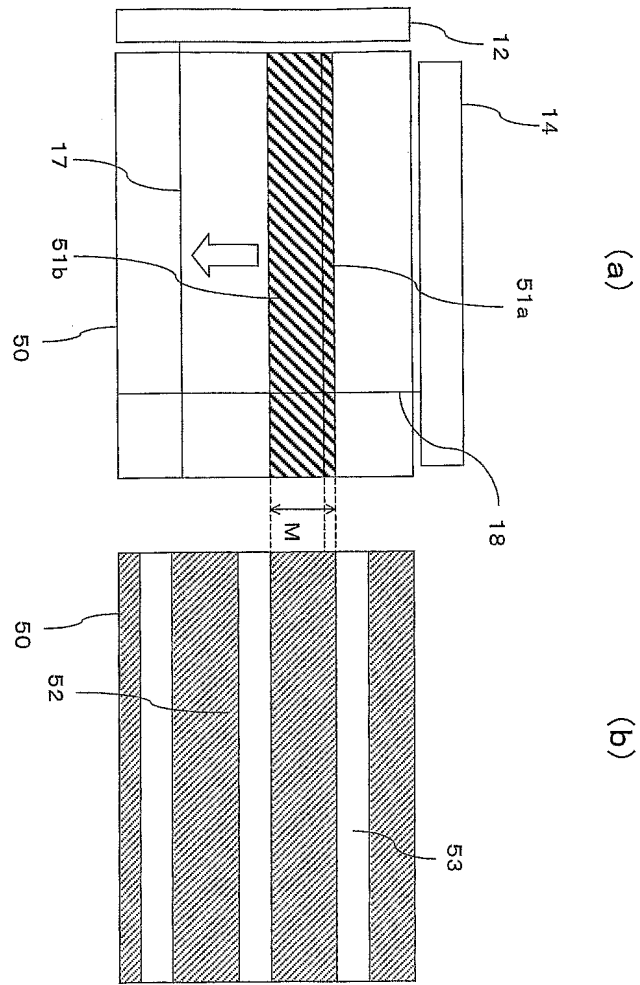
도면20



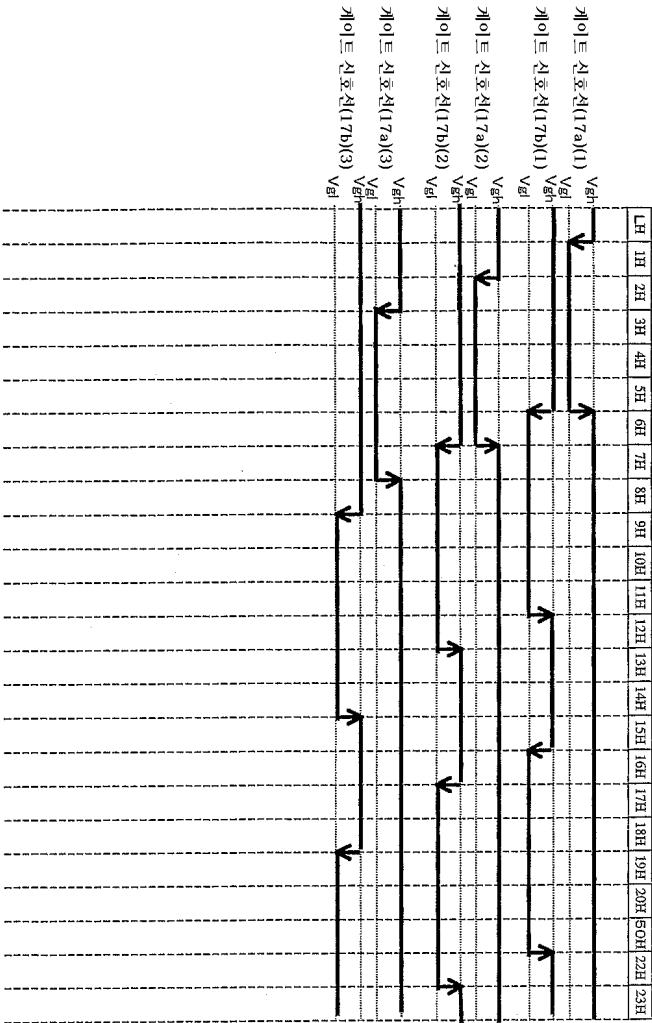
도면21



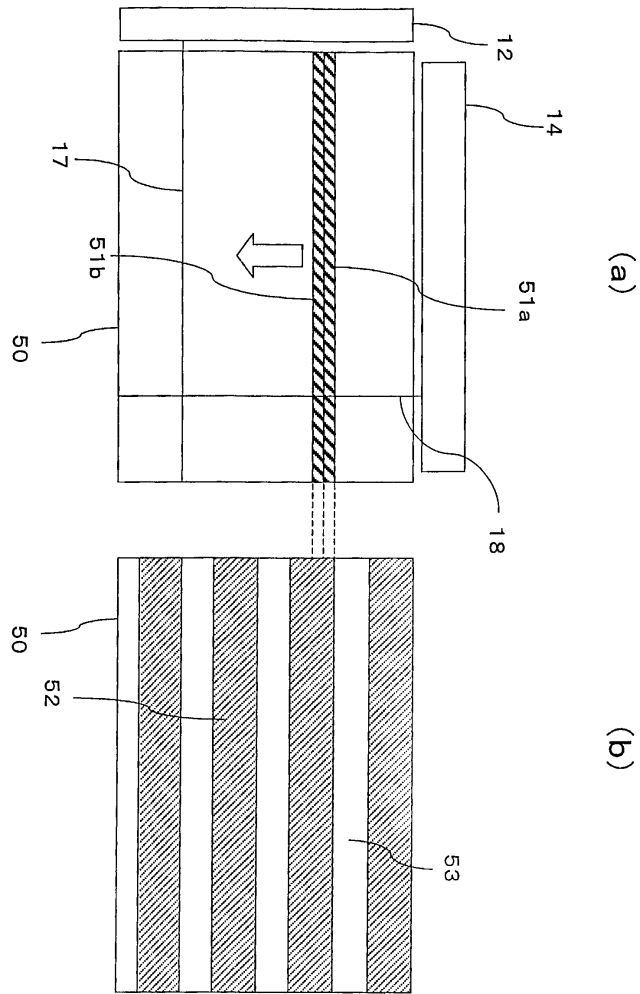
도면22



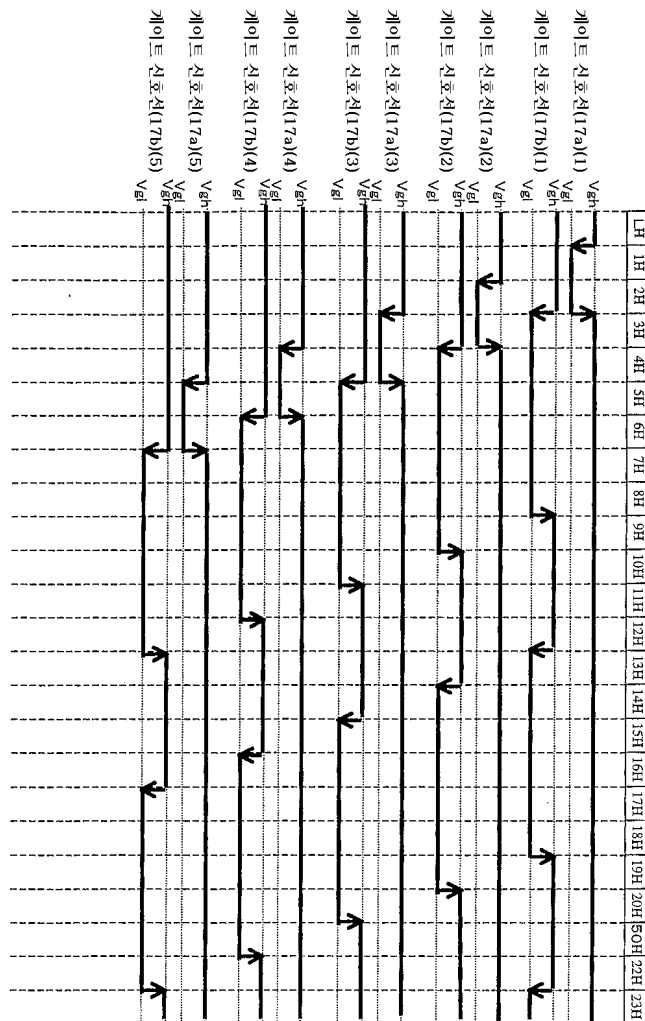
도면23



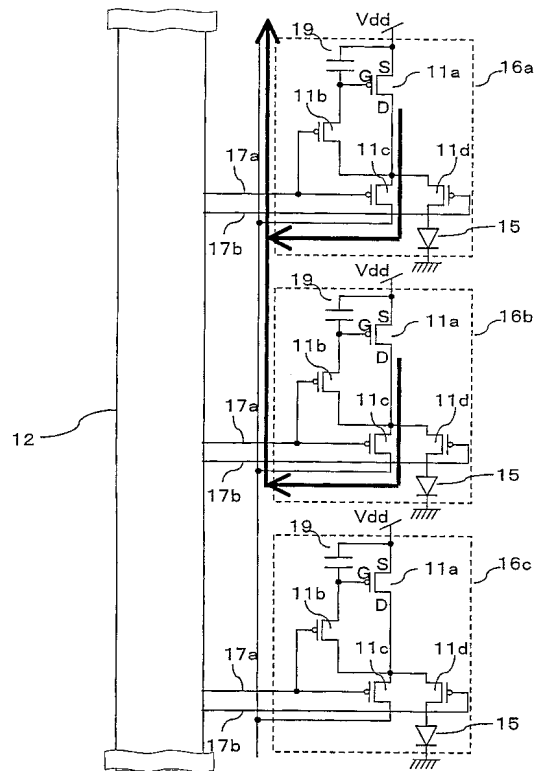
도면24



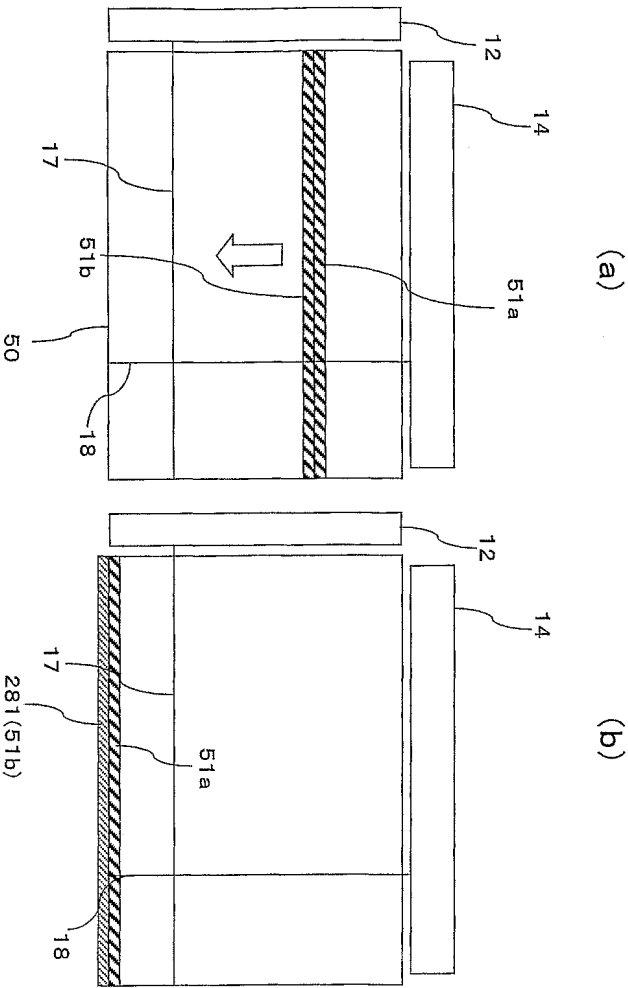
도면25



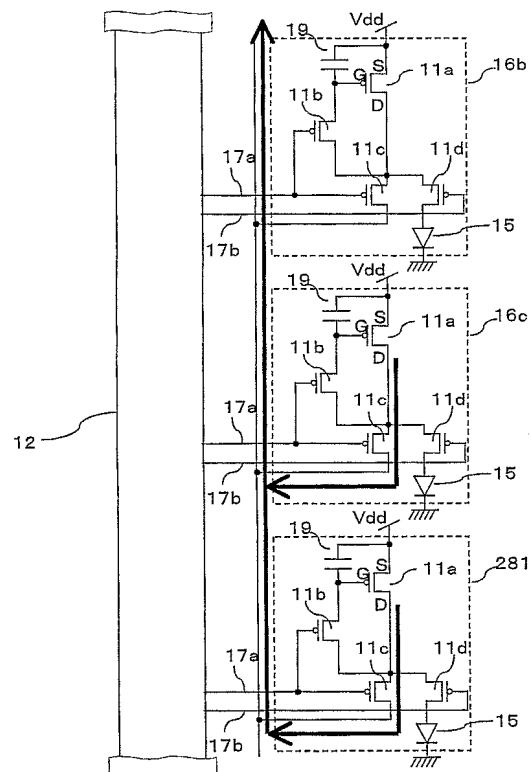
도면26



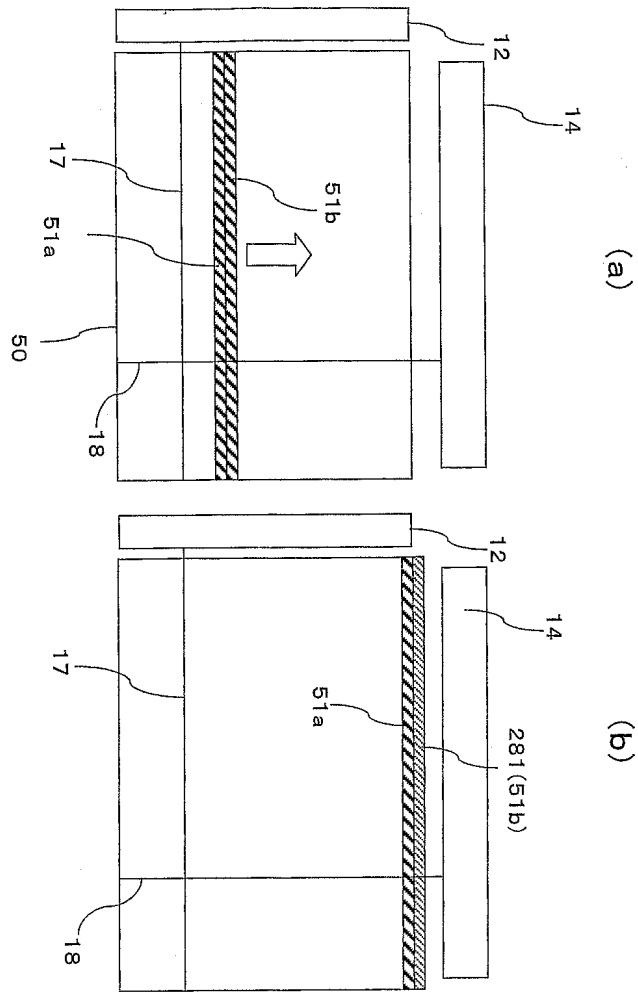
도면27



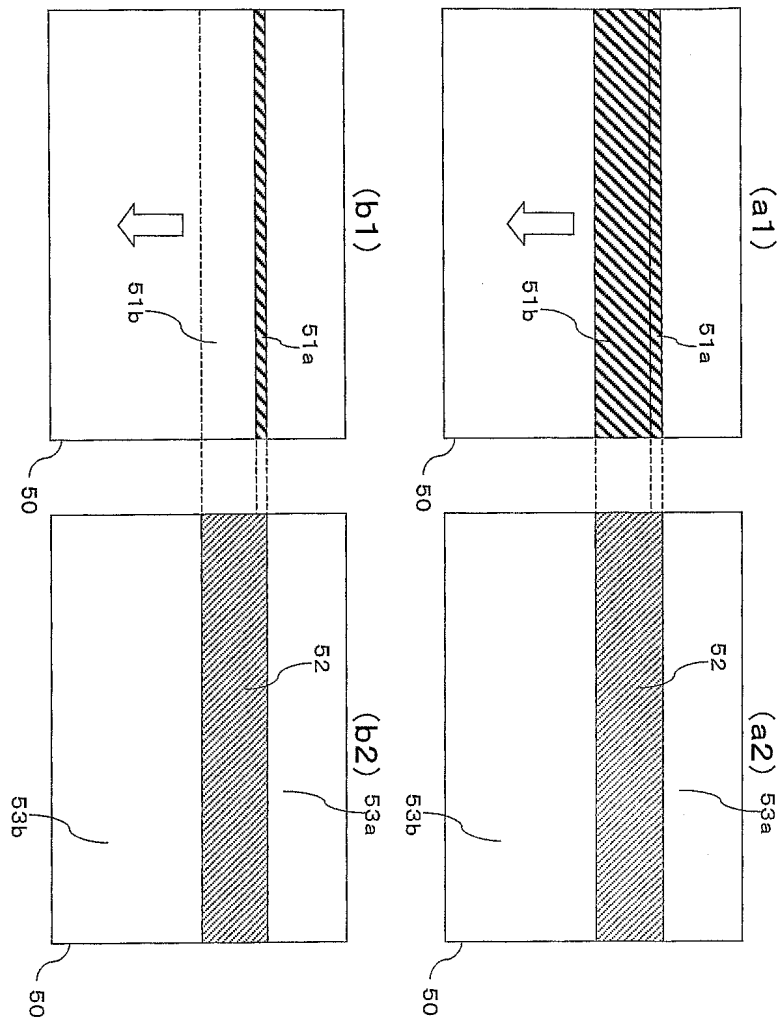
도면28



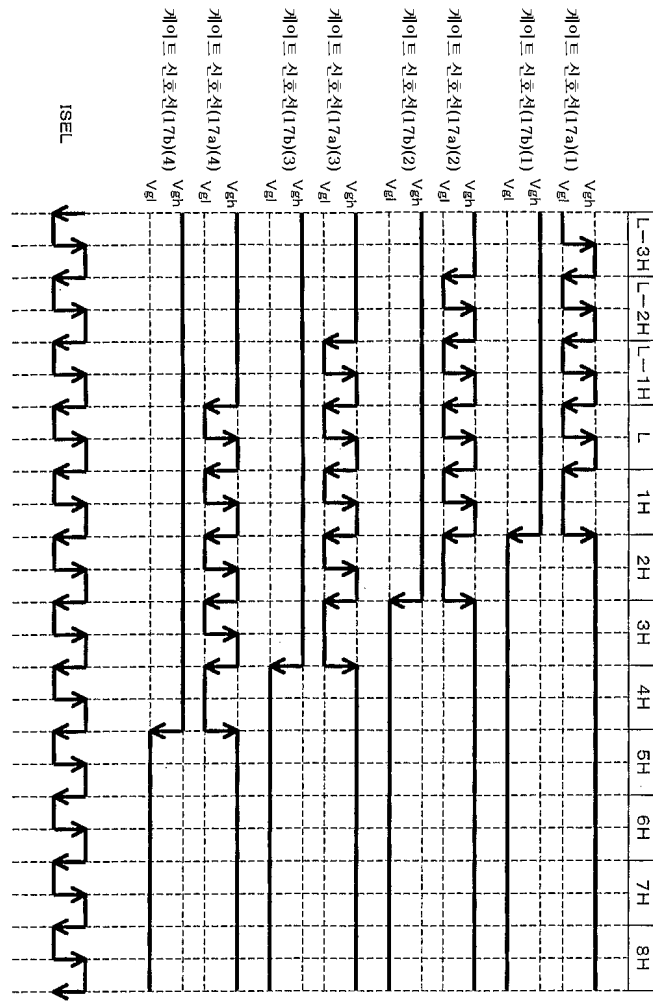
도면29



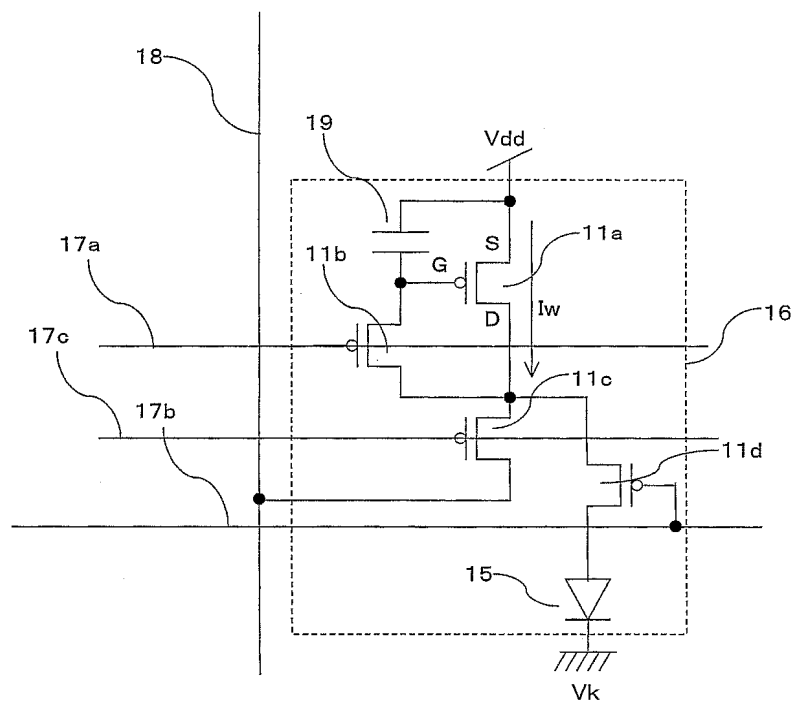
도면30



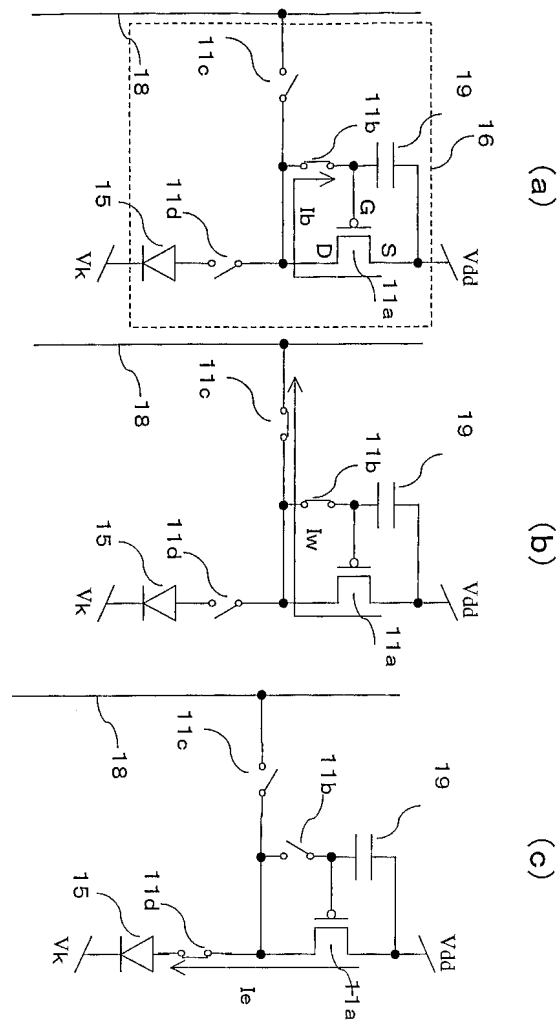
도면31



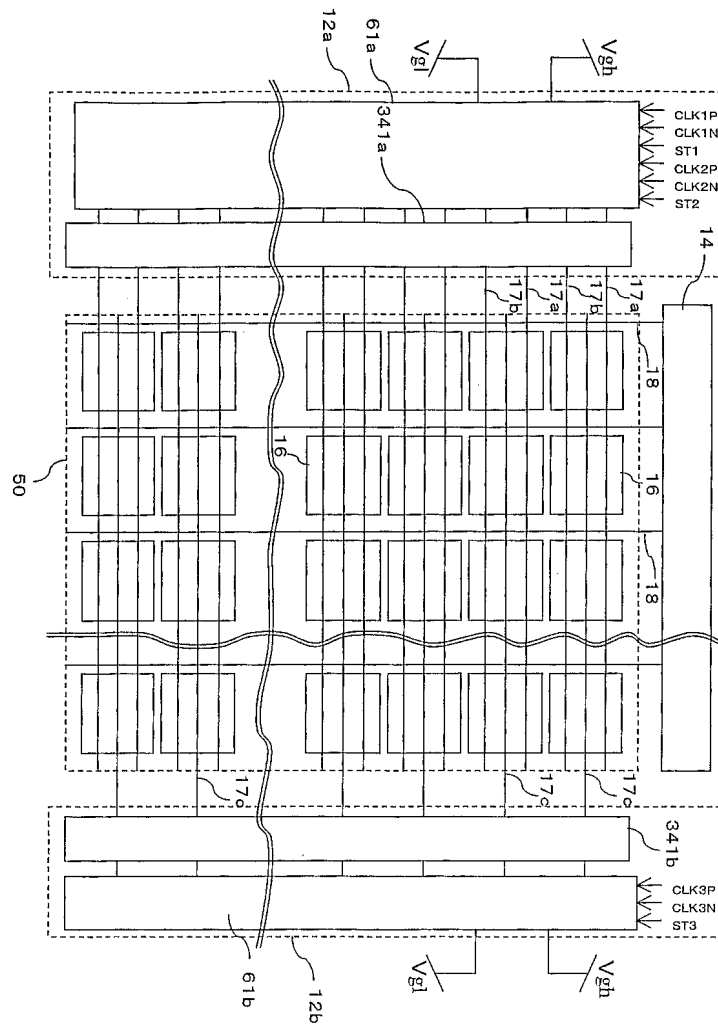
도면32



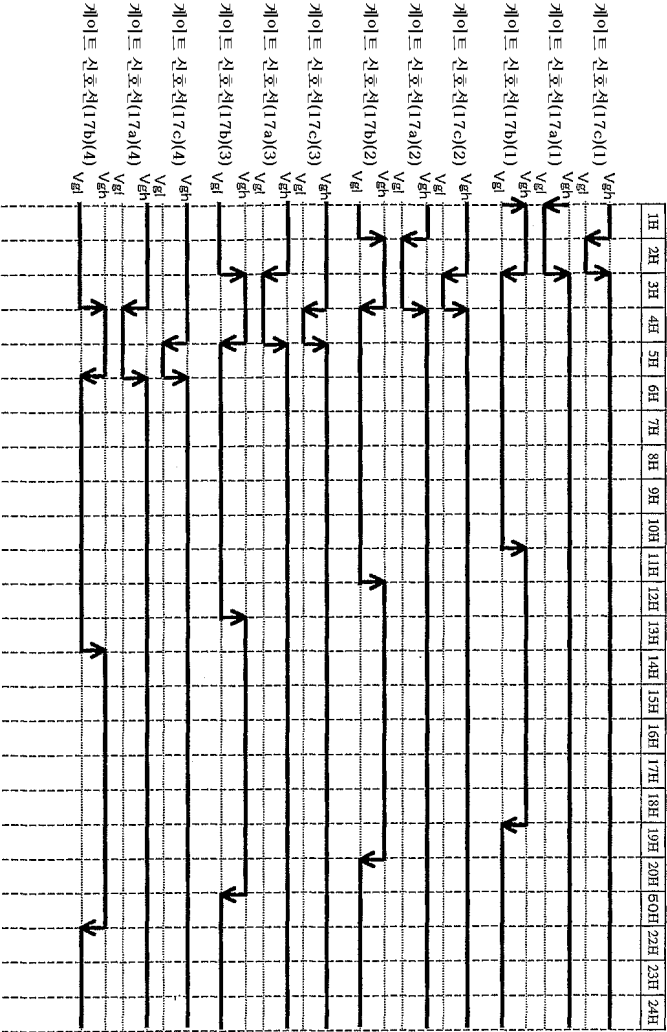
도면33



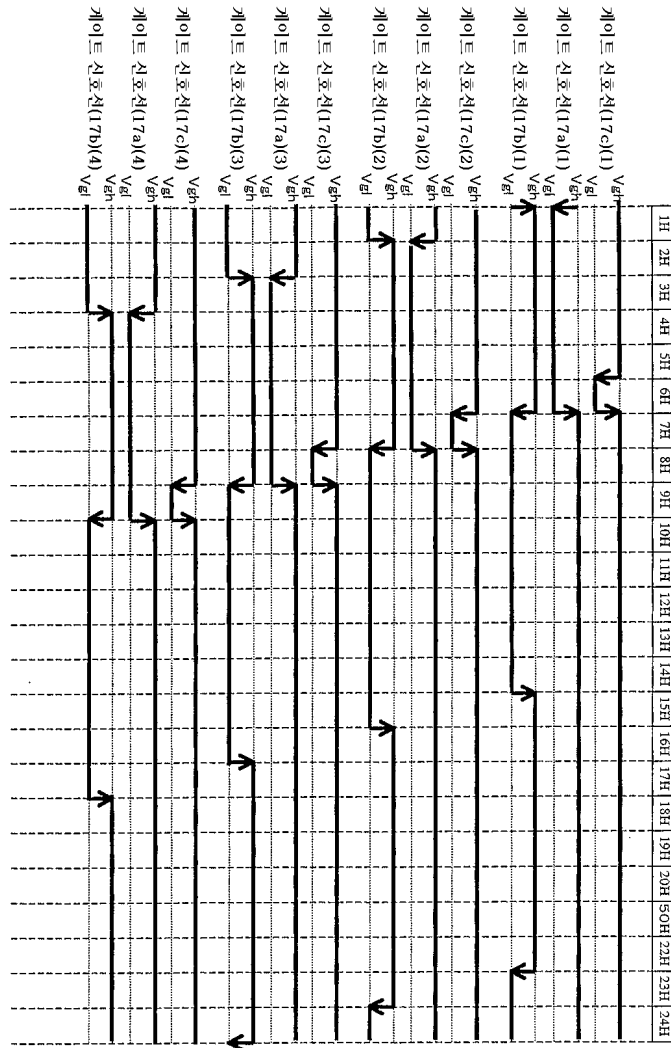
도면34



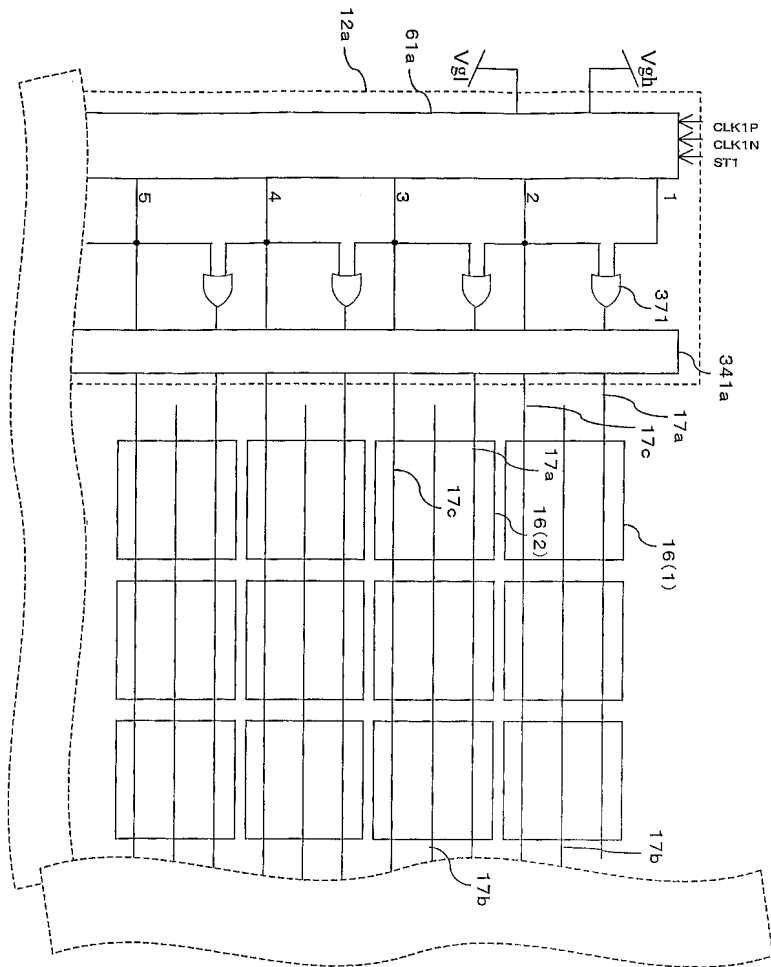
도면35



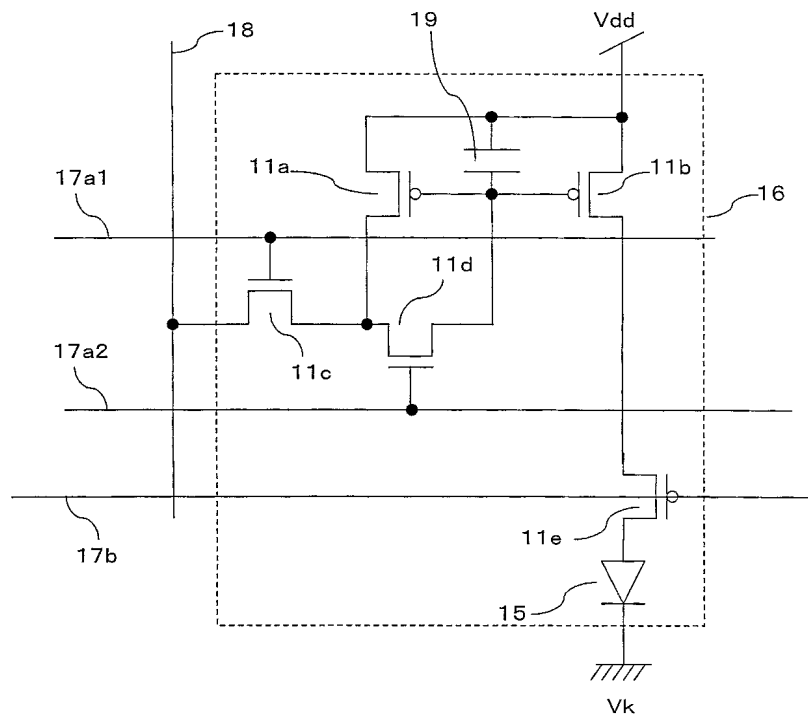
도면36



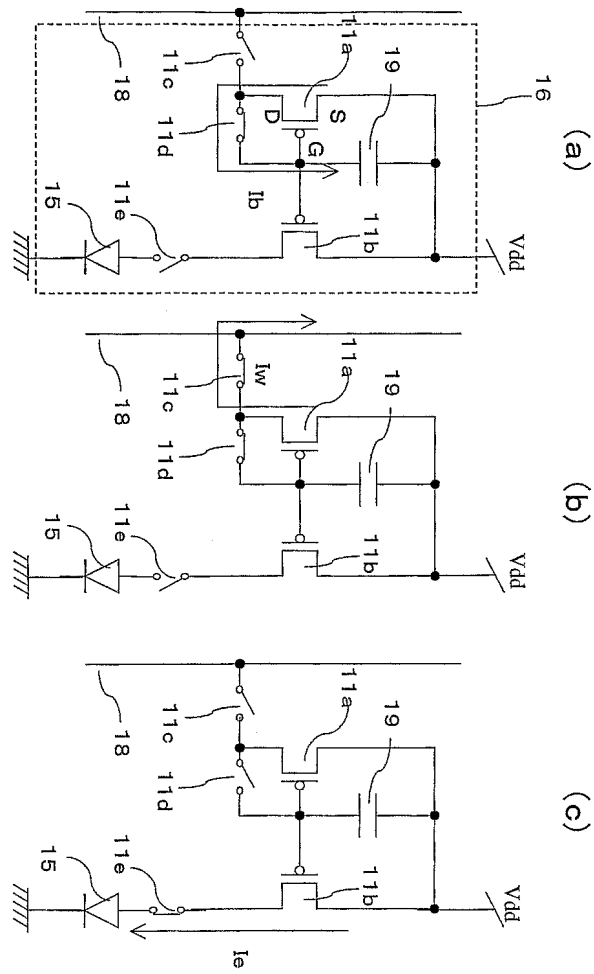
도면37



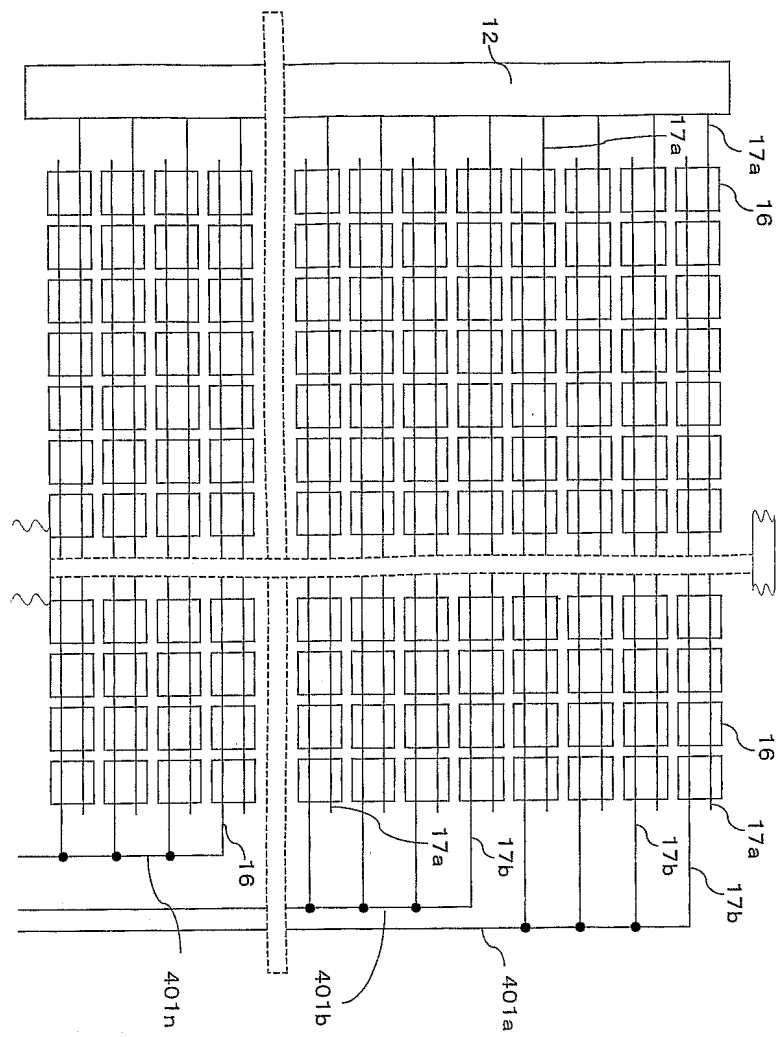
도면38



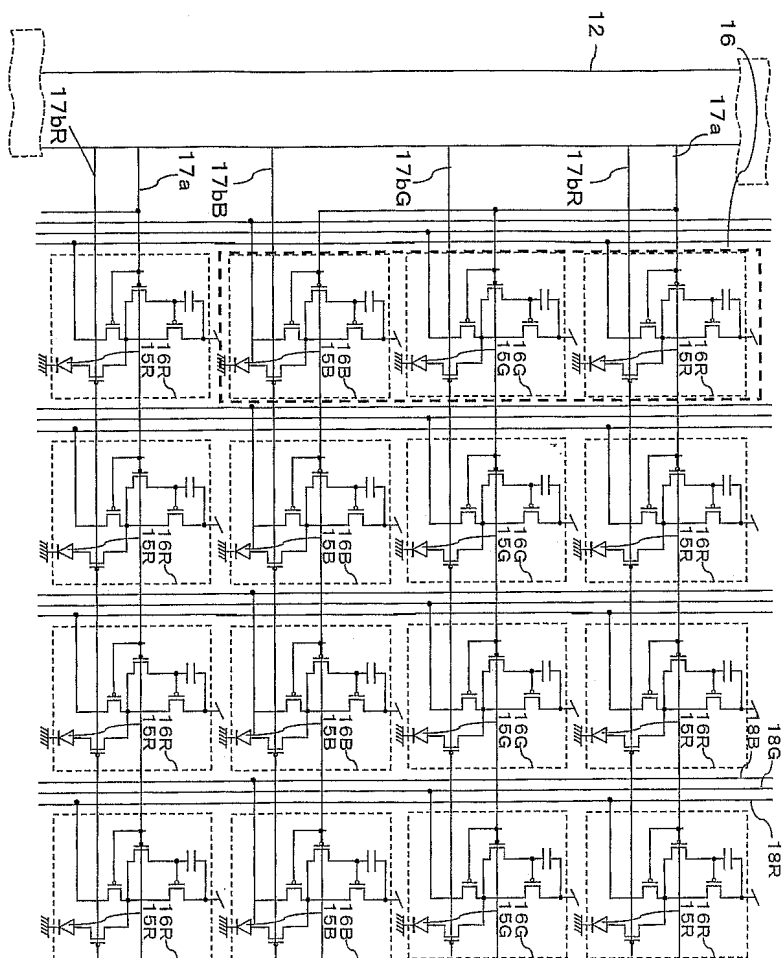
도면39



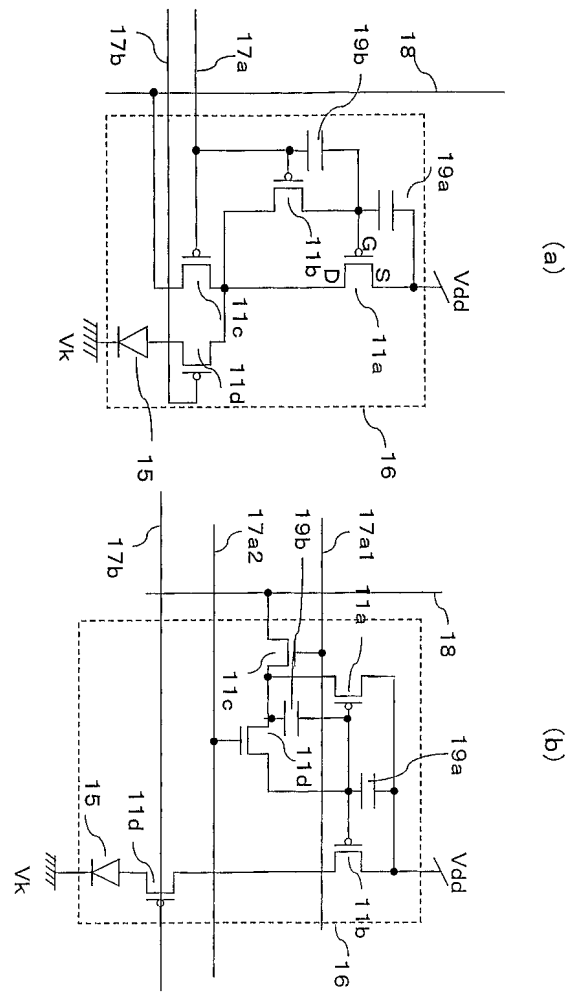
도면40



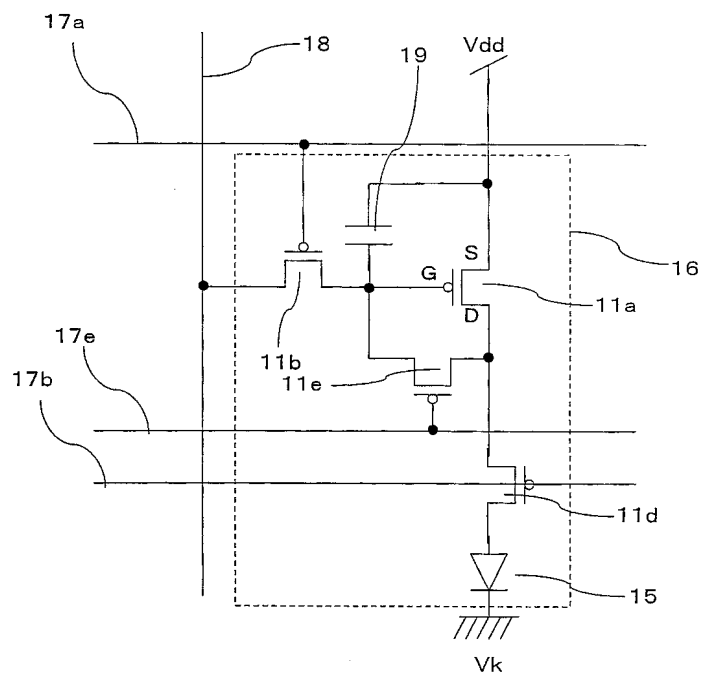
도면41



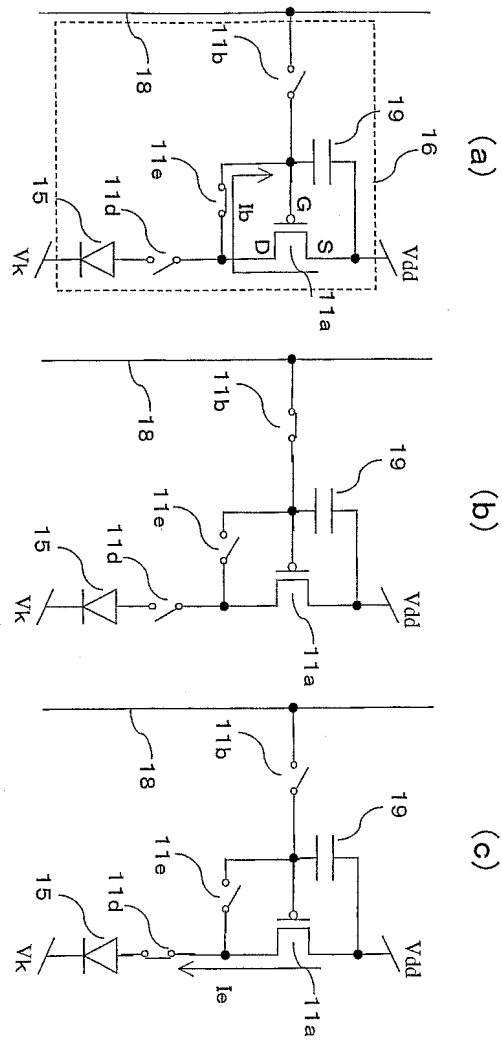
도면42



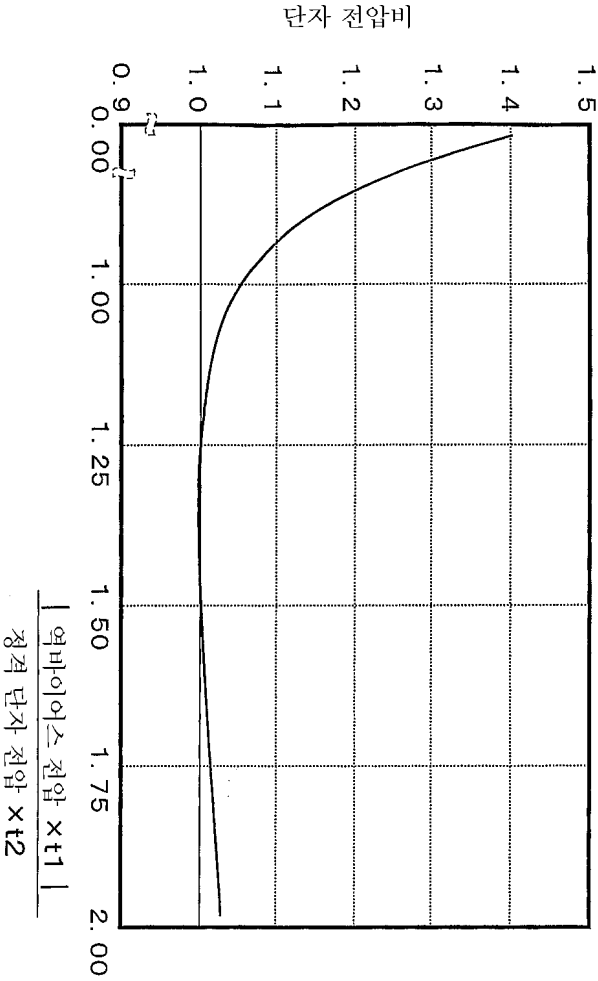
도면43



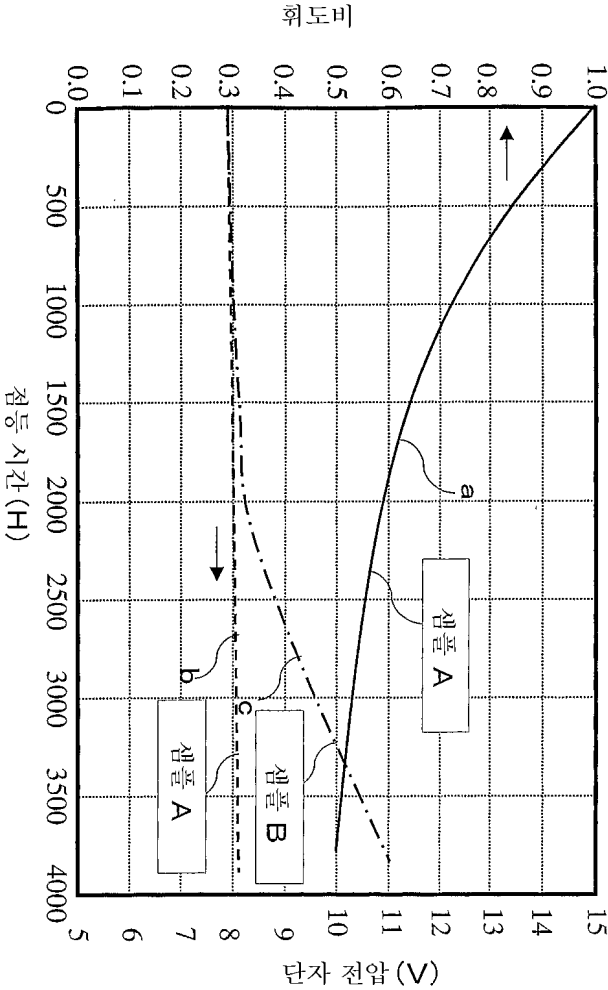
도면44



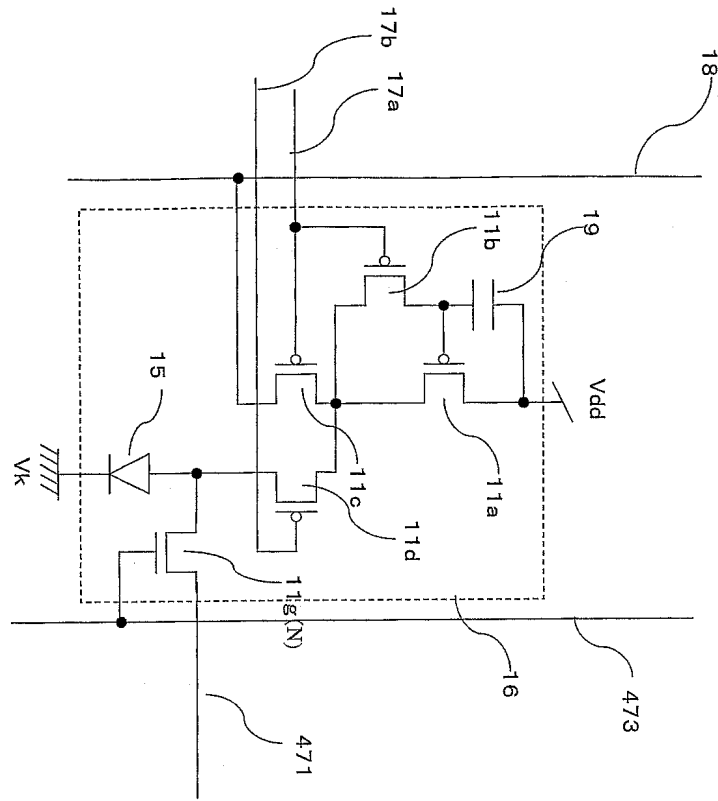
도면45



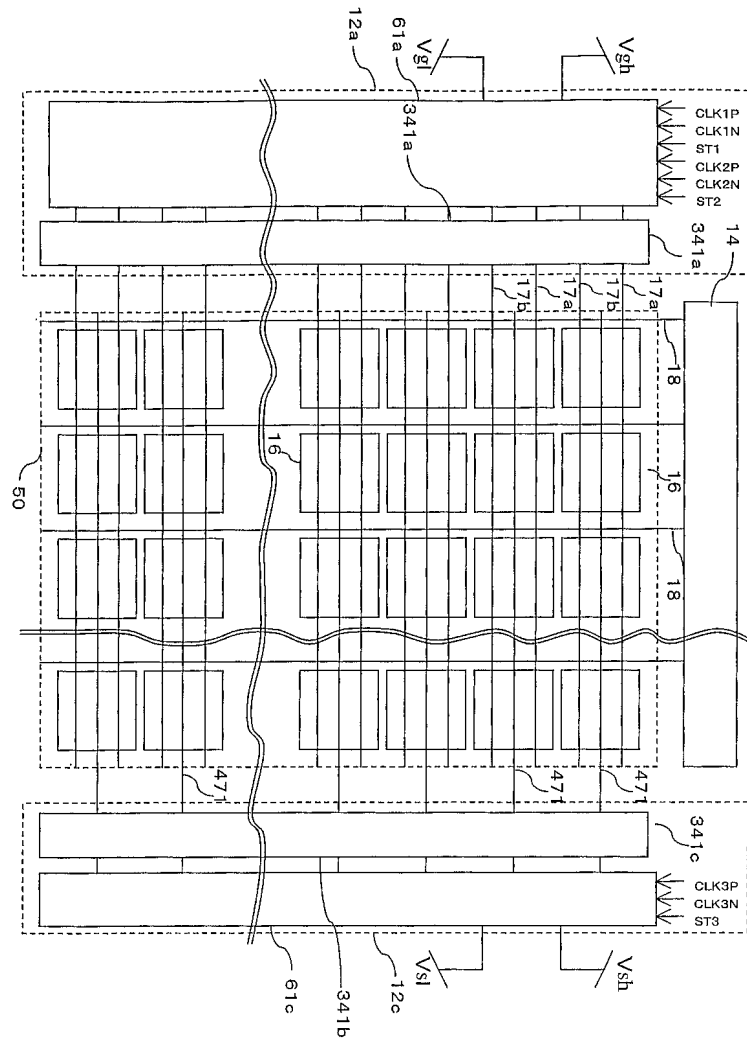
도면46



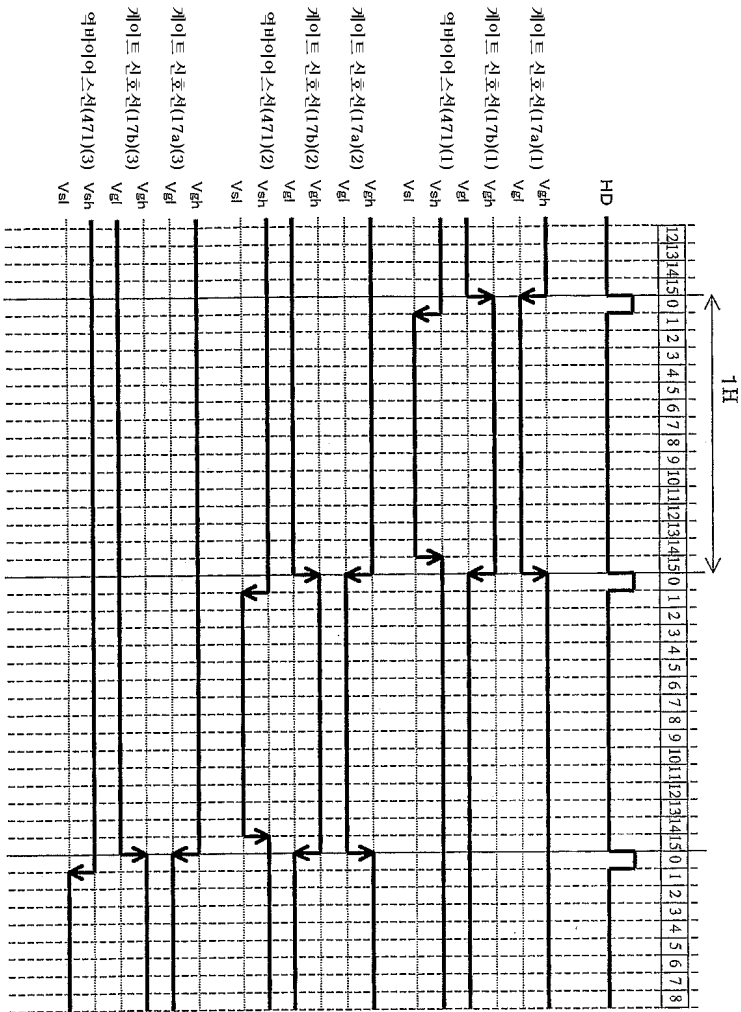
도면47



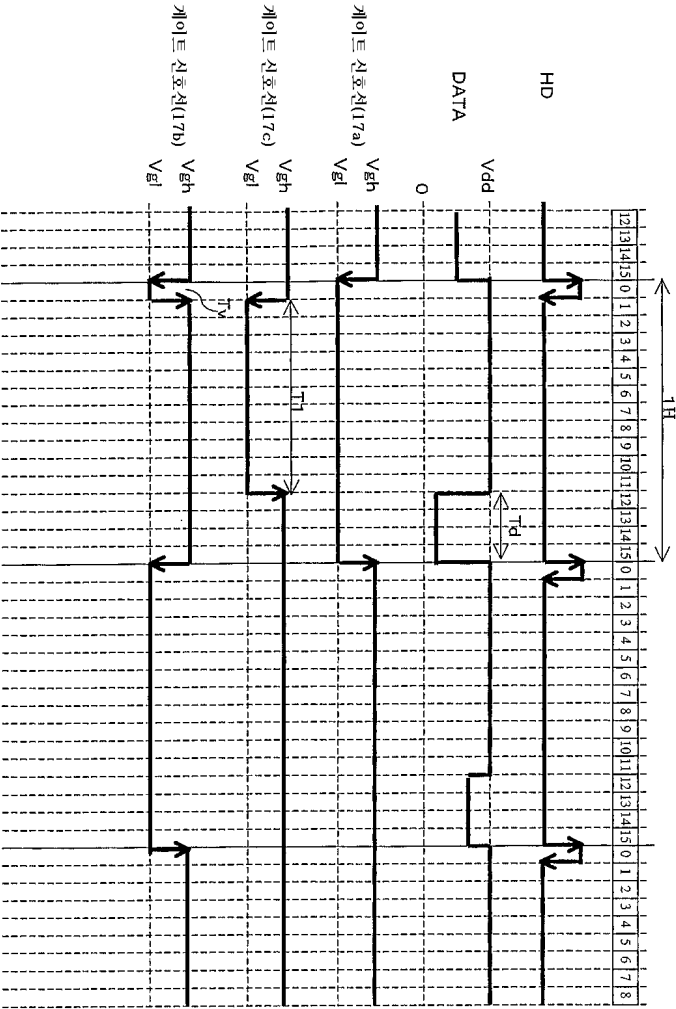
도면48



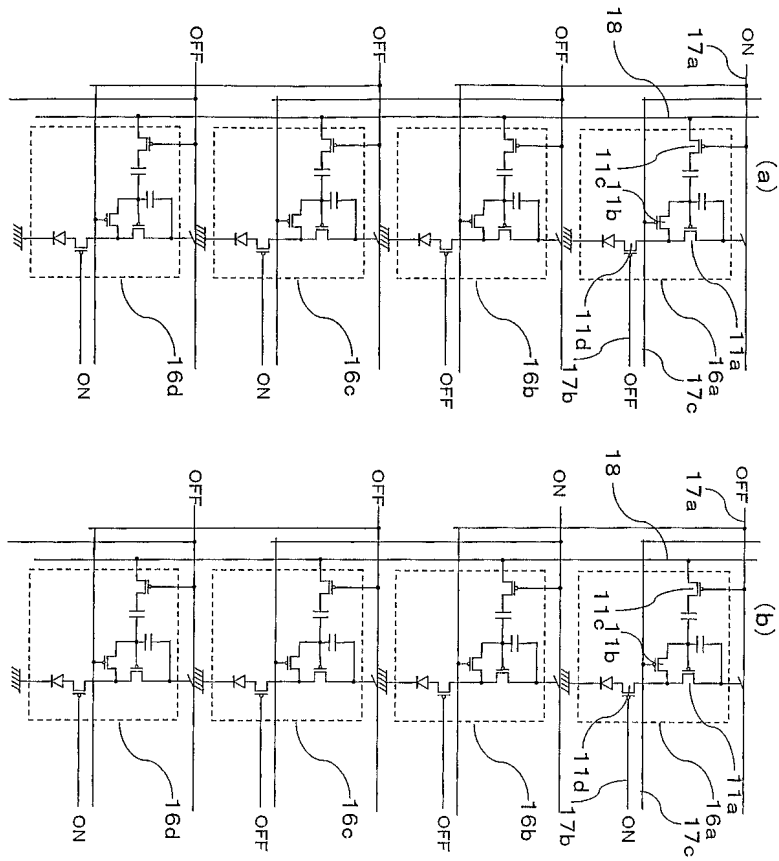
도면49



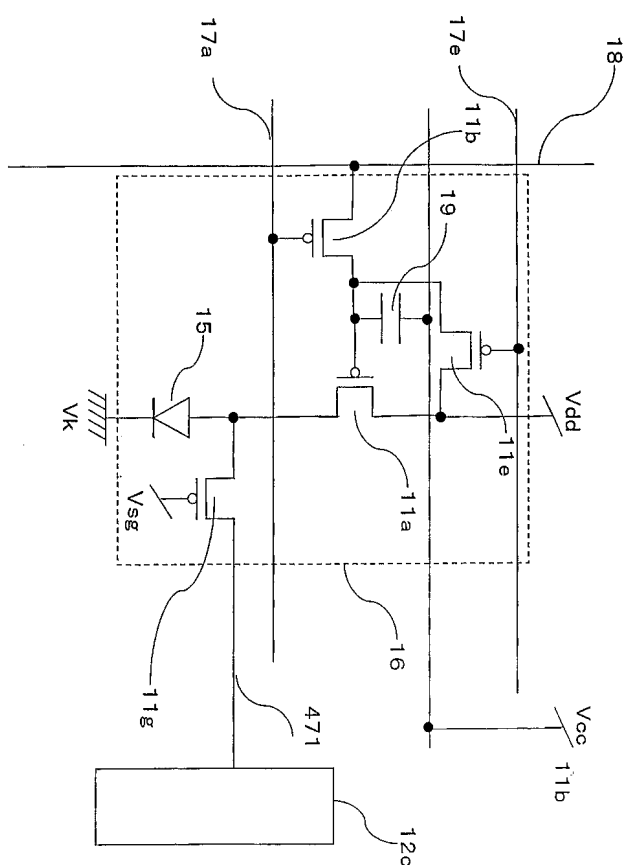
도면52



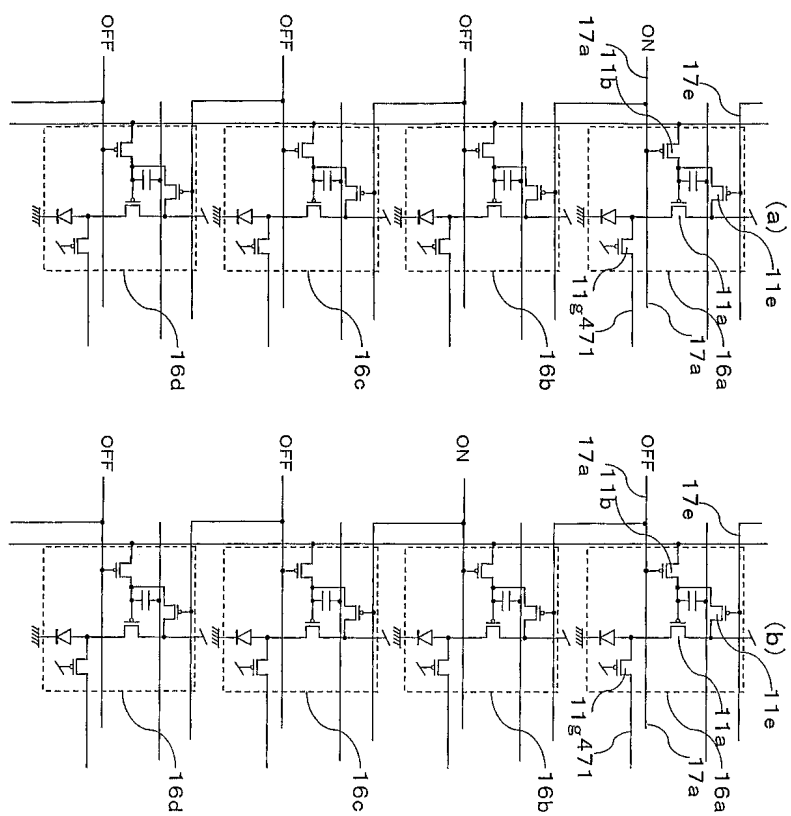
도면53



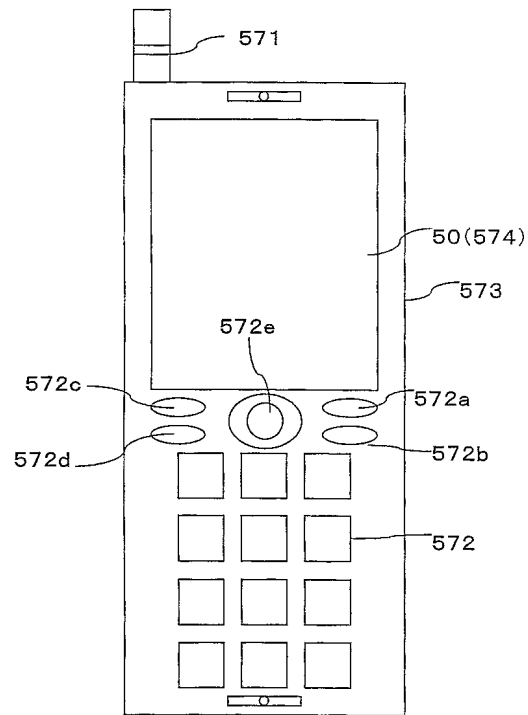
도면54



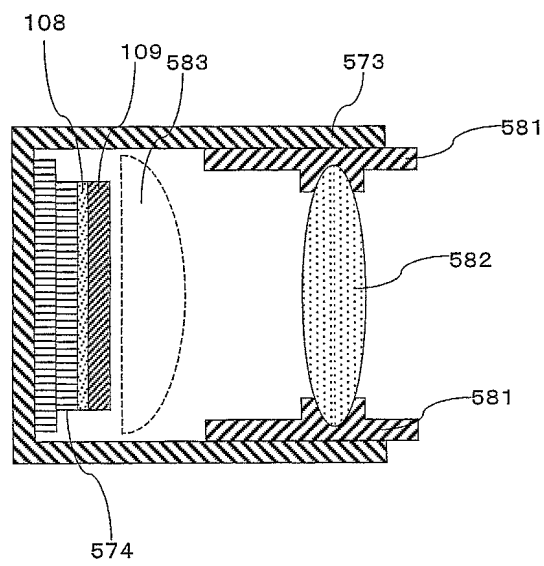
도면55



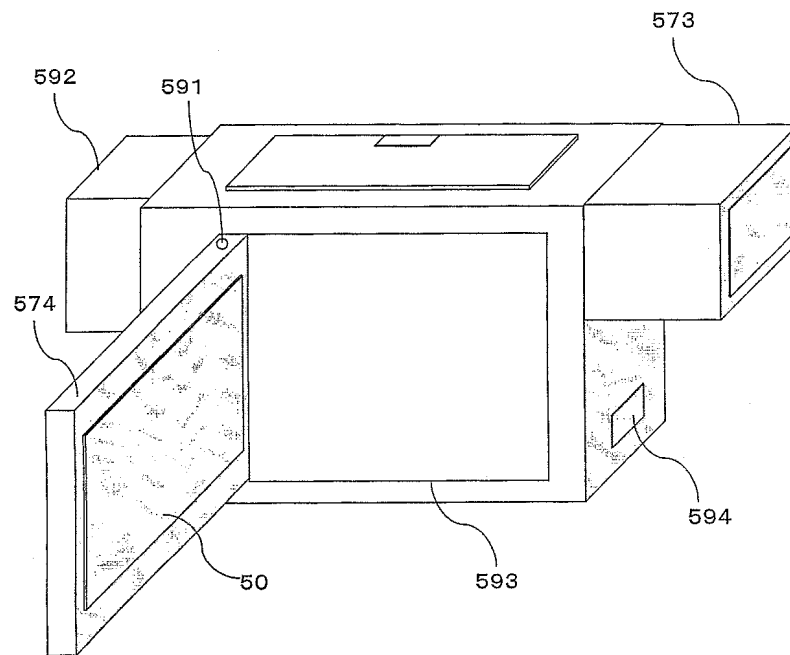
도면57



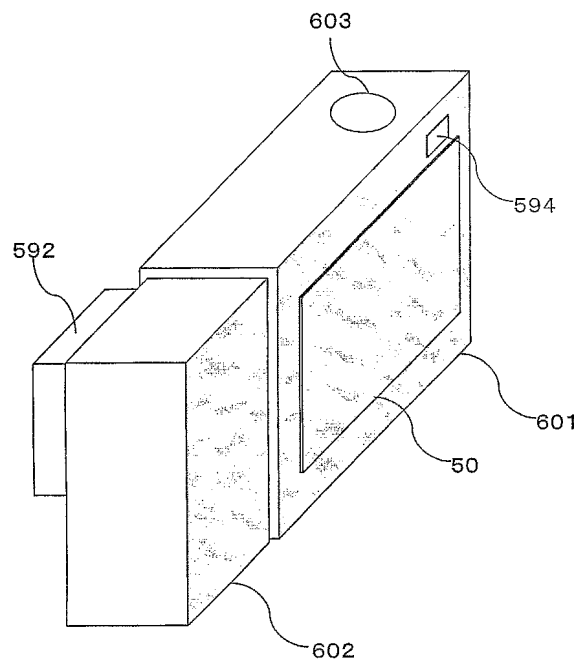
도면58



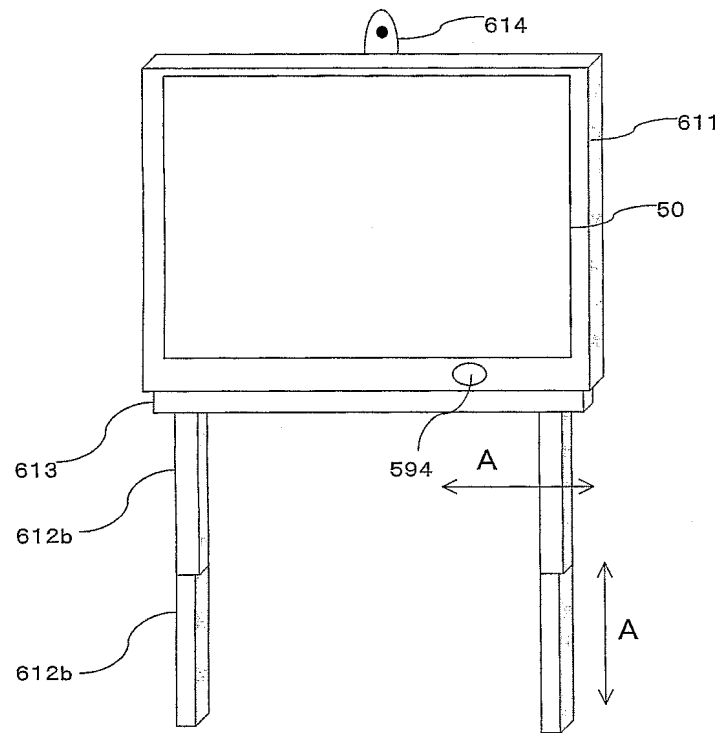
도면59



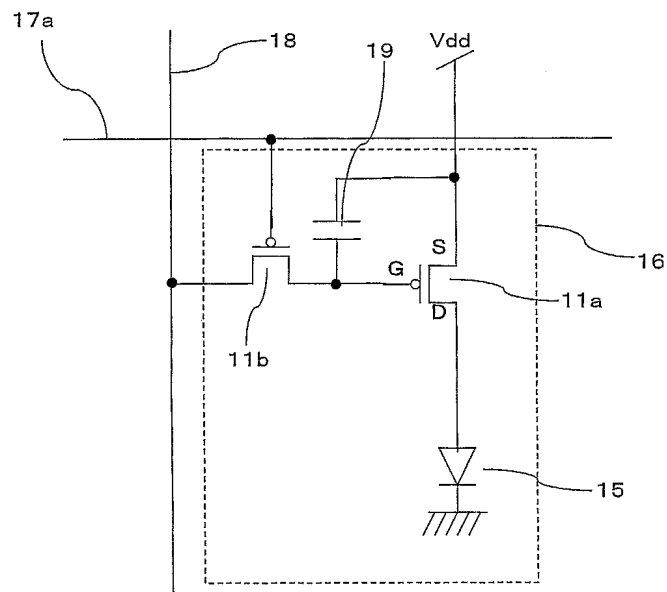
도면60



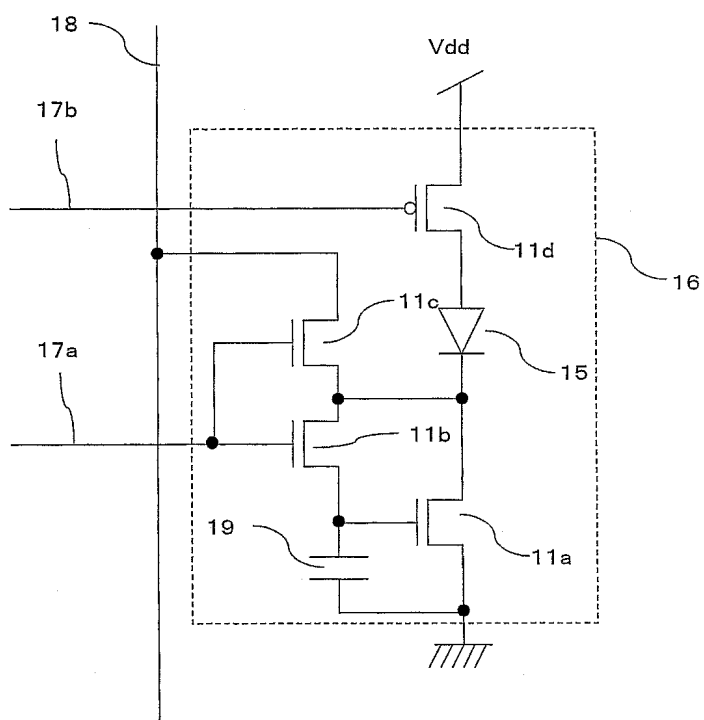
도면61



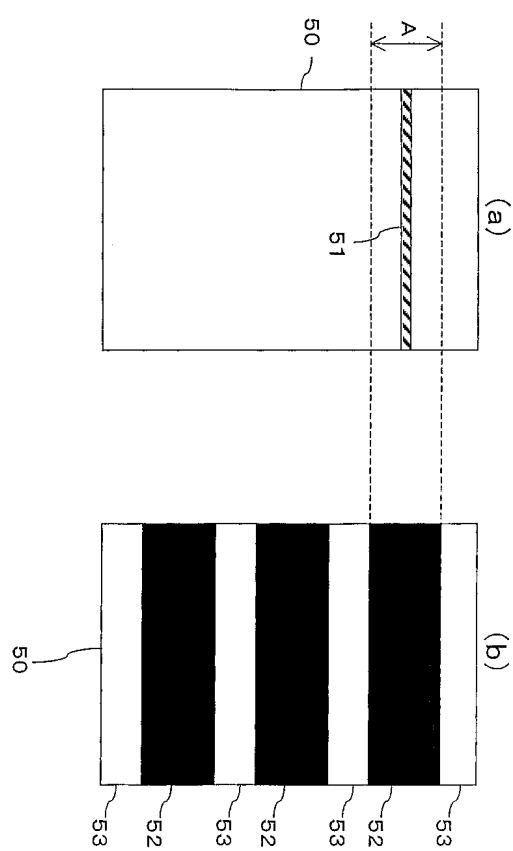
도면62



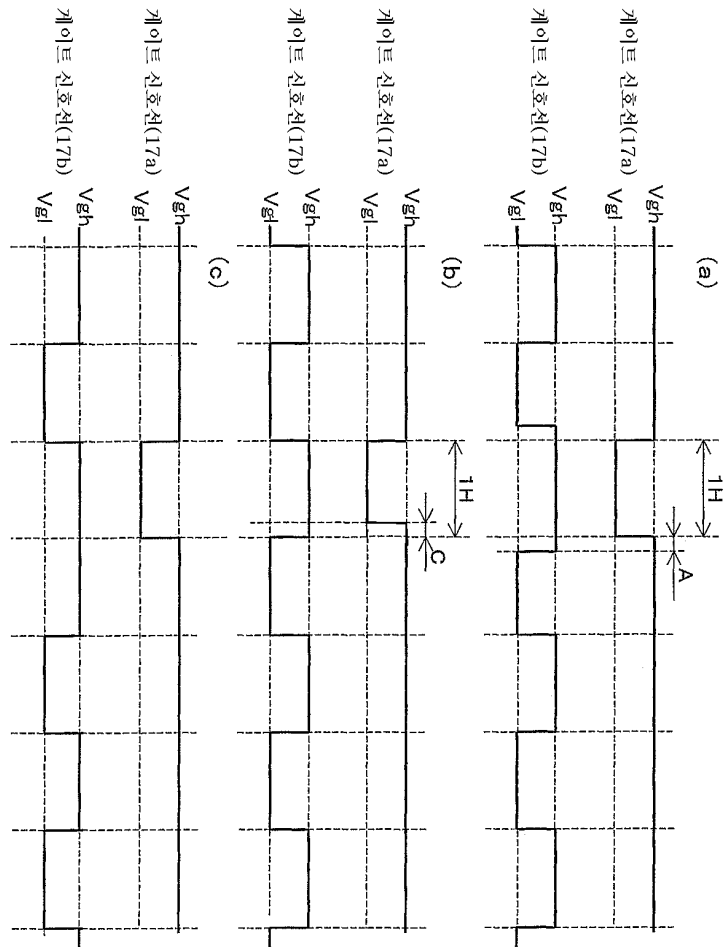
도면65



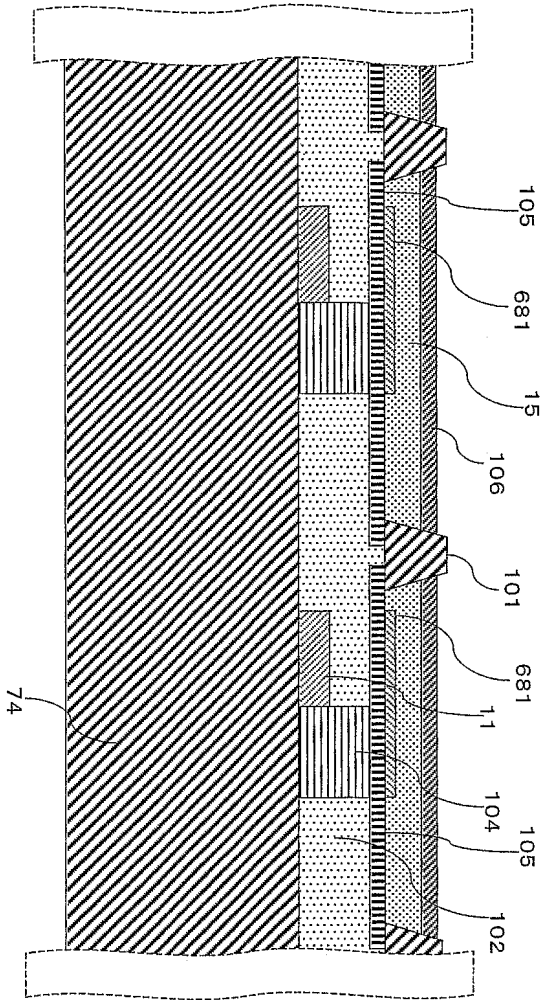
도면66



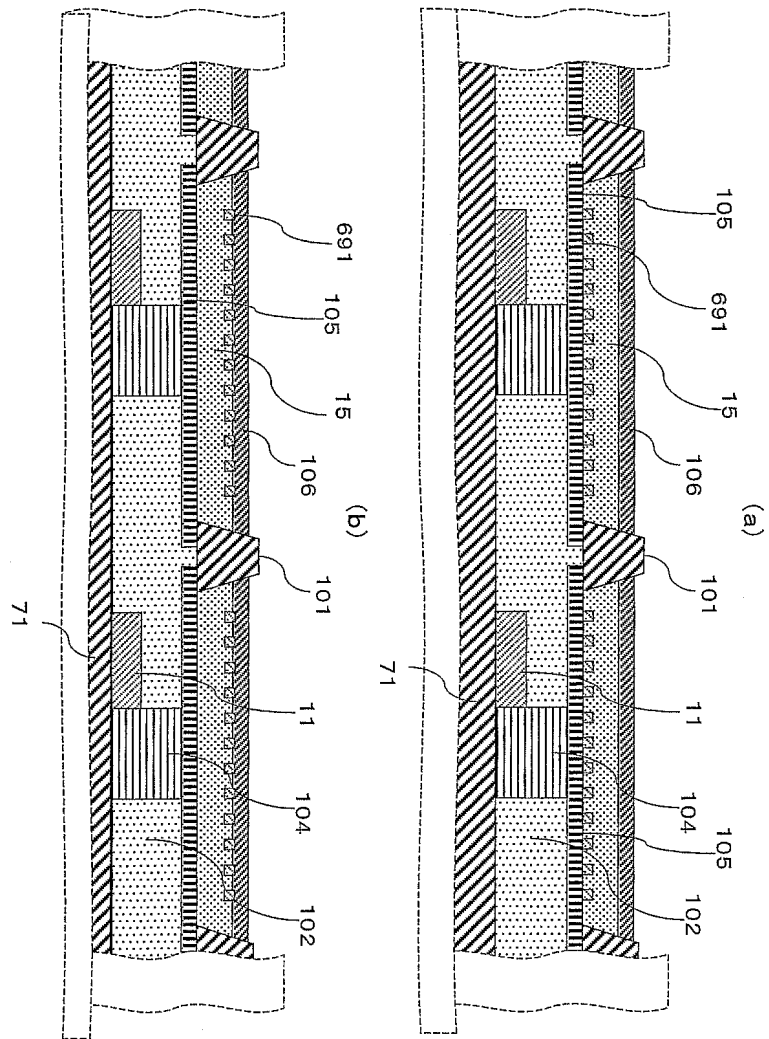
도면67



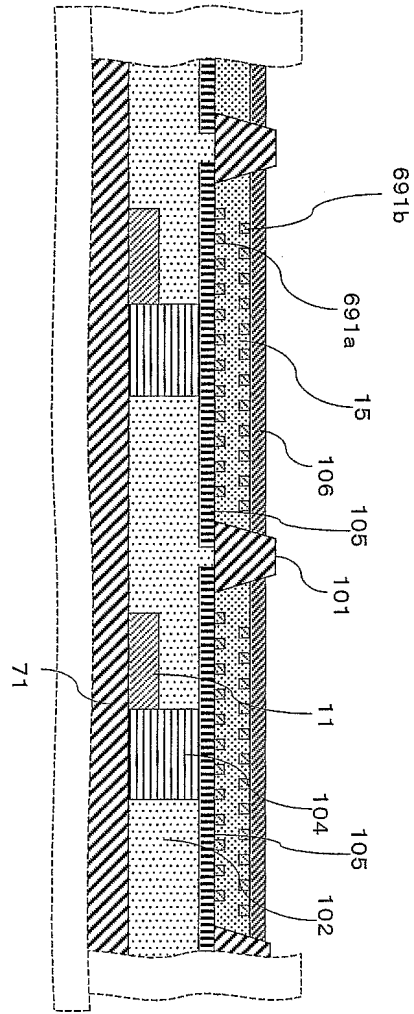
도면68



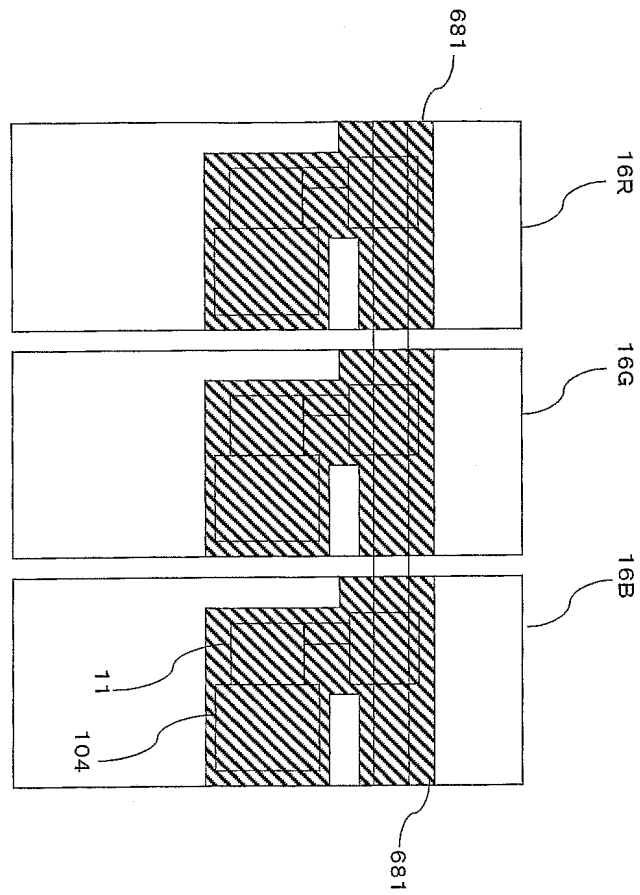
도면69



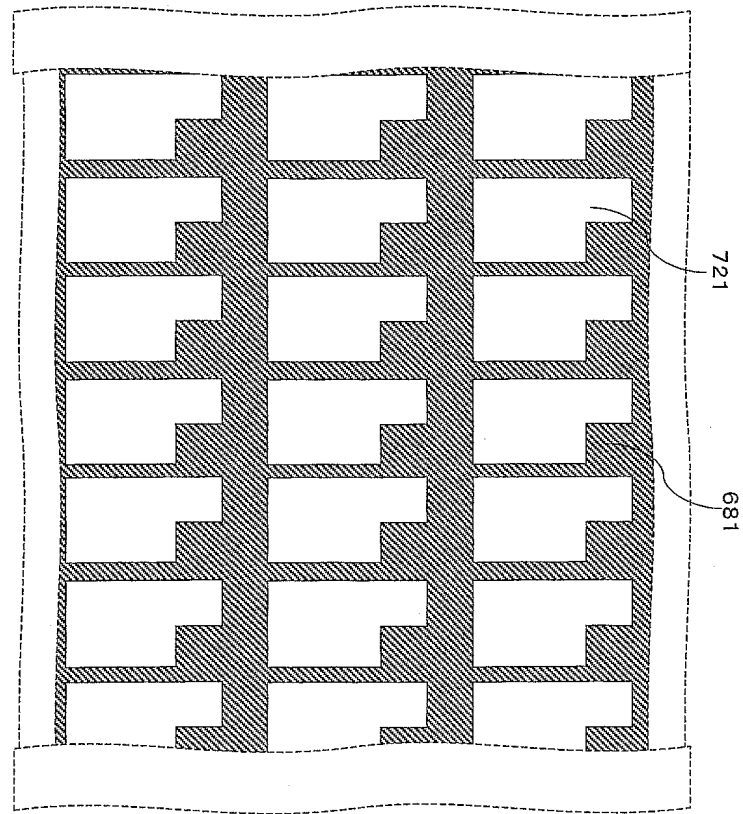
도면70



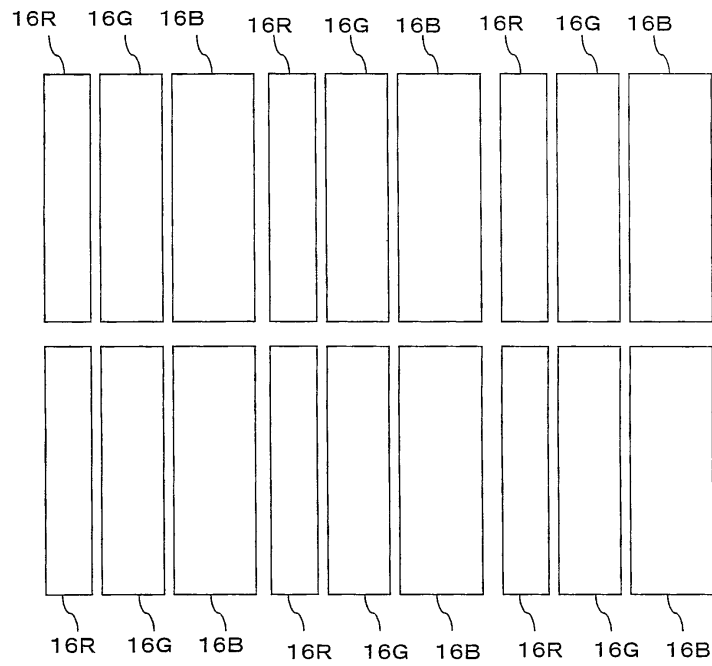
도면71



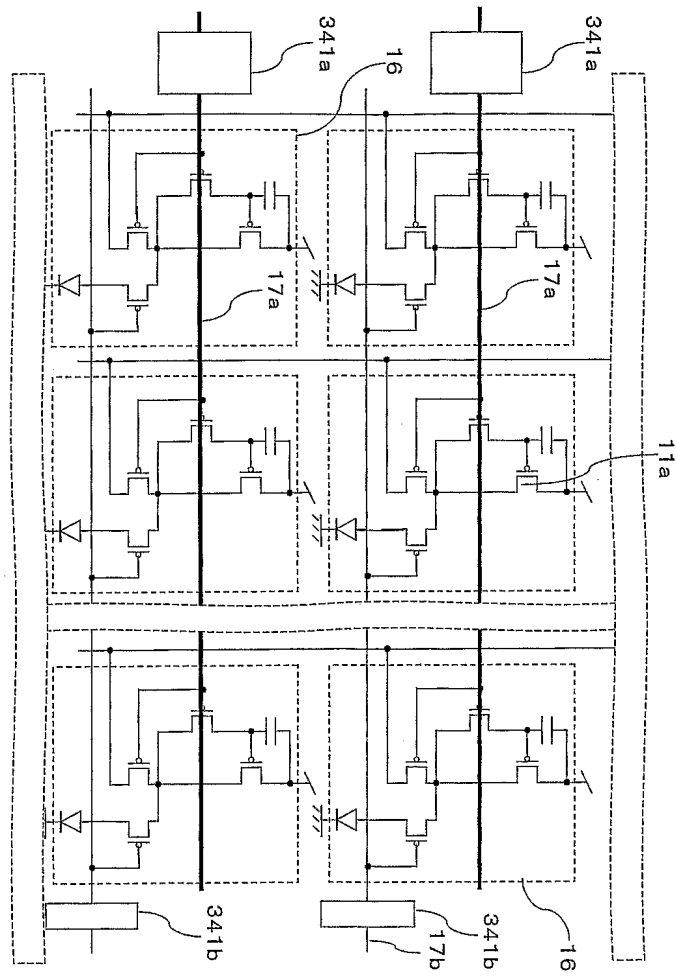
도면72



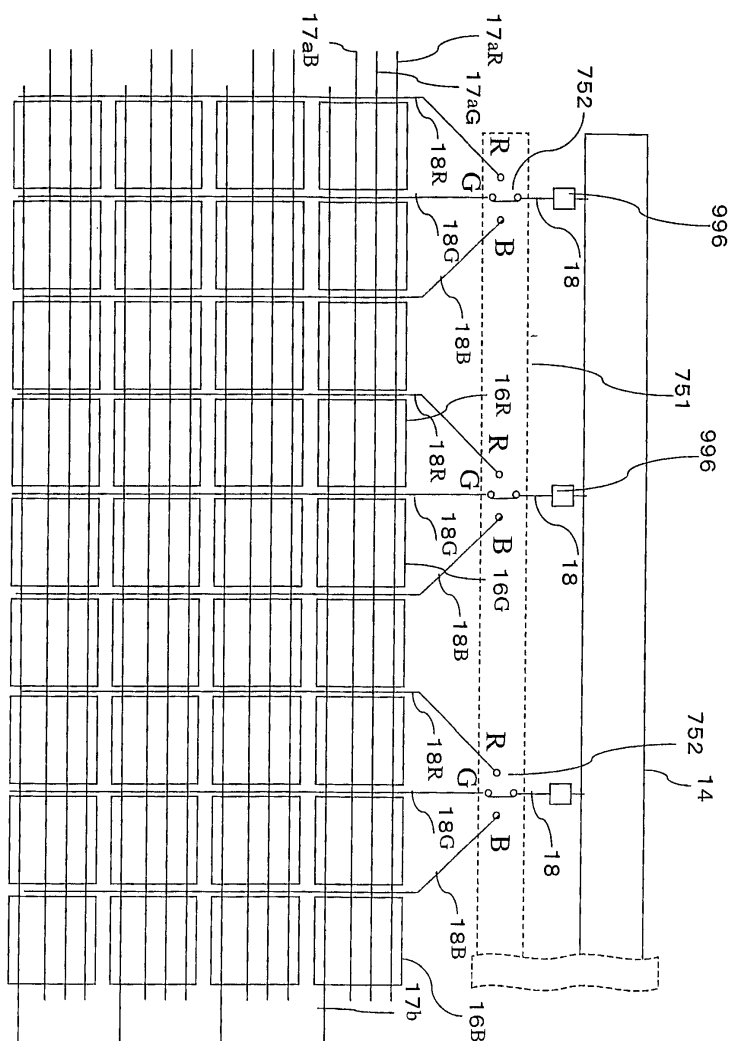
도면73



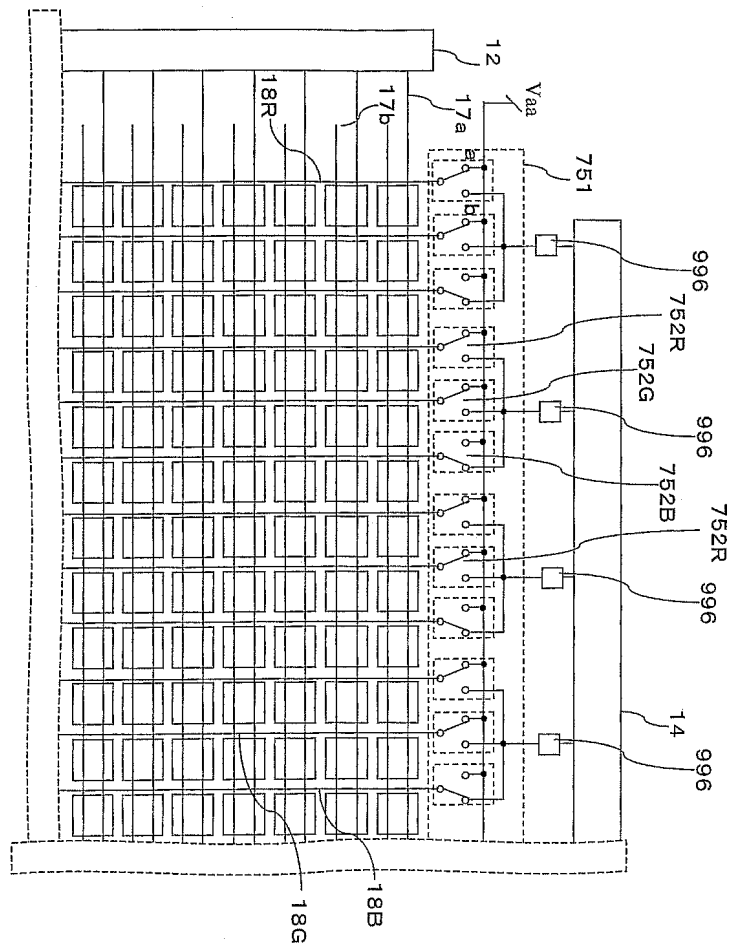
도면74



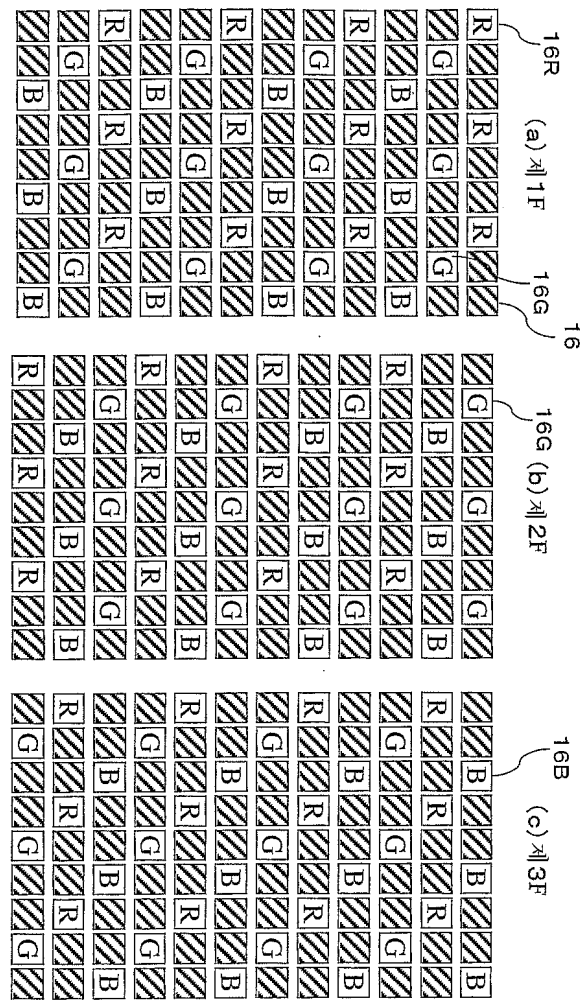
도면75



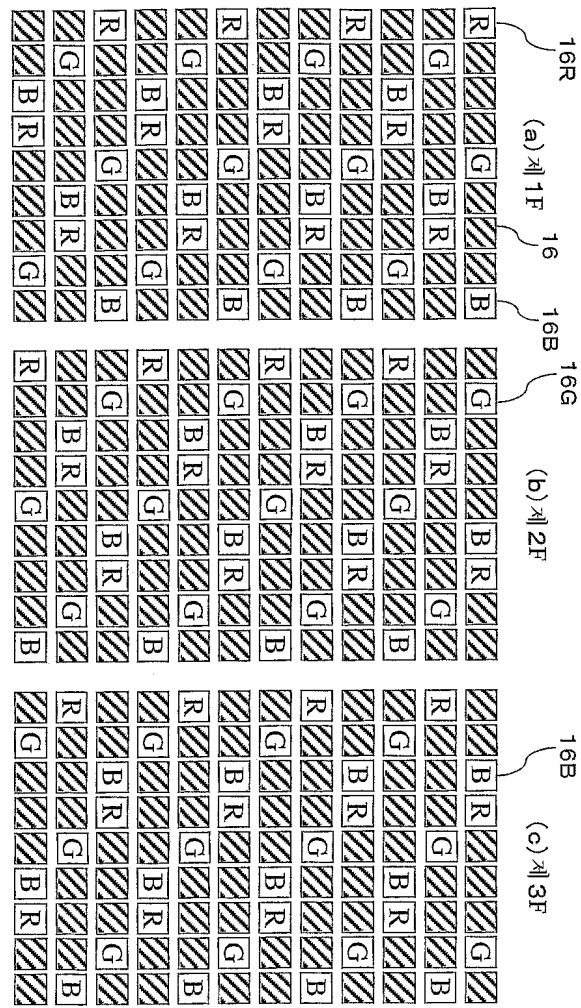
도면76



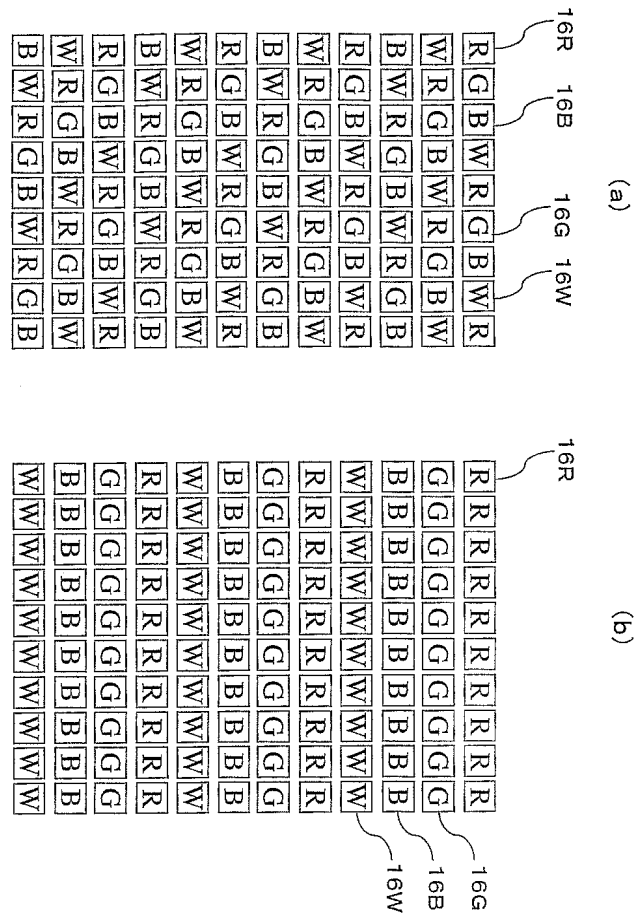
도면77



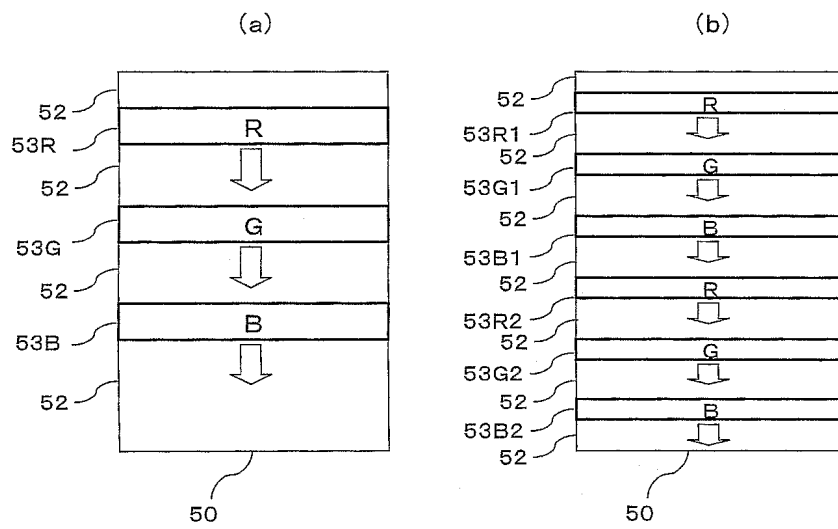
도면78



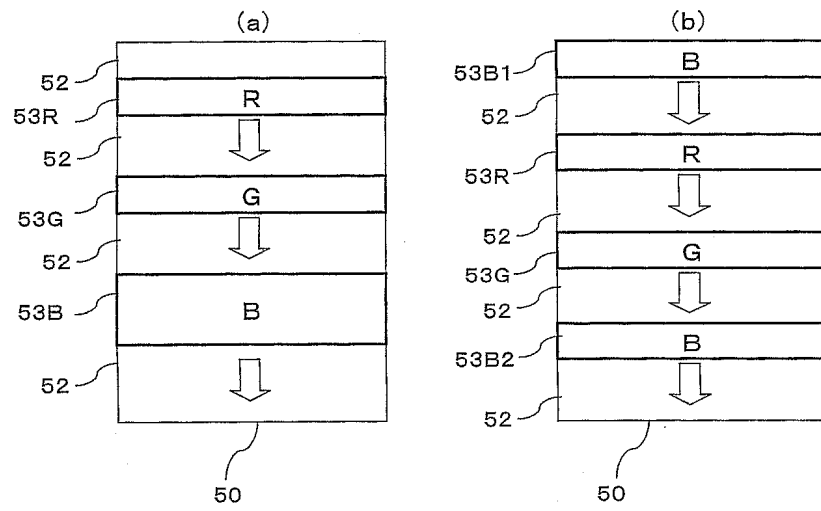
도면79



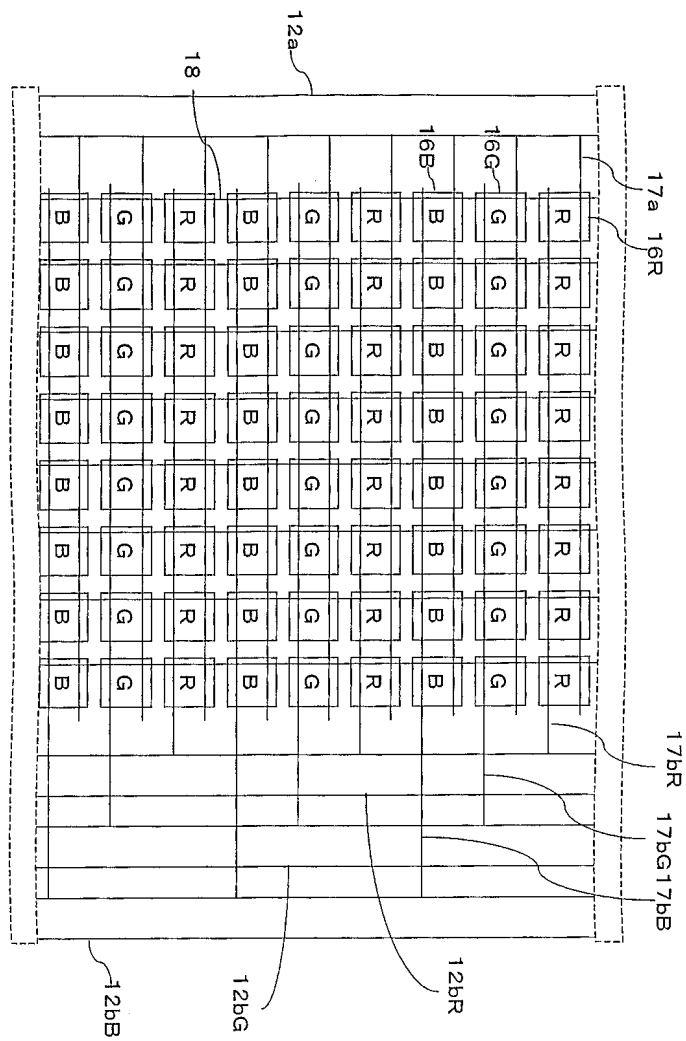
도면80



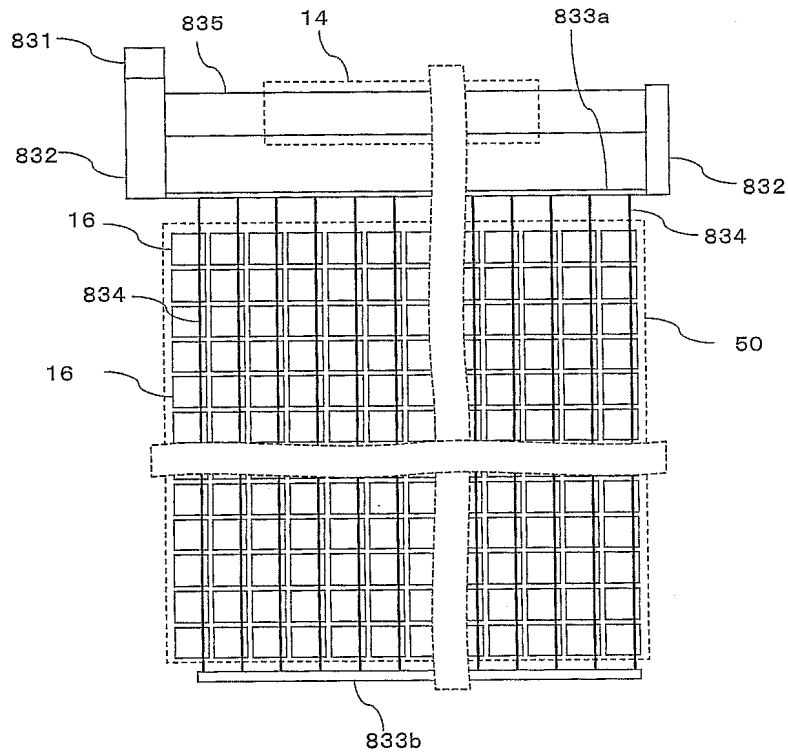
도면81



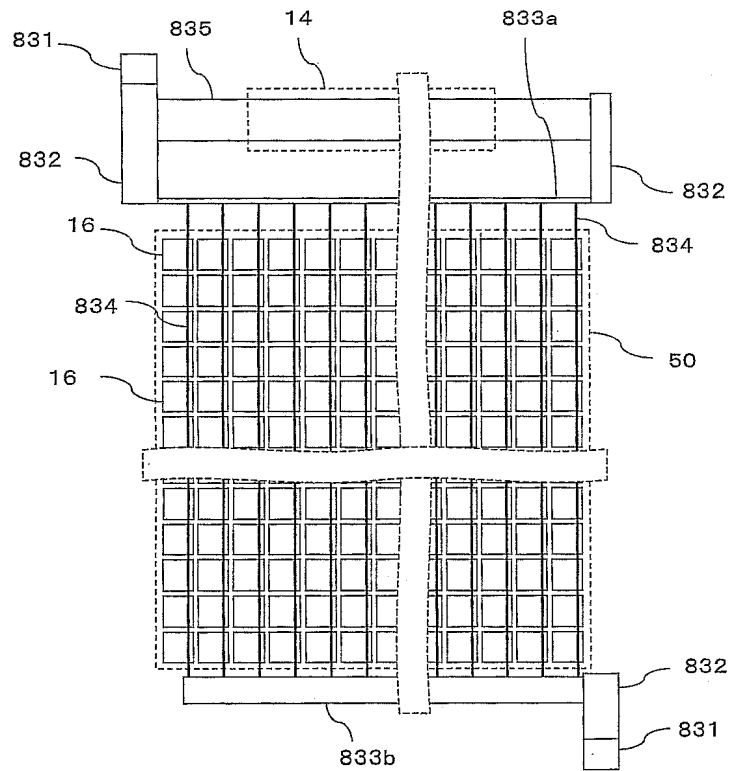
도면82



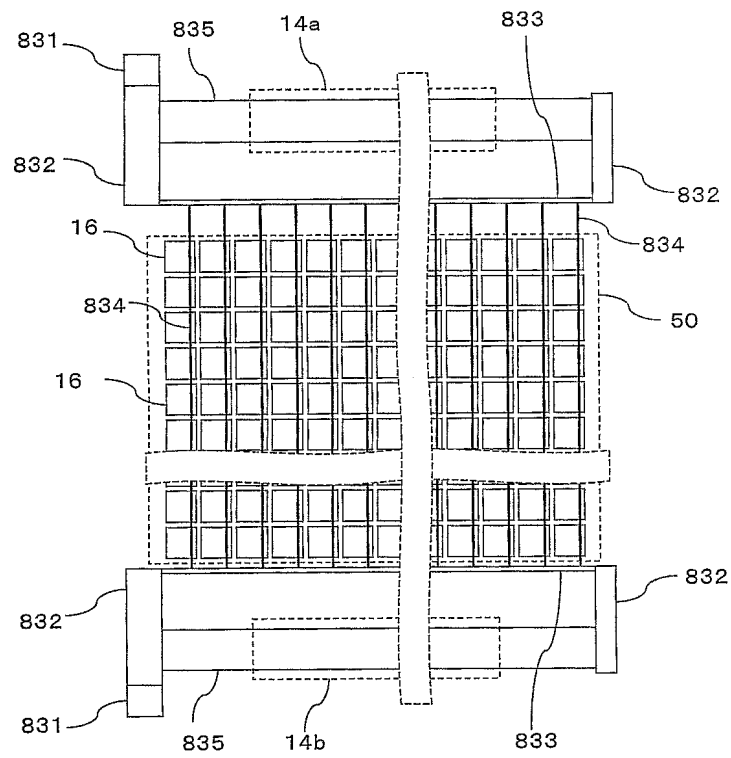
도면83



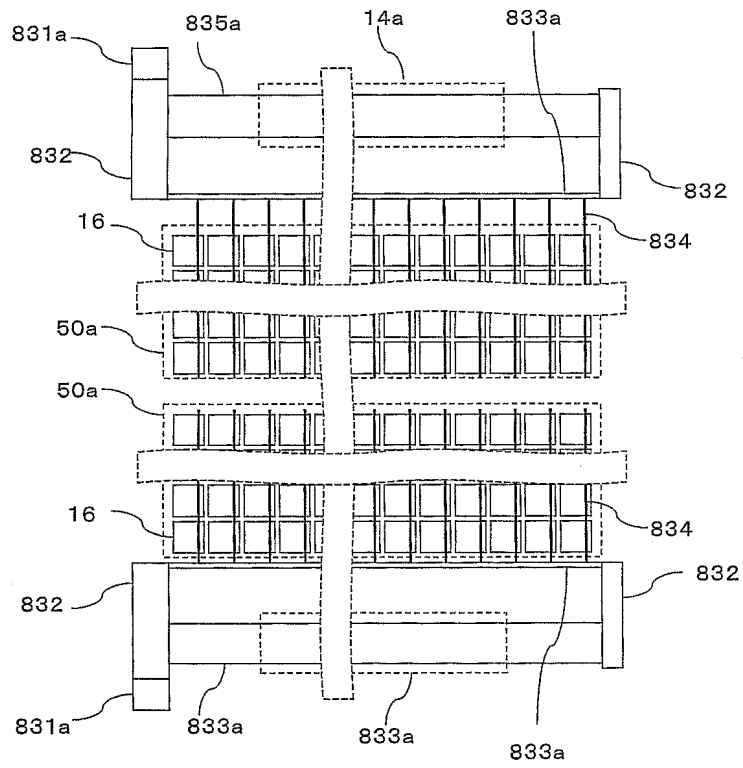
도면84



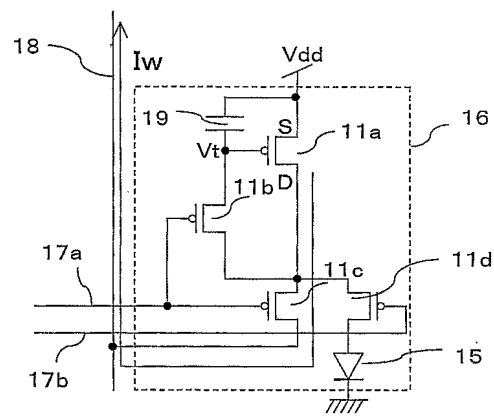
도면85



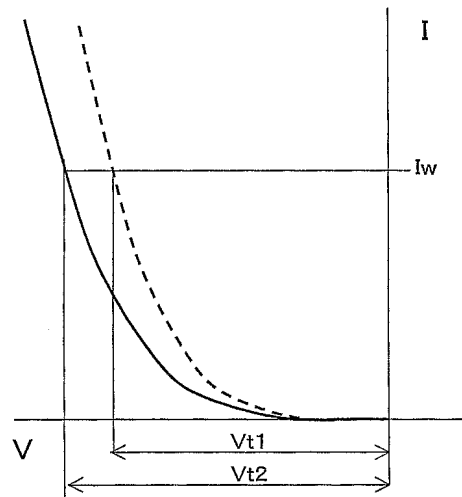
도면86



도면87

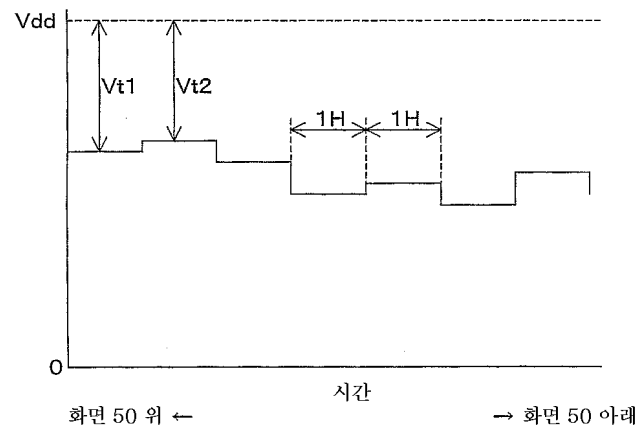


도면88

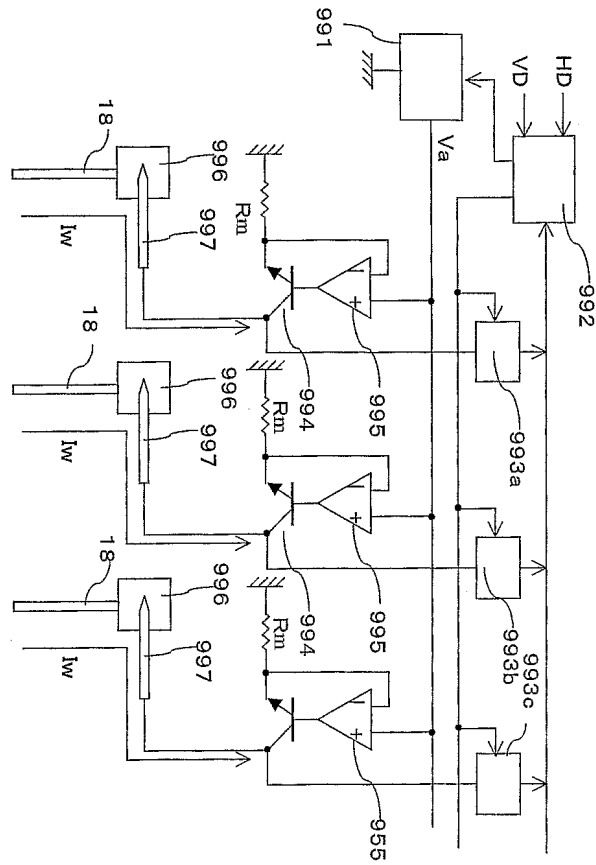


도면89

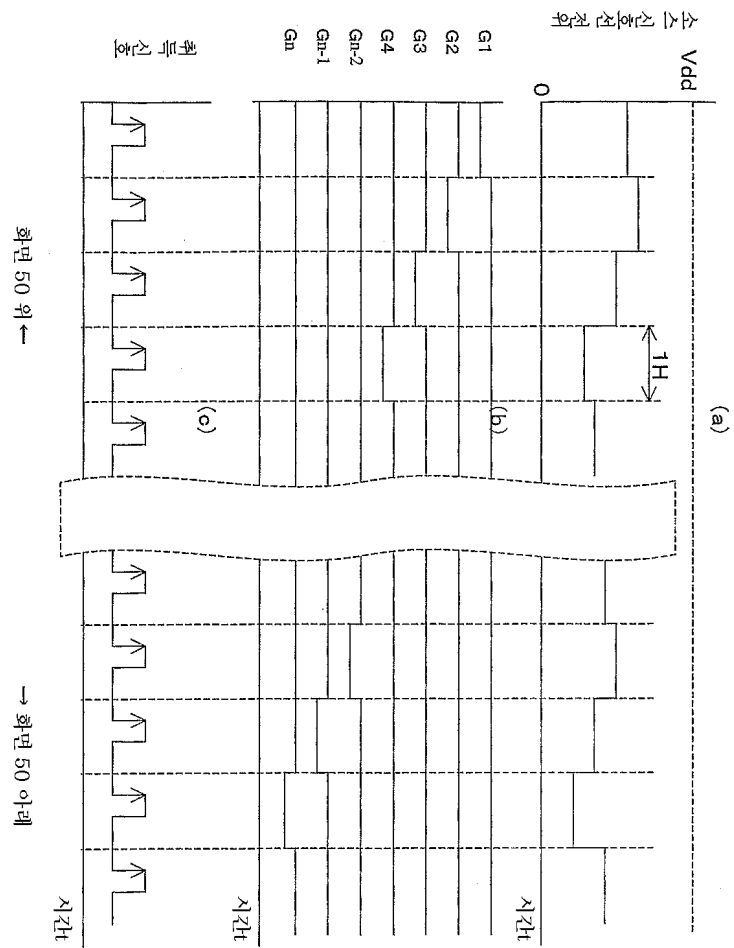
전류 I_w를 인가할 때의 소스 신호선 전위



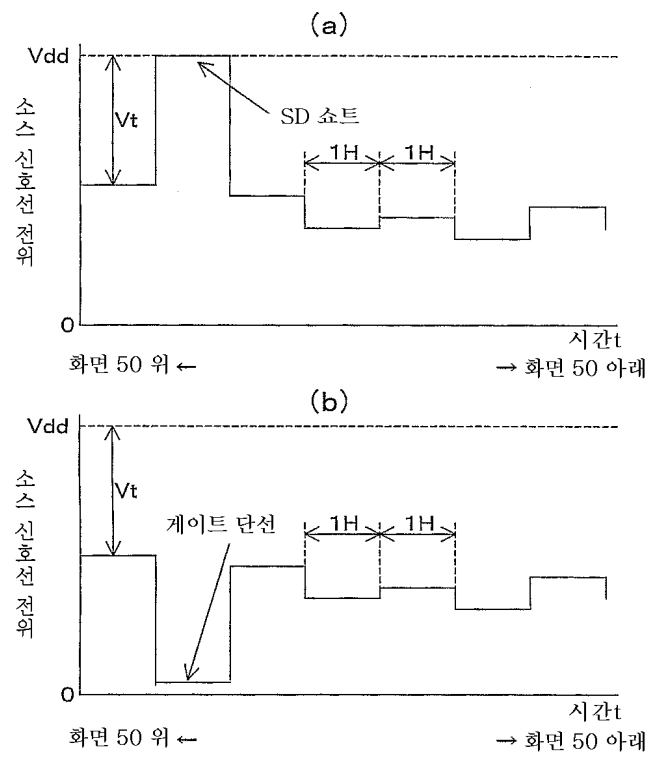
도면90



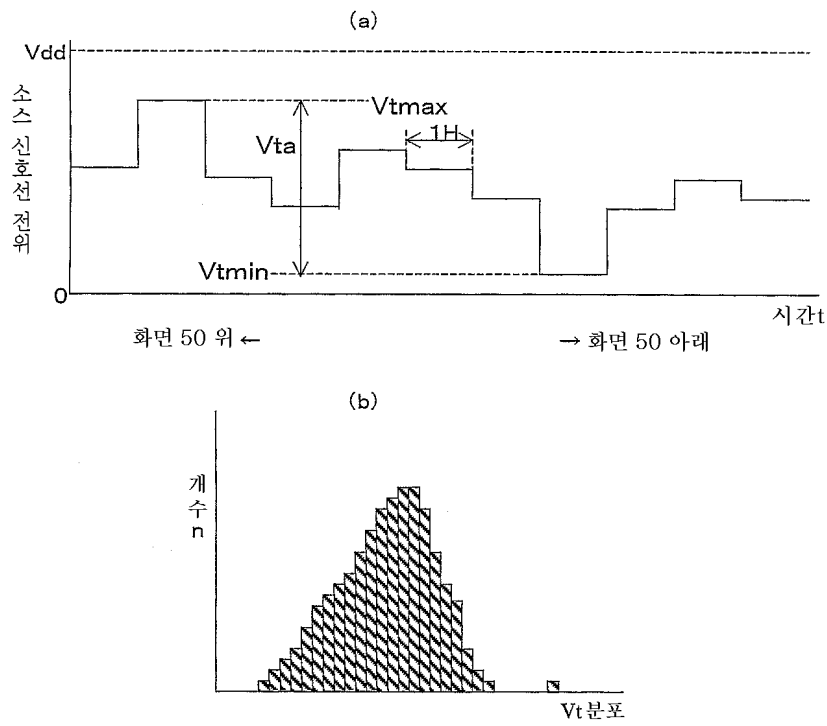
도면91



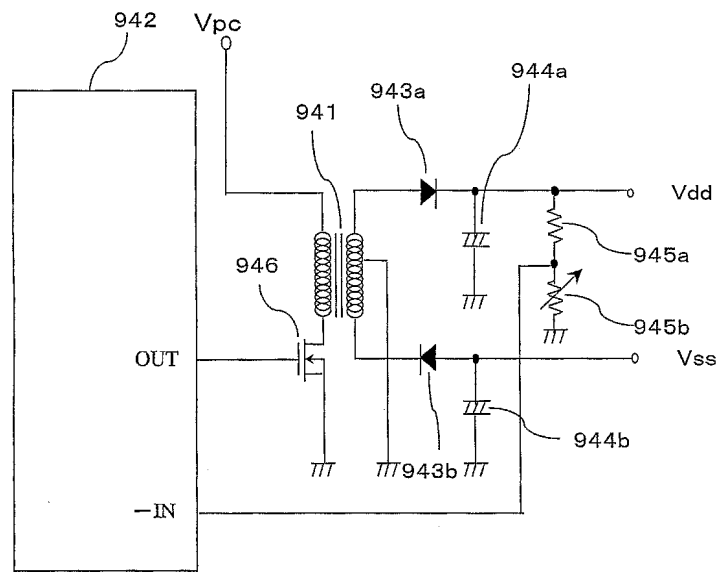
도면92



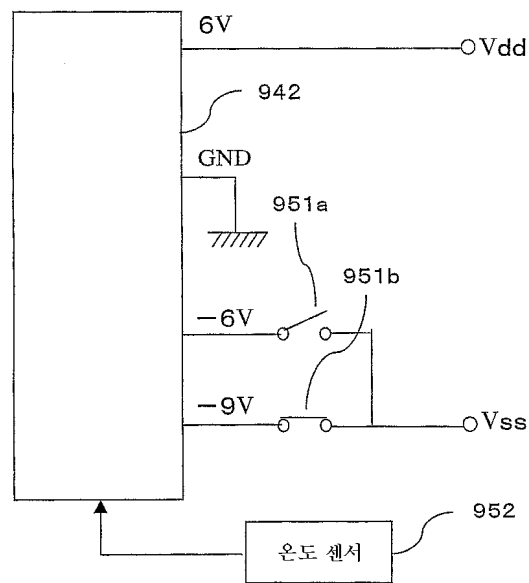
도면93



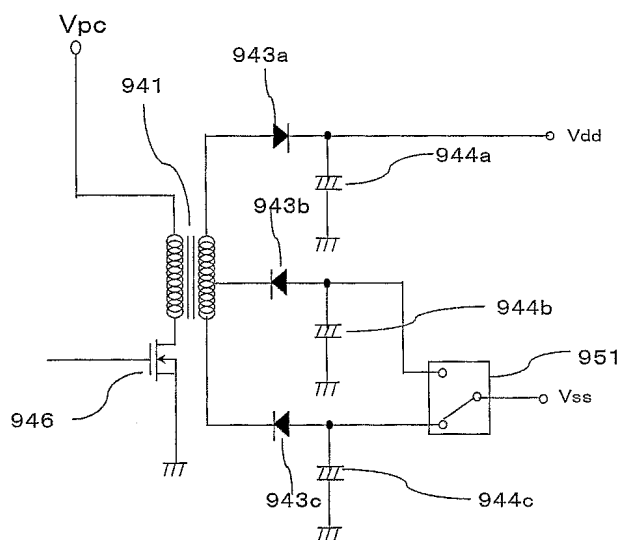
도면94



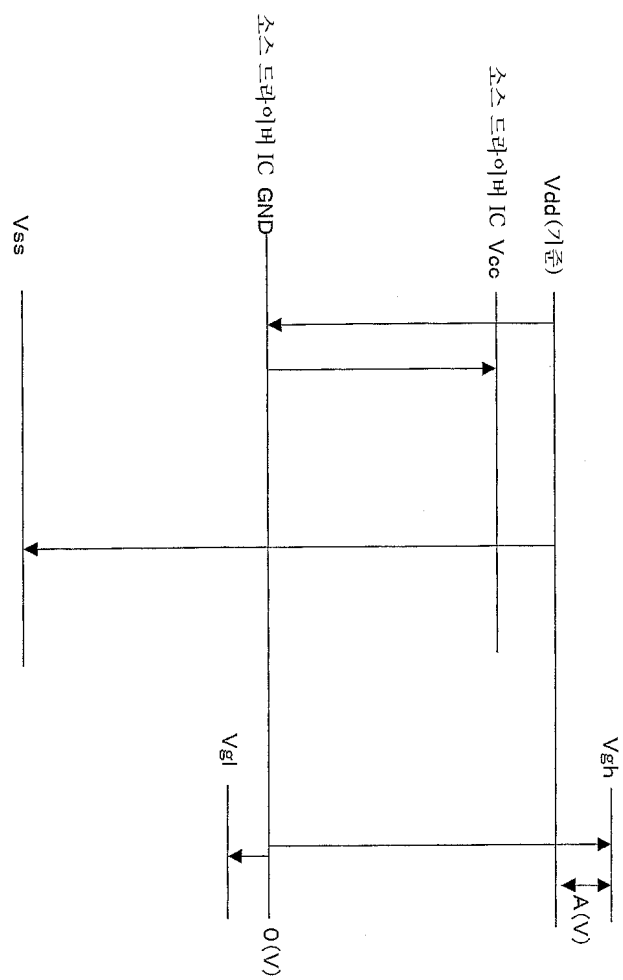
도면95



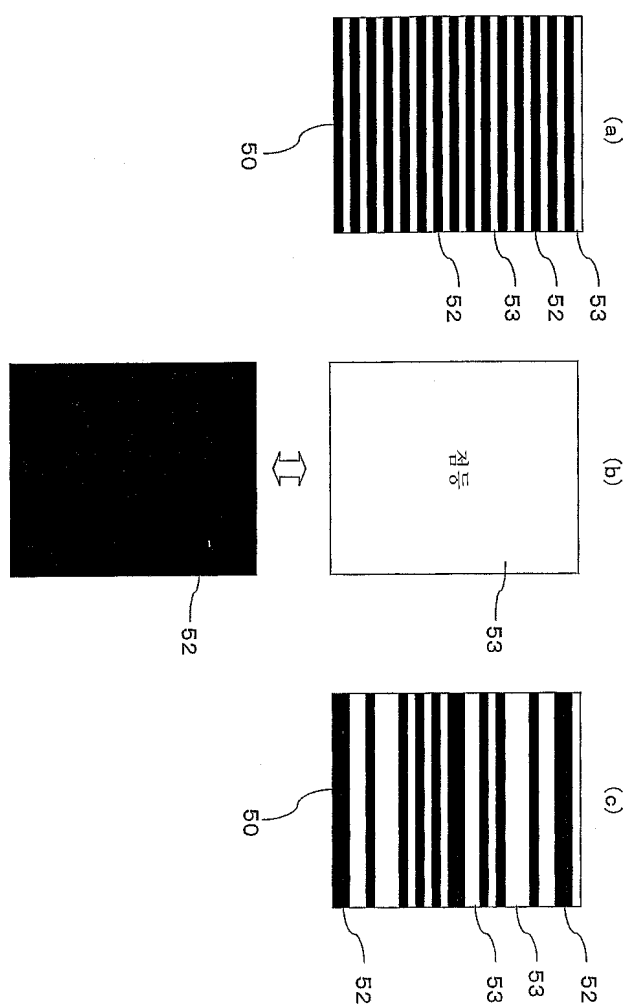
도면96



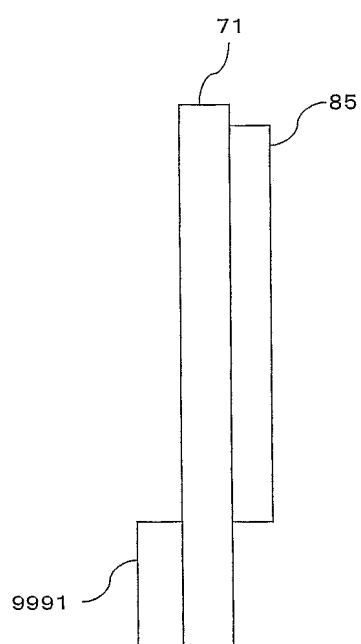
도면97



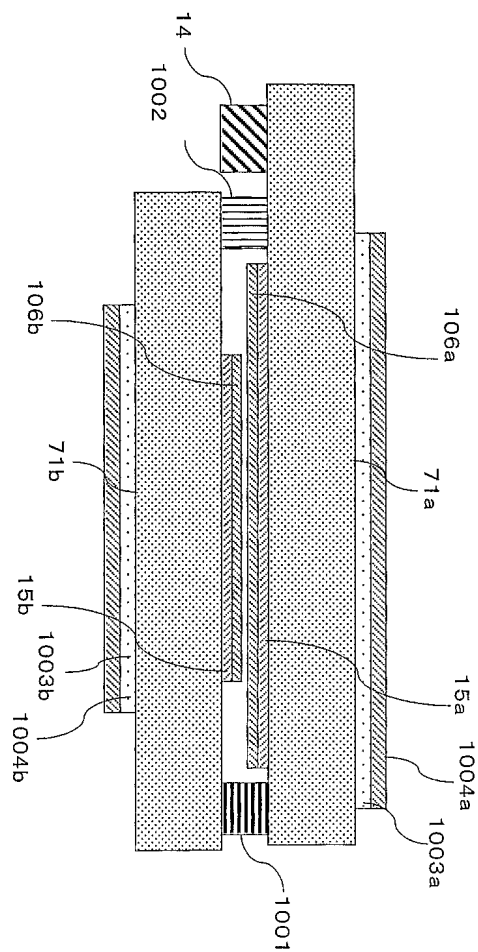
도면98



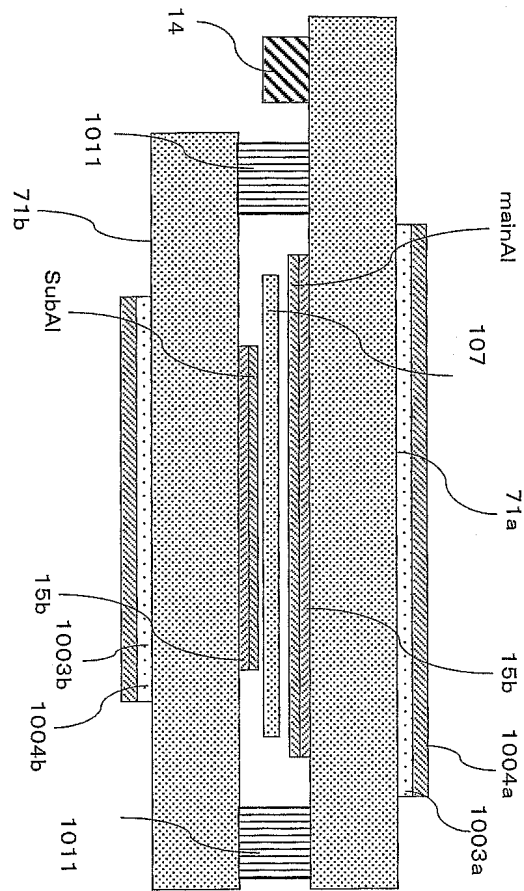
도면99



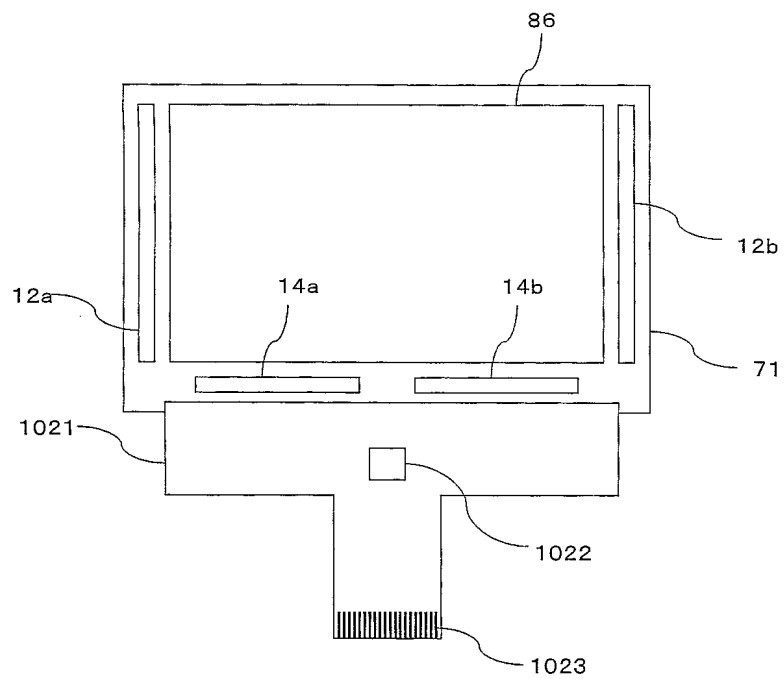
도면100



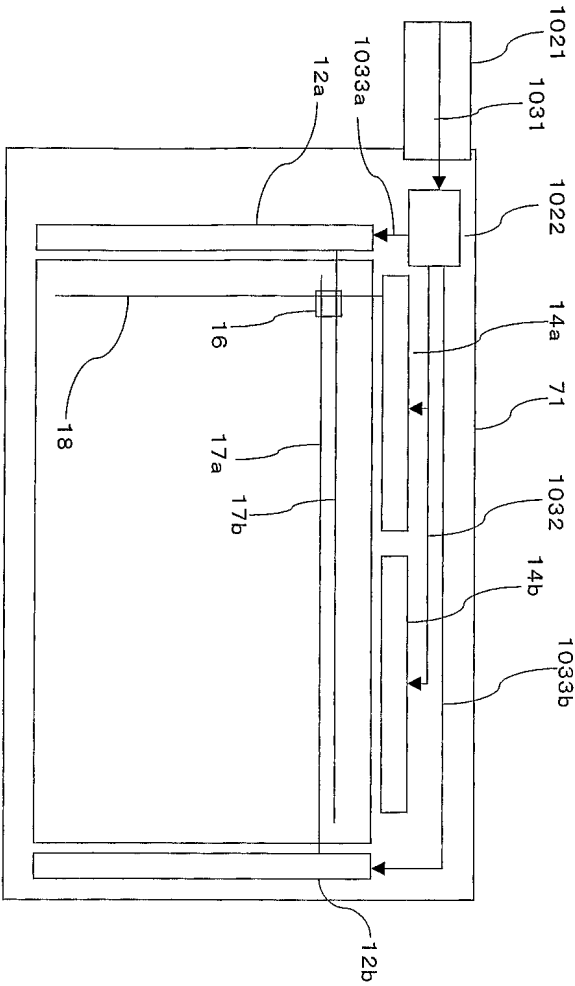
도면101



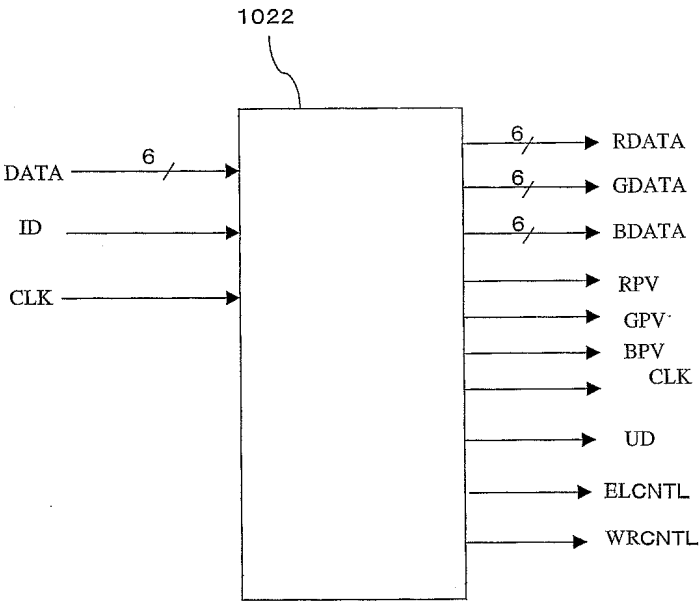
도면102



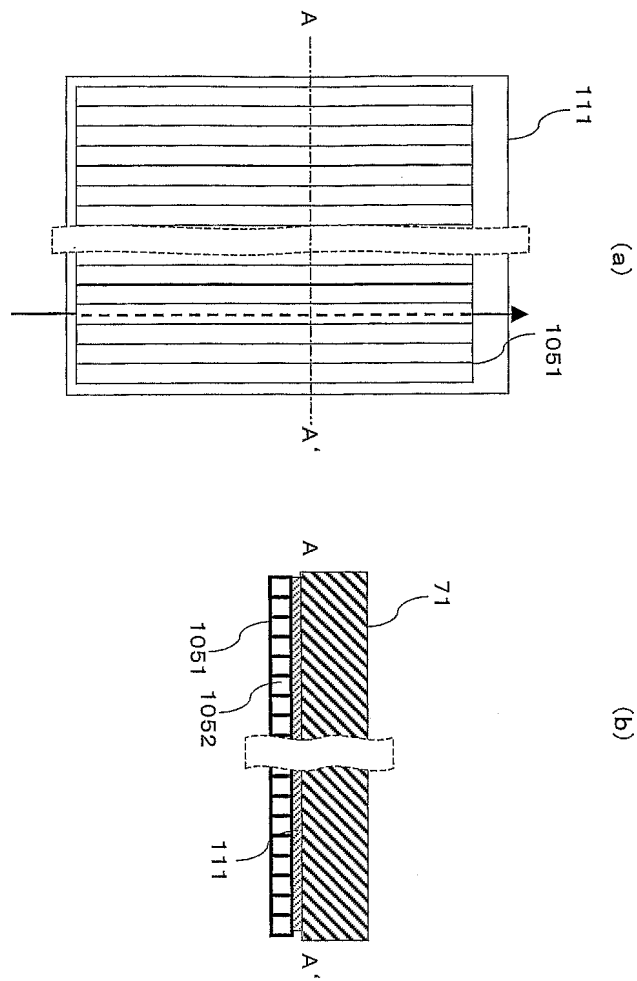
도면103



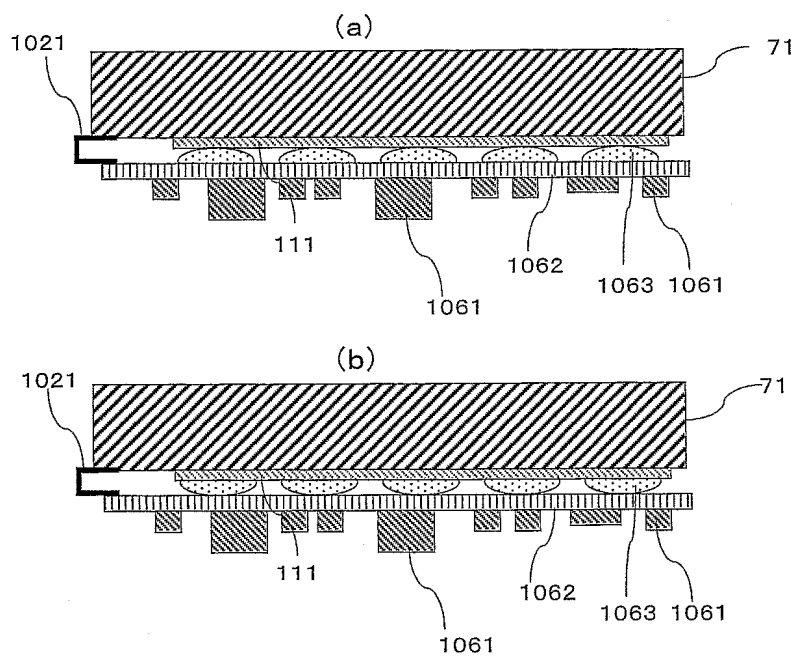
도면104



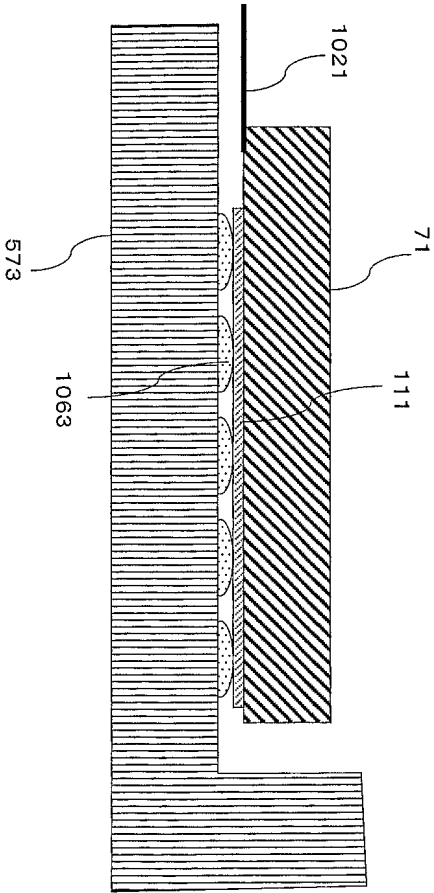
도면105



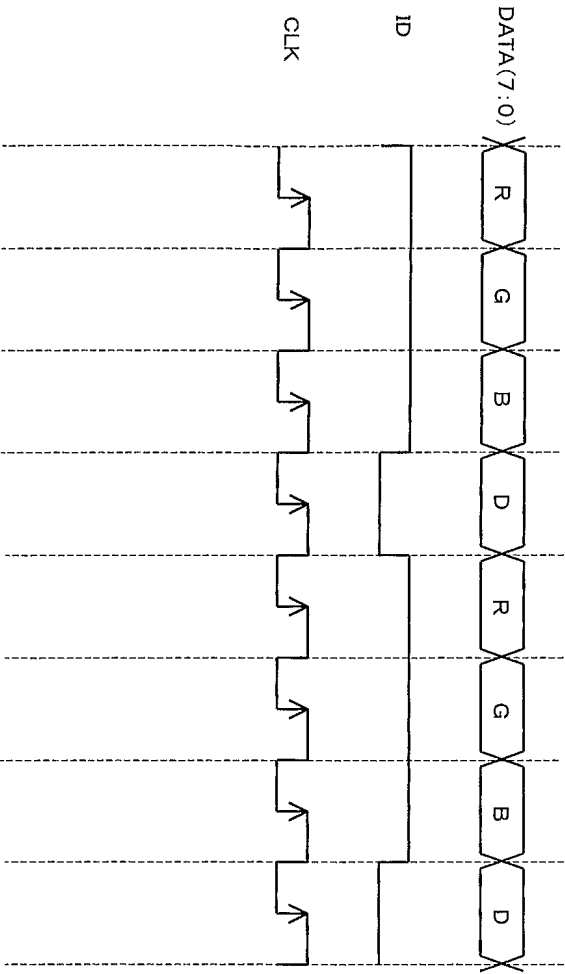
도면106



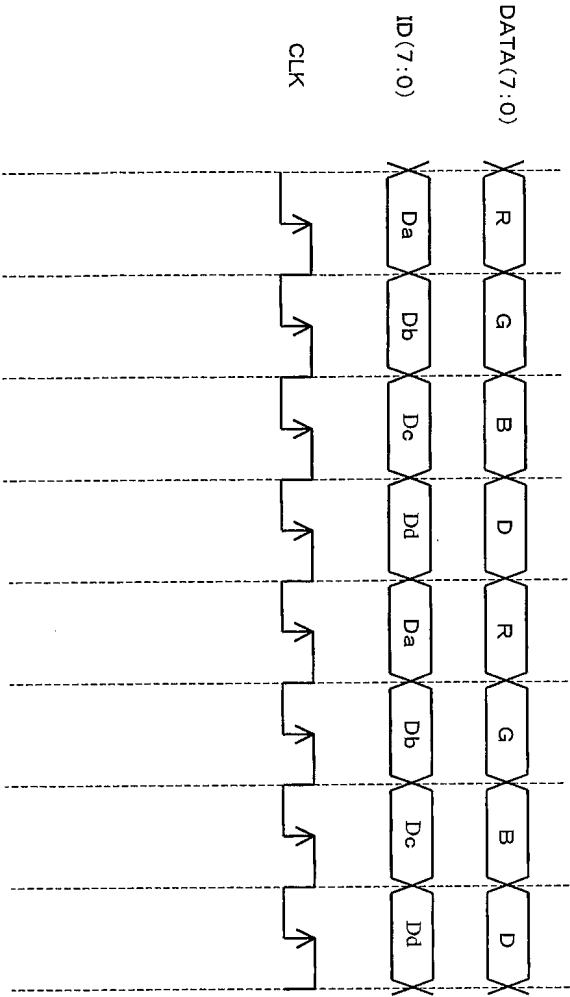
도면107



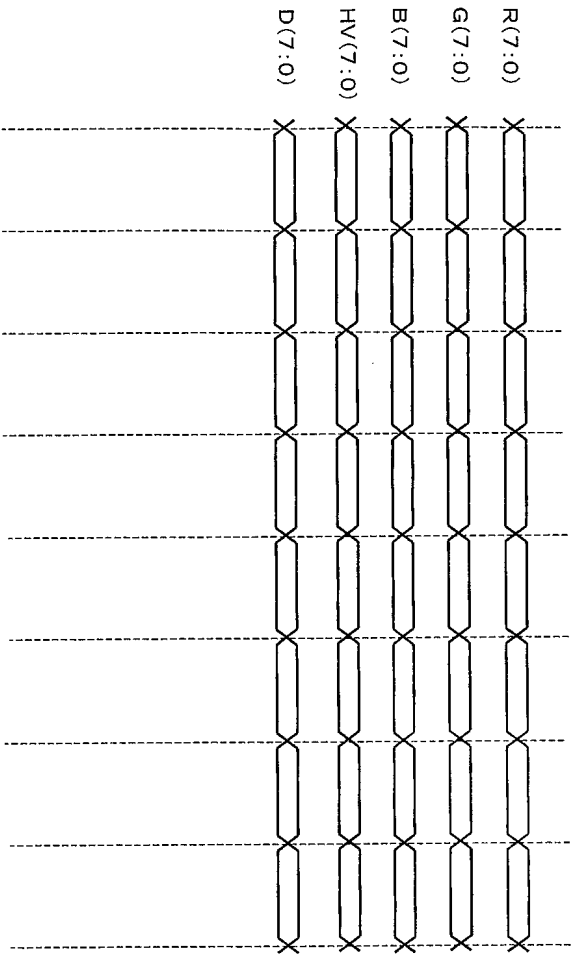
도면108



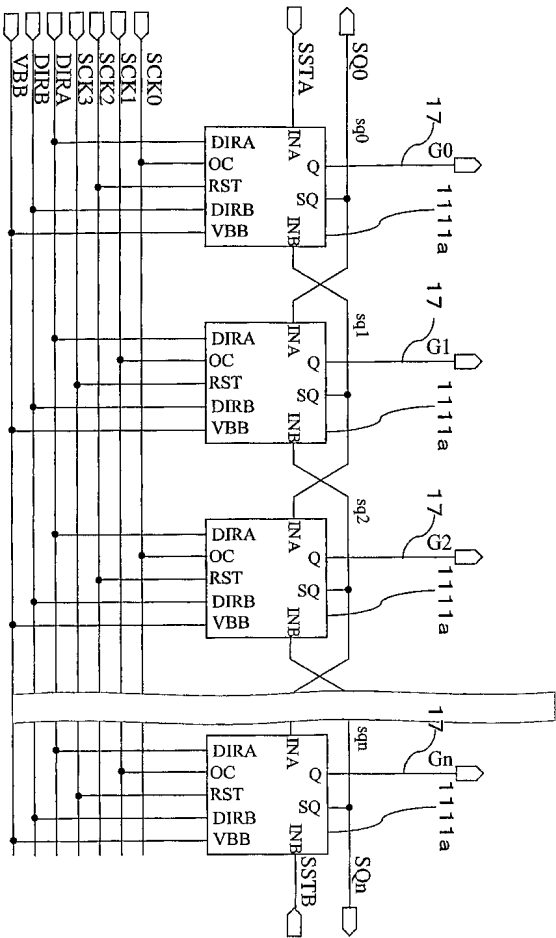
도면109



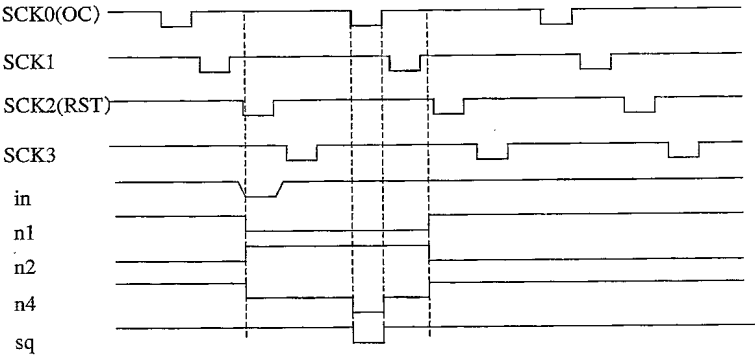
도면110



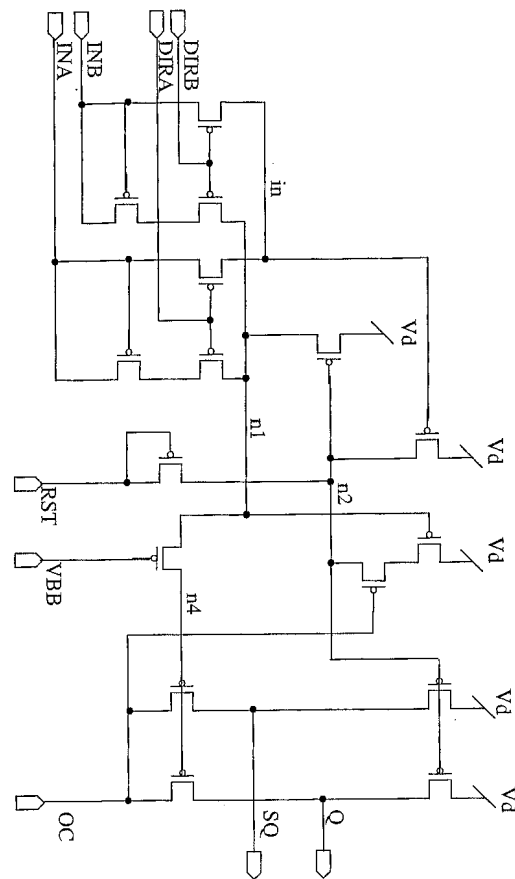
도면111



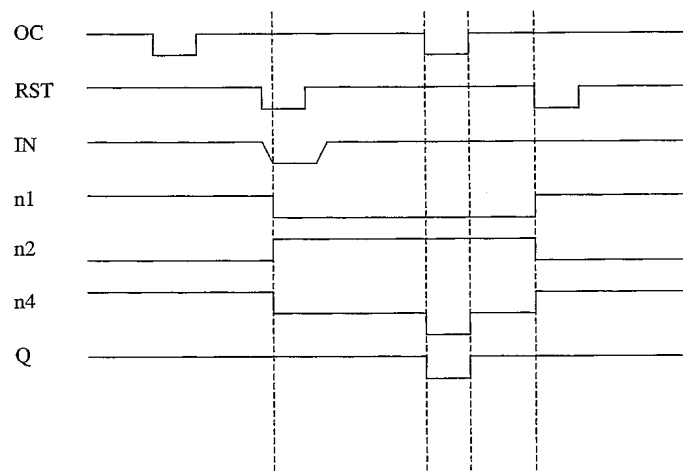
도면112



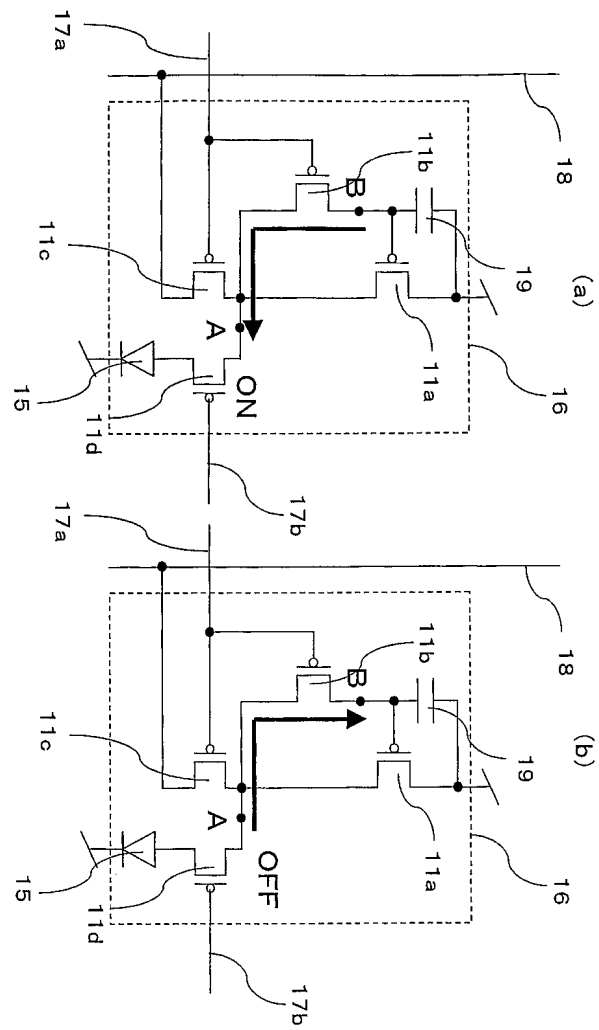
도면113



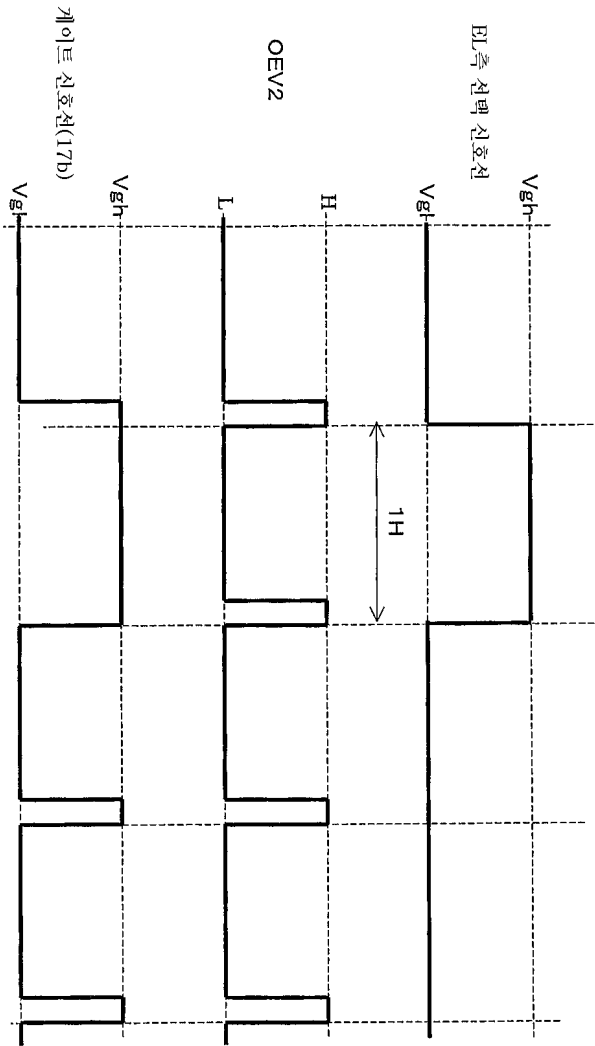
도면114



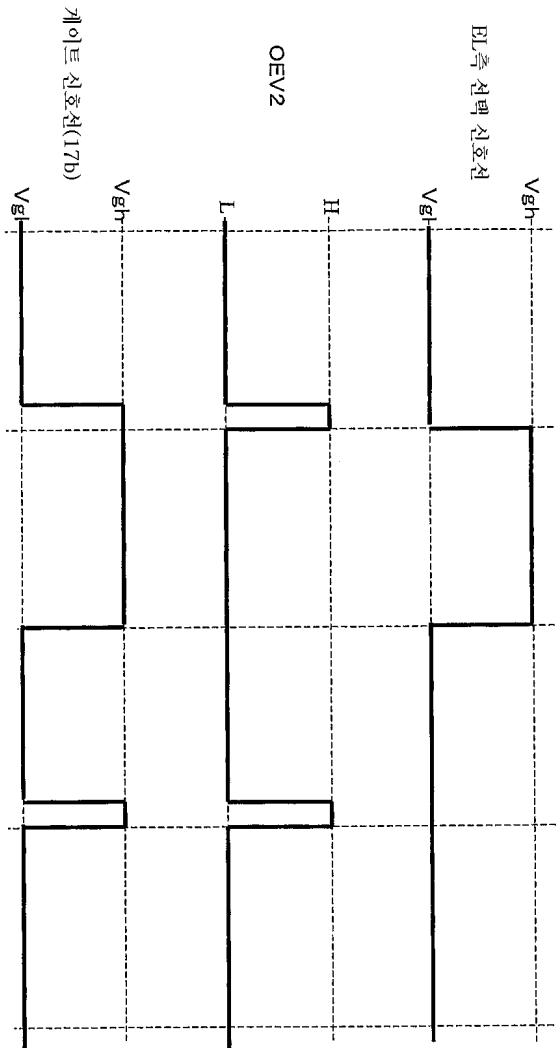
도면115



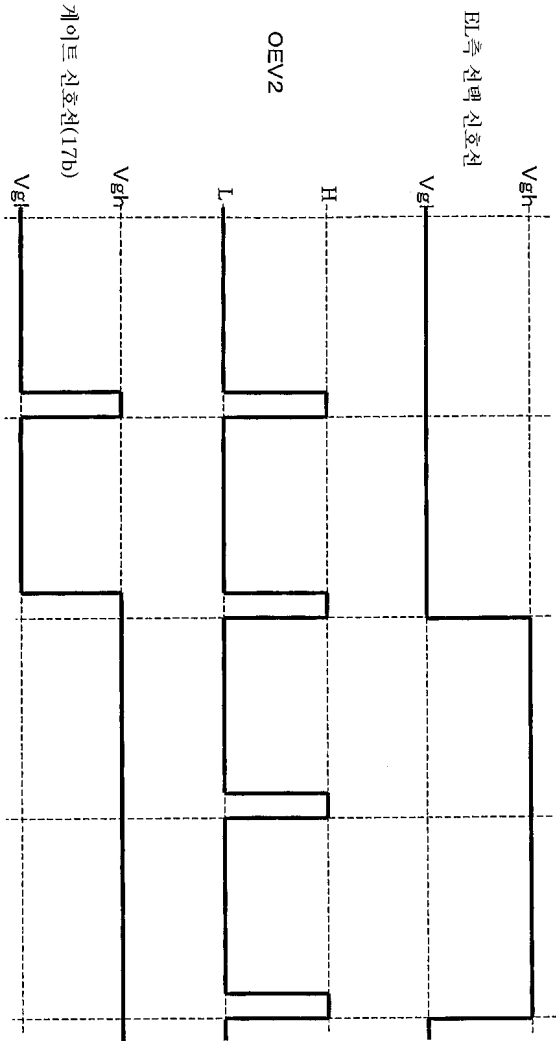
도면117



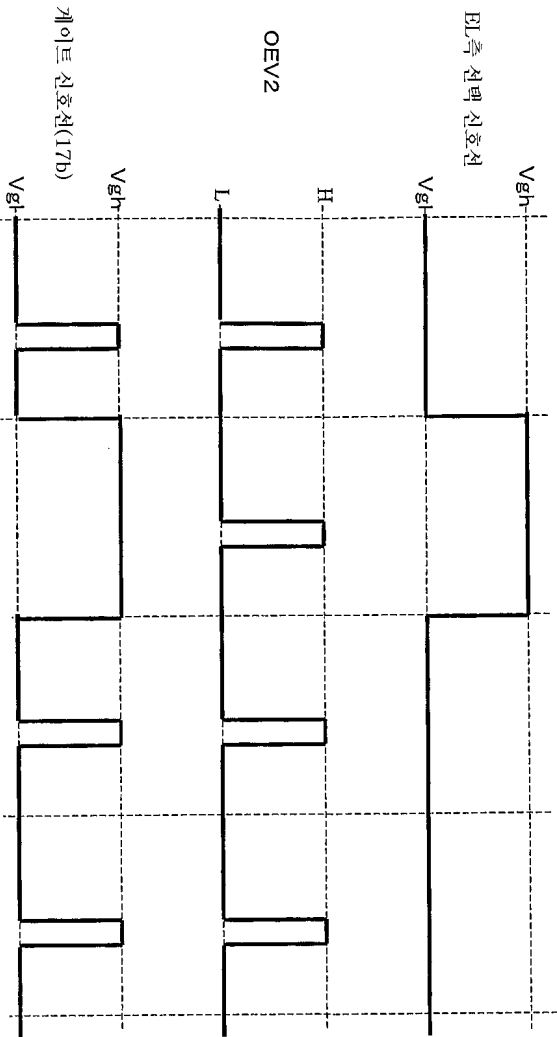
도면118



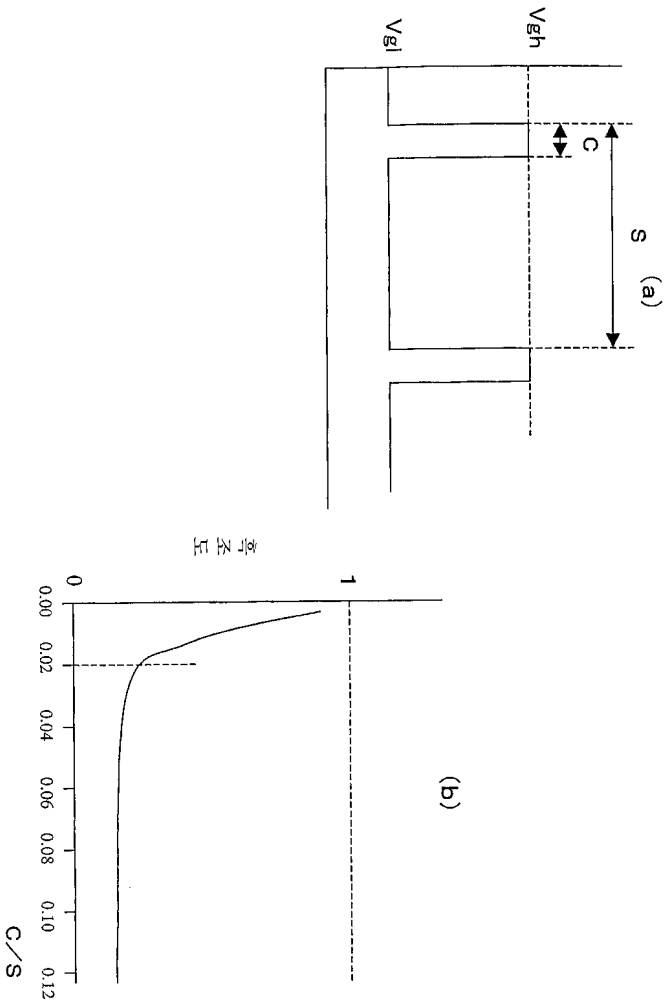
도면119



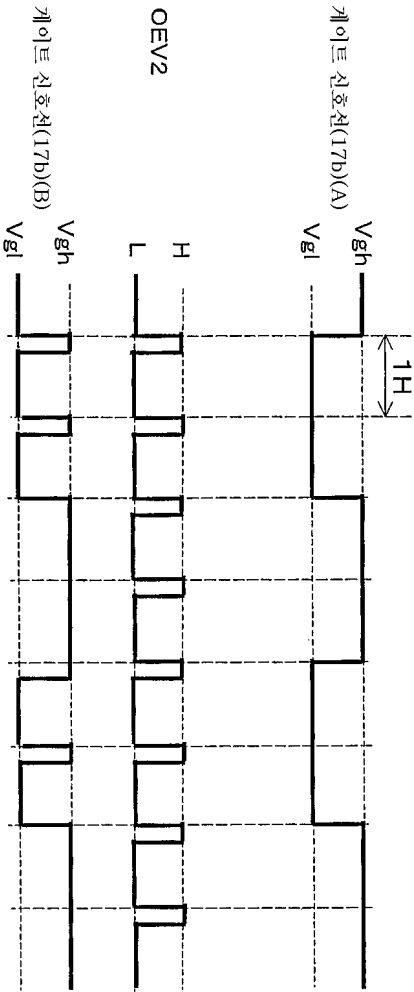
도면120



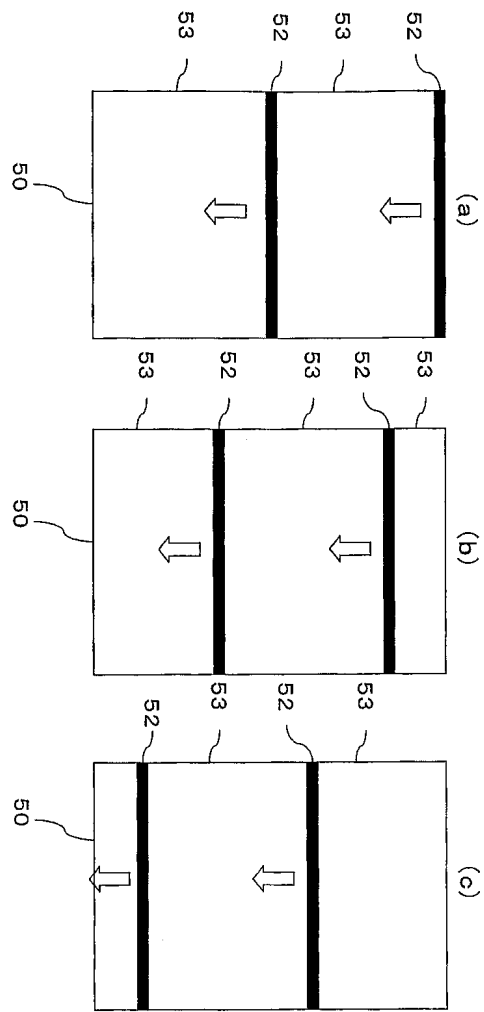
도면121



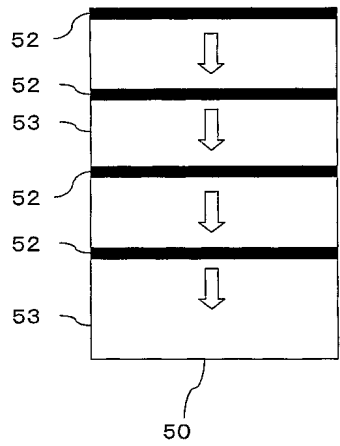
도면122



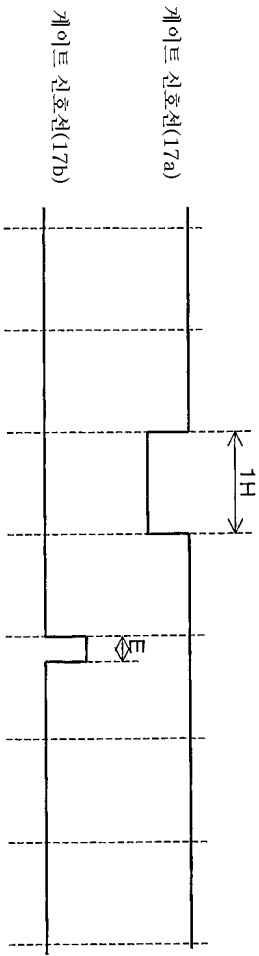
도면123



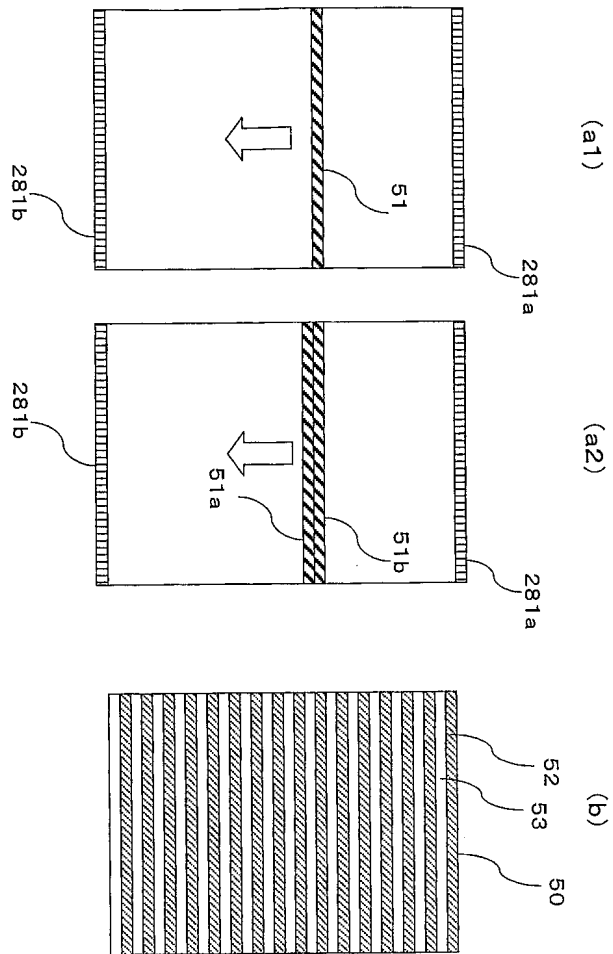
도면124



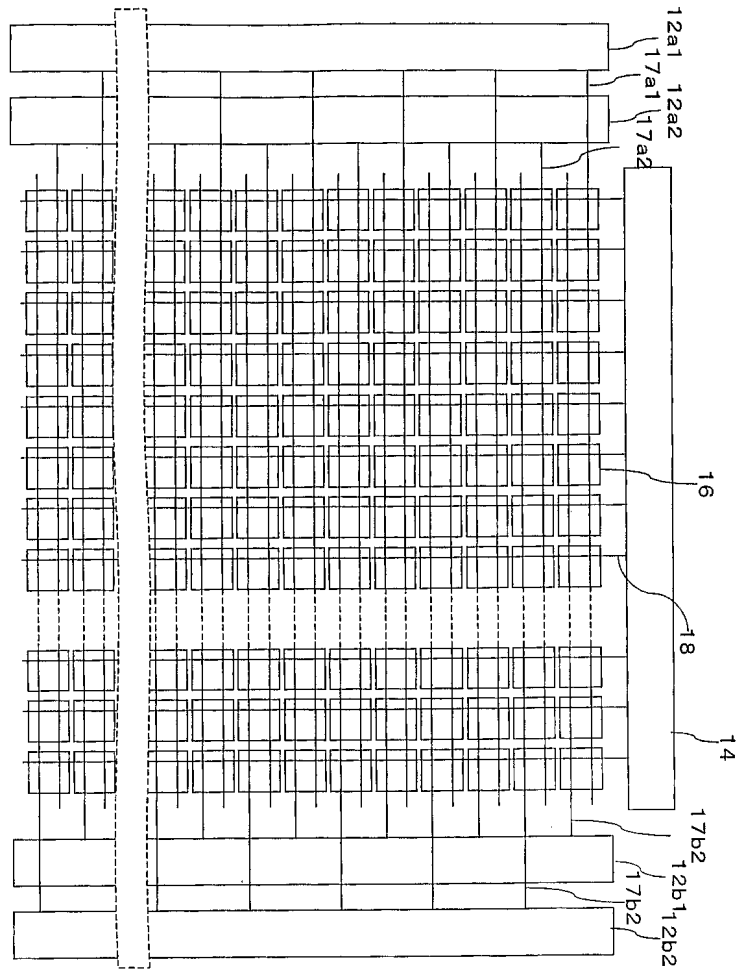
도면125



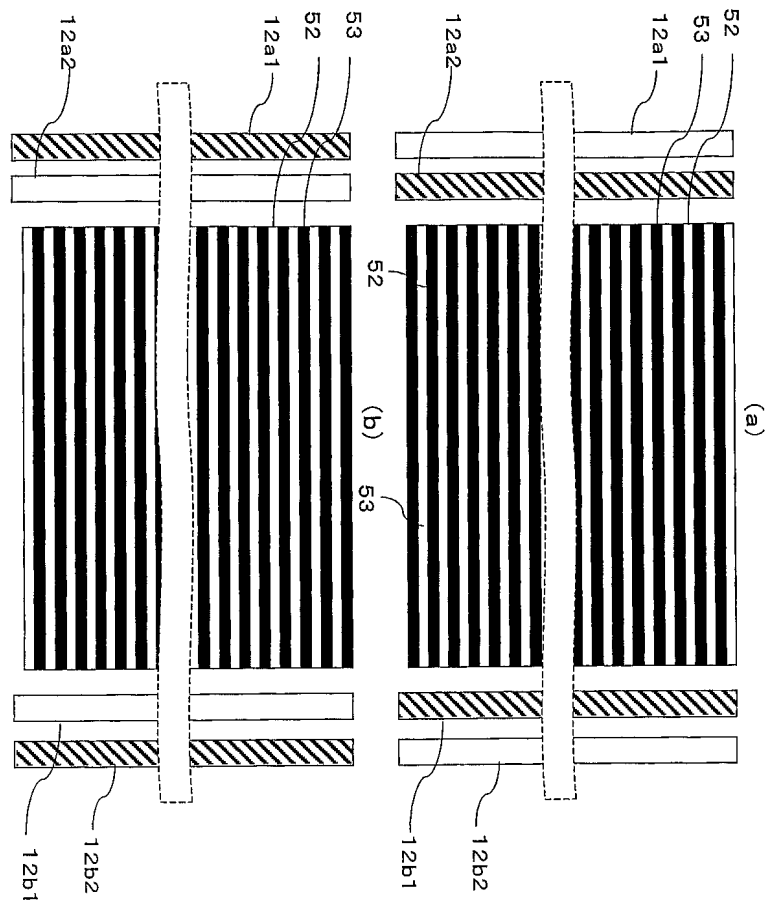
도면126



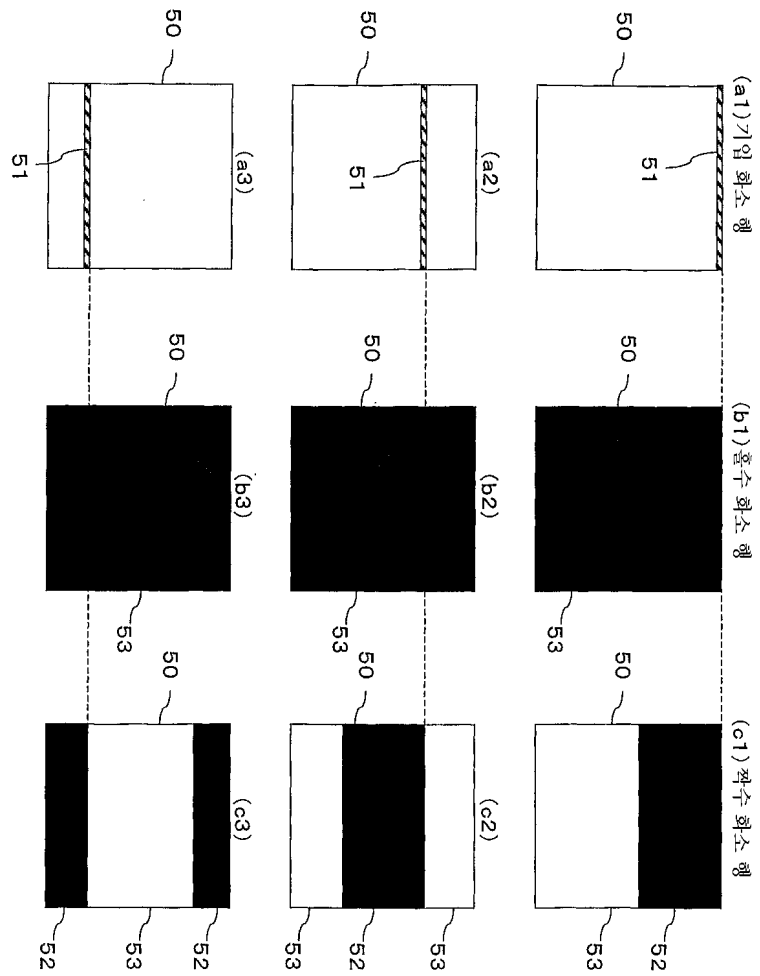
도면127



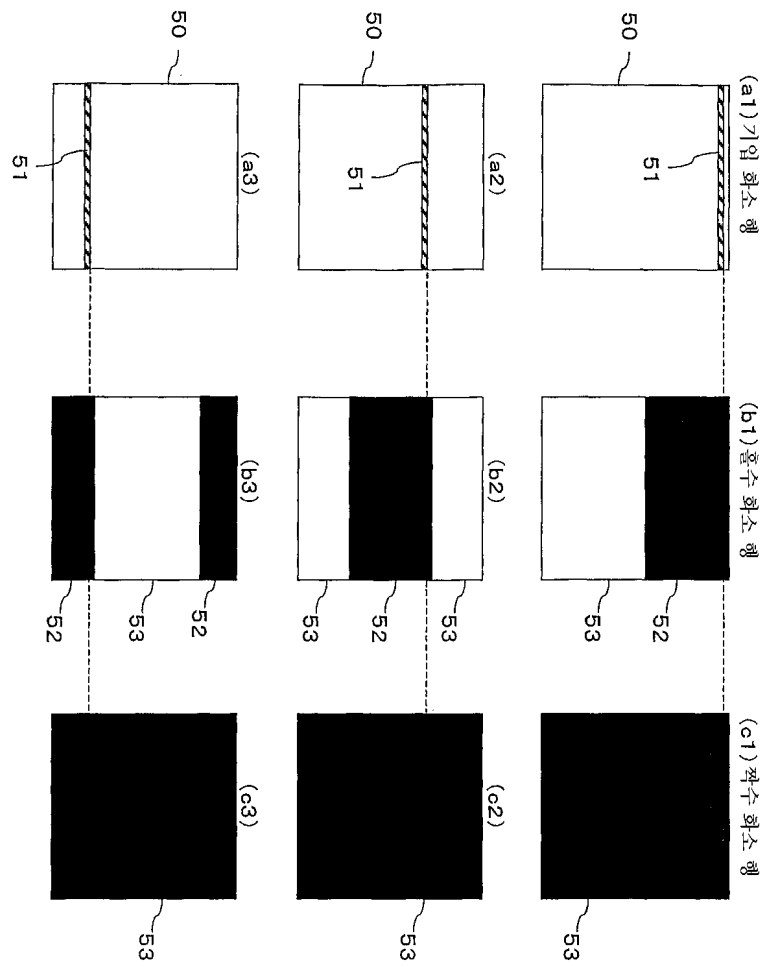
도면128



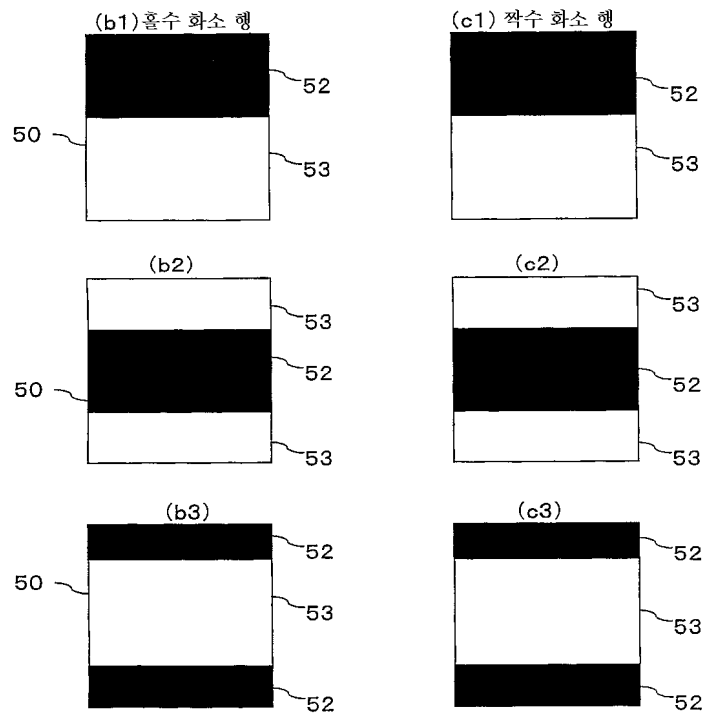
도면129



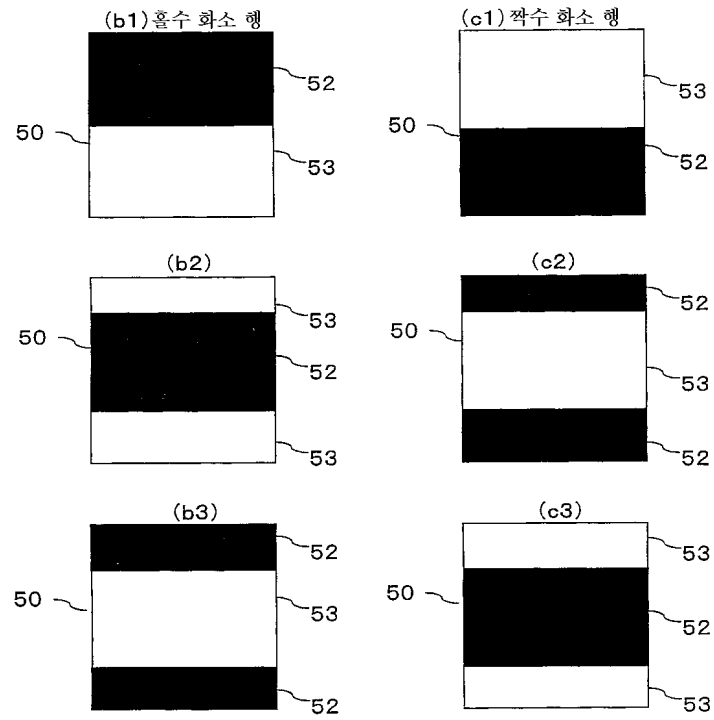
도면130



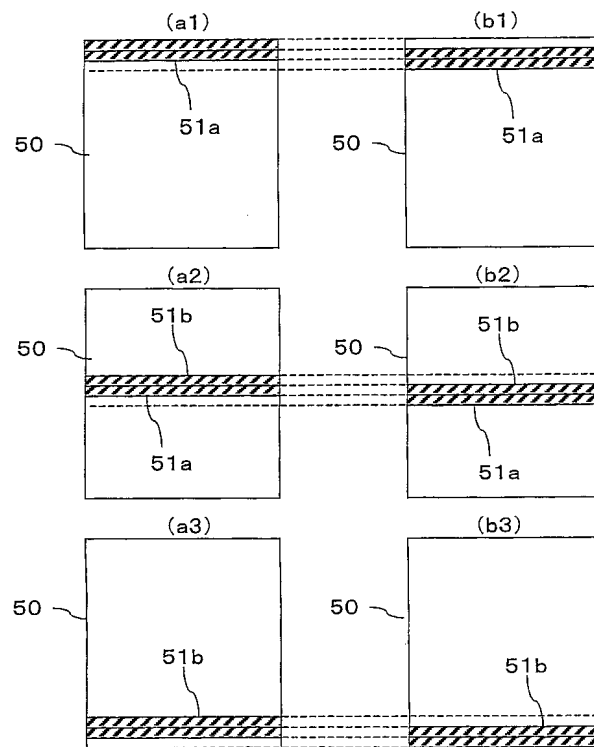
도면131



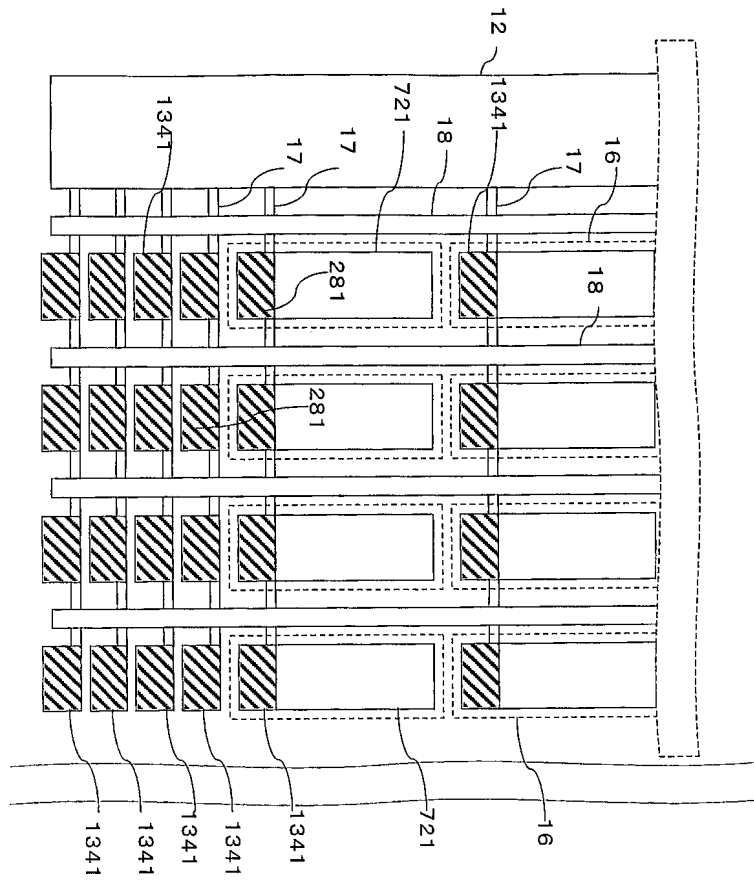
도면132



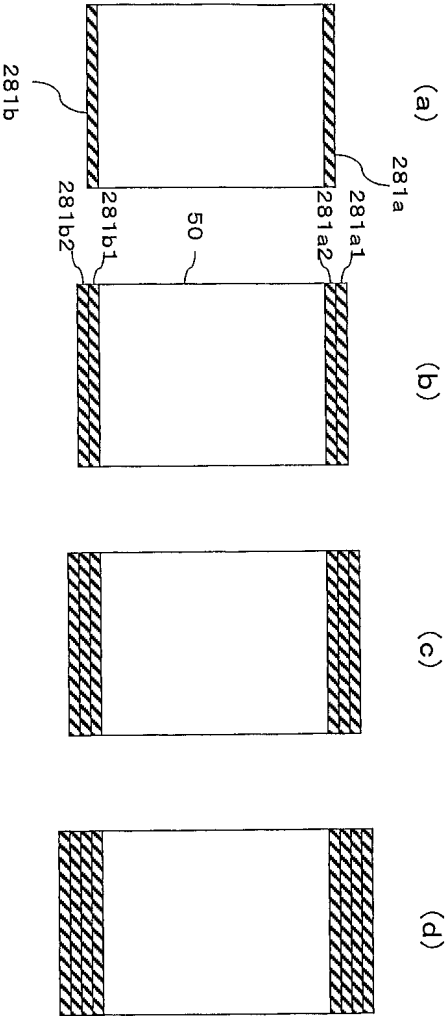
도면133



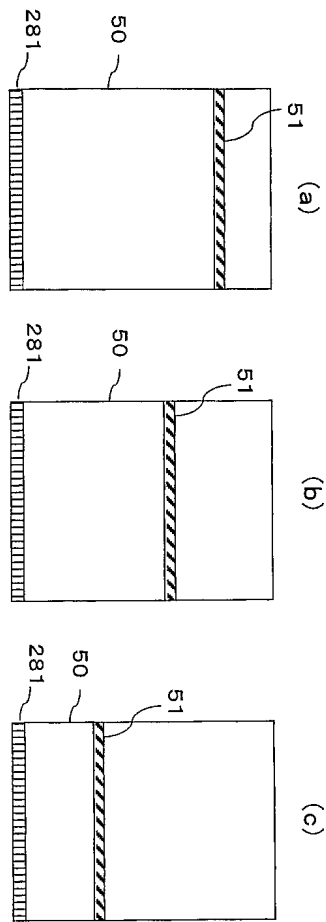
도면134



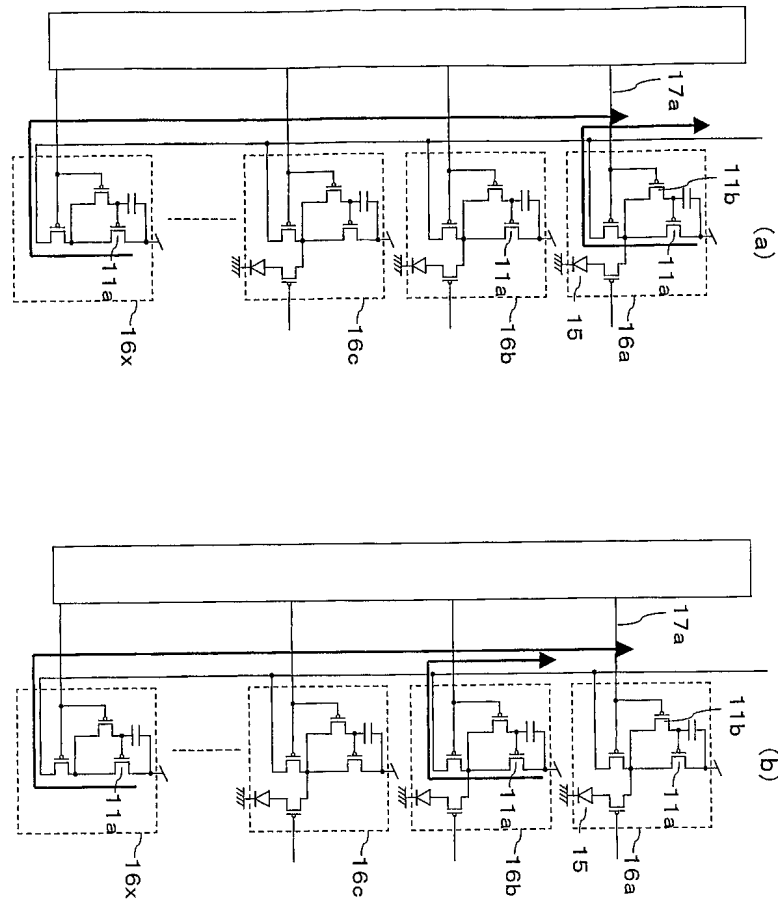
도면135



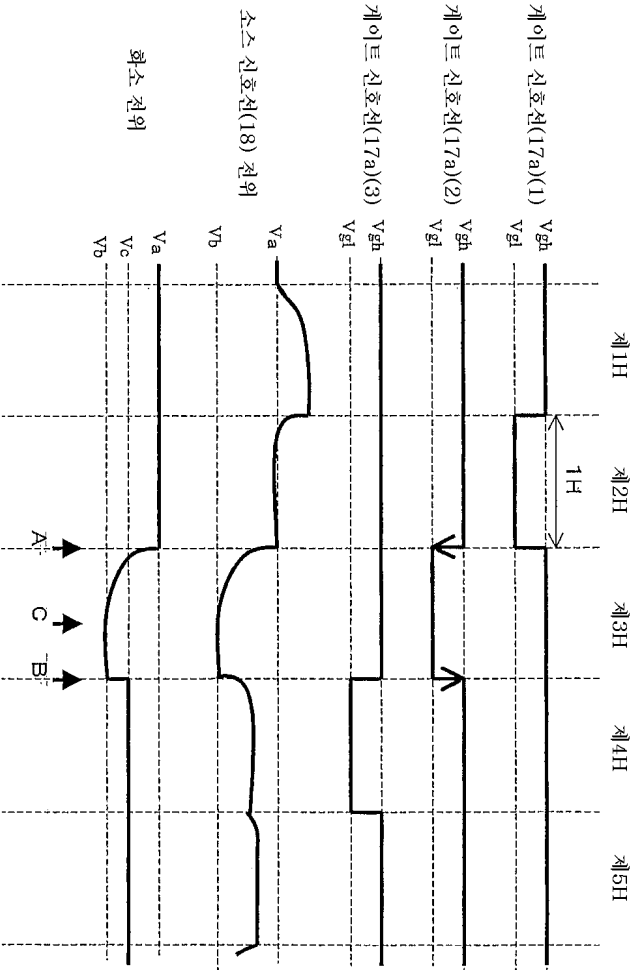
도면136



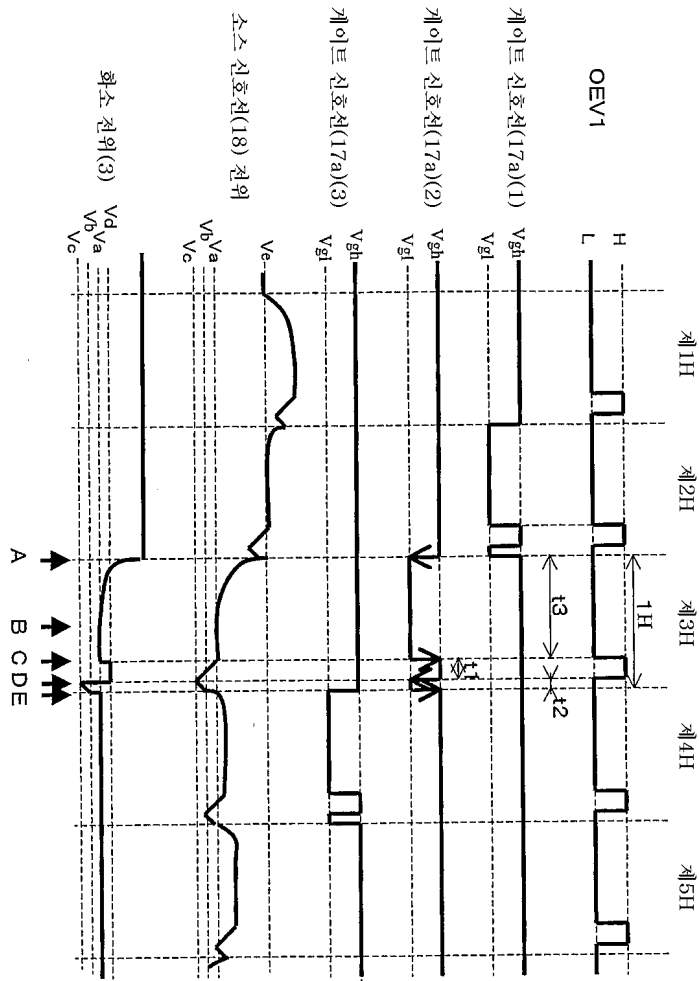
도면137



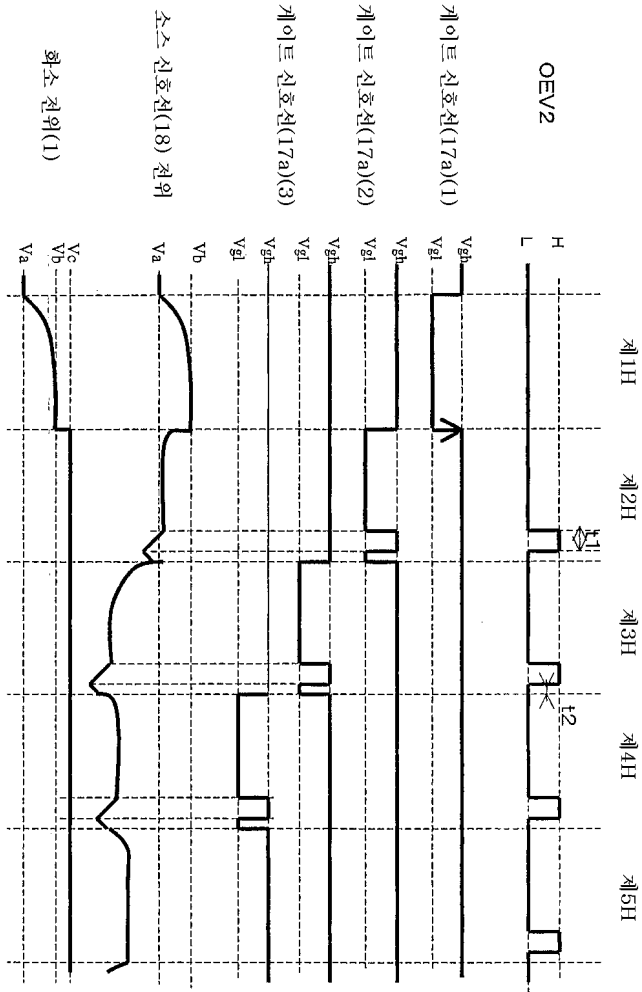
도면138



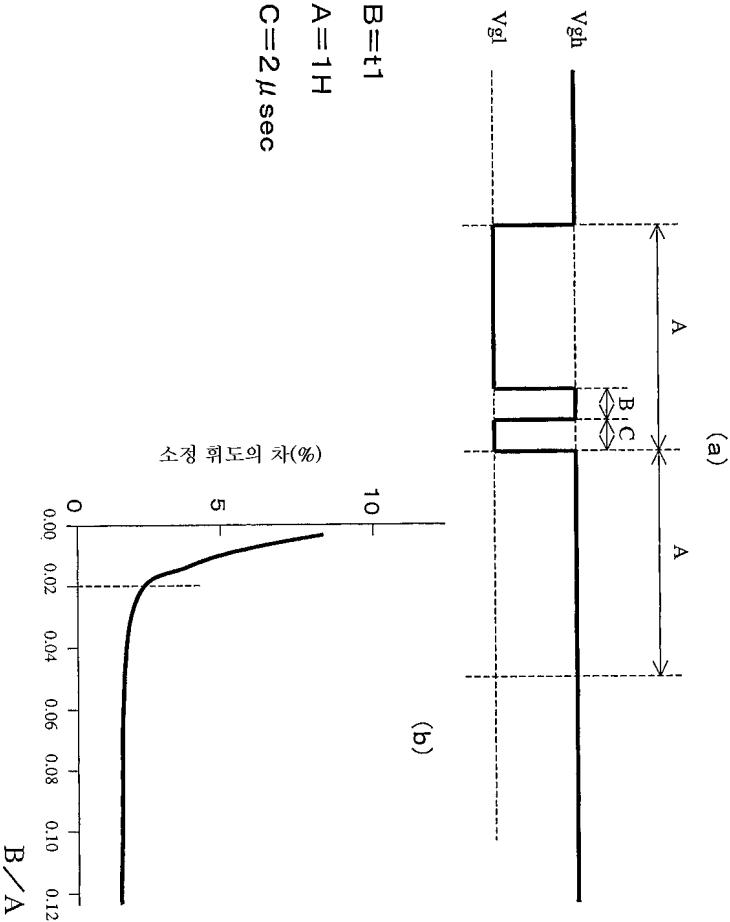
도면139



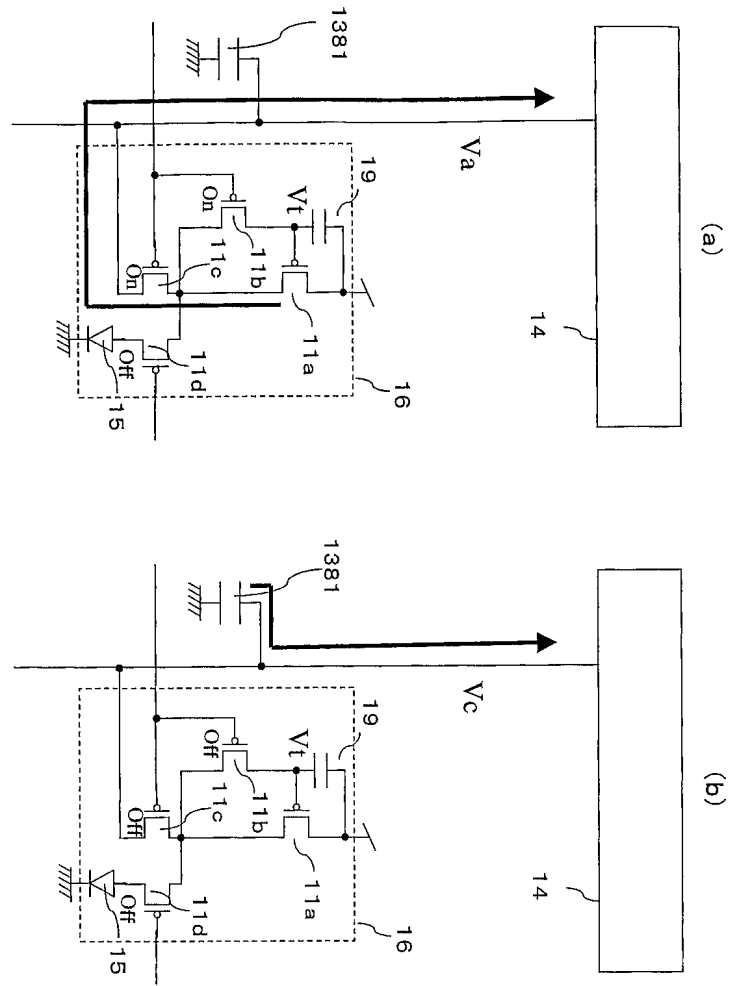
도면140



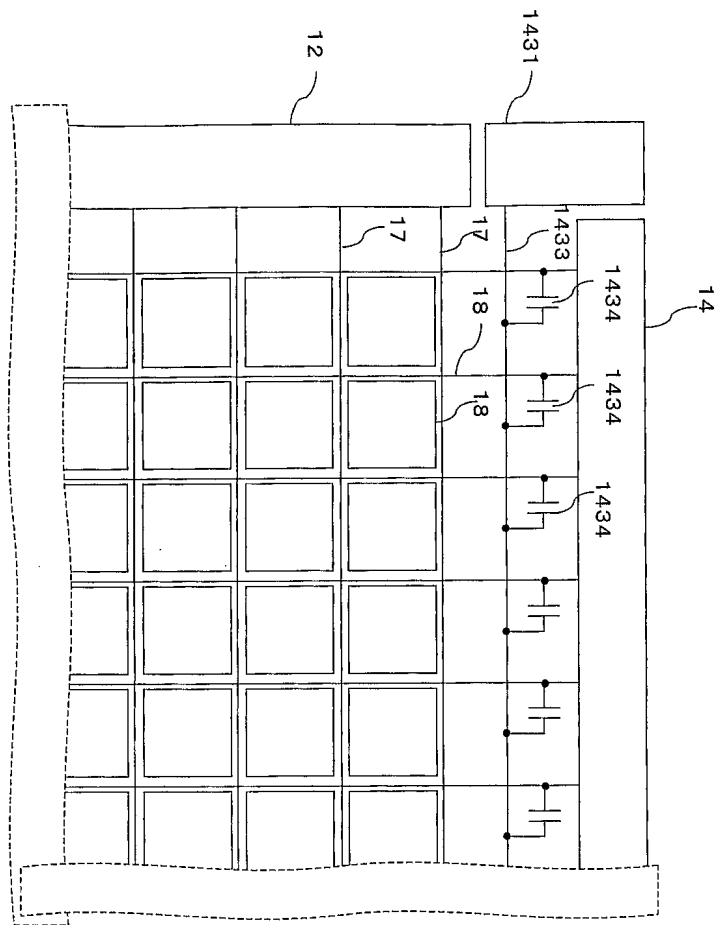
도면141



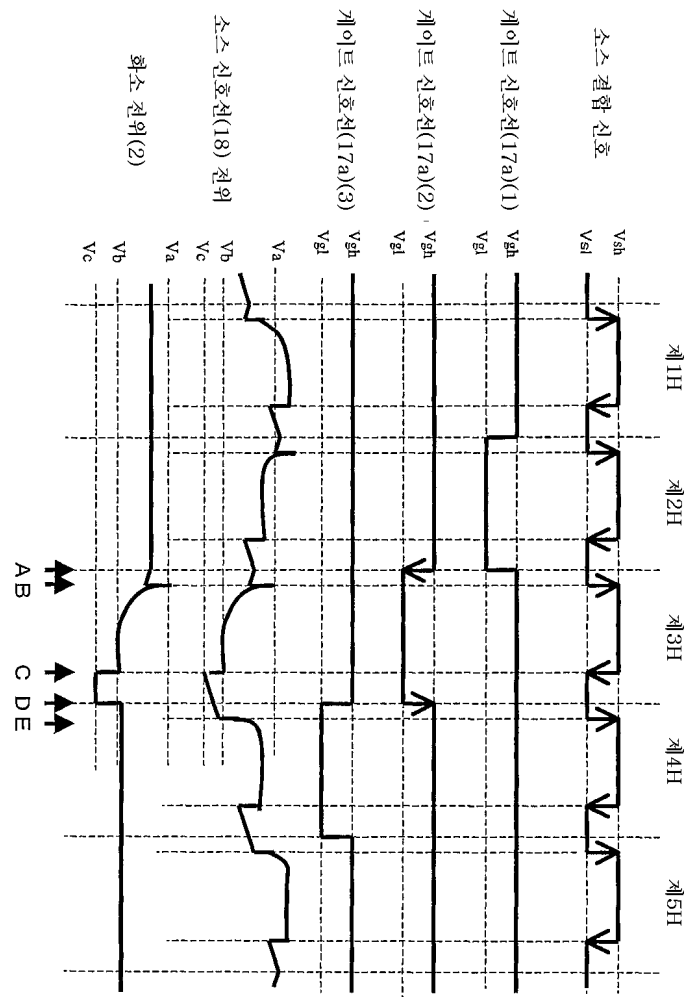
도면142



도면143



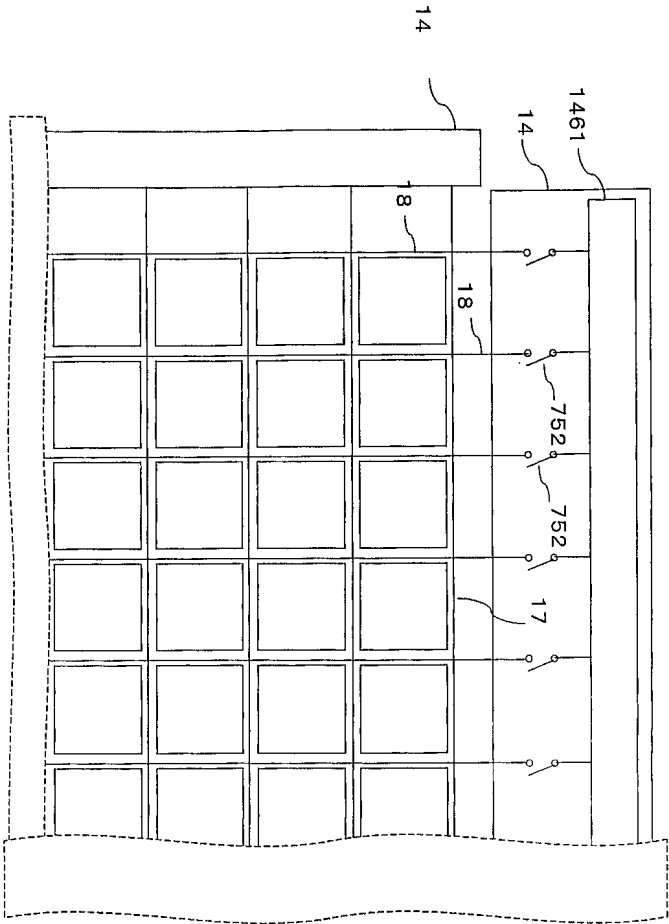
도면144



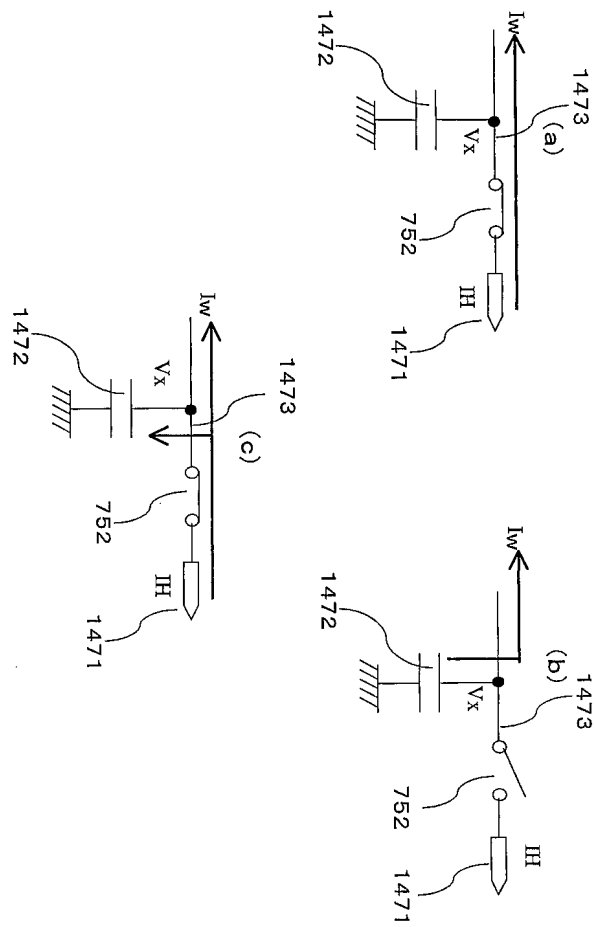
도면145

(평균) 계조	B/A (온 기간)			
	모드 1	모드 2	모드 3	모드 4
1	0	0	0.05	0
2	0	0	0.05	0
3	0	0	0.05	0
4	0	0	0.05	0
5	0	0	0.05	0
17	0	0.05	0.05	0.05H
18	0	0.05	0.05	0.05H
19	0	0.05	0.05	0.04H
20	0	0.05	0.05	0.04H
21	0	0.05	0.05	0.03H
22	0	0.05	0.05	0.03H
61	0	0.05	0.05	0.22H
62	0	0.05	0.05	0.23H
63	0	0.05	0.05	0.24H
64	0	0.05	0.05	0.25H

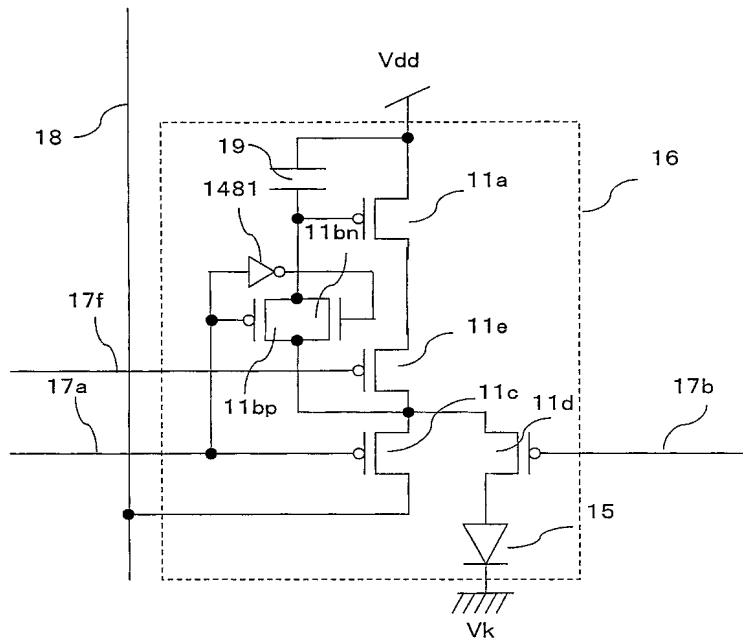
도면146



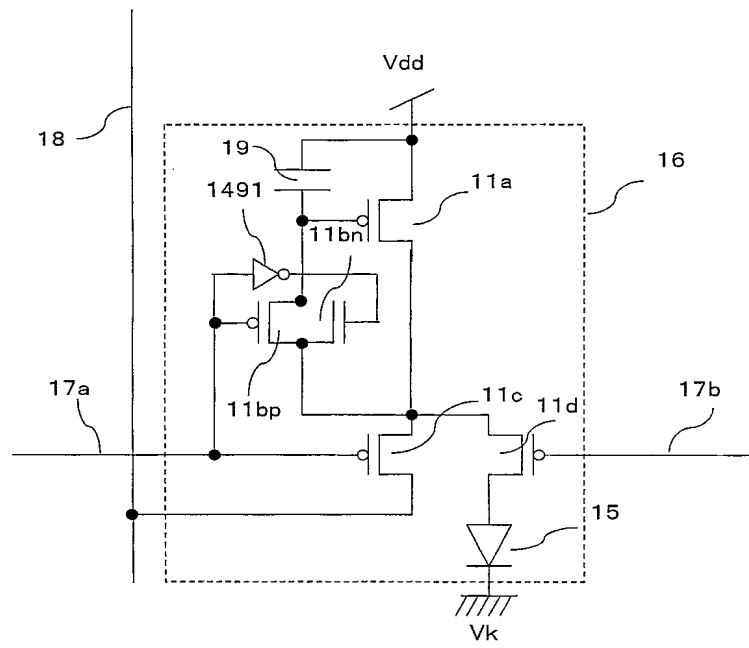
도면147



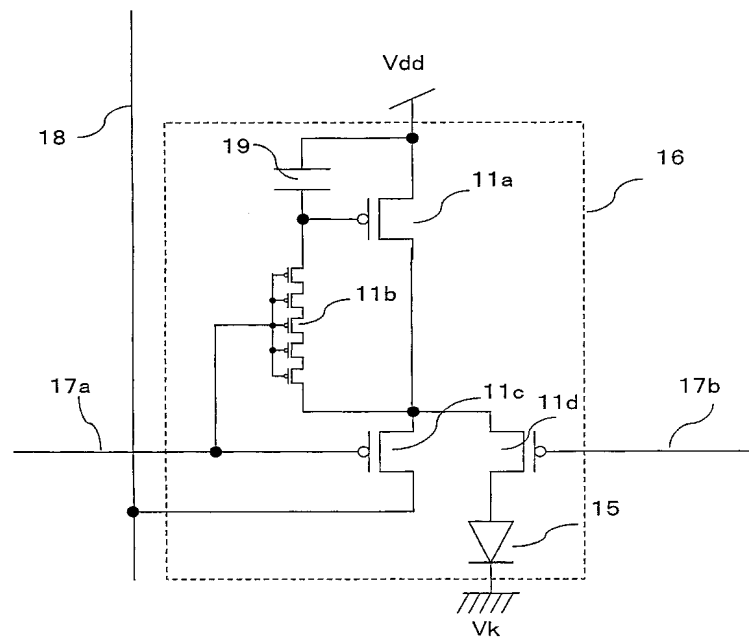
도면148



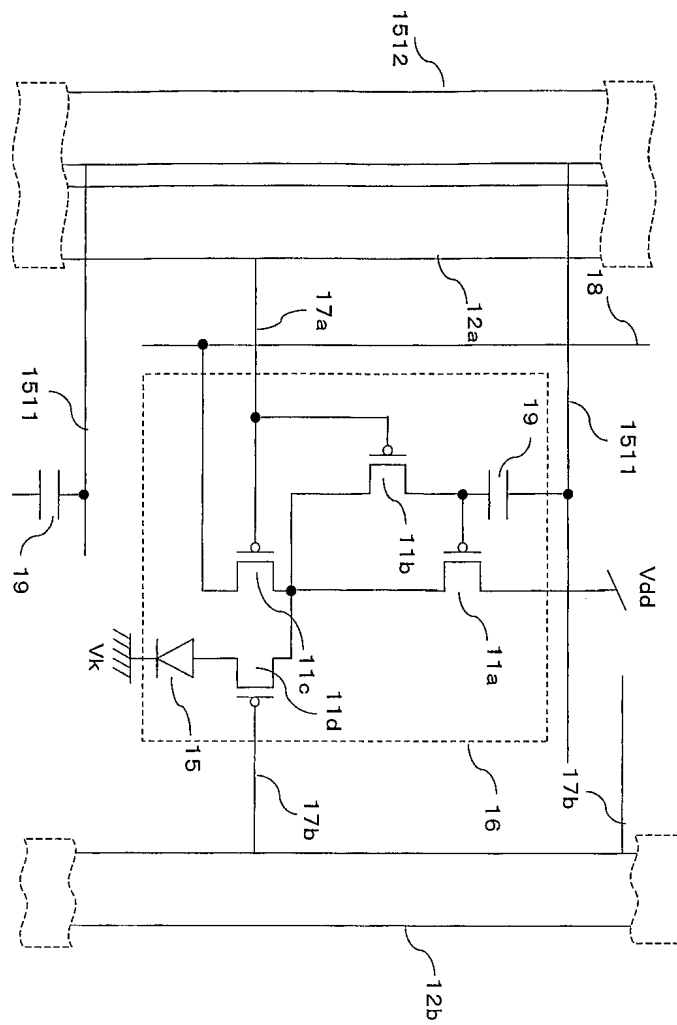
도면149



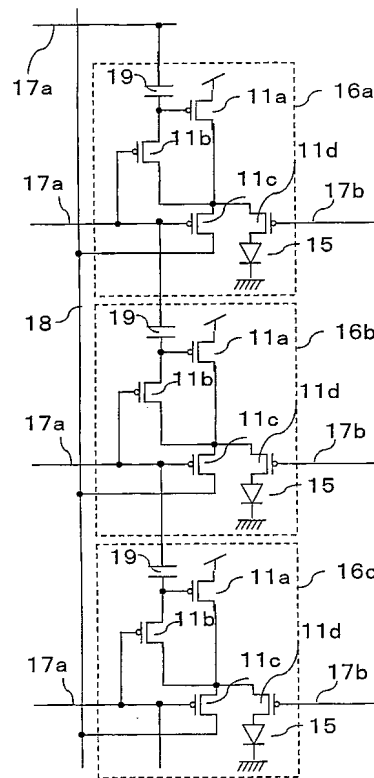
도면150



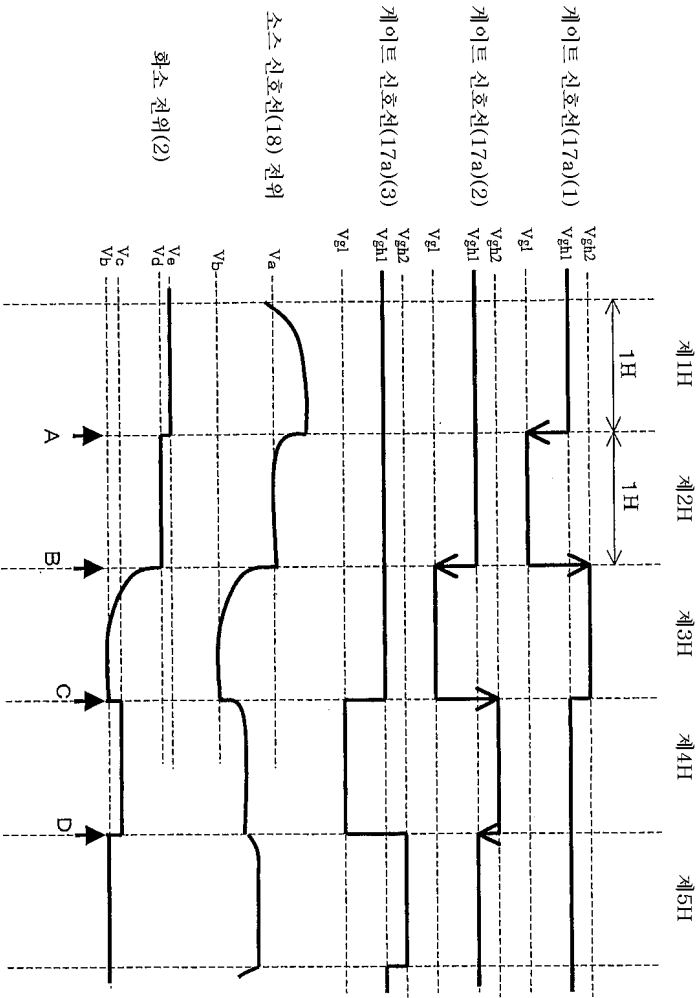
도면151



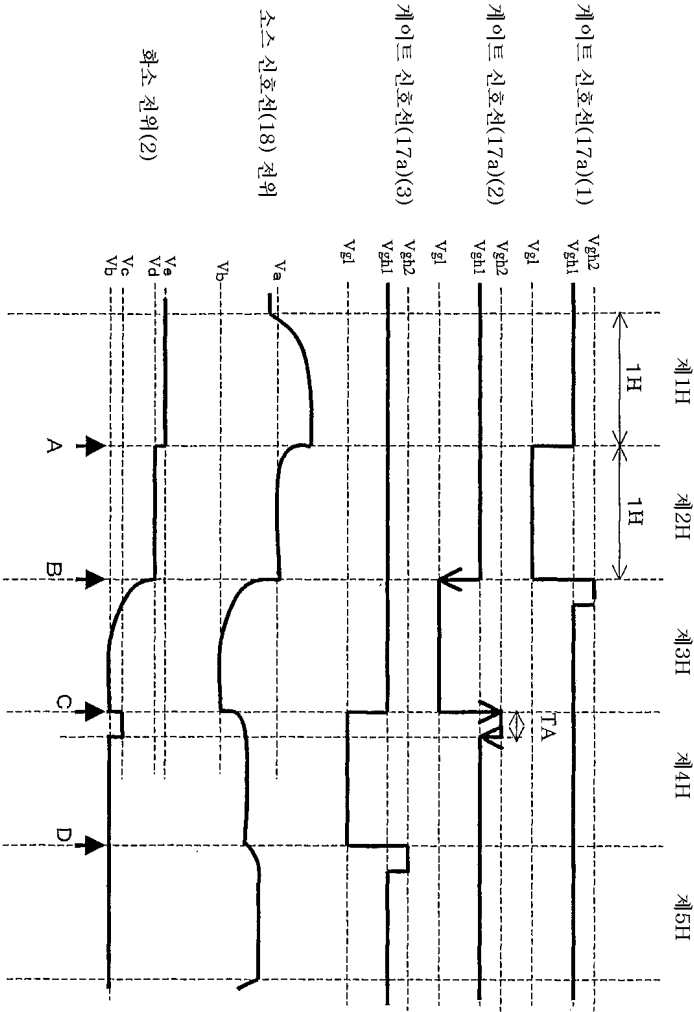
도면153



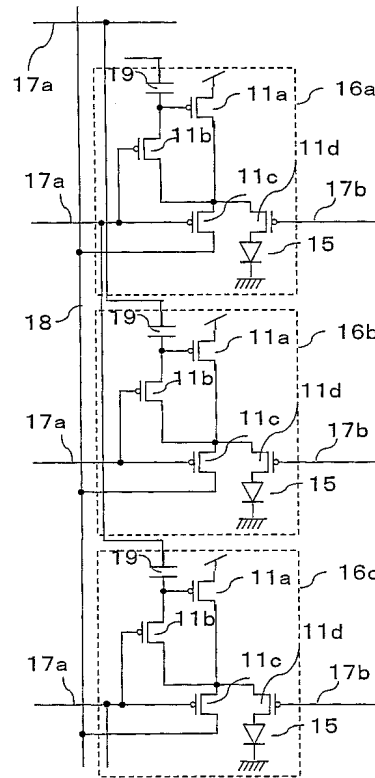
도면154



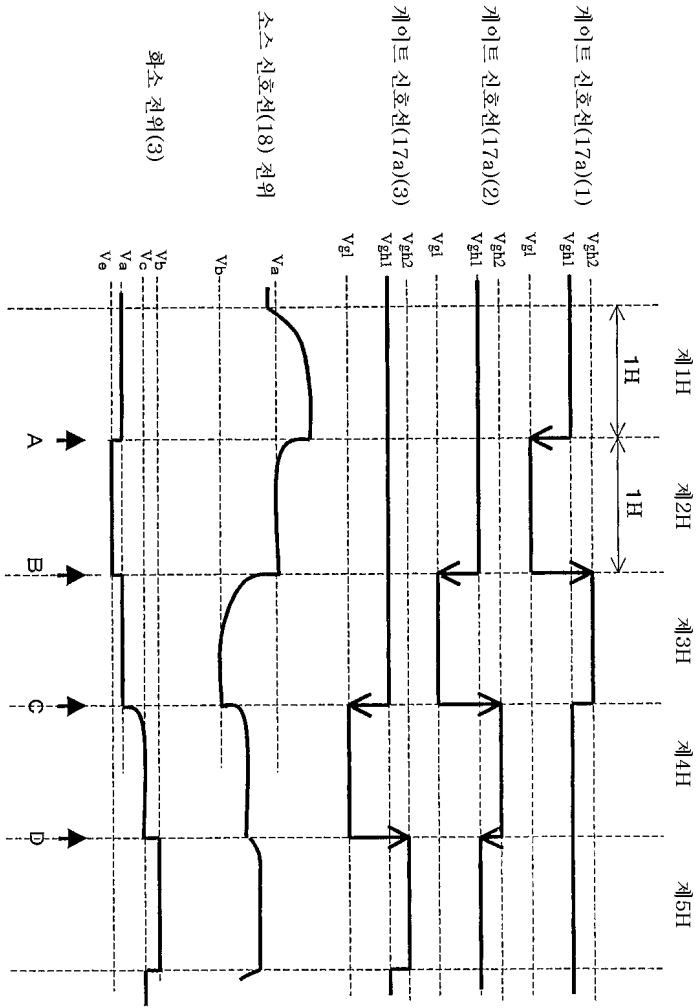
도면155



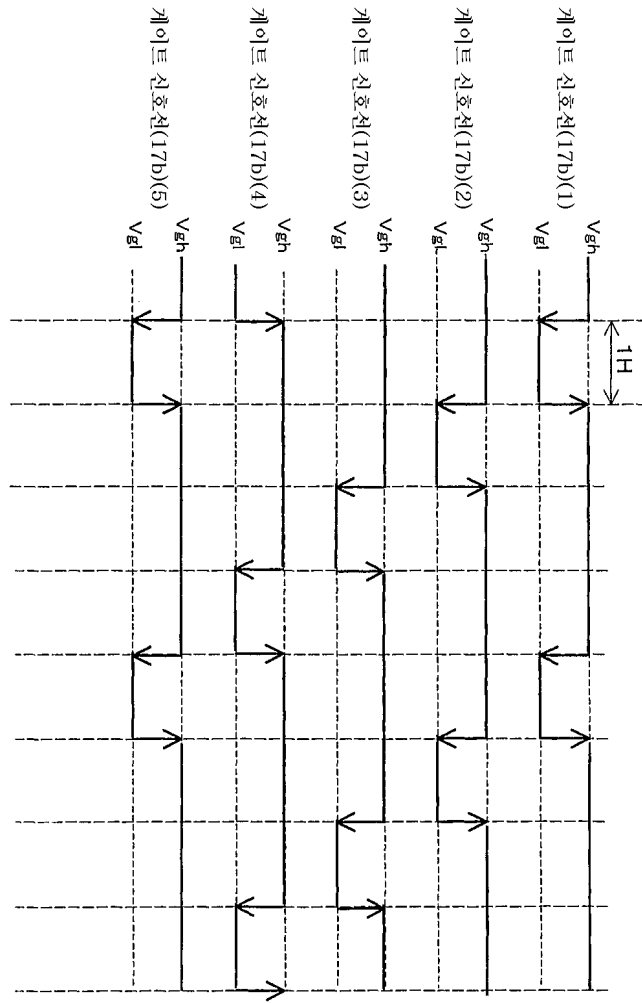
도면156



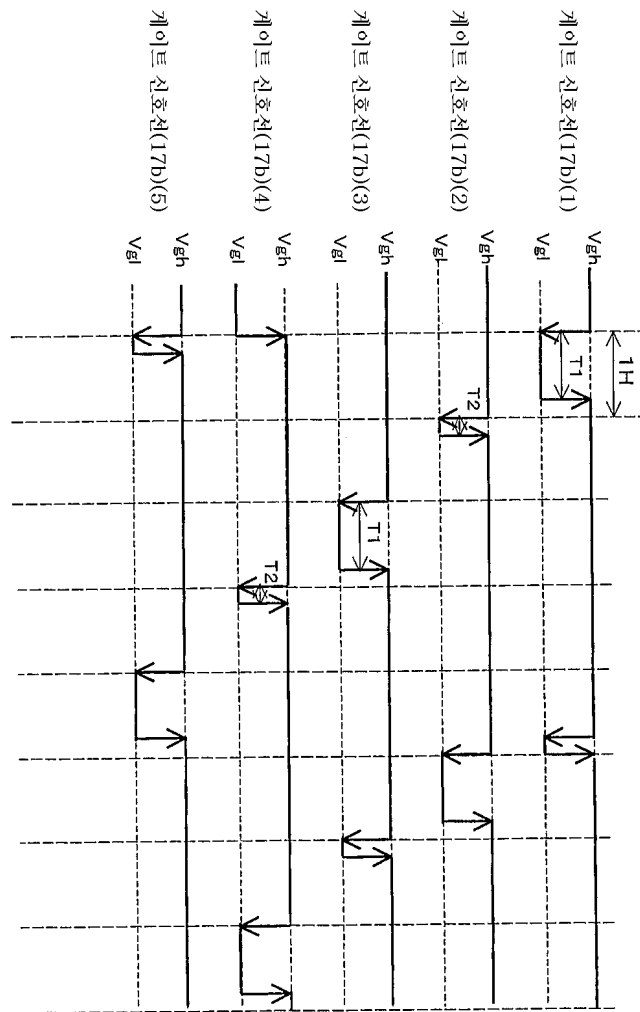
도면157



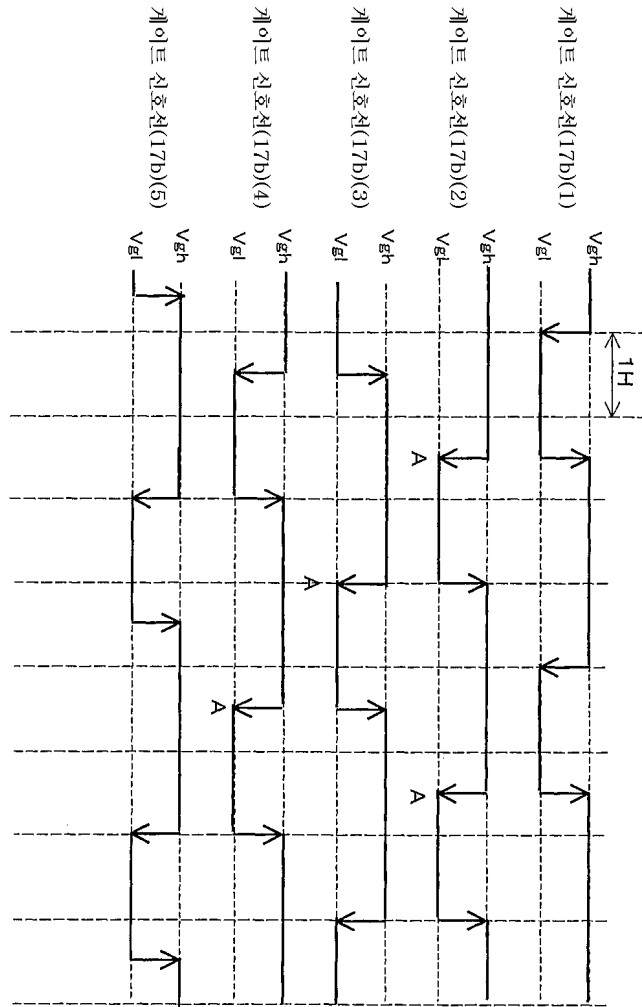
도면158



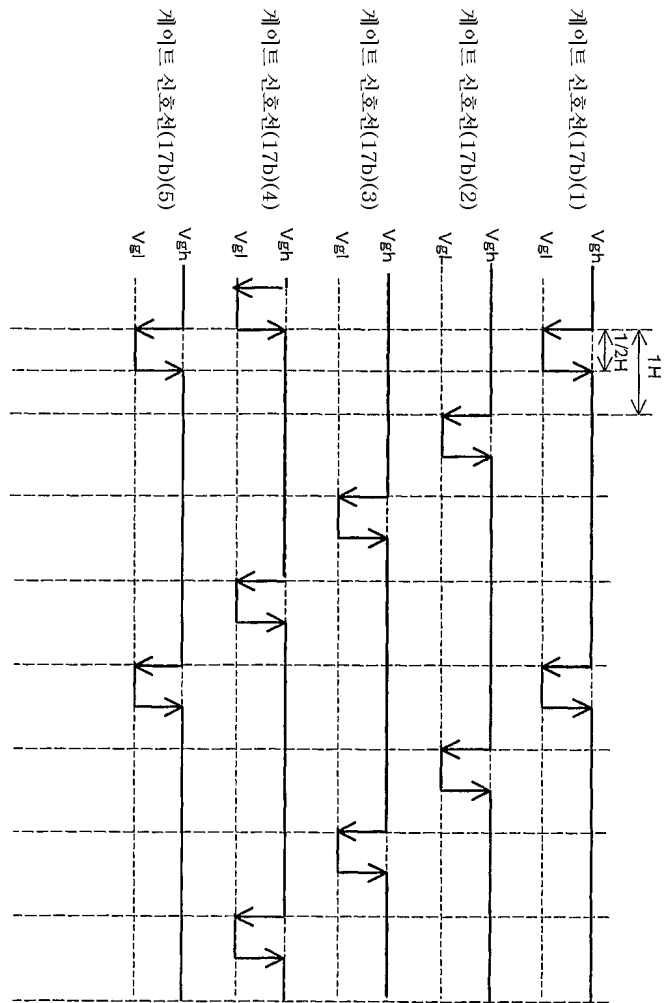
도면159



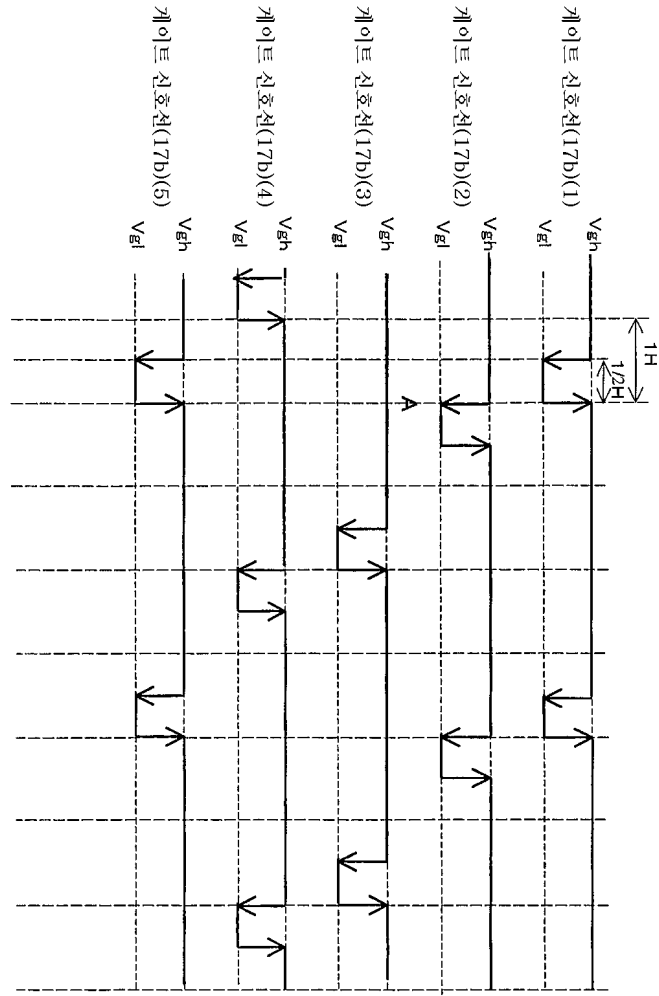
도면160



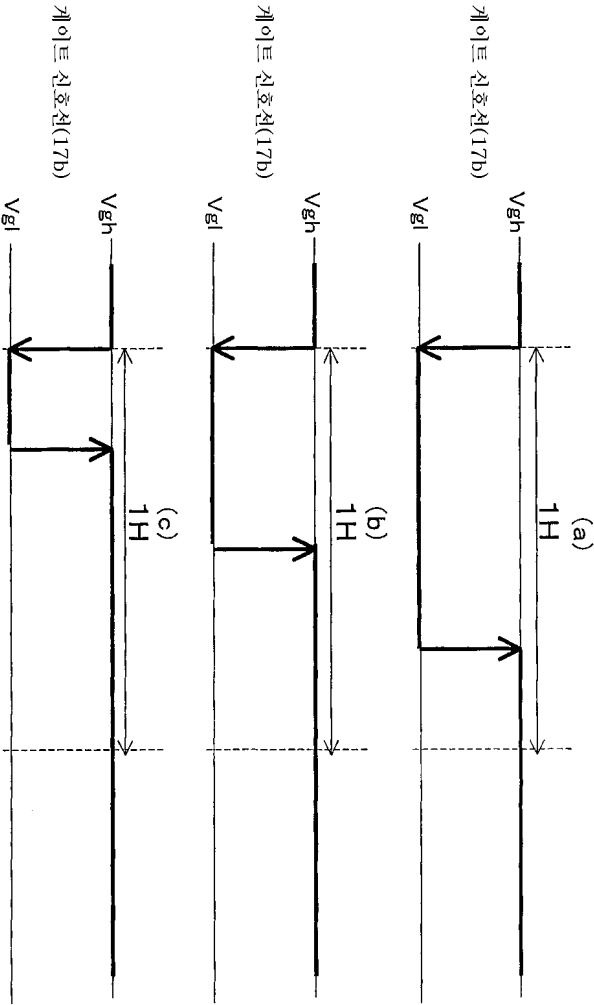
도면161



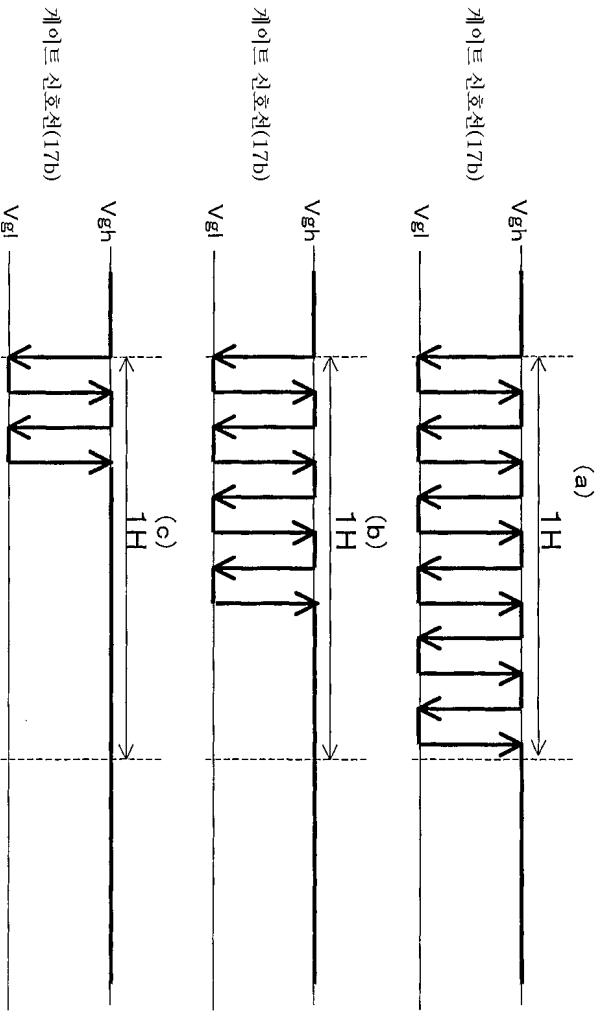
도면162



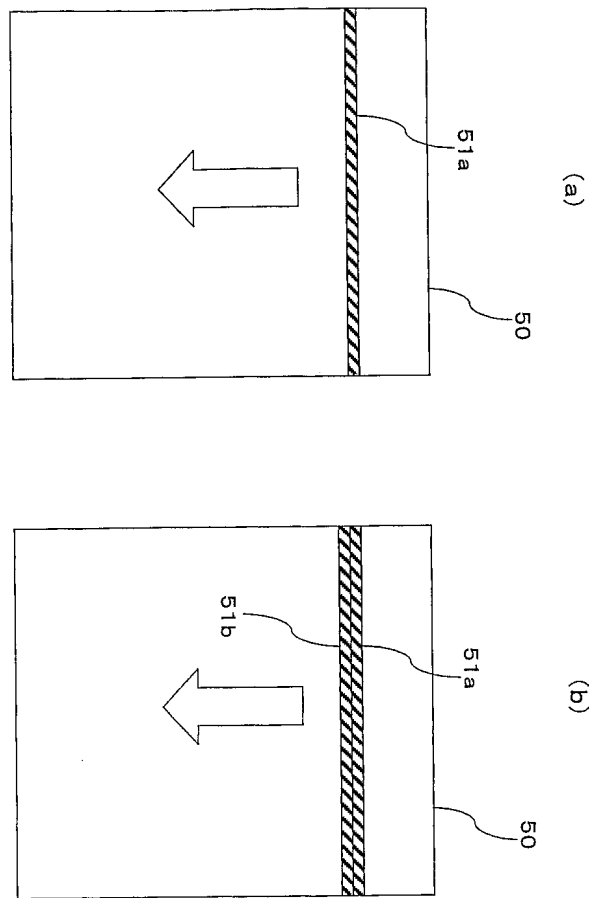
도면163



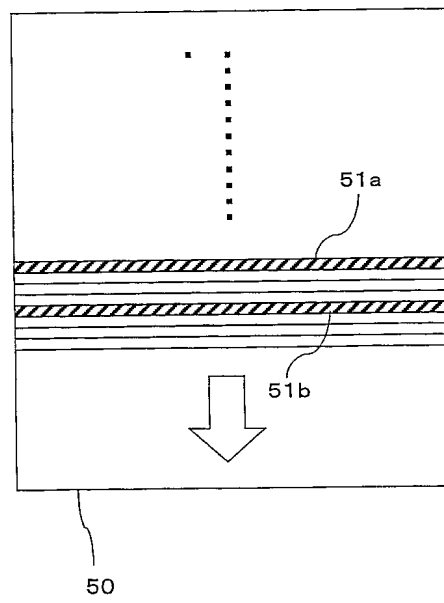
도면164



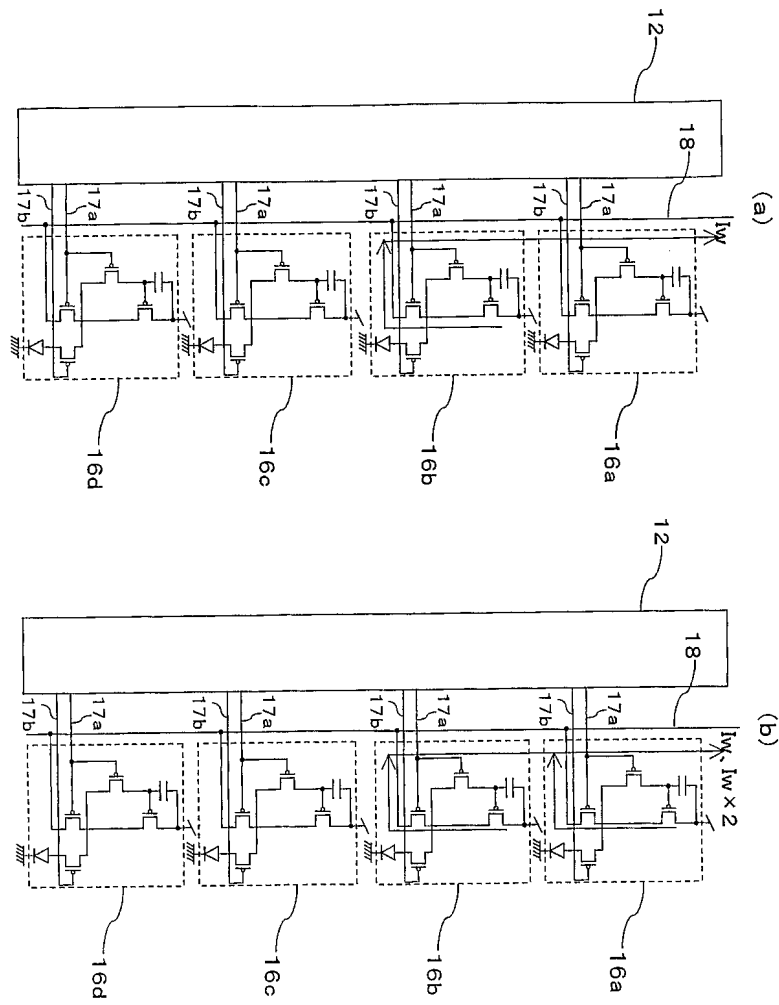
도면165



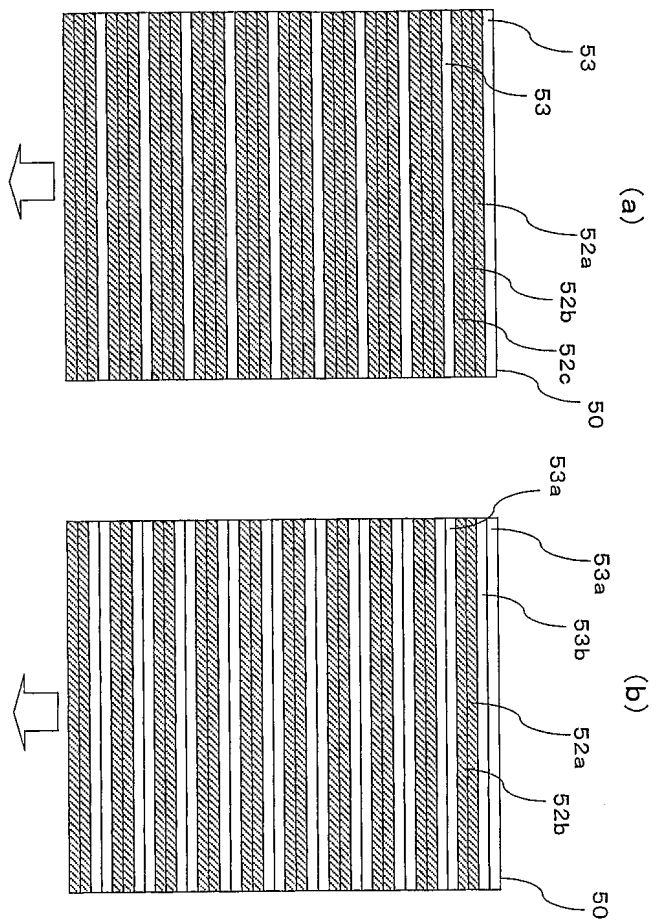
도면166



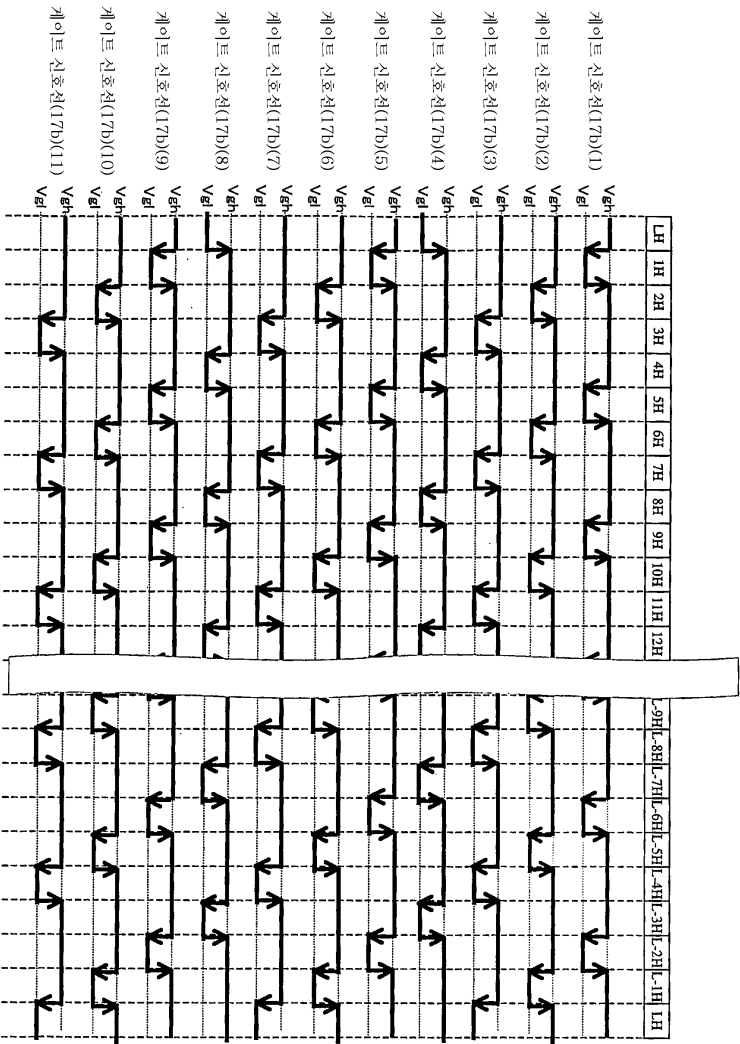
도면167



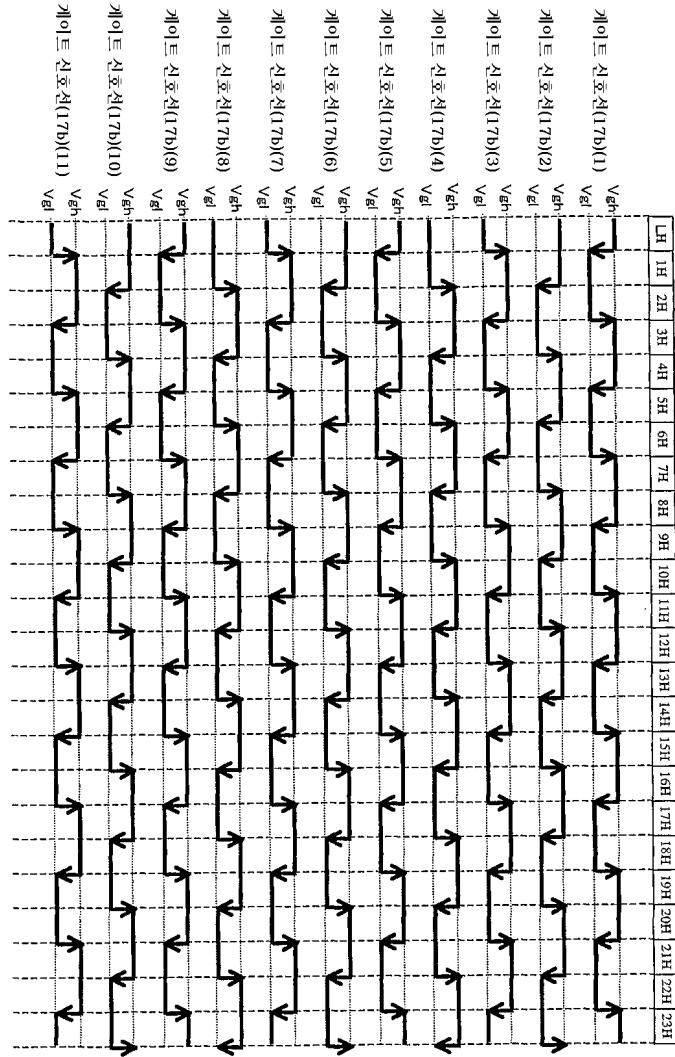
도면168



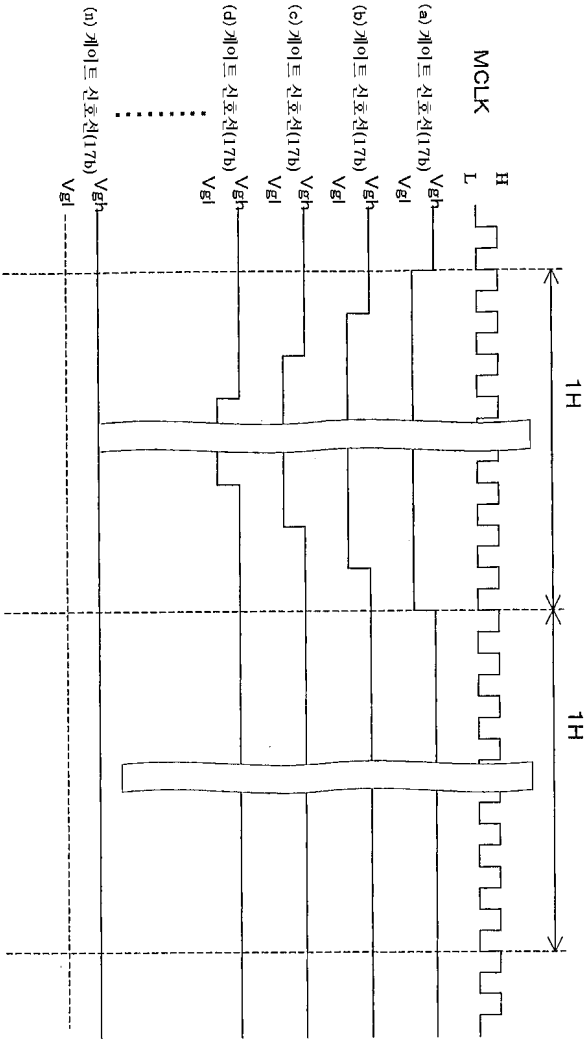
도면169



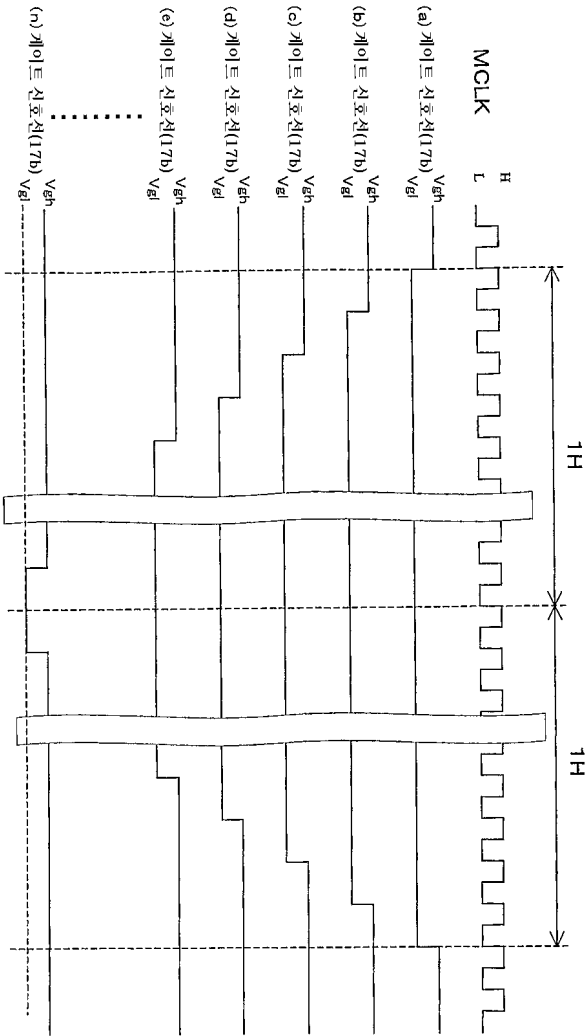
도면170



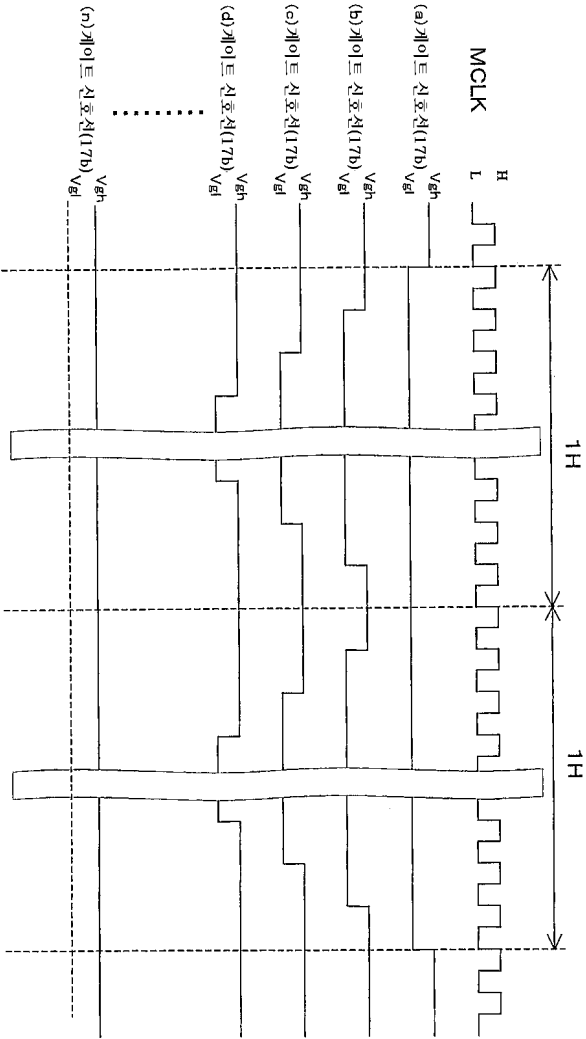
도면171



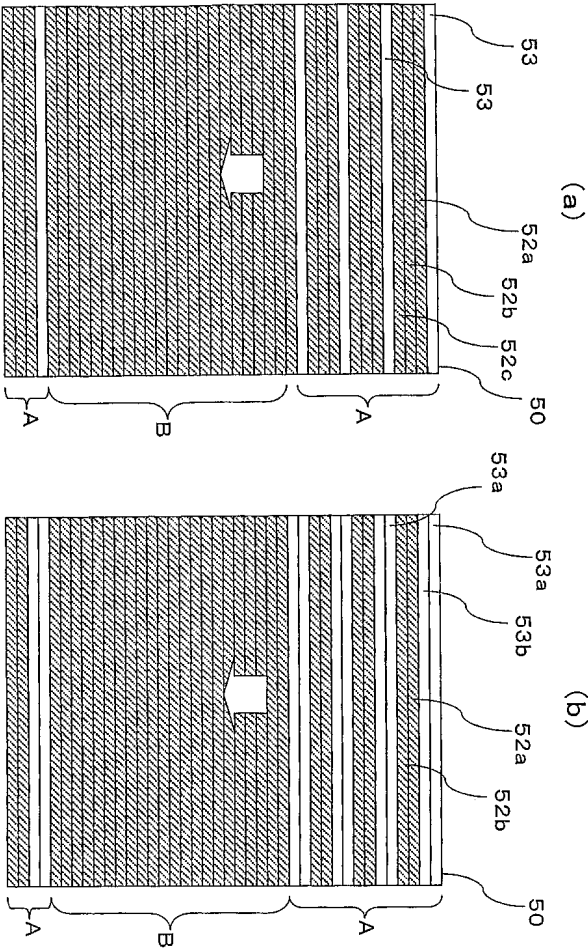
도면172



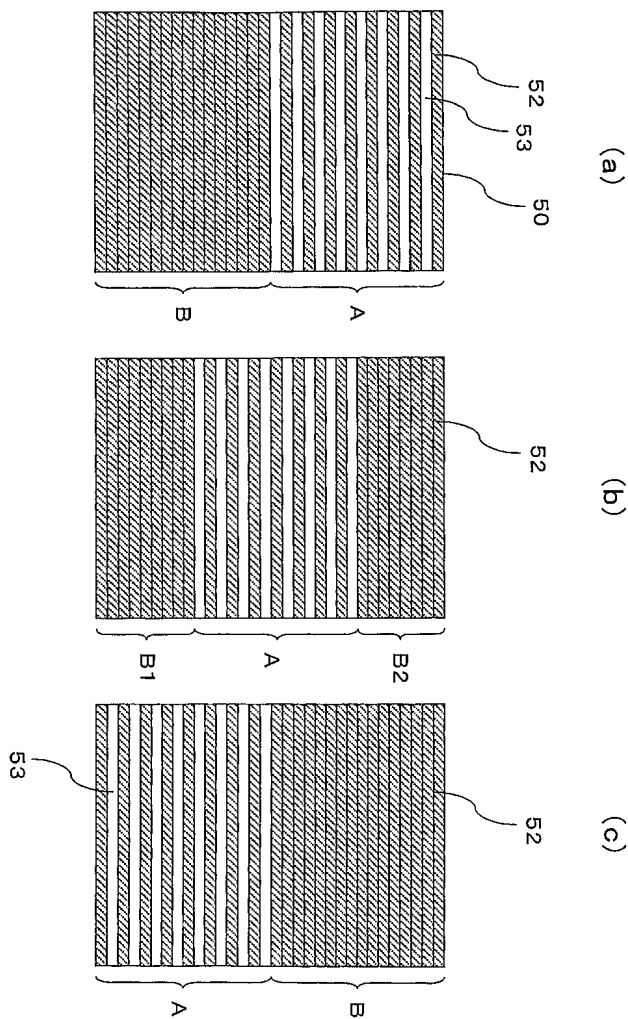
도면173



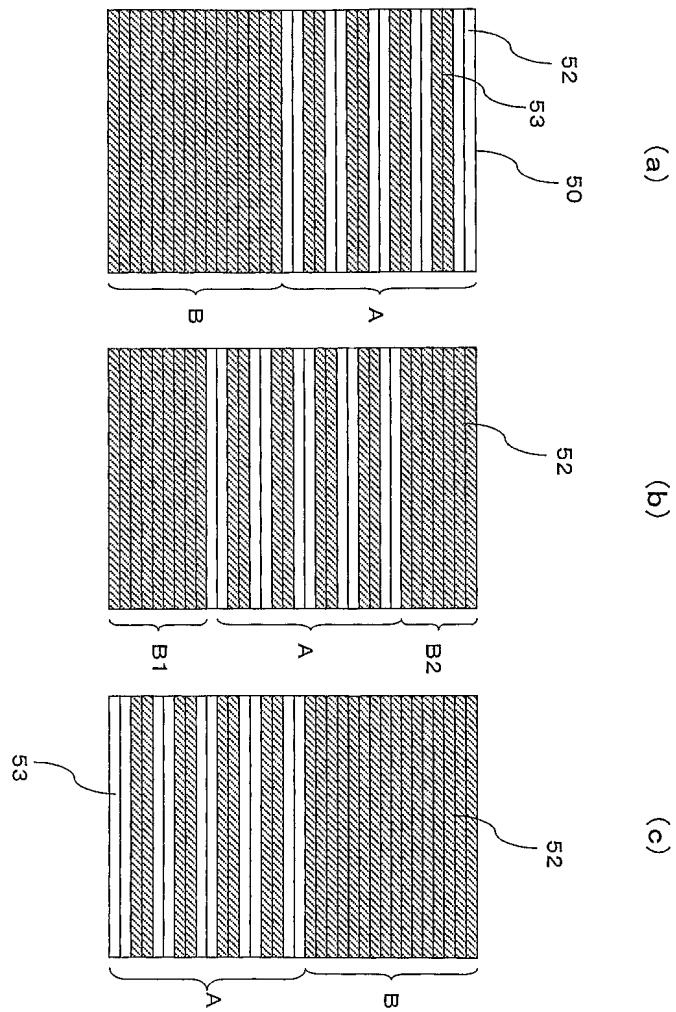
도면174



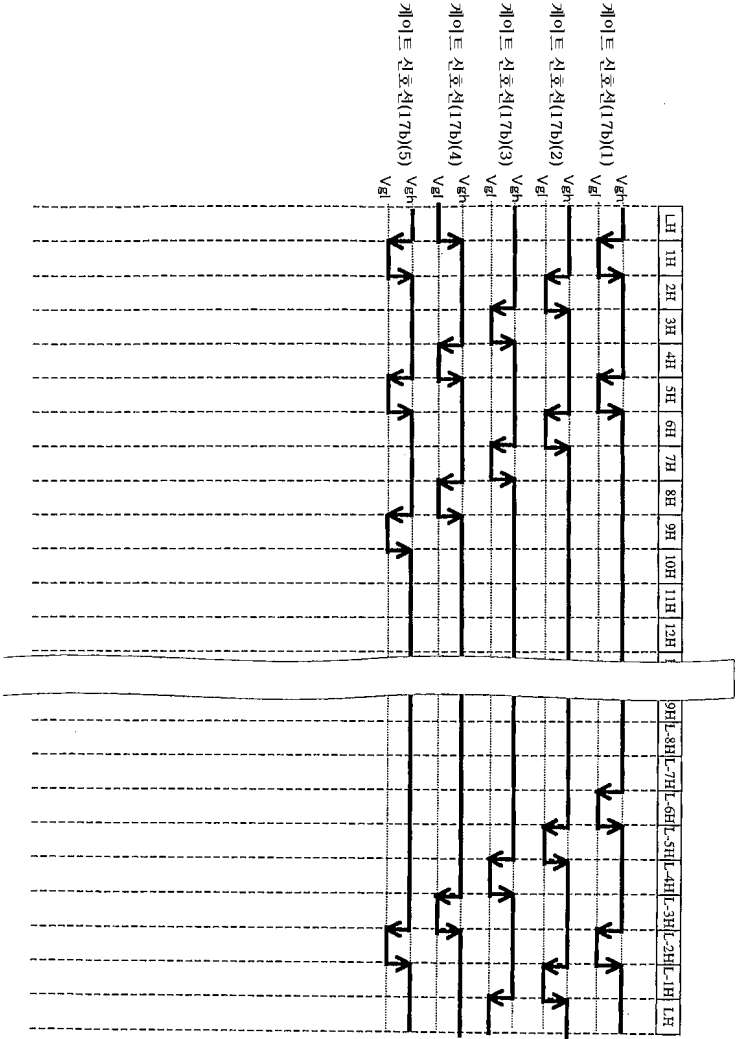
도면175



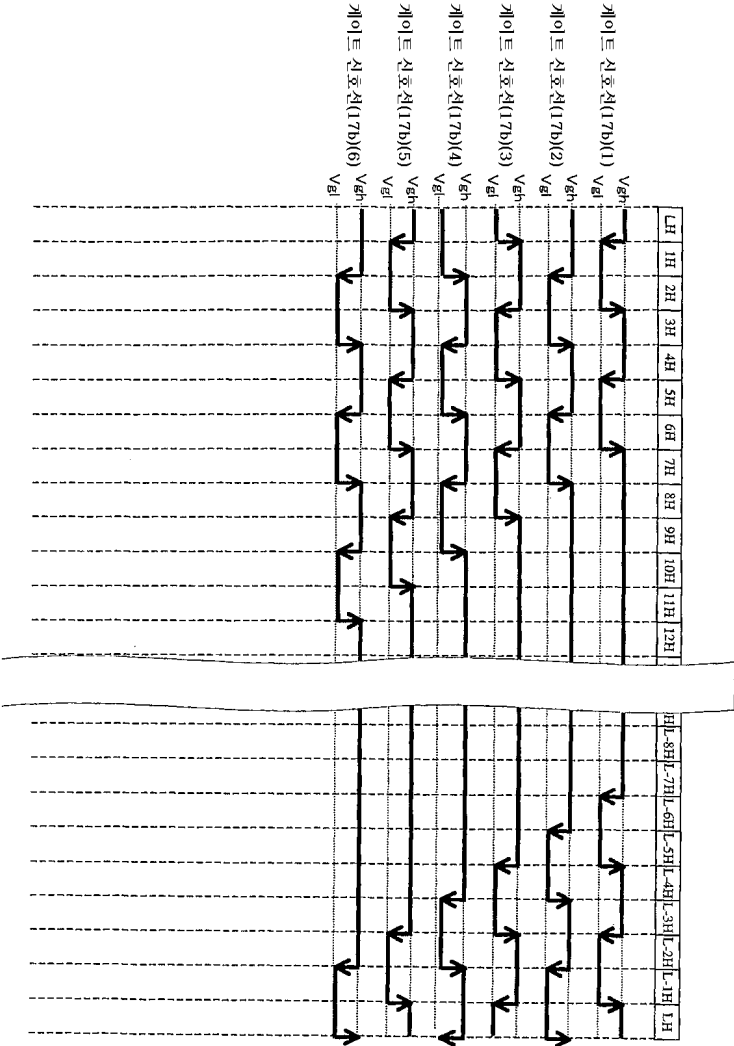
도면176



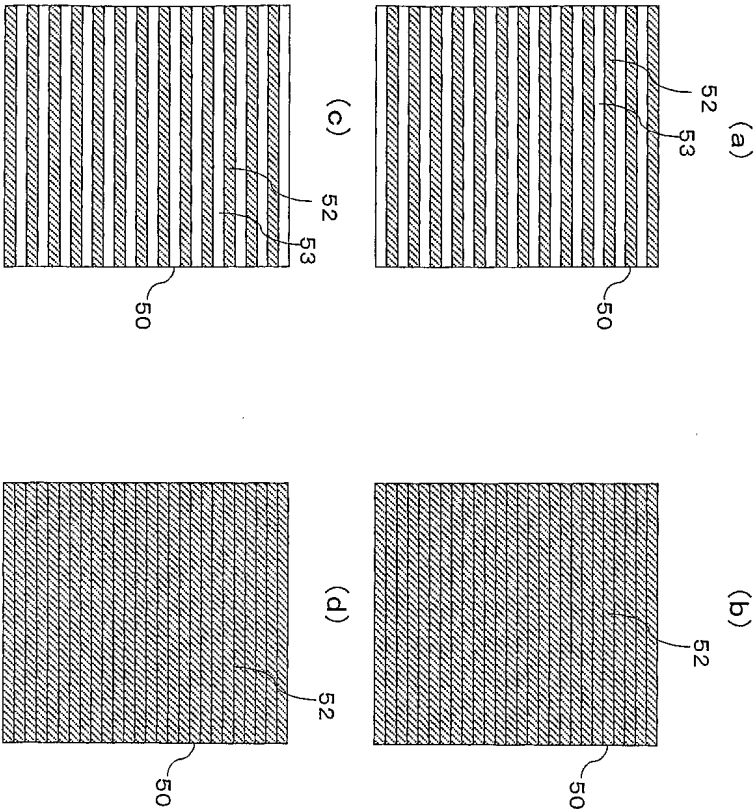
도면177



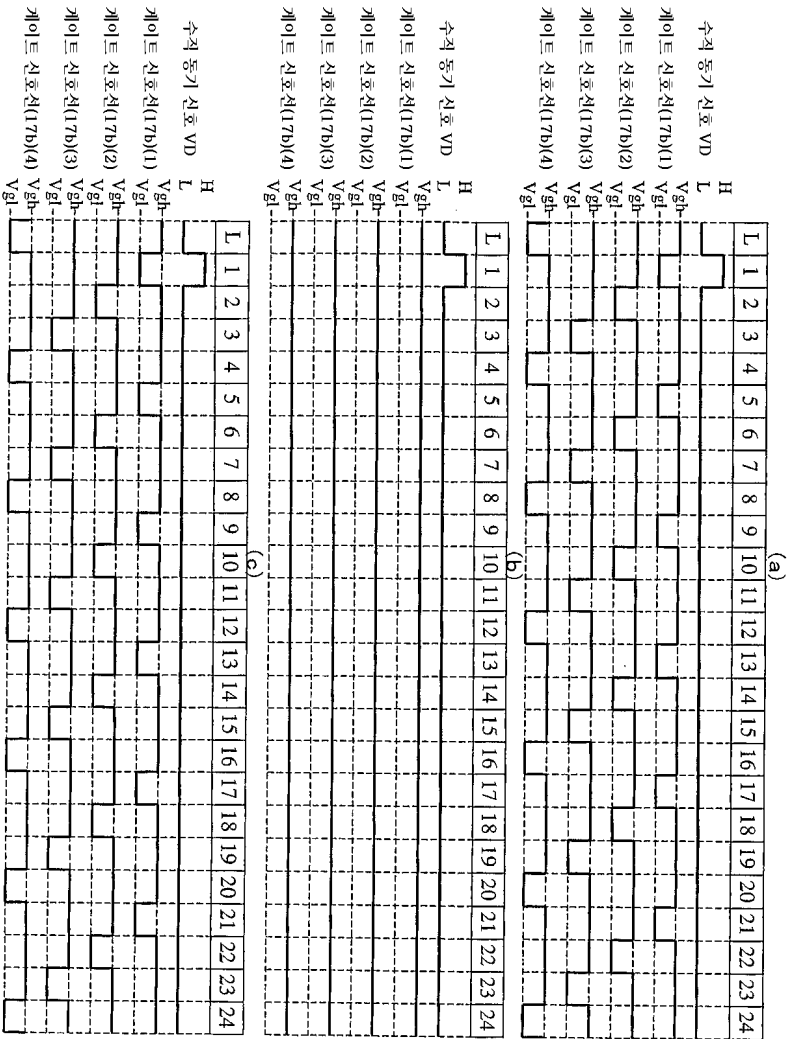
도면178



도면179



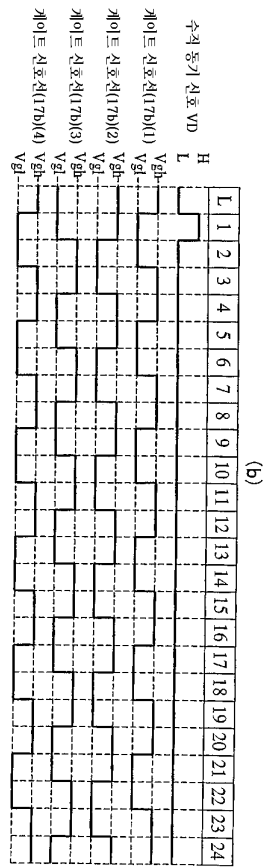
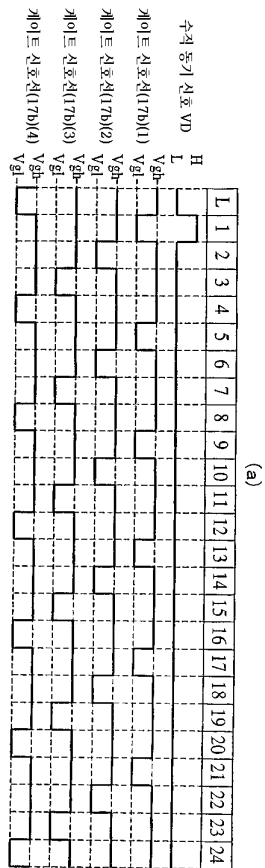
도면180



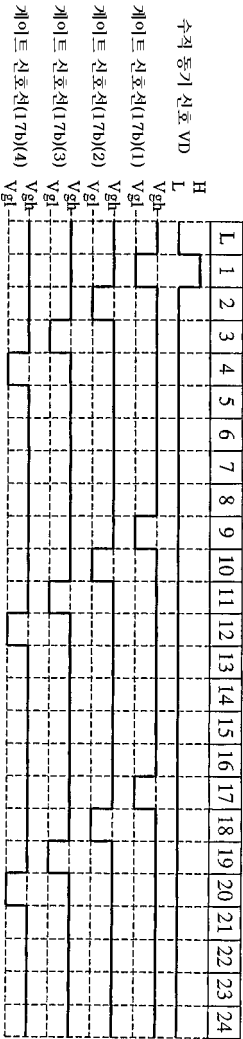
도면181

수직 동기 신호 VD																											
H	L	L	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
		V _{gh} -																									
		게이트 신호선(17b)(1) V _{gl} -																									
		V _{gh} -																									
		게이트 신호선(17b)(2) V _{gl} -																									
		V _{gh} -																									
		게이트 신호선(17b)(3) V _{gl} -																									
		V _{gh} -																									
		게이트 신호선(17b)(4) V _{gl} -																									

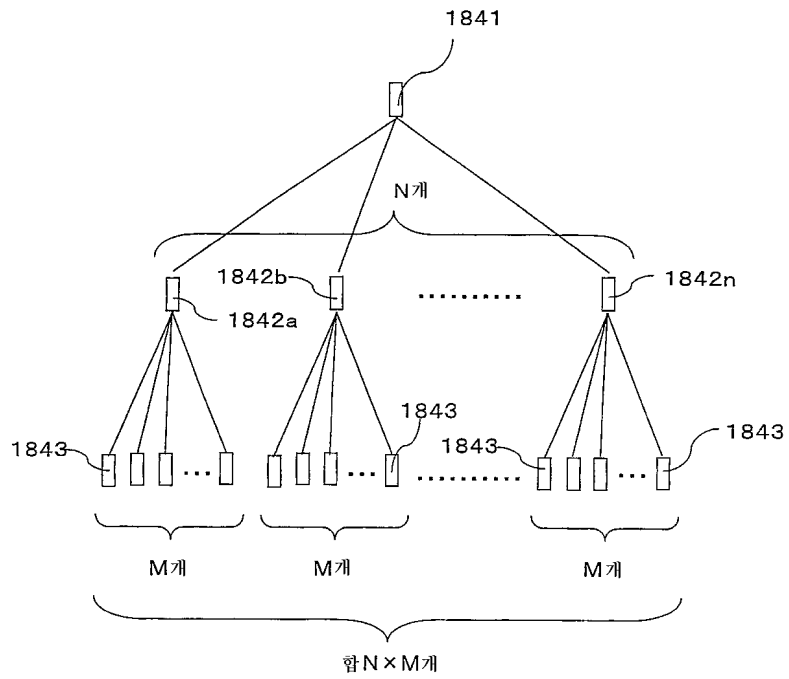
도면182



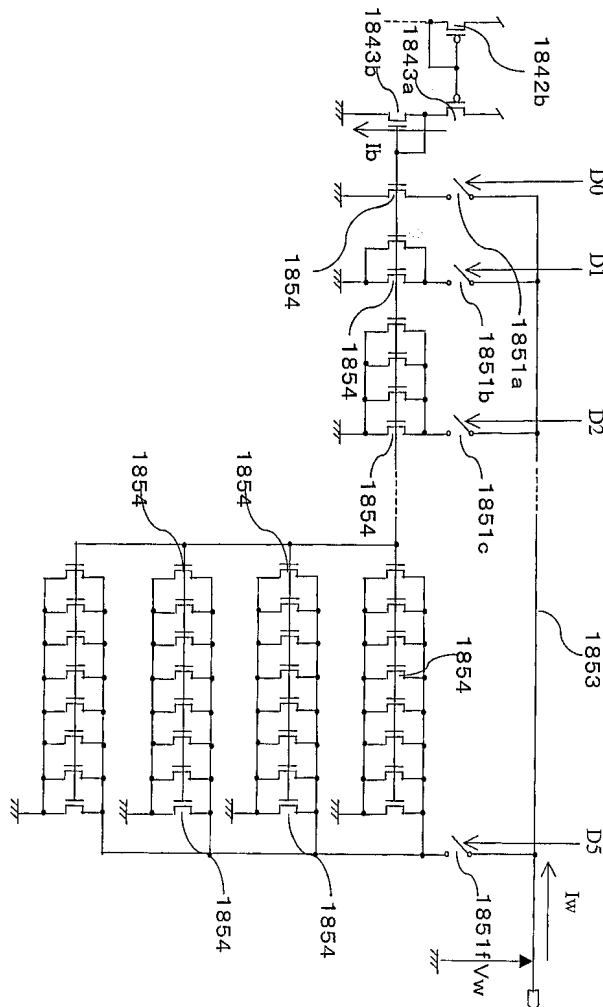
도면183



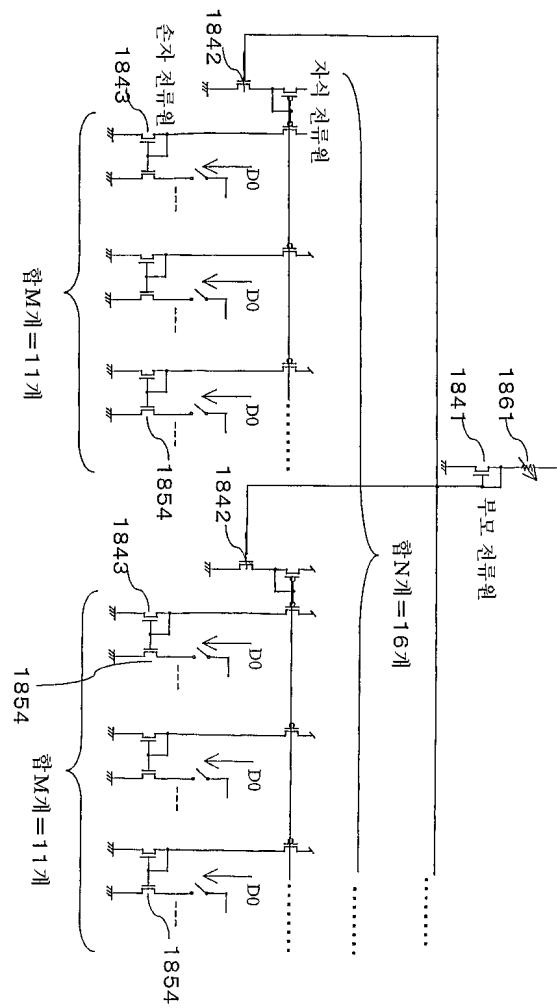
도면184



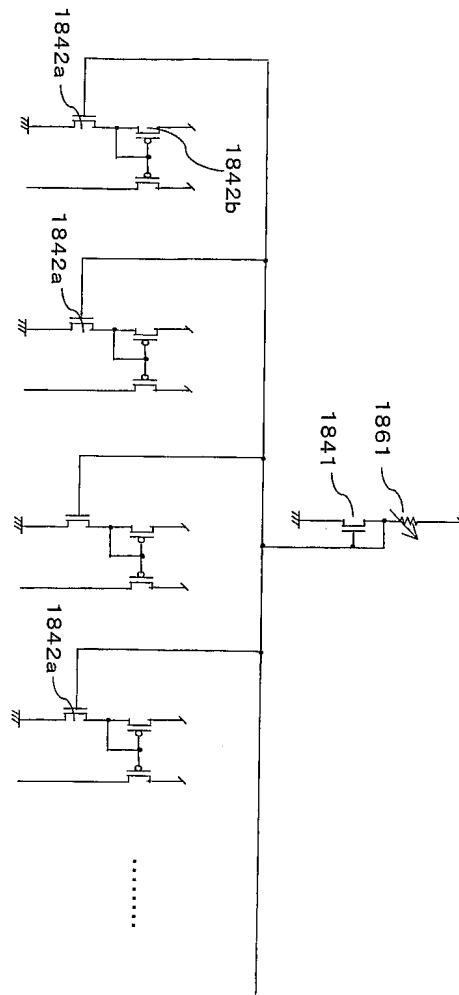
도면185



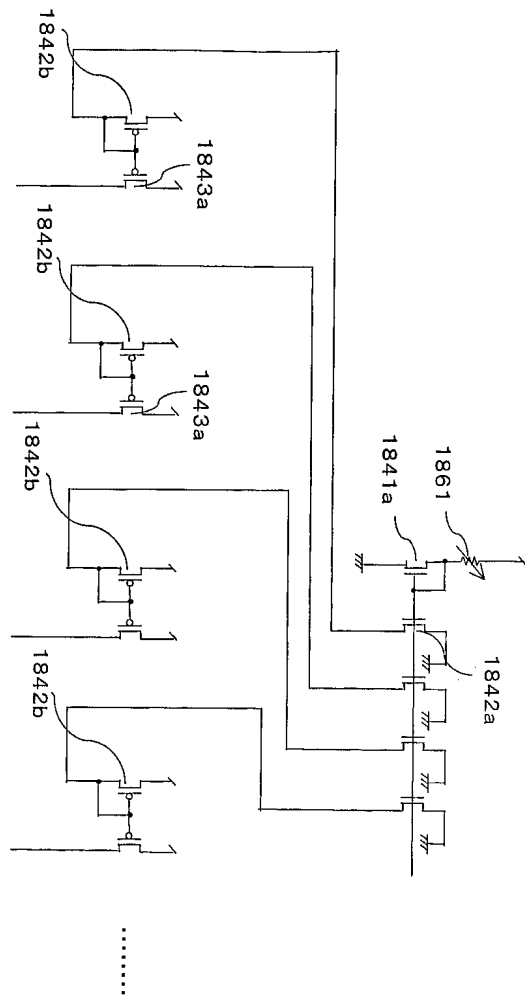
도면186



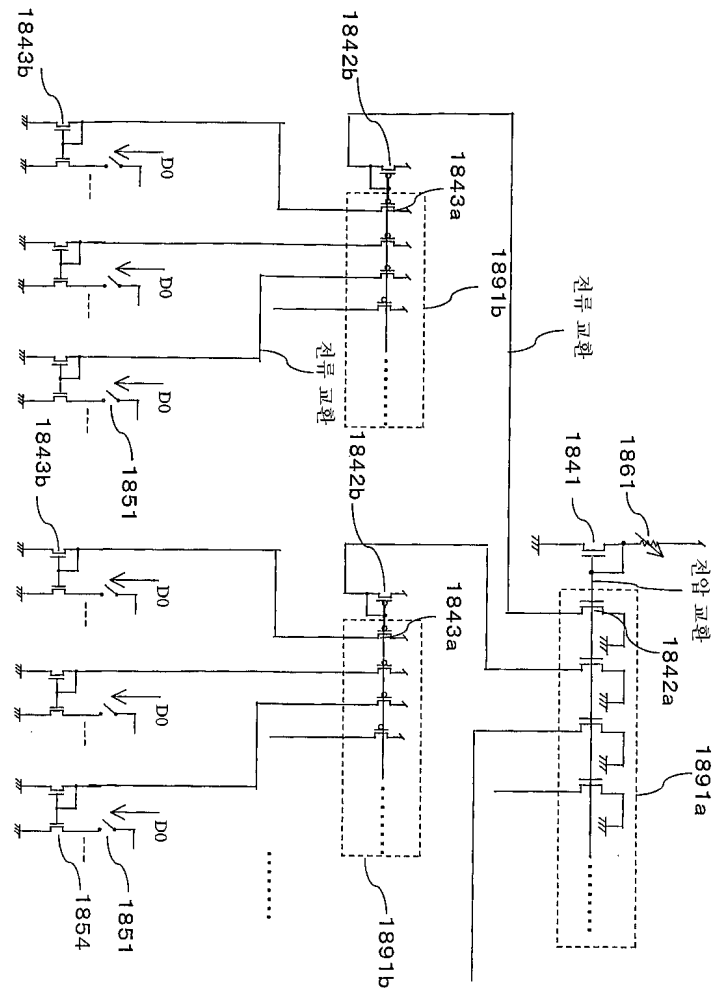
도면187



도면188



도면189



专利名称(译)	EL显示器件和EL显示器件的测试方法		
公开(公告)号	KR1020070004133A	公开(公告)日	2007-01-05
申请号	KR1020067025110	申请日	2003-03-06
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	TAKAHARA HIROSHI 다카하라히로시 TSUGE HITOSHI 쓰게히토시		
发明人	다카하라, 히로시 쓰게, 히토시		
IPC分类号	G09G3/30 G09G3/20 H05B33/14 G09G3/00 G09G3/22 G09G3/32 H01L27/32 H01L51/52		
CPC分类号	G09G3/006 G09G3/20 G09G3/2014 G09G3/22 G09G3/3241 G09G3/325 G09G3/3266 G09G3/3283 G09G2300/0408 G09G2300/0417 G09G2300/0452 G09G2300/0809 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/02 G09G2310/0218 G09G2310/0251 G09G2310/0256 G09G2310/0262 G09G2310/027 G09G2310/0283 G09G2310/0297 G09G2310/06 G09G2310/061 G09G2320/0214 G09G2320/0223 G09G2320/0233 G09G2320/0261 G09G2320/043 G09G2320/0606 G09G2320/0626 G09G2320/066 G09G2320/08 G09G2330/02 G09G2330/12 H01L27/3213 H01L27/3218 H01L27/3223 H01L27/3244 H01L27/3276 H01L51/5253 H01L51/5259 H01L51/5262 H01L51/5281 H01L51/529 H01L2251/568		
代理人(译)	Jangsugil Yijunghui		
优先权	2002127532 2002-04-26 JP 2002127637 2002-04-26 JP 2002284393 2002-09-27 JP		
其他公开文献	KR100885323B1		
外部链接	Espacenet		

摘要(译)

为了通过对源信号线的寄生电容器充电/放电来对像素晶体管进行编程以传导预定电流，需要使相对大的电流从电流输出类型的每个源极驱动器电路流出。然而，如果使这样大的电流流过源信号线，则该电流被编程为流过像素，因此大于所需电流的电流在EL器件（15）中流动。例如，如果编程了N倍（ $N = 10$ ）电流，则在EL器件（15）中流动10倍电流，其发射具有10倍亮度的光。为了达到预定的亮度，电流在EL器件中流动的时间被设置为一帧（1F）的1/10。通过这样驱动EL器件，可以对源信号线的寄生电容进行充电/放电，从而实现预定的亮度。©KIPO & WIPO 2007

