

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G09G 3/30 (2006.01)
G09G 3/20 (2006.01)

(11) 공개번호 10-2006-0105657
(43) 공개일자 2006년10월11일

(21) 출원번호 10-2006-0029598
(22) 출원일자 2006년03월31일

(30) 우선권주장 JP-P-2005-00104649 2005년03월31일 일본(JP)

(71) 출원인 도시바 마쯔시타 디스플레이 테크놀로지 컴퍼니, 리미티드
일본 도쿄도 미나토구 4쵸메 고난 1-8

(72) 발명자 아오끼 요시로
일본 도쿄도 미나토구 고난 4쵸메 1-8 도시바 마쯔시타디스플레이 테크
놀로지 컴퍼니, 리미티드 지적재산부 내

(74) 대리인 장수길
이중희
구영창

심사청구 : 있음

(54) 디스플레이, 어레이 기판, 및 디스플레이를 구동하는 방법

요약

각각의 픽셀은 제어 단자(ND1), 제1 전원 단자에 연결되는 제1 단자, 및 제어 단자와 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자(DR); 픽셀 전극, 제2 전원 단자(ND2)에 연결되는 대향 전극, 및 픽셀 전극과 대향 전극 간에 개재된 활성층을 포함하는 디스플레이 소자(OLED); 제2 단자와 픽셀 전극 간에 연결되는 스위치(SWa); 제어 단자와 정-전위 단자(ND1) 간에 연결되는 제1 캐패시터(C1); 제2 캐패시터(C2); 제어 단자와 비디오 신호선(DL) 간에 제2 캐패시터(C2)와 직렬로 연결되는 스위치(SWc); 제2 단자와 제2 캐패시터(C2)의 한 전극 간에 연결되는 스위치(SWb); 및 제2 단자와 제2 캐패시터(C2)의 다른 전극에 간에 연결되는 스위치(SWd)를 포함한다.

대표도

도 1

색인어

픽셀, 제어 단자, 캐패시터, 스위치

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 디스플레이를 개략적으로 도시하는 평면도.

도 2는 도 1에 도시된 디스플레이에 채택될 수 있는 구조의 일례를 개략적으로 도시하는 부분 단면도.

도 3은 도 1에 도시된 디스플레이에 포함된 픽셀을 도시하는 등가 회로도.

도 4는 도 1에 도시된 디스플레이를 구동하는 방법의 일례를 개략적으로 도시하는 타이밍 차트.

도 5는 변형에 따른 디스플레이에 포함된 픽셀의 등가 회로도.

도 6은 다른 변형에 따른 디스플레이에 포함된 픽셀의 등가 회로도.

도 7은 본 발명의 제2 실시예에 따른 디스플레이를 개략적으로 도시하는 평면도.

도 8은 도 7에 도시된 디스플레이에 포함된 픽셀의 등가 회로도.

도 9는 도 7에 도시된 디스플레이를 구동하는 방법의 일례를 개략적으로 도시하는 타이밍 차트.

<도면의 주요 부분에 대한 부호의 설명>

ND1: 제어 단자

DR: 구동 제어 소자

OLED: 디스플레이 소자

C1: 제1 캐패시터

C2: 제2 캐패시터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스플레이, 어레이 기판, 및 디스플레이를 구동하는 방법에 관한 것이다.

디스플레이 소자를 통하여 전달된 구동 전류의 크기에 의하여 각 디스플레이 소자의 광학 특성을 제어하는 유기 전기 발광 (EL) 디스플레이와 같은 디스플레이에서는, 구동 전류의 크기가 변한다면 휘도 불균일과 같은 화질 저하가 일어난다. 그러므로, 능동 매트릭스 구동 방법이 이 디스플레이에 이용될 때, 구동 전류의 크기를 제어하기 위한 구동 제어 소자의 특성은 픽셀들마다 대체로 동일해야 한다. 그런데, 이러한 디스플레이에서, 구동 제어 소자는 일반적으로 유리 기판과 같은 절연체 상에 형성되므로, 소자의 특성들이 쉽게 변한다.

미국 특허 제6,373,454호에서는 픽셀 내에 전류 미러(mirror) 회로를 이용하는 유기 EL 디스플레이를 기술한다.

이러한 픽셀은 구동 제어 소자로서의 n-채널 전계-효과 트랜지스터, 유기 EL 소자, 및 캐패시터를 포함한다.

구동 제어 소자의 소스는 저전위의 전원선에 연결되고, 캐패시터는 구동 제어 소자의 게이트와 전원선 간에 연결된다. 유기 EL 소자의 애노드는 고전위의 전원선에 연결된다.

픽셀 회로는 이하 기술된 바와 같이 구동된다.

첫째, n-채널 전계-효과 트랜지스터의 드레인은 자신의 게이트에 연결된다. 비디오 신호에 대응하는 크기를 가지는 전류 I_{sig} 가 n-채널 전계-효과 트랜지스터의 소스와 드레인 간에 흐르게 된다. 이 동작은 캐패시터의 전극들 간의 전압을, n-채널 전계-효과 트랜지스터가 자신의 채널을 통하여 전류 I_{sig} 가 흐르는 데에 필요한 게이트-소스 전압과 동일하게 설정한다.

그 다음, n-채널 전계-효과 트랜지스터의 드레인을 자신의 게이트로부터 분리하고, 캐패시터의 전극들 간의 전압은 유지된다. 이어서 n-채널 전계-효과 트랜지스터의 드레인은 유기 EL 소자의 캐소드에 연결된다. 이는 전류 I_{sig} 와 거의 크기가 동일한 구동 전류 I_{drv} 가 유기 EL 소자를 통하여 흐를 수 있게 한다. 유기 EL 소자는 구동 전류 I_{drv} 의 크기에 대응하는 휘도로 빛을 방출한다.

상기 구성은 기입 기간 이후의 보유(retention) 기간 동안 n-채널 전계-효과 트랜지스터의 드레인과 소스 간에 흐르는 구동 전류 I_{drv} 가 기입 기간 중에 비디오 신호로서 공급된 전류 I_{sig} 의 크기와 거의 동일한 크기를 갖는 것을 가능하게 한다. 그러므로, 구동 전류 I_{drv} 에 대한 n-채널 전계-효과 트랜지스터의 이동도, 크기, 등 뿐만 아니라 임계값 V_{th} 의 영향도 제거시킬 수 있다.

그러나, 상기 디스플레이가 비디오 신호 I_{sig} 에 대응하는 구동 전류 I_{drv} 의 크기가 작을 때 비디오 신호 I_{sig} 를 판독하는 것은 어려운 일이다. 그러므로, 낮은 그레이 레벨의 화상이 디스플레이 될 때 디스플레이 불균일이 쉽게 일어난다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 양태에 따르면, 픽셀, 및 픽셀이 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 디스플레이가 제공되는데, 여기에서 각각의 픽셀은 제어 단자, 제1 전원 단자에 연결되는 제1 단자, 및 제어 단자와 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자; 픽셀 전극, 제2 전원 단자에 연결되는 대향 전극, 및 픽셀 전극과 대향 전극 간에 개재된 활성층을 포함하는 디스플레이 소자; 제2 단자와 픽셀 전극 간에 연결되는 출력 제어 스위치; 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터; 제어 단자와 비디오 신호선 간에 직렬로 연결되는 제2 캐패시터와 신호 공급 제어 스위치; 제2 단자와 제2 캐패시터의 전극 간에 연결되는 제1 다이오드-연결 스위치; 및 제2 단자와 제2 캐패시터의 다른 전극 간에 연결되는 제2 다이오드-연결 스위치를 포함한다.

본 발명의 제2 양태에 따르면, 픽셀, 및 픽셀이 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 디스플레이가 제공되는데, 여기에서 각각의 픽셀은 제어 단자, 제1 전원 단자에 연결되는 제1 단자, 및 제어 단자와 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자; 픽셀 전극, 제2 전원 단자에 연결되는 대향 전극, 및 픽셀 전극과 대향 전극 간에 개재된 활성층을 포함하는 디스플레이 소자; 제2 단자와 픽셀 전극 간에 연결되는 출력 제어 스위치; 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터; 제2 캐패시터; 및 제1 내지 제3 상태들 사이에서 연결 상태를 전환하는 스위치 그룹을 포함하고, 제1 상태는 제2 단자가 제어 단자에 연결되고 비디오 신호선으로부터 분리되는 상태이며, 제2 상태는 제2 단자가 제2 캐패시터를 통해 제어 단자에 연결되고 비디오 신호선에 연결된 상태이며, 제3 상태는 제2 단자, 제어 단자 및 비디오 신호선이 서로 분리되는 상태이다.

본 발명의 제3 양태에 따르면, 픽셀 회로, 및 픽셀 회로가 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 어레이 기판이 제공되는데, 여기에서 각각의 픽셀 회로는 제어 단자, 제1 전원 단자에 연결되는 제1 단자, 및 제어 단자와 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자; 픽셀 전극, 제2 단자와 픽셀 전극 간에 연결되는 출력 제어 스위치; 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터; 제어 단자와 비디오 신호선 간에 직렬로 연결되는 제2 캐패시터와 신호 공급 제어 스위치; 제2 단자와 제2 캐패시터의 한 전극 간에 연결되는 제1 다이오드-연결 스위치; 및 제2 단자와 제2 캐패시터의 다른 전극에 간에 연결되는 제2 다이오드-연결 스위치를 포함한다.

본 발명의 제4 양태에 따르면, 픽셀 회로, 및 픽셀 회로가 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 어레이 기판이 제공되는데, 여기에서 각각의 픽셀 회로는 제어 단자, 전원 단자에 연결되는 제1 단자, 및 제어 단자와 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자; 픽셀 전극, 제2 단자와 픽셀 전극 간에 연결되는 출력 제어 스위치; 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터; 제2 캐패시터; 및 제1

내지 제3 상태들 사이에서 연결 상태를 전환하는 스위치 그룹을 포함하고, 제1 상태는 제2 단자가 제어 단자에 연결되고 비디오 신호선으로부터 분리되는 상태이며, 제2 상태는 제2 단자가 제2 캐패시터를 통해 제어 단자에 연결되고 비디오 신호선에 연결된 상태이며, 제3 상태는 제2 단자, 제어 단자 및 비디오 신호선이 서로 분리되는 상태이다.

본 발명의 제5 양태에 따르면, 픽셀, 및 픽셀이 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 디스플레이를 구동하는 방법이 제공되는데, 여기에서 각각의 픽셀은 제어 단자, 제1 전원 단자에 연결되는 제1 단자, 및 제어 단자와 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자; 픽셀 전극, 제2 전원 단자에 연결되는 대향 전극, 및 픽셀 전극과 대향 전극 간에 개재된 활성층을 포함하는 디스플레이 소자; 제2 단자와 픽셀 전극 간에 연결되는 출력 제어 스위치; 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터; 제2 캐패시터를 포함하고; 리셋 동작, 기입 동작, 및 디스플레이 동작을 이 순서대로 실행하는 단계를 포함하고, 여기서 리셋 동작은 제2 단자로부터의 픽셀 전극을 분리하는 단계, 제2 단자를 제어 단자에 연결하는 단계, 및 제어 단자로부터 제2 단자를 분리하는 단계를 포함하고, 기입 동작은 제2 단자를 비디오 신호 선에 연결하는 단계, 제2 캐패시터를 통해 제2 단자를 제어 단자에 연결하는 단계, 제1 전원 단자와 비디오 신호선 사이에 비디오 신호로서 기입 전류를 흐르게 하는 단계 및, 제2 단자 및 비디오 신호선으로부터 제어 단자를 분리하는 단계를 포함하고, 디스플레이 동작은 제2 단자를 픽셀 전극에 연결하는 단계를 포함한다.

발명의 구성 및 작용

본 발명의 실시예들이 도면을 참조하여 이하 상세히 기술될 것이다. 도면에서, 동일한 기능을 가지는 성분들은 동일한 참조번호로 표기되며 중복 설명을 생략할 것이다.

도 1은 본 발명의 제1 실시예에 따른 디스플레이를 개략적으로 도시하는 평면도이다. 도 2는 도 1에 도시된 디스플레이에 채택될 수 있는 구조의 일례를 개략적으로 도시하는 부분 단면도이다. 도 3은 도 1에 도시된 디스플레이에 포함된 픽셀을 도시하는 등가 회로도이다. 도 2에서, 디스플레이는, 이것의 디스플레이 표면, 즉 전면 또는 발광면이 도면의 하부를 향하는 한편 이것의 후면이 도면의 상부를 향하도록 도시된다.

이 디스플레이는 능동 매트릭스 구동 방법을 채용하는 하부 방출 유기 EL 디스플레이이다. 유기 EL 디스플레이는 유리 기판과 같은 절연 기판 SUB를 포함한다.

예를 들면, SiN_x 층 및 SiO_x 층은, 도 2에 도시된 언더코팅층(undercoat layer) UC로서, 기판 SUB 상에서 순차적으로 적층된다.

각각에 소스 및 드레인이 형성되는 반도체층 SC, 게이트 절연체 GI, 및 게이트 G가 순차적으로 언더코팅층 UC 상에 적층된다. 반도체층 SC는, 예를 들면 폴리실리콘층이다. 게이트 절연체 GI는 예를 들면, TEOS(tetraethyl orthosilicate)를 이용하여 형성될 수 있다. 게이트 G는, 예를 들면, MoW로 형성된다. 반도체층 SC, 게이트 절연체 GI, 및 게이트 G는 상부-게이트형 박막 트랜지스터를 형성한다. 이 실시예에서, 이들 박막 트랜지스터는 도 1 및 도 3에 도시된 스위치 SWa 내지 SWe 및 구동 제어 소자 DR로서 활용되는 p-채널 박막 트랜지스터이다.

도 1 및 도 3에 도시된 주사 신호선 SL1 내지 SL4 및 캐패시터 C1과 C2의 하부 전극이 게이트 절연체 GI에 또한 배열된다. 하부 전극 및 주사 신호선 SL1 내지 SL4는 게이트 G에 대한 단계와 동일한 단계에서 형성될 수 있다.

도 1에서 도시된 바와 같이, 주사 신호선 SL1 내지 SL4는 픽셀 PX의 행을 따라, 즉 X 방향으로 연재하고, 픽셀 PX의 열들을 따르는 Y 방향으로 배열되어 있다. 주사 신호선 SL1 내지 SL4는 주사 신호선 구동기 YDR에 연결되어 있다.

도 2에 도시된 층간 절연막 II는 게이트 절연체 GI, 게이트 G, 주사 신호선 SL1 내지 SL4, 및 캐패시터 C1 및 C2의 하부 전극을 피복한다. 층간 절연막 II의 부분들은 캐패시터 C1 및 C2의 유전층으로서 활용된다.

층간 절연막 II 상에는, 도 1 및 도 3에 도시된 캐패시터 C1 및 C2의 상부 전극, 도 2에 도시된 소스 전극 SE 및 드레인 전극 DE, 및 도 1 및 도 3에 도시된 비디오 신호선 DL 및 전원 공급선 PSL이 배열된다. 캐패시터 C1 및 C2의 상부 전극, 소스 전극 SE, 드레인 전극 DE, 비디오 신호선 DL, 및 전원 공급선 PSL은 동일한 단계에서 형성될 수 있으며, 예를 들어, Mo, Al, 및 Mo의 3층 구조를 가질 수 있다.

소스 전극 SE 및 드레인 전극 DE는 층간 절연막 II에서 형성된 컨택트 홀을 통해 박막 트랜지스터의 소스 및 드레인에 전기적으로 연결된다.

도 1에서 도시된 바와 같이, 비디오 신호선 DL은 Y 방향으로 연재되며 X 방향으로 배열되어 있다. 비디오 신호선 DL은 비디오 신호선 구동기 XDR에 연결된다.

전원 공급선 PSL은, 예를 들어, Y 방향으로 연재되며, X 방향으로 배열되어 있다.

도 2에 도시된 패시베이션 막 PS는 소스 전극 SE, 드레인 전극 DE, 비디오 신호선 DL, 전원 공급선 PSL, 및 캐패시터 C1 및 C2의 상부 전극을 피복한다. 패시베이션 막 PS는, 예를 들어, SiNx로 형성된다.

도 2에 도시된 바와 같이, 패시베이션 막 PS 상에는 전면 전극으로서 광-투과형 제1 전극 PE가 서로 이격되어 배열된다. 제1 전극 PE 각각은 스위치 SWa의 드레인이 연결되는 드레인 전극 DE에 패시베이션 막 PS에 형성된 관통홀을 통해 연결되는 픽셀 전극이다.

이 실시예에서, 제1 전극 PE는 애노드이다. 제1 전극 PE의 재료로서 투명 도전 산화물, 예컨대, 인듐 주석 산화물(ITO)을 이용할 수 있다.

패시베이션 막 PS 상에는 또한 도 2에서 도시된 분할 절연층 PI가 배열된다. 분할 절연층 PI는 제1 전극 PE로 형성되는 열 또는 행들에 대응하는 위치에 형성된 슬릿 또는 제1 전극 PE에 대응하는 위치에 형성된 관통홀을 갖는다. 여기서, 일례로서, 분할 절연층 PI는 제1 전극 PE에 대응하는 위치에 형성된 관통홀을 갖는다.

분할 절연층 PI는, 예를 들어, 유기 절연층이다. 분할 절연층 PI는, 예컨대, 포토리소그래피 기술을 이용하여 형성될 수 있다.

제1 전극 PE 각각 상에는 활성층으로서 방출층을 포함하는 유기층 ORG가 배열된다. 방출층은, 예를 들어, 적색 광, 녹색 광, 또는 청색 광을 방출하는 발광성 유기 합성물을 포함하는 박막이다. 방출층 이외에도, 유기층 ORG는 정공 주입층, 정공 이송층, 정공 차단층, 전자 이송층, 및 전자 주입층을 포함할 수 있다.

분할 절연층 PI 및 유기층 ORG는 대향 전극으로서 제2 전극 CE로 피복된다. 제2 전극 CE는 픽셀들 PX 간에 공유되는 공통 전극이다. 이 실시예에서, 제2 전극 CE는 후방 전극으로서 작용하는 광-반사형 캐소드이다. 예를 들면, (도시되지 않은) 전극 배선은 비디오 신호선 DL이 형성된 층에서 형성되고, 제2 전극 CE는 분할 절연층 PI 및 패시베이션막 PS에 형성된 콘택트 홀을 통해 전극 배선에 전기적으로 연결된다. 각 유기 EL 소자 OLED는 제1 전극 PE, 유기층 ORG, 제2 전극 CE로 구성된다.

복수의 픽셀 PX는 절연 기판 SUB에서 매트릭스로 배열된다. 픽셀 PX 각각은 비디오 신호선 DL 및 주사 신호선 SL1의 교차부 근처에 배열된다.

각 픽셀 PX는 디스플레이 소자로서의 유기 EL 소자 OLED, 구동 회로, 및 출력 제어 스위치 SWa를 포함한다. 이 실시예에서, 도 1 및 도 3에 도시된 바와 같이, 구동 회로는 구동 제어 소자 DR, 신호 공급 제어 스위치 SWc 및 SWe, 다이오드-연결 스위치 SWb 및 SWd, 및 캐패시터 C1 및 C2를 포함한다. 상술한 바와 같이, 이 실시예에서, 구동 제어 소자 DR 및 스위치 SWa 내지 SWe는 p-채널 박막 트랜지스터이다.

구동 회로, 출력 제어 스위치 SWa, 및 픽셀 전극 PE는 픽셀 회로를 구성한다. 스위치 SWb 및 SWe는 비디오 신호선 DL 및 구동 제어 소자 DR의 게이트와 드레인의 접속 상태를, 드레인이 게이트에 연결되고 비디오 신호선 DL로부터 분리되는 제1 상태, 드레인이 캐패시터 C2를 통해 게이트에 연결되고 비디오 신호선 DL에 연결되는 제2 상태, 및 드레인, 게이트, 비디오 신호선 DL이 서로 분리되는 제3 상태 사이에서 전환하는 스위치 그룹을 구성한다.

구동 제어 소자 DR, 출력 제어 스위치 SWa, 및 유기 EL 소자 OLED는 기술된 순서로, 제1 전원 단자 ND1과 제2 전원 단자 ND2 간에 직렬로 연결된다. 스위치 SWa의 게이트는 주사 신호선 SL1에 연결된다. 이 실시예에서, 제1 전원 단자 ND1은 전원선 PSL에 연결되는 고전위 전원 단자이다. 제2 전원 단자 ND2는 저전위 전원 단자이다.

캐패시터 C1은 제1 정-전위 단자와 구동 제어 소자 DR의 게이트 간에 연결된다. 이 실시예에서, 제1 정-전위 단자는 제1 전원 단자 ND1에 연결된다.

신호 공급 제어 스위치 SWc, 캐패시터 C2, 및 신호 공급 제어 스위치 SWe는 기술된 순서로 비디오 신호선 DL과 구동 제어 소자 DR의 게이트 간에 직렬로 연결된다. 스위치 SWc 및 SWe의 게이트는 주사 신호선 SL3에 연결된다.

다이오드-연결 스위치 SWb는 비디오 신호선 DL 측의 캐패시터 C2의 전극과 구동 제어 소자 DR의 드레인 간에 연결된다. 다이오드 연결 스위치 SWd는 캐패시터 C2의 다른 전극과 구동 제어 소자 DR의 드레인 간에 연결된다. 스위치 SWb의 게이트는 주사 신호선 SL2에 연결된다. 스위치 SWd의 게이트는 주사 신호선 SL4에 연결된다.

비디오 신호선 구동기 XDR 및 주사 신호선 구동기 YDR은 또한 절연 기관 SUB 상에 배열된다. 비디오 신호선 구동기 XDR은 비디오 신호선 DL에 대응하는 복수의 정전압원 및 복수의 전류원을 포함한다. 각각의 전류원은 비디오 신호로서 작용하는 기입 전류를 비디오 신호선 DL에 출력한다. 각각의 정전압원은 리셋 신호로서 작용하는 정전압(리셋 전압 또는 전위)을 비디오 신호선 DL에 출력한다.

유기층 ORG 및 제2 전극 CE가 생략된 유기 EL 디스플레이, 분할 절연막 PI, 유기층 ORG 및 제2 전극 EC가 생략된 유기 EL 디스플레이, 또는 상기 성분들 뿐만 아니라 비디오 신호선 구동기 XDR 및/또는 주사 신호선 구동기 YDR이 생략된 유기 EL 디스플레이는 어레이 기관에 대응함을 유의한다.

유기 EL 디스플레이는, 예를 들면, 다음과 같은 방법에 의해 구동된다.

도 4는 도 1에 도시된 디스플레이를 구동하는 방법의 일례를 도시하는 개략적인 타이밍 차트이다. 이 도면에서, 가로좌표는 시간을 나타내고, 세로좌표는 전위를 나타낸다.

도 4의 "XDR 출력"에서, " $I_{sig}(m)$ "로서 나타난 기간 중에, 비디오 신호선 구동기 XDR은 비디오 신호 $I_{sig}(m)$ 을 비디오 신호선 DL에 출력한다. " V_{rst} "로서 나타난 기간 중에, 비디오 신호선 구동기 XDR은 리셋 신호 V_{rst} 를 비디오 신호선 DL에 출력한다. 도 4에서, "SL1 전위" 내지 "SL4 전위"로 나타난 파형은 각각 주사 신호선 SL1 내지 SL4의 전위를 나타낸다.

도 4에 도시된 방법에서, 도 4의 디스플레이는 다음과 같은 방식으로 구동된다.

m-번째 행의 픽셀들 PX가 선택된 기간, 즉, m-번째 행 선택 기간 중에, 특정 그레이 레벨이 m-번째 행의 픽셀들 PX 중 하나에 디스플레이되어야 한다면, 스위치 SWa가 개방된다(비도전 상태). 스위치 SWa가 개방되는 기간 동안, 후술될 리셋 동작 및 기입 동작이 차례대로 실행된다.

리셋 동작이 실행되는 리셋 기간 동안, 처음에는 스위치 SWc 내지 SWe가 폐쇄된다(도전 상태). 동시에, 비디오 신호선 DL은 비디오 신호선 구동기 XDR에 포함된 정전압원에 연결되고 비디오 신호선 DL의 전위는 리셋 전위 V_{rst} 로 설정되는 한편, 스위치 SWa 및 SWb는 개방(비도전 상태)을 유지한다. 리셋 전위 V_{rst} 는, 예를 들면, 제1 전원 단자 ND1의 전위 V_{dd} 와 구동 제어 소자 DR의 임계 전압 V_{th} 의 합 $V_{dd} + V_{th}$ 과 거의 동일하다. 특정 시간이 경과한 이후에, 스위치 SWd가 개방되어 리셋 기간을 종료한다.

리셋 동작은 구동 제어 소자 DR의 게이트 전위를 합 $V_{dd} + V_{th}$ 과 거의 동일하게 설정한다. 리셋 동작은 또한 비디오 신호선 DL의 전위를 리셋 전위 V_{rst} 와 동일하게 설정한다.

리셋 기간 이후의 기입 기간 동안, 기입 동작이 실행된다. 우선, 스위치 SWb가 폐쇄된다. 스위치 SWa 및 SWc는 개방을 유지하는 반면, 스위치 SWc 및 SWe는 폐쇄를 유지한다. 비디오 신호선 DL은 비디오 신호선 구동기 XDR에 포함된 전류원에 연결되고, 그 다음 비디오 신호를 비디오 신호선 DL에 출력한다. 즉, 기입 전류 $I_{sig}(m)$ 가 제1 전원 단자 ND1로부터 비디오 신호선 DL로 흐르게 된다. 특정 시간이 경과한 이후에, 스위치 SWb, SWc, 및 SWe가 개방되어 기입 기간을 종료한다.

기입 동작은 구동 제어 소자 DR의 게이트 전위 V_g 를, 구동 제어 소자 DR에 기입 전류 $I_{sig}(m)$ 가 흐를 때 획득한 게이트-소스 전압 V_{gs} 와 전원 전위 V_{dd} 와의 합 $V_{gs} + V_{dd}$ 와 거의 동일하게 설정한다.

리셋 및 기입 동작이 실행된 이후에, 디스플레이 동작이 시작된다. 즉, 스위치 SWa가 폐쇄된다. m-번째 행 선택 기간은 스위치 SWa를 폐쇄함으로써 종료된다.

스위치 SWa가 폐쇄되는 활성 디스플레이 기간 또는 비-선택 기간 중에, 스위치 SWb 내지 SWe는 개방을 유지한다. 구동 전류 $I_{drv}(m)$ 은 비디오 신호 $I_{sig}(m)$ 에 대응하는 크기로 유기 EL 소자 OLED를 통해 흐른다. 유기 EL 소자 OLED는 구동 전류 $I_{drv}(m)$ 의 크기에 대응하는 휘도로 빛을 방출한다.

미국 특허 번호 6,373,454에 기술된 유기 EL 디스플레이에서, 예를 들면, m-번째 행의 픽셀이 높은 그레이 레벨 범위 내의 그레이 레벨을 디스플레이한다면, 비디오 신호선의 전위는 m+1-번째 행 선택 기간이 시작될 때 매우 낮은 값으로 설정된다. 그러므로, m+1-번째 행의 픽셀들이 낮은 그레이 레벨 범위 내의 그레이 레벨을 디스플레이할 수 있도록 하기 위하여, m+1-번째 행 선택 기간 중에 기입 동작에 의해 비디오 신호선의 전위를 상당히 증가시킬 필요가 있다. 즉, 비디오 신호선의 전위는 기입 전류 $I_{sig}(m+1)$ 의 크기가 작음에도 불구하고 상당히 변화된 것이다. 그러므로 m+1-번째 행 선택 기간 중에 기입 동작에 의해 구동 제어 소자의 게이트 전위를 기입 전류 $I_{sig}(m+1)$ 에 대응하는 값으로 설정하는 것은 어렵다.

이와 다르게, 도 4를 참조하여 기술된 구동 방법은 비디오 신호선 DL의 전위를 리셋 전위 V_{rst} 와 동일하게 설정하는 리셋 동작을 실행한다. 리셋 전위 V_{rst} 가 충분히 높은 값으로 설정된다면, m-번째 행의 픽셀 PX 상에 디스플레이될 그레이 레벨에 관계없이, m+1-번째 행의 픽셀들 PX 상에 낮은 그레이 레벨 범위 내의 그레이 레벨을 디스플레이하기 위하여 m+1-번째 행 선택 기간 중에 기입 동작에 의해 비디오 신호선 DL의 전위를 상당히 증가시켜야 할 필요가 없다. 그러므로, 이 구동 방법은 낮은 그레이 레벨 범위 내의 각 그레이 레벨이 디스플레이될 그레이 레벨 보다 높은 그레이 레벨로 디스플레이 되는 것을 방지할 수 있다.

또한, 리셋 동작이 종료될 때 구동 제어 소자 DR의 게이트 전위는 합 $V_{dd}+V_{th}$ 와 거의 동일하다. 그러므로, 구동 제어 소자 DR의 게이트 전위가 기입 전류 I_{sig} 의 매우 작은 크기 때문에 기입 동작에 의하여 그다지 많이 변경되지 않더라도, 임계 전압 V_{th} 가 구동 전류 I_{drv} 에 미치는 영향은 픽셀들 PX 간에 거의 동일하게 될 수 있다. 그러므로, 이러한 구동 방법은 낮은-그레이-레벨 화상이 디스플레이될 때 일어나는 디스플레이 불균일을 방지한다.

상술한 바와 같이, 이 구동 방법은 낮은 그레이 레벨 범위 내의 각 그레이 레벨이 디스플레이될 그레이 레벨보다 높은 그레이 레벨로 디스플레이되는 것을 방지할 수 있다. 이는 또한 낮은-그레이-레벨 화상이 디스플레이될 때 디스플레이 불균일이 일어나는 것을 방지할 수 있다. 또한, 이 구동 방법은 높은 그레이 레벨 범위와 중간 그레이 레벨 범위 내의 그레이 레벨을 높은 재현성으로 디스플레이 하는 것을 가능하게 한다. 즉, 이 구동 방법은 모든 그레이 레벨을 높은 재현성으로 디스플레이할 수 있다.

이 실시예는 도 3에 도시된 구조를 픽셀들 PX에 채택한다. 그러나, 다른 구조가 픽셀들 PX에 채택될 수 있다.

도 5는 변형에 따른 디스플레이에 포함된 픽셀의 등가 회로도이다. 도 6은 다른 변형에 따른 디스플레이에 포함된 픽셀의 등가 회로도이다.

도 5에 도시된 픽셀 PX는 스위치 SWc가 생략되었다는 점을 제외하고는 도 3의 픽셀 PX의 구조와 동일한 구조를 가진다. 도 6의 픽셀 PX는 스위치 SWe가 생략되었다는 점을 제외하고는 도 3의 픽셀 PX의 구조와 동일한 구조를 가진다. 그러므로 다양한 변형이 픽셀들 PX에 대해 이루어질 수 있다.

본 발명의 제2 실시예가 이하에서 기술될 것이다.

도 7은 본 발명의 제2 실시예에 따른 디스플레이를 개략적으로 도시하는 평면도이다. 도 8은 도 7에 도시된 디스플레이에 포함된 픽셀의 등가 회로도이다.

디스플레이는 활성 매트릭스 구동 방법을 채택하는 하부 방사 유기 EL 디스플레이이다. 이러한 유기 EL 디스플레이는 도 1에 도시된 유기 EL 디스플레이의 구조와 유사한 구조를 가진다.

이러한 유기 EL 디스플레이에서, 리셋 신호선 RSL은 절연 기판 SUB에 배열된다. 이 실시예에서, 도 7에 도시된 바와 같이, 리셋 신호선 RSL은 Y 방향으로 연결되고 X 방향으로 배열된다. 이 실시예에서, 리셋 신호선 RSL은 비디오 신호선 구동기 XDR에 연결된다.

스위치 SWe는 각 픽셀 PX로부터 생략된다. 각 픽셀의 스위치 SWb의 게이트는 주사 신호선 SL2에 연결된다. 리셋 스위치 SWf가 추가적으로 각 픽셀 PX에 배열된다. 리셋 스위치 SWf는 비디오 신호선 DL에 연결되는 캐패시터 C2의 전극과 리셋 신호선 RSL 간에 연결된다. 리셋 스위치 SWf의 게이트는 주사 신호선 SL3에 연결된다.

유기 EL 디스플레이는, 예를 들면, 이하의 방법으로 구동된다.

도 9는 도 7에 도시된 디스플레이를 구동하는 방법의 일례를 개략적으로 도시하는 타이밍 차트이다. 이 도면에서, 가로좌표는 시간을 나타내고, 세로좌표는 전위를 나타낸다.

도 9의 "XDR 출력"에서, " $I_{sig}(m)$ "에 도시된 기간 중에, 비디오 신호선 구동기 XDR은 비디오 신호 $I_{sig}(m)$ 을 비디오 신호선 DL에 출력한다. 도 9에서, "SL1 전위" 내지 "SL4 전위"로 나타난 파형은 각각 주사 신호선 SL1 내지 SL4의 전위를 나타낸다.

도 9에 도시된 방법에서, 도 7의 디스플레이는 다음과 같은 방식으로 구동된다.

m-번째 행의 픽셀들 PX가 선택된 기간, 즉, m-번째 행 선택 기간 중에, 특정 그레이 레벨이 m-번째 행의 픽셀들 PX 중 하나에 디스플레이되어야 한다면, 스위치 SWa가 개방된다(비도전 상태). 스위치 SWa가 개방되는 기간 동안, 후술될 리셋 동작 및 기입 동작이 실행된다.

리셋 동작이 실행되는 리셋 기간 동안, 처음에는 스위치 SWd 내지 SWf가 폐쇄된다(도전 상태). 스위치 SWa 내지 SWc는 개방(비도전 상태)을 유지한다. 예를 들면, 리셋 신호선 RSL의 전위는 상술한 바와 같이 항상 리셋 전위 V_{rst} 로 설정된다. 특정 시간이 경과한 이후에, 스위치 SWd 및 SWf가 개방되어 리셋 기간을 종료한다. 리셋 동작은 구동 제어 소자 DR의 게이트 전위를 합 $V_{dd} + V_{th}$ 와 거의 동일하게 설정한다.

리셋 기간이 이후의 기입 기간 동안, 기입 동작이 실행된다. 우선, 스위치 SWb 및 SWc는 폐쇄되고, 반면에 스위치 SWa, SWd 및 SWf는 개방을 유지한다. 이 상태에서, 비디오 신호선 구동기 XDR은 비디오 신호를 비디오 신호선 DL에 출력한다. 즉, 기입 전류 $I_{sig}(m)$ 가 제1 전원 단자 ND1로부터 비디오 신호선 DL로 흐르게 된다. 특정 시간이 경과한 이후에, 스위치 SWb 및 SWc가 개방되어 기입 기간을 종료한다. 기입 동작은 구동 제어 소자 DR의 게이트 전위 V_g 를, 구동 제어 소자 DR에 기입 전류 $I_{sig}(m)$ 가 흐를 때 획득한 게이트-소스 전압 V_{gs} 와 전원 전위 V_{dd} 와의 합 $V_{gs} + V_{dd}$ 와 거의 동일하게 설정한다.

리셋 및 기입 동작이 실행된 이후에, 디스플레이 동작이 시작된다. 즉, 스위치 SWa가 폐쇄된다. m-번째 행 선택 기간은 스위치 SWa를 폐쇄함으로써 종료된다.

스위치 SWa가 폐쇄되는 활성 디스플레이 기간 또는 비-선택 기간 중에, 스위치 SWb 내지 SWd 및 SWf는 개방을 유지한다. 구동 전류 $I_{drv}(m)$ 은 비디오 신호 $I_{sig}(m)$ 에 대응하는 크기로 유기 EL 소자 OLED를 통해 흐른다. 유기 EL 소자 OLED는 구동 전류 $I_{drv}(m)$ 의 크기에 대응하는 휘도로 빛을 방출한다.

제1 실시예에서, 이러한 구동 방법은 구동 제어 소자 DR의 게이트 전위가 매우 작은 기입 전류 I_{sig} 로 인해 기입 동작에 의해 거의 변화되지 않더라도 임계 전압 V_{th} 가 구동 전류 I_{drv} 에, 픽셀들 PX 간에서 거의 동일하게 영향을 미치게 할 수 있다. 그러므로, 이러한 구동 방법은 낮은-그레이-레벨 화상이 디스플레이될 때 디스플레이 불균일이 일어나는 것을 방지한다.

이 실시예에서는, 제1 실시예와는 다르게, 리셋 신호선 RSL이 비디오 신호선 DL에 분리되어 제공되어 리셋 신호들을 픽셀들 PX에 제공한다. 이는 각 비디오 신호선 DL의 전위변화의 빈도수를 줄일 수 있게 한다.

이 실시예에서는, 스위치 SWf의 게이트가 주사 신호선 SL4에 연결되며 주사 신호선 SL3가 생략될 수 있다. 리셋 신호선 RSL은 주사 신호선 SL1 내지 SL4에 평행하게 배열된다. 또한, 각각의 픽셀 PX는 이 실시예에서는 생략된 스위치 SWe를 포함할 수 있다.

본 기술 분야에서 숙련된 기술을 가진 자에게는 추가적인 이점 및 수정물이 쉽게 이루어질 수 있다. 그러므로, 본 발명의 보다 넓은 양태로서의 본 발명은 본원에 도시되고 기술된 대표적인 실시예 및 특정 상세한 사항으로 제한되지 않는다. 따라서, 특허 청구 범위 및 그 등가에 의해 정의된 일반적인 본 발명의 개념의 사상 및 범위를 벗어나지 않으면서 다양한 수정이 이루어질 수 있다.

발명의 효과

본원에 기술된 구동 방법은 낮은 그레이 레벨 범위 내의 각 그레이 레벨이 디스플레이될 그레이 레벨보다 높은 그레이 레벨로 디스플레이되는 것을 방지할 수 있다. 이는 또한 낮은-그레이-레벨 화상이 디스플레이될 때 디스플레이 불균일이 일어나는 것을 방지할 수 있다. 또한, 이 구동 방법은 높은 그레이 레벨 범위와 중간 그레이 레벨 범위 내의 그레이 레벨을 높은 재현성으로 디스플레이 하는 것을 가능하게 한다. 즉, 이 구동 방법은 모든 그레이 레벨을 높은 재현성으로 디스플레이 할 수 있다.

(57) 청구의 범위

청구항 1.

픽셀, 및 상기 픽셀이 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 디스플레이로서,

상기 픽셀 각각은

제어 단자, 제1 전원 단자에 연결되는 제1 단자, 및 상기 제어 단자와 상기 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자,

픽셀 전극, 제2 전원 단자에 연결되는 대향 전극, 및 상기 픽셀 전극과 상기 대향 전극 간에 개재된 활성층을 포함하는 디스플레이 소자,

상기 제2 단자와 상기 픽셀 전극 간에 연결되는 출력 제어 스위치,

상기 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터,

제2 캐패시터,

신호 공급 제어 스위치 - 상기 제2 캐패시터와 상기 신호 공급 제어 스위치는 상기 제어 단자와 상기 비디오 신호선 간에 직렬로 연결됨 - ,

상기 제2 단자와 상기 제2 캐패시터의 전극 간에 연결되는 제1 다이오드-연결 스위치, 및

상기 제2 단자와 상기 제2 캐패시터의 다른 전극에 간에 연결되는 제2 다이오드-연결 스위치를 포함하는 디스플레이.

청구항 2.

제1항에 있어서,

리셋 신호선을 더 포함하고,

상기 픽셀 각각은 상기 비디오 신호선 측의 상기 제2 캐패시터의 전극과 상기 리셋 신호선 간에 연결되는 리셋 스위치를 더 포함하는 디스플레이.

청구항 3.

제1항에 있어서,

상기 디스플레이 소자는 유기 EL 소자인 디스플레이.

청구항 4.

픽셀, 및 상기 픽셀이 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 디스플레이로서,

상기 픽셀 각각은

제어 단자, 제1 전원 단자에 연결되는 제1 단자, 및 상기 제어 단자와 상기 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자,

픽셀 전극, 제2 전원 단자에 연결되는 대향 전극, 및 상기 픽셀 전극과 상기 대향 전극 간에 개재된 활성층을 포함하는 디스플레이 소자,

상기 제2 단자와 상기 픽셀 전극 간에 연결되는 출력 제어 스위치,

상기 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터,

제2 캐패시터, 및

제1 내지 제3 상태들 사이에서 연결 상태를 전환하는 스위치 그룹 - 상기 제1 상태는 상기 제2 단자가 상기 제어 단자에 연결되고 상기 비디오 신호선으로부터 분리되는 상태이며, 상기 제2 상태는 상기 제2 단자가 상기 제2 캐패시터를 통해 상기 제어 단자에 연결되고 상기 비디오 신호선에 연결된 상태이며, 상기 제3 상태는 상기 제2 단자, 상기 제어 단자 및 상기 비디오 신호선이 서로 분리되는 상태임 -

을 포함하는 디스플레이.

청구항 5.

제4항에 있어서,

리셋 신호선을 더 포함하고,

상기 픽셀 각각은 상기 비디오 신호선 측의 상기 제2 캐패시터의 전극과 상기 리셋 신호선 간에 연결되는 리셋 스위치를 더 포함하는 디스플레이.

청구항 6.

제4항에 있어서,

상기 디스플레이 소자는 유기 EL 소자인 디스플레이.

청구항 7.

픽셀 회로 및 상기 픽셀 회로가 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 어레이 기관으로서,

상기 픽셀 회로 각각은

제어 단자, 전원 단자에 연결되는 제1 단자, 및 상기 제어 단자와 상기 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자,

픽셀 전극,

상기 제2 단자와 상기 픽셀 전극 간에 연결되는 출력 제어 스위치,

상기 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터,

제2 캐패시터,

신호 공급 제어 스위치 - 상기 제2 캐패시터와 상기 신호 공급 스위치는 상기 제어 단자와 상기 비디오 신호선 간에 직렬로 연결됨 - ,

상기 제2 단자와 상기 제2 캐패시터의 전극 간에 연결되는 제1 다이오드-연결 스위치, 및

상기 제2 단자와 상기 제2 캐패시터의 다른 전극 간에 연결되는 제2 다이오드-연결 스위치를 포함하는 어레이 기관.

청구항 8.

제7항에 있어서,

리셋 신호선을 더 포함하고,

상기 픽셀 회로 각각은 상기 비디오 신호선 측의 상기 제2 캐패시터의 전극과 상기 리셋 신호선 간에 연결되는 리셋 스위치를 더 포함하는 어레이 기관.

청구항 9.

픽셀 회로, 및 상기 픽셀 회로가 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 어레이 기관으로서,

상기 픽셀 회로 각각은

제어 단자, 전원 단자에 연결되는 제1 단자, 및 상기 제어 단자와 상기 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자,

픽셀 전극,

상기 제2 단자와 상기 픽셀 전극 간에 연결되는 출력 제어 스위치,

상기 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터,

제2 캐패시터, 및

제1 내지 제3 상태들 사이에서 연결 상태를 전환하는 스위치 그룹 - 상기 제1 상태는 상기 제2 단자가 상기 제어 단자에 연결되고 상기 비디오 신호선으로부터 분리되는 상태이며, 상기 제2 상태는 상기 제2 단자가 상기 제2 캐패시터를 통해 상기 제어 단자에 연결되고 상기 비디오 신호선에 연결된 상태이며, 상기 제3 상태는 상기 제2 단자, 상기 제어 단자 및 상기 비디오 신호선이 서로 분리되는 상태임 -

을 포함하는 어레이 기판.

청구항 10.

제9항에 있어서,

리셋 신호선을 더 포함하고,

상기 픽셀 회로 각각은 상기 비디오 신호선 측의 상기 제2 캐패시터의 전극과 상기 리셋 신호선 간에 연결되는 리셋 스위치를 더 포함하는 어레이 기판.

청구항 11.

픽셀, 및 상기 픽셀이 형성하는 열과 대응하도록 배열된 비디오 신호선을 포함하는 디스플레이를 구동하는 방법으로서,

상기 픽셀 각각은 제어 단자, 제1 전원 단자에 연결되는 제1 단자, 및 상기 제어 단자와 상기 제1 단자 간의 전압에 대응하는 크기를 가지는 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자; 픽셀 전극, 제2 전원 단자에 연결되는 대향 전극, 및 상기 픽셀 전극과 상기 대향 전극 간에 개재된 활성층을 포함하는 디스플레이 소자; 상기 제2 단자와 상기 픽셀 전극 간에 연결되는 출력 제어 스위치; 상기 제어 단자와 정-전위 단자 간에 연결되는 제1 캐패시터; 및 제2 캐패시터를 포함하고,

리셋 동작, 기입 동작, 및 디스플레이 동작을 기술된 순서로 실행시키는 단계를 포함하고,

상기 리셋 동작은 상기 제2 단자로부터 상기 픽셀 전극을 분리하는 단계, 상기 제2 단자를 상기 제어 단자에 연결시키는 단계, 및 상기 제어 단자로부터 상기 제2 단자를 분리하는 단계를 포함하고,

상기 기입 동작은 상기 제2 단자를 상기 비디오 신호선에 연결시키는 단계, 상기 제2 캐패시터를 통하여 상기 제2 단자를 상기 제어 단자에 연결시키는 단계, 기입 전류를 상기 제1 전원 단자와 상기 비디오 신호선 사이에서 비디오 신호로서 흐르게 하는 단계, 및 상기 제2 단자와 상기 비디오 신호선으로부터 상기 제어 단자를 분리하는 단계를 포함하고,

상기 디스플레이 동작은 상기 제2 단자를 상기 픽셀 전극에 연결하는 단계를 포함하는 방법.

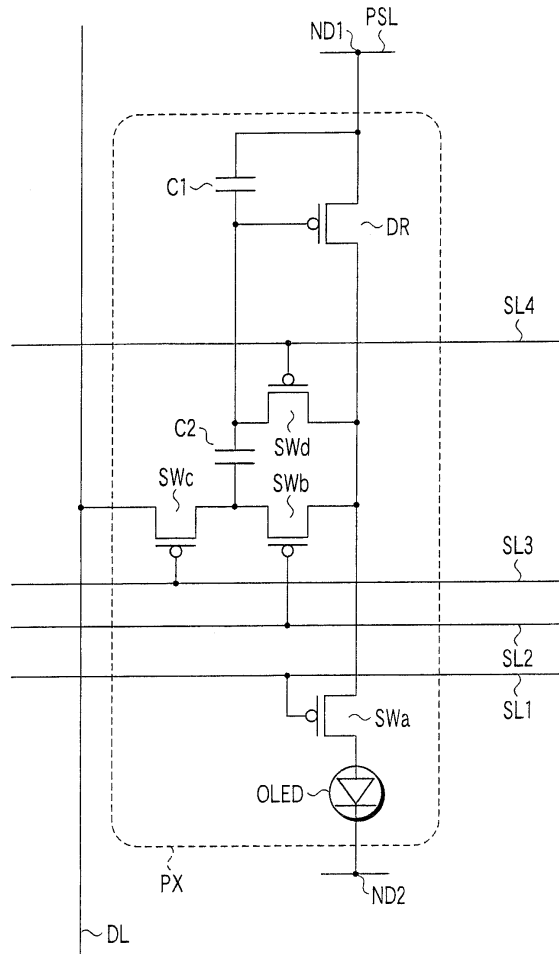
청구항 12.

제11항에 있어서,

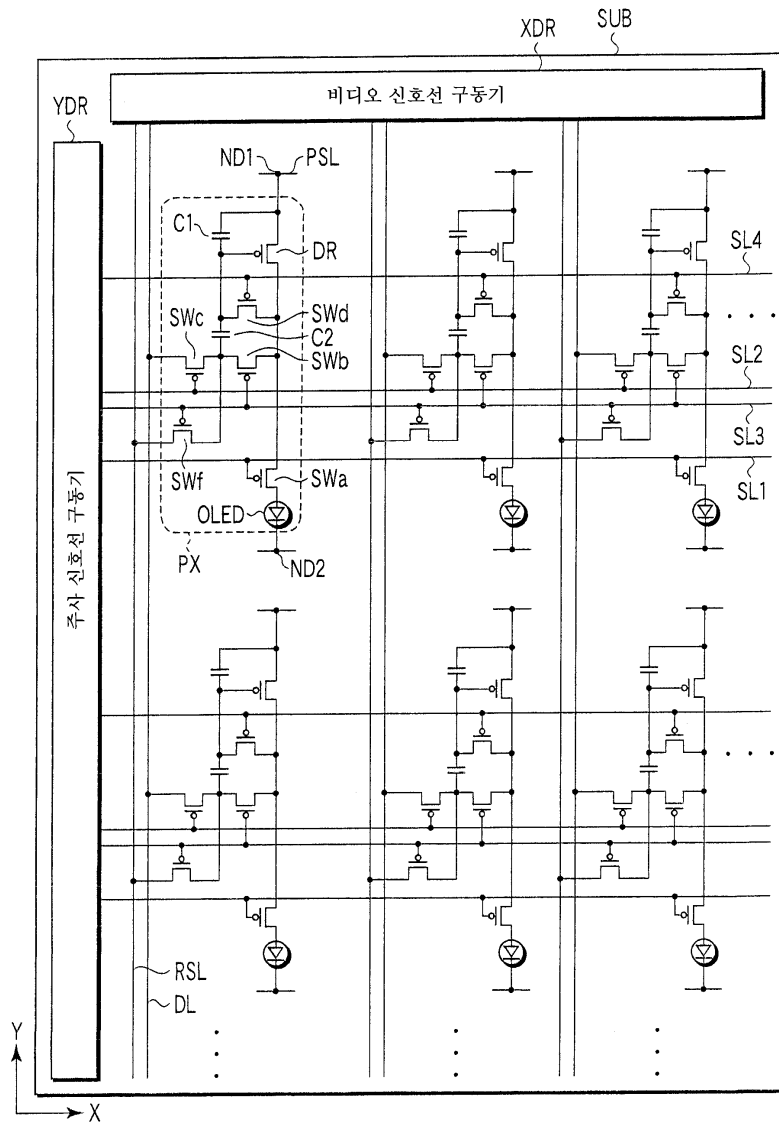
리셋 동작 시 상기 제2 단자가 상기 제어 단자에 연결되는 기간 동안, 상기 제2 캐패시터의 한 전극은 상기 제어 단자에 연결되면서 상기 제2 캐패시터의 다른 전극의 전위를 리셋 전위로 설정하는 방법.

도면

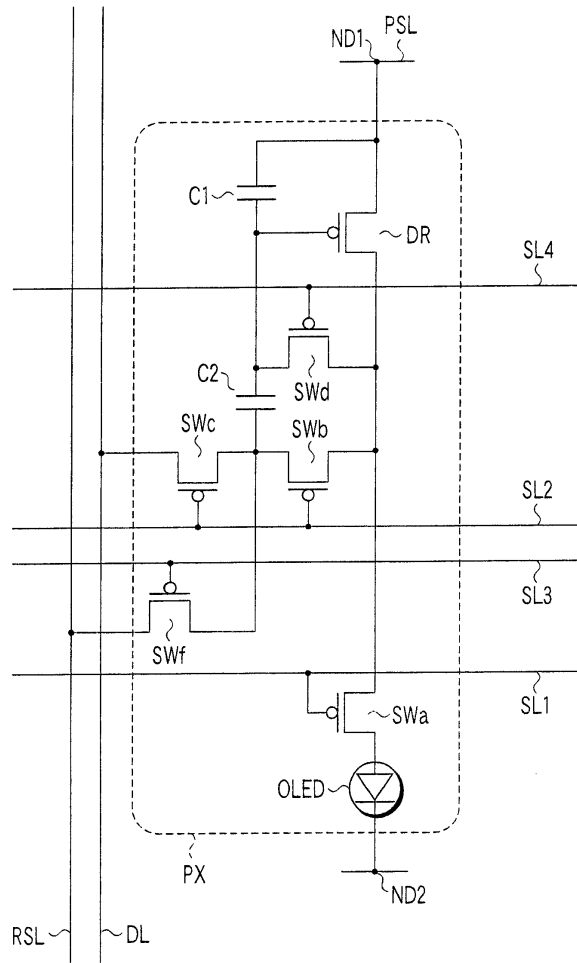
도면6



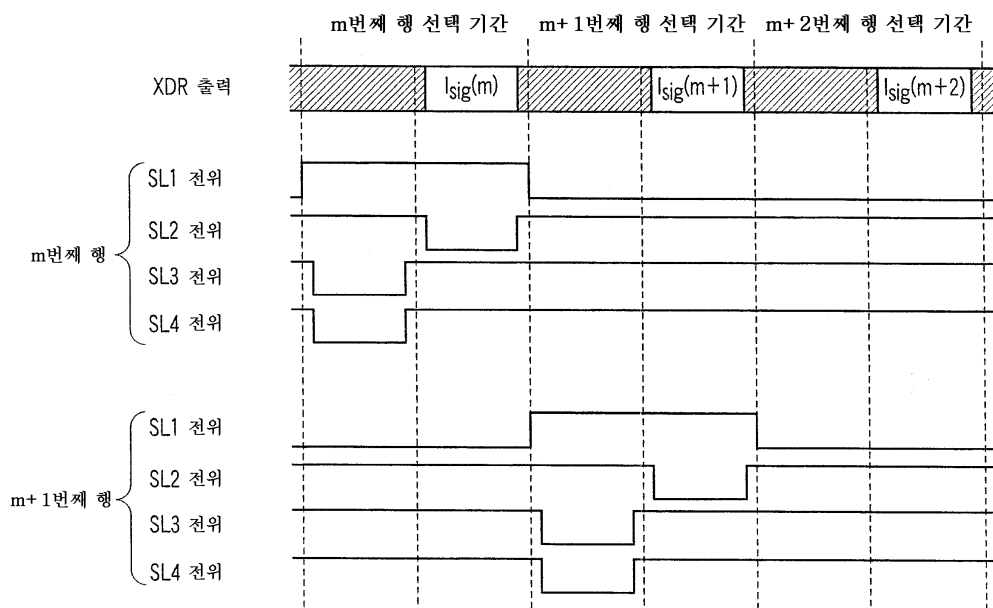
도면7



도면8



도면9



| | | | |
|---------------|---|---------|------------|
| 专利名称(译) | 显示器，阵列基板和驱动显示器的方法 | | |
| 公开(公告)号 | KR1020060105657A | 公开(公告)日 | 2006-10-11 |
| 申请号 | KR1020060029598 | 申请日 | 2006-03-31 |
| 申请(专利权)人(译) | 可否让我这个小粉丝展示中心 | | |
| 当前申请(专利权)人(译) | 可否让我这个小粉丝展示中心 | | |
| [标]发明人 | AOKI YOSHIRO | | |
| 发明人 | AOKI, YOSHIRO | | |
| IPC分类号 | G09G3/30 G09G3/20 | | |
| CPC分类号 | H01L27/3244 G09G3/325 G09G3/3283 G09G2310/0262 G09G2320/0233 G09G3/2011 H01L27/3276 | | |
| 代理人(译) | CHANG, SOO KIL LEE, JUNG HEE | | |
| 优先权 | 2005104649 2005-03-31 JP | | |
| 其他公开文献 | KR100712152B1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

每个像素包括控制执行装置 (DR)，其包括输出具有与连接到控制端子 (ND1) 的第一端子和第一电源以及控制端子和第一端子之间的电压对应的尺寸的电流的第二端子;显示装置 (OLED) 包括像素电极，以及在相对电极之间允许的有源层，连接到第二电源端子 (ND2) 的像素电极和相对电极;第二个终端;开关 (SWb) : 连接在第二电容器 (C2) 的一个电极和开关 (SWc) 之间 : 第二端子串联连接在第一电容器 (C1) 之间 : 第二电容器 (C2) : 连接在开关之间的控制端子 (SWa) : 连接在像素电极和电极之间的控制端子 - 电位端子 (ND1) 和视频信号电缆 (DL) 连接到第二电容器 (C2) 和开关 (SWd) 连接到第二电容器 (C2) 的另一个电极) 和肝脏的第二个终端。像素，控制端子，电容器，开关。

