

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/30 (2006.01)  
G09G 3/20 (2006.01)  
G09G 3/32 (2006.01)

(11) 공개번호 10-2006-0018834  
(43) 공개일자 2006년03월02일

(21) 출원번호 10-2005-7021035

(22) 출원일자 2005년11월04일

번역문 제출일자 2005년11월04일

(86) 국제출원번호 PCT/JP2004/006179

(87) 국제공개번호 WO 2004/100119

국제출원일자 2004년04월28일

국제공개일자 2004년11월18일

(30) 우선권주장

JP-P-2003-00129497	2003년05월07일	일본(JP)
JP-P-2003-00150769	2003년05월28일	일본(JP)
JP-P-2003-00287215	2003년08월05일	일본(JP)
JP-P-2003-00344787	2003년10월02일	일본(JP)

(71) 출원인

도시바 마쯔시따 디스플레이 테크놀로지 컴퍼니, 리미티드  
일본 도쿄도 미나토구 4쵸메 고난 1-8

(72) 발명자

쓰게, 히토시  
일본 532-0003 오사카후 오사카시 요도가와구 노나카미나미1-4-40-617

(74) 대리인

장수길  
이중희  
구영창

심사청구 : 있음

(54) 전류 출력형 반도체 회로, 표시 구동용 소스 드라이버, 표시 장치, 전류 출력 방법

요약

전류 드라이버의 출력 비트수를 증가시켜도, 회로 규모의 증대를 보다 낮게 억제할 수 있는, 전류 출력형 반도체 회로, 표시용 구동 장치, 표시 장치, 전류 출력 방법이 제공된다. 전류 출력형 반도체 회로는, 소정의 전류를 출력하는 제1 단위 트랜지스터를 갖고 하위 N(N은 자연수)비트를 출력하는 제1 전류원 군(241a, 241b)과, 제1 단위 트랜지스터보다도 큰 전류를 출력하는 제2 단위 트랜지스터를 갖고 상위 M(M은 자연수, (N+ M)≥3)비트를 출력하는 제2 전류원 군(242a, 242b, 242c, 242d, 242e, 242f)을 구비한다.

대표도

도 24

색인어

전류 출력형 반도체 회로, 계조 표시, 유기 전계 발광 소자, 표시용 구동 장치, 표시 구동용 소스 드라이버, 전류 출력 방법

## 명세서

### 기술분야

본 발명은 유기 전계 발광 소자 등, 전류량에 의해 계조 표시를 행하는 표시 장치에 이용하는 전류 출력을 행하는 구동용 반도체 회로에 관한 것이다.

### 배경기술

유기 발광 소자는 자발광 소자이기 때문에, 액정 표시 장치에서 필요로 하는 백라이트가 불필요하고, 시야각이 넓은 등의 이점 때문에, 차세대 표시 장치로서 기대되고 있다.

일반적인 유기 발광 소자의 소자 구조의 단면도를 도 4에 도시한다. 유기층(42)이 음극(41) 및 양극(43)에 의해 끼워진 구성으로 되어 있다. 이것에 직류 전원(44)을 접속하면, 양극(43)으로부터 정공이, 음극(41)으로부터 전자가 유기층(42)으로 주입된다. 주입된 정공 및 전자는 유기층(42)내를 전원(44)에 의해 형성된 전계에 의해 대극으로 이동한다. 이동 도중에 있어서 전자와 정공이 유기층(42)내에서 재결합하여, 여기자를 생성한다. 여기자의 에너지가 비활성화되는 과정에 있어서 발광이 관측된다. 발광색은 여기자가 갖는 에너지에 따라 상이하고, 대략 유기층(42)이 갖는 에너지 밴드갭의 값에 대응한 에너지의 파장을 갖는 광으로 된다.

유기층내에서 발생한 광을 외부로 추출하기 위해, 전극 중 적어도 한쪽은 가시광 영역에서 투명한 재료가 이용된다. 음극에는 유기층으로의 전자 주입을 용이하게 하기 위해 일함수가 낮은 재료가 이용된다. 예를 들면, 알루미늄, 마그네슘, 칼슘 등이다. 내구성, 더욱 낮은 일함수화를 위해, 이들의 합금이나, 알루미늄리튬합금과 같은 재료가 이용되는 경우가 있다.

한편, 양극은 정공 주입의 용이성 때문에 이온화 포텐셜이 큰 것을 이용한다. 또한, 음극이 투명성을 갖지 않기 때문에, 이 쪽의 전극에 투명성 재료를 이용하는 경우가 많다. 그 때문에 일반적으로는, ITO(Indium Tin Oxide), 금, 인듐아연산화물(IZO) 등이 이용된다.

최근에는 저분자 재료를 이용한 유기 발광 소자에 있어서, 발광 효율을 높이기 위해, 유기층(42)을 복수의 층으로 구성하는 경우가 있다. 이에 따라, 각층에서 캐리어 주입, 발광 영역으로의 캐리어 이동, 원하는 파장을 갖는 광의 발광 기능을 분담하는 것이 가능해져, 각각에 효율이 좋은 재료를 이용함으로써, 보다 효율 높은 유기 발광 소자를 작성하는 것이 가능해진다.

이와 같이 하여 형성된 유기 발광 소자는, 도 5(a)에 나타내는 바와 같이 휘도는 전류에 대해 비례하고, 도 5(b)에 나타내는 바와 같이 전압에 대해서는 비선형 관계로 된다. 그러므로 계조 제어를 행하기 위해서는, 전류값에 의해 제어를 행하는 쪽이, 좋다.

액티브 매트릭스형의 경우, 전압 구동 방식과 전류 구동 방식의 두 방법이 있다.

전압 구동 방식은 전압 출력형의 소스 드라이버를 이용하여 화소 내부에 있어서 전압을 전류로 변환하고, 변환한 전류를 유기 발광 소자에 공급하는 방법이다.

이 방법에서는 화소마다 설치된 트랜지스터에 의해 전압 전류 변환을 행하는 것으로부터, 이 트랜지스터의 특성 변동에 따라 출력 전류에 변동이 발생해, 휘도 얼룩이 생기는 문제가 있다.

전류 구동 방식은 전류 출력형의 소스 드라이버를 이용하여 화소 내부에서는 1수평 주사 기간 출력된 전류값을 유지하는 기능만을 갖게 하고, 소스 드라이버와 동일한 전류값을 유기 발광 소자에 공급하는 방법이다. 전류 구동 방식의 예를 도 6에 도시한다. 도 6의 방식은 화소 회로에 커런트 카피어 방식을 이용한 것이다.

도 7에 도 6의 화소(67)의 동작시의 회로를 도시한다.

화소가 선택되었을 때에는, 도 7(a)에 도시하는 바와 같이, 그 행의 게이트 신호선(61a)은 스위치를 도통 상태로 하도록, 신호선(61b)은 비도통 상태로 되도록 게이트 드라이버(35)로부터 신호가 출력된다. 이 때의 화소 회로의 모습을 도 7(a)에 도시한다. 이 때 소스 드라이버(36)에 인입되는 전류인 소스 신호선(60)에 흐르는 전류는 점선(71)으로 나타낸 경로를 흐른다. 따라서 트랜지스터(62)에는 소스 신호선(60)에 흐르는 전류와 동일한 전류가 흐른다. 그러면 절점(72)의 전위는 트랜지스터(62)의 전류 전압 특성에 부합하는 전위로 된다.

다음으로, 비선택 상태로 되면 게이트 신호선(61)에 의해 도 7(b)에 도시하는 바와 같은 회로로 된다. EL 전원선(64)으로부터 유기 발광 소자(63)에 부호 73으로 나타내는 점선의 경로로 전류가 흐른다. 이 전류는 절점(72)의 전위와 트랜지스터(62)의 전류 전압 특성에 의해 정해진다.

도 7(a)와 (b)에 있어서 절점(72)의 전위는 변화하지 않는다. 따라서 동일한 트랜지스터(62)에 흐르는 드레인 전류는 도 7(a)와 (b)에 있어서 동일하게 된다. 이에 따라 소스 신호선(60)에 흐르는 전류값과 동일한 값의 전류가 유기 발광 소자(63)에 흐른다. 트랜지스터(62)의 전류 전압 특성에 변동이 있어도 원리상 전류(71, 73)의 값에는 영향이 없어, 트랜지스터의 특성 변동의 영향이 없는 균일한 표시를 실현할 수 있다.

따라서, 균일한 표시를 얻기 위해서는 전류 구동 방식을 이용할 필요가 있고, 그를 위해서는 소스 드라이버(36)는 전류 출력형의 드라이버 IC여야만 한다.

계조에 부합하는 전류값을 출력하는 전류 드라이버 IC의 출력단의 예를 도 10에 도시한다. 표시 계조 데이터(54)에 대해, 디지털 아날로그 변환부(106)에 의해 아날로그의 전류 출력을 부호 104로부터 행한다. 아날로그 디지털 변환부는 복수개(적어도 계조 데이터(54)의 비트수)의 계조 표시용 전류원(103)과 스위치(108) 및 하나당의 계조 표시용 전류원(103)이 흘리는 전류값을 규정하는 공통 게이트선(107)으로 구성된다.

도 10에서는 3비트의 입력(105)에 대해 아날로그 전류를 출력한다. 비트의 가중값에 부합하는 수의 전류원(103)을 전류 출력(104)에 접속할지를 스위치(108)에 의해 선택함으로써, 예를 들면 데이터 1의 경우는 전류원(103)이 1개분의 전류, 데이터 7의 경우는 7개분의 전류와 같이 계조에 부합하는 전류를 출력할 수 있다. 이 구성을 드라이버의 출력수에 부합하는 수만큼 부호 106을 나열함으로써 전류 출력형 드라이버가 실현 가능하다. 트랜지스터(103)의 온도 특성을 보상하기 위해 공통 게이트선(107)의 전압은 분배용 미러 트랜지스터(102)에 의해 결정된다. 트랜지스터(102)와 전류원(103)은 커런트 미러 구성으로 되고, 기준 전류(89)의 값에 따라 1계조당의 전류가 결정된다. 이 구성에 의해, 계조에 의해 출력 전류가 변화하면서, 또한 1계조당의 전류는 기준 전류에 의해 정해진다.

유기 발광 소자를 이용한 표시 장치의 예를 도 21 내지 도 23에 도시한다. 도 21은 텔레비전(의 사시도(도 21(a)) 및 그 구성 블록(도 21(b))), 도 22는 디지털 카메라 혹은 디지털 비디오 카메라, 도 23은 휴대 정보 단말을 도시하고 있다. 유기 발광 소자는 응답 속도가 빠르기 때문에 동화상을 표시할 기회가 많은 이들 표시 장치에 적합한 표시 패널이다(예를 들어, 일본 특허공개 2001-147659호 공보 참조).

도 10에 도시하는 바와 같은 전류 드라이버에서는, 동일 사이즈의 트랜지스터(103)를 (계조수-1)개만큼 나열하고, 입력 데이터에 대해 출력으로 연결되는 트랜지스터(103)의 개수를 변화시킴으로써 전류 출력을 행하고 있다. 그 때문에, 계조와 출력 전류는 비례 관계로 된다. 이를 그대로 출력하면, 인간의 시각 특성 때문에 전체적으로 희게 보인다(저계조측이 희어진다).

일반적인 디스플레이의 구동 장치에서는 각 계조에 부합하는 출력에 감마 보정을 행하여 출력된다. 액정 디스플레이의 경우에는, 전압 구동이기 때문에, 각 계조에 대응한 전압값이 필요하다(전압의 경우에는 전류와 같이 계조분의 합산에 의해 표현하는 것은 불가능하기 때문에, 계조마다 전압이 필요). 그 때문에, 각 계조 전압의 단계에서, 감마 보정에 대응한 전압 출력으로 되도록 하는 전압값으로 조정하여 출력되고 있기 때문에, 6비트 드라이버라도 감마 보정된 것으로, 충분히 계조 표시가 가능하다.

한편, 전류 드라이버에서는 동일한 6비트에서도 감마 보정이 되어 있지 않기 때문에, 저계조부에서의 등급을 세밀하게 하기 위해서는, 6비트보다 세밀한 계조 출력이 요구된다. 이를 프레임 씨닝(FRC)으로 행한다고 하면, 최저라도 4프레임간에서의 프레임 씨닝이 필요하게 되며, 유기 발광 소자의 응답 속도가 빠른 점도 있어, 플리커가 발생한다. 그 때문에, 세밀한 계조 표현을 FRC 없이 행할 필요가 있어, 예를 들면 8비트화할 필요가 있다.

이 문제는 계조와 출력 전류가 비례하는 전류 드라이버와, 입력 전류와 휘도가 비례하는 전류 출력형 표시 소자를 조합한 경우에 특유한 문제이다.

FRC에 의한 감마 보정을 없애기 위해서, 전류 드라이버의 출력을 6비트에서 8비트로 증가시키고, 감마 처리를 소스 드라이버 입력전에 행하여, 감마 처리한 8비트 신호를 소스 드라이버에 입력하는 구성을 생각할 수 있다.

전류 드라이버의 출력을 6비트에서 8비트로 확장하는 방법으로서, 트랜지스터(103)의 개수를 255개 준비하는 방법이 있지만, 이 방법의 경우, 종래(63개의 트랜지스터(103))의 방법에 비해 4배의 트랜지스터(103)가 필요하게 되어, 소스 드라이버의 면적도 이에 따라 증가한다. 출력단 트랜지스터의 전체 칩면적에 차지하는 비율은 7할 정도이기 때문에, 단순하게는 6비트시에 비해 약 3배의 크기로 된다. 코스트의 면에 있어서 큰 임팩트가 있다.

또한, 최근 휴대 정보 단말에 있어서도 다색화가 진행되어, 6만 5천색 혹은 22만색 표시가 주류로 되어 오고 있다. 드라이버 IC의 입력 신호가 RGB 디지털 인터페이스인 경우, 16비트 혹은 18비트 필요하게 된다. 따라서 16 내지 18개의 입력 신호선수가 데이터의 전송에만 필요하게 된다. 그 밖에도 시프트 레지스터의 동작용 신호나, 각종 레지스터의 설정 등을 위해 신호선이 필요하게 된다.

그 때문에 회선수가 많아져, 예를 들면 도 3과 같이, 표시 패널(33)에 대해 콘트롤 IC(31)로부터 소스 드라이버 IC(36) 사이의 배선이 많아진다. 그 때문에, 플렉시블 기관(32)이 커지거나 다층 기관을 이용하는 등 코스트가 높아지는 문제가 있었다.

### 발명의 상세한 설명

따라서, 상기의 과제를 고려하여, 본 발명은 전류 드라이버의 출력 비트수를 증가시켜도 회로 규모의 증대를 보다 낮게 억제할 수 있는, 전류 출력형 반도체 회로, 그것을 이용한 표시 구동용 소스 드라이버, 표시 장치, 전류 출력 방법을 제공하는 것을 목적으로 한다.

또한, 본 발명의 다른 목적은, 배선수가 적어지는 전류 출력형 반도체 장치, 그것을 이용한 표시 구동용 소스 드라이버, 표시 장치, 신호 입출력 방법을 제공하는 것이다.

상기 과제를 해결하기 위해서, 제1 본 발명은 소정의 전류를 출력하는 제1 단위 트랜지스터를 갖고 하위  $N(N$ 은 자연수)비트를 출력하는 제1 전류원 군과,

상기 소정의 전류보다 큰 전류를 출력하는 제2 단위 트랜지스터를 갖고 상위  $M(M$ 은 자연수,  $(N+M) \geq 3$ )비트를 출력하는 제2 전류원 군을 구비하는 전류 출력형 반도체 회로이다.

제2 본 발명은, 상기 제1 단위 트랜지스터가 출력하는 전류는 상기 제2 단위 트랜지스터가 출력하는 전류의  $1/2^N$ 인, 제1 본 발명의 전류 출력형 반도체 회로이다.

제3 본 발명은, 상기 제1 단위 트랜지스터의 채널 길이를  $L1$ 이라 하고, 그 채널폭을  $W1$ 이라 하고, 상기 제2 단위 트랜지스터의 채널 길이를  $L2$ 라 하고, 그 채널폭을  $W2$ 라 하면,  $L1 \times W1 < L2 \times W2$ 인, 제1 본 발명의 전류 출력형 반도체 회로이다.

제4 본 발명은, 상기  $L2 \times W2$ 는 상기 제2 단위 트랜지스터의 출력 전류의 변동이 상기 제1 단위 트랜지스터의 출력 전류의 변동의 허용값 이하인 값 중의 최대값인, 제3 본 발명의 전류 출력형 반도체 회로이다.

제5 본 발명은, 상기  $M$ 은 6이고, 상기  $N$ 은 2인, 제1 본 발명의 전류 출력형 반도체 회로이다.

제6 본 발명은, 제1 본 발명의 전류 출력형 반도체 회로를 구비하는 표시 구동용 소스 드라이버이다.

제7 본 발명은, 제6 본 발명의 표시 구동용 소스 드라이버와,

상기 소스 드라이버에 접속된 전류 구동형 화소를 구비하는 표시 장치이다.

제8 본 발명은, 소정의 전류를 출력하는 제1 단위 트랜지스터를 갖는 제1 전류원 군으로부터 하위  $N(N$ 은 자연수)비트를 출력하는 공정과,

상기 소정의 전류보다 큰 전류를 출력하는 제2 단위 트랜지스터를 갖는 제2 전류원 군으로부터 상위  $M(M$ 은 자연수,  $N+M \geq 3$ )비트를 출력하는 공정을 구비하는 전류 출력 방법이다.

제9 본 발명은, 적어도 구동용 전류 신호를 출력하는 구동 신호 출력단을 갖는 드라이버와,

상기 드라이버와는 별도로 구성되며, 적어도 영상 신호 및 각종 제어용의 커맨드 데이터 신호를 발생하는 제어 회로를 구비하고,

상기 영상 신호와 상기 커맨드 데이터 신호는 상기 제어 회로로부터 동일 신호선을 통해, 또한 그 전원의 온 상태에서부터 오프 상태의 사이에 각각의 신호가 서로 시간차를 두고 출력되어 상기 드라이버에 입력되는, 전류 출력형 반도체 장치이다.

제10 본 발명은, 적어도 구동용 전류 신호를 출력하는 구동 신호 출력단을 갖는 구동용의 드라이버와,

상기 드라이버와는 별도로 구성되며, 적어도 영상 신호 및 각종 제어용의 커맨드 데이터 신호를 발생하는 제어 회로를 구비하고,

상기 영상 신호는 동일 신호선을 통해, 3원색의 각 색에 대응하는 영상 신호마다, 그 전원의 온 상태에서부터 오프 상태의 사이에 각각의 신호가 서로 시간차를 두고 출력되어 상기 드라이버에 입력되는, 전류 출력형 반도체 장치이다.

제11 본 발명은, 상기 드라이버에 입력하는 신호를, 상기 영상 신호와 커맨드 데이터 신호에 분배하는 분배 회로를 구비하고 있는, 제9 또는 제10 본 발명의 전류 출력형 반도체 장치이다.

제12 본 발명은, 제9 또는 제10 본 발명의 전류 출력형 반도체 장치를 구비하는, 표시 장치 구동용 소스 드라이버이다.

제13 본 발명은, 제12 본 발명의 표시 장치 구동용 소스 드라이버를 구비하는, 표시 장치이다.

제14 본 발명은, 적어도 구동용 전류 신호를 구동 신호 출력단을 갖는 드라이버로부터 출력하는 공정과,

상기 드라이버와는 별도로 구성된 제어 회로로부터, 적어도 영상 신호 및 각종 제어용의 커맨드 데이터 신호를 발생하는 공정과,

상기 영상 신호와 상기 커맨드 데이터 신호를 상기 제어 회로로부터 동일 신호선을 통해, 또한 전원의 온 상태에서부터 오프 상태의 사이에 각각의 신호를 서로 시간차를 두고, 상기 드라이버에 입력하는 공정을 구비하는 신호 입출력 방법이다.

본 발명의 전류 출력형 반도체 회로, 표시용 구동 장치, 표시 장치, 전류 출력 방법에 의하면, 전류 드라이버의 출력 비트수를 증가시켜도 회로 규모의 증대를 보다 낮게 억제할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명에서의 전류 출력형 반도체 회로의 입력 신호 파형을 나타낸 도면이다.

도 2는 도트분의 영상 신호마다 프리차지를 행할지의 여부를 외부로부터 선택할 수 있도록 했을 때의 드라이버 IC의 블록도이다.

도 3은 복수의 소스 드라이버 IC를 이용한 표시 패널을 도시한 도면이다.

도 4는 유기 발광 소자의 구조를 도시한 도면이다.

도 5의 (a)는 유기 발광 소자의 전류-전압-휘도 특성을 나타낸 도면이고, (b)는 유기 발광 소자의 전류-전압-휘도 특성을 나타낸 도면이다.

도 6은 커런트 카피어 구성의 화소 회로를 이용한 액티브 매트릭스형 표시 장치의 회로를 도시한 도면이다.

도 7의 (a)는 커런트 카피어 회로의 동작을 도시한 도면이고, (b)는 커런트 카피어 회로의 동작을 도시한 도면이다.

도 8은 정전류원 회로의 예를 도시한 도면이다.

도 9는 프리차지 펄스, 프리차지 판정 신호와 인가 판정부 출력의 관계를 나타낸 도면이다.

도 10은 종래의 전류 출력형 드라이버의 각 출력에 전류를 출력하기 위한 회로를 도시한 도면이다.

도 11은 도 10의 계조 표시용 전류원(103)의 트랜지스터 사이즈와 출력 전류 변동의 관계를 나타낸 도면이다.

도 12의 (a)는 커런트 카피어 구성의 화소 회로에 있어서, 화소에 소스 신호선 전류가 흐를 때의 등가 회로를 도시한 도면이고, (b)는 커런트 카피어 구성의 화소 회로에 있어서, 화소에 소스 신호선 전류가 흐를 때의 등가 회로를 도시한 도면이다.

도 13은 1출력 단자에서의 전류 출력과 프리차지 전압 인가부 및 절환 스위치의 관계를 도시한 도면이다.

도 14의 (a)는 각 트랜지스터 군을 구성하는 트랜지스터의 채널 사이즈와 변동의 관계를 나타낸 도면이고, (b)는 각 트랜지스터 군을 구성하는 트랜지스터의 채널 사이즈와 변동의 관계를 나타낸 도면이다.

도 15는 1수평 주사 기간내에서의 프리차지 전압을 행하는 기간과 계조 데이터에 기초하는 전류를 출력하는 기간의 관계를 나타낸 도면이다.

도 16은 차동 입력이 가능해지는 소스 드라이버의 입력부의 회로 구성을 도시한 도면이다.

도 17의 (a)는 계조 데이터와 프리차지 판정 신호의 관계를 나타낸 도면이고, (b)는 계조 데이터와 프리차지 판정 신호의 관계를 나타낸 도면이며, (c)는 계조 데이터와 프리차지 판정 신호의 관계를 나타낸 도면이다.

도 18은 입력 시리얼 전류를 각 신호에 분배하는 회로를 도시한 도면이다.

도 19는 도 25 및 도 14(a)에 나타내는 출력단을 이용한 소스 드라이버에서의 출력 전류의 인접 단자간의 변동과 계조의 관계를 나타낸 도면이다.

도 20은 n형 트랜지스터를 이용한 경우의 커런트 카피어를 이용한 화소 회로를 도시한 도면이다.

도 21의 (a)는 본 발명의 실시의 형태를 이용한 표시 장치로서, 텔레비전에 적용한 경우를 도시한 도면이고, (b)는 본 발명의 실시의 형태를 이용한 표시 장치로서, 텔레비전에 적용한 경우를 도시한 도면이다.

도 22는 본 발명의 실시의 형태를 이용한 표시 장치로서, 디지털 카메라에 적용한 경우를 도시한 도면이다.

도 23은 본 발명의 실시의 형태를 이용한 표시 장치로서, 휴대 정보 단말에 적용한 경우를 도시한 도면이다.

도 24는 본 발명의 실시의 형태를 이용한 반도체 회로의 전류 출력부의 개념을 도시한 도면이다.

도 25는 도 24의 구성에 있어서, 전류원을 트랜지스터로 구성한 경우를 도시한 도면이다.

도 26은 도 24 혹은 도 25에 도시한 전류 출력부에 의한 입력 신호의 계조 대 출력 전류의 관계를 나타낸 도면이다.

도 27은 8비트 데이터중 하위 1비트를 어떤 사이즈의 트랜지스터 구성으로 출력하고, 나머지의 상위 7비트분을 하위 1비트의 트랜지스터에 비해 드레인 전류량이 많아지는 트랜지스터를 준비하여, 트랜지스터의 개수에 의해 계조 표시를 행하는 전류 출력단을 도시한 도면이다.

도 28은 색마다 시리얼이며 고속으로 데이터를 입력함으로써 소스 드라이버의 입력 신호선수를 줄인 경우의 데이터 전송 시의 타임차트를 나타낸 도면이다.

도 29는 색마다 시리얼이며 고속으로 데이터를 입력함으로써 소스 드라이버의 입력 신호선수를 줄인 경우의 커맨드 전송 시의 타임차트를 나타낸 도면이다.

도 30은 1수평 주사 기간에서의 도 28 및 도 29의 전송 순서를 나타낸 도면이다.

도 31은 도 6 혹은 도 44에서의 EL 전원선의 배선을 도시한 도면이다.

도 32는 8비트 영상 입력에 대해, 하위 2비트와 상위 6비트간의 전류의 대소 관계를 트랜지스터 채널폭에 의해 조정하고, 각 비트내에서는 트랜지스터의 개수에 의해 전류를 변화시킨 출력단의 구성에 있어서, 최상위 비트에 대응하는 전류원에 전류원을 더 추가할 수 있는 구성을 도시한 도면이다.

도 33은 계조 127과 계조 128의 전류차를 나타낸 도면이다.

도 34는 도 25의 256 계조 표시의 드라이버에서의 트랜지스터(241) 출력 전류값의 이론값으로부터의 어긋남의 허용 한계와 표시 계조의 관계를 나타낸 도면이다.

도 35는 도 39의 출력단을 갖는 소스 드라이버에 있어서, 계조 반전을 검출하여 보정을 행할 때의 회로 구성을 도시한 도면이다.

도 36은 계조 3과 계조 4의 계조차를 나타낸 도면이다.

도 37은 계조 131과 계조 132의 계조차를 나타낸 도면이다.

도 38은 계조에 부합하는 전류, 계조에 부합하는 전압을 1수평 기간내에 어느 하나를 선택하여 출력하거나, 시간적으로 차례로 출력할 수 있도록 한 경우의 출력단의 구성을 도시한 도면이다.

도 39는 인상 신호선을 이용했을 때의 최상위 비트 전류원 전류 인상 기능 부여의 전류 출력단을 도시한 도면이다.

도 40은 프리차지 전원(24)의 전압이 복수 있고, 복수 전압의 어느 것을 선택, 출력하여 전류 출력을 행하거나, 전류 출력만을 행하는 것이 가능한 소스 드라이버에서의 프리차지 펄스, 프리차지 판정 신호와 소스 신호선의 관계를 나타낸 도면이다.

도 41은 본 발명에서의 프리차지 전압을 출력할지의 여부를 판정하는 플로우차트를 나타낸 도면이다.

도 42는 본 발명의 프리차지 인가 방식을 실현하기 위한 프리차지 판정 신호 생성부를 도시한 도면이다.

도 43은 계조 반전이 일어난 경우에 인상 신호의 레벨을 변경함으로써 계조 반전을 없애는 기능을 갖는 소스 드라이버의 구성의 일례를 도시한 도면이다.

도 44는 커런트 미러 형식의 화소 구성을 이용한 표시 장치를 도시한 도면이다.

<부호의 설명>

11 영상 데이터

12 데이터선

13 어드레스

14 배분후 데이터

- 15 클럭
- 16 스타트 펄스
- 20 전자 볼륨 제어 신호
- 31 콘트롤 IC
- 32 플렉시블 기관
- 33 표시 패널
- 34 표시 영역
- 35 게이트 드라이버
- 36 전류 출력형 소스 드라이버 IC
- 36 소스 드라이버
- 41 음극
- 42 유기층
- 43 양극
- 44 전원
- 51 출력 인에이블
- 54 계조 데이터
- 65 축적 용량
- 81 저항
- 82 연산 증폭기
- 83 트랜지스터
- 84 저항
- 85 전압 조절부
- 86 전원선
- 87 절환 수단(스위치)
- 88 제어 데이터
- 89 기준 전류선
- 102 분배용 미러 트랜지스터

- 103 계조 표시용 전류원
- 104 전류 출력
- 106 디지털 아날로그 변환부
- 107 공통 게이트선
- 108 스위치
- 181 클럭 B
- 203 EL 전원선
- 204a 게이트 신호선 1
- 204b 게이트 신호선 2
- 214 영상 신호
- 215 케이싱
- 221 본체
- 222 촬영부
- 223 셔터 스위치
- 224 파인더
- 225 표시 패널
- 231 안테나
- 232 키
- 233 케이싱
- 234 표시 패널
- 241 트랜지스터
- 311 기관
- 313 EL 전원선
- 388 프리차지 전압 신호

**실시예**

(제1 실시 형태)

이하, 본 발명의 제1 실시 형태의 전류 출력형 반도체 회로의 구성 및 동작을 도면을 이용하여 설명한다.

본 발명의 전류 출력형 반도체 회로에서는, 추가하는 2비트분에 관해서는 종래의 6비트분의 하위측에 추가한다. 때문에, 지금까지의 6비트 출력에 이용한 계조 표시용 전류원(103)의 전류값의 4분의 1을 출력하는 전류원을 준비하고, 이를 3개 추가함으로써 256 계조 출력을 행한다. 도 24에 8비트 출력을 행하는 전류 출력단의 개념도를 도시한다.

8비트화에 의해 증가하는 트랜지스터수는 3개이기 때문에, 상위측에 추가하는데 비해 회로 규모의 증가가 작은 구성이 실현 가능하다.

백 표시(최고 계조 표시)에서의 전류값의 조정은 “I”의 값을 조정하면 되고, 이 “I”의 값은 도 8의 구성의 기준 전류(89)를 제어하면 변화시킬 수 있기 때문에, 어플리케이션에 따라 제어 데이터(88)를 입력함으로써 실현한다.

도 24의 구성을 트랜지스터에서 실현했을 때의 예를 도 25에 도시한다. 상위 6비트분의 트랜지스터(252)는 본 발명의 제1 단위 트랜지스터에 일례로서 대응하고, 하위 2비트분의 트랜지스터(251)는 본 발명의 제2 단위 트랜지스터에 일례로서 대응한다. 트랜지스터 군(241a, 241b)은 본 발명의 제1 전류원 군에 일례로서 대응하고, 트랜지스터 군(242a, 242b, 242c, 242d, 242e, 242f)은 본 발명의 제2 전류원 군에 일례로서 대응한다. 입력 영상 신호 데이터(D[7:0])에 대해, D[0]과 D[1] 사이, D[2] 내지 D[7] 사이에서는, 비트마다의 가중값을 출력에 접속되는 트랜지스터의 개수를 변화함으로써 표현하고, 하위 2비트와 상위 4비트간의 가중값 부여는 트랜지스터의 채널폭에 의해 결정하였다. 트랜지스터(251, 252)에서는, 252가 채널폭이 대략 4배가 되도록 설계한다. 단, 채널폭의 비와 출력 전류의 비가 정확하게 일치하는 것은 아니기 때문에, 3.3배에서 4배 사이에서 시뮬레이션이나 TEG 트랜지스터 실측 데이터를 기초로, 트랜지스터의 채널폭의 비율을 결정함으로써 계조성이 높은 출력단을 구성할 수 있다.

출력 전류는 각 비트에 접속된 전류원 트랜지스터의 수에 의해 결정되며, 1개의 트랜지스터에 흐르는 전류량을 개수분 포개어 쌓는 것 같은 형태로, 출력 전류를 변화시킨다. 도 24 및 도 25의 8비트 출력의 경우, 계조와 출력 전류 특성은 도 26와 같이 된다(또 지면 관계상, 하위 64 계조만을 도시). 상위 6비트의 트랜지스터(252)에 의해 262의 영역에서 나타나는 전류가 출력되고, 하위 2비트의 트랜지스터(251)에 의해 261의 영역에서 나타나는 전류가 출력된다. 262의 전류는 트랜지스터의 개수의 차이에 의해 전류값을 바꾸고 있기 때문에, 등급폭의 변동은 1% 이하로 할 수 있다. 출력 전류의 대부분은 262의 부분이기 때문에, 261의 부분의 전류에 다소 변동이 생겨도 계조의 리니어리티에 영향을 주지 않는다. 또한 261의 등급폭이 소정의 값에 비해 증감하여도, 4계조에 1회만 등급폭이 상이한 부분이 나오는 것 뿐으로, 262와 261의 출력 전류에 대한 비율을 고려하면 실용상은 문제없다. 262의 전류 비율이 작아지는 저계조 영역에서는, 인간의 눈의 특성상 휘도차를 인식하기 어려워, 등급폭의 변동은 더욱 눈에 띄지 않게 되기 때문에 문제없다.

상위 6비트분의 트랜지스터(252)에 의한 인접 단자간의 출력 변동은 6비트 드라이버의 것과 동일한 것을 이용하고 있기 때문에, 변동은 2.5% 이내가 되어, 출력 전류 변동에 의한 세로 줄무늬는 발생하지 않는 것을 확인하였다.

한편, 새롭게 더한 2비트분의 트랜지스터에 대해서는, 채널폭을 단순하게 4분의 1로 한 것 만으로는, 트랜지스터의 채널 면적이 작아지기 때문에, 변동이 증가하여 2.5%를 넘는다(인접 단자간의 출력 전류 변동은 트랜지스터 면적의 제곱근에 반비례한다).

도 19에 도 25의 출력단의 구성에서의 계조와 인접간 전류 변동의 관계를 나타낸다. 단순하게 하위 2비트분의 트랜지스터(251)의 사이즈를 작게 한 경우에는, 실선(191) 및 파선(192)으로 나타내는 계조와 변동의 관계로 되어, 계조 3 이하에서 변동이 2.5%를 넘는 문제가 있다. 단순하게 채널폭을 4분의 1로 한 경우에서의 변동과 계조의 관계를 도 14(b)에 나타낸다. 계조 1 내지 3에서는 변동이 2.5%를 넘기 때문에 허용할 수 없다.

따라서, 본 발명에서는 계조 1 내지 3의 출력에 기여하는 3개의 트랜지스터(251)만(트랜지스터 채널폭)/(트랜지스터 채널 길이)의 값을 유지하여 출력 전류는 변화시키지 않고, 채널폭과 채널 길이를 크게 하여 채널 면적을 크게 함으로써 변동을 저감시킨다. 도 14(a)에 예를 나타낸다. 이 경우에는 채널 길이, 채널폭 모두 2배로 하고, 채널 면적을 4배로 함으로써 모든 계조에서 변동을 2.5% 이내로 하였다.

또 본례에서는, 이론상의 수치를 기술하고 있으며, 실제로는 트랜지스터 군(241a) 및 트랜지스터 군(241b)의 채널폭은 이 값보다 커진다. 커지는 방향으로 작성하기 위해, 출력 전류의 변동에 대해 마진을 갖는 방향으로 진행하기 때문에, 이론값에서 우선 계산 설계하고, 마지막으로 실측 데이터에 기초하여 변경하면 된다.

이 방법에 의한 칩 면적의 증가는 전체의 7할에 대해 1.05배이기 때문에, 전체적으로는 1.04배 정도의 증가로 되므로, 증가율이 적으면서도 변동을 볼 수 없는 표시가 가능해진다. 또한, 계조와 변동의 관계도 도 19에 나타내는 191과 193의 실선으로 나타낸 관계로 되어, 전 계조에서 변동 2.5%를 실현하였다.

또한, 트랜지스터 군(241)과 트랜지스터 군(242)의 트랜지스터 군은 각각 상이한 사이즈로 형성되고 있기 때문에, 시물레이션과 실측값의 차이로부터 트랜지스터 군(242)의 전류 출력에 대해, 트랜지스터 군(241)의 전류 출력이 커지거나 작아지거나 한다.

트랜지스터 군(241)의 전류 출력이 트랜지스터 군(242)의 출력 전류에 대해 작게 할 수 있었다고 하여도, 출력이 0이거나 음의 전류가 흐르는 것이 아니기 때문에, 계조 반전은 일어나지 않기 때문에, 문제는 없다.

한편, 트랜지스터 군(241)의 전류 출력이 트랜지스터 군(242)의 출력 전류에 대해 커진 경우에는, 트랜지스터 군(241)의 트랜지스터가 출력에 기여하는 계조와 기여하지 않는 계조가 인접하는 계조간에서 계조 반전이 일어날 가능성이 있다. 예를 들면 계조 3과 4의 사이나, 127과 128의 사이이다.

계조 3과 4의 사이에서는, 도 36에 나타내는 바와 같이 33%의 휘도차가 있다. 출력 변동은 도 14에 나타내는 바와 같이 2.5% 정도이기 때문에, 만일 계조차가 작아지는 방향으로 변동이 발생하였다고 해도 30%의 차는 있다. 따라서, 시물레이션값에 비해, 실제의 트랜지스터 군(241)의 전류 출력이 30% 커져도 문제는 없다.

계조 127과 128의 사이에서는, 도 33에 나타내는 바와 같이, 0.79%의 계조차로 된다. 계조 127 중 124 계조분과, 계조 128은 동일 사이즈의 트랜지스터(242)에 의해 출력되기 때문에, 변동은 인접간 변동과 마찬가지로 0.5% 정도이다. 그 때문에 계조차는 최소로 0.29%로 될 가능성이 있다. 트랜지스터 군(241)의 트랜지스터에 의한 전류가 커져도, 전체적으로 0.29%까지 억제할 수 있으면 된다. 트랜지스터 군(241)의 트랜지스터의 전류는 최대에서도 12.3%까지라면 계조 반전하는 일은 없다.

계조 128을 넘는 경우, 예를 들면 계조 131과 132 사이에서는, 도 37에 나타내는 바와 같이, 계조차는 0.75%이지만, 모두 트랜지스터 군(242f)의 전류 출력을 갖고, 상이한 것은 트랜지스터 군(242a), 트랜지스터 군(241a), 트랜지스터 군(241b)의 3개이다. 트랜지스터 군(242f)에 비해, 트랜지스터 군(242a)의 전류는 32분의 1이고, 트랜지스터의 변동에 의한 전류값의 변화는 128 계조 이하의 경우에 비해 작아진다. 이 경우 0.08% 작아질 가능성이 있고, 그 결과 트랜지스터에 변동이 있었다고 하여도 0.67%의 휘도차로 된다. 127과 128 사이에 비해 휘도차가 커지는 것, 트랜지스터 군(241)의 전류 출력이 차지하는 비율이 작아지는 것 때문에, 적어도 127과 128 사이에 비해 트랜지스터 군(241)의 트랜지스터의 전류가 커져도 문제는 없다.

트랜지스터 군(241)의 트랜지스터의 전류량이 시물레이션값(이론값)보다 커져도 계조 반전이 일어나지 않는 범위와, 표시 계조와의 관계를 도 34에 나타낸다.

도 34에 의하면, 가장 이론값으로부터의 어긋남을 허용하지 않는 것이, 127과 128 계조간이고, 이 경우에 12.3%이다. 적어도 이론값과 실제의 값이 12% 어긋나지 않으면, 계조 반전이 일어나지 않고 전류 출력을 실현할 수 있다.

도 24 및 도 25의 구성에서의 8비트 드라이버에 있어서, 하위 2비트(트랜지스터 군(241)에서 출력)와 상위 6비트(트랜지스터 군(242)에서 출력)의 트랜지스터 사이즈를 바꿨다고 하여도, 계조 반전 없이 표시하는 것이 가능해진다.

가장 계조 반전이 일어나기 쉬운 것은 계조 127과 계조 128의 사이이기 때문에, 이 2계조간에 계조 반전이 발생한 경우에서도 리페어에 의해 계조 반전을 없애는 회로를 내장한 전류 출력단(23)의 1출력의 회로 구성을 도 32에 도시한다.

도 25의 구성에 비해, 128 계조 이상에서의 전류 증가용 트랜지스터(322)와 절환부(321)가 추가된 것이 특징이다.

절환부(321)의 단자(323)는 3개 있고, 각각 전류 증가용 트랜지스터(322), 그라운드 전위, 전류원(242f)에 접속되어 있다.

절환부(321)에서는 통상은, 단자(323a)와 단자(323b)가 접속되고, 단자(323c)는 미설정 상태로 되어 있다. 그 때문에, 전류 증가용 트랜지스터(322)는 전류 출력에는 영향을 주지 않는다. 계조 반전이 없는 경우에는 이 상태로 출하한다.

한편, 트랜지스터 군(241)의 전류가 많아진 경우에 계조 반전이 일어났을 경우에는, 128 계조 이상의 전류를 증가시켜 계조 반전을 방지하기 위해, 레이저 등에 의해 절환부(321)의 접속을 변경하여, 단자(323a, 323c)를 접속시킨다.

이에 따라, 128 계조 이상의 전류가 증가하여, 계조 반전을 방지할 수 있다.

전류 증가용 트랜지스터(322)의 전류는 트랜지스터 군(241a)의 전류의 10% 정도의 전류를 출력하도록 하는 것으로 한다. 트랜지스터 군(241)의 전류가 12.3%를 넘으면, 127과 128 계조간에서 반전이 일어나기 때문에, 그것을 구제하기 위해서는 10% 정도로 하여 둔다. 트랜지스터 군(241)의 전류가 22% 어긋나면, 127과 128 계조간에서의 계조 반전을 방지할 수 없지만, 이 경우에는 이미 63과 64 계조간에서도 계조 반전이 일어난다. 63과 64 계조간에서의 보정은 이 회로로는 불가능하기 때문에, 22%의 어긋남을 고려할 필요가 없다.

그 때문에 본 발명에서는 가장 계조 반전이 일어나기 쉬운 계조간만의 계조 반전만을 구제할 수 있도록 하는 구성으로 하였기 때문에, 전류 증가용 트랜지스터(322)의 전류는 트랜지스터 군(241a)의 전류의 10% 정도의 것으로 무방하다.

이 전류 증가용 트랜지스터(322)에 의한 인접간 변동에의 영향은, 128 계조의 전류에 대해 322의 출력 전류는 1280분의 1이기 때문에, 전체의 0.08%이므로 무시할 수 있다. 트랜지스터 군(241a)이나 트랜지스터 군(241a)의 4분의 1 정도의 크기로 만들어도 문제없다.

각 출력에 절환부(321)를 설치함으로써 계조 반전의 가능성이 작은 드라이버 IC가 실현되었다. 이에 따라, 레이저 가공 등에 의해 불량품을 양품으로 할 수 있어 수율이 높아지는 것을 기대할 수 있다.

그러나, 1출력마다 레이저 가공을 행하게 되면, 가공에 시간이 걸림으로써 작업 공정수의 증대, 코스트의 증가를 초래하게 되어, 수율의 상승의 효과만큼 가격이 내리지 않을 가능성이 있다.

따라서, 도 39에 도시하는 바와 같이 전류 증가용 트랜지스터(322)와 전류원(242f)의 접속을 절환 수단(391)을 통해 행하고, 인상 신호(392)에 의해 절환 수단(391)을 제어함으로써, 외부 커맨드 입력에 의해 인상 신호(392)를 이용하여 128 계조짜의 전류를 용이하게 인상할 수 있는 구성을 생각하였다.

인상 신호(612)는 출력마다 설정할 수 있으면 되지만, 이 경우 신호선마다의 인상 신호(612)의 값을 유지하는 래치가 필요하다. 각 래치에의 신호의 분배는 영상 신호를 분배하기 위해 이용하는 시프트 레지스터를 공용하면, 1비트의 신호 입력(392)에 의해 가능하다. 그러나 래치를 신호선분 설치하기 때문에 회로 규모가 커지는 문제가 있다. 래치부(22)가 보유할 데이터의 비트수가 각 소스선에서 1비트 증가한다. 회로 규모가 커져도 되는 경우 혹은 미세 프로세스를 이용하여 전체에 차지하는 래치부의 면적이 작은 경우에는, 출력마다 인상 신호를 제어하여 인상 여부를 결정하여도 되지만, 계조 반전이 일어나는 경우에는, 시물레이션값과 실측값의 차이가 큰 경우에 발생하기 때문에, 기본적으로는 모든 단자 공통으로, 전류 증가용 트랜지스터(322)의 필요, 불요의 판정이 이루어지게 될 것이다.

따라서, 인상 신호선(392)은 1개의 소스 드라이버내에 있어서 모두 공통인 1개의 신호선으로 하고, 이 신호선의 제어에 의해 모든 출력에서 128 계조 이상의 전류를 증가시킬지의 여부를 결정한다.

이 신호선은 예를 들면, 통상은 로우레벨로 하고 절환부(391)가 비도통 상태로 하여 두지만, 레이저 가공으로 인상 신호선(392)을 하이레벨로 절환함으로써, 전 출력 일괄로 제어하도록 하면, 단기간에 리페어를 실시할 수 있다. 도 43에 도시하는 바와 같은 회로(431)를 형성하면 실현 가능하다.

또한, 소스 드라이버 IC(36) 내부에 ROM(351)을 구성할 수 있는 경우에는, 외부 제어 신호에 의해 ROM(351)의 값을 기입하고, 계조 반전이 일어난 IC에서는 ROM(351)에는 인상 신호선(392)을 하이레벨로 하도록, 계조 반전이 일어나지 않은 IC에서는 ROM(351)에는 인상 신호선(392)을 로우레벨로 하도록, 기입을 행하게 하면 된다.

예를 들면 도 35와 같이, ROM(351)에는 PC 등(352)으로부터의 신호를 검사시에 입력할 수 있도록 하고, 출력 전류 측정 수단(353)의 전류값에 의해 계조 반전이 일어나고 있는지의 여부를 PC 등(352)에서 검출하여, 계조 반전이 일어났을 때에 ROM(351)에는 하이레벨의 신호를 기입하도록 한다. 계조 반전이 일어나지 않은 경우에는 ROM(351)에는 로우레벨의 신호를 기입한다. 이에 따라, 자동적으로 계조 반전을 보정할지의 여부를 판정할 수 있어, 사람손을 거치지 않고 불량품을 레스큐할 수 있게 되어, 고속이면서도 염가로 IC를 제공할 수 있게 되었다.

이상의 설명에 있어서는, 소스 드라이버는 8비트로서 설명을 행하였지만, 8비트가 아니라도 본 발명을 실현할 수 있다. 또한, 하위 2비트와 상위 6비트의 조합 이외에도 도 27에 도시하는 바와 같이, 하위 1비트와 상위 7비트의 조합으로도 실현 가능하다. 하위 N비트를 어떤 트랜지스터 사이즈로 형성하고, 상위 M비트를 별개의 트랜지스터 사이즈로 형성함으로써,  $(N+M)(\geq 3)$ 비트 출력의 전류 드라이버를 실현할 수 있다. 이 경우, 하위 N비트의 트랜지스터는 상위 M비트의 트랜지스터의 전류 출력의  $1/2^N$ 의 전류를 출력하면 가장 좋다. 그러나, 계조를 표현할 수 있다면, 하위 N비트의 트랜지스터보다 상위 M비트의 트랜지스터의 전류 출력이 크면 좋은 경우도 생각할 수 있다.

N과 M의 관계는  $N \leq M$ 인 것이 바람직하다. N이 커짐에 따라 N비트에 대응하는 트랜지스터의 전류 출력 비율이 커지기 때문에, N비트에 대응하는 트랜지스터의 전류값의 이론값으로부터의 어긋남의 영향이 커진다. 예를 들면 8비트 드라이버일 때에는,  $N=2, M=6$ 인 경우에는 12.3%까지 어긋남을 허용할 수 있지만,  $N=3, M=5$ 일 때에는 5.26%,  $N=4, M=4$ 에서는 2.46%까지 밖에 어긋남을 허용할 수 없다. 2.46%로 되면, 인접간 변동과 동일 레벨로서, 이 정도가 이론값과 실측값의 차이를 제어할 수 있는 최소값이다.

그러므로, 8비트 드라이버에서는  $N=4$ 가 최대값으로 된다.

일반적으로  $(N+M)$ 비트 드라이버에 있어서도, 하위 트랜지스터(N비트분)의 이론값으로부터의 어긋남의 영향을 줄이기 위해,  $N \leq M$ 일 필요가 있다. 또한  $N \leq M$ 이라도, 인접 계조간의 계조성을 좋게 하기 위해서는,  $N \leq 4$ 인 것이 바람직하다.

또, 본 발명에서는 표시 소자로서 유기 발광 소자로 설명을 행하였지만, 무기 일렉트로루미네선스 소자, 발광 다이오드 등 전류와 휘도가 비례 관계로 되는 표시 소자라면 어떠한 소자를 이용하여도 실시 가능하다.

감마 보정을 행한 8비트의 신호를 입력하고, 소스 드라이버 IC(36)를 이용하여 표시를 행하면, FRC를 이용하지 않고도 감마 보정을 행한 표시를 실현하는 것이 가능해진다. 그 때문에, 보다 저계조측의 표시를 하기 쉬워져(FRC에 의한 플리커의 영향이 없어진다) 표시 품질이 높은 표시 장치를 실현할 수 있다.

도 21 내지 도 23에 도시하는 바와 같은 표시 장치에 필요 불가결한 드라이버 IC(36)이다.

여기까지는 화소(67)에 이용되는 트랜지스터가 p형의 트랜지스터인 경우의 예를 나타내었지만, n형 트랜지스터를 이용하여도 마찬가지로 실현 가능하다.

도 20은 커런트 미러형의 화소 구성을 n형 트랜지스터에서 형성했을 때의 1화소분의 회로이다. 전류가 흐르는 방향이 반대로 되고, 그에 수반하여 전원 전압이 바뀐다. 따라서, 소스 신호선(205)를 흐르는 전류는 소스 드라이버 IC(36)로부터 화소(67)를 향해 흐를 필요가 있다. 출력단의 구성은 드라이버 IC 외부로 전류를 내보내도록 p형 트랜지스터의 커런트 미러 구성으로 된다. 기존 전류의 방향도 마찬가지로 반전할 필요가 있다.

이와 같이 화소에 이용하는 트랜지스터가 p, n 양쪽 모두에 있어서 적용하는 것이 가능하다.

## (제2 실시 형태)

본 발명의 제2 실시 형태의 전류 출력형 반도체 장치에서의 전류 출력형 소스 드라이버 IC(36)의 구성을 도 2에 도시한다. 출력수는 단순히 1출력당 필요한 시프트 레지스터(21) 및 래치부(22), 전류 출력단(23), 프리차지 전압 인가 관정부(56), 전류 출력/프리차지 전압 선택부(25)의 수를 출력수의 증감에 따라, 증감시킴으로써 실현 가능하기 때문에, 임의의 출력수에 대응 가능하다(단, 출력수가 증가하면 칩 사이즈가 너무 커지는 것과, 범용성이 없어지기 때문에 600 정도가 실용상 최대이다).

본 발명의 드라이버 IC(36)의 영상 신호는 제어 IC(28)로부터 신호선(12, 13)에 의해 입력된다. 이를 분배부(27)에 의해 영상 신호 및 각종 설정 신호를 배분하고, 영상 신호만을 시프트 레지스터부(21)에 입력한다. 시프트 레지스터부(21) 및 2개의 래치부(22)에 의해 각 출력 단자에 분배한다. 분배된 영상 신호는 전류 출력단(23)에 입력된다. 전류 출력단(23)에서는 영상 신호와 기준 전류 생성부(26)에 의해 생성된 기준 전류로부터, 계조에 부합하는 전류값을 출력한다. 래치부 중 프리차지 관정 신호 데이터는, 프리차지 전압 인가 관정부(56)에 입력된다. 한편, 프리차지 전압 인가 관정부(56)에서는 래치부(22)에 의해 래치된 프리차지 관정 신호와 프리차지 펄스에 의해, 프리차지 전원(24)으로부터 공급되는 전압을 출력(53)으

로 출력할지 여부의 스위치를 제어하는 신호를 생성한다. 이에 따라 프리차지 전압 인가 판정부(56)의 출력 신호에 따라 드라이버 IC(36)의 외부에 계조에 부합하는 전류를 내보낼지, 프리차지 전원(24)으로부터 공급되는 전압을 공급할지를 선택하는 전류 출력/프리차지 전압 선택부(25)를 통해 드라이버 IC(36) 외부로 전류 혹은 전압이 출력된다.

프리차지 전원(24)으로부터 출력되는 전압은 표시 패널에 흑을 표시하기 위해 필요한 전압값으로 된다. 이 프리차지 전압을 인가하는 방법은 액티브 매트릭스형 표시 장치에 전류 출력에 응답하여 계조 표시를 행하기 위한 드라이버 IC(36) 특유의 구성이다.

예를 들면 도 6에 도시하는 화소 구성의 액티브 매트릭스형 표시 장치에 있어서, 소스 신호선으로부터 어느 화소에 소정 전류값을 기입하는 경우에 대해 생각한다. 프리차지를 행하지 않는 경우, 즉 프리차지 회로가 없는 경우, 소스 드라이버 IC(36)의 출력단으로부터 화소까지의 전류 경로에 관계하는 회로를 뽑아낸 회로는 도 12(a)와 같이 된다.

계조에 부합하는 전류(I)가 드라이버 IC(36)내에서부터, 전류원(122)이라는 형태에 인입 전류로서 흐른다. 이 전류는 소스 신호선(60)을 통해서 화소(67) 내부에 받아 들여진다. 받아 들여진 전류는 구동 트랜지스터(62)를 흐른다. 즉, 선택된 화소(67)에 있어서 EL 전원선(64)으로부터 구동 트랜지스터(62), 소스 신호선(60)을 통해, 소스 드라이버 IC(36)에 전류(I)가 흐른다.

영상 신호가 변화하여 전류원(122)의 전류값이 변화하면, 구동 트랜지스터(62) 및 소스 신호선(60)에 흐르는 전류도 변화한다. 그 때 소스 신호선의 전압은 구동 트랜지스터(62)의 전류-전압 특성에 따라 변화한다. 구동 트랜지스터(62)의 전류 전압 특성이 도 12(b)인 경우, 예를 들면 전류원(122)이 흘리는 전류값이 I2로부터 I1로 변화했다고 하면, 소스 신호선의 전압은 V2로부터 V1로 변화하게 된다. 이 전압의 변화는 전류원(122)의 전류에 의해 일어난다.

소스 신호선(60)에는 부유 용량(121)이 존재한다. V2로부터 V1까지 소스 신호선 전압을 변화시키기 위해서는 이 부유 용량의 전하를 뽑아낼 필요가 있다. 이 뽑아내는 데에 걸리는 시간  $\Delta T$ 는,  $\Delta Q(\text{부유 용량의 전하}) = I(\text{소스 신호선에 흐르는 전류}) \times \Delta T = C(\text{부유 용량값}) \times \Delta V$ 로 된다. 여기에서  $\Delta V$ (백 표시시부터 흑 표시 시간의 신호선 진폭)는 5[V],  $C = 10\text{pF}$ ,  $I = 10\text{nA}$ 라 하면,  $\Delta T = 50\text{밀리세컨드}$  필요하게 된다. 이는 QCIF+ 사이즈(화소수  $176 \times 220$ )를 60Hz의 프레임 주파수로 구동시킬 때의, 1수평 주사 기간(75 $\mu\text{초}$ )보다 길어지기 때문에, 만일, 백 표시 화소하의 화소에 흑 표시를 행하려고 하면, 소스 신호선 전류가 변화 도중에 화소에 전류를 기입하기 위한 스위치 트랜지스터(66a, 66b)가 닫혀 버리기 때문에, 중간조가 화소에 메모리됨으로써 백과 흑의 중간의 휘도로 화소가 빛나 버리는 것을 의미한다.

계조가 낮아질수록 I의 값이 작아지기 때문에, 부유 용량(121)의 전하를 뽑아내기 어려워지므로, 소정 휘도로 변화하기 전의 신호가 화소 내부에 기입되어 버린다고 하는 문제는, 저계조 표시일수록 현저하게 나타난다. 극단적으로 말하면 흑 표시는 전류원(122)의 전류는 0으로, 전류를 흘리지 않고 부유 용량(121)의 전하를 뽑아내는 것은 불가능하다.

따라서, 전류원(122)에 비해서 임피던스가 낮은 전압원을 준비하고, 필요에 따라 소스 신호선(6a)에 인가하는 구성을 채택하기로 하였다. 이 전압원이 도 2의 프리차지 전원(24)에 상당하며, 인가 가능하기 위한 기구가 부호 25이다.

1개의 소스 신호선(6a)에 대한 개략 회로를 도 13에 도시한다. 프리차지 전원(24)으로부터 공급되는 전압을 소스 신호선(6a)에 인가함으로써, 부유 용량(121)의 전하를 충방전할 수 있도록 하였다. 프리차지 전원(24)으로부터 공급되는 전압은, 도 12(b)의 특성에 따라 각 계조 전류에 대응한 전압을 공급할 수 있도록 하여도 되지만, 전압 발생 회로에도 데이터(54)에 부합하는 디지털 아날로그 변환부가 필요하게 되기 때문에 회로 규모가 커진다. 소형의 패널(9인치 이하)에서는, 부유 용량(121)의 용량값이 10~15pF인 것과, 화소수가 적기 때문에, 수직 주사 기간이 비교적 길게 취해지므로, 실용상은 프리차지 전원(24)에서 발생하는 전압은 가장 전류값의 기입이 어려운 흑 계조에 대응한 전압만 발생하는 것이 비용(칩 면적) 대 효과의 면에서 충분하다고 할 수 있다(또 대형, 고선명 패널에 있어서는, 이후 설명하는 도 38에 도시하는 바와 같이, 디지털 아날로그 변환부를 이용한 드라이버 IC도 생각할 수 있다).

소형 패널에 있어서는 프리차지 전원(24)으로부터 발생하는 전압은 1개로 무방하며, 데이터에 의해 전압을 출력할지의 여부의 판정을 행하여, 스위치(131)의 제어만 하면 되게 된다. 즉, 어느 영상 신호에 대응하는 전류 출력을 행하기 전에, 전압원(24)을 인가할지의 여부를 판별하는 1비트의 신호선(프리차지 판정 신호)을 준비한다.

도 13의 회로 구성에서의 전압 인가 판정 동작을 도 9에 나타낸다. 프리차지 판정 신호(55)에 의해, 전압을 인가할지의 여부를 판정한다. 이 예에서는, "H" 레벨에서는 전압 인가이며, "L" 레벨을 전압 인가 없음으로 하고 있다.

화소 회로(67) 내부의 구동 트랜지스터(62)의 게이트 전압이 프리차지 전원(24)의 출력 전압과 동일하게 되는 시간은, 소스 신호선(60)의 배선 용량 및 배선 저항의 곱으로 표시되는 시상수로 정해진다. 프리차지 전원(24) 출력의 버퍼 사이즈 및 패널 사이즈에도 의하지만, 1~5 $\mu$ 초 정도에서 변화 가능하다.

전압에 의해 계조 표시를 행하면, 구동 트랜지스터(62)의 전류-전압 특성의 변동에 의해 동일 전압을 각 화소에 공급할 수 있었다고 하여도, EL 소자(63)에 흐르는 전류가 상이하여, 휘도 얼룩이 발생하므로, 구동 트랜지스터(62)의 변동을 보정하기 위해서, 1~5 $\mu$ 초에서 소정 전압으로 한 후, 전류 출력을 행하도록 한다.

그것을 위한 전압 출력과 전류 출력의 절환을 프리차지 펄스를 이용하여 행한다. 프리차지 펄스 및 프리차지 판정 신호(55)가 동시에 "H"일 때에만 프리차지 전원(24)의 전압을 출력하고, 그 이외의 경우에는 전류 출력을 행함으로써, 전압 인가가 불필요한 경우에는 전류 출력을, 전압 인가가 필요한 경우에서도 전압 인가후 전류에 의해 변동 보정을 행하는 것이 가능해진다.

프리차지 전원(24)을 제어하는 스위치(131)에 대해서는 이상의 동작을 행하지만, 전류 출력 제어부(133)에 의한 스위치(132)의 동작은 도 15와 같이, 전류 출력 기간(152)에서는 온 상태일 필요가 있지만, 전압 출력 기간에 있어서는 온 상태라도 오프 상태라도 된다.

오프 상태이면 프리차지 전원(24)의 출력이 그대로 소스 드라이버로부터 출력되기 때문에 문제없다. 한편, 온 상태라도 디지털 아날로그 변환부(106)에 의한 전류 출력치(104)의 전압은 부하에 의해 정해지기 때문에, 프리차지 전원(24)이 출력되고 있으면, 소스 신호선(60)의 전압은 프리차지 전원(24)과 동일한 전압으로 된다. 그 때문에 스위치(132)는 어떠한 상태에 있어도 무방하다.

그 때문에, 스위치(132) 및 전류 출력 제어부(133)는 없어도 상관없다. 단 실제로는, 프리차지 전원(24)의 출력에 OP 앰프가 이용된다고 하면, OP 앰프로부터 계조 표시용 전류원(103)에 전류가 인입되게 되어, OP 앰프의 전류 출력 능력을 높일 필요가 있다. 그 때문에, OP 앰프의 능력을 높일 수 없는 경우에는, 스위치(132)를 설치하고 스위치(131)와 반대의 동작을 시키도록 하여, OP 앰프의 전류 출력 능력 부족을 보충하는 구성으로 하는 경우가 많다.

스위치(132)의 유무는 드라이버 설계시의 OP 앰프의 설계에 따라 정해지는 것이다. OP 앰프를 작게 하는 경우에는 스위치(132)를 설치하고, OP 앰프 혹은 프리차지 전원(24)이 소스 드라이버(36) 외부로부터 공급되고, 충분히 전류 출력 능력이 있는 전원을 이용하고 있는 경우에는, 소스 드라이버의 회로 규모를 작게 하기 위해서 스위치(132)와 전류 출력 제어부(133)를 없애는 구성으로 하는 경우가 있다.

프리차지 전원(24)으로부터 출력되는 전압값이, 흑 계조시의 전류에 대응한 전압(이후 흑 전압이라고 한다)만으로 하였기 때문에, 예를 들면, 계조 데이터(54)가 연속한 복수의 수평 주사 기간에 걸쳐서 백의 계조를 표시한다고 한 경우, 소스 신호선은 흑, 백, 흑, 백 상태를 반복하게 된다. 만약, 프리차지를 행하지 않는 경우, 백 상태가 연속하여 발생하게 된다. 즉 프리차지를 행함으로써 오히려, 신호선의 변화를 격렬하게 하는 것이 될 뿐만 아니라, 백 표시시의 전류에 의해서는, 완전히 백으로 되지 않아 기입 전류 부족을 일으킬 우려가 있다.

따라서, 프리차지 판정 신호를 이용하여, 전류가 비교적 많이 흐르는 계조에서는 프리차지를 행하지 않고, 흑 계조 부근의 소정 전류에 변화하기 어려운 계조만 프리차지 전원(24)의 어시스트를 받도록 하면 된다. 예를 들면 계조 0(흑)일 때만 프리차지 전압을 넣는 기간이 있고, 그 밖의 계조 표시시에는 프리차지 전압을 넣지 않도록 하는 것이 가장 효과가 있다. 최저 계조시의 휘도를 낮게 함으로써 콘트라스트도 상승하여, 보다 아름다운 그림이 표시 가능해진다.

예를 들면, 도 17(a)에 나타내는 바와 같이, 계조 데이터(54)가 0일 때에만 프리차지 판정 신호(55)를 넣으므로써, 계조 0시에만 프리차지를 행할 수 있다.

또한, 계조 데이터(54)가 0, 1일 때에 프리차지 판정 신호(55)를 내면, 계조 0, 1일 때에 프리차지를 행할 수 있다(도 17(b)).

그런데, 전 화면이 흑 표시와 같은 소스 신호선의 변화가 없는 패턴에 있어서는, 1프레임의 시작에만 프리차지 전압을 인가하면, 이후는 흑 전류만으로도 충분히 소정의 계조가 흐른다.

즉, 동일한 흑 표시시에 있어서도, 이전의 수평 주사 기간에 소스 신호선에 흘린 전류값에 의해, 전류만으로 소정 전류값까지 변화하는 기간이 상이하고, 변화량이 커질수록 변화에 시간이 걸린다. 예를 들면 백 표시후의 흑 표시를 하기 위해서는 시간이 걸리지만, 흑 표시후에 흑 표시를 행하는 경우에는 신호선은 구동 트랜지스터(62)의 변동 분만의 변화가 되기 때문에 변화에 필요로 하는 시간은 짧다.

따라서, 계조 데이터(54)에 동기하여, 프리차지 전압을 인가할지의 여부를 판정하는 신호(프리차지 판정 신호(55))를 선택마다 도입함으로써, 임의의 계조에서 혹은 동일 계조에서도 프리차지 유무를 선택할 수 있도록 하는 구성을 도입하는 것도 가능하다.

계조 데이터(54)에 대해 프리차지 판정 신호(55)를 부가한다. 이에 수반하여, 래치부(22)도 프리차지 판정 신호를 래치할 필요가 있기 때문에, 영상 신호 비트 수 + 1비트의 래치부를 갖도록 한다.

도 17(c)에서는 계조 0일 때에 또한, 이전 기간에서의 계조가 0이 아닐 때에 프리차지를 넣은 경우(계조 0일 때에 프리차지하지만, 연속하는 경우에는 계조 0이라도 프리차지를 행하지 않는다)를 나타내고 있다.

이 방법에서는 이전의 방법과는 상이하게, 동일 계조에서도 1수평 주사 기간전의 소스 신호선의 상태에 따라 프리차지를 하거나 하지 않거나를 선택할 수 있는 이점이 있다.

또, 이 프리차지 판정 신호는 제어 IC(28)로부터 공급된다. 제어 IC(28)의 커맨드 조작에 의해, 도 17의 (a) 내지 (c)에 나타난 바와 같이, 프리차지 판정 신호(55)의 패턴을 변경시켜 출력할 수가 있다.

소스 신호선의 용량이나 1수평 주사 기간의 길이에 따라, 소스 드라이버 IC(36) 외부로부터 유연하게 프리차지의 설정을 변경시키는 것이 가능하여, 범용성이 증가한다고 하는 이점이 있다.

프리차지 판정 신호(55)를 제어 IC(22)에서 발생시키는 방법에 대해 설명한다. 입력 영상 신호에 대해 프리차지를 할지의 여부를 판정을 행하여, 그 결과를 프리차지 판정 신호(55)로서 제어 IC(22)로부터 소스 드라이버로 출력한다.

프리차지를 할 것인지 여부의 판정에 대해, 소스 신호선의 전류 변화량과, 소스 신호선에 흐르는 전류값이 소정 전류값에 까지 변화할지의 여부에 영향을 준다고 하는 관점으로부터, 1행 전의 상태에 의한 판별, 해당 행의 표시 계조에 의한 판별을 행한다.

예를 들면, 소스 신호선의 상태가 백, 흑, 흑으로 되는 경우에는, 백으로부터 흑이 될 때는 변화량이 크고 시간이 걸리지만, 흑으로부터 흑으로와 같이 복수의 행에 걸쳐 동일 계조를 표시하는 경우, 동일 계조를 표시하는 행에 대응하는 기간에 소스 신호선 전류의 변화는 변동을 보상하는 정도 뿐이므로 변화량이 작다.

이것을 이용하여, 1행 전의 데이터를 참조하여 1행 전의 데이터와 해당 데이터의 계조차가 큰 경우에만 프리차지 전압으로부터 전압 출력을 행하도록 한다. 앞선 예에서는, 백으로부터 흑으로 변화하는 경우에 프리차지를 행하고, 흑으로부터 흑으로의 변화시에는 프리차지를 행하지 않게 한다. 흑으로부터 흑으로의 변동 보정에 필요한 변화의 시간이 프리차지를 행하지 않는 만큼 길게 하는 것이 가능하여, 보다 보정의 정밀도를 높이는 것이 가능하게 되었다. 이에 따라 1행 전의 계조와 해당 행의 계조 데이터가 동일할 때는 프리차지를 하지 않는 것이 바람직한 것을 알 수 있다.

또한, 프리차지를 하기 위한 전압은 흑 상태에 대응하는 전압만이기 때문에, 1행 전의 상태에 비해 해당 행의 휘도가 높은 경우에는, 흑 상태로 하지 않고 소정의 전류만으로 계조 표시를 행하면 된다. 따라서, 1행 전의 계조에 비해 해당 행 계조가 높은 경우에는, 프리차지를 하지 않는 것이 바람직한 것을 알 수 있다.

또한, 해당 화소가 중간조 이상인 경우는 전류량이 많기 때문에, 소정 전류까지 변화하는 것이 용이해지므로, 1행 전의 화소에 관계없이 프리차지는 불필요하게 된다. 단, 해상도가 높은 경우나, 중간조라도 전류량이 적은 경우, 패넬 사이즈가 큰 등, 변화하기 어려운 경우는, 1행 전의 화소가 중간조 이하인 경우에 프리차지를 행하여도 된다.

일반적으로 전류값의 변화는, 흑으로부터 백 상태의 변화에 비해, 백으로부터 흑 상태로 변화하는 쪽이, 어렵다. 이는 앞에서 설명했던 바와 같이, 지금부터 표시하는 표시 계조에 부합하는 전류에 의해 1행 전의 소스 신호선의 상태로부터 원하는 소스 신호선의 상태까지 변화해야만 하여, 전류값이 작은 저계조부일수록 변화가 어려워진다. 또한, 변화량이 많은 경

우에는 완전히 변화하기 전에, 수평 주사 기간이 끝나 버린다. 따라서 변화에 시간이 걸리는, 변화량이 크면서도 해당 계조가 저계조인 경우, 즉 1행 전의 화소의 계조가 중간조 이상일 때에, 해당 화소의 휘도가 중간조 이하로 되는 경우에 프리차지를 행하도록 하는 것이 효과적이다.

1행 전이 중간조 이하라면, 해당 화소의 휘도가 중간조 이하인 경우에도, 변화량이 적은 만큼 소정 계조를 표시할 수 있다.

이에 따라, 해당 화소의 휘도가 어느 계조보다 큰 경우에는 프리차지를 행하지 않고, 어느 계조 이하인 경우에는 1행 전의 계조에 의해 1행 전의 데이터에 응답하여, 1행 전의 데이터보다 큰 경우에는 프리차지를 행하지 않고, 1행 전의 데이터보다 작은 경우에는 프리차지를 행하도록 한다. 1행 전의 데이터와 동일한 경우에는 해당 행의 계조에 관계없이 프리차지를 행하지 않는 것으로 한다.

또 1행전 데이터가 존재하지 않는 1행째의 데이터에 관해서는, 1행째에서의 데이터를 화소에 기입하기 직전의 상태, 즉 수직 블랭킹 기간에서의 소스 신호선의 상태가 중요하게 된다.

1프레임간 중의 어느 행도 선택되지 않는 수직 블랭킹 기간이 일반적으로 존재한다. 이 때 소스 신호선은 스위칭 트랜지스터에 의해 어느 화소로부터도 절단되어 전류가 흐르는 경로가 없어진다. 소스 드라이버 IC의 전류 출력단이 도 13과 같이 구성된 경우, 수직 블랭킹 기간에서는 전류 출력(104)의 끝에는 소스 신호선 밖에 접속되어 있지 않고, 계조 표시용 전류원(103)이 전류를 소스 신호선으로부터 끌어 들이려고 하여도, 전류 경로가 없기 때문에 인입되지 않는다.

계조 표시용 전류원(103)은 그 때문에 무리하게라도 전류를 인입하고자 하여 전류원(103)을 구성하는 트랜지스터의 드레인 전압을 저하시킨다. 소스 신호선의 전위도 동시에 저하한다.

수직 블랭킹 기간이 종료하여, 1행째의 화소에 전류를 공급하려고 할 때는 소스 신호선 전위의 저하가 커져, 통상의 백 표시시에 비해서도 소스 신호선 전위가 저하한다(여기에서 소스 신호선의 전위는 백 표시시가 최저이고, 흑 표시시가 최고 전위가 된다. 도 6의 화소 구성으로 한 경우). 그 때문에, 계조에 대응한 전류값으로 될 때까지 소스 신호선의 전위를 변화시키는 것이 다른 행에 비해 어려워진다(필요한 변화폭이 크다).

소스 신호선 전위의 저하가 큰 경우, 백 표시시에 비해 더욱 전위가 저하하고, 1행째에 백 표시를 행하는 경우에서도 변화에 시간이 걸리는 경우, 소정 휘도에 비해 높은 휘도로 표시가 행해져 버린다. 수직 블랭킹 기간 종료후 바로 주사를 행하는 경우에 관해서는 표시 계조에 관계없이, 프리차지 전압을 출력하는 것이 바람직하다.

따라서, 본 발명에서는 수직 동기 신호를 이용하여, 수직 블랭킹 기간의 다음 행에 상당하는 데이터에 대응한 프리차지 판정 신호에서는 강제적으로 프리차지를 행하도록 하는 신호로서, 1행째의 휘도가 다른 행의 휘도와 상이한 문제를 해결하였다.

또, 소스 신호선의 전위 저하를 조금이라도 완화시키는 방법으로서, 수직 블랭킹 기간에 있어서는 계조 데이터(54)에 흑 표시 데이터를 입력하고, 스위치(108)를 비도통 상태로 함으로써, 소스 신호선 전위의 저하를 억제하여도 된다. 또한, 전류 출력(104)과 소스 신호선의 사이에 스위치를 설치하고, 수직 블랭킹 기간에서는 그 스위치를 비도통 상태로 하도록 하여도 된다. 이 스위치는 전류 전압 선택부(385)와 겸용으로 하여도 되고, 스위치의 상태가 3 치를 취할 수 있도록 하여, 전류 출력, 전압 출력, 소스 신호선으로 분리하도록 하면, 스위치의 구성수를 줄이는 것이 가능하다.

소정의 계조가 기입하기 어려운 현상, 특히 흑이 중간조 표시로 되는 현상에 대해서는, 표시 화상의 평균 휘도, 점등율에 영향을 받는다. 점등율이 높은 경우에는 전체적으로 휘도가 높아지고 있어, 소수의 흑 표시 화소가 중간조 표시로 되어 있어도, 시인할 수 없다. 한편, 점등율이 낮은 경우에는 대부분 화소의 휘도가 낮게 설정되어 있어, 이 휘도를 정상적으로 표시할 수 없는 경우에는, 거의 전면의 휘도가 변화하기 때문에, 본래의 영상으로부터 동떨어진 표시로 되어, 표시 품위에 큰 영향을 미친다.

따라서, 표시 품위에의 영향이 적은 점등율이 높은 표시에서는, 전류 구동에 의한 균일한 표시를 우선하기 위해 프리차지를 하지 않고, 흑 표시 휘도의 상승이 눈에 띄는 점등율이 낮은 표시에 있어서 프리차지를 하도록 설정될 수 있게 한다.

패널의 점등율은 1프레임간 모든 휘도 데이터를 가산함으로써 산출 가능하다. 이 방법으로 얻은 점등율의 값에 의해, 점등율이 높은 경우 프리차지를 행하지 않고, 점등율이 낮은 경우에는 지금까지의 판정 결과에 기초하여 프리차지를 행하도록 함으로써, 저계조 표시의 화소의 휘도를 충실하게 표시할 수 있도록 할 수 있다.

이상으로 설명한 프리차지의 방법을 행하기 위한 플로우차트를 도 41에 나타낸다.

영상 신호와 강제 프리차지 신호로부터 강제 프리차지 신호가 유효인 경우, 영상 신호에 관계없이 프리차지 전압을 출력한다. 출력되는 전압값은 전압수가 복수있는 경우에는 영상 신호에 따라 변화시켜도 된다. 여기에서 1행째에 대응하는 영상 신호가 입력되고 있을 때에만 강제 프리차지 신호를 유효하게 하면, 1행째의 데이터는 영상 신호에 관계없이 프리차지를 행하여, 수직 블랭킹 기간에 소스 신호선 전압이 저하하는 것에 의한, 전류가 소정값까지 변화하기 어려워지는 현상을 회피하는 것이 가능해진다.

강제 프리차지 신호가 무효인 경우, 다음으로 입력 영상 신호의 계조를 판정한다(412). 소형 패널이나 해상도가 낮은 패널에서는, 전류량이 저계조부에 비교해서 많은 고계조 영역에서는, 소정 기간(1수평 주사 기간)내에 전류만으로 소정 전류값까지 변화시키는 것이 가능하다. 따라서, 412에 있어서 소정 전류를 기입하는 것이 가능한 계조에 있어서는 프리차지를 행하지 않고, 전류만으로는 소정 전류로 되지 않는 계조에서는 프리차지를 행하도록 하는 판정을 행한다.

다음으로, 프리차지가 필요한 특정 계조 이하의 경우는 413으로 진행한다(여기에서 특정 계조에 대해서는 표시 패널에 따라 상이하기 때문에 외부 커맨드에 의해 특정 계조를 설정할 수 있는 것이 바람직하다). 1행 전의 영상 신호의 상태에 의해 프리차지의 여부를 판정한다. 1행 전의 데이터보다 지금의 영상 신호 데이터가 고계조인 경우에는 프리차지에 의해 오히려 오히려 신호선의 변화가 커지기 때문에, 프리차지를 하지 않도록 한다. 또한 마찬가지로 1행전과 동일한 계조인 경우에서라도 마찬가지로 프리차지를 하지 않도록 한다.

지금까지의 판정에서 모두 프리차지를 행한다고 판정한 경우에 대해, 다음으로 점등율을 참조하여, 점등율이 높은 경우에는 판정 결과에 관계없이 프리차지하지 않도록 한다. 점등율이 낮은 경우에는 판정대로 프리차지를 행한다.

또, 본 설명에서는 411 내지 414의 모든 과정을 차례로 거쳐 프리차지 여부를 판정하였지만, 반드시 모든 과정이 없어도 된다.

또 프리차지 전원(24)의 출력이 복수 있는 경우에는, 스위치(131)는 복수 존재하고, 인가 판정부의 출력도 프리차지 전원(24)의 (전압 출력수+1)가지 생각할 수 있다. 출력이 (전압 출력수+1)가지 있기 때문에, 프리차지 판정 신호(55)도 1비트가 아니라, N비트( $2^N \geq (\text{전압 출력수} + 1)$ , N은 자연수)로 할 필요가 있다. 래치부(22)의 비트수도 거기에 따라 변경함으로써 대응 가능하다. 도 40에 2비트의 프리차지 판정 신호(55)에서의 예를 나타낸다. 프리차지 전원(24)의 전압값이 3개 있는 경우로서, 프리차지 판정 신호가 양쪽 모두 0일 때에는 전류만을 출력하고, 모두 1일 때에는 제1 전압을 출력하는 기간을 갖고, 55a만 1일 때에는 제2 전압을 출력하는 기간을 갖고, 55b만 1일 때에는 제3 전압을 출력하는 기간을 갖도록 하면, 계조에 따라 프리차지 판정 신호(55)를 제어함으로써, 적절한 프리차지 전압을 인가하는 것이 가능해진다.

본 발명에 의한 프리차지의 방법을 실현하는 회로 블록을 도 42에 도시한다. 영상 신호(410)에 대해 각 블록에 의한 판정의 결과로서 프리차지할지 여부를 판정 신호가 417로 출력된다. 영상 신호(410)와 거의 동일 타이밍에서 출력되는 판정 신호(417)에 의해, 소스 드라이버측에서 프리차지를 행할지의 여부가 정해진다. 시리얼 패러럴 변환부(427)는 반드시 필요한 것이 아니라, 도 2의 36으로 구성된 소스 드라이버 IC와 조합하여 실현될 때에, 소스 드라이버(36)의 입력 인터페이스에 맞추기 위해 필요한 것이다.

영상 신호(410)는 프리차지 판정부(421) 및 기억 수단(422)에 입력된다.

강제 프리차지는 도 41의 411로 나타내는 바와 같이, 영상 신호(410)에 관계없이, 강제 프리차지 신호(416)가 입력되었을 때에 프리차지를 행하는 것으로 되기 때문에 모든 프리차지 판정 블록의 최종단에 판정 결과를 마스크하는 형태로 삽입하면 된다. 그 때문에 도 42에서는 프리차지 플래그 생성부(408)는 최종단에 구성되어 있다. 프리차지 판정 신호(417)는 “H” 레벨에서 프리차지를 한다고 하면, 이 블록은 논리합만으로 구성하면 원하는 동작을 실현할 수 있다.

1행 전의 데이터가, 지금의 데이터보다 작은 경우에는 프리차지를 행하지 않기 때문에, 우선 1행전과 해당 행의 데이터를 비교한다. 그것을 위한 회로로서, 기억 수단(422)과 1행전 데이터 비교부(400)가 있다. 기억 수단(422)은 소스 드라이버(36)의 출력수분의 데이터를 보관할 수 있는 용량을 갖고, 영상 신호를 1수평 주사 기간 동안 유지함으로써, 1행 전의 데이터를 갖고 있다. 이 기억 수단(422)의 출력과 영상 신호(410)를 비교함으로써, 1행전과 해당 행의 데이터를 비교하여, 비교 결과를 다음의 프리차지 판정부에 입력한다. 비교 결과는 프리차지를 행하거나 혹은 행하지 않음을 나타내는 1비트로 출력된다.

또한, 전류만으로 기입이 가능한 고계조 데이터인 경우에는 프리차지를 행하지 않기 때문에, 영상 신호(410)를 참조하여 프리차지 인가 계조 판정 신호(429)에 의해 설정된 계조보다 큰지, 이하인지를 판별하여, 프리차지를 행할 것인지 여부의 신호를 출력한다.

또한, 점등율에 의해 판정을 행한다. 점등율로 판정부(409)에 의해, 계산된 점등율 데이터(420) 및 점등율 설정 신호(418)로부터, 점등율 설정 신호(418)에 의해 결정된 점등율을 넘은 경우에는 프리차지를 행한다고 하는 신호를 출력한다.

1행전 데이터 비교부 및 프리차지 판정부 및 점등율로 판정부의 출력과 강제 프리차지 신호(416)가 입력되는 프리차지 플래그 생성부(408)에서는, 강제 프리차지 신호(416)에 의해 프리차지를 행할 때에는 다른 신호에 관계없이, 프리차지하는 신호를 417로 출력한다. 그 이외의 경우에는, 1행전 데이터 비교부 및 프리차지 판정부 및 점등율로 판정부의 출력이 모두 프리차지한다고 된 경우에만 프리차지하도록 출력을 행한다.

이에 따라 영상 신호(410)에 대응한 프리차지 플래그(417)는 도 41의 플로우에 따라 판정된 결과에 대응한 출력을 행하게 된다.

시리얼 패러럴 변환부(427)는 도 3의 소스 드라이버(36)의 입력 인터페이스에 맞추기 위해 필요한 것으로, 각 색의 영상 신호 및 프리차지 출력(417)(색마다 있다)이 패러럴 전송되는 경우에는 불필요하다(그대로 소스 드라이버로 출력한다).

또, 도 2의 구성에서는 제어 IC(28)와 소스 드라이버(36)가 별개의 칩으로 구성된 예를 도시하고 있지만, 동일 칩으로 구성된 일체형의 칩이라도 상관없다. 이 경우, 도 41이나 도 42의 구성은 소스 드라이버(36)에 내장된다.

프리차지 전원(24)의 출력 전압값은 전자 볼륨 등으로 제어할 수 있는 것이 바람직하다. 소정 전류를 흘리기 위한 프리차지의 전압은 EL 전원선(64)의 전압을 기준으로 결정되기 때문이다. 도 12에 있어서 소스 신호선(60)에 전류(I2)를 흘리고자 하면 트랜지스터(62)의 드레인 전류-드레인 게이트간 전압의 관계(도 12(b))로부터 소스 신호선(60)의 전위는 (EL 전원선(64)의 전압)-V2로 된다.

한편, EL 전원선(64)은 도 31에 도시하는 표시 패널에 있어서 배선(313, 314)으로 각 화소에 공급되고 있다. 모든 화소가 백 표시일 때에는 최대 전류가 313으로 흐르고, 흑 표시일 때에는 최소 전류가 313으로 흐른다. 이 때 313의 배선 저항에 의해 백 표시시에는 315와 316의 점에서 전위가 상이하다. 한편, 흑 표시시에는 315와 316에서는 거의 같은 전위로 된다. 즉, 백 표시시와 흑 표시시에 EL 전원선(64)의 전위가 EL 전원선(313)의 전압 강하에 따라 상이하다. 즉 동일한 I2의 전류를 흘린다고 하여도, EL 전원선(313)의 전압 강하량의 차이에 의해 소스 신호선(60)의 전압이 상이하다. 그 때문에 313의 전압 강하량에 의해 프리차지 전원(24)의 전압값을 변화시키지 않으면, 소스 신호선의 전류가 변화하여 그 결과 휘도가 변화한다고 하는 문제가 발생한다.

EL 전원선(64)의 전압이 상이하면 소스 신호선(60)에 인가하는 전압도 상이하게 할 필요가 있다. 1프레임내에서의 점등율 데이터를 이용하여 전압을 변경하도록 하면 된다. 점등율이 높을 때는 EL 전원선(313)에 흐르는 전류가 많아지기 때문에, 전압 강하가 커 프리차지 전원(24)의 전압값을 낮게 하도록 전자 볼륨을 제어한다. 한편, 점등율이 낮을 때에는 EL 전원선(313)의 전압 강하가 작기 때문에, 전자 볼륨에 의해 프리차지 전원(24)의 전압값을 높게 하도록 함으로써, EL 전원선(313)의 배선 저항으로 원인이 되는 휘도 얼룩을 없애는 것이 가능해진다.

한편, 대형 패널에 있어서는, 소정값까지 전류를 기입하는 것이 곤란해지기 때문에, 특히 저계조에서는 거의 계조마다 전압값을 준비하여, 기입을 개선할 필요가 있다. 전압값을 더 많게 하기 위해서는 프리차지용 전원(24)을 많게 하는 방법도 있지만, 전압수만큼 스위치(131)도 필요하게 된다. 특히 스위치는 각 소스 라인에 전압수만큼 필요하기 때문에, 큰 면적을 차지하게 된다.

전원수 ( $2^N-1$ 개)에 대해 N비트의 프리차지 판정 신호(55)가 필요하고, N비트의 신호로부터 ( $2^N-1$ )개의 스위치를 제어하기 위한 디코더부가 각 소스 신호선의 인가 판정부(39)에 필요하기 때문에, 이 디코더부의 회로 규모가 N의 상승에 수반하여 증대하여, 칩 면적이 커져 버리는 것도 문제이다.

이는 각 소스 라인에 있어서 디지털 데이터(계조 데이터)를 아날로그값(프리차지 전압)으로 변환하기 때문에, 소스 라인마다 디지털 아날로그 변환부가 필요하게 되므로, 출력 전압수가 증가할수록 회로 규모가 커진다.

따라서, 도 38에 도시하는 바와 같이 디지털 아날로그 변환부(381)는 반도체 회로에서 1개만 준비하고, 시리얼 전송되어 온 데이터를 아날로그 전압으로 변환하여, 그 후, 각 소스 신호선에 분배하도록 한다. 그것을 위해, 디지털 아날로그 변환부의 출력(382)을 분배부 및 홀드부(383)에 입력하고, 각 소스 신호선에 계조 데이터에 기초한 아날로그 전압을 분배하여 공급한다.

한편, 계조에 부합하는 전류를 출력하는 방법은 도 2와 마찬가지로, 계조 데이터(386)를 시프트 레지스터 및 래치부(384)에서 각 소스선에 분배하고, 각 소스선에 있는 전류 출력단(23)에 의해 계조에 부합하는 전류를 출력하도록 하고 있다.

전류 혹은 전압의 어느 것을 출력할지를 결정하는 부분으로서 전류 전압 선택부(385)를 소스 신호선으로의 출력의 직전에 배치하였다. 프리차지 판정 신호(380), 프리차지 전압 인가 판정부(56)와 프리차지 펄스(52)에 의해, 전류 전압 선택부(385)를 절환하여 전류를 출력할 것인지, 전압 출력후 전류를 출력할 것인지를 어느 하나를 결정한다. 프리차지 전압 인가 판정부(56)는 전압 출력을 행하는 기간을 마련할지 것인지를 여부를 결정하는 것이고, 프리차지 펄스(52)는 전압 출력을 행하는 경우에 전압 출력을 행하는 기간을 결정하는 것이다.

이에 따라, 디지털 아날로그 변환부(381)가 계조수에 부합하는 아날로그 출력 단계수를 가지면, 계조에 부합하는 전압을 출력하는 것이 가능하게 되어, 어느 행이 선택되고 있는 기간(수평 주사 기간에 상당한다)에 있어서, 우선 전압에 의해 거의 소정의 값까지 소스 신호선 전류를 변화시키고, 그 후, 각 화소의 트랜지스터의 변동에 의한 전류값의 차이를 전류 출력에 의해 보정하는 것이 가능해진다.

전류에 의해 소정 전류값으로까지 변화시키기 위해서는, 특히 저계조부에 있어서 수평 주사 기간 이상의 시간이 걸리는 경우가 많지만, 전압에 의해 변화시키는 방법은 거의 1 $\mu$ 초에 변화를 완료시키는 것이 가능할 뿐만 아니라, 전류에 의한 보정은 적기 때문에, 전압 인가후 전류를 흘리는 방법으로는 수평 주사 기간내에 소정 전류까지 전류를 변화시키는 것이 용이해지는 이점이 있다.

예를 들면 256 계조 표시가 가능한 구동용 반도체 회로에 있어서, 상위 128 계조에서는 전류만으로 충분히 소정의 전류값으로 변화할 수 있다면, 전압을 출력하는 것은 하위 128 계조분으로 된다. 따라서, 디지털 아날로그 변환부(381)는 7비트의 분해 가능이라면 되고, 128종의 전압을 출력할 수 있으면 된다. 계조 데이터(386)가 상위 128 계조 중의 1개일 때에는, 전압 출력을 행하지 않도록 프리차지 판정 신호(380)를 입력한다. 이에 따라 전류 전압 선택부(385)는 반드시 전류만을 출력하게 된다. 디지털 아날로그 변환부(381)의 출력 신호는 구동용 반도체 회로의 외부로 출력되지 않기 때문에, 어떠한 값이라도 된다. 가장 간단한 방법으로서, 입력 계조 데이터(386)의 상위 1비트를 무시하고, 하위 7비트의 값에 대응한 전압을 출력하여 두면 된다.

계조 데이터(386)가 0 내지 127 계조 사이인 경우에는, 프리차지 판정 신호(380)에 의해 전류 전압 선택부(385)를 제어하여, 디지털 아날로그 변환부(381)로부터의 아날로그 전압을 구동용 반도체 회로 외부로 출력하는 기간을 마련한다.

이에 따라, 디지털 아날로그 변환부의 분해 능력을 작게 한 회로를 형성할 수 있다. 또한 소스 신호선의 전압은 일반적으로 도 6과 같은 p형 트랜지스터를 이용한 커런트 카피어나 도 44와 같은 커런트 미러의 화소 구성의 경우, 흑 표시시가 가장 전압이 높고, 백 표시로 됨에 따라 전압이 저하해 간다. 흑으로부터 백의 범위에서의 전압 변화폭에 비해, 흑으로부터 중간조의 범위에서의 전압 변화폭이 작아진다. 따라서, 0 내지 127 계조일 때에만 전압을 출력하도록 하는 구성으로 한 경우는, 출력 전압의 다이내믹 레인지를 작게 하는 것이 가능해진다.

또한 본 발명의 소스 드라이버 IC(36)에서는 전압 인가후, 전류 출력하고, 구동 트랜지스터의 변동을 보정하는 동작을 행하기 때문에, 출력되는 전압값은 거의 목표의 전류값으로 되는 값을 인가하면 되어, 정밀도는 요구되지 않는다. 이에 따라, 디지털 아날로그 변환부(381)의 전압 출력의 출력 변동의 값은 액정 패널에 비해 크고 좋기 때문에, 그 만큼 회로 규모를 작게 하는 것도 가능하다.

일반적으로 소스 드라이버 IC를 사용하는 패널의 사이즈의 차이(소스선의 부유 용량이 상이하)나, 주사 방향의 화소수의 차이(수평 주사 기간이 상이하)에 따라, 전류 변화 용이도가 상이하하다.

본 구성의 드라이버 IC를 이용하면, 프리차지 펄스(52)를 소스 드라이버 IC 외부로부터 입력하도록 하면, 프리차지 판정 신호(380) 및 계조 데이터(386)는 도 2에 도시하는 바와 같이, 외부 신호 입력으로 되기 때문에, 패널에 맞추어, 전류만 혹은 전압과 전류의 양쪽 모두를 이용하여 계조 표시를 행하는 계조 범위를 임의로 설정할 수 있다고 하는 이점이 있다. 계조 범위의 설정은 도 2와 같이 외부에 형성된 제어 IC에서 제어할 수 있다. 또한, 제어 IC의 동작을 커맨드 입력에 의해 변화시

킬 수 있는 경우는, 커맨드 입력에 의해 조정 가능해진다. 또, 제어 IC는 도 2와 같이 소스 드라이버 IC의 외부에 구성되는 경우 외에, 액정용 소스 드라이버의 일부에 보여지듯이, 소스 드라이버 IC와 제어 IC를 동일 칩에 일체화하여 형성하여도 상관없다. 이 때는 일체화된 IC의 커맨드 입력에 의해 계조 범위를 조정할 수 있도록 하여 두면 된다.

이상의 발명에 의해, 저계조부에 있어서 소스 신호선에 흐르는 전류가 작기 때문에 소정 시간(수평 주사 기간)내에 전류가 소정값으로 변화할 수 없으므로, 백 표시를 행한 다음의 행의 화소의 휘도가 소정값보다 높아진다고 하는 문제를 프리차지 전압 입력에 의해 해결하였다.

도 8은 기준 전류 발생 회로를 도시한 도면이다. 기준 전류는 도 10에서 도시한 출력단의 구성에 있어서, 1계조당의 전류값(기준 전류(89))을 규정하는 것이다.

도 8에 있어서 기준 전류(89)는 절점(80)의 전위와 저항 소자(81)의 저항값에 의해 정해진다.

또한, 절점(80)의 전위는 전압 조절부(85)에 의해, 제어 데이터(88)에 의해 변화시키는 것이 가능하다.

전류 출력을 행하기 위한 계조 표시용 전류원(103)의 트랜지스터 사이즈에 의해 단자마다의 출력 전류 변동이 발생한다. 트랜지스터 사이즈(채널 면적)와 출력 전류 변동의 관계를 도 11에 나타낸다. 기준 전류의 변동을 고려하여 칩내, 칩간의 인접 단자간의 변동을 2.5% 이내로 할 필요가 있기 때문에 도 11에서의 출력 전류의 변동(출력단에서의 전류 변동)은 2.5% 이하로 하는 것이 바람직하고, 103의 트랜지스터 사이즈는 160평방미크론 이상인 것이 좋다.

그런데, 유기 발광 소자를 이용한 표시 패널에서는, 점등 화소에만 전류가 흐르고, 비점등 화소에는 전류가 흐르지 않는다. 따라서, 전 화면 백 표시시에 최대, 전 화면 흑 표시시에 최소 전류가 흐른다.

표시 패널에 전류를 공급하는 전원 회로는 최대 전류를 흘릴 수 있도록 하는 용량을 부여할 필요가 생긴다. 그러나, 최대 전류를 흘리도록 하는 화면 표시가 되는 것은 극히 적다. 이 극히 적은 기회에 밖에 발생하지 않는 최대 전류를 위해, 큰 용량의 전원 회로를 형성하는 것은 낭비가 크다. 또한, 소비 전력을 낮추기 위해서도 최대 전류를 가급적 작게 할 필요가 있다.

따라서, 최대 전류를 낮추는 방법으로서, 백 표시 화소가 전체의 6할 이상인 경우, 전화소의 휘도를 2~3% 정도 저하시킨다. 이에 따르면, 최대 전류가 2~3% 저하하여 피크시의 전력이 낮아진다.

이 방법을 실현시키기 위해서는, 1계조당의 전류를 결정하는 기준 전류 생성부(26)로부터 발생하는 기준 전류(89)의 값을 2~3% 정도 변화시키면 실현할 수 있다.

그것을 위해, 표시 패턴에 따라 제어 데이터(88)의 값을 바꾸고 절점(80)의 전압을 변화시킴으로써, 기준 전류(89)를 변화시킨다.

이와 같이, 표시 패턴에 따라 제어 데이터의 값을 바꾸기 위해서는 표시 패턴을 판별하고, 판별 결과에 의해 제어 데이터를 바꾸는 제어를 할 필요가 있다. 그 때문에 이 판별은 통상 제어 IC(28)에 의해 행해진다.

이 때문에, 제어 IC(28)로부터 소스 드라이버 IC(36)로 입력되는 신호선의 수는 영상 신호선 외에, 전자 볼륨의 제어 데이터선 수 만큼 있다. 그 때문에 양 IC의 입출력 단자가 증가한다. 전자 볼륨의 제어가 6비트, 영상 신호선이 18비트(각 색 6비트)인 경우, 24개 단자가 필요하다.

또한, 프리차지 전원(24)이 내장되어 있기 때문에, 프리차지 전원(24)의 출력 전압을 설정하는 레지스터가 존재한다. 프리차지 전압은 표시 패널의 TFT 특성 및 유기 발광 소자의 임계값 전압에 의해 결정되기 때문에, 상이한 패널마다 상이한 전압값을 설정할 필요가 있어, 적어도 1회 외부로부터 설정할 필요가 있다. 1회의 설정을 위해 외부 입력 단자를 설치하는 것은 비효율적이다.

입출력 신호선수를 줄이는 것은 칩 면적 축소, 외부의 배선 유도의 간략화에 유효하다.

따라서 본 발명에서는, 데이터선과 어드레스선을 제어 IC와 소스 드라이버 IC간에 접속하고, 영상 신호와 각종 설정용 신호(이하 이 신호를 커맨드 데이터 신호, 또한 커맨드 데이터 신호가 인가되고 있는 기간을 커맨드 기간이라 표기한다)를 고속으로 시리얼 전송시키도록 하여 신호선수를 줄이기로 하였다. 영상 신호도 적녹청의 3원색을 시리얼 전송한다.

도 1에 데이터선과 어드레스선의 타이밍차트를 나타낸다. 스타트 펄스(16)가 입력된 후, 1행분의 화소 데이터가 데이터선(12)으로부터 전송된다. 그 후, 각종 제어용의 데이터가 전송된다. 예를 들면, 전자 볼륨의 설정값 등이다. 데이터선(12)에 흐르고 있는 데이터가 무엇인지를 판별하기 위해, 어드레스(13)가 데이터선(12)의 데이터에 동기하여 전송된다. 이 예에서는, 어드레스선(13)의 데이터가 0일 때 적색 데이터, 1일 때 녹색 데이터, 2일 때 청색 데이터가 된다. 4 이상의 값은 각종 설정용 신호, 즉 커맨드 데이터이다.

시리얼 전송되어 온 데이터를 분배하기 위한 분배부(27)의 블록도를 도 18에 도시한다. 분배부는 영상 신호에서는 2단의, 그 밖의 커맨드 데이터 신호에서는 1단의 레지스터 혹은 래치 회로로 구성된다.

1단째의 레지스터 혹은 래치 회로(182)에 의해, 필요한 데이터만을 취득하여, 영상 신호(11a, 11b, 11c)에 대해서는 다음의 시프트 레지스터부(21)의 캐리 펄스가 길어질 수 있도록 3색의 신호의 타이밍을 조정하고 있다. 이에 따라 도 1에 나타내는 바와 같은 영상 데이터(11)가 추출된다. 이 데이터가 시프트 레지스터부(21)에 의해 각 출력에 분배된다.

또한, 신호선수를 줄이는 제2예를 도 28 내지 도 30에 나타낸다.

이 예에서는 색마다 신호선을 준비하여, 각 색의 데이터를 시리얼 전송하는 방법이다. 각 도트에 대응한 영상 신호를 차례로 전송하고, 블랭킹 기간을 이용하여 커맨드 데이터 신호를 보내도록 하고 있다. 1수평 주사 기간에서의 전송의 관계를 도 30에 나타낸다. 영상 신호 전송 기간(301)과 커맨드 데이터 신호 전송 기간(302)의 식별은, 데이터 커맨드 플래그(282)에 의해 행해지고 있다. 1화소분 데이터(281)의 선두의 1개의 데이터를 이 데이터 커맨드 플래그(282)에 할당하고(이 예에서는 적색 데이터 중의 1개를 사용), 하이레벨이면 이 데이터는 영상 신호, 로우레벨이면 커맨드로 판정하여, 판별을 행한다. 이 데이터 커맨드 플래그(282)는 1화소분 데이터(281)의 어느 부분에 있어도 되지만, 선두에 있는 쪽이, 입력되는 데이터가 커맨드 데이터인지의 여부를 처음에 판별할 수 있기 때문에 처리하기 쉽다,

이 예에서는 1화소분 데이터(281)가 6회의 데이터 전송으로 이루어지고 있고, 프리차지 판정 신호(55) 3비트와 영상 신호 8비트의 11비트의 신호를 2개의 신호선에 의해 6배속으로 전송하는 것이다. 도 28에 내역을 설명한다. 처음에 프리차지 판정 신호(55)군(283)을 송신하고, 영상 신호군(284)을 송신한다. 또 이 순서에 제약은 없다. 적색 데이터, 녹색 데이터, 청색 데이터 모두 동일 회로 구성으로 하기 위해서는, 처음의 1비트분의 데이터는 비워두고, 프리차지 판정 신호(55), 영상 신호군(284)을 전송하는 것이 바람직하다. 영상 신호는 시리얼 전송되기 때문에, 시리얼 패러럴 변환부를 통해, 패러럴 변환후 시프트 레지스터로 입력된다. 적색 데이터의 패러럴 변환후의 출력 타이밍을 286에 나타낸다.

285로 표시되는 기간은, 블랭크 데이터로 하여도 된다. 이 예에서는 시리얼 전송으로 보내져 온 게이트 신호선을 소스 드라이버에 입력하고, 소스 드라이버 내부에서 패러럴 변환하여, 게이트 드라이버로의 신호 공급을 행하는 구성으로 되어 있기 때문에, 285의 기간에 게이트 신호선의 신호를 입력하도록 하고 있다.(유기 발광 소자를 이용한 표시 장치에 있어서, 게이트 드라이버는 소정의 화소에 소정 전류를 흘리기 위한 화소 선택용 게이트 드라이버와, 화소에 기억된 전류를 계속 흘리기 위한 EL 점등용 게이트 드라이버의 2개가 필요하고, 각각 클럭, 스타트 펄스, 스캔 방향 제어, 출력 인에이블 단자가 필요하면, 전부 8신호선 필요하게 되어, 1개의 게이트 신호선에서 6개와 285의 2개의 구간에서 신호선을 보내면, 1화소 타이밍에서 게이트 드라이버의 파형 제어가 가능해진다. 보다 세밀한 제어가 가능. 이를 실현하기 위해서는 게이트 신호선 시리얼 전송용 외에 285의 구간이 필요하다)

한편 커맨드 데이터 신호 송신시의 데이터 전송의 예를 도 29에 나타낸다. 1커맨드당의 비트수는 6비트 정도 있으면 충분한 경우가 많기 때문에, 이 예에서는 적녹청 데이터 모두를 모아서 6비트의 신호로 취급하여, 데이터 커맨드 식별 신호(282)의 다음 5회분의 데이터를 커맨드로서 받아 들이도록 하고 있다. 블랭킹 기간이라도 게이트 드라이버의 동작은 필요하기 때문에, 게이트선 및 285의 구간에서는 플래그(282)의 값에 관계없이, 게이트 드라이버용의 신호가 입력된다.

데이터 커맨드 플래그(282)와 동일 타이밍인 신호 중, 게이트 드라이버용의 신호가 입력되는 구간 이외에 3비트분의 빈 데이터가 있다. 이 부분은 비트 길이가 짧은 커맨드에 할당하여도 되지만, 5개 이상의 커맨드를 설정할 필요가 있을 때에, 커맨드 어드레스로서 이용한다. 도 29에서는 10개 이하의 커맨드 접수를 행하는 소스 드라이버를 예로 하여, 292에 나타내는 1비트의 커맨드 어드레스를 준비하고 있다. 282, 292의 값에 따라 갱신하는 커맨드 레지스터를 변경한다. 데이터가 1회에 전송되기 때문에, 시리얼 패러럴 변환부는 불필요하고, 직접 내부 레지스터 입력(프리차지 전원(24)을 결정하는 전자 볼륨 입력 등)을 갱신하면 된다.

도 28 내지 도 30에 나타난 입력 인터페이스에 의해, 영상 신호와 프리차지 판정 신호를 다중으로 전송하면서, 또한 커맨드 데이터 신호 입력을 영상 신호 비송신 기간에 행함으로써, 커맨드수가 10, 커맨드 비트 길이가 6비트인 경우에서, 종래의 93개의 입력선수에서 6개의 신호선수까지 삭감이 가능해졌다.

신호선수와 전송 레이트는 임의로 설정할 수 있고, 신호선수는 최소는 각 색 1비트에서부터, 최대로는 각 색의 1화소마다 필요한 신호 비트수/2까지 설정할 수 있다. 신호선수가 줄어들면 클럭 주파수가 증가하여 외부의 배선 유도가 어려워지기 때문에, 실용상은 데이터 전송 레이트가 100MHz 이하의 신호선수로 하는 것이 바람직하다. 본 발명에서는 EMI를 저감하기 위해, 클럭만 반의 주파수로 하고, 양 에지에서 데이터 취득을 행하도록 하고 있다.

또, 입력 신호로서는 CMOS 레벨의 신호가 아니라도, 차동 전송에 의해 송신하여도 된다. 차동 전송으로 하면, 일반적으로 신호선 진폭이 낮아지기 때문에 EMI가 저하한다고 하는 효과가 있다.

고속 전송을 행하는 클럭 및 데이터선에 관해서, 도 16과 같은 입력 형식으로 하여 2개의 입력 신호선(161 및 162)의 차분으로부터 로직 신호(164)를 추출하도록 RSDS 형식으로 송신을 행하여도 된다. 165 및 166은 전류 송신된 신호를 전압값으로 바꾸기 위한 저항 소자이다. 이 저항 소자의 값은 송신측의 사양에 맞추어 결정된다. 이 입력 단자를 도 1 및 도 28의 신호선 모두에 내장함으로써, 전송 형식을 차동 전송으로 하여, EMI가 적은 드라이버를 실현하였다.

이에 따라 입력 신호선수가 적은 소스 드라이버 IC(36)를 실현할 수 있었다.

이상의 설명에 있어서는 흑백 출력의 드라이버로서 설명을 행하였지만, 멀티 컬러 출력의 드라이버에도 적용 가능하다. 표시색 수배 동일 회로를 준비하면 된다. 예를 들면, 적, 녹, 청의 3색 출력의 경우, 3개의 동일 회로를 동일 IC내에 내장하여 각각을 적색용, 녹색용, 청색용으로서 사용하면 된다.

이상의 발명에 있어서 트랜지스터는 MOS 트랜지스터로서 설명을 행하였지만, MIS 트랜지스터나 바이폴러 트랜지스터에서도 마찬가지로 적용 가능하다.

또한 트랜지스터는 결정 실리콘, 저온 폴리실리콘, 고온 폴리실리콘, 비정질 실리콘, 칼륨비소화합물 등 어느 재질에서도 본 발명을 적용 가능하다.

### 산업상 이용 가능성

본 발명에 관한 전류 출력형 반도체 회로, 전류 출력 방법에 따르면, 전류 드라이버의 출력 비트수를 증가시켜도, 회로 규모의 증대를 보다 낮게 억제할 수가 있어, 예를 들면 표시용 구동 장치, 표시 장치로서 유용하다.

### (57) 청구의 범위

#### 청구항 1.

소정의 전류를 출력하는 제1 단위 트랜지스터를 갖고 하위  $N(N$ 은 자연수)비트를 출력하는 제1 전류원 군과,

상기 소정의 전류보다 큰 전류를 출력하는 제2 단위 트랜지스터를 갖고 상위  $M(M$ 은 자연수,  $(N+M) \geq 3$ )비트를 출력하는 제2 전류원 군을 구비하는 전류 출력형 반도체 회로.

#### 청구항 2.

제1항에 있어서,

상기 제1 단위 트랜지스터가 출력하는 전류는, 상기 제2 단위 트랜지스터가 출력하는 전류의 실질상  $1/2^N$ 인 전류 출력형 반도체 회로.

### 청구항 3.

제1항에 있어서,

상기 제1 단위 트랜지스터의 채널 길이를  $L1$ 으로 하고, 그 채널폭을  $W1$ 으로 하고, 상기 제2 단위 트랜지스터의 채널 길이를  $L2$ 으로 하고, 그 채널폭을  $W2$ 로 하면,  $L1 \times W1 < L2 \times W2$ 인 전류 출력형 반도체 회로.

### 청구항 4.

제3항에 있어서,

상기  $L2 \times W2$ 는, 상기 제2 단위 트랜지스터의 출력 전류의 변동이, 상기 제1 단위 트랜지스터의 출력 전류의 변동의 허용값 이하인 값 중의 최대값인 전류 출력형 반도체 회로.

### 청구항 5.

제1항에 있어서,

상기  $M$ 은 6이고, 상기  $N$ 은 2인 전류 출력형 반도체 회로.

### 청구항 6.

제1항의 전류 출력형 반도체 회로를 구비하는 표시 구동용 소스 드라이버.

### 청구항 7.

제6항의 표시 구동용 소스 드라이버와,

상기 소스 드라이버에 접속된 전류 구동형 화소를 구비하는 표시 장치.

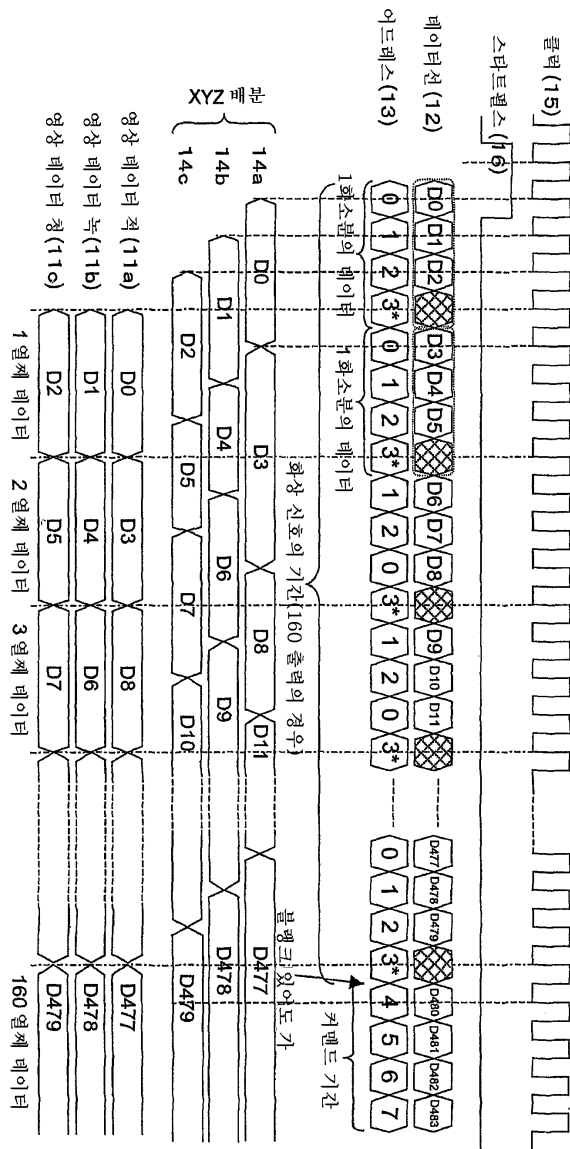
### 청구항 8.

소정의 전류를 출력하는 제1 단위 트랜지스터를 갖는 제1 전류원 군으로부터 하위  $N$ ( $N$ 은 자연수)비트를 출력하는 공정과,

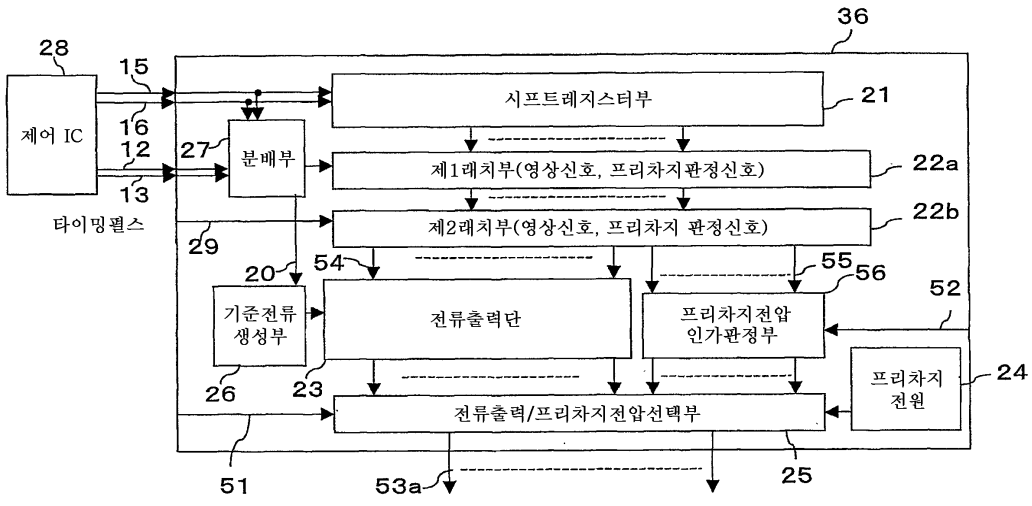
상기 소정의 전류보다 큰 전류를 출력하는 제2 단위 트랜지스터를 갖는 제2 전류원 군으로부터 상위  $M$ ( $M$ 은 자연수,  $N + M \geq 3$ )비트를 출력하는 공정을 구비하는 전류 출력 방법.

도면

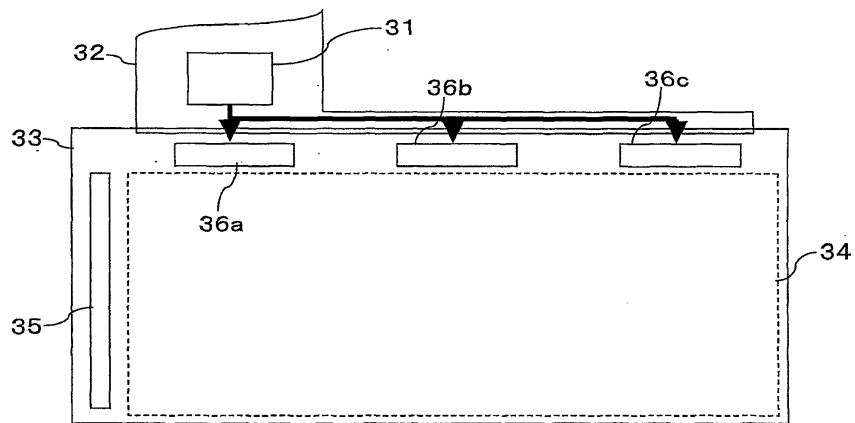
도면1



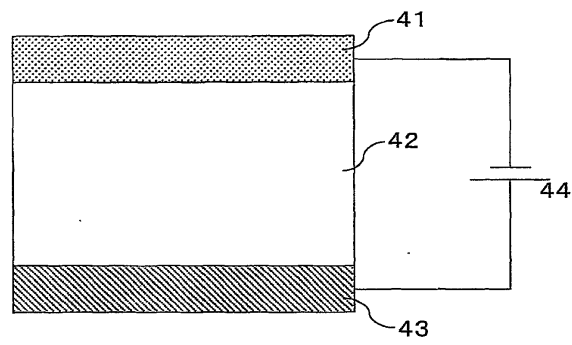
도면2



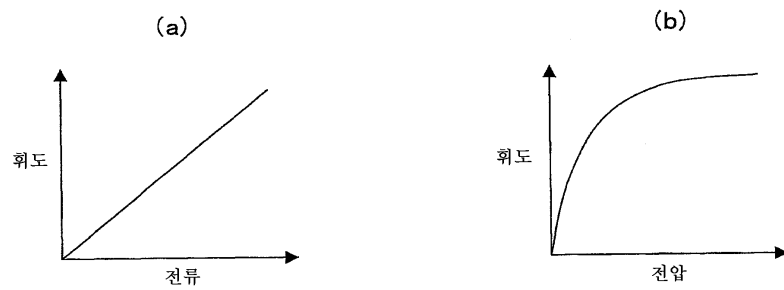
도면3



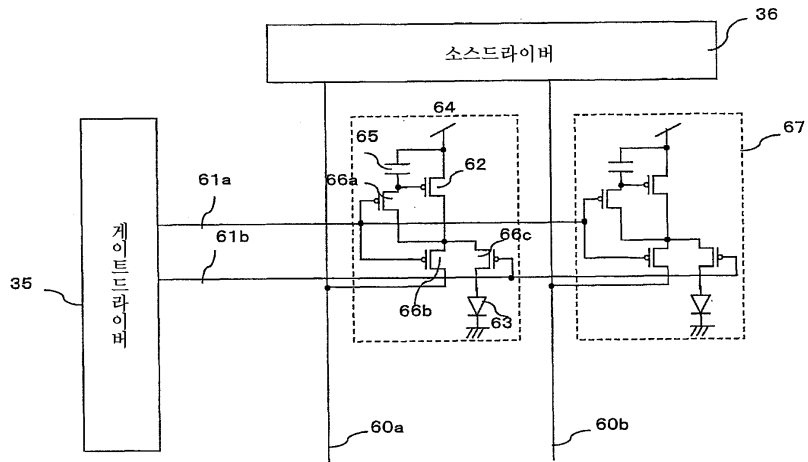
도면4



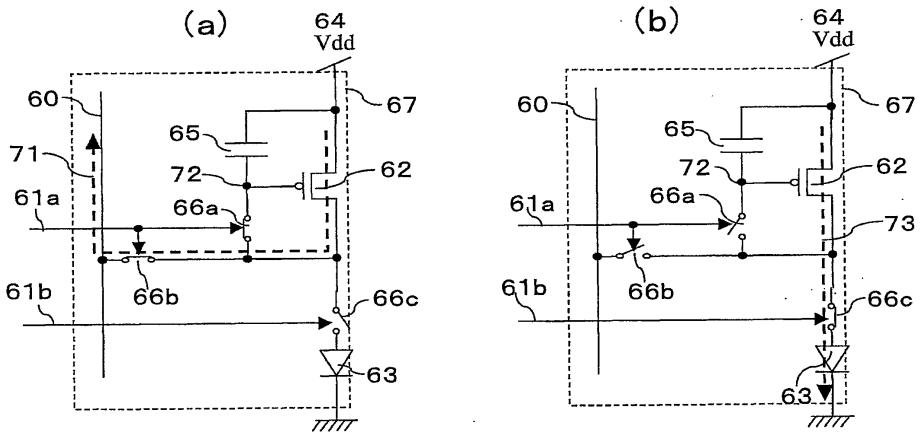
도면5



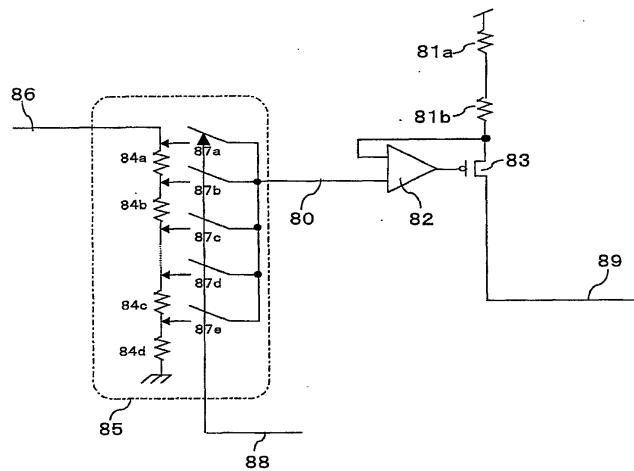
도면6



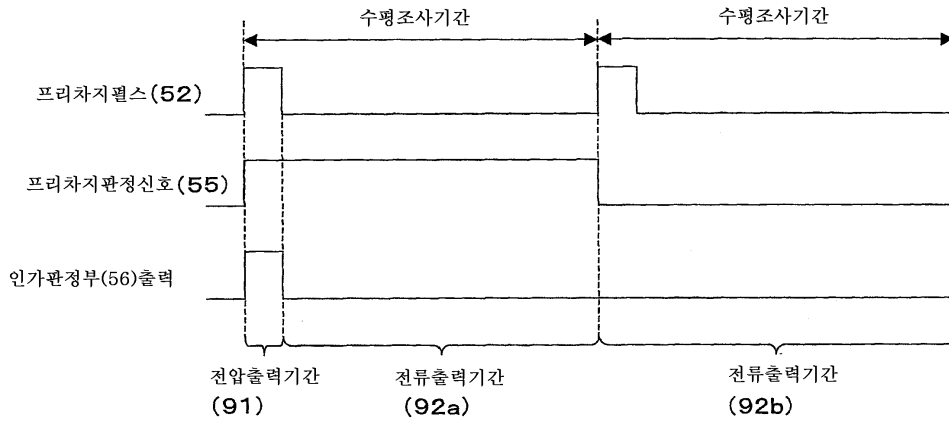
도면7



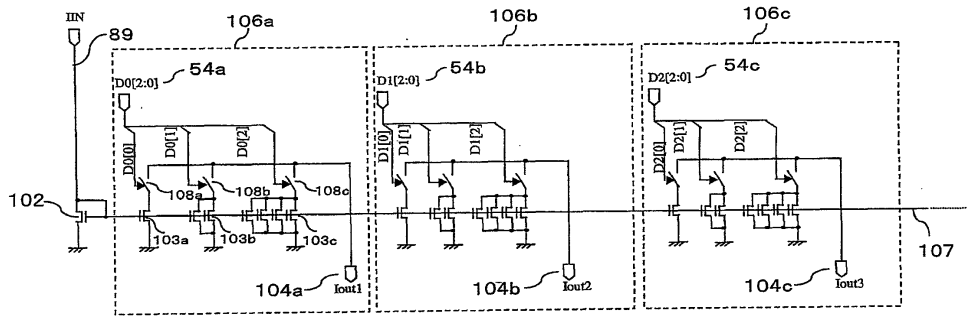
도면8



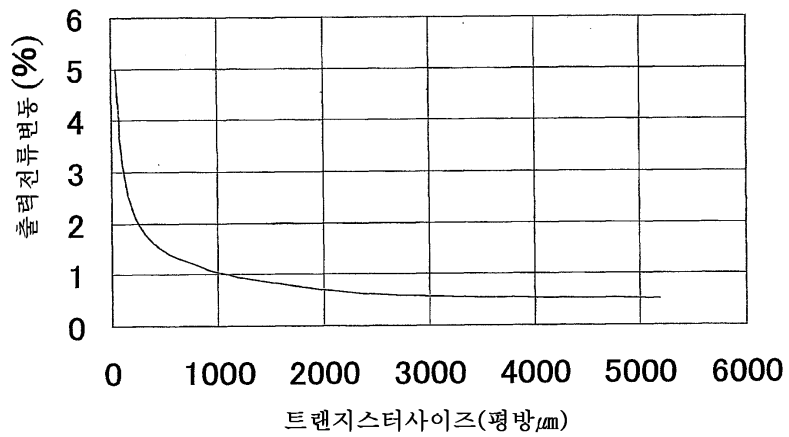
도면9



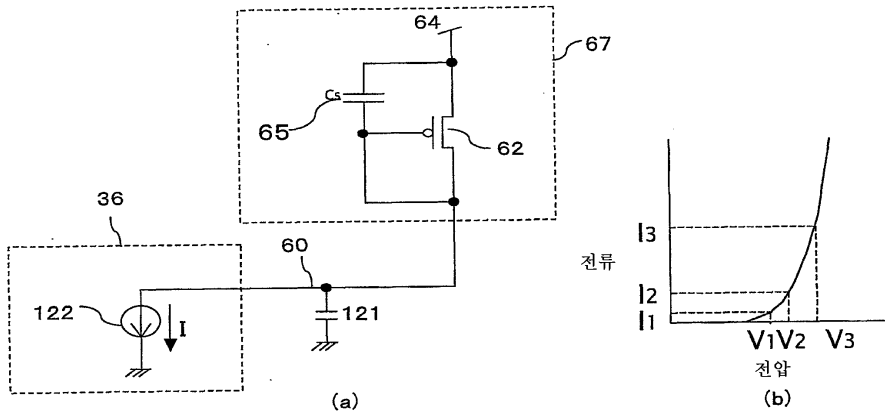
도면10



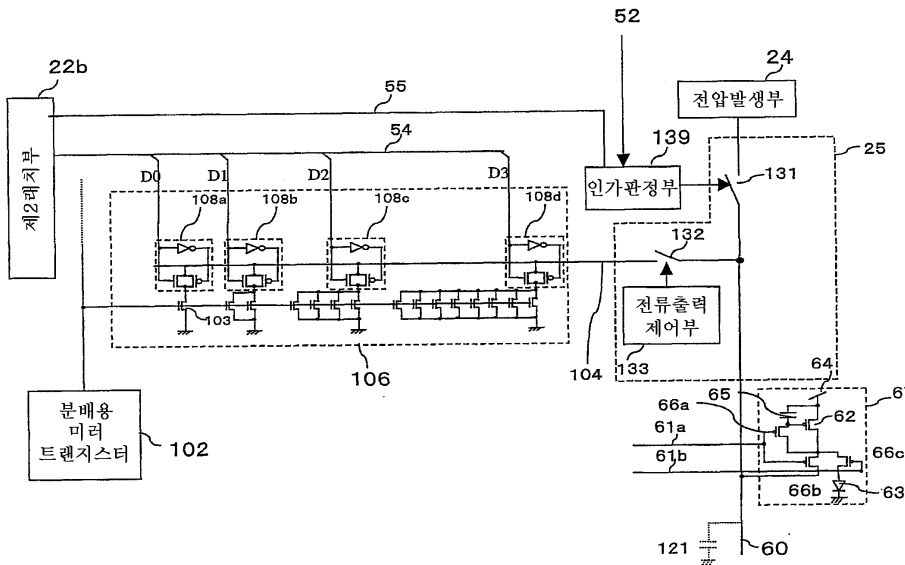
도면11



도면12



도면13



도면14

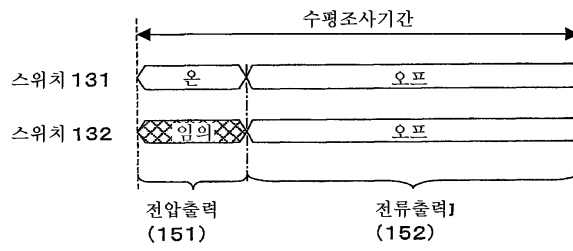
계조	트랜지스터군	트랜지스터군의 특성		
		채널폭 [ $\mu\text{m}$ ]	채널길이 [ $\mu\text{m}$ ]	출력 전류변동 [%]
1	241a	3.0	54	2.5
2	241b			1.8
4	242a	6.0	27	2.5
8	242b			1.8
16	242c			1.3
32	242d			0.9
64	242e			0.6
128	242f			0.5

(a)

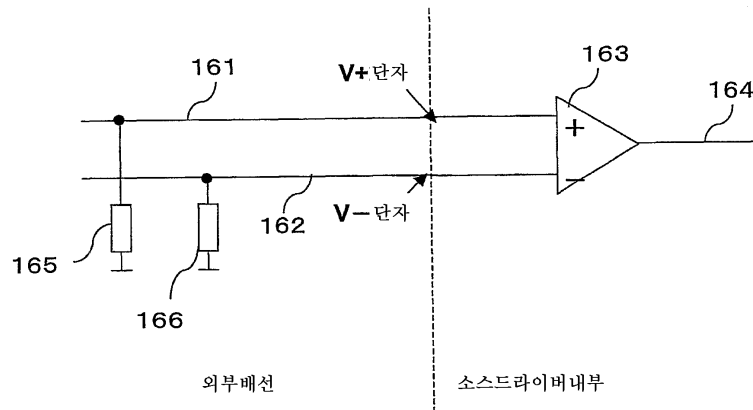
계조	트랜지스터군	트랜지스터군의 특성		
		채널폭 [ $\mu\text{m}$ ]	채널길이 [ $\mu\text{m}$ ]	출력 전류변동 [%]
1	241a	1.5	27	5.0
2	241b			3.5
4	242a	6.0	27	2.5
8	242b			1.8
16	242c			1.3
32	242d			0.9
64	242e			0.6
128	242f			0.5

(b)

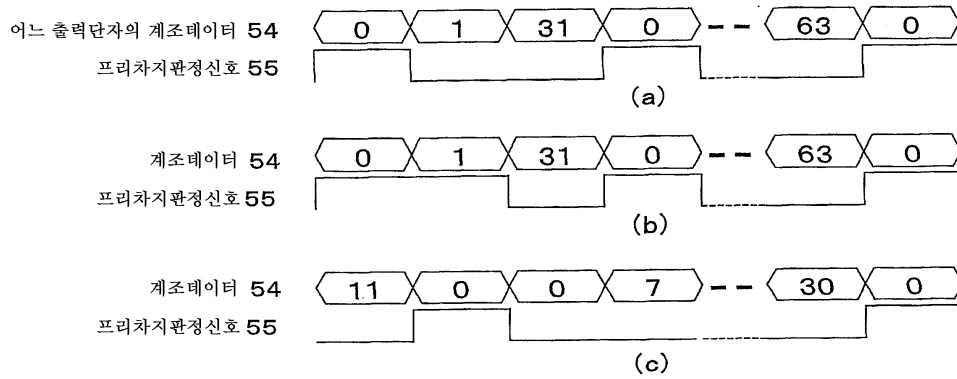
도면15



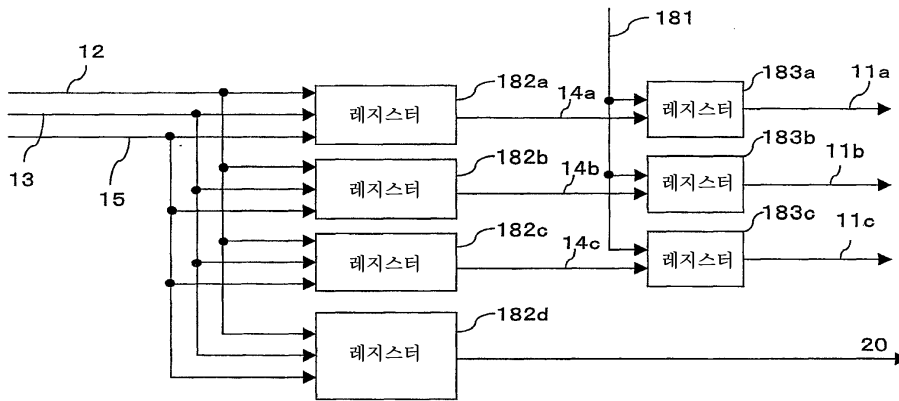
도면16



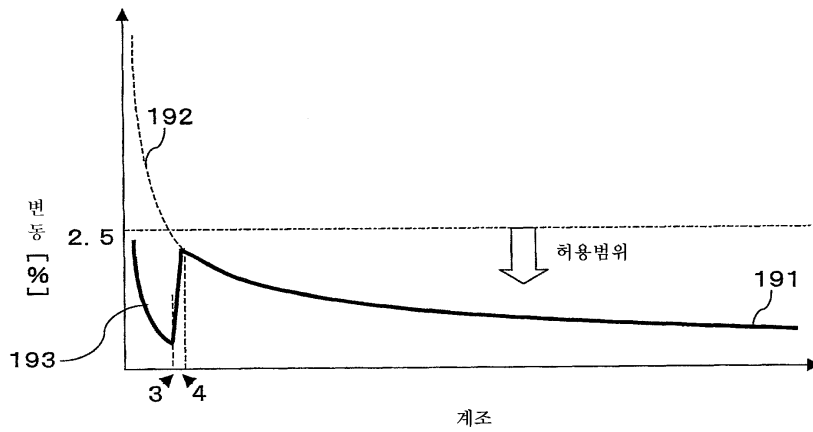
도면17



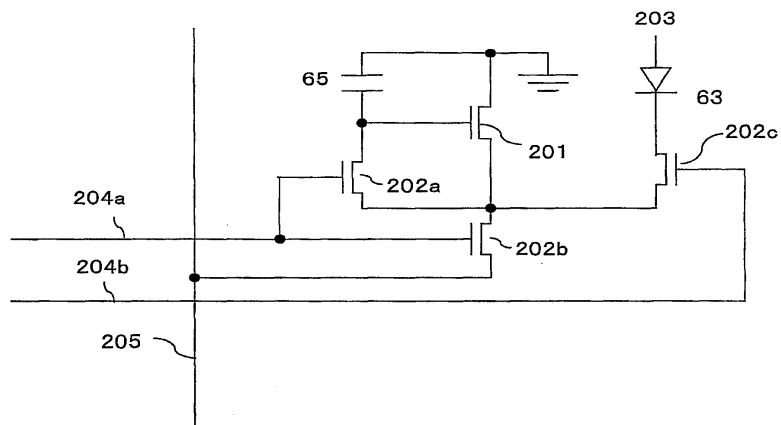
도면18



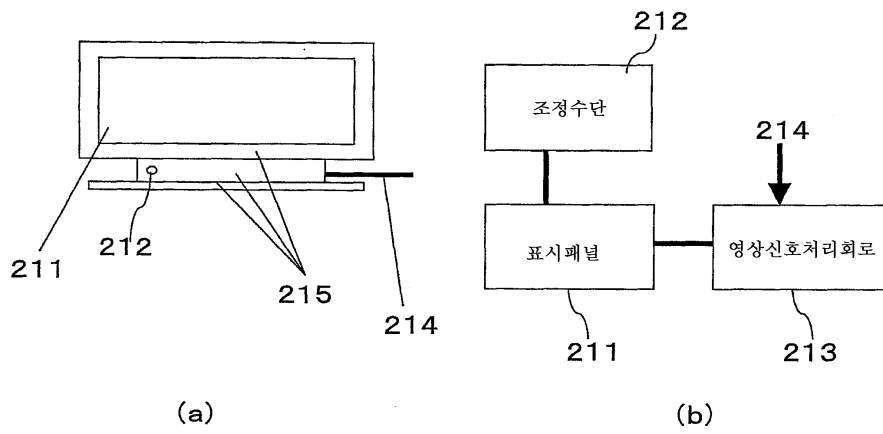
도면19



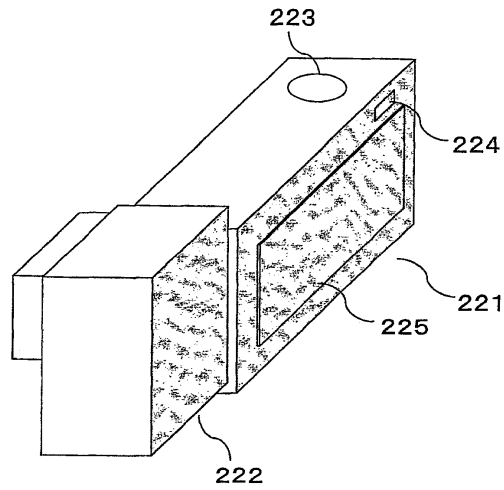
도면20



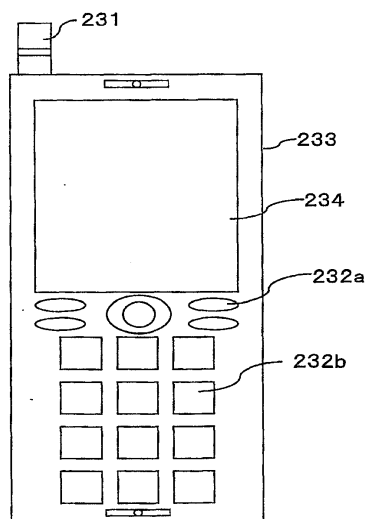
도면21



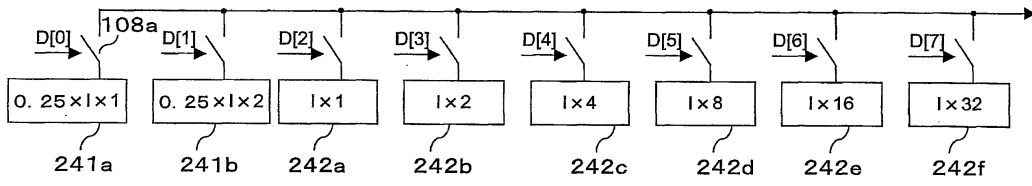
도면22



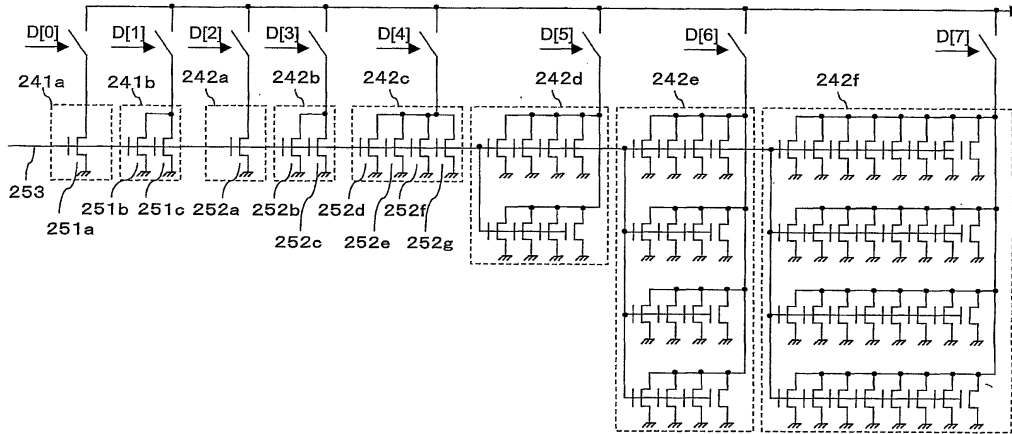
도면23



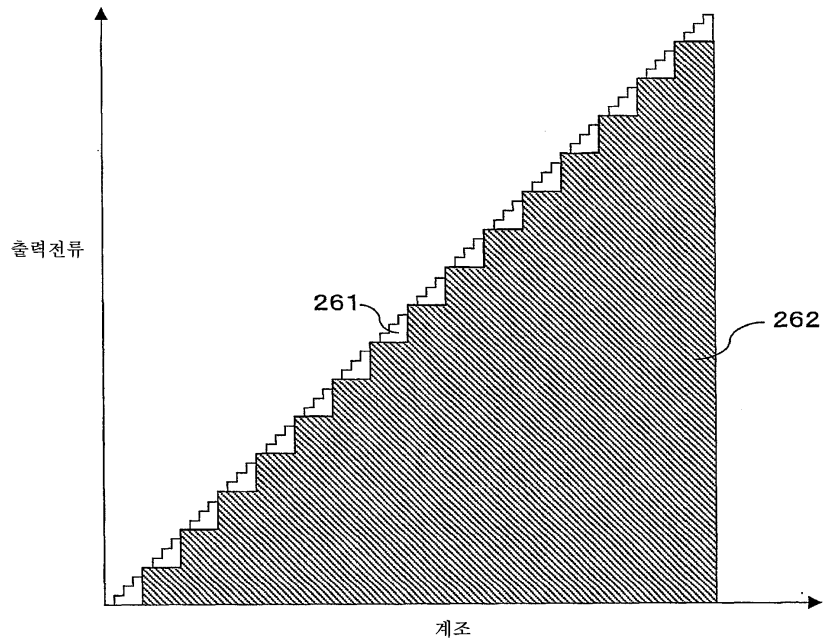
도면24



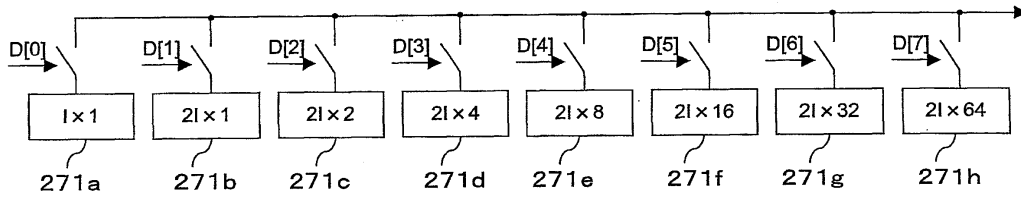
도면25



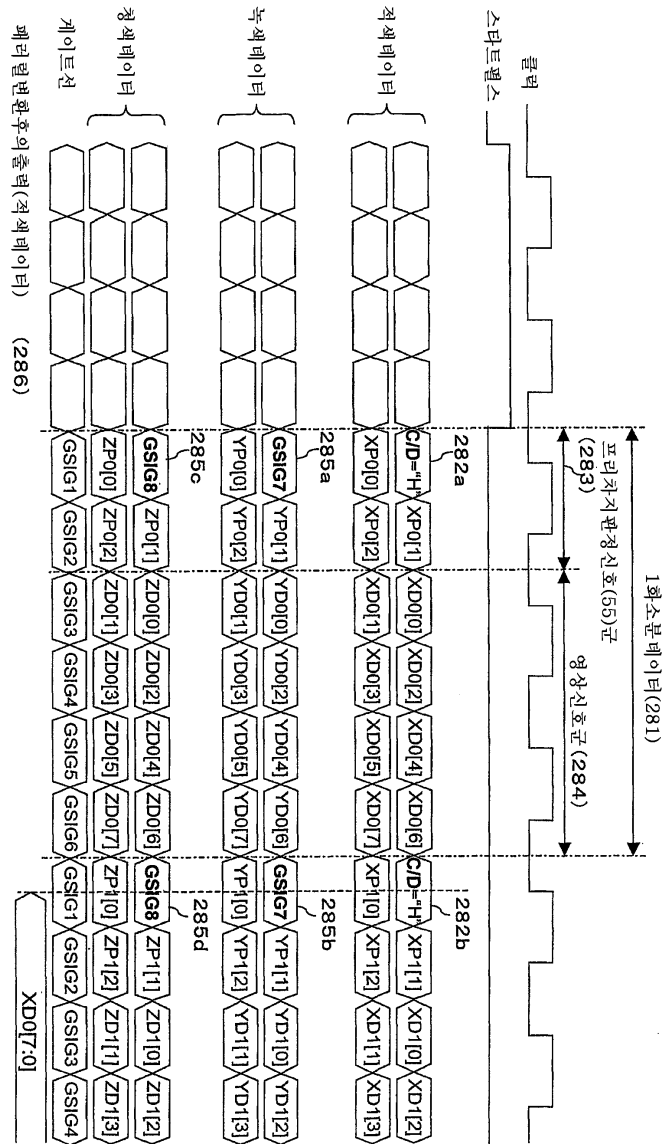
도면26



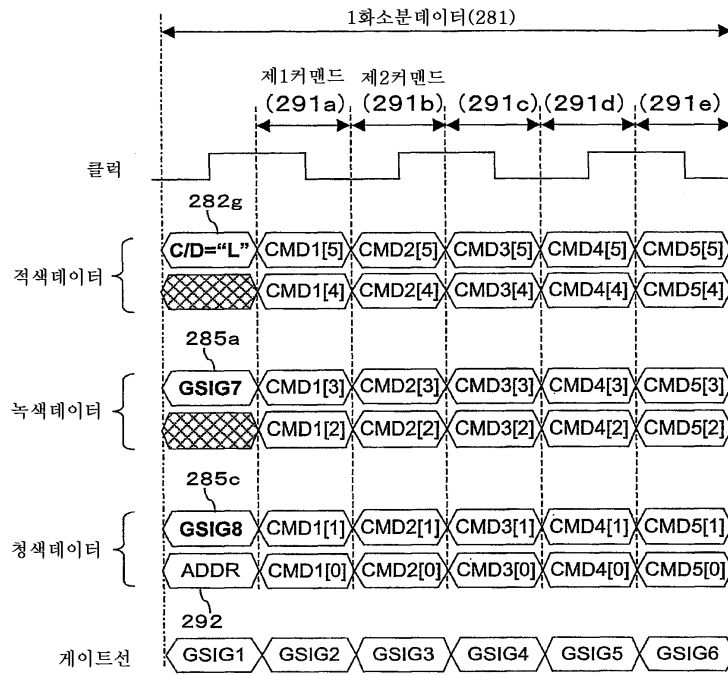
도면27



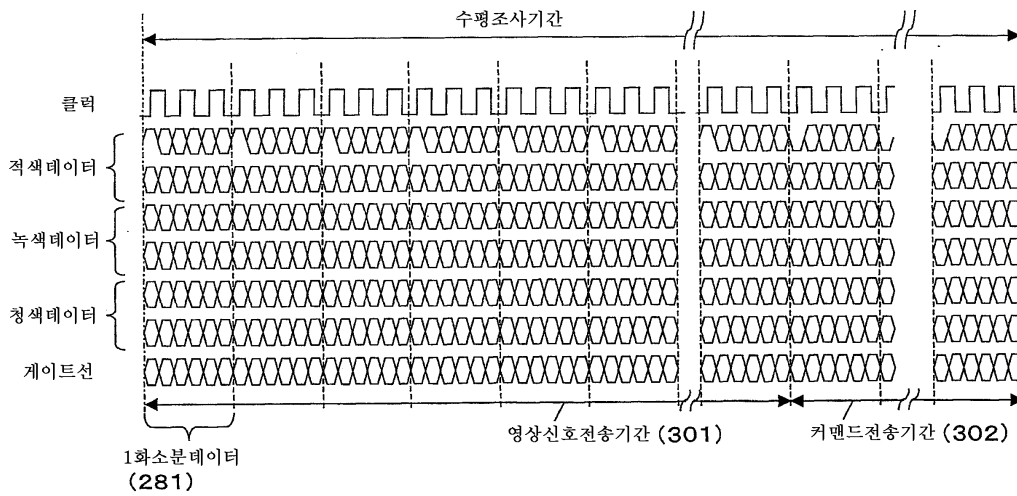
도면28



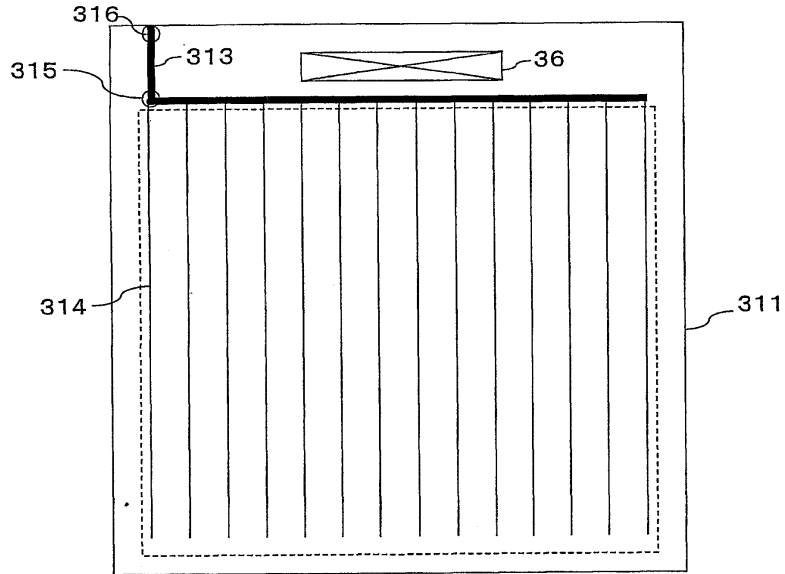
도면29



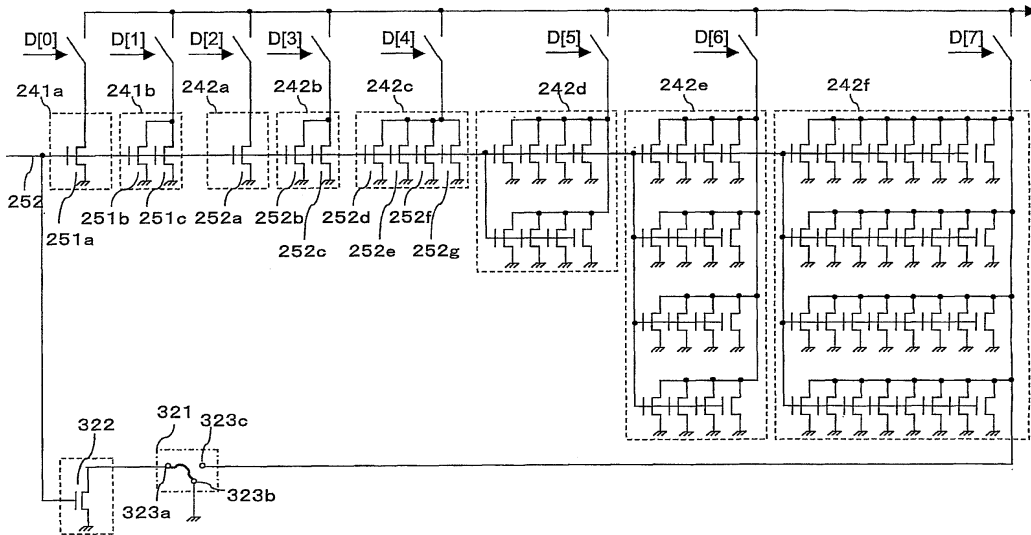
도면30



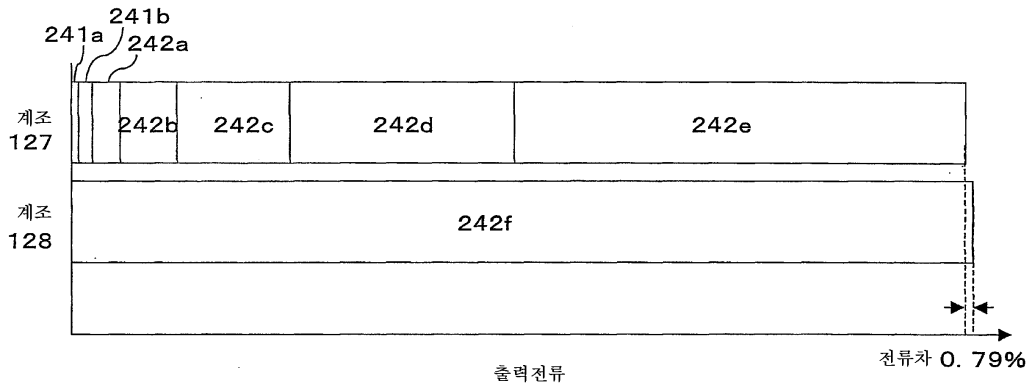
도면31



도면32



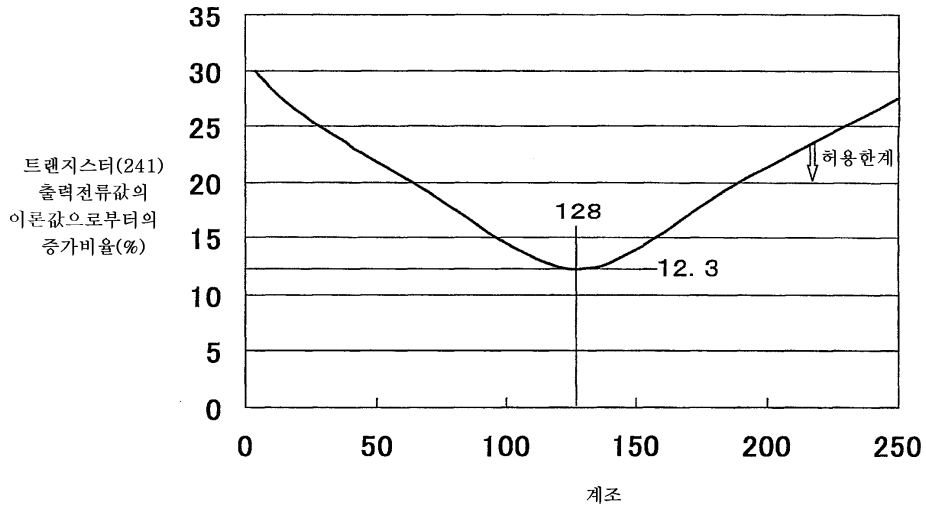
도면33



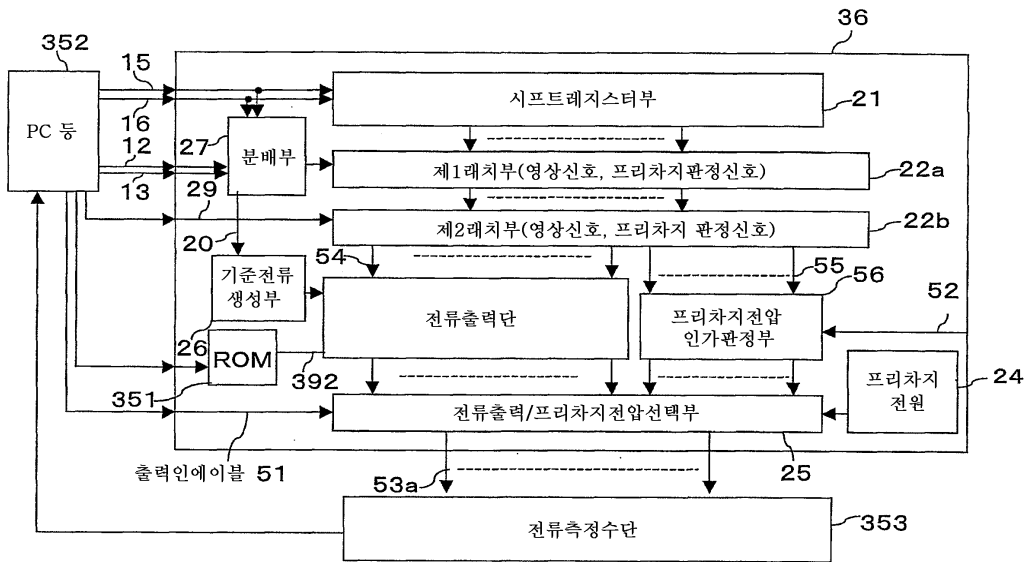
출력전류

전류차 0.79%

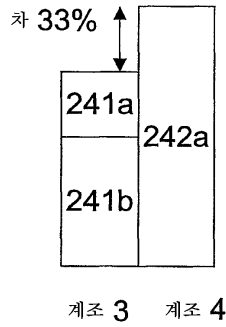
도면34



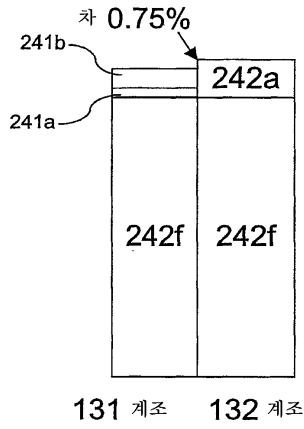
도면35



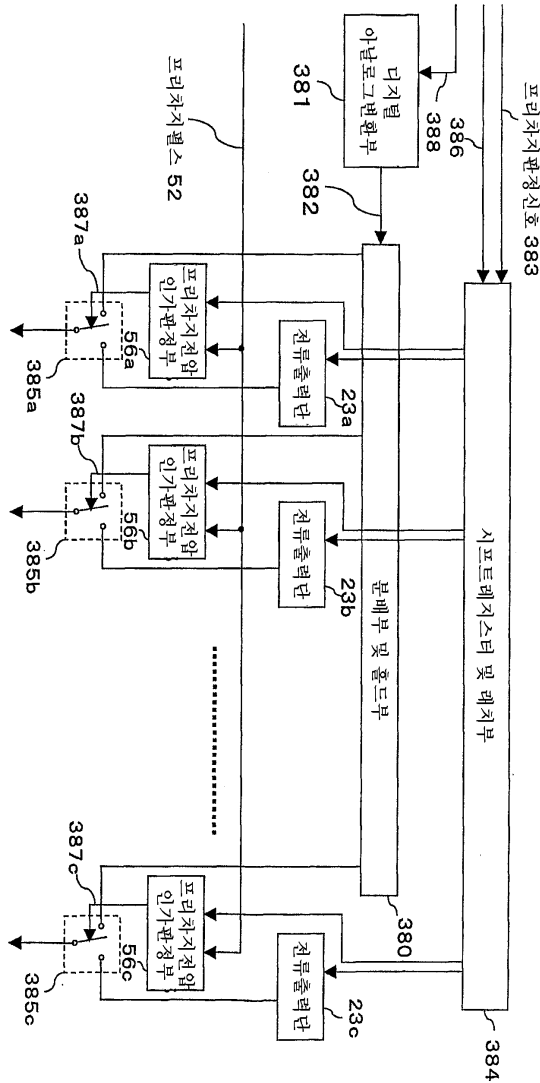
도면36



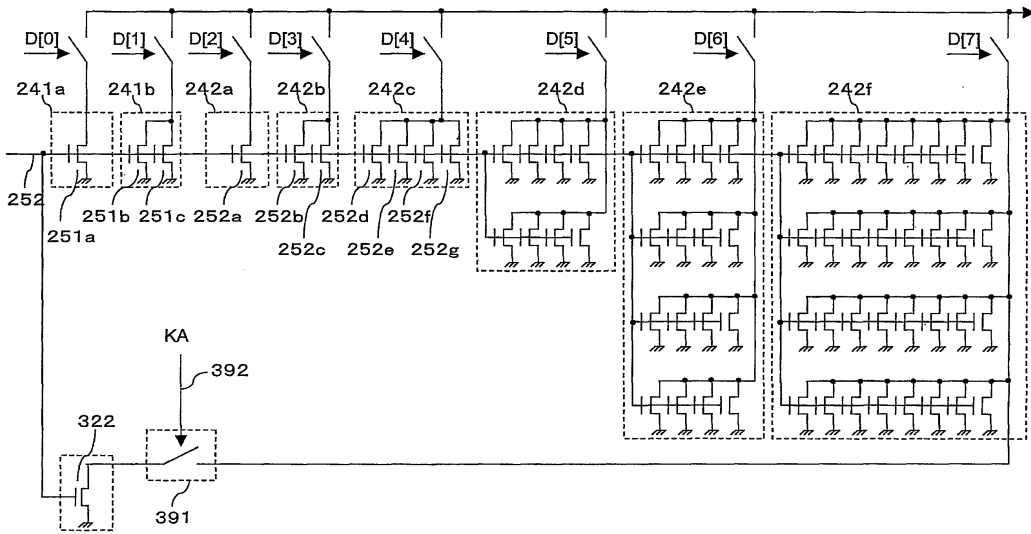
도면37



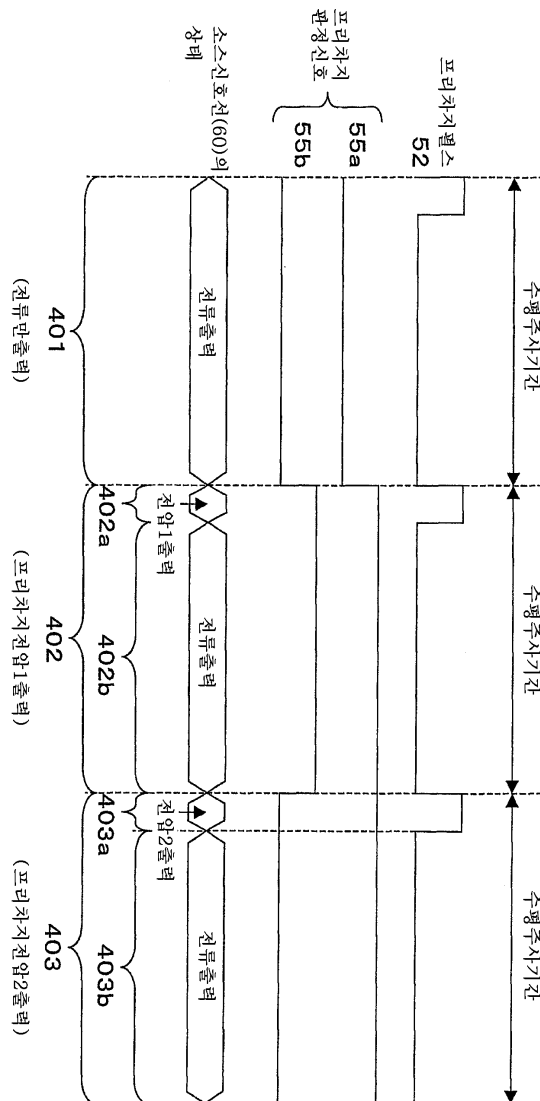
도면38



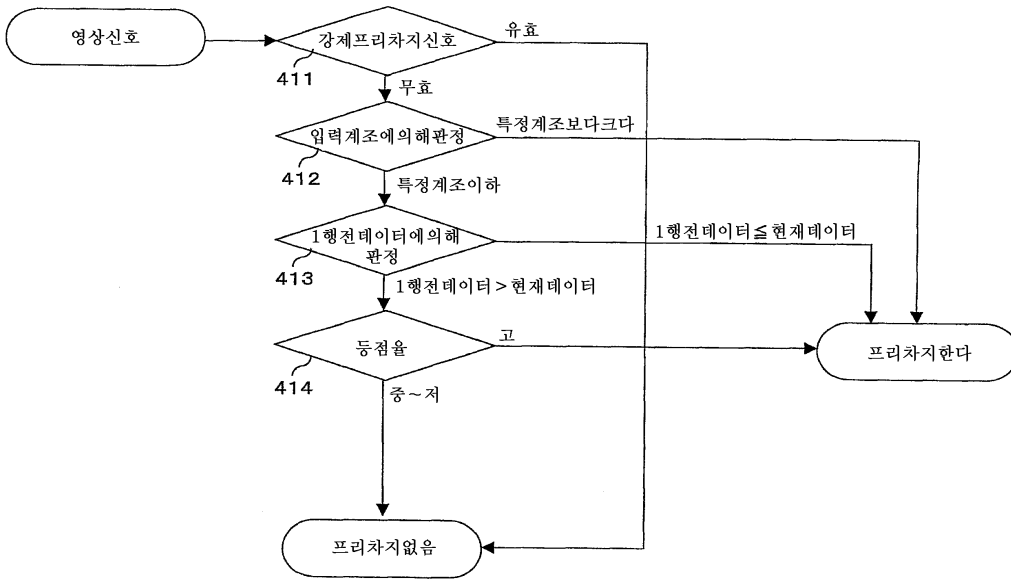
도면39



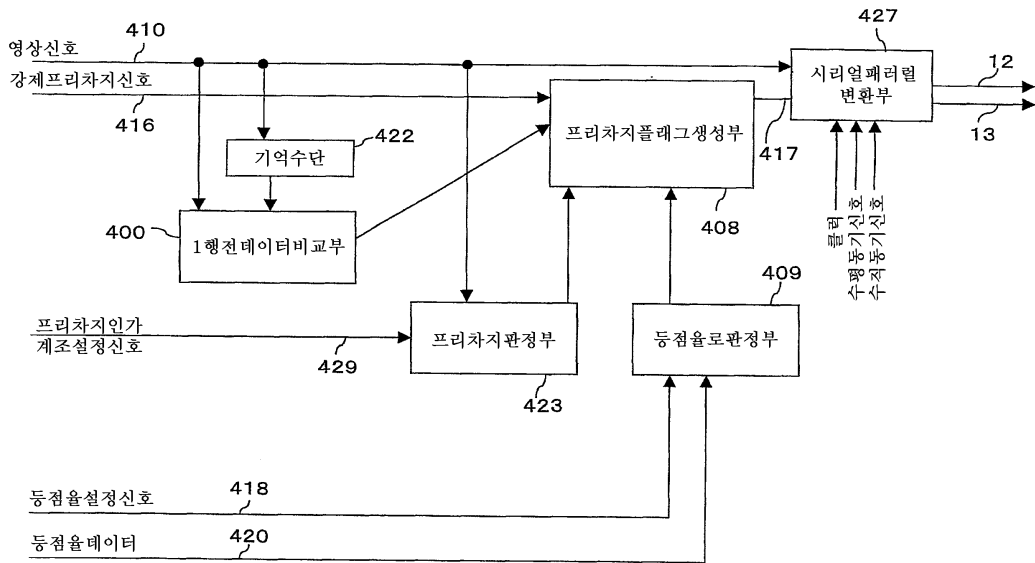
도면40



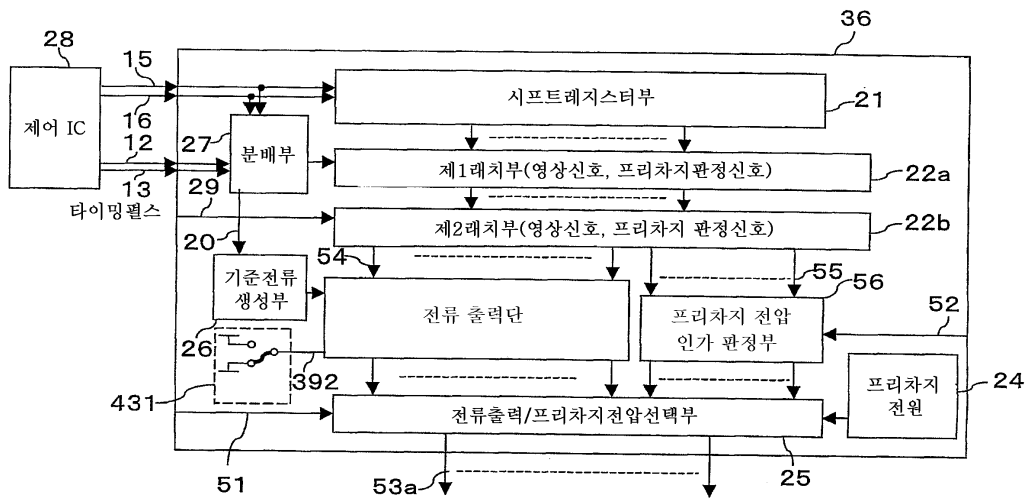
도면41



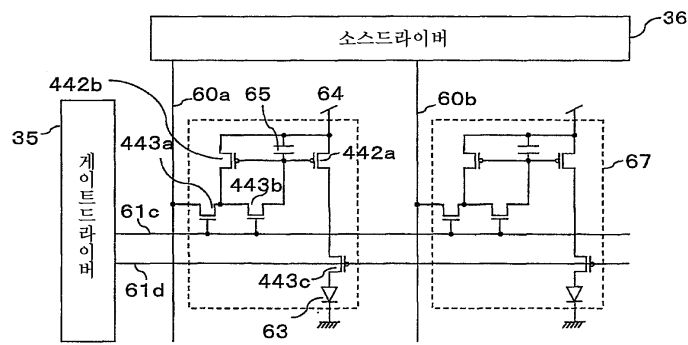
도면42



도면43



도면44



专利名称(译)	电流输出型半导体器件，用于驱动显示器件的源极驱动器，显示器件，信号输入/输出方法		
公开(公告)号	<a href="#">KR1020060018834A</a>	公开(公告)日	2006-03-02
申请号	KR1020057021035	申请日	2004-04-28
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	TSUGE HITOSHI 쓰게히토시		
发明人	쓰게, 히토시		
IPC分类号	G09G3/30 G09G3/20 G09G3/32 H03M1/68 H03M1/74		
CPC分类号	G09G3/3283 G09G3/006 G09G3/325 G09G2300/0819 G09G2300/0842 G09G2310/0251 G09G2310/027 G09G2310/08 G09G2320/0223 G09G2320/0276 G09G2320/103 G09G2340/0428 H03M1/68 H03M1/745		
代理人(译)	Jangsugil Yijunghui		
优先权	2003129497 2003-05-07 JP 2003150769 2003-05-28 JP 2003287215 2003-08-05 JP 2003344787 2003-10-02 JP		
其他公开文献	KR100812846B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种电流输出型半导体电路，显示驱动装置，显示装置和电流输出方法，即使当前驱动器的输出位数增加，也能够抑制电路规模的增加甚至更低。电流输出型半导体电路具有用于输出预定电流的第一单元晶体管，并具有较高的N (N是自然数和第二单元晶体管，用于输出大于第一单元晶体管的电流，并输出上M (M是自然数，(N + M) ≤ 3) 第二电流源组242a, 242b, 242c, 242d, 242e, 242f。24 指数方面 电流输出型半导体电路，灰度显示器，有机电致发光器件，显示器驱动器件，显示器驱动源驱动器，电流输出方法

