

(140)과 제 2 전도층(27)의 최소한 일부를 포함하는 제 3 커패시터판을 포함한다. 이 배열은 제 1 전기 용량성 디바이스와 제 2 전기 용량성 디바이스를 위한 더 큰 커패시턴스의 혜택을 받는데, 기생 커패시턴스의 영향에 대하여 이들을 더욱 강화한다.

대표도

도 4

명세서

기술분야

본 발명은 기관 표면 영역에 장착된 복수의 픽셀을 포함하는 디스플레이 디바이스와 관련된 것으로서, 각 픽셀은 제 1 전도층과 제 2 전도층 사이에 연결된 전류 구동 디스플레이 요소를 포함하고, 제 2 전도층은 제 1 부분의 기관 표면 영역에 박막 성분을 가지고 있는 스위치가능한 디바이스를 통해 전류원에 연결된다.

배경기술

III-V족 반도체 재질을 기반으로 하는 발광 다이오드(LED), 유기 발광 다이오드(OLED) 또는 중합체 발광 다이오드(poly-LED)와 같은 전류 구동 전기발광성의 디스플레이 요소를 구비하는 디스플레이 디바이스는 많은 관심의 대상이 되는데, 왜냐하면, 이러한 디바이스의 디스플레이 특성이 콘트라스트와 밝기 성능면에서 액정 디스플레이(LCD)와 같은 전압 구동 디스플레이 디바이스에 비하여 더욱 우수한 잠재력을 갖고 있기 때문이다.

예를 들어, OLED와 폴리 OLED 디스플레이 디바이스의 픽셀은 일반적으로 제 1 전도층과 제 2 전도층 사이에 연결된 디스플레이 요소를 포함하며, 제 2 전도층은 스위치가능한 디바이스에 의해 전류원과 연결된다. 스위치가능한 디바이스의 채널 유형에 따라서 제 1 전도층은 음극으로 활동하고, 제 2 전도층은 양극으로 활동하거나 이와 반대로 활동한다. 활성화 되면, 스위치가능한 디바이스는 전류원으로 작동하고, 게이트 전압이 트랜지스터와 같은 스위치가능한 디바이스에 인가되며, 스위치가능한 디바이스의 실제 전류 출력을 한정하고 실제 전류 출력은 디스플레이 요소의 밝기 레벨을 한정한다.

도 1은 능동 매트릭스 어드레스 지정 전기발광 디스플레이 디바이스를 위한 알려진 픽셀 회로를 도시한다. 디스플레이 디바이스는 일정한 간격으로 배치된 픽셀의 행렬 매트릭스 배열을 갖고 블록(1)으로 표시되며 전기발광 디스플레이 요소(2)와 관련 행(선택)과 열(데이터) 주소 전도체(4와 5) 사이의 교차점에 위치한 스위칭 수단을 함께 포함하는 패넬을 포함한다. 단순화를 위해 도면에는 몇 개의 픽셀만 도시되었다.

실제로 수백 개의 행과 열의 픽셀이 있을 수 있다. 픽셀(1)은 주소 전도체의 행렬 세트를 통해 각 전도체 세트의 끝에 연결된 행, 스캐닝, 드라이버 회로(8) 및 열, 데이터, 드라이버 회로(9)를 포함하는 주변 구동 회로에 의해 주소가 지정된다.

전기 발광성 디스플레이 요소(2)는 유기 발광 다이오드를 포함한다. 배열의 디스플레이 요소는 기관과 같은 절연 지지물의 한 면에 관련 능동 매트릭스 회로와 함께 장착된다. 디스플레이 요소의 음극 또는 양극은 투명 전도 재질로 구성되어 있다. 지지물은 유리와 같은 투명 재질로 되어 있으며, 기관과 가장 가까운 디스플레이 요소(2)의 전극은 ITO와 같은 투명 전도 재질로 구성되어 있어, 지지물의 다른 쪽에 있는 관찰자도 볼 수 있도록 하기 위해 전기 발광층에 의해 생성된 빛이 이러한 전극과 지지물을 통해 전송된다. 일반적으로, 유기 전기 발광 재질층의 두께는 100nm와 200nm 사이이다.

요소(2)로 사용될 수 있는 적당한 유기 전자 발광 재질의 일반적인 예시는 EP-A-0 717446에 공개되고 설명되었다. WO96/36959에 설명된 대로 복합 중합체 재질도 역시 사용할 수 있다.

도 1에 나타난 디스플레이 디바이스의 픽셀(1)에 있는 전술한 스위치가능한 디바이스는 저온 폴리실리콘(LTPS) 박막 트랜지스터(TFT)를 통해 실현될 수 있다. LTPS TFT는 개별 TFT의 임계 전압(V_{th})이 디스플레이 디바이스의 수명기간 동안 비교적 안정적이라는 장점을 가지고 있다. 불행히도, 개별 TFT의 임계 전압의 절대값은 실질적으로 변화할 수 있다. 왜냐하면 이러한 값들은 디스플레이 디바이스 기관 위의 폴리실리콘 결정의 분포 함수이기 때문이다. 개별 TFT 임계 전압 사이의 변수는 매우 불필요하다. 왜냐하면, 이들은 전류 구동 디스플레이 요소에서 의도하는 발광 강도로부터 눈에 띄게

이탈하도록 할 수 있기 때문이다. 출력 전류(I)량은 TFT의 게이트 소스 전압(V_{gs})과 V_{th} 의 차의 제곱($1 \sim (V_{gs} - V_{th})^2$)과 직접 관련이 있으므로, 의도하는 V_{th} 값으로부터의 이탈은 TFT의 실제 출력 전류의 의도값에서 이탈을 초래하고 디스플레이 요소의 출력에서 전술한 결함을 초래하는 것으로 이해할 수 있다.

대신에, 비결정 실리콘 박막 트랜지스터(a-Si TFT)는 스위치가 가능한 디바이스로 사용될 수 있다. a-Si TFT의 사용은 제조원가가 저렴하고 특히, 개별 a-Si TFT의 임계 전압이 거의 변화하지 않으므로 전술한 LTP-TFT의 단점을 피할 수 있다는 점으로 인해 매력적이다. 불행히도, a-Si TFT는 작동 중에 비결정 실리콘에 핫 캐리어 주입(hot carrier injection)으로 야기되는 작은 구멍과 같은 결함 발생의 결과 임계 전압(V_{th})이 증가한다. 다른 사용 강도의 결과, 하나의 개별 a-Si TFT로부터 다른 a-Si TFT로 변화하는 노화 효과로 인해 전술한 디스플레이 결함이 발생한다.

V_{th} 이탈이나 LTP-TFT 또는 a-Si TFT와 같은 스위치가 가능한 디바이스의 악화를 보상할 수 있는 여러 가지 방법이 있다. 가능한 해결 방법이 조기 공개되지 않은 영국 특허 출원 0301659.0에 알려져 있고 도 2에 도시되어 있다. 도 2에 나타난 디스플레이 디바이스의 픽셀은 전류원선(26)과 접지선(28) 사이에 연결된 전류 구동 디스플레이 요소(2)를 포함한다. 디스플레이 요소(2)는 구동 트랜지스터(12)를 통해 전류원선(26)과 연결되어 있다. 구동 트랜지스터의 게이트(12)는 제 1 전기 용량성 디바이스(32)와 제 2 전기 용량성 디바이스(34)의 직렬 연결을 통해 자신의 소스와 연결되어 있다. 전기 용량성 디바이스(32, 34)는 구동 트랜지스터(12)의 실제 임계 전압과 디스플레이 요소(2)의 의도된 밝기 레벨을 나타내는 데이터 전압을 저장하기 위한 추가 트랜지스터(13-16)를 사용하여 프로그램 될 수 있다. 이로 인해 구동 트랜지스터(12)의 게이트에 적용된 실제 게이트 전압이 구동 트랜지스터(12)의 실제 임계 전압으로 수정된다. 결과적으로, 디스플레이 요소(2)에 적용되는 전류는 구동 트랜지스터(12)의 임계 전압의 변화에 대부분 민감하지 않다.

a-Si TFT의 노화 효과를 보상하기 위한 다른 해결책은 조기 공개되지 않은 영국 특허 출원 0307475.4에 알려져 있는데, 여기에는 도 3에 도시된 픽셀을 가진 디스플레이 디바이스를 공개한다. 전류 구동 디스플레이 요소(2)는 구동 트랜지스터(12)를 통해 전류원선(26)과 접지선(28) 사이에 연결되어 있는데, 제 1 전기 용량성 디바이스(32)와 제 2 전기 용량성 디바이스(34)의 직렬 배열이 게이트와 소스 구동 트랜지스터(12)의 사이에 연결된다. 제 1 전기 용량성 디바이스(32)에는 트랜지스터(13)와 데이터 라인(24)을 통해 디스플레이 요소(2)를 위한 데이터 전압이 공급된다. 트랜지스터(13, 16)는 전기 용량성 디바이스(32, 34)를 의도하는 상태로 프로그래밍하기 위해 필요하다. 디스플레이 디바이스는 디스플레이 디바이스에 복수의 픽셀에 제공되는 평균적인 복수 데이터 신호를 나타내는 데이터 신호를 갖는 더미(dummy) 픽셀(보이지 않음)을 더 포함한다. 더미 픽셀의 구동 트랜지스터의 노화는 디스플레이 디바이스의 픽셀에서 다양한 구동 트랜지스터(12)의 평균 노화로 간주될 수 있다. 더미 픽셀에서 구동 트랜지스터의 V_{th} 는 측정되어, 더미 데이터 신호선(60)과 트랜지스터(62)를 통해 제 2 전기 용량성 디바이스(34)에 제공된다. 결과적으로 구동 트랜지스터(12)의 게이트에 인가되는 게이트 전압은 평균 V_{th} 노화에 기초한 보상을 포함한다.

전기 용량성 디바이스가 구동 트랜지스터와 같은 스위치가 가능한 디바이스의 임계 전압과 같은 물리적 특성을 기억하기 위해 사용되는 도 2와 3에 도시된 회로와 같은 픽셀의 성능은 전기 용량성 디바이스와 픽셀의 다른 부분 사이에 표류 또는 기생 커패시턴스의 존재에 의해 절충될 수 있다. 예를 들어, 도 2에 도시된 회로는 트랜지스터(14)의 게이트와 제 1 전기 용량성 디바이스(32) 사이에 상당한 기생 커패시턴스를 갖고 있을 수 있다. 기생 커패시턴스(42)는 제 1 전기 용량성 디바이스(32)에 저장된 전하에 파괴적인 영향을 미칠 수 있는데, 이는 파괴 효과가 충분히 큰 경우 제 1 전기 용량성 디바이스(32)에 저장된 데이터를 손상시킬 수 있다.

제 1 전기 용량성 디바이스(32)에 저장된 데이터를 손상시킬 수 있는 다른 상당한 기생 커패시턴스는 구동 트랜지스터(12)의 드레인 접점과 제 1 전기 용량성 디바이스(32) 사이의 기생 커패시턴스(52)이다. 기생 커패시턴스(42와 52)는 구동 트랜지스터(12)의 임계 전압이 제 1 전기 용량성 디바이스(32)에 저장되었을 때 특히 바람직하지 않다. 구동 트랜지스터(12)의 임계 전압을 측정하는 동안, 교점(A)은 공급 전압 레벨이고, 반면, 교점(B)은 임계 전압 레벨이다. 측정의 완료와 동시에 트랜지스터(14와 15)가 스위치 오프되고 교점(B)이 데이터 열(24)의 데이터에 의해 정의되도록 한다. 결과적으로, 교점(A)은 이 데이터 전압 위의 임계 전압의 전압값을 보인다. 즉, 교점(A)의 전압은 공급 전압으로부터 데이터 전압과 구동 트랜지스터(12)의 임계 전압에 의해 정의된 전압 레벨로 이동된다. 이 시점에서 기생 커패시턴스(42와 52)에 저장된 전하는 제 1 전기 용량성 디바이스(32)로 이동할 수 있으며, 이에 따라 전압 임계 측정 결과를 손상시키며, 디스플레이 디바이스의 출력에서 전술한 바람직하지 않은 결함을 초래할 수 있다.

발명의 상세한 설명

특히, 현재 발명의 목적은 서두에서 설명한 유형의 개선된 디스플레이 디바이스를 제공하는 것이다.

현재 발명의 다른 목적은 파괴적인 기생 커패시턴스에 대한 감소된 민감도를 가진 구동 트랜지스터의 전류 모드를 제어하기 위한 복수의 픽셀을 포함하는 디스플레이 디바이스를 제공하는 것이다.

본 발명의 일 양상에 있어서, 기관에 장착된 복수의 픽셀을 포함하는 디스플레이 디바이스가 제공되는데, 각 픽셀은 제 1 전도층과 제 2 전도층 사이에 연결된 전류 구동 디스플레이 요소로서, 상기 제 2 전도층은 기관의 제 1 영역상, 위의 박막 구성요소를 가진 스위치가 가능한 디바이스를 통해 전류원에 연결되어 있는, 전류 구동 디스플레이 요소와, 기관의 제 2 영역에 있는 제 1 커패시터판을 갖고 있는 제 1 전기 용량성 디바이스로서, 상기 제 1 커패시터판은 박막 구성요소에 전도적으로 연결되어 있는 제 1 전기 용량성 디바이스와, 제 1 커패시터판을 덮고 있는 제 2 커패시터판과, 제 1 커패시터판과 제 2 커패시터판 사이의 제 1 절연층을 포함하며, 각 픽셀은 제 1 전기 용량성 디바이스의 제 2 커패시터판을 공유하는 제 2 전기 용량성 디바이스를 포함하며, 상기 제 2 전기 용량성 디바이스는 제 2 커패시터판을 덮고 있는 제 3 커패시터판을 추가로 포함하고, 상기 제 3 커패시터판은 제 2 전도층의 최소한 일부와, 제 2 커패시터판과 제 3 커패시터판 사이의 제 2 절연층을 포함한다.

제 1 전기 용량성 디바이스와 제 2 전기 용량성 디바이스를 나란히 배열하지 않고 하나 위에 다른 하나를 적층하여 이러한 전기 용량성 디바이스의 개별 커패시턴스를 상당히 증가시킬 수 있는데, 왜냐하면, 전기 용량성 디바이스가 이들 사이의 사용가능한 기관 표면 영역을 나눌 필요가 없기 때문인데, 이렇게 하면 전기 용량성 디바이스의 개별 커패시턴스가 제한된다. 결과적으로, 관련 커패시티브 디바이스가 더 큰 정전 용량을 갖고 있어서, 기생 전하량이 관련 전기 용량성 디바이스의 총 전하의 더 작은 부분을 나타내고, 이에 따라 관련 전기 용량성 디바이스에 저장된 데이터에 대한 더 적은 방해를 초래하기 때문에, 픽셀의 구성요소와 전기 용량성 디바이스들 중 한 디바이스 사이의 기생 커패시턴스는 관련 전기 용량성 디바이스에 저장된 데이터에 더 작은 충격을 준다.

일 실시예에서, 제 1 절연층은 제 2 절연층의 두께와 다르다. 다른 두께의 제 1 절연층과 제 2 절연층의 사용과, 이들 층의 유전체 유전율 및 이에 따른 제 1 및 제 2 전기 용량성 디바이스의 각 커패시턴스는 그들의 기능의 특정한 요구사항에 부합하도록 할 수 있다.

장점으로, 제 1 절연층은 제 1 커패시터판 위에 제 1 두께를 갖고 있고, 박막 구성요소 위에 제 2 두께를 갖는데, 상기 제 1 두께는 제 2 두께보다 얇다. 일반적으로, 박막 구성요소와 스위치가 가능한 디바이스의 채널 구조 사이의 절연층은 관련 전기 용량성 디바이스의 커패시터판 사이의 절연층을 제공하기 위해 사용된다. 그러나, 제 1 전기 용량성 디바이스를 위한 더욱 얇은 층을 사용하여 이러한 전기 용량성 디바이스의 커패시턴스가 더욱 증가될 수 있으며, 따라서 기생 커패시턴스에 대한 제 1 전기 용량성 디바이스의 강도가 증가하거나 전기 용량성 디바이스로 덮인 기관 표면 영역의 양이 감소되며, 따라서 디스플레이 디바이스가 기관을 통해 광을 방출하는 경우 픽셀의 개구 특성을 개선시킨다.

대신에, 제 1 절연층은 제 1 재질을 포함할 수 있고 제 2 절연층은 제 2 재질을 포함할 수 있는데, 상기 제 1 및 제 2 재질은 다른 유전체 유전율을 갖는다. 제 1 및 제 2 전기 용량성 디바이스의 커패시턴스(정전 용량)를 조정하기 위해 제 1 및 제 2 절연체의 두께를 변경하는 대신, 다른 유전체 유전율을 갖는 다른 재질을 선택하여 제 1 및 제 2 절연체를 제 1 및 제 2 전기 용량성 디바이스의 커패시턴스에 맞춰 조정할 수 있다.

제 1 커패시터판이 추가 스위치가 가능한 디바이스에 대한 전도 커플링을 가지고 있는 것이 장점이 되는데, 상기 전도 커플링은 제 1 절연층 전체에 연장되어 있고, 각 픽셀은 전도 커플링과 제 1 전도층 라인 사이의 커패시턴스를 감소시키기 위한 전도 커플링 위에서 배향되는 제 2 절연층의 일부를 덮고 있는 전도층을 추가적으로 포함하고 있다. 이러한 추가 스위치가 가능한 디바이스는 예를 들어 도 2의 트랜지스터(14)가 될 수 있는데, 이것은 제 1 전기 용량성 디바이스에 비아(via)를 사용하여 전도적으로 연결될 수 있다. 전도 커플링과 픽셀의 제 1 전도층 사이의 기생 커패시턴스의 발생을 방지하기 위해 전도 커플링은 전도성 커플링 위로 연장되는 투명 인듐 주석 산화물(ITO) 패드와 같은 추가 전도층에 의해 제 1 전도층으로부터 차폐되며, 이에 따라 제 1 전기 용량성 디바이스에 영향을 주는 기생 커패시턴스 양을 줄인다.

오히려, 제 2 전도층은 박막 구성요소 위에서 연장되지 않는다. 이것은 박막 구성요소와 제 2 전도층 사이의 기생 커패시턴스의 양을 감소시켜, 제 1 및 제 2 전기 용량성 디바이스에 저장된 전압을 통해 박막 구성요소의 제어가능성을 개선한다.

본 발명은 다음 도면을 참조로 하여 더욱 자세하게, 그리고 제한되지 않는 예시를 통해 설명된다.

도면의 간단한 설명

도 1은 복수의 픽셀을 갖는 디스플레이 디바이스를 개략적으로 도시한 도면.

도 2와 3은 종래 기술 픽셀을 개략적으로 도시한 도면.

도 4는 현재 발명의 디스플레이 디바이스 픽셀의 실시예의 단면도를 도시한 도면.

도 5는 현재 발명의 디스플레이 디바이스 픽셀의 다른 실시예의 단면도를 도시한 도면.

도 6은 현재 발명의 디스플레이 디바이스 픽셀의 다른 단면도를 도시한 도면.

실시예

도면들은 단지 개략적으로 도시한 것이며 축척에 맞춰 도시된 것이 아님을 이해해야 한다. 동일한 참조 번호가 동일하거나 유사한 부품을 가리키도록 하기 위해 도면 전체에 사용되었다는 것을 이해해야 한다.

본 발명은 도 2에서 픽셀을 사용하여 설명될 것이다. 그러나, 이러한 설명은 제한이 없는 예시를 통해서만 가능하다는 것이 강조된다. 게이트와 소스 또는 구동 트랜지스터의 드레인 사이에 직렬로 두 개의 전기 용량성 디바이스를 가지고 있는 모든 픽셀은 본 발명의 교환을 통해 혜택을 받을 수 있다.

도 4에서 제 1 전도층(28)과 제 2 전도층(27) 사이에 연결된 전류 구동 디스플레이 요소(2)를 가진 픽셀이 도시되었다. 층의 작용은 필요한 경우 전환될 수 있다는 사실이 강조되지만, 제 1 전도층(28)은 음극으로 작용하고 제 2 전도층(27)은 디스플레이 요소(2)에 대하여 양극으로 작용한다. 전류 구동 디스플레이 요소(2)는 알려진 OLED 또는 폴리 LED 재질과 같이 알려진 모든 LED 재질을 포함할 수 있다. 구동 트랜지스터(12)는 박막 구성요소(122)를 갖고 있는데, 제 1 기판(12) 지역을 덮고 있는 구동 트랜지스터(12)의 게이트가 될 수 있어서, 도 1의 a-Si 구동 트랜지스터가 될 수 있는 스위치가 가능한 디바이스(12)는 전류원선(26)과 제 2 전도층(27) 사이에 연결된다. 도 2의 제 1 전기 용량성 디바이스가 될 수 있는 제 1 전기 용량성 디바이스는 제 1 커패시터판(132)과 제 2 커패시터판(133)으로 구성될 수 있는데, 제 1 절연층(130)은 두 판 사이에 제 1 유전체 유전율을 갖고 있다. 전도 커플링(미도시)에 의해 박막 구성요소(122)에 전도적으로 연결된 제 1 커패시터판(132)은 일반적으로 박막 구성요소(122)와 동일한 전도 재질 적층 단계에서 실현된다. 제 1 커패시터판(132)과 박막 구성요소(122) 사이의 전도 커플링도 역시 상기 적층 단계에서 실현된다. 제 1 절연층(130)은 일반적으로 다음 처리 단계에서 적층되며 박막 구성요소(122)와 제 1 커패시터판(132)을 모두 덮는다. 제 1 절연층(130)은 실리콘 질소화물(SiN) 층일 수도 있고, 또는 다른 알려진 절연 재질일 수 있다. 제 2 커패시터판(133)은 일반적으로 제 1 절연층(130)의 상부에 전도 재질의 증착과 패터닝을 통해 형성될 수 있다. 매트릭스 배열 디스플레이 디바이스가 다양한 픽셀의 주소를 지정하기 위한 행과 열을 가지고 있는 경우, 이러한 전도 재질은 도 2의 데이터 라인(24)을 수행하기 위해 사용되는 전도 열 재질과 동일한 단계에서 증착될 수 있다. 전도 재질은 금속과 같이 모든 적당한 전도 재질이 될 수 있다.

도 2의 제 2 전기 용량성 디바이스(34)가 될 수 있는 제 2 전기 용량성 디바이스는 제 1 전기 용량성 디바이스의 맨 위에 적층될 수 있으며, 제 1 전기 용량성 디바이스의 제 2 커패시터판(133)을 공유하고 제 2 전도층(27)을 최소한 일부 포함하는 제 3 커패시터판에 의해 형성될 수 있다. 제 2 및 제 3 커패시터판은 제 2 유전체 유전율을 가진 제 2 절연층(140)에 의해 분리된다. 제 1 및 제 2 전기 용량성 디바이스를 픽셀과 동일한 층에 나란히 배열하는 것 보다 하나의 상부에 다른 하나를 적층시키는 것이 갖는 주요 장점은 결과적으로 이러한 디바이스들의 커패시턴스가 상당히 증가할 수 있다는 것이다. 전기 용량성 디바이스의 커패시턴스(C)는 공식 $C = \epsilon A / d$ 로 나타낼 수 있는데, 여기서 ϵ 는 판 사이의 절연 재질의 유전체 유전율이고, A는 판 면적이고 d는 판 사이의 거리이다.

두 개의 전기 용량성 디바이스를 적층시키는 것은 커패시터판(132 및 133)의 면적을 증가시켜서, 전기 용량성 디바이스의 커패시턴스를 증가시킨다. 최상층의 발광 픽셀의 경우, 전류 구동 디스플레이 요소(2)에 의해 발광되는 빛은 기판을 통과할 필요가 없으므로, 커패시터판은 픽셀의 다른 회로 요소들에 의해 덮여지지 않은 모든 기판 영역을 실질적으로 덮는 크기가 될 수 있다.

커패시턴스가 크면 클수록 전기 용량성 디바이스가 제 1 커패시터판(132)을 포함하는 전도층과 도 2의 기생 커패시턴스(52)인 전류원 라인(26) 사이의 커패시턴스와 같은 기생 커패시턴스의 영향에 대해 더욱 더 강해진다. 기생 커패시턴스가 임계 전압에 미치는 영향은 다음 공식으로 표현할 수 있다.

$$\Delta V = (C_{42} + C_{52}) * V_{th} / (C_{32} + C_{42} + C_{52})$$

ΔV 는 기생 커패시턴스(42 및 52)인 커패시턴스(C_{42} 와 C_{52})가 제 1 전기 용량성 디바이스의 커패시턴스(C_{32})에 미치는 영향에 의해 초래된 V_{th} 의 변동값이다. 이 표현식은 한 쪽의 C_{32} 와 다른 쪽의 C_{42} 및 C_{52} 의 커패시턴스 비율은 기생 커패시턴스가 V_{th} 에 주는 충격을 최소화하기 위해 최대화되어야 한다는 것을 명확히 보여준다.

두 개의 전기 용량성 디바이스 중 하나가 다른 것보다 더 큰 커패시턴스를 가진 도 4에 도시된 적층형 커패시터 구조를 갖는 것이 바람직할 수 있다. 이것은 제 1 절연층(130)과 제 2 절연층(140)에 대해 유전체 유전율을 갖는 다른 재질을 선택함으로써 달성될 수 있다. 예를 들어, 제 1 절연층(130)은 비교적 높은 유전체 유전율을 갖는 SiN 층이 될 수 있으며, 제 2 절연층(140)은 비교적 낮은 유전체 유전율을 갖는 중합체층이 될 수 있으므로, 이에 따라 제 1 전기 용량성 디바이스에 제 2 전기 용량성 디바이스보다 더 높은 커패시턴스가 부여된다. 명백히, 회로 요구조건에 따라서, 층은 반전될 수 있으며, 제 2 전기 용량성 디바이스에 제 1 전기 용량성 디바이스보다 더 큰 커패시턴스가 부여될 수 있다.

제 1 전기 용량성 디바이스와 제 2 전기 용량성 디바이스에 대한 다른 커패시턴스는 제 1 커패시터판(132)과 제 2 커패시터판(133) 사이와 제 2 커패시터판(133)과 제 2 전도층(27) 사이의 다른 거리를 선택함으로써 각각 달성될 수 있다. 이것은 제 1 절연층(130)을 제 1 두께에, 제 2 절연층(140)을 제 2 두께로 증착함으로써 실현될 수 있다. 절연층(130 및 140)은 동일한 재질이거나 다른 재질로 구성될 수 있다.

제 2 전기 용량성 디바이스와 다른 커패시턴스를 가진 제 1 전기 용량성 디바이스를 달성하기 위해 제 1 절연층(130)과 제 2 절연층(140)에 대해 다른 두께를 사용하는 변형된 실시예가 도 5에 도시되었다. 제 1 절연층(130)은 두 가지의 다른 두께를 갖고 있는데, 제 1 커패시터판(132)과 제 2 커패시터판(133) 사이의 매우 얇은 제 1 두께, 그리고 박막 구성요소(120)와 스위치가 가능한 디바이스(12) 사이의 제 2 두께이다. 제 2 두께는 게이트와 스위치가 가능한 디바이스(12)와 같은 TFT 반도체 재질 사이의 절연체에 대한 일반적인 두께, 예를 들어 0.33 마이크로에 대응되도록 한다. 이것은 제 1 두께를 갖는 제 1 절연 재질 층을 우선적으로 증착하여 달성될 수 있으며, 박막 구성요소(122)의 구멍과 제 1 커패시터판(132)은 후속 단계에서 패터닝된다. 이러한 구조가 완성되면 절연층(130)을 증착시켜 박막 구성요소(122) 위의 층을 의도한 제 2 두께만큼 증가시킨다. 이 과정을 통해 제 1 절연층(130)의 얇은 부분이 제 1 전기 용량성 디바이스의 성능을 저하시키는 임의의 금속 형성부의 가장자리를 가로지를 필요가 없게 된다. 그러나, 픽셀의 금속 라인(미도시)의 충분한 계단형 덮기를 위해 더 두꺼운 절연층을 픽셀의 다른 부분에 적용하는 것이 유익할 수 있다.

제 1 커패시터판(132)과 제 2 커패시터판(133) 사이의 매우 얇은 절연체층을 사용하는 것의 주요 장점은 기관(120)의 큰 부분 위에 있는 제 1 커패시터판(132)과 제 2 커패시터판(133)의 영역을 확장할 필요 없이 제 1 전기 용량성 디바이스의 대형 커패시턴스를 달성할 수 있다는 것이다. 기관(120)을 통해 광을 방출하는 하층 발광(bottom-emission) 디스플레이 디바이스의 경우 특히 장점으로 작용한다. 커패시터판(132와 133)의 면적을 감소시켜 픽셀의 개구를 증가시키면, 하층 발광 디스플레이 디바이스에 대해 기관(120)을 통한 개선된 광-방출 수율을 얻게 된다.

이러한 점에서, 한 쪽의 제 1 및 제 2 전기 용량성 디바이스와 다른 쪽의 기생 커패시턴스 사이의 커패시턴스 비율을 더욱 개선하려면, 도 4와 5에 도시된 픽셀에서 기생 커패시턴스의 존재를 제한함이 유익하다는 것이 강조된다. 이것을 위해, 스위치가 가능한 디바이스(12)를 덮는 절연층(150)은 실질적으로 가능한 범위에서 가장 두껍게 만들어 제 1 전도층(28)과 스위치가 가능한 디바이스(12)의 박막 구성요소(122) 사이의 모든 중요한 기생 커패시턴스의 존재를 회피한다. 절연층(150)은 중합체층, 실리콘 질소화물 또는 실리콘 산화물층과 같은 모든 알려진 적절한 절연층이 될 수 있다. 같은 이유로써, 제 2 전도층(27)은 스위치가 가능한 디바이스(12)의 박막 구성요소(122) 위에 측면으로 연장되지 않아야 하는데, 왜냐하면, 이러한 연장으로 인해 제 2 전도층(27)과 스위치가 가능한 디바이스(12)의 박막 구성요소(122) 사이에 실질적인 기생 커패시턴스를 초래하기 때문이다.

도 6은 본 발명에 따른 다른 픽셀의 단면도를 도시하는데, 기생 커패시턴스의 충격을 제한하기 위한 추가적인 조치가 포함되어 있다. 디스플레이 디바이스(2)가 보이지 않는 도 6의 단면도는 제 1 절연층(130)을 통해 제 1 전기 용량성 디바이스의 제 1 커패시터판(132)으로부터 추가 스위치가 가능한 디바이스(14)까지 연장되는 전도 커플링(144), 즉 비아(via)를 갖고 있는 본 발명의 적층된 전기 용량성 디바이스를 도시한다. 도 2의 TFT(14)에 해당되는 추가 스위치가 가능한 디바이스(14)는 또한 기관(120)에 박막 구성요소(142)를 갖고 있다. 박막 구성요소(142)는 추가 스위치가 가능한 디바이스(14)의 게이트일 수 있다. 전도 커플링(144)은 제 1 전기 용량성 디바이스의 커패시턴스의 일부를 형성하지만, 제 1 절연층(130)을 통해 연장되므로 전도 커플링(144)은 제 1 전도층(28)에서 더 떨어져 있는 제 1 커패시터판(132)보다 제 1 전도층(28)에 더 큰 기생 커패시턴스를 초래한다.

이러한 원하지 않는 기생 커패시턴스를 줄이기 위해 전도 커플링(144)이 제 2 절연층(140)의 최소한 일부를 덮고 있는 전도층(160)에 의해 제 1 전도층(28)으로부터 차폐된다. 전도층(160)은 전도 커플링(162), 즉 비아를 통해 제 2 커패시터판(133)과 전도적으로 연결된다. 전도층(160)은 전도 재질과 같은 ITO를 사용하여 실현될 수 있는데, 특히 상부 발광 디스플레이 디바이스의 경우 다른 전도 재질도 사용될 수 있다고 해도 하층 발광 디바이스에 대하여 픽셀의 개구가 부정적인 영향을 받지 않는다는 장점이 있다.

전술한 실시예는 본 발명을 제한하기보다는 설명하기 위한 것이며, 당업자는 첨부된 청구항의 범위에서 벗어나지 않는 많은 대안적인 실시예를 설계할 수 있을 것이라는 점에 주목해야 한다. 청구항에서 괄호 안의 참조 표시가 청구항을 제한하는 것으로 해석되지 않는다. "포함한다"라는 단어는 청구항에 열거된 사항 이외의 요소 또는 단계의 존재를 배제하지 않는다. 단수로 표현된 요소는 복수로 존재함을 배제하지 않는다. 본 발명은 여러 독특한 요소를 포함하는 하드웨어를 통해 수행될 수 있다. 여러 수단을 열거하고 있는 디바이스 청구항에서 이들 수단은 하나의 동일한 항목의 하드웨어를 통해 구현될 수 있다. 특정 수단이 상호 다른 종속 청구항에 열거되었다는 사실만으로 이들 수단의 조합이 장점으로 사용될 수 있다는 것을 의미하지 않는다.

산업상 이용 가능성

본 발명은 개선된 디스플레이 디바이스를 제공하는 것으로서, 파괴적인 기생 커패시턴스에 대한 감소된 민감도를 가진 구동 트랜지스터의 전류 모드를 제어하기 위한 복수의 픽셀을 포함하는 디스플레이 디바이스에 관한 것이다.

(57) 청구의 범위

청구항 1.

기관(120)에 장착된 복수의 픽셀을 포함하는 디스플레이 디바이스로서,

각 픽셀은,

제 1 전도층(28)과 제 2 전도층(27) 사이에 연결된, 상기 제 2 전도층(27)은 기관(120)의 제 1 영역의 박막 구성요소(122)를 가진 스위치가 가능한 디바이스를 통해 전류원(26)에 연결되는, 전류 구동 디스플레이 요소(2)와,

제 1 전기 용량성 디바이스로서,

기관(120)의 제 2 영역에 있고, 박막 구성요소(122)에 전도적으로 연결되어 있는 제 1 커패시터판(132)과,

상기 제 1 커패시터판(132)을 덮고 있는 제 2 커패시터판(133)과,

상기 제 1 커패시터판(132)과 상기 제 2 커패시터판(133) 사이의 제 1 절연층(130)을 포함하는 제 1 전기 용량성 디바이스를 포함하고,

또한, 각 픽셀은,

상기 제 1 전기 용량성 디바이스의 상기 제 2 커패시터판(133)을 공유하는 상기 제 2 커패시터판(133)을 덮고 있는 제 3 커패시터판을 추가로 포함하는 제 2 전기 용량성 디바이스로서, 상기 제 3 커패시터판은 제 2 전도층(27)의 최소한 일부와, 제 2 커패시터판(133)과 제 3 커패시터판 사이의 제 2 절연층(140)을 포함하는, 제 2 전기 용량성 디바이스를 포함하는,

디스플레이 디바이스.

청구항 2.

제 1항에 있어서,

상기 제 1 절연층(130)은 상기 제 2 절연층(140)과 다른 두께인 디스플레이 디바이스.

청구항 3.

제 1항 또는 제 2항에 있어서,

상기 제 1 절연층(130;130')은 상기 제 1 캐패시터판(132) 위에 제 1 두께를 갖고, 상기 박막 구성요소(122) 위에 제 2 두께를 갖는데, 상기 제 1 두께는 제 2 두께보다 얇은 디스플레이 디바이스.

청구항 4.

제 1항, 제 2항 또는 제 3항 중 어느 한 항에 있어서,

제 1 절연층(130)이 제 1 재질을 포함하고 제 2 절연층(140)이 제 2 재질을 포함하는데, 제 1 및 제 2 재질일 다른 유전체 유전율을 갖는 디스플레이 디바이스.

청구항 5.

제 1항 내지 제 4항 중 어느 한 항에 있어서,

상기 제 1 캐패시터판(132)은 추가 스위치가 가능한 디바이스(14)에 대한 전도 커플링(144)을 갖고, 상기 전도 커플링(144)은 제 1 절연층(130)을 통해 연장되어 있으며, 각 픽셀은 상기 전도 커플링(144)과 상기 제 1 전도층(28) 사이의 커패시턴스를 감소하기 위해 상기 전도 커플링(144) 위에서 배향되는 제 2 절연층(140)의 일부를 덮는 전도층(160)을 포함하고 있는 디스플레이 디바이스.

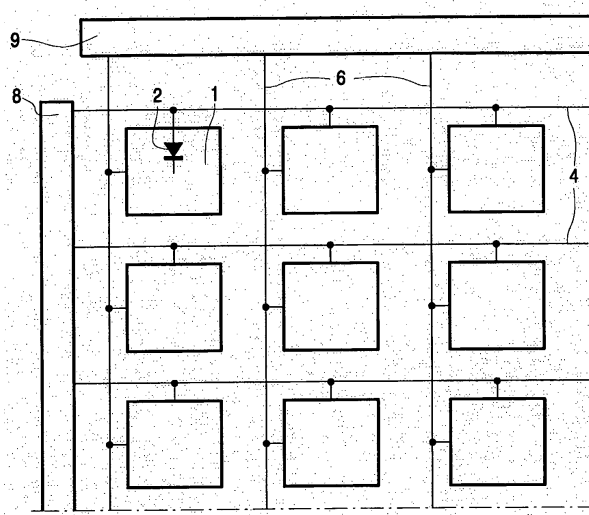
청구항 6.

제 1항 내지 제 5항 중 어느 한 항에 있어서,

상기 제 2 전도층(27)은 박막 구성요소 위에서 연장되지 않는, 디스플레이 디바이스.

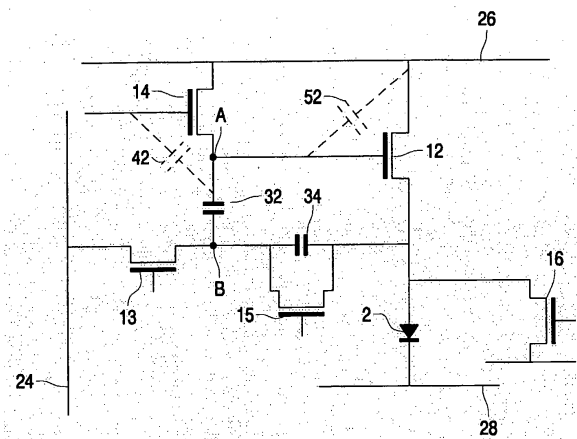
도면

도면1



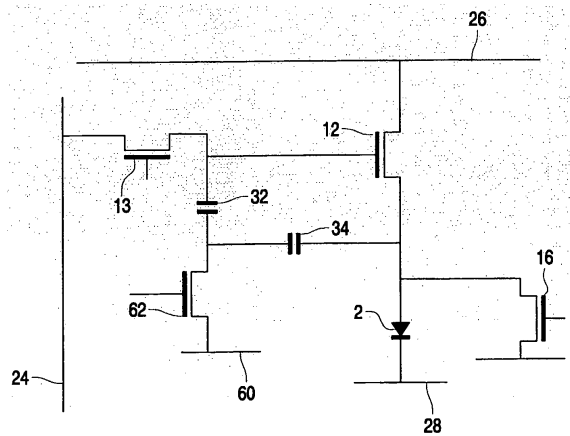
종래 기술

도면2



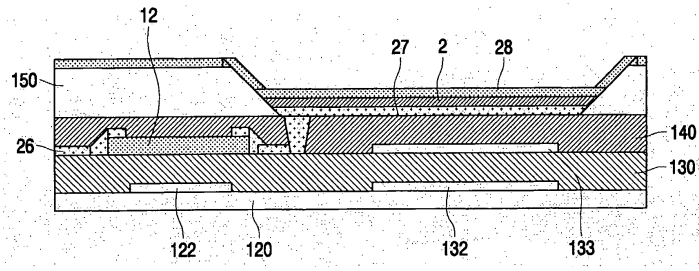
종래 기술

도면3

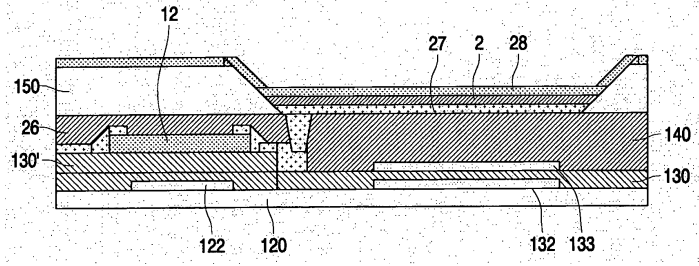


종래 기술

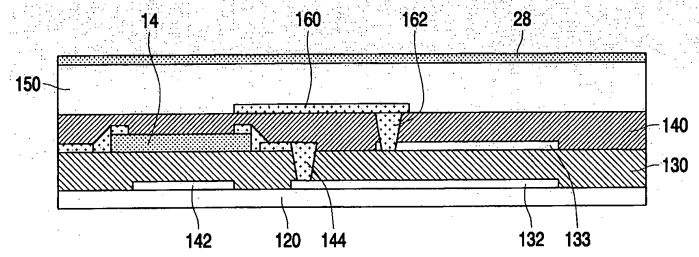
도면4



도면5



도면6



专利名称(译)	用于OLED显示器的有源矩阵像素驱动电路		
公开(公告)号	KR1020060015631A	公开(公告)日	2006-02-17
申请号	KR1020057023005	申请日	2004-05-28
[标]申请(专利权)人(译)	群创光电股份有限公司		
申请(专利权)人(译)	伊诺力士公司		
[标]发明人	FISH DAVID A 피시데이비드에이 DEANE STEVEN C 딘스티븐씨 HECTOR JASON R 헥터제이슨알 FRENCH IAN D 프렌치이안디		
发明人	피시,데이비드,에이. 딘,스티븐,씨. 헥터,제이슨,알. 프렌치,이안,디.		
IPC分类号	H05B33/12 G09G3/30 G09G3/32 H01L27/32		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0876 G09G2310/0251 G09G2320/029 G09G2320/043 H01L27/3265		
代理人(译)	Gimtaehong		
优先权	2003013041 2003-06-06 GB		
其他公开文献	KR100960908B1		
外部链接	Espacenet		

摘要(译)

显示装置具有多个像素，每个像素具有耦合在第一导电层（28）和第二导电层（27）之间的电流驱动显示元件（2），所述第二导电层（27）耦合到通过在基板（120）的第一区域上具有薄膜部件（122）的可切换装置（12）提供电流供应（26）。每个像素还具有第一电容器件，其具有在衬底（120）的第二区域上的第一电容器板（132），第一电容器板（120）导电耦合到薄膜部件，第二电容器板（133）以及在第一电容器板（132）和第二电容器板（133）之间的第一绝缘层（130）。堆叠在第一电容器件的顶部的是第二电容器件，其与第一电容器件共享第二电容器板（133），第二电容器件还包括第三电容器板，该第三电容器板包括第二导电层（27）的至少一部分，以及在第二电容器板和第三电容器板之间的第二绝缘层（140）。这种安排受益于第一电容器件和第二电容器件的较大电容，使其对抗寄生电容的影响更为强大。

©KIPO & WIPO 2007

