

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) . Int. Cl.⁸

H05B 33/10 (2006.01)

H05B 33/26 (2006.01)

(11) 공개번호

10-2006-0012549

(43) 공개일자

2006년02월08일

(21) 출원번호 10-2005-0123672(분할)

(22) 출원일자 2005년12월15일

(62) 원출원 특허10-2000-0077045

원출원일자 : 2000년12월15일

심사청구일자

2005년12월15일

(30) 우선권주장 JP-P-1999-00356732 1999년12월15일 일본(JP)

(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398(72) 발명자 니시 타케시
일본국 가나가와Ken 243-0036, 아쓰기시, 하세 398, 가부시키가이샤 한
도오따이 에네루기 켄큐쇼 내
이시마루 노리코
일본국 가나가와Ken 243-0036, 아쓰기시, 하세 398, 가부시키가이샤 한
도오따이 에네루기 켄큐쇼 내(74) 대리인 정상구
신현문
이범래

심사청구 : 있음

(54) E L 디스플레이 장치

요약

EL 장치에서 애노드의 평균 막 저항을 감소시킬 뿐만 아니라 고 해상도를 갖는 이미지를 디스플레이할 수 있는 EL 디스플레이 장치와, 그러한 EL 디스플레이 장치를 포함하는 전기 장치가 제공된다. 광-차폐(light-shielding) 금속막(109)은 픽셀들 사이의 캡들을 숨기도록 애노드(108)상에 제공된다. 그러므로, EL 장치에서 애노드(108)의 평균막 저항은 감소된다. 또한, 픽셀들 사이의 캡들로부터 광 누출은 방지될 수 있고, 고 해상도를 갖는 이미지 디스플레이를 유발한다.

대표도

도 1

색인어

EL 디스플레이, 평균막, 애노드, 픽셀

명세서

도면의 간단한 설명

도 1은 EL 디스플레이 장치의 픽셀부를 도시하는 도면.

도 2는 상기 EL 디스플레이 장치의 픽셀의 단면 구조를 도시하는 도면.

도 3a 및 3b는 EL 장치의 픽셀부의 평면도와 EL 디스플레이 장치의 픽셀부의 구조를 도시하는 도면.

도 4a 내지 4e는 능동 매트릭스 EL 디스플레이 장치의 제작 단계를 각각 도시하는 도면.

도 5a 내지 5d는 상기 능동 매트릭스 EL 디스플레이 장치의 제작 단계들을 각각 도시하는 도면.

도 6a 내지 6c는 능동 매트릭스 EL 디스플레이 장치의 제작 단계들을 각각 도시하는 도면.

도 7는 EL 모듈의 외양을 도시하는 투시도.

도 8는 상기 EL 디스플레이 장치의 회로 구성을 도시하는 도면.

도 9는 상기 EL 디스플레이 장치내의 상기 픽셀을 도시하는 확대도.

도 10는 상기 EL 디스플레이 장치의 샘플링 회로의 구조를 도시하는 도면.

도 11은 상기 EL 모듈의 외양과, 상기 EL 모듈의 단면 구조를 각각 도시하는 도면.

도 12는 상기 EL 디스플레이 장치의 픽셀의 구조를 도시하는 도면.

도 13a 내지 13f는 전기 장비의 특정 예들을 각각 도시하는 도면.

도 14a 내지 14b는 전기 장비의 특정 예들을 각각 도시하는 도면.

도 15는 상기 EL 디스플레이 장치의 픽셀부를 도시하는 도면.

* 도면의 주요 부분에 대한 설명 *

102 : 픽셀 201 : 스위칭 TFT

202 : 전류 제어 TFT 205 : n 채널 TFT

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기판상에 반도체 장치(반도체 박막을 이용하는 장치; 전형적으로 박막 트랜지스터)를 형성함으로써 제조된 EL(전자 발광) 디스플레이 장치에 관한 것이다. 본 발명은 또한 디스플레이부로서 이러한 EL 디스플레이 장치를 포함하는 전기 장비에 관한 것이다.

최근, 기판상에 박막 트랜지스터를 형성하는 기술(하기에 TFT로 언급됨)은 상당히 진보해 왔고, 능동 매트릭스 디스플레이 장치에 대한 그 응용이 발전해 왔다. 특히, 그 중에 폴리실리콘(polysilicon)막을 사용하는 TFT가 종래의 비정질 실리콘막을 사용하는 것보다 더 높은 전계 효과 이동도를 가지므로, 더 높은 속도로 동작할 수 있다. 이와 같이, 기판의 외부에 제공된 외부 구동 회로에 의해 종래에 실행되는 픽셀들에 대한 제어 기능은, 픽셀들과 같은 기판상에 제공되는 구동 회로에 의해 실행될 수 있다.

상술된 능동 매트릭스 디스플레이 장치는 다양한 회로 및/또는 장치들이 하나의 또는 동일한 기판상에 제작될 때, 제조 비용, 디스플레이 장치의 소형화, 생산량의 향상, 작업 처리량의 감소 등과 같은 다양한 장점을 제공한다. 이와 같이, 이러한 종류의 능동 매트릭스 디스플레이 장치는 매우 주목되어 왔다.

능동 매트릭스 EL 디스플레이 장치에서, TFT를 사용하는 스위칭 장치는(하기에 스위칭 TFT로 써 언급됨) 각각의 픽셀에 제공되고, 각각의 스위칭 TFT들은 전류를 제어하는(이후에 전류 제어 TFT로 언급됨) 대응 구동 장치가 구동하게 하고, 그에 의해 EL층(좀더 엄밀히 말하면, 발광층)이 광을 방사하게 한다. 전형적인 EL 디스플레이 장치는 예를 들어, 일본 특개평 제 10-189252호에서 기술된다.

EL 디스플레이 장치는 캐소드, EL층, 및 애노드(이후에, 이 부분들로 구성된 장치는 EL 장치로 언급됨)로 구성된 장치부를 포함한다. 장치부에서 애노드의 막저항이 증가할 때, 애노드의 전위의 평면내 분포는 전압 강하에 기인하여 동일하지 않게 되며, 이에 의해 EL 장치의 광 강도에서의 편이와 같은 단점을 초래한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 EL 장치에서 애노드의 막저항을 낮추는 것이 가능하거나 대응하는 장점을 나타내는 구조를 갖는 EL 디스플레이 장치를 제공하는 것이다. 또한, 본 발명의 또다른 목적은 디스플레이부로서 그러한 EL 디스플레이 장치를 사용하여 안정하게 동작하는 디스플레이부를 구비하는 전기 장비를 제공하는 것이다.

발명의 구성 및 작용

본 발명은 도 1을 참조하여 아래에 기술될 것이다. 도 1에서, 참조 번호 101는 절연 표면을 갖는 기판을 나타낸다. 기판(101)으로는, 예를 들어, 석영 기판과 같은 절연 기판이 사용될 수 있다. 대안으로, 유리 기판, 세라믹 기판, 결정화된 유리 기판, 금속 기판, 또는 플라스틱 기판과 같은 다양한 종류의 기판이 그 표면상에 절연막을 제공함으로써 사용될 수 있다.

기판(101)상에는, 픽셀들(102)이 형성된다. 단지 3개의 픽셀들이 도 1에서 도시되지만, 실제로는 더 많은 수의 픽셀들이 실제로 매트릭스로 배열된다. 또한, 3개의 픽셀들 중 하나만이 하기에 기술될 것이고, 다른 픽셀들은 설명된 것과 동일한 구조를 갖는다.

각각의 픽셀들(102)에, 2개의 TFT들이 형성된다; 그 중 하나는 스위칭 TFT(103)이고, 다른 하나는 전류 제어 TFT(104)이다. 스위칭 TFT(103)의 드레인은 전류 제어 TFT(104)의 게이트에 전기적으로 접속된다. 또한, 전류 제어 TFT(104)의 드레인은 픽셀 전극(105)에 전기적으로 접속된다(이러한 경우에, 또한 EL 장치의 캐소드로서 동작한다). 이와 같이, 픽셀(102)은 형성된다.

픽셀 전극뿐만 아니라 TFT의 다양한 배선은 낮은 저항을 갖는 금속으로 형성될 수 있다. 예를 들어, 알루미늄 합금은 이러한 목적으로 여기에 사용될 수 있다.

상기 픽셀 전극(105)의 제작 다음에, 알칼리 금속(alkaline metal) 또는 알칼리 토금속(alkaline-earth metal)을 함유하는 절연 화합물(하기에 알칼리 화합물로 언급됨)(106)이 형성된다. 화합물(106)은 몇 나노미터 만큼 얇은 두께를 가지기 때문에, 알칼리 화합물(106)의 개요는 도 1에서 점선으로 지시되는 것을 주목해야 한다.

상술된 알칼리 화합물(106)로서, 리튬 불화물(LiF), 리튬 산화물(Li_2O), 바륨 불화물(BaF_2), 바륨 산화물(BaO), 칼슘 불화물(CaF_2), 칼슘 산화물(CaO), 스트론튬 산화물(SrO), 또는 세슘(Cs_2O)이 사용될 수 있다. 이것은 절연 재료이기 때문에, 화합물(106)이 층으로 형성될 때조차 픽셀 전극들간의 전기적 단락 회로가 발생하지 않는다.

캐소드로서 MgAg 전극과 같은 알려져 있는 도전 재료를 사용하는 것은 물론 가능하다. 그러나, 그러한 경우에, 픽셀 전극들간의 전기 단락 회로를 회피하도록, 캐소드 자체는 임의의 모양으로 선택적으로 형성 또는 패턴화되어야 한다.

알칼리 화합물(106)이 형성되면, EL층(107)(전자 발광층)은 화합물(106)상에 형성된다. 임의의 알려져 있는 재료 및/또는 구조는 EL층(107)에 사용될 수 있다. 특히, EL 층의 구조에 대해, 캐리어 재결합을 위한 위치를 제공하는 발광층이 EL 층

에 포함될 수 있다. 대안적으로, 전자 주입층, 전자 수송층, 정공 수송층, 전자 블로킹 층, 정공 장치층, 또는 정공 주입층은 또한 EL 층을 형성하도록 적층될 수 있다. 본 출원서에서, 캐리어들의 주입, 수송 또는 재결합을 실현하는 모든 그러한 층은 집합적으로 EL 층으로서 참조된다.

EL 층(107)으로 사용될 유기 재료로서, 저분자형 유기 재료 또는 폴리머형(고분자형) 유기 재료가 사용될 수 있다. 그러나, 스판 코팅 방법, 프린팅 방법 등과 같이, 쉽게 실행될 수 있는 막 형성 방법에 의해 형성될 수 있는 폴리머형 유기 재료를 사용하는 것이 바람직하다.

도 1에 도시된 구조는, 적색, 청색, 녹색, 백색, 황색, 오렌지색, 자주색 등과 같은, 단색 광을 방사하는 EL층이 단색 이미지를 디스플레이를 위해 사용된 단색 발광형의 예이다. 상술된 바와 같은 임의의 단색광을 방사하는 EL 층은 알려져 있는 재료로 형성될 수 있다.

EL 층(107)상에, 애노드(108)로 투명 도전막이 형성될 수 있다. 투명 도전막으로서, 인듐 산화물과 주석 산화물의 화합물(ITO라 부름), 인듐 산화물과 아연 산화물, 주석 산화물 또는 주석 산화물(ZnO)의 화합물이 사용될 수 있다.

본 출원서에서, 금속막(109) 및 애노드(108)가 적층된 영역에 대한 막 저항과 애노드만의 막 저항의 평균을 계산하여 얻어진 전체 애노드의 막 저항(바꾸어 말하면, 애노드에 전기적으로 접속된 전체 부분의 막 저항)은 애노드의 평균 막 저항으로 언급될 것이다. 애노드상에 금속막(109)을 제공함으로써, 애노드내의 평균 막 저항이 감소될 수 있다. 또한, 금속막(109)은 또한 광차폐막으로 기능한다.

금속막(109)용 증착 기술로서, 기상 증착 방법(vapor deposition method)은 증착 공정동안 애노드가 받을 수 있는 임의의 가능한 손상의 관점에서 바람직하다.

또한, 금속막(109)을 제공할 때, 관찰자의 관찰 방향(즉, 카운터 전극에 대한 수직 방향으로부터)으로부터 관찰하였을 때 인접 픽셀 전극들간의 캡(111)을 숨기도록 하는 것이 바람직하다. 이것은 그러한 캡들이 비발광 영역이라는 사실 및 전계 분포가 픽셀 전극의 단부 부근에서 복잡하게 되므로, 원하는 광 강도 및 원하는 색도로 발광이 실현될 수 없다는 사실 때문이다.

금속막이 상술된 바와 같이 형성된 후에, 제 2 패시베이션막(112)으로서 절연막이 제공된다. 패시베이션막(112)으로서, 실리콘 질화물막 또는 실리콘 산화질화물막(SiO_xN_y로 나타냄)은 바람직하게 사용된다. 패시베이션막(112)으로서 실리콘 산화물막을 사용하는 것이 가능하지만, 가능한 적게 산소를 포함하는 절연막을 사용하는 것이 바람직하다.

이 단계까지 제작된 기판은 본 출원서에서 능동 매트릭스 기판이라 부른다. 보다 구체적으로, TFT들, TFT들에 전기적으로 각각 접속된 픽셀 전극들이 형성된 EL 층, 애노드, 및 금속막으로 각각 구성되며 캐소드로서 대응 픽셀 전극을 이용하는 EL 장치뿐만 아니라 기판은 능동 매트릭스 기판이라 부른다.

또한, 카운터 기판(110)은 EL 장치가 그 사이에 삽입 및 밀봉(seal)되도록 능동 매트릭스 기판에 부착된다. 여기에 도시되지 않았지만, 카운터 기판(110)은 밀봉제(seal agent)에 의해 능동 매트릭스 기판에 부착되어, 참조번호 113에 지시된 공간이 폐쇄 공간으로 된다.

카운터 기판(110)으로서, 광이 그것을 통과하는 것을 차단하지 않도록 투명 기판을 사용하는 것이 필요하다. 예를 들어, 유리 기판, 석영 기판 또는 플라스틱 기판이 바람직하게 사용된다.

폐쇄 공간(113)은 불활성 가스(노블 가스 또는 질소 가스) 또는 불활성 액체로 채워질 수 있다. 대안으로, 폐쇄 공간(113)은 기판의 전체 표면에 부착하도록 투명 첨가제 또는 수지로 채워질 수 있다. 또한, 폐쇄 공간(113)에 바륨 산화물 등과 같은 건조제를 배치하는 것이 바람직하다. EL층(107)이 물에 매우 상하기 쉽기 때문에, 가능한 많이 폐쇄 공간(113)에 물이 유입되는 것을 방지하는 것이 바람직하다.

본 발명에 따른 상술된 구조를 갖는 EL 디스플레이 장치에서, EL 디스플레이로부터 방사된 광은 관찰자의 눈에 도달되도록 방사될 카운터 기판을 통과한다. 따라서, 관찰자는 카운터 기판을 통해 이미지를 인식할 수 있다. 이러한 상황에서, 본 발명에 따른 EL 디스플레이 장치의 특징 중 하나는, 인접한 픽셀 전극(105)간의 캡(111)이 금속막(109)에 의해 숨겨져도록 EL 장치내에 포함된 애노드(108)상에 낮은 전기 저항을 갖는 금속막(109)이 배치되도록 하는 것이다. 이것은 픽셀 전극(1

05)간의 캡(111)으로부터 광 누설을 방지할 뿐만 아니라 EL 장치내의 애노드의 평균 막 저항을 감소시킨다. 이와 같이, 이미지는 픽셀간의 명확한 윤곽을 구비하여 디스플레이될 수 있다.

이와 같이, 본 발명의 실시에 따라, 픽셀 전극간의 명확한 윤곽을 갖는 이미지를 디스플레이할 수 있을 뿐만 아니라 EL 장치부내의 애노드의 감소된 평균막 저항을 가질수 있는 EL 디스플레이 장치가 제공될 수 있다. 또한, 디스플레이부로서 그러한 EL 디스플레이 장치를 사용하는 전기 장비가 또한 제공될 수 있다.

본 발명의 다양한 실시예중 하나가 도 2, 3a 및 3b를 참조하여 기술될 것이다. 도 2는 본 발명에 따른 EL 디스플레이 장치의 픽셀부의 단면도를 도시한다. 도 3a는 픽셀부의 평면도를 도시하고, 도 3b는 회로 구성을 도시한다. 픽셀부(이미지 디스플레이부)는 실제로 매트릭스로 다수의 픽셀들을 배열하여 구성된다. 도 2는 A-A'라인을 따라 도 a를 잘라서 얻어지는 단면도와 대응한다. 따라서, 동일한 참조번호들은 도면을 볼 때 편리하도록 일반적으로 도 2, 3a, 및 3b 중에서 사용된다. 또한, 도 3a의 평면도에 도시된 2개의 픽셀들은 서로 동일한 구조를 갖는다.

도 2에서, 참조 번호 11는 기판을 나타내고; 12는 언더코트(undercoat)가 되는 절연막(하기에, 기저막으로 참조됨)을 나타낸다. 유리 기판, 유리 세라믹 기판, 석영 기판, 실리콘 기판, 세라믹 기판, 금속 기판 또는 플라스틱 기판(또한 플라스틱 막을 포함)은 기판 11로 사용될 수 있다.

기저막(12)은 이동가능한 이온들을 함유한 기판 및 전도 기판이 기판(11)으로서 사용되는 경우에 특히 효과적이다. 석영 기판이 기판(11)으로 사용될 때, 기저막(12)을 구비하는 것은 필요하지 않다. 기저막(12)으로서, 실리콘을 포함하는 절연막이 사용될 수 있다. 본 출원서에서, "실리콘 포함 절연막"의 용어는 소정의 비율로 실리콘, 산소 또는 질소를 포함하는 절연막, 특히, 실리콘 산화물막, 실리콘 질화물막 또는 실리콘 산화질화물(oxynitride)막(SiO_xN_y로 나타냄)을 지칭한다.

여기에서, 두개의 TFT들이 픽셀내에 형성된다. 참조 번호(201)는 스위칭 소자로서 작용하는 TFT(이후에 스위칭 TFT로 언급됨)로 지정되고; 202는 EL 소자에 흐르는 전류의 양을 제어하는 TFT(이후에, 전류 제어 TFT로 언급됨)로 지정된다. 두가지 모두는 n 채널 TFT의 외부에 형성된다.

n 채널형 TFT는 p 채널형 TFT의 것보다 더 큰 전계 이동도를 가지므로, p 채널형 TFT와 비교하여, 더 높은 속도로 동작되고, 더 많은 전류의 양이 흐를 수 있다. 더 작은 크기의 n 채널형 TFT는 p 채널형 TFT과 같이 그것을 통해 동일한 전류의 양을 흐르게 할 수 있다. 따라서, 디스플레이부의 더 효과적인 영역이 획득될 수 있기 때문에, 전류제어 TFT로서 n 채널형 TFT를 사용하는 것이 바람직하다.

p 채널형 TFT에서, 핫 캐리어 주입(hot carrier injection)은 대부분 무시될 수 있다. 또한, p 채널형 TFT의 오프 전류 값은 낮다. 이러한 장점에 기인하여, p 채널형 TFT는 스위칭 TFT 또는 전류 제어 TFT로서 몇몇 공보에서 사용되어 왔다. 그러나, 본 발명에 따라, 핫 캐리어 주입 및 전류 제어 값에 관한 단점은 이동된 위치에 LDD 영역들을 제공하여 n 채널형 TFT에 대해서도 회복된다는 것이다. 이것은 모든 픽셀에 사용될 TFT들이 n 채널형 TFT들인 본 발명의 또다른 특징이 된다.

그러나, 본 발명에서, 스위칭 TFT 및 전류 제어 TFT가 n 채널형 TFT인 것에 제한되지 않는 것을 주목해야 한다. 대안적으로, p 채널형 TFT는 스위칭 TFT 또는 전류 제어 TFT 중 하나로, 또는 그것들 두가지 모두로 사용될 수 있다.

스위칭 TFT(201)은; 소스 영역(13), 드레인 영역(14), LDD 영역 15a 내지 15d, 고농도 불순물 영역(16), 채널 형성 영역 17a 및 17b를 포함하는 능동층을 구비하고; 게이트 절연막(18); 게이트 전극 19a 및 19b; 제 1 충간 절연막(20); 소스 배선(21); 및 드레인 배선(22)을 구비하여 형성된다.

또한, 도 3a 및 3b에서 도시된 바와 같이, 게이트 전극(19a, 19b)은 낮은 전기 저항을 갖는 다른 재료로 만든 게이트 배선(211)에 의해 서로 전기적으로 접속되고, 그 때문에, 이중 게이트 구조로 된다. 이중 게이트 구조뿐만 아니라, 3중 게이트 구조와 같은 임의의 다른 다중 게이트 구조(즉, 서로 직렬로 접속된 2개이상의 채널형성 영역을 갖는 능동층을 포함하는 구조)가 사용될 수 있다는 것이 주목되어야 한다. 다중 게이트 구조는 오프 전류값에 감소를 실현하는데 매우 효과적이다. 본 발명에서, 낮은 오프 전류값을 갖는 스위칭 장치는 다중 게이트 구조를 갖는 픽셀에서 스위칭 장치(201)를 제공하여 실현될 수 있다.

능동층은 결정구조를 포함하는 반도체막의 외부에 형성된다. 즉, 단일 결정 반도체막이 사용될 수 있고, 다결정 반도체막 또는 미정질 반도체막이 사용될 수 있다. 게이트 절연층(18)은 실리콘을 포함하는 절연막의 외부에 형성될 수 있다. 또한, 임의의 전도막들이 게이트 전극, 소스 배선, 또는 드레인 배선으로 사용될 수 있다.

또한, 스위칭 TFT(201)에서, LDD 영역(15 내지 15d)은 그 사이에 삽입된 게이트 절연막(18)과 게이트 전극(19a, 19b)이 중첩하지 않는 위치에서 제공된다. 이러한 종류의 구조는 오프 전류값을 감소시키는데 매우 효과적이다.

사용되고 있는 2개 이상의 게이트 전극들을 갖는 다중 게이트 구조가 제공된 경우에, 채널 형성영역들 사이에 삽입된 고농도 불순물 영역은 오프 전류를 감소시키는데 효과적이다.

상술된 바와 같이, 픽셀의 스위칭 소자(201)로서 다중 게이트 구조의 TFT를 사용함으로써, 충분히 오프 전류값을 갖는 스위칭 소자를 실현하는 것이 가능하다. 이와 같이, 일본 특개평 제 10-189252호의 도 2에서 도시된 바와 같이 콘덴서가 제공되지 않으면, 전류 제어 TFT의 게이트 전압은 충분한 시간(선택점과 다음 선택점사이의 간격)동안 유지될 수 있다.

다음에, 전류 제어 TFT(202)는 소스 영역(31), 드레인 영역(32), LDD 영역(33) 및 채널 형성영역을 포함하는 능동층, 게이트 절연막(18), 게이트 전극(35), 제 1 층간 절연막(20), 소스 배선(36), 및 드레인 배선(37)을 포함하여 형성된다. 게이트 전극(35)은 단일 구조이지만, 다중 게이트 구조가 채용될 수도 있다.

도 2에서 도시된 바와 같이, 스위칭 TFT(201)의 드레인은 전류 제어 TFT(202)의 게이트에 접속된다. 특히, 전류 제어 TFT(202)의 게이트 전극(35)은 드레인 배선(접속 배선으로 언급될 수 있음)(22)을 통해 스위칭 TFT(201)의 드레인 영역(14)에 전기적으로 접속된다. 소스 배선(36)은 전류 공급선(212)(도 3a)에 접속된다.

EL 소자의 열화의 관점에서, 전류 제어 TFT(202)가 EL 소자(203)에 주입된 전류의 양을 제어하는 소자이지만, 많은 양의 전류를 공급하는 것은 바람직하지 않다. 이와 같이, 과도한 전류가 전류 제어 TFT(202)에 흐르는 것을 방지하도록, 채널 길이(L)를 오히려 길게 하도록 설계하는 것이 바람직하다. 바람직하게는, 전류가 픽셀당 0.5 내지 2 μ m(양호하게는 1 내지 1.5 μ m)이 되도록 설계된다.

상기 관점에서, 도 9에 도시된 바와 같이, 스위칭 TFT의 채널 길이가 $L1(L1 = L1a + L1b)$ 일 때, 채널 폭은 $W1$ 이고, 전류 제어 TFT의 채널 길이는 $L2$ 이며, 채널 폭은 $W2$ 이고, $W1$ 이 0.1 내지 5 μ m(전형적으로 0.5 내지 2 μ m)으로 만들어지고, $W2$ 는 0.5 내지 10 μ m(전형적으로 2 내지 5 μ m)로 만들어지는 것이 바람직하다. 그러나 본 발명은 상기 참조값에 제한되지 않는다.

또한, 스위칭 TFT(201)내에 형성된 LDD 영역의 길이가 0.5 내지 3.5 μ m, 전형적으로 2 내지 2.5 μ m로 만들어진다.

도 2에서 도시된 바와 같은 EL 디스플레이 장치에 있어서, LDD 영역(33)은 전류 제어 TFT(202)에서 드레인 영역(32)과 채널 형성 영역(34)사이에 제공된다. 도시된 구조에도 불구하고, LDD 영역(33)은 게이트 전극이 그 사이에 삽입된 게이트 절연막(18)과 중첩하는 영역뿐만 아니라, 게이트 전극(35)과 중첩하지 않는 영역을 포함하고, LDD 영역(33)은 게이트 전극(35)이 그 사이에 삽입된 게이트 절연막(18)과 중첩하는 영역만으로 구성되는 또다른 구조를 형성하는 것이 가능하다.

전류 제어 TFT(202)는 EL 소자(203)가 발광하게 하도록 전류를 공급하고, 동시에 계조를 디스플레이 할 수 있도록 공급 양을 조절한다. 이와 같이, 전류가 공급될지라도 열화가 발생하지 않도록, 핫 캐리어 주입에 기인한 열화에 대한 대응책을 갖는 것이 필요하다.

핫 캐리어 주입에 기인한 열화에 대해, 게이트 전극을 중첩하는 LDD 영역은 상당히 효과적이라고 알려져 있다. 따라서, LDD 영역이 게이트 전극(35)과 그 사이에 삽입된 게이트 절연막(18)을 중첩하는 영역내에 제공되는 구조는 핫 캐리어 주입을 억제하는데 적절하다. 그러나, 본 발명의 도시된 구조에서, 게이트 전극과 중첩하지 않는 또다른 LDD 영역은 오프 전류에 관한 단점의 대응책으로서 또한 제공된다. 그러나, 게이트 전극과 중첩하는 LDD 영역은 반드시 제공되도록 요구되는 것은 아니다.

또한, 게이트 전극밑에 LDD 영역의 중첩길이가 너무 길면, 온 전류가 감소되고, 반면에, 중첩 길이가 너무 짧으면, 핫 캐리어 방지 효과가 약해진다.

이와 같이, 본 발명의 실시예에서, 도 2에 도시된 바와 같이, 게이트 전극과 중첩하는 LDD 영역은 상술된 사실의 관점에서 결정된 중첩 길이로 제공된다. 또한, 게이트 전극과 중첩하는 LDD 영역을 제공하여 생성된 커파시턴스는 저장 커파시턴스로 사용된다.

상기 구조에서, 기생 커파시티는 게이트 전극 및 LDD 영역이 서로 중첩하는 영역에서 형성된다. 이와 같이, 소스 영역(31)과 채널 형성 영역(34)간의 그러한 영역을 제공하지 않는 것이 바람직하다. 전류 제어 TFT에서, 캐리어(여기에서, 전자)의 흐름의 방향이 항상 동일하기 때문에, LDD 영역이 드레인 영역측에서 제공되는 것만으로 충분하다.

흐를 수 있는 전류의 양을 증가시키는 관점으로부터, 큰 막두께(양호하게는 50 내지 100 nm의 범위에서, 더 바람직하게는 60 내지 80nm의 범위내에)를 갖도록 전류 제어 TFT(202)에서 능동층(특히, 채널 형성 영역)을 제공하는 것이 또한 효과적이다. 반대로, 스위칭 TFT(201)에 관해, 오프 전류값을 억제하기 위해 작은 막두께(양호하게는 20 내지 50nm의 범위에서, 더 양호하게는 25 내지 40nm의 범위에서)를 갖도록 스위칭 TFT(201)에서 능동층(특히, 채널 형성 영역)을 제공하는 것이 또한 효과적이다.

그 다음에, 참조 번호 41는 제 1 패시베이션막을 나타낸다. 제 1 패시베이션막 41의 막 두께는 10nm 내지 1 μ m(양호하게는, 200 내지 500nm)의 범위에서 설정될 수 있다. 패시베이션막(41)의 재료로써, 실리콘을 포함하는 절연막이 사용될 수 있다(특히, 실리콘 산화질화물 막 또는 실리콘 질화물 막이 바람직하다).

제 1 패시베이션막(41)을 통해, 제 2 층간 절연막(42)(또한 평탄화 막으로 언급됨)이 각각의 TFT들을 덮도록 형성되어, TFT들에 의해 삽입된 단계가 평탄화된다. 제 2 층간 절연막(42)으로서, 유기 수지막이 사용되는 것이 바람직하다. 예를 들어, 폴리아미드막, 폴리아미드막, 아크릴막, BCB(벤조사이클로뷰틴) 등이 사용될 수 있다. 충분한 평탄화가 실현될 만큼 무기막을 사용하는 것이 가능하다.

제 2 층간 절연막(42)을 갖는, TFT들에 의해 기인하는, 단계의 평탄화는 매우 중요하다. 나중에 형성될 EL층이 매우 얇기 때문에, 임의의 단자는 발광하기에 충분치 않게 된다. 따라서, 가능한 평평하게 표면상에 EL층을 형성하도록 픽셀 전극을 형성하기 전에 평탄화를 실행하는 것이 바람직하다.

참조 번호 43는 광 차폐 특성을 갖는 도전막으로 만든 픽셀 전극(EL 장치의 캐소드에 대응함)을 나타낸다. 제 2 층간 절연막(42) 및 제 1 패시베이션막(41)을 통해 접촉 정공(개구 정공)을 형성한 후에, 픽셀 전극(43)은 형성된 개구 정공부에서 전류 제어 TFT(202)의 드레인 배선(37)에 접속되어 형성된다.

픽셀 전극(43)에서, 5 내지 10nm의 범위의 두께를 갖는 리튬 불화물막은 증착방법에 의해 알칼리 화합물(44)로 형성된다. 리튬 불화물막은 절연막이므로, 리튬 불화물막이 너무 두꺼우면 EL층쪽으로 흐를 수 없다. 반대 문제는 리튬 불화물막이 층 모양이 아니라 섬모양으로 형성될 때도 발생하지 않을 것이다.

그 후에 EL층(45)은 형성된다. 본 발명의 실시예에서, 폴리머형 유기 재료는 스판 코팅 방법으로 형성된다. 폴리머형 재료로서, 임의의 알려져 있는 재료가 사용될 수 있다. 또한, 본 발명의 실시예에서, 발광층을 구비한 단일층은 EL층(45)로 사용된다. 대안적으로, 발광층이 정공 수송층 및/또는 전자 수송층과 결합되는 적층구조를 가지고, 더 높은 발광 효율이 획득될 수 있다. 폴리머형 유기 재료가 적층될 때, 증착 방법에 의해 형성된 저분자 유기 화합물을 그것과 결합하는 것이 바람직하다는 것을 주목해야 한다. 그러므로, 그 이유는 다음과 같다. 스판 코팅 방법에서, EL층을 형성하는 유기 재료는 유기 용매에 혼합되어, 하부 표면에 적용된다. 따라서, 임의의 유기 재료는, 하부층에 존재하면, 적용된 유기 용매로 다시 용해될 수 있다.

본 실시예에서 사용될 수 있는 통상적인 폴리머형 유기 재료는 폴리파라페닐렌비닐렌(PPV)형 재료, 폴리비닐카바졸(PVK)형 재료, 폴리플루오렌형 재료, 등과 같은 다양한 고분자 재료를 포함한다. 전자 수송층, 발광층, 정공 수송층, 또는 정공 주입층이 상술된 폴리머형 유기 재료로 형성될 때, 이러한 재료들은 폴리머 프리커서(precursor) 조건에 적용될 수 있고, 계획된(intended) 폴리머형 유기 재료에 변환되도록 진공에서 가열(구워진)될 수 있다.

더 자세하게, 발광층을 형성하기 위해, 시아노폴리페닐렌비닐렌(cyanopolyphenylenevinylene)은 적색 발광층으로 사용될 수 있고, 폴리페닐렌비닐렌은 녹색 발광층으로 사용될 수 있고, 폴리페닐렌비닐렌 또는 폴리알키페닐렌은 청색 발광층으로 사용될 수 있다. 상기 층의 막두께는 30 내지 150nm의 범위로 설정될 수 있다(양호하게는, 40 내지 100nm의 범위에

서). 또한, 정공 수송층을 형성하기 위해, 폴리머 프리커서인 폴리테트라하이드로시오페닐페닐렌(polytetrahydrothiophenylphenylene)이 사용되고, 열처리에 의해 폴리페닐렌비닐렌으로 이동된다. 상기 층의 막두께는 30 내지 100의 범위로 설정될 수 있다(양호하게는 40 내지 80의 범위이내).

폴리머형 유기 재료를 갖는 백색 발광을 실현하는 것이 또한 가능하다. 상기 목적을 위해, 일본 특개평 제 8-96959, 7-220871, 9-63770, 등에 기술된 기술이 사용될 수 있다. 폴리머형 유기 재료가 형광 안료를 주재료가 용해되고 있는 용액으로 첨가하여 색상 조절을 쉽게 실현할 수 있기 때문에, 상기 재료는 백색광 방사를 획득하는데 특히 효과적이다.

상술된 재료는 본 발명에서 EL층으로 사용될 수 있는 예에 불과하다는 것을 주목되어야 한다. 그러한 재료들에 대해 본 발명은 제한되지 않는다.

또한, EL 장치를 형성하는 폴리머형 유기 재료를 사용하기 위해 상기에 기술되지만, 저분자형 유기 재료는 상기 목적에 사용될 수 있다. 또한, EL층은 무기 재료로 만들어질 수 있다.

EL층(45)을 형성할 때, 가능한 적은 양의 수분을 포함하는 건조한 불활성 가스 분위기에서 형성 공정을 실행하는 것이 바람직하다. EL층이 수분 또는 산소의 존재에 기인하여 쉽게 열화하기 때문에, 이러한 요소들은 EL층을 형성할 때, 가능한 완전하게 제거되어야 한다. 예를 들어, 건조한 질소 분위기, 건조한 아르곤 분위기 등이 바람직하다. 따라서, 불활성 가스로 채워진 깨끗한 부스(booth)에서 가열 공정에 사용될 챔버 또는 적용 공정에 사용될 챔버를 조정하여, 그러한 분위기에서 공정을 실행하는 것이 바람직하다.

상술된 바와 같이 EL층(45)의 형성에 따라, 투명 도전막으로 만든 애노드(46)가 형성된다. 본 발명의 실시예에서, 인듐 산화물 및 주석 산화물의 화합물로 만든 도전막이 애노드(46)로서 사용된다. 작은 약의 갈륨은 또한 거기에 첨가될 수 있다.

그 후에, 광 차폐 금속막(47; 47a, 47b)은 애노드상에 형성된다. 본 발명의 실시예에서, 금속막(47)은 광 셀 전극(43)과 인접 광 셀 전극간의 갭을 숨기도록 배치되고, 광 차폐막으로 작용하게 한다. 본 실시예에서, 금속막(47)의 막저항은 애노드(46)의 막 저항(또한, 시트 저항으로 언급됨)보다 더 낮게 되도록 설정된다.

애노드 재료에 금속막(47)을 밀착하는 것은 또한 중요하다. 개선된 밀착을 획득하도록 적절한 금속 재료를 사용하는 것이 중요하지만, 애노드의 막 증착을 위한 조건(본 발명의 실시예에서, 인듐 산화물 및 주석 산화물의 혼합물로 만든 도전막)과 막 증착후에 실행될 열처리를 위한 조건을 최적화하는데 또한 효과적이다.

금속막(47)으로서, 낮은 고유 저항(또한 특수 저항으로 언급됨)을 사용하는 것이 바람직하다. 예를 들어, 티타늄(Ti), 알루미늄(Al), 탄탈륨(Ta), 텅스텐(W), 크롬(Cr), 구리(Cu), 은(Ag) 등은 낮은 저항을 갖는 금속 재료로 사용될 수 있다.

또한, 본 발명의 실시예에서, 애노드(46)에 직접 형성될, 금속막(47)은 기상 증착법으로 바람직하게 형성된다. 그것의 막 두께는 30 내지 100nm의 범위로(바람직하게는 40 내지 80nm의 범위) 설정될 수 있다.

상술된 바와 같이, 금속막(47)의 형성후에, 제 2 패시베이션막(48)이 형성된다. 본 발명의 실시예에서, 10nm 내지 1μm의 범위(바람직하게는 200 내지 500nm의 범위)에 두께를 갖는 실리콘 질화물막은 제 2 패시베이션막(48)으로 사용된다.

카운터 기판(49)은 이와 같이 완성된 능동 매트릭스 기판과 마주보도록 구비된다. 본 발명의 실시예에서, 유리 기판은 카운터 기판(49)으로 사용된다.

능동 매트릭스 기판 및 카운터 기판(49)은 폐쇄 공간(50)을 형성하도록 밀봉제(도시되지 않음)에 의해 서로 부착된다. 본 발명의 실시예에서, 폐쇄 공간(50)은 아르곤 가스로 채워진다. 상술된 바와 같이, 폐쇄 공간(50)에서 건조 약품을 배치하는 것이 또한 가능하다.

본 발명의 실시예에서, EL 디스플레이 장치는 도 2에 도시된 구조를 갖는 광 셀로 구성된 광 셀부를 가진다. 또한, 그 기능에 기초하여 다른 구조를 갖는 두 종류의 TFT들은 광 셀내에 배치된다. 특히, 충분하게 낮은 오프 전류값을 갖는, 스위칭 TFT와 핫 캐리어의 주입에 대해 저항할 수 있는, 전류 제어 TFT는 동일한 광 셀내에 형성되어, 그 때문에 높은 신뢰도를 갖는 EL 디스플레이 장치가 되고, EL 장치의 저항을 감소시킬 수 있다.

실시예 1

본 발명의 실시예는 도 4a 내지 6c를 사용하여 설명된다. 꽈셀부를 동시에 제조하는 방법, 및 꽈셀부의 주변에 형성된 구동 회로부의 TFT들이 여기에서 설명된다. 설명을 간단히 하기 위해, CMOS 회로는 구동 회로용 기본 회로로 도시되는 것을 주목하라.

먼저, 도 4a에 도시된 바와 같이, 기저막(301)은 유리 기판(300)상에 300nm 두께를 구비하여 형성된다. 실리콘 산화질화물막은 실시예 1에서 기저막(301)으로서 적층된다. 유리 기판(300)과 접촉하는 막에서 질소 농도를 10과 25 wt%사이로 설정하는 것이 바람직하다.

또한, 일부의 기저막(301)으로서, 도 2에 도시된 제 1 패시베이션막(41)과 유사한 재료로 만든 절연막을 구비하는 것이 효과적이다. 많은 전류가 흐르기 때문에, 전류 제어 TFT는 열을 발생하기 쉽고, 가능한 가까운 장소에 열방사 효과를 갖는 절연막을 구비하는 것이 효과적이다.

다음에, 비정질 실리콘막(도면에서 도시되지 않음)은 알려져 있는 증착법에 의해 기저막(301)상에 50nm의 두께로 형성된다. 비정질 실리콘막을 이렇게 제한하는 것은 불필요하며, 또 다른 막은 비정질 구조(미정질 반도체 막)를 포함하는 반도체 막을 구비하여 형성될 수 있다는 것을 주목하라. 또한, 비정질 실리콘 게르마늄막과 같은, 비정질 구조를 포함하는 화합물 반도체막이 또한 사용될 수 있다. 또한, 막 두께는 20 내지 100nm로 만들어질 수 있다.

비정질 실리콘막은 알려져 있는 방법으로 결정화되어, 결정 실리콘막(또한, 다결정 실리콘막 또는 폴리실리콘막으로 언급됨)(302)을 형성한다. 전기노를 사용하는 열 결정화, 레이저를 사용하는 레이저 어닐링 결정화, 및 적외선 램프를 사용하는 램프 어닐링 결정화는 알려진 결정화 방법으로 존재한다. 결정화는 XeCl 가스를 사용하는 엑시머 레이저광을 사용하여 본 실시예에서 실행된다.

선형 모양으로 형성된 펠스 방사형 엑시머 레이저 광이 본 실시예에서 사용되며, 반면에 직각 모양이 사용될 수도 있고, 또한 연속 방사 아르곤 레이저광 및 연속 방사 엑시머 레이저광이 또한 사용될 수 있다는 것을 주목하라.

본 실시예에서, 결정 실리콘막이 TFT의 능동층으로 사용되지만, 비정질 실리콘막을 사용하는 것이 또한 가능하다. 또한, 스위칭 TFT의 능동층을 형성하는 것이 가능하고, 비정질 실리콘 막에 의해 오프 전류를 감소시키고 결정 실리콘 막에 의해 전류 제어 TFT의 능동층을 형성할 필요가 있다. 캐리어 이동도가 낮기 때문에, 전류는 비정질 실리콘막에서 흐르기 어렵고, 오프 전류는 쉽게 흐르지 못한다. 바꾸어 말하면, 대부분은 전류가 쉽게 흐르지 않는 비정질 실리콘막과 전류가 쉽게 흐르는 결정 실리콘막의 장점으로 만들어질 수 있다.

다음에, 도 4b에서 도시된 바와 같이, 보호막(303)은 130nm의 두께를 갖는 실리콘 산화물을 구비한 결정 실리콘막 위에 형성된다. 이러한 두께는 100 내지 200nm의 범위내에서(양호하게는 130과 170사이) 선택될 수 있다. 또한, 다른 막들은 그것들이 실리콘을 포함하는 막을 절연하도록 제공하여 사용될 수 있다. 보호막(303)은 결정화 실리콘막이 불순물 첨가동안, 플라즈마에 직접적으로 노출되도록 형성되고, 불순물의 정밀한 농도 조절이 가능하도록 형성된다.

저항 마스크(304a, 304b)는 보호막(303)상에 형성되고, n형 도전율(이후에, n형 불순물 성분으로 언급됨)을 첨가하는 불순물 성분이 보호막(303)을 통해 첨가된다. 주기 테이블 그룹(15)에 존재하는 성분들은 n형 불순물 성분으로 통상적으로 사용되고, 전형적으로 인 또는 비소가 사용될 수 있는 것을 주목하라. 플라즈마 도핑법이 사용되고, 포스핀(PH_3)은 질량의 분리 없이 활성화된 플라즈마이고, 또한 인은 본 실시예에서 $1 \times 10^{18} \text{ atoms/cm}^3$ 의 농도로 첨가된다. 질량의 분리가 실행되는, 이온 주입법은 또한 사용될 수 있다.

도즈(dose) 양은 n형 불순물 성분이 n형 불순물 영역(305, 306)에 포함되도록 조절되고, 이와 같이, 2×10^{16} 내지 $5 \times 10^{19} \text{ atoms/cm}^3$ (전형적으로 5×10^{18} 과 $5 \times 10^{18} \text{ atoms/cm}^3$ 사이)의 농도로 이러한 공정에 의해 형성된다.

다음에, 도 4c에 도시된 바와 같이, 보호막(303), 저항 마스크(304a, 304b)가 제거되고, 첨가된 주기 테이블 15족 성분들의 활성화가 실행된다. 활성화의 알려진 기술은 활성화 수단으로서 사용될 수 있으나, 활성화는 엑시머 레이저 광의 방사에 의해 본 실시예에서 행해진다. 물론, 펠스 방사형 엑시머 레이저 및 연속 방사형 엑시머 레이저 두 가지 모두 사용될 수 있고, 엑시머 레이저 광의 사용에 임의로 제한할 필요가 없다. 상기 목적은 첨가된 불순물 성분의 활성화이고, 결정화 실리콘막이 녹지 않는 에너지 레벨에서 방사가 실행되는 것이 바람직하다. 레이저 방사는 보호막(303)을 적절하게 구비하여 실행될 수 있다는 것을 주목하라.

열처리에 의한 활성화는 레이저광에 의해 불순물 성분의 활성화를 따라 실행될 수 있다. 활성화가 열처리에 의해 실행될 때, 기판의 열 저항을 고려하여, 450 내지 550°C의 순서로 열처리를 실행하는 것이 바람직하다.

n형 불순물 영역(305, 306)의 주변에 n형 불순물 성분이 첨가되지 않고, 즉 영역들이 첨가되지 않는, n형 불순물 영역(305, 306)의 말단이 있는 경계부(접속부)가 본 공정에 의해 도시된다. TFT들이 나중에 완료되는 시점에서, 이것은 매우 바람직한 접속이 LDD 영역과 채널 형성 영역사이에 형성될 수 있다는 것을 의미한다.

도 4d에서 도시되는 바와 같이, 결정화 실리콘막의 불필요한 부분들은 다음에 제거되고, 섬모양의 반도체막(이후에 능동층으로 언급됨)(307 내지 310)이 형성된다.

그 후에, 도 4e에서 도시되는 바와 같이, 게이트 절연막(311)이 형성되고, 능동층(307 내지 310)을 덮는다. 실리콘을 포함하고 10 내지 200nm의 두께를 갖는 절연막은, 바람직하게는 50 내지 150nm사이, 게이트 절연막(311)으로 사용될 수 있다. 단일층 구조 또는 적층 구조가 사용될 수 있다. 110nm 두께의 실리콘 산화질화물막은 본 실시예에서 사용된다.

그 후에, 200 내지 400nm의 두께를 갖는 도전막은 형성되고, 게이트 전극(312 내지 316)을 형성하도록 패턴화된다. 이러한 게이트 전극들(312 내지 316)의 각각의 말단부는 가늘게 될 수 있다. 본 실시예에서, 리드선들을 구비하는 게이트 전극에 전기적으로 접속된 게이트 전극 및 배선(하기에, 게이트 배선으로 참조됨)은 서로 다른 재료로 형성된다. 특히, 게이트 배선은 게이트 전극보다 더 낮은 저항을 갖는 재료로 만들어진다. 이와 같이, 미세 공정을 가능케 하는 재료는 게이트 전극 게이트 전극에 사용되고, 반면에 게이트 배선이 더 작은 배선 저항을 제공할 수 있는 재료로 형성되나 미세 공정에 적합하지 않다. 물론 동일한 재료를 갖는 게이트 전극과 게이트 배선을 형성하는 것이 가능해진다.

게이트 전극이 단일층 도전막으로 만들어질 수 있지만, 필요하다면, 게이트 전극에 대한 2개, 또는 3개 이상의 층을 구비하는 적층막을 형성하는 것이 바람직하다. 임의의 알려져 있는 재료들은 게이트 전극에 사용될 수 있다. 미세 공정을 가능케 하는 그러한 재료를 사용하는 것이 가능하고, 특히, 2μm 이하로 패턴화될 수 있는 재료를 사용하는 것이 바람직하다.

전형적으로, 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텉스텐(W), 크롬(Cr), 및 실리콘(Si)으로부터 선택된 성분으로 만든 막, 상기 성분의 질화물막(전형적으로 탄탈 질화물막, 텉스텐 질화물막, 또는 탄탈 질화물막), 상기 성분의 화합물의 합금막(전형적으로 Mo-W 합금, Mo-Ta 합금), 또는 상기 성분의 규화물막(전형적으로 텉스텐 규화물막 또는 티타늄 규화물막)을 사용하는 것이 가능하다.

본 실시예에서, 50nm의 두께를 갖는 텉스텐 질화물(WN)막 및 350nm의 두께를 갖는 텉스텐(W)막의 적층막이 사용된다. 이것은 스퍼터링 방법으로 형성될 수 있다. Xe, Ne 등의 불활성 가스가 스퍼터링 가스로서 첨가될 때, 스트레스에 기인한 막 벗겨짐(film peeling)이 방지될 수 있다.

게이트 전극(313, 316)은 게이트 절연막(311)을 삽입한 일부의 n형 불순물 영역(305, 306) 각각을 게이트 절연막(311)과 중첩하도록 형성된다. 이러한 중첩하는 부분은 나중에 게이트 전극과 중첩하는 LDD 영역이 된다.

다음에, n형 불순물 성분(본 실시예에서, 인)은 도 5a에서 도시되는 바와 같이, 마스크로서 게이트 전극(312 내지 316)을 갖는 셀프 얼라이닝(self aligning) 방식으로 첨가된다. 상기 첨가물은 인이 불순물 영역(317 내지 323)에 첨가되어 불순물 영역(305, 306)의 농도(전형적으로 1/4와 1/3 사이)의 1/10 내지 1/2의 농도로 형성되도록 조절된다. 특히, 1×10^{16} 내지 5×10^{18} atoms/cm³의 농도(전형적으로 3×10^{17} 내지 3×10^{18} atoms/cm³)가 바람직하다.

도 5b에 도시되는 바와 같이, 저항 마스크(324a 내지 324d)는 게이트 전극 등을 덮는 모양으로, 다음에 형성되고 n형 불순물 성분(인이 본 실시예에서 사용됨)이 첨가되어, 고농도의 인을 포함하는 불순물 영역(325 내지 331)을 형성한다. 포스핀(PH_3)을 사용하는 이온 도핑은 또한 여기에서 실행되고, 이러한 영역의 인 농도가 1×10^{20} 내지 1×10^{21} atoms/cm³이 되도록 조절된다(전형적으로 2×10^{20} 과 5×10^{20} atoms/cm³).

n 채널형 TFT의 소스 영역 또는 드레인 영역은 이러한 공정에 의해 형성되고, 스위칭 TFT에서, 도 5a의 공정에 의해 형성된 일부의 n형 불순물 영역(320 내지 322)이 남게 된다. 이렇게 남은 영역들은 도 2에서 스위칭 TFT의 LDD 영역(15a 내지 15d)과 대응한다.

다음에, 도 5c에 도시되는 바와 같이, 저항 마스크(324a 내지 324d)는 제거되고, 새로운 마스크(332)가 형성된다. p형 불순물 성분(붕소가 본 실시예에서 사용됨)은 그 후에 첨가되어, 고농도로 붕소를 포함하는 불순물 영역(333, 334)을 형성한다. 붕소는 다이보레인(B_2H_6)을 사용한 이온 도핑에 의해 2×10^{20} 내지 2×10^{21} 의 농도로 불순물 영역(333, 334)을 형성하도록 여기에서 첨가된다.

인온 1×10^{20} 내지 1×10^{21} atoms/cm³의 농도로 불순물 영역(333, 334)에 이미 첨가되었으나, 붕소는 인의 농도보다 적어도 세배이상의 농도로 여기에서 첨가된다. 그러므로, 형성된 n형 불순물 영역은 p형으로 완전히 전환하고, p형 불순물 영역으로 작용한다.

다음에, 저항 마스크(332)를 제거한 후에, 각각의 농도로 능동층에 첨가된 n형 및 p형 불순물 성분들은 활성화된다. 노 어닐링, 레이저 어닐링 또는 램프 어닐링은 활성화의 수단으로서 사용될 수 있다. 본 실시예에서, 열처리는 전기로에서 질소분위기에서 550°C로 4시간 동안 실행된다.

이때, 가능한 많이 주위 분위기에서 산소를 제거하는 것이 중요하다. 이것은 적은 양의 산소만이 존재할지라도 게이트 전극의 표면이 산화되기 때문에, 게이트 전극의 노출된 표면이 산화되어, 저항이 증가되고 나중에 게이트 전극과 옴 접촉(ohmic contact)을 형성하는 것이 어렵게 된다. 따라서, 활성화 공정 동안 주위 분위기내의 산소 농도는 1ppm이하, 바람직하게는 0.1 ppm이하로 설정된다.

활성화 공정이 완료된 후에, 300nm의 두께를 갖는 게이트 배선(335)은 도 5d에서 도시된 바와같이 형성된다. 게이트 배선(335)용 재료로서, 주요 성분(구성에서 50 내지 100%를 차지함)으로써 알루미늄(Al) 또는 구리(Cu)를 포함하는 금속막이 사용될 수 있다. 도 3에서 도시된 게이트 배선(211)과 같이, 스위칭 TFT의 게이트 전극(19a, 19b)(도 4e에서 게이트 전극(314, 315)과 대응함)에 대한 전기 접속을 제공하도록, 게이트 배선(335)이 설치된다.

상술된 구조는 게이트 배선의 배선 저항이 상당히 감소될 수 있고, 그러므로, 넓은 영역을 갖는 이미지 디스플레이 영역(픽셀부)이 형성될 수 있다. 특히, 본 발명의 실시예에 따른 픽셀 구조는 10 인치의 대각선 크기 또는 더 큰(또는 30 인치 더 큰) 디스플레이 스크린을 구비한 EL 디스플레이 장치를 실현하는데 유리하다.

제 1 층간 절연막(336)은, 도 6a에 도시된 바와 같이, 다음에 형성된다. 실리콘을 포함하는 단일층 절연막은 제 1 층간 절연막(336)으로 사용되고, 반면에 두 종류 이상의 실리콘을 포함하는 절연막을 조합한 적층막이 사용될 수 있다. 또한, 400nm와 1.5μm사이의 막두께가 사용될 수 있다. 200nm 두께의 실리콘 산화질화물막상의 800nm 두께의 실리콘 산화물막의 적층구조가 본 실시예에서 사용된다.

또한, 열처리는 3과 100% 사이의 수소를 포함하는 분위기에서 300 내지 450°C로 1 내지 12시간 동안 실행되어, 수소 첨가를 실행한다. 이러한 공정은 열적으로 활성화된 수소에 의해 반도체막을 뎅글링 본드(dangling bonds)의 수소 종료 중 하나이다. 플라즈마 수소첨가(플라즈마에 의해 활성화된 수소를 사용)는 또한 수소 첨가의 또다른 수단으로 실행될 수 있다.

수소첨가 처리는 또한 제 1 층간 절연막(336)의 형성 동안, 삽입될 수 있다는 것을 주목하라. 즉, 수소 처리는 200nm 두께의 실리콘 산화질화물막을 형성한 후에, 상기와 같이 실행될 수 있고, 나머지 800nm 두께의 실리콘 산화물막이 형성될 수 있다.

다음에, 접촉 정공은 제 1 층간 절연막(336)내에 형성되고, 게이트 절연막(311), 소스 배선(337 내지 340) 및 드레인 배선(341 내지 343)이 형성된다. 본 실시예에서, 이러한 전극은 100nm의 두께를 갖는 티타늄막, 티타늄을 포함하고 300nm의 두께를 갖는 알루미늄막, 및 150nm의 두께를 갖는 티타늄막은 연속으로 스팍터링 방법으로 형성된다. 물론, 다른 도전막들이 형성될 수 있다.

제 1 패시베이션막(334)은 50 내지 500nm의 두께를 구비한 후에 형성된다(전형적으로 200과 300nm 사이). 300nm 두께의 실리콘 산화질화물막은 본 실시예에서 제 1 패시베이션막(344)으로 사용된다. 이것은 또한 실리콘 질화물막으로 대체될 수 있다. 도 2의 제 1 패시베이션막(41)의 재료와 동일한 재료를 사용하는 것이 또한 가능하다.

실리콘 산화질화물막의 형성전에, H_2 또는 NH_3 등과 같은 수소를 포함하는 가스를 사용하여 플라즈마 처리를 실행하는 것이 효과적임을 주목하라. 이러한 전처리에 의해 활성화된 수소는 제 1 층간 절연막(336)에 공급되고, 제 1 패시베이션막(344)의 막 품질은 열처리를 실행하여 개선된다. 동시에, 제 1 층간 절연막(336)에 첨가된 수소는 더 낮은 쪽으로 확산되어 활성층은 효과적으로 수소 첨가될 수 있다.

다음에, 도 6b에서 도시되는 바와 같이, 유기 수지로 만든 제 2 층간 절연막(345)이 형성된다. 유기 수지로서, 폴리아미드, 폴리아미드, 아크릴, BCB(벤조사이클로뷰틴) 등을 사용하는 것이 가능하다. 특히, 제 2 층간 절연막(345)이 주로 평탄화에 사용되기 때문에, 평탄화 특성에 우수한 아크릴이 바람직하다. 본 실시예에서, 아크릴 막은 TFT들에 의해 형성된 계단부(stepped portion)를 평탄화하는데 충분한 두께로 형성된다. 두께는 1 내지 5 μm (더 바람직하게는, 2 내지 4 μm)으로 되는 것이 적당하다.

그 후에, 접촉 정공은 드레인 배선(343)에 도달하도록 제 2 층간 절연막(345), 제 1 패시베이션막(344)에 형성되고, 그 다음에 광셀 전극(346)은 형성된다. 본 실시예에서, 300nm의 두께를 갖는 알루미늄 합금막(1wt%의 티타늄을 포함하는 알루미늄막)은 광셀 전극(346)으로 형성된다. 참조 번호(347)는 인접한 광셀 전극의 말단부를 나타낸다.

그 후에, 알칼리 화합물(348)은 도 6c에서 도시된 바와 같이, 형성된다. 본 실시예에서, 리튬 불화물막은 5nm의 막두께를 갖도록 증착법을 사용하여 형성된다. 그 후에, 100nm의 두께를 갖는 EL층(349)은 스펜 코팅에 의해 형성된다.

본 실시예에서, 백색의 광을 제공하는 폴리머형 유기 재료로서, 일본 특개평 제 8-96959 또는 제 9-63770에서 발표된 재료들이 사용될 수 있다. PVK(폴리비닐 카바졸), Bu-PBD(2-(4'-tert-부틸페닐)-5-(4"-바이페닐)-1,3,4-옥시디아졸), 코마린(6), DCM 1(4-디시아노메틸렌-2-메틸 뷰타딘), 및 나일 레드(Nile Red) 1, 2-디클로로메탄을 용해하여 획득된 재료가 사용될 수 있다.

본 실시예에서, EL 층(349)은 상술된 발광층만을 포함하는 단일 층구조를 가진다. 대안적으로, 전자 주입층, 전자 수송층, 정공 수송층, 정공 주입층, 전자 블록킹 층(electron blocking layer), 또는 정공 성분 층은 또한 형성될 수 있다.

그 후에, 200nm의 두께를 갖는 투명 도전막으로 만든 애노드(350)는 EL 층(349)을 덮도록 형성된다. 본 실시예에서, 인듐 산화물 및 아연 산화물의 화합물로 만든 막은 증착법에 의해 형성되고, 애노드를 획득하도록 패턴화된다.

다음에, 낮은 저항의 금속으로 만든 금속막(351)은 애노드(350)상에 형성된다. 또한, 애노드(350)의 막저항보다 더 낮은 막저항을 갖는, 금속막(351)의 막두께의 금속 재료를 사용하는 것이 바람직하다.

금속막(351)이 관찰자의 눈(카운터 기판의 통상 라인의 방향)의 방향을 주시하여 광셀 전극사이의 갭을 숨기도록 구비되기 때문에, 에칭은 금속막(351)의 증착후에 실행된다. 이때, 애노드(350)에 동시에 에칭을 실행하지 않도록 하는 것이 중요하다. 본 실시예에서, 건식 에칭 방법은 에칭 수단으로써 사용되고, 염소 가스는 애노드(350)가 인듐 산화물 및 아연 산화물의 화합물로 만들어지는 것을 고려한 에칭 가스로 사용된다. 본 실시예에서, 기상 증착에 의해 티타늄 및 알루미늄으로 증착된 적층 구조가 형성되고, 금속막(351)은 애노드(350)상의 50nm 두께를 갖는 티타늄 및 티타늄상의 250nm의 두께를 갖는 알루미늄에 의해 형성된다.

전식(electrolytic corrosion)(또한 전기 화학 침식으로 언급됨)은 티타늄이 애노드(350)와 알루미늄사이에 삽입된 구조에 의해 방지될 수 있다. 티타늄 질화물은 여기에서 사용된 티타늄에 대한 대용으로 사용될 수 있다. 티타늄 질화물은 애노드에 전기적으로 접속되기 쉬운 장점을 가진다.

본 실시예에서, 기상 증착은 애노드에 손상을 고려하여 사용되나, 스퍼터링 방법이 또한 사용될 수 있다.

본 발명에서 금속막(351)은 적층 구조이나, 단일 구조는 또한 적용될 수 있다.

결국, 실리콘 질화물막으로 만든 제 2 패시베이션막(351)은 물 등으로부터 EL 층(349)을 보호할 목적으로 구비되고, EL 층(349)에 발생된 열을 방출할 목적으로 작용한다. 열방사 효과를 더 높이기 위해, 실리콘 질화물막 및 탄소막(양호하게는 다이아몬드와 유사한 탄소(diamond-like carbon)막)을 적층 구조로 형성함으로써 제 2 패시베이션막을 형성하는 것이 유리하다.

이러한 방법으로, 도 6c에서 도시된 바와 같은 구조를 갖는 능동 매트릭스 EL 디스플레이 장치가 완성된다. 본 실시예의 능동 매트릭스 EL 디스플레이 장치에서, 최적 구조를 갖는 TFT는 픽셀부뿐만 아니라 구동 회로부에 배치되어, 매우 높은 신뢰도가 획득되고 동작특성이 향상될 수 있다.

먼저, 가능한 많이 동작 속도를 떨어뜨리지 않도록 핫 캐리어 주입을 감소시키는 구조를 갖는 TFT는 구동 회로를 구성하는 CMOS 회로의 n 채널형 TFT(205)로 사용된다. 여기에서 구동 회로는 시프트 레지스터, 버퍼, 레벨 시프터, 샘플링 회로(샘플 훌드 회로) 등을 포함하는 것을 주목하라. 디지털 구동기가 구성된 경우에, D/A 변환기와 같은 신호 변환 회로가 또한 포함된다.

도 6c에서 도시된 바와 같이, 본 실시예의 경우에, n 채널 TFT(205)의 능동층은 소스 영역(355), 드레인 영역(356), LDD 영역(357) 및 채널 형성 영역(358)을 포함하고, 또한 LDD 영역(357)은 게이트 절연막(311)을 통해 게이트 전극(313)과 중첩한다.

동작 속도를 떨어뜨리지 않기 위해 고려할 사항은 LDD 영역이 드레인 영역측에서만 형성되는 이유이다. 이러한 n채널형 TFT(205)에서, 오프 전류값을 매우 많이 주목할 필요가 없고, 오히려, 동작 속도에 중요성을 두는 것이 더 낫다. 이와 같이, LDD 영역(357)이 저항 성분이 최소로 감소되는 게이트 전극과 중첩하도록 완전히 중첩하도록 만들어지는 것이 가능하다. 즉, 소위 오프셋 영역을 제거하는 것이 바람직하다.

또한, 핫 캐리어의 주입에 기인한 CMOS 회로내의 p 채널 TFT(206)의 열화는 대부분 무시해도 좋으며, 이와 같이, p 채널형 TFT(206)에 대한 임의의 LDD 영역을 제공할 필요가 없다. p 채널형 TFT(206)에 대한 핫 캐리어에 대한 대응책을 존재하도록, n 채널형 TFT(205)와 유사하게, p 채널형 TFT(206)에 대한 LDD 영역을 구비하는 것이 물론 가능하다.

구동 회로 중, 샘플링 회로는 다른 회로와 비교하여 다소 유일하고, 채널 형성 영역에서 양쪽 방향으로 많은 전류가 흐르는 것을 주목하라. 또한, 가능한 작게 오프 전류값을 제어하는 것이 가능하고, 샘플 회로에 전류 제어 TFT와 스위칭 TFT간의 중간층상에 있는 기능을 갖는 TFT를 사용하는 것이 바람직하다.

따라서, 샘플 회로를 형성하는 n 채널형 TFT에서, 도 10에서 도시된 바와 같은 구조를 갖는 TFT들을 구비하는 것이 바람직하다. 도 10에서 도시되는 바와 같이, LDD 영역(901a, 901b)의 부분들은 게이트 절연막(902)을 통해 게이트 전극(903)과 중첩한다. 이러한 구조에 의해 획득될 수 있는 장점은 전류 제어 TFT(202)에 대해 이미 기술되었다. TFT가 샘플링 회로에 사용되는 경우에, LDD 영역들이 채널 형성 영역(904)에 삽입되도록 배치된다.

실제 공정에서, 도 6c에 도시된 구조가 완성된 후에, EL층은 도 1 및 2를 참조하여 상술된 바와 같이, 광 차폐막이 구비된 카운터 기판을 사용하여 폐쇄 공간에 밀폐된다. 이때, EL층의 신뢰성(수명)은 폐쇄 공간내에 불활성 분위기를 설정하거나 폐쇄 공간내에 습기 흡수 재료(예를 들어, 바륨 산화물)을 배치하여 향상될 수 있다.

능동 매트릭스 기판 및 카운터 기판의 밀봉 공정이 완료된 후에, 접속기(가요 프린트 회로: FPC)는 기판상에 형성된 소자 또는 회로로부터 확장된 단자를 외부 신호 단자에 접속하기 위해 부착되어, 최종 제품을 완성시킨다.

여기에서, 본 실시예의 능동 매트릭스 EL 디스플레이 장치의 구조는 도 7의 투시도를 참조하여 기술될 것이다. 본 실시예의 능동 매트릭스 EL 디스플레이 장치는 기판상에 형성된 소스측 구동 회로(604), 게이트측 구동 회로(603), 및 픽셀부(602)에 의해 구성된다. 픽셀부의 스위칭 TFT(605)는 n 채널형 TFT이고, 게이트측 구동 회로(603)에 접속된 게이트 배선(606)과 소스측 구동 회로(604)에 접속된 소스 배선(607)의 교차점에 배치된다. 스위칭 TFT(605)의 드레인은 전류 제어 TFT(608)의 게이트에 접속된다.

또한, 전류 제어 TFT(608)의 소스측은 전력 공급선(609)에 접속된다. 본 발명의 실시예에 따른 구조에서, 임의의 전압이 전력 공급선(609)에 인가된다. 전류 제어 TFT(608)의 드레인은 EL 소자(610)에 접속된다.

신호들을 구동 회로에 전송하기 위한 접속 배선(612, 613) 및 전류 공급선(609)에 접속된 접속 배선(614)는 외부 입력/ 출력 단자로서 FPC(611)에 구비된다.

도 7에 도시된 EL 디스플레이 장치의 회로 구조의 예는 도 8에서 도시된다. 본 실시예의 EL 디스플레이 장치는 소스측 구동 회로(701), 게이트측 구동회로(A)(707), 게이트측 구동 회로(B)(711), 및 픽셀부(706)를 구비한다. 본 명세서에서, 구동 회로의 용어는 소스측 구동 회로 및 게이트측 구동 회로를 포함하는 통상적인 용어인 것을 주목하라.

소스측 구동 회로(701)는 시프트 레지스터(702), 레벨 시프터(703), 버퍼(704), 및 샘플링 회로(샘플 홀드 회로)(705)를 구비한다. 게이트측 구동 회로(A)(707)는 시프트 레지스터(708), 레벨 시프터(709), 및 버퍼(710)를 구비한다. 게이트측 구동 회로(B)(711)는 또한 동일한 구조를 가진다.

여기에서, 5 내지 16V(전형적으로 10V)의 구동 전압을 갖는 시프트 레지스터(702, 708), 및 도 6c에서 205에 의해 지시된 구조는 상기 회로를 형성하는 CMOS 회로에 사용된 n 채널형 TFT에 적당하다.

또한, 시프트 레지스터와 유사하게, 각각의 레벨 시프터(703, 709) 및 버퍼(704, 710)에 대해, 도 6c의 n 채널형 TFT(205)를 포함하는 CMOS 회로가 적당하다. 각각의 회로의 신뢰성을 향상시키는데 있어서 이중 게이트 구조 또는 삼중 게이트 구조와 같은 게이트 배선 다중 게이트 구조가 효과적인 것을 주목하라.

또한, 소스 영역 및 드레인 영역이 전환되고, 오프 전류값을 감소시킬 필요가 있기 때문에, 도 10의 n 채널형 TFT(208)을 포함하는 COMS 회로는 샘플링 회로(705)에 적당하다.

픽셀부(706)는 도 2에서 도시된 구조를 갖는 픽셀들을 구비하여 배치된다.

상술된 구조는 도 4a 내지 6c에서 도시된 제조 단계들에 따라 TFT들을 제조하여 쉽게 실현될 수 있다. 본 실시예에서, 픽셀부의 구조 및 구동 회로만이 도시되지만, 본 실시예의 제조단계들이 사용되면, 동일한 기판상에 신호 구동회로, D/A 변환 회로, 연산 증폭 회로, y 보정 회로 등과 같은, 구동 회로와 다른 논리 회로를 형성하는 것이 가능하고, 또한, 메모리부, 마이크로프로세서, 등이 형성될 수 있다.

또한, 본 발명의 실시예에 따른 EL 디스플레이 장치는 도 11의 (a) 및 (b)를 참조하여 설명될 것이다. 도 7에 사용된 참조부호가 참조된다.

기판(1000)(TFT들 아래의 기저막을 포함)은 능동 매트릭스 기판이다. 기판상에, 픽셀부(1001), 소스측 구동 회로(1002), 및 게이트측 구동 회로(1003)가 형성된다. 각각의 구동 회로로부터 다양한 배선은 FPC(611)에 도달하도록 접속 배선(612 내지 614)을 통해 확장되어 외부 장치에 접속된다.

이때, 카운터 기판(1004)은 적어도 픽셀부, 더 양호하게는, 구동 회로 및 픽셀부를 둘러쌓도록 구비된다. 카운터 기판(1004)은 폐쇄 공간(1006)을 형성하도록 접착제(밀봉제)(1005)에 의해 능동 매트릭스 기판(1000)에 부착된다. 이와 같이, EL 소자는 폐쇄 공간(1006)에서 완전히 밀봉되어 외부 공기로부터 차단된다.

본 발명의 실시예에서, 포토큐어러블(photocurable) 에폭시 수지는 접착제(1005)로서 사용된다. 대안적으로, 아크릴레이트(acrylate)형 수지와 같은 다른 접착제는 또한 사용될 수 있다. 열경화성 수지는 EL 소자의 열 저항의 관점에서 허용가능하다면, 또한 사용될 수 있다. 상기 재료가 산소 및 물을 가능한 많이 통과하는 것을 방지하도록 요구된다는 것을 주목하라. 접착제(1005)는 디스펜서(dispenser)와 같은 코팅 장치에 의해 적용될 수 있다.

또한, 본 발명의 실시예에서, 카운터 기판(1004)와 능동 매트릭스 기판(1000)사이의 폐쇄 공간(1006)은 질소 가스로 채워진다. 도 11의 (a)에 흑색으로 칠해진 부분(1007)은 합금막으로 도시되고, 실제로, 애노드(1008)상의 픽셀 전극간의 갭을 채우도록 제공된다. 본 실시예에서, 합금막(1007)으로서, 기상 증착 티타늄 및 알루미늄으로 구성된 적층되어 구성된 합금막을 사용한다.

또한, 도 11의 (b)에서 도시된 바와 같이, 픽셀부는 개별적으로 분리된 EL 소자를 각각 포함하는 다수의 픽셀에 제공된다. 모든 이러한 EL 소자들은 공통 전극으로서 애노드(1008)를 공유한다. EL층은 픽셀부에서만 제공될 수 있고, 반면에 구동 회로상에 배치되도록 요구되지 않는다. 선택적으로 EL층을 제공하기 위해, 셰도우 마스크(shadow mask)를 사용하는 기상 증착 방법, 리프트 오프(lift-off) 방법, 건식 에칭 방법, 또는 레이저 스크리빙(scribing) 방법이 사용될 수 있다.

애노드(1008)는 접속 배선(1009)에 전기적으로 접속된다. 접속 배선(1009)은 애노드(1008)에 소정의 전압을 인가하는데 사용될 전력 공급선이고, 도전 페이스트(paste) 재료(1010)를 통해 FPC(611)에 접속된다. 접속 배선(1009)만이 여기에 설명되지만, 다른 접속 배선(612 내지 614)은 또한 동일한 방법으로 FPC(611)에 전기적으로 접속된다.

상술된 바와 같이, 도 11에서 도시된 구조는 외부 장치의 단자에 FPC(611)을 접속하여 그것의 픽셀부상에 이미지를 디스플레이할 수 있다. 본 명세서에서, EL 디스플레이 장치는 FPC가 부착될 때, 이미지 디스플레이가 가능한 제품, 바꾸어 말하면, 부착된 FPC에 제공된 하나를 포함하는 카운터 기판에 능동매트릭스 기판을 부착시켜 획득된 제품으로 한정된다.

실시예 2

기술이 실시예 1에서 톱 게이트형 TFT의 경우에 만들어지지만, 본 발명은 TFT 구조에 한정되지 않고, 바텀 게이트형 TFT(전형적으로, 전환된 스태거형 TFT)에 적용될 수 있다. 또한, 변환된 스태거형 TFT는 임의의 수단으로 형성될 수 있다.

변환된 스태거형 TFT는 단계의 수가 톱 게이트형 TFT보다 더 작게 만들어질 수 있는 그러한 구조를 가지므로, 본 발명의 목적인, 제조비를 감소시키는데 매우 유리하다. 또한, 본 실시예의 구조는 실시예 1의 임의의 구조와 자유롭게 결합될 수 있다.

실시예 3

도 3b는 EL 디스플레이 장치의 픽셀내의 스위칭 TFT에서 오프 전류값의 양이 스위칭 TFT용 다중 게이트 구조를 사용하여 감소되고, 저장 커패시터가 필요 없다는 것을 도시한다. 그러나, 종래에 저장 커패시터를 배치하는 구조는 또한 허용된다. 이러한 경우에, 도 12에 도시된 바와 같이, 저장 커패시터(1301)는 스위칭 TFT(201)의 드레인에 대해 전류 제어 TFT(202)의 게이트와 평행으로 형성된다.

실시예 3의 구성은 실시예 1 및 2의 임의의 구성과 자유롭게 결합될 수 있다. 즉, 저장 커패시터는 단지 픽셀내에 형성되고, 그것은 TFT 구조, EL 층의 재료, 등을 제한하지 않는다.

실시예 4

레이저 결정화는 실시예 1에서 결정 실리콘막(302)을 형성하는 수단으로 사용되고, 결정화의 다른 수단을 사용하는 경우는 실시예 4에 설명된다.

실시예 4에서 비정질 실리콘막을 형성한 후에, 결정화는 일본 특개평 제 7-130652호에 기술된 기술을 사용하여 실행된다. 상기 출원서에 설명된 기술은 결정화를 촉진시키는 촉매로서 니켈과 같은 성분을 사용하여 우수한 결정체를 갖는 결정 실리콘막을 획득하는 기술이다.

또한, 결정화 공정이 완료된 후에, 결정화에서 사용된 촉매를 제거하는 공정이 실행될 수 있다. 이러한 경우에, 촉매는 일본 특개평 제 10-270363호 또는 일본 특개평 제 8-330602호에 설명된 기술을 사용하여 획득될 수 있다.

또한, TFT는 본 발명의 출원자에 의해 일본 특개평 제 11-076967호의 명세서에서 설명된 기술을 사용하여 형성될 수 있다.

실시예 1에 도시된 제조 공정들은 본 발명의 일 실시예이고, 실시예 1의 도 2 또는 도 6c의 구조가 실현될 수 있도록 제공되고, 그후에 다른 제조 공정은 상술된 바와 같이, 임의의 문제없이 사용될 수 있다.

임의의 실시예 1 내지 3의 구성을 갖는 실시예 4의 구성을 자유롭게 결합을 가능케 하는 것을 주목하라.

실시예 5

제 1 실시예는 금속막(109)이 EL 장치에 애노드(108)상에 구비되어 인접 픽셀 전극간의 갭(111)을 숨기는 것을 도시한다. 본 실시예에서, 도 15에 도시되는 바와 같이, 금속막(114)은 애노드(108)에 형성되어 애노드(108)와 금속막(109)사이에 삽입된다.

금속 박막(114)의 막두께는, 특히, 10 내지 50nm의 범위에서, 투명성을 잃지 않도록 설정된다. 금속 박막(114), 금속막(109)은 실시예 1과 유사한 방법으로 형성된다.

EL 장치내의 애노드(108)상에 금속 박막(114) 및 금속막(109)을 포함하는 적층 구조를 제공함으로써, 애노드의 평균 막 저항이 감소될 수 있다.

본 실시예에서, 상기 구조는 이전의 실시예에서 기술된 임의의 구조와 자유롭게 결합될 수 있다.

실시예 6

제 1 실시예는 금속막(109)이 인접한 픽셀 전극사이의 갭(111)을 숨기도록 EL 장치내의 애노드(108)상에 구비되는 구조를 도시한다. 본 실시예에서, 도 15에 도시된 바와 같이, 크롬으로 만든 금속 박막(114)은 지금 설명될 애노드(108)와 금속막(109)사이에 삽입되도록 애노드(108)상에 형성된다.

금속 박막(114)의 막두께는 특히 약 50nm(양호하게는 30nm로)으로, 투명성을 얻지 않도록 설정된다. 금속 박막(114)상에서, 금속막(109)은 실시예 1과 유사한 방법으로 형성된다.

EL 장치내의 애노드상(109)에 금속 박막(114) 및 금속막(109)을 포함하는 적층된 구조를 제공함으로써, 애노드(108)의 평균 막 저항이 감소될 수 있다.

애노드(108)는 인듐 산화물 및 주석 산화물의 화합물로 만들어진 경우에, 금속막(109)은 본 실시예에서 알루미늄으로 만들어지고, 크롬으로 만든 금속 박막(114)은 애노드(108)과 금속막(109)사이에 발생하는 전식을 방지도록 작용할 수 있다.

또한, 본 실시예에서, 크롬으로 만든 금속박막(114)과 알루미늄으로 만든 금속막(109)은 염소(chlorine)형 에칭 가스에 대해 상당히 큰 선택비를 나타낼 수 있다. 이와 같이, 그것들은 금속막(109)만이 선택적으로 건식 에칭될 경우에, 효과적이다.

본 실시예에서, 구조는 이전의 실시예에서 설명된 임의의 구조와 자유롭게 결합될 수 있다.

실시예 7

본 발명의 EL 디스플레이 장치를 구동하는데 있어서, 아날로그 구동은 이미지 신호와 같은 아날로그 신호를 사용하여 실행될 수 있고, 디지털 구동은 디지털 신호를 사용하여 실행될 수 있다.

아날로그 구동이 실행될 때, 아날로그 신호는 스위칭 TFT의 소스 배선으로 전송되고, 그레이 스케일 정보를 포함하는 아날로그 신호는 전류 제어 TT의 게이트 전압이 된다. EL 소자에 흐르는 전류는 전류 제어 TFT에 의해 제어되어, EL 소자의 발광 강도가 제어되고 그레이 스케일 디스플레이가 실행된다.

반면에, 디지털 구동의 경우에, "시분할 구동"으로 언급되는 그레이 스케일 디스플레이에는 아날로그 기저상에 그레이 스케일 디스플레이와 다르게 실행된다. 특히, 발광 시간은 컬러 계조에서 변화처럼 보이는 눈에 보이는 외양을 제공하도록 조절된다. EL 소자는 액정 소자와 비교하여 매우 빠른 응답 속도를 가지므로, 고속으로 구동하는 것이 가능하다. 그러므로, EL 소자는 시분할 구동에 적당하고, 하나의 그레이임이 다수의 하부 프레임으로 분할되고, 그레이 스케일 디스플레이가 실행된다.

본 발명은 소자 구조와 관련된 기술이며, 그러므로 임의의 구동 방법은 이와 같이 사용될 수 있다.

본 실시예의 구조는 실시예 1 내지 6의 임의의 구조와 자유롭게 결합될 수 있다.

실시예 8

EL 디스플레이 장치는 이미지를 디스플레이 하도록 자체에서 발광된 광을 사용하므로, 임의의 백라이트를 요구하지 않는다. 이미지가 야외 광으로 디스플레이 될 수 있지만, 반사형 액정 디스플레이 장치는 충분한 광이 이용될 수 있는 어두운 곳에서 백라이트를 요구한다. 반면에, 자기 방사형이기 때문에, EL 디스플레이 장치는 어두운 곳에서 그러한 단점을 받지 않는다.

그러나, 디스플레이부로서 EL 디스플레이 장치를 포함하는 전자 장치가 실제로 외부에서 사용될 때, 그것은 물론 밝은 장소와 어두운 장소 두곳 모두 사용될 수 있다. 그러한 상황에서, 휘도가 너무 높을 때, 이미지는 어두운 장소에서 충분히 인식될 수 있고, 반면에, 휘도가 충분히 높지 않을 때, 이미지는 밝은 장소에서 인지될 수 있다.

EL층으로부터 발광양은 흐르는 전류의 양에 따라 변화한다. 이와 같이, 흐르는 전류의 더 많은 양은 더 높은 휘도를 요구하여, 전력 소비를 증가시킨다. 그러나, 발광의 휘도가 고레벨에서 설정될 때, 더 큰 전력 소비를 갖는 필요한 것보다 더 밝은 이미지가 어두운 장소에서 디스플레이될 것이다.

상술된 단점을 극복하도록, 본 발명에 따른 EL 디스플레이 장치는 센서에 의해 주위 분위기의 밝기를 검출하고, 감지된 밝기에 따라 EL층으로부터 발광의 휘도를 조절하는 기능을 가진다. 특히, 발광의 휘도가 밝은 장소에서 고레벨로 설정되고, 반면에 어두운 장소에서 저레벨로 설정되어 전력 소비의 증가를 피할 수 있다. 이와 같이, 본 발명에 따른 EL 디스플레이 장치는 전력 소비의 감소를 실현할 수 있다.

주위 분위기의 밝기를 검출하기 위해 사용될 센서로서, CMOS 센서, CCD 등이 사용될 수 있다. CMOS 센서는 구동 회로 및 EL 디스플레이 장치의 핵심부를 구비한 동일한 기판상에 임의의 알려져 있는 기술로 형성될 수 있다. CCD가 형성된 반도체 칩은 EL 디스플레이 장치상에 부착될 수 있다. 대안적으로, CCD 또는 CMOS 센서는 디스플레이부로서 EL 디스플레이 장치를 구비한 일부의 전자 장치로 구비될 수 있다.

주위 분위기의 밝기를 검출하는 센서에 의해 획득된 신호에 기초한 EL층으로 흐르는 전류를 조절하는 회로가 제공된다. 이와 같이, EL층으로부터 발광의 휘도는 주위 분위기에 밝기에 따라 조절될 수 있다.

본 실시예에서 구조는 실시예 1 내지 7의 임의의 구조와 결합하여 적용가능하다.

실시예 9

본 발명에 따라 제작된 EL 디스플레이 장치는 자기발광형이고, 그러므로 액정 디스플레이 장치와 비교하여 밝은 장소에서 디스플레이된 이미지의 더 우수한 인식률을 나타낸다. 또한, EL 디스플레이 장치는 더 넓은 조망 각을 가진다. 따라서, EL 디스플레이 장치는 다양한 전자 장치에 디스플레이부에 적용될 수 있다. 예를 들어, 큰 사이즈의 스크린에 TV 프로그램 등을 보기위해, 본 발명에 따른 EL 디스플레이 장치는 30 인치 또는 더 큰(전형적으로 40 인치 또는 더 큰) 대각선 크기를 갖는, EL 디스플레이의 디스플레이부(즉, EL 디스플레이 장치는 프레임으로 설정됨)로 사용될 수 있다.

EL 디스플레이에는, 개인용 컴퓨터용 디스플레이, TV 방송 프로그램 수신용 디스플레이, 광고 디스플레이용 디스플레이와 같은, 정보를 디스플레이하기 위해 사용될 모든 종류의 디스플레이를 포함한다. 또한, 본 발명에 따른 EL 디스플레이 장치는 다른 다양한 전자 장치들의 디스플레이부로 사용될 수 있다.

그러한 전자 장치들은 비디오 카메라, 디지털 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 자동차 항법 시스템, 자동차 오디오 장비, 노트 크기의 개인용 컴퓨터, 게임기, 휴대용 정보 단말기(이동 컴퓨터, 휴대용 게임기, 전자 서적, 등), 저장 매체를 구비한 이미지 재생장치(특히, 컴팩트 디스크(CD), 레이저 디스크(LD), 디지털 비디오 디스크(DVD)와 같은 저장 매체를 재생할 수 있고, 재생된 이미지를 디스플레이 하는 디스플레이를 포함하는 장치), 등을 포함한다. 특히, 휴대용 정보 단말기의 경우에, 기울어진 방향으로 보기쉬운 휴대용 정보 단말기가 넓은 시야각을 갖기 때문에, EL 디스플레이 장치의 사용이 바람직하다. 도 13은 그런 전자 장치들의 다양한 특정 예들을 도시한다.

도 13a는 프레임(2001), 지지 테이블(2002), 디스플레이부(2003), 등을 포함하는 EL 디스플레이를 도시한다. 본 발명은 디스플레이부(2003)에 적용가능하다. EL 디스플레이에는 자기 발광형이고, 그러므로 백라이트를 요구하지 않는다. 이와 같이, 디스플레이부는 액정 디스플레이 장치의 두께보다 더 얇은 막을 가질수 있다.

도 13b는 주요부(2101), 디스플레이부(2102), 오디오 입력부(2103), 동작 스위치(2104), 배터리(2105), 이미지 수신부(2106), 등을 포함하는 비디오 카메라를 도시한다. 본 발명에 따른 EL 디스플레이 장치는 디스플레이부(2102)로서 사용될 수 있다.

도 13c는 주요부(2201), 신호 케이블(2202), 헤드 마운트 벤드(2203), 투사부(2204), 광학 시스템(2205), 디스플레이부(2206), 등을 포함하는 헤드 마운트형 EL 디스플레이의 일부(right-half piece)를 도시한다. 본 발명은 디스플레이부(2206)에 적용가능하다.

도 13d는 저장 매체(특히, DVD 재생 장치)를 포함하는 이미지 재생 장치를 도시하고, 주요부(2301), 저장 매체(CD, LD, DVD 등)(2302), 동작 스위치(2303), 디스플레이부(a)(2304), 또다른 디스플레이부(b)(2305), 등을 포함한다. 디스플레이부(a)는 주로 이미지 정보를 디스플레이하기 위해 사용되고, 반면에 디스플레이부(b)는 문자 정보를 디스플레이하기 위해 사용된다. 본 발명에 따른 EL 디스플레이 장치는 이러한 디스플레이부(a) 및 (b)로 사용될 수 있다. 저장 매체를 구비한 이미지 재생 장치는 CD 재생 장치, 게임기, 등을 더 포함한다.

도 13e는 주요부(2401), 카메라부(2302), 이미지 수신부(2403), 동작 스위치(2404), 디스플레이부(2405), 등을 포함하는 휴대용(이동용) 컴퓨터를 도시한다. 본 발명에 따른 EL 디스플레이 장치는 디스플레이부(2405)로 사용될 수 있다.

도 13f는 주요부(2501), 프레임(2502), 디스플레이부(2503), 키보드(2504) 등을 포함하는 개인용 컴퓨터이다. 본 발명에 따른 EL 디스플레이 장치는 디스플레이부(2503)으로 사용될 수 있다.

EL 재료로부터 발광의 더 밝은 휘도가 장래에 이용할 수 있을 때, 본 발명에 따른 EL 디스플레이 장치는 출력 이미지 정보가 투영될 렌즈 등에 의해 확대되는 정면형 또는 후미형 투광기에 적용할 수 있을 것이다.

상술된 전자 장치들은 인터넷, CATV(케이블 텔레비전 시스템)와 같은 전화통신 경로를 통해 분배된 디스플레이 정보에 사용되기 더 쉽고, 특히 동영상 정보를 디스플레이 하기 쉽다. EL 디스플레이 장치는 EL 재료가 높은 응답 속도를 나타낼 수 있기 때문에 동영상을 디스플레이하는데 적당하다. 그러나, 핵셀들 사이의 윤곽(contour)이 명백하지 않다면, 전체로서 동영상들이 명확하게 디스플레이될 수 없다. 본 발명에 따른 EL 디스플레이 장치가 핵셀들간의 윤곽을 명확하게 할 수 있기 때문에, 본 발명의 EL 디스플레이 장치를 전자 장치의 디스플레이부로 적용하는 것이 상당히 유리하다.

발광하고 있는 일부의 EL 디스플레이 장치는 전력을 소비하고, 발광부가 가능한 작게 되는 방법으로 정보를 디스플레이하는 것이 바람직하다. 따라서, EL 디스플레이 장치가 주로 문자 정보를 디스플레이하는 디스플레이부, 예를 들어, 휴대용 정보 단말기, 특히, 휴대용 전화기, 또는 자동차 오디오 장비에 적용될 때, 문자 정보가 발광부에 의해 형성되고 반면에 비발광부가 배경과 대응하도록 EL 디스플레이 장치를 구동하는 것이 바람직하다.

도 14a를 참조하여, 휴대용 전화가 도시되고, 주요부(2601), 오디오 출력부(2602), 오디오 입력부(2603), 디스플레이부(2604), 동작 스위치(2605), 및 안테나(2606)를 포함한다. 본 발명에 따라 EL 디스플레이 장치는 디스플레이부(2604)로서 사용될 수 있다. 디스플레이부(2604)는 백색 문자를 흑색 배경위에 디스플레이 하여 휴대용 전화의 전력 소비를 감소시킬 수 있다.

도 14b는 주요부(2701), 디스플레이부(2702), 및 동작 스위치(2703, 2704)를 포함하는 자동차 오디오 장비를 도시한다. 본 발명에 따른 EL 디스플레이 장치는 디스플레이부(2702)로 사용될 수 있다. 마운트형의 자동차 오디오 장비가 본 실시예에서 도시되지만, 본 발명은 세트형의 자동차 오디오에 또한 적용가능하다. 디스플레이부(2704)는 백색 문자를 흑색 배경위에 디스플레이 하여 전력 소비를 감소시킬 수 있다는 것을 주목하라.

상술된 바와 같이, 본 발명은 모든 분야의 전자 장치의 광범위한 범위에 다양하게 적용될 수 있다. 본 실시예에서 전자 장치는 실시예 1 내지 8의 구조가 자유롭게 결합된 구조를 갖는 EL 디스플레이 장치를 이용하여 획득될 수 있다.

실시예 10

본 발명에서, EL 층으로부터의 발광동안, 캐소드층으로 방사된 부분들은 캐소드로부터 반사되어 애노드층을 통해 방사된다.

이러한 경우에, EL층이 발광하는 영역에 대해, 발광층의 성분 재료에 기초하여 결정된 파장을 갖는 광은 볼 수 있다. 그러나, 발광하지 않는 다른 영역들에서, 캐소드의 후방 표면(즉, 발광층에 가까운 표면)은 애노드 및 EL층을 통해 보여질 수 있다. 이와 같이, 캐소드의 후방 표면이 관찰자의 얼굴에 반사되도록 거울과 같은 작용을 하는 단점이 있다. 본 실시예에서, 그러한 단점을 극복하는 예가 기술될 것이다.

상기 단점을 극복하는 가장 간단한 방법으로서, 원형 분극화 막은 EL 디스플레이 장치에 부착될 수 있다. 그러나, 원형 분극화막이 비싸기 때문에, 비용이 증가된다. 대안적인 방법으로서, 캐소드의 반사 표면으로부터 반사된 광을 산란하도록 캐소드의 반사 표면(즉, 발광층에 가까운 표면상에)상에 돌출부를 제공하는 것이 가능하다.

특히, 애노드측으로부터 투사된 가시 광선(외부 광)은 캐소드의 반사 표면으로부터 임의로 반사되어, 캐소드의 반사 표면이 관찰자에게 보이는 것을 방지한다.

캐소드의 반사 표면상에 제공된 돌출부는 수납부 또는 돌출부를 제공하여 형성될 수 있다. 대안적으로, 골진(corrugated) 표면은 수납 및 돌출부가 반복적으로 형성되어 구비될 수 있다. 상술된 바와 같은 돌출부는 포토리소그래픽(photo lithographic) 형성 기술에 의해 형성될 수 있고, 홀로그래픽(holographic) 형성 기술(예를 들어, 1999년 8월 발행물, Sharp Technical Report, 제 74호, 페이지 16-19에 기술된 수납 및 돌출 반사 구조) 등에 의해 형성될 수 있다. 대안적으로, 돌출부는 플라즈마 공정, 애칭 공정, 등과 같은 표면 처리 방법에 의해 형성될 수 있다. 또한, 돌출부는 캐소드의 적층 조건(또는 캐소드 하부 전극의 적층조건)에 따라 캐소드의 표면상에 자연적으로 형성될 수 있다.

바꾸어 말하면, 돌출부가 규칙적으로 또는 비규칙적으로 제공될 수 있지만, 그것들은 임의의 반사가 각각의 픽셀들의 평면(in-plane)내에 평균 방법으로 발생하도록 제공되어야 한다. 대안적으로, 돌출부들은 캐소드와 접촉하는 다른 박막상에 형성될 수 있다. 특히, 일본 특개평 제 9-69642호 및 10-144927호에 설명된 기술은 알루미늄막상에 돌출부를 형성하기 위해 측정기구로 사용될 수 있다. 특히, 알루미늄막은 상술된 공보에서 설명된 기술에 따라 형성될 수 있고, 캐소드는 이와 같이 형성된 알루미늄막상에 적층되어, 그 위에 구비된 돌출부를 갖는 캐소드가 된다.

상술된 기술을 사용하여, 관찰자의 얼굴은 캐소드의 후방 표면에 보여지고 반사되는 것이 방지된다. 본 실시예의 구조는 이전의 실시예에 설명된 임의의 구조와 자유롭게 결합하여 사용될 수 있다.

그러므로, 상술된 바와 같이, 본 발명을 실시하여, 애노드의 평균 막 저항은 애노드상에 제공된 금속막에 의해 감소될 수 있다. 또한, 상술된 금속막은 픽셀들간의 캡을 숨기도록 삽입된 광 차폐막이고, 픽셀부내의 픽셀전극들간의 윤곽이 명확하게 된다. 이와 같이, 고 해상도를 갖는 이미지를 디스플레이할 수 있는 EL 디스플레이 장치가 획득될 수 있다. 또한, 디스플레이부로서 본 발명에 따른 EL 디스플레이 장치를 사용하여, 높은 신뢰도 및 높은 가시성을 갖는 전자 장비가 구비될 수 있다.

발명의 효과

픽셀들사이의 캡을 숨기도록 삽입된 광 차폐막을 구비하여 고 해상도의 이미지를 디스플레이할 수 있고, 높은 신뢰도 및 높은 가시성을 갖는 효과가 있다.

(57) 청구의 범위

청구항 1.

디스플레이 장치를 제조하는 방법에 있어서,

기판상에 반도체층, 게이트 절연막, 및 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 반도체층 상에 절연막을 형성하는 단계;

상기 절연막 상에 픽셀 전극을 형성하는 단계로서, 상기 픽셀 전극이 상기 반도체층에 전기적으로 접속되는, 상기 픽셀 전극 형성 단계;

상기 픽셀 전극 상에 EL층을 형성하는 단계;

상기 EL층 상에 전극을 형성하는 단계; 및

상기 전극의 일부분 위에 금속막을 형성하는 단계를 포함하는, 디스플레이 장치 제조 방법.

청구항 2.

디스플레이 장치를 제조하는 방법에 있어서,

기판상에 반도체층, 게이트 절연막, 및 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 반도체층 상에 절연막을 형성하는 단계;

상기 절연막 상에 픽셀 전극을 형성하는 단계로서, 상기 픽셀 전극이 상기 반도체층에 전기적으로 접속되는, 상기 픽셀 전극 형성 단계;

상기 픽셀 전극 상에 EL층을 형성하는 단계;

상기 EL층 상에 애노드를 형성하는 단계; 및

상기 전극의 일부분 위에 금속막을 형성하는 단계를 포함하는, 디스플레이 장치 제조 방법.

청구항 3.

디스플레이 장치를 제조하는 방법에 있어서,

기판상에 반도체층, 게이트 절연막, 및 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 반도체층 상에 절연막을 형성하는 단계;

상기 절연막 상에 픽셀 전극을 형성하는 단계로서, 상기 픽셀 전극이 상기 반도체층에 전기적으로 접속되는, 상기 픽셀 전극 형성 단계;

상기 픽셀 전극 상에 EL층을 형성하는 단계;

상기 EL층 상에 전극을 형성하는 단계;

상기 전극 상에 금속막을 형성하는 단계; 및

상기 전극의 일부분 위에 형성되도록 상기 금속막을 에칭하는 단계를 포함하는, 디스플레이 장치 제조 방법.

청구항 4.

디스플레이 장치를 제조하는 방법에 있어서,

기판상에 반도체층, 게이트 절연막, 및 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 반도체층 상에 절연막을 형성하는 단계;

상기 절연막 상에 픽셀 전극을 형성하는 단계로서, 상기 픽셀 전극이 상기 반도체층에 전기적으로 접속되는, 상기 픽셀 전극 형성 단계;

상기 픽셀 전극 상에 EL층을 형성하는 단계;

상기 EL층 상에 전극을 형성하는 단계; 및

상기 픽셀 전극의 가장자리에 금속막을 형성하는 단계를 포함하는, 디스플레이 장치 제조 방법.

청구항 5.

디스플레이 장치를 제조하는 방법에 있어서,

기판상에 반도체층, 게이트 절연막, 및 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 반도체층 상에 절연막을 형성하는 단계;

상기 절연막 상에 픽셀 전극을 형성하는 단계로서, 상기 픽셀 전극이 상기 반도체층에 전기적으로 접속되는, 상기 픽셀 전극 형성 단계;

상기 픽셀 전극 상에 EL층을 형성하는 단계;

상기 EL층 상에 애노드를 형성하는 단계; 및

상기 픽셀 전극의 가장자리에 금속막을 형성하는 단계를 포함하는, 디스플레이 장치 제조 방법.

청구항 6.

디스플레이 장치 제조 방법에 있어서,

기판상에 반도체층, 게이트 절연막, 및 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 상기 반도체층 상에 절연막을 형성하는 단계;

상기 절연막 상에 픽셀 전극을 형성하는 단계로서, 상기 픽셀 전극이 상기 반도체층 상에 전기적으로 접속되는, 상기 픽셀 전극 형성 단계;

상기 픽셀 전극 상에 EL층을 형성하는 단계;

상기 EL층 상에 전극을 형성하는 단계;

상기 전극 상에 금속막을 형성하는 단계; 및

상기 픽셀 전극의 가장자리에 형성되도록 상기 금속막을 에칭하는 단계를 포함하는, 디스플레이 장치 제조 방법.

청구항 7.

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 전극은 인듐산화물과 주석 산화물의 화합물을 포함하는, 디스플레이 장치 제조 방법.

청구항 8.

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 픽셀 전극은 알루미늄을 포함하는, 디스플레이 장치 제조 방법.

청구항 9.

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 게이트 전극은 상기 반도체층 상에 형성되는, 디스플레이 장치 제조 방법.

청구항 10.

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 금속막은 티타늄 및 알루미늄의 래미네이션을 포함하는, 디스플레이 장치 제조 방법.

청구항 11.

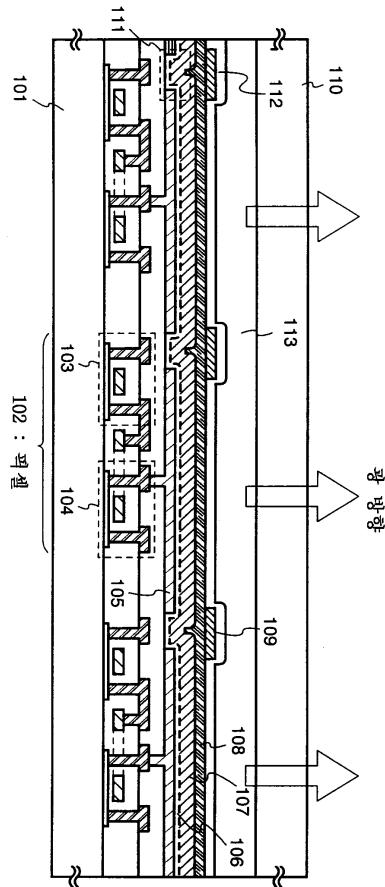
제1항 내지 제6항 중 어느 한 항에 있어서, 상기 디스플레이 장치는 EL 디스플레이 장치인, 디스플레이 장치 제조 방법.

청구항 12.

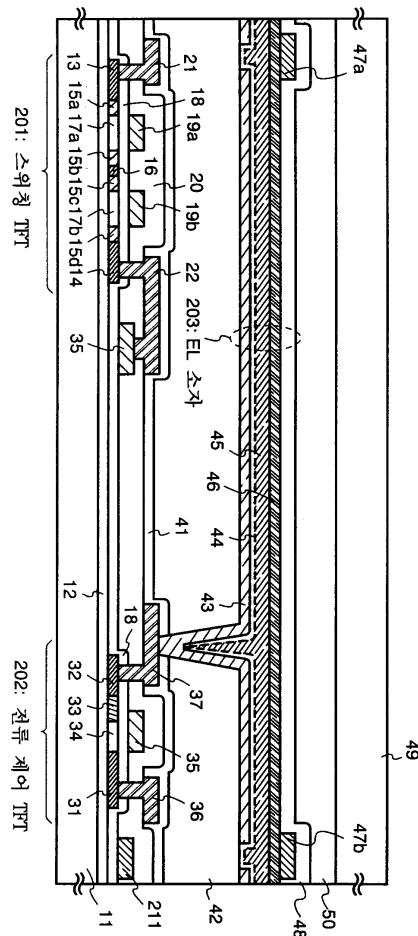
제1항 내지 제6항 중 어느 한 항에 있어서, 상기 디스플레이 장치는, 비디오 카메라, 헤드 마운트 디스플레이(head-mount display), 이미지 재생 장치, 휴대용 컴퓨터, 개인용 컴퓨터, 자동차 항법 시스템, 이동 전화, 및 자동차 오디오 장비로 구성된 그룹으로부터 선택된 적어도 하나에 통합되는, 디스플레이 장치 제조 방법.

도면

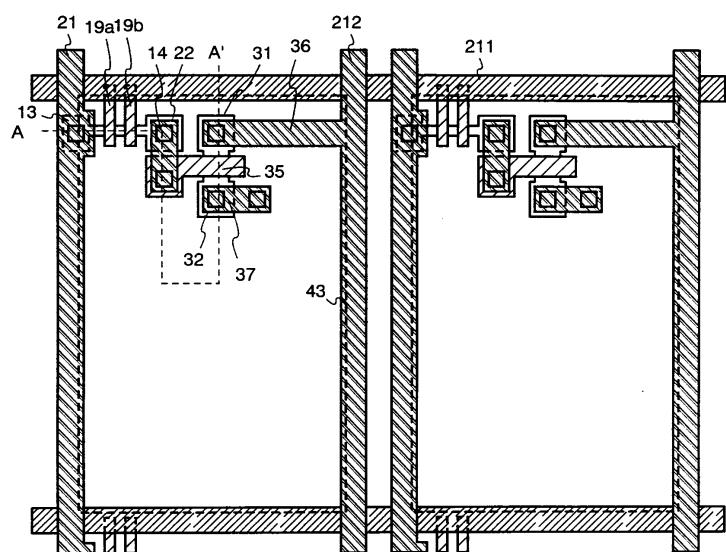
도면1



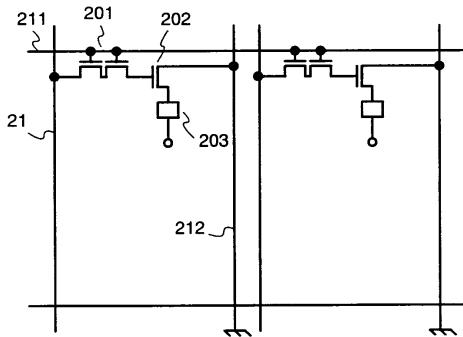
도면2



도면3a

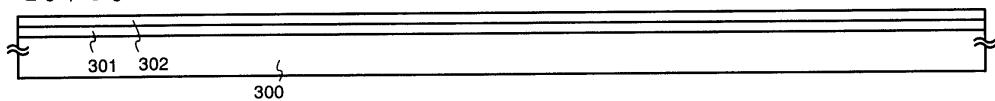


도면3b



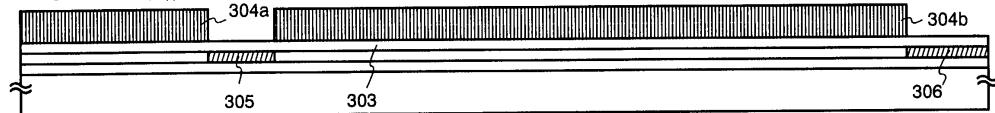
도면4a

결정화 공정



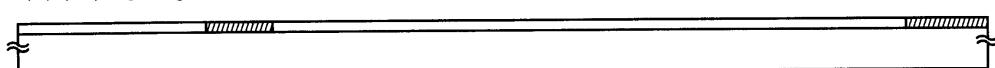
도면4b

n-형 불순물 주입



도면4c

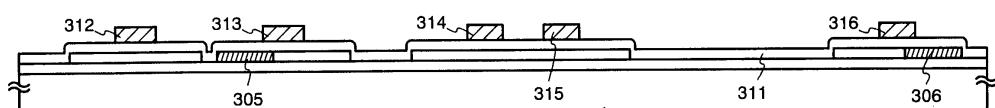
레이저 어닐링 공정



도면4d

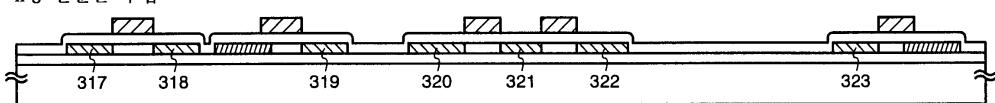


도면4e

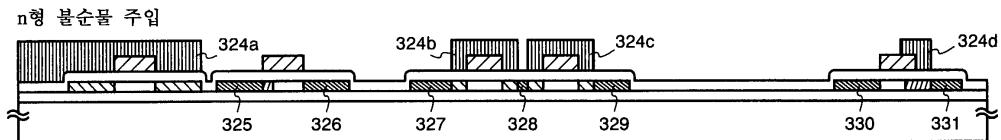


도면5a

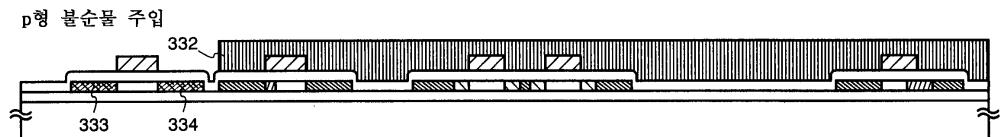
n형 불순물 주입



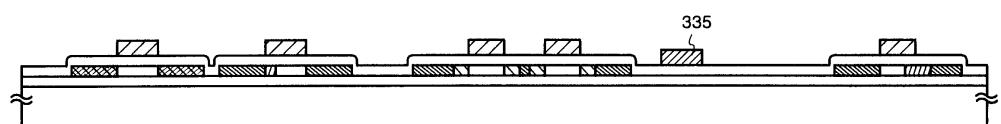
도면5b



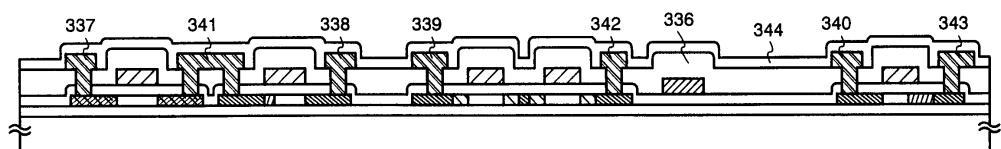
도면5c



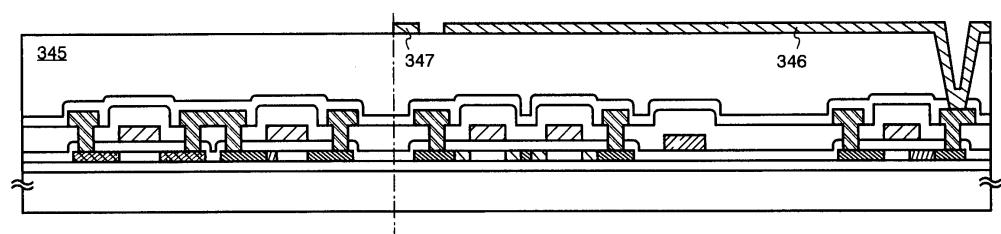
도면5d



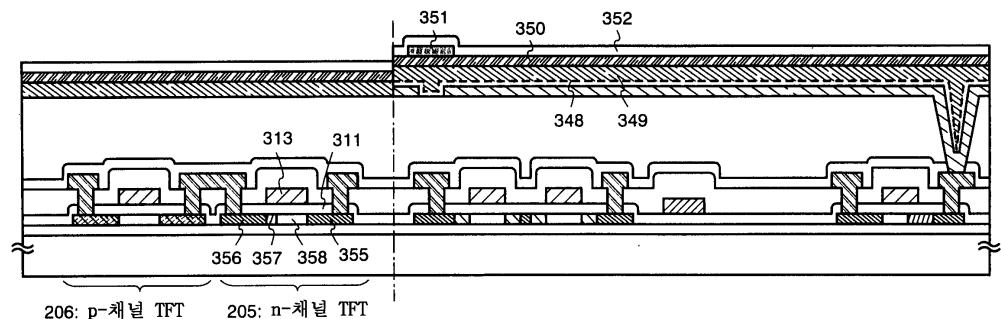
도면6a



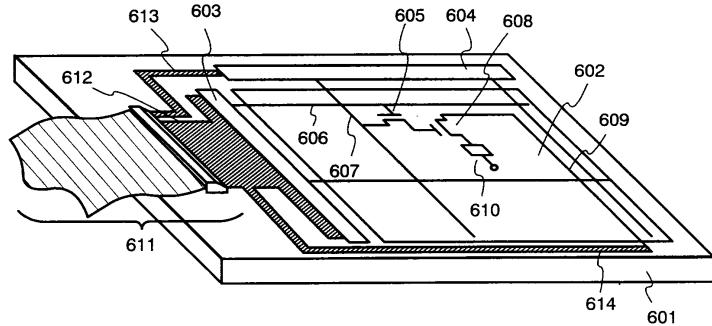
도면6b



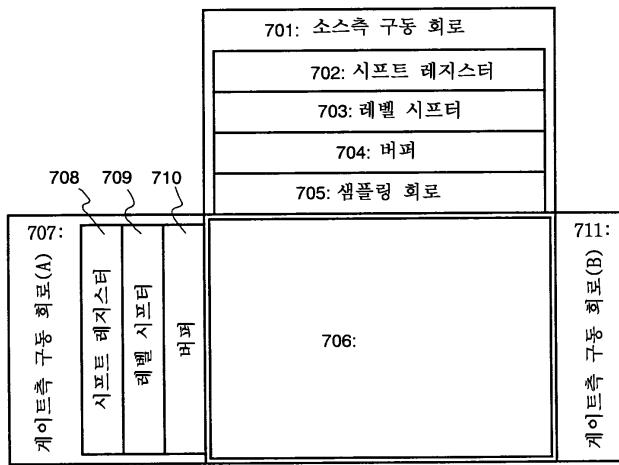
도면6c



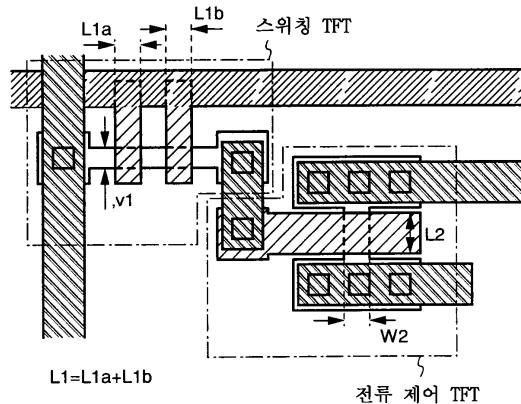
도면7



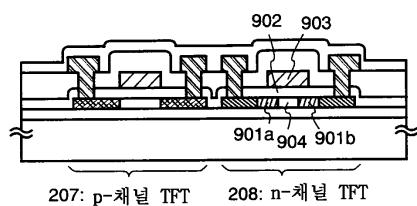
도면8



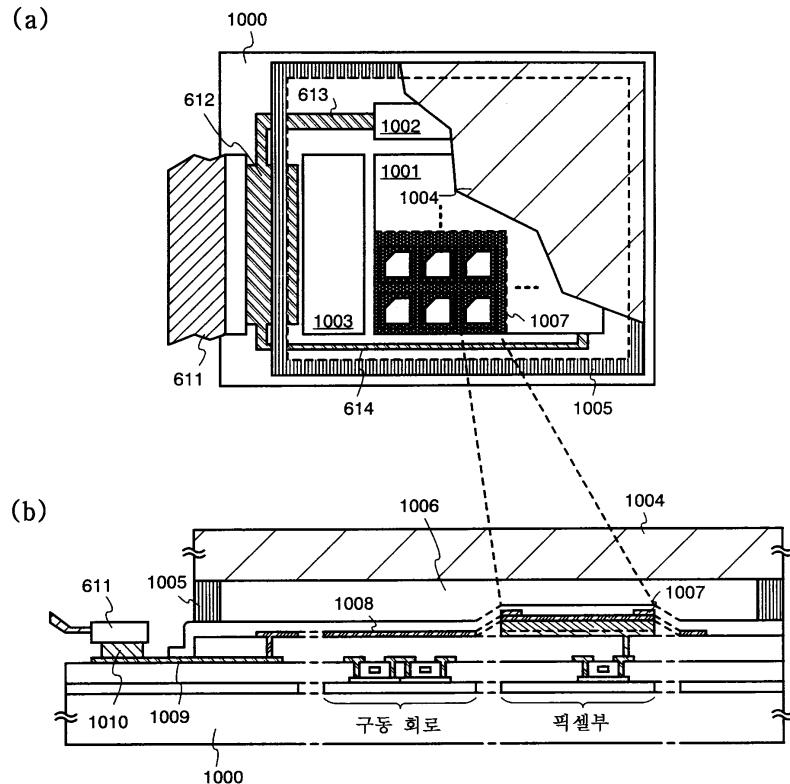
도면9



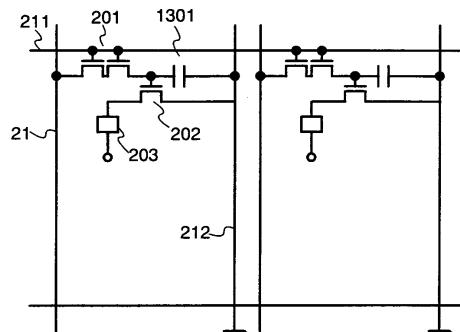
도면10



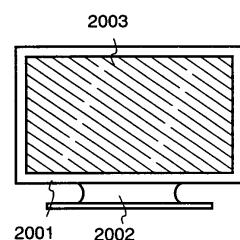
도면11



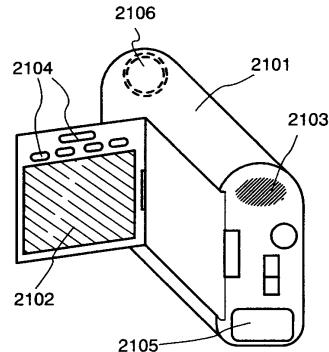
도면12



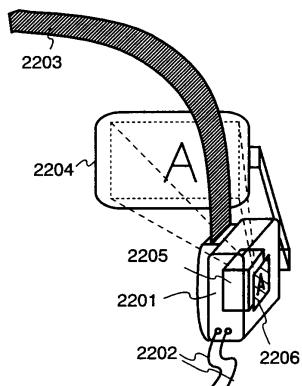
도면13a



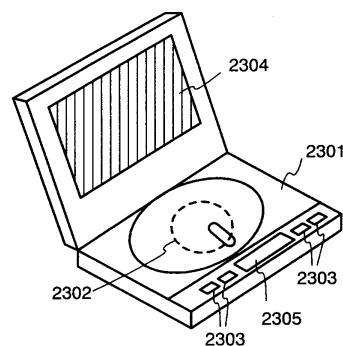
도면13b



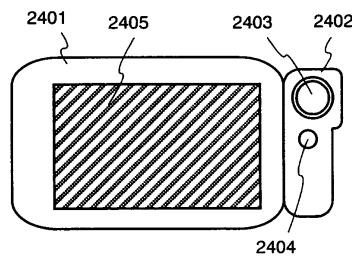
도면13c



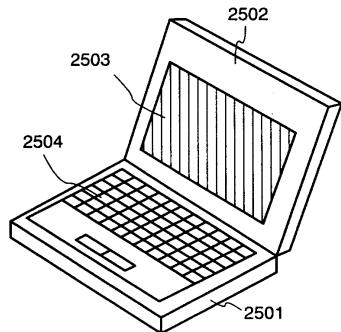
도면13d



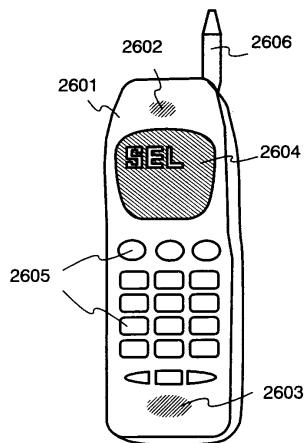
도면13e



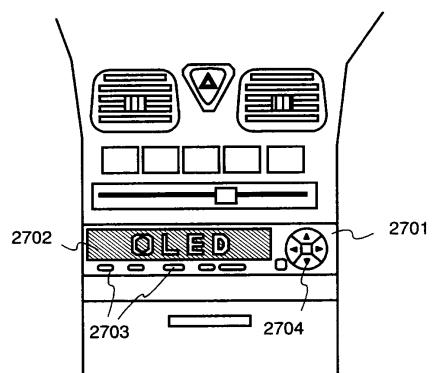
도면13f



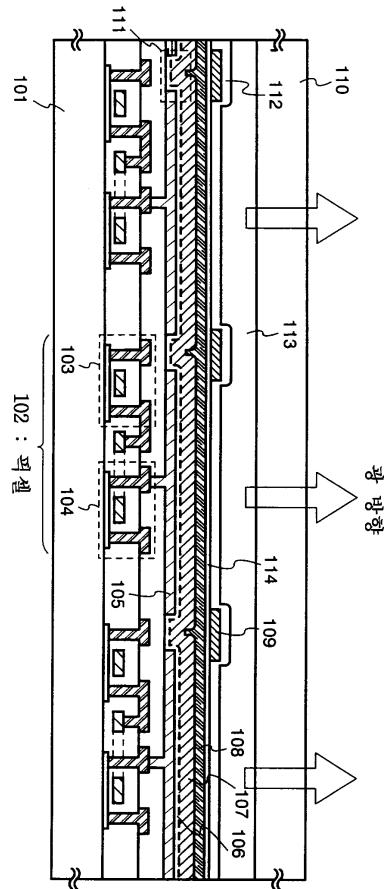
도면14a



도면14b



도면15



专利名称(译)	EL显示器件		
公开(公告)号	KR1020060012549A	公开(公告)日	2006-02-08
申请号	KR1020050123672	申请日	2005-12-15
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	NISHI TAKESHI 니시타케시 ISHIMARU NORIKO 이시마루노리코		
发明人	니시타케시 이시마루노리코		
IPC分类号	H05B33/10 H05B33/26 H01L27/32 H01L51/52		
CPC分类号	H01L27/3244 H01L27/3248 H01L51/5212 H01L51/529 H01L2251/5315 H01L51/5281 H01L51/5284		
代理人(译)	李昌勋 李贝尔		
优先权	1999356732 1999-12-15 JP		
其他公开文献	KR100740024B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种EL显示装置，其不仅能够降低EL装置中的阳极的平均薄膜电阻，还能够显示具有高分辨率的图像，以及包括这种EL显示装置的电子设备。遮光金属膜109设置在阳极108上以隐藏像素之间的间隙。因此，EL器件中阳极108的平均薄膜电阻降低。而且，可以防止来自像素之间的间隙的光泄漏，导致具有高分辨率的图像显示。1 指数方面 EL 显示器，平均薄膜，阳极，像素

