

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.<sup>7</sup>  
G09G 3/30

(11) 공개번호 10-2005-0110943  
(43) 공개일자 2005년11월24일

(21) 출원번호 10-2004-0035918  
(22) 출원일자 2004년05월20일

(71) 출원인 삼성에스디아이 주식회사  
경기 수원시 영통구 신동 575

(72) 발명자 정보용  
서울특별시송파구가락2동173-19호  
신동용  
서울특별시관악구봉천1동969-37

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 샘플/홀드 회로 및 이를 이용한 표시 장치

요약

본 발명은 샘플/홀드 회로 및 이를 이용한 표시 장치에 관한 것이다. 본 발명에 따른 샘플/홀드 회로는 제1 전극 및 제2 전극 간에 인가되는 전압에 대응하여 제3 전극으로 전류를 출력하는 제1 트랜지스터, 제1 트랜지스터의 제1 전극 및 제2 전극 간에 연결되는 제1 커패시터, 샘플링 구간에서 제1 트랜지스터에서 입력단으로 제1 전류가 흐르도록 하여, 제1 전류에 대응되는 전압이 제1 커패시터에 충전되도록 하는 제1 스위치 그룹, 홀딩 구간에서 제1 커패시터에 충전된 전압에 대응하는 전류가 출력단에서 제1 트랜지스터로 흐르도록 하는 제2 스위치 그룹, 및 입력단과 제1 전원 간에 연결되는 제2 커패시터를 포함한다.

대표도

도 5

색인어

유기 EL, 표시 장치, 샘플/홀드 회로, 역다중화, 커패시터

명세서

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 표시 장치를 도시한 것이다.

도 2는 본 발명의 일실시예에 따른 역다중화부를 개념적으로 도시한 블록도이다.

도 3은 본 발명의 일실시예에 따른 역다중화부의 구동 파형도이다.

도 4a는 본 발명의 제1 실시예에 따른 샘플/홀드 회로를 도시한 것이다.

도 4b는 도 4a에 도시된 회로의 등가 회로를 도시한 것이다.

도 5는 본 발명의 제2 실시예에 따른 샘플/홀드 회로를 도시한 것이다.

도 6은 본 발명의 제1 실시예에 따른 샘플/홀드 회로의 홀딩 신호의 상승 시간에 따른 문턱 전압별 오차율을 도시한 것이다.

도 7은 본 발명의 제2 실시예에 따른 샘플/홀드 회로의 홀딩 신호의 상승 시간에 따른 문턱 전압별 오차율을 도시한 것이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 샘플/홀드 회로를 이용하여 데이터 전류를 역다중화하는 유기 전계 발광(electroluminescent, 이하 EL 이라 함) 표시 장치에 관한 것이다.

일반적으로 유기 EL 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, N X M 개의 유기 발광셀들을 전압 기입 혹은 전류 기입하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 애노드, 유기 박막, 캐소드 레이어의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL), 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함하고 있다.

유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT)를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 접속하고 박막 트랜지스터의 게이트에 접속된 커패시터의 용량에 의해 유지된 전압에 의하여 구동하는 방식이다. 이때, 커패시터에 전압을 기록하기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나뉘어진다.

이러한 유기 EL 표시 장치는 주사선을 구동하기 위한 주사 구동부와 데이터선을 구동하기 위한 데이터 구동부가 필요하다. 이 때, 데이터 구동부는 디지털 데이터 신호를 아날로그 신호로 변환하여 모든 데이터선에 인가하여야 하므로, 데이터선의 개수에 해당하는 출력 단자를 가져야 한다. 그런데, 일반적으로 데이터 구동부는 복수의 집적 회로로 제작되며, 하나의 집적 회로가 가지는 출력 단자의 개수는 제한되어 있으므로 모든 데이터선을 구동하기 위해서는 많은 집적 회로가 사용되어야 하는 문제가 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기 문제점을 해결하기 위한 것으로서, 데이터 구동부의 집적 회로의 수를 감소시키기 위한 샘플/홀드 회로와 이를 이용한 표시 장치를 제공하기 위한 것이다.

### 발명의 구성 및 작용

상기 과제를 달성하기 위하여 본 발명의 하나의 특징에 따른 샘플/홀드 회로는 제1 전극 및 제2 전극 간에 인가되는 전압에 대응하여 제3 전극으로 전류를 출력하는 제1 트랜지스터; 상기 제1 트랜지스터의 상기 제1 전극 및 제2 전극 간에 연결되는 제1 커패시터; 샘플링 구간에서 상기 제1 트랜지스터에서 입력단으로 제1 전류가 흐르도록 하여, 상기 제1 전류에 대

응되는 전압이 상기 제1 커패시터에 충전되도록 하는 제1 스위치 그룹; 홀딩 구간에서 상기 제1 커패시터에 충전된 전압에 대응하는 전류가 출력단에서 상기 제1 트랜지스터로 흐르도록 하는 제2 스위치 그룹; 및 상기 입력단과 제1 전원 간에 연결되는 제2 커패시터를 포함한다.

본 발명의 하나의 특징에 따른 샘플/홀드 회로에 있어서, 상기 제1 스위치 그룹은 상기 제1 트랜지스터의 상기 제2 전극 및 제2 전원간에 연결되는 제1 스위치, 상기 제1 트랜지스터의 상기 제1 전극 및 상기 입력단 간에 연결되는 제2 스위치, 및 상기 제1 트랜지스터의 상기 제3 전극 및 상기 입력단 간에 연결되는 제3 스위치를 포함한다.

본 발명의 하나의 특징에 따른 샘플/홀드 회로에 있어서, 상기 제1 내지 제3 스위치는 실질적으로 동일한 제1 제어 신호에 응답하여 턴온된다.

본 발명의 하나의 특징에 따른 샘플/홀드 회로에 있어서, 상기 제2 스위치 그룹은 상기 제1 트랜지스터의 상기 제3 전극 및 제3 전원 간에 연결되는 제4 스위치, 및 상기 제1 트랜지스터의 상기 제2 전극 및 상기 출력단 간에 연결되는 제5 스위치를 포함한다.

본 발명의 하나의 특징에 따른 샘플/홀드 회로에 있어서, 상기 제4 및 제5 스위치는 실질적으로 동일한 제2 제어 신호에 응답하여 턴온된다.

본 발명의 하나의 특징에 따른 표시 장치는 화상을 나타내는 데이터 신호를 전달하는 복수의 데이터선과 상기 데이터선에 전기적으로 연결된 복수의 화소 회로를 포함하는 표시 영역; 복수의 제1 신호선; 상기 복수의 제1 신호선에 전기적으로 연결되고, 상기 데이터 신호를 시분할하여 상기 제1 신호선에 제1 전류를 공급하는 데이터 구동부; 상기 복수의 제1 신호선으로부터 전달된 상기 제1 전류를 역다중화한 상기 데이터 신호를 적어도 두 개의 데이터선으로 인가하는 역다중화부; 및 일전극이 상기 역다중화부의 입력단과 상기 제1 신호선 사이에 연결되고 타전극이 제1 전원에 연결되는 커패시터를 포함하며, 상기 역다중화부는 샘플링 구간에서 상기 제1 신호선에 인가되는 상기 제1 전류를 샘플링하여 제1 전압으로 저장하고, 홀딩 구간에서 상기 제1 전압에 대응되는 전류를 상기 데이터선에 인가하는 적어도 두 개의 샘플/홀드 회로를 포함한다.

이하, 본 발명의 실시예를 도면을 참조하여 상세히 설명한다.

이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 본 발명을 명확하게 설명하기 위하여 설명과 관계 없는 부분들은 도면에서 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

도 1은 본 발명의 일실시예에 따른 표시 장치를 도시한 것이다.

도 1에 도시한 바와 같이, 본 발명의 일실시예에 따른 표시 장치는 표시 패널(100), 주사 구동부(200, 300), 데이터 구동부(400) 및 역다중화부(500)를 포함한다.

표시 패널(100)에는 복수의 데이터선(Data[1]-Data[m]), 복수의 선택 주사선(select1[1]-select1[n]), 복수의 발광 주사선(select2[1]-select2[n]), 및 복수의 화소 회로(110)를 포함한다. 복수의 데이터선(Data[1]-Data[m])은 열 방향으로 뻗어 있으며 화상을 나타내는 데이터 전류를 화소 회로(110)로 전달한다. 복수의 선택 주사선(select1[1]-select1[n])과 복수의 발광 주사선(select2[1]-select2[n])은 행 방향으로 뻗어 있으며 각각 선택 신호와 발광 신호를 화소 회로(110)로 전달한다. 각 화소 회로(110)는 이웃한 데이터선과 이웃한 두 주사선에 의하여 정의되는 영역에 형성되어 있다.

주사 구동부(200)는 선택 주사선(select1[1]-select1[n])에 선택 신호를 순차적으로 인가하고, 주사 구동부(300)는 발광 주사선(select2[1]-select2[n])에 발광 신호를 순차적으로 인가한다. 데이터 구동부(400)는 신호선(SP[1]-SP[m'])을 통하여 데이터 전류를 역다중화부(500)로 출력하고, 역다중화부(500)는 신호선(SP[1]-SP[m'])에 의하여 입력된 데이터 전류를 역다중화하여 데이터선(Data[1]-Data[m])으로 전달한다.

본 발명의 일실시예에 따르면, 역다중화부(500)는 1:2 형태의 역다중화 장치로서, 데이터 구동부(400)로부터 입력되는 데이터 신호를 두 개의 데이터선으로 분할하여 인가한다. 본 발명의 다른 실시예에 따르면, 1:3, 1:4 등의 1:N 역다중화 장치를 이용할 수 있으며, N을 3 이하의 정수로 설정하는 것이 바람직하다.

주사 구동부(200, 300), 데이터 구동부(400) 및/또는 역다중화부(500)는 표시 패널(100)에 전기적으로 연결될 수 있으며 또는 표시 패널(100)에 접착되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package, TCP)에 칩 등의 형태로 장착될 수 있다. 또는 표시 패널(100)에 접착되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit, FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있다. 이와는 달리 주사 구동부(200, 300), 데이터 구동부(400) 및/또는 역다중화부(500)는 표시 패널(100)의 유리 기판 위에 직접 장착될 수도 있으며, 또는 유리 기판 위에 주사선, 데이터선 및 박막 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로와 대체될 수도 직접 장착될 수도 있다.

이하에서는 도 2 및 도 3을 참조하여 본 발명의 일실시예에 따른 역다중화부(500)에 대하여 설명한다.

도 2는 본 발명의 일실시예에 따른 역다중화부를 개념적으로 도시한 블록도이다.

도 2에 도시된 바와 같이, 본 발명의 일실시예에 따른 역다중화부는 데이터 저장 수단(21, 22, 23, 24), 샘플링 스위치(S1, S2, S3, S4)와, 홀딩 스위치(H1, H2, H3, H4)를 각각 포함하는 4개의 샘플/홀드 회로를 이용한다. 데이터 저장 수단(21, 22, 23, 24)은 샘플링 스위치(S1, S2, S3, S4)를 통하여 신호선(Sp[i])에 연결되고, 홀딩 스위치(H1, H2, H3, H4)를 통하여 데이터선(data[2i])과 데이터선(data[2i+1])에 연결된다.

한편, 본 발명의 명세서에서 사용되는 용어인 "샘플", "홀드"에 대해서 이하와 같이 정의한다.

샘플/홀드 회로의 동작을 살펴보면, 샘플링 스위치를 통하여 흐르는 전류를 샘플링하여 전압 형태로 데이터 저장 수단에 기록하는 동작과, 샘플링 스위치와 홀딩 스위치가 모두 열려 있어 기록된 데이터를 유지하면서 대기하는 상태와, 홀딩 스위치를 통하여 기록된 데이터에 대응하는 전류를 데이터선에 공급하는 동작을 포함한다. 따라서, 본 발명의 명세서에서는, 각각의 단계를 명확히 구별하기 위하여, 상기 각각의 단계를 "샘플링" 단계, "대기" 단계, "홀딩" 단계로 정의하기로 한다.

도 3은 도 2에 도시된 역다중화부(500)의 구동 파형도이다. 이하에서, 샘플링 스위치(S1, S2, S3, S4)는 인가되는 제어 신호가 로우일 때 닫히고, 홀딩 스위치(H1, H2, H3, H4)는 인가되는 제어 신호가 하이일 때 닫히는 것으로 가정한다.

먼저, 샘플링 스위치(S1, S2)가 순차적으로 닫히면, 데이터 저장 수단(21, 22)은 데이터 전류를 입력하여 샘플링 동작을 수행한다.

이 후, 샘플링 스위치(S3, S4)가 순차적으로 닫히어 데이터 저장 수단(23, 24)이 샘플링 동작을 수행한다. 이 때, 선택 신호(select[1])가 인가되고, 홀딩 스위치(H1, H2)가 닫히므로, 데이터 저장 수단(21, 22)에 샘플링되었던 전류가 데이터선(data[2i], data[2i+1])에 홀딩되어 화소로 기입된다.

이 후, 선택 신호(select[2])가 인가되고 홀딩 스위치(H3, H4)가 닫히면(도시되지 않음), 데이터 저장 수단(23, 24)에 샘플링되었던 전류가 데이터선(data[2i], data[2i+1])에 홀딩되어 화소로 기입된다.

상기 동작이 반복적으로 수행되고, 역다중화부(500)는 데이터 구동부(400)로부터 출력된 데이터 전류를 역다중화하여 데이터선(data[2i], data[2i+1])에 제공한다.

이와 같이, 본 발명의 일실시예에 따른 역다중화부(500)는 두 개의 샘플/홀드 회로가 데이터선을 통하여 데이터를 홀딩하고 있는 동안, 나머지 두 개의 샘플/홀드 회로는 데이터 구동부(400)로부터 데이터 전류를 순차적으로 샘플링함으로써, 데이터 기입 시간을 늘릴 수 있다.

이하에서는, 본 발명의 일실시예에 따른 역다중화부(500)를 구성하는 샘플/홀드 회로에 대하여 설명한다. 다만, 역다중화부(500)에 사용되는 4개의 샘플/홀드 회로는 실질적으로 서로 동일하게 구현되므로, 이하에서는 제1 샘플/홀드 회로에 대한 설명으로 나머지 샘플/홀드 회로의 설명을 대신한다.

도 4a는 본 발명의 제1 실시예에 따른 제1 샘플/홀드 회로를 도시한 것이고, 도 4b는 도 4a에 도시된 회로의 등가 회로를 본 발명의 제1 실시예에 따라서 도시한 것이다.

본 발명의 일실시예에 따른 제1 샘플/홀드 회로는 도 4a에 도시된 바와 같이 데이터 저장 수단(21), 샘플링 스위치(S1), 및 홀딩 스위치(H1)를 포함한다.

여기서, 데이터 저장 수단(21)은 도 4b의 트랜지스터(M1) 및 커패시터(C1)에 대응되고, 샘플링 스위치(S1)는 도 4b의 스위치(Sa, Sb, Sc)에 대응되며, 홀딩 스위치(H1)는 도 4b의 스위치(Ha, Hb)에 대응된다.

여기서, 스위치(Sa, Sb, Sc)는 실질적으로 동일한 제어 신호에 의하여 제어되고, 스위치(Ha, Hb)도 실질적으로 동일한 제어 신호에 의하여 제어된다.

도 4b에 도시된 바와 같이, 스위치(Sa)는 전원(VDD)과 트랜지스터(M1)의 소스 간에 접속되고, 스위치(Ha)는 전원(VSS)과 트랜지스터(M1)의 드레인 간에 접속된다. 스위치(Sb)의 일단은 트랜지스터(M1)의 게이트에 접속되고, 타단은 스위치(Sc)의 일단과 접속되며, 스위치(Sc)의 타단은 트랜지스터(M1)의 드레인에 접속된다. 이로써, 스위치(Sb, Sc)가 닫히는 경우 트랜지스터(M1)는 다이오드 연결을 형성하게 된다.

이와 같이 구성함으로써, 샘플링 스위치(Sa, Sb, Sc)가 닫히고, 홀딩 스위치(Ha, Hb)가 열리는 경우, 트랜지스터(M1)는 게이트와 소스가 연결되어 다이오드 연결이 형성되고, 전류는 트랜지스터(M1)를 경유하여 전원(VDD)으로부터 데이터 구동부(200)로 흐른다. 이때, 커패시터(C1)에는 트랜지스터(M1)에 흐르는 전류에 대응하는 게이트 및 소스 간 전압이 충전된다. 이 때, 제1 샘플/홀드 회로는 데이터의 샘플링 동작을 수행하게 된다.

여기서 샘플링 스위치(Sa, Sb, Sc) 및 홀딩 스위치(Ha, Hb)가 모두 열리면, 제1 샘플/홀드 회로는 대기 상태가 된다. 상기 대기 상태는 역다중화기(300)의 또 다른 샘플/홀드 회로가 데이터선에 데이터를 홀딩하고 있는 동안 대기하고 있는 상태이다.

샘플링 스위치(Sa, Sb, Sc)가 열리고, 홀딩 스위치(Ha, Hb)가 닫히면, 상기 커패시터(C1)에 충전된 게이트 및 소스 간 전압에 대응하는 전류가 트랜지스터(M1)의 소스에서 드레인으로 일정하게 유지된다. 이때, 제1 샘플/홀드 회로는 데이터 기입 동작을 수행하게 되고, 데이터선을 통하여 데이터를 홀딩하게 된다.

도 4b에서 트랜지스터(M1)가 P 타입의 채널을 갖는 트랜지스터로 구현된 경우를 도시하였으나, 트랜지스터(M1)는 제1 전극, 제2 전극, 및 제3 전극을 구비하고, 제1 전극 및 제2 전극에 인가되는 전압에 의하여 제3 전극으로 흐르는 전류를 제어하는 능동 소자로 구현될 수 있다.

그러나, 본 발명의 제1 실시예에 따른 샘플/홀드 회로를 역다중화부(500)에 사용한 결과, 표시 패널(100)에 일정하게 반복되는 점무늬가 생기는 현상이 발견되었다. 이는 역다중화부(500)에 포함된 네 개의 샘플/홀드 회로의 특성차에 기인한 것으로, 네 개의 샘플/홀드 회로가 서로 동일한 데이터 전류를 샘플링하였다 하더라도, 홀딩되는 전류는 서로 동일하지 않았기 때문이다.

구체적으로는, 공정상의 오차로 인하여 네 개의 샘플/홀드 회로에 포함된 구동 트랜지스터(M1)의 문턱 전압( $V_{th}$ ) 간에 편차가 존재하며, 동일한 전류를 샘플링한 경우에도 홀딩되는 전류가 서로 다르게 된다.

따라서, 본 발명의 제2 실시예에 따른 역다중화부(500)는 네 개의 샘플/홀드 회로의 입력단에 커패시터(C2)를 추가하여, 트랜지스터(M1) 간에 발생하는 문턱 전압의 불일치로 인한 홀딩 전류의 편차를 감소시킨다.

도 5는 본 발명의 제2 실시예에 따른 샘플/홀드 회로를 도시한 것이다.

본 발명의 제2 실시예에서는 샘플/홀드 회로의 입력단에 커패시터(C2)를 연결함으로써, 네 개의 샘플/홀드 회로의 트랜지스터(M1)의 문턱 전압( $V_{th}$ )의 편차로 인한 홀딩 전류의 오차를 감소시킨다.

그리고, 샘플링을 위한 스위치(Sa, Sb, Sc)를 각각 PMOS 트랜지스터(M2, M4, M5)로 형성하고, 홀딩을 위한 스위치(Ha, Hb)를 각각 NMOS 트랜지스터(M3, M6)로 형성한다. 트랜지스터(M2, M4, M5)에는 실질적으로 동일한 샘플링 신호(S)가 인가되고, 트랜지스터(M3, M6)에는 실질적으로 동일한 홀딩 신호(H)가 인가된다.

이와 같이 구성함으로써 제어 신호선의 수를 감소시킬 수 있고, 트랜지스터(M2, M4, M5)와 트랜지스터(M3, M6)의 극성이 상이하기 때문에 대기 상태 없이 샘플링, 홀딩 동작만 수행하는 경우에는 샘플링 신호(S)와 홀딩 신호(H)를 동일한 신호를 이용하여 사용할 수 있다.

그러나, 본 발명의 실시예에 따라서 스위치(Sa, Sb, Sc, Ha, Hb)를 구성하는 트랜지스터의 채널 타입을 도 5와 다르게 설정할 수 있으며, 이에 따른 회로적 변경은 당업자에게 자명한 사항이므로 상세한 설명은 생략하기로 한다.

도 6은 본 발명의 제1 실시예에 따른 샘플/홀드 회로의 홀딩 신호(H)의 상승 시간에 따른 문턱 전압( $V_{th}$ )별 오차율을 도시한 것이고, 도 7은 본 발명의 제2 실시예에 따른 샘플/홀드 회로의 홀딩 신호(H)의 상승 시간에 따른 문턱 전압( $V_{th}$ )별 오차율을 도시한 것이다. 다만, 도 7은 커패시터(C2)를 3pF로 설정한 경우를 도시하였다.

도 6 및 도 7에 도시된 바와 같이, 홀딩 신호(H)의 상승 시간이 100nS일 때, 본 발명의 제1 실시예의 경우 홀딩 신호의 오차율은 -1.4%~1.9%이지만, 본 발명의 제2 실시예의 경우 오차율은 -0.5%~0%로 감소하였음을 알 수 있다.

따라서, 샘플/홀드 회로의 샘플링 신호(S) 및 홀딩 신호(H)의 동작 속도에 따라 입력단의 커패시터(C2)를 적절히 사용함으로써, 샘플/홀드 회로의 문턱 전압( $V_{th}$ )별 오차율을 감소시킬 수 있다.

이상으로 본 발명의 실시예에 따른 샘플/홀드 회로 및 이를 이용한 표시 장치에 대하여 설명하였다. 상기 설명된 실시예는 본 발명의 개념이 적용된 일실시예로서, 본 발명의 범위가 상기 실시예에 한정되는 것은 아니며, 본 발명의 개념을 그대로 이용하여 여러 가지 변형된 실시예를 형성할 수 있음은 당업자에게 자명하다.

### 발명의 효과

본 발명에 따르면, 홀딩 전류의 편차가 적은 샘플/홀드 회로를 제공할 수 있다.

또한, 샘플/홀드 회로를 역다중화기로 이용함으로써 데이터 구동부의 집적 회로의 수를 감소시킬 수 있다.

나아가, 홀딩 신호의 상승 시간에 따라 샘플/홀드 회로의 입력단에 형성된 커패시터의 커패시턴스를 적절히 제어함으로써, 샘플/홀드 회로의 문턱 전압별 오차율을 줄일 수 있다.

### (57) 청구의 범위

#### 청구항 1.

제1 전극 및 제2 전극 간에 인가되는 전압에 대응하여 제3 전극으로 전류를 출력하는 제1 트랜지스터;

상기 제1 트랜지스터의 상기 제1 전극 및 제2 전극 간에 연결되는 제1 커패시터;

샘플링 구간에서 상기 제1 트랜지스터에서 입력단으로 제1 전류가 흐르도록 하여, 상기 제1 전류에 대응되는 전압이 상기 제1 커패시터에 충전되도록 하는 제1 스위치 그룹;

홀딩 구간에서 상기 제1 커패시터에 충전된 전압에 대응하는 전류가 출력단에서 상기 제1 트랜지스터로 흐르도록 하는 제2 스위치 그룹; 및

상기 입력단과 제1 전원 간에 연결되는 제2 커패시터

를 포함하는 샘플/홀드 회로.

#### 청구항 2.

제1항에 있어서,

상기 제1 스위치 그룹은 상기 제1 트랜지스터의 상기 제2 전극 및 제2 전원 간에 연결되는 제1 스위치, 상기 제1 트랜지스터의 상기 제1 전극 및 상기 입력단 간에 연결되는 제2 스위치, 및 상기 제1 트랜지스터의 상기 제3 전극 및 상기 입력단 간에 연결되는 제3 스위치를 포함하는 샘플/홀드 회로.

### 청구항 3.

제2항에 있어서,

상기 제1 내지 제3 스위치는 실질적으로 동일한 제1 제어 신호에 응답하여 턴온되는 샘플/홀드 회로.

### 청구항 4.

제1항에 있어서,

상기 제2 스위치 그룹은 상기 제1 트랜지스터의 상기 제3 전극 및 제3 전원 간에 연결되는 제4 스위치, 및 상기 제1 트랜지스터의 상기 제2 전극 및 상기 출력단 간에 연결되는 제5 스위치를 포함하는 샘플/홀드 회로.

### 청구항 5.

제4항에 있어서,

상기 제4 및 제5 스위치는 실질적으로 동일한 제2 제어 신호에 응답하여 턴온되는 샘플/홀드 회로.

### 청구항 6.

화상을 나타내는 데이터 신호를 전달하는 복수의 데이터선과 상기 데이터선에 전기적으로 연결된 복수의 화소 회로를 포함하는 표시 영역;

복수의 제1 신호선;

상기 복수의 제1 신호선에 전기적으로 연결되고, 상기 데이터 신호를 시분할하여 상기 제1 신호선에 제1 전류를 공급하는 데이터 구동부;

상기 복수의 제1 신호선으로부터 전달된 상기 제1 전류를 역다중화한 상기 데이터 신호를 적어도 두 개의 데이터선으로 인가하는 역다중화부; 및

일전극이 상기 역다중화부의 입력단과 상기 제1 신호선 사이에 연결되고 타전극이 제1 전원에 연결되는 커패시터

를 포함하며,

상기 역다중화부는 샘플링 구간에서 상기 제1 신호선에 인가되는 상기 제1 전류를 샘플링하여 제1 전압으로 저장하고, 홀딩 구간에서 상기 제1 전압에 대응되는 전류를 상기 데이터선에 인가하는 샘플/홀드 회로를 포함하는 표시 장치.

### 청구항 7.

제6항에 있어서,

상기 샘플/홀드 회로는,

제1 전극 및 제2 전극 간에 인가되는 전압에 대응하여 제3 전극으로 전류를 출력하는 제1 트랜지스터,

상기 제1 트랜지스터의 상기 제1 전극 및 제2 전극 간에 연결되는 제1 커패시터,

샘플링 구간에서 상기 제1 트랜지스터에서 상기 제1 신호선으로 상기 제1 전류가 흐르도록 하여, 상기 제1 전류에 대응되는 전압이 상기 제1 커패시터에 충전되도록 하는 제1 스위치 그룹,

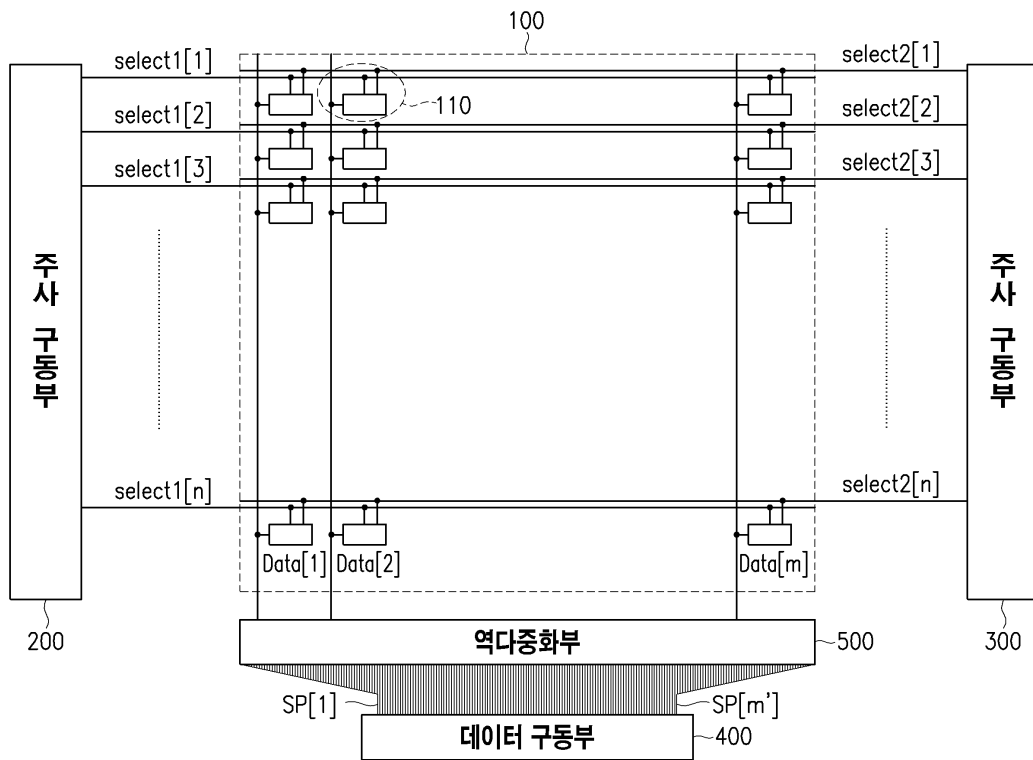
홀딩 구간에서 상기 제1 커패시터에 충전된 전압에 대응하는 데이터 전류가 상기 데이터선에서 상기 제1 트랜지스터로 흐르도록 하는 제2 스위치 그룹, 및

상기 입력단과 제1 전원 간에 접속되는 제2 커패시터

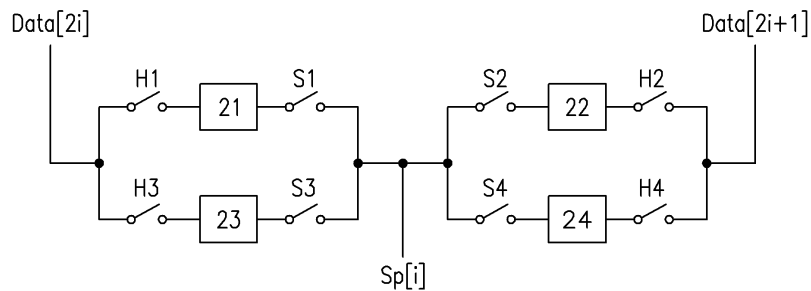
를 포함하는 표시 장치.

도면

도면1

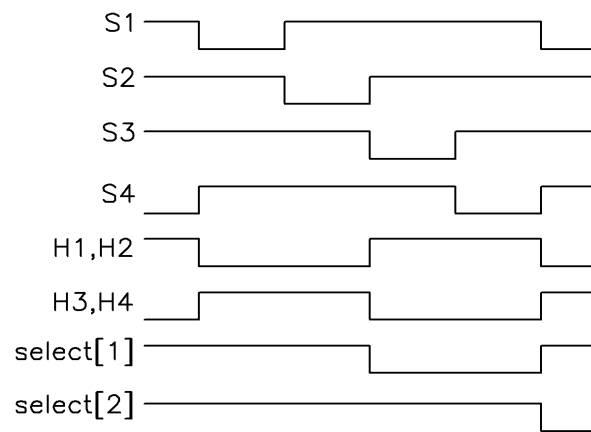


도면2

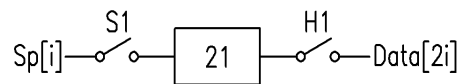




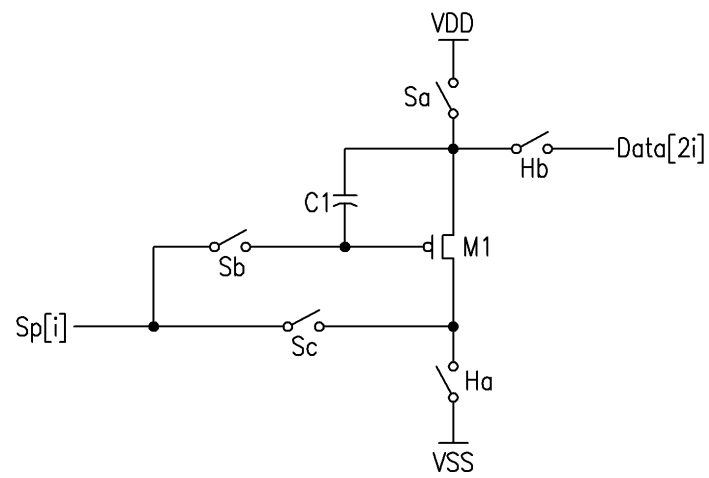
도면3



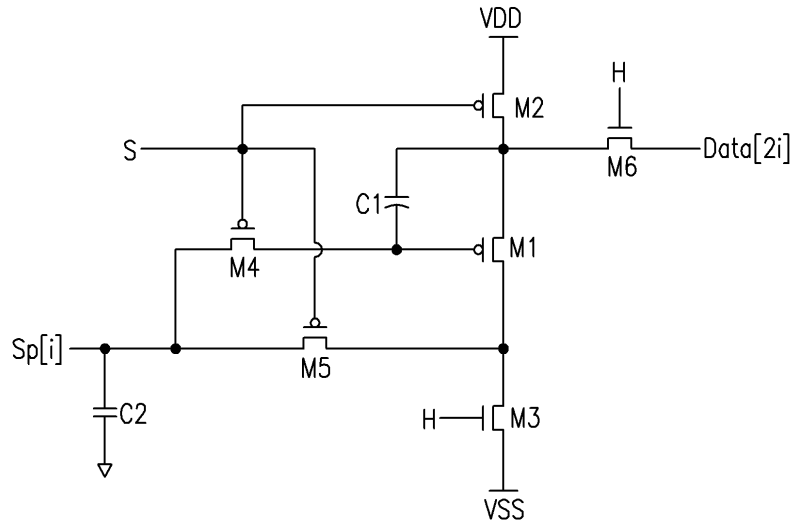
도면4a



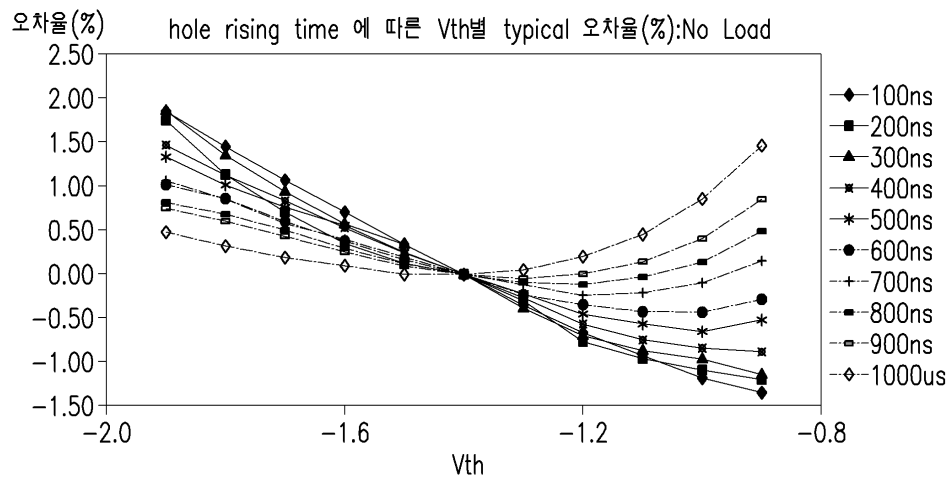
도면4b



도면5



도면6



도면7

