



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월07일
(11) 등록번호 10-1228859
(24) 등록일자 2013년01월28일

(51) 국제특허분류(Int. Cl.)

H05B 33/10 (2006.01)

(21) 출원번호 10-2005-0069448

(22) 출원일자 2005년07월29일

심사청구일자 2010년07월28일

(65) 공개번호 10-2006-0048932

(43) 공개일자 2006년05월18일

(30) 우선권주장

JP-P-2004-00224660 2004년07월30일 일본(JP)

(56) 선행기술조사문헌

US20040072380 A1*

JP2004047411 A*

KR1020030029108 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키, 슌페이

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내

무라카미, 사토시

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 8 항

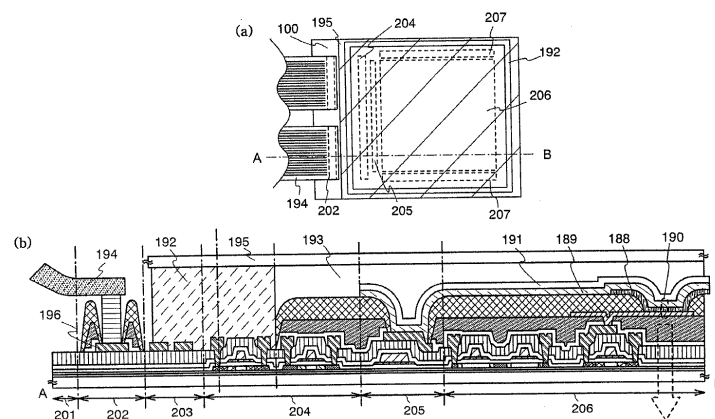
심사관 : 윤성주

(54) 발명의 명칭 디스플레이 디바이스 및 이의 제조 방법

(57) 요약

본 발명은 고수율(high yield)로 저비용으로 고도로 신뢰성 있는 디스플레이 디바이스를 제조하는 방법을 제공한 다. 본 발명에 따라서, 컨택트 내 개구에 기인한 단계는 이 단계를 감소시키기 위해 절연층으로 덮이고 완전한 형상으로 가공된다. 절연층과 접촉하도록 배선 등이 형성되고 이에 따라 배선 등의 피복성(coverage)이 향상된 다. 또한, 물과 같은 오염 물질들(contaminants)에 기인한 발광 요소의 열화(deterioration)는 디스플레이 디 바이스에 물 투수성(water permeability)을 갖는 유기 재료를 포함하는 층을 실링 재료로 실링함으로써 방지될 수 있다. 실링 재료는 디스플레이 디바이스 내 구동 회로부에 형성되기 때문에, 디스플레이 디바이스의 프레임 마진(frame margin)이 좁아질 수 있다.

대표도



(72) 발명자

구라타, 모토무

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 39
8, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

하타, 히로유키

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 39
8, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

이치조, 미츠히로

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 39
8, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

오츠키, 타카시

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 39
8, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

안자이, 아야

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 39
8, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

사카쿠라, 마사유키

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 39
8, 가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

특허청구의 범위

청구항 1

디스플레이 디바이스에 있어서:

화소 영역 및 접속 영역을 포함하고,

상기 화소 영역은:

불순물 영역을 포함하는 반도체층;

상기 반도체층 위의 게이트 절연층;

상기 게이트 절연층 위의 게이트 전극층;

상기 게이트 전극층 위의 제 1 층간 절연층;

상기 게이트 절연층 및 상기 제 1 층간 절연층 내에 개구되는 상기 불순물 영역에 이르는 제 1 개구;

상기 제 1 개구 내의 소스 또는 드레인 전극층으로서, 상기 소스 또는 드레인 전극층은 상기 제 1 층간 절연층을 사이에 개재하여 상기 게이트 전극층의 일부를 덮는, 상기 소스 또는 드레인 전극층;

상기 소스 또는 드레인 전극층 위의, 그리고 상기 제 1 층간 절연층 위의 제 2 층간 절연층으로서, 상기 제 2 층간 절연층은 상기 소스 또는 드레인 전극층에 이르는 제 2 개구를 갖는, 상기 제 2 층간 절연층; 및

상기 제 2 개구 내의 제 1 전극층을 포함하고,

상기 접속 영역은:

상기 제 1 층간 절연층 아래에 제공된 도전층;

상기 제 1 층간 절연층 위에 제공된 배선층으로서, 상기 배선층은 상기 접속 영역내의 상기 도전층과 중첩하는, 상기 배선층;

상기 배선층에 이르는 제 3 개구를 구비한 상기 제 2 층간 절연층으로서, 상기 제 3 개구의 상측 엣지 부분은 절연층으로 덮이는, 상기 제 2 층간 절연층; 및

상기 절연층 및 상기 배선층과 접촉하도록 상기 제 3 개구 내의 제 2 전극층을 포함하고,

상기 제 2 층간 절연층은 2-층 구조를 갖는, 디스플레이 디바이스.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

디스플레이 디바이스에 있어서:

화소 영역 및 접속 영역을 포함하고,

상기 화소 영역은:

반도체 영역과 게이트 전극을 포함하는 박막 트랜지스터로서, 상기 반도체 영역과 상기 게이트 전극 사이에는 게이트 절연막이 개재되는, 상기 박막 트랜지스터;

적어도 상기 게이트 전극을 덮는 제 1 층간 절연층;

상기 제 1 층간 절연층 위의 제 1 전극으로서, 상기 제 1 전극은 상기 반도체 영역에 전기적으로 접속되는, 상기 제 1 전극;

상기 제 1 전극 및 상기 제 1 층간 절연층 위의 제 2 층간 절연층; 및

상기 제 2 층간 절연층 위의 제 2 전극으로서, 상기 제 2 전극은 상기 제 1 전극에 전기적으로 접속되는, 상기 제 2 전극을 포함하고,

상기 접속 영역은:

상기 제 1 층간 절연층 아래에 제공된 도전층;

상기 제 1 층간 절연층 위에 형성된 배선으로서, 상기 배선은 상기 접속 영역내의 상기 도전층과 중첩하는, 상기 배선;

상기 배선에 이르는 개구를 구비한 상기 제 2 층간 절연층으로서, 상기 개구의 상측 엣지 부분은 절연층으로 덮이는, 상기 제 2 층간 절연층; 및

상기 절연층 위의 제 3 전극으로서, 상기 제 3 전극은 상기 개구를 통해 상기 배선에 전기적으로 접속되는, 상기 제 3 전극을 포함하고,

상기 제 2 층간 절연층은 2-층 구조를 갖는, 디스플레이 디바이스.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

제 7 항에 있어서, 상기 절연층은 상기 제 2 전극 위에 형성된, 디스플레이 디바이스.

청구항 25

제 7 항에 있어서, 상기 제 3 전극은 상기 제 2 전극 위에 형성되고 그들 사이에는 전계 발광층이 개재되는, 디스플레이 디바이스.

청구항 26

제 1 항 또는 제 7 항에 있어서, 상기 제 1 층간 절연층은 무기 절연 재료를 포함하고, 상기 제 2 층간 절연층은 유기 절연 재료를 포함하는, 디스플레이 디바이스.

청구항 27

삭제

청구항 28

제 1 항 또는 제 7 항에 있어서, 상기 제 2 층간 절연층의 상기 2-층 구조는 무기 절연 재료 및 유기 절연 재료를 포함하는, 디스플레이 디바이스.

청구항 29

제 1 항 또는 제 7 항에 있어서, 상기 제 2 층간 절연층 및 상기 절연층은 실링 재료 내에 형성되는, 디스플레이 디바이스.

청구항 30

제 1 항 또는 제 7 항에 있어서, 상기 디스플레이 디바이스는 텔레비전 디바이스, 컴퓨터, 화상 재생 디바이스,

셀룰러 전화, 및 비디오 카메라로 구성된 그룹 으로부터 선택된 적어도 하나에 탑재되는, 디스플레이 디바이스.

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0027] 본 발명은 디스플레이 디바이스 및 이를 제조하는 방법에 관한 것이다.
- [0028] EL 소자는 발광 휘도(luminance) 또는 발광 균일성(evenness of luminescence)과 같은 발광 특성들이 초기 기간에 비해 시간에 따라 현저히 열화하는 문제가 있다. 낮은 신뢰도(reliability)는 제한된 실제 응용의 요인이다.
- [0029] 신뢰도를 악화시키는 한 요인으로서, 외부로부터 EL 소자에 침투하는 물 또는 산소가 있다.
- [0030] 따라서, EL 소자의 열화를 방지하기 위한 구조를 갖는 디스플레이 디바이스가 개발되었다. 또한, 실링 재료(sealing material)는 EL 소자가 제공된 절연체(insulator) 상에 형성되고 피복 재료(covering material) 및 실링 재료에 의해 둘러싸인 공간을 수지로 만들어진 충전재(filler) 등으로 채워, EL 소자가 외부로부터 차단되게 하는 방법이 있다(예를 들면, 참조 문헌 1: 일본 특원-공개 제 2001-204076호)

발명이 이루고자 하는 기술적 과제

- [0031] 본 발명의 목적은 공정을 복잡하게 하지 않으면서 고수율(high yield)을 가진 저비용의 고도로 신뢰성이 있고 우수한 전기적 특징들을 갖는 디스플레이 디바이스를 제조하는 방법 및 디스플레이 디바이스를 제조하는 장치를 제공하는 것이다.
- [0032] 본 발명에 따라서, 콘택트에 개구에 기인한 단계는 이 단계를 감소시키기 위해 절연층으로 피복되고 완만한 형상으로 가공된다. 절연층과 접촉하도록 배선 등이 형성되고 이에 따라 배선 등의 피복성이 향상된다. 또한, 물과 같은 오염 물질들에 기인한 발광 요소의 열화는 디스플레이 디바이스에 물 투수성의 유기 재료를 포함하는 층을 실링 재료로 실링함으로써 방지될 수 있다. 실링 재료는 디스플레이 디바이스 내 구동 회로부에 형성되기

때문에, 디스플레이 디바이스의 프레임 마진이 좁아질 수 있다.

[0033] 본 발명이 적용될 수 있는 디스플레이 디바이스에 관하여, 전계 발광(electroluminescence)(이하, EL)이라 하는 광-방출(light-emitting)을 발생하는 유기 재료 또는 전극들 사이에 유기 재료와 무기 재료의 혼합물을 갖는 매질을 갖는 발광 요소를 포함하고, 발광 요소가 TFT에 접속되는 발광 디스플레이 디바이스가 있다.

[0034] 본 발명에 따른 디스플레이 디바이스의 일 양태는, 화소 영역; 접속 영역; 상기 화소 영역에 불순물 영역을 포함하는 반도체층; 상기 반도체층 상에 게이트 절연층; 상기 게이트 절연층 상에 게이트 전극층; 상기 게이트 전극층 상에 제 1 층간 절연층; 상기 게이트 절연층 및 상기 제 1 층간 절연층 내 상기 불순물 영역에 이르는 제 1 개구; 상기 개구 내에 소스 또는 드레인 전극층으로서, 상기 소스 또는 드레인 전극층은 그들 사이에 제 1 층간 절연층을 가진 상기 게이트 전극층의 부분을 덮는, 상기 개구 내의 소스 또는 드레인 전극층; 상기 소스 또는 드레인 전극층 및 상기 제 1 층간 절연층에 이르는 제 2 층간 절연층으로서, 상기 제 2 층간 절연층은 상기 소스 또는 드레인 전극층 상에 도달하는 제 2 개구를 가지고, 상기 제 2 개구는 그 사이에 상기 제 1 층간 절연층을 개재하여 상기 게이트 전극층의 부분을 덮는 상기 소스 또는 드레인 전극층 내 제공되는, 상기 제 2 층간 절연층; 상기 제 2 개구 내 제 1 전극층; 상기 접속 영역 내 상기 층간 절연층 상에 제공된 배선층, 상기 배선층 상에서 상기 배선층에 이르는 제 3 개구가 제공되는 상기 제 2 층간 절연층으로서, 상기 제 3 개구의 상측 엣지 부분은 절연층으로 덮이는, 상기 제 2 층간 절연층; 및 상기 절연층과 접촉하여 있도록 상기 제 3 개구 내의 제 2 전극층을 포함하는, 디스플레이 디바이스다.

[0035] 본 발명에 따른 디스플레이 디바이스의 일 양태는, 화소 영역에 불순물 영역을 포함하는 반도체층을 형성하는 단계; 접속 영역 내에 상기 게이트 절연층 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 게이트 전극층 및 도전층을 형성하는 단계; 상기 게이트 전극층 및 상기 도전층 상에 제 1 층간 절연층을 형성하는 단계로서, 상기 게이트 절연층 및 상기 제 1 층간 절연층은 상기 불순물 영역에 이르는 개구를 각각 가지는, 상기 제 1 층간 절연층 형성 단계; 상기 제 1 개구 및 상기 게이트 전극층의 일부를 덮도록 소스 또는 드레인 전극층을 형성하는 단계; 상기 제 1 층간 절연층 상에 상기 도전층을 덮도록 배선층을 형성하는 단계; 상기 제 1 층간 절연층, 상기 배선층, 및 상기 소스 또는 드레인 드레인층 상에 제 2 층간 절연층을 형성하는 단계; 상기 소스 또는 드레인 전극층에 이르는 제 2 개구 및 상기 배선층에 이르는 제 3 개구를 상기 제 2 층간 절연층 내 형성하는 단계; 상기 제 2 개구에 제 1 전극층을 형성하는 단계; 상기 제 3 개구의 상측 엣지 부분을 덮도록 상기 제 2 층간 절연층 및 상기 제 1 전극층의 부분에 절연층을 형성하는 단계; 및 상기 절연층과 접촉되도록 상기 제 3 개구에 제 2 전극층을 형성하는 단계에 의해 제조되는 디스플레이 디바이스이다.

[0036] 본 발명에 따라서, 간이화된 공정을 통해 고도로 신뢰성 있는 디스플레이 디바이스가 제조될 수 있다. 그러므로, 고정밀 및 고품질의 이미지들을 나타내는 디스플레이 디바이스가 고수율이고 저비용으로 제조될 수 있다.

발명의 구성 및 작용

[0037] 이하 첨부한 도면을 참조하여 본 발명의 실시형태들을 기술한다. 본 발명은 많은 서로 다른 실시형태들로 실행될 수 있고, 당업자는 여기 개시된 실시형태 및 상세는 본 발명의 정신 및 범위 내에서 다양할 수 있음은 쉽게 알 것이다. 본 발명은 아래 주어지는 실시형태들의 기술내용으로 제한되는 것으로 해석되지 않을 것임에 유의해야 할 것이다. 전 도면에 걸쳐 동일 부분들에 동일 참조 부호들을 사용하였으며 그에 대한 설명은 반복하지 않는 것에 유의한다.

[0038] [실시형태 1]

[0039] 도 1a 내지 도 6b를 참조하여 실시형태 1에서 박막 트랜지스터를 형성하는 방법이 상세히 기술된다.

[0040] 또한, 도 16a는 본 발명에 따른 디스플레이 패널의 구조의 평면도이다. 화소들(2702)이 매트릭스로 배열된 화소부(2701), 주사선 입력단자(2703), 및 신호선 입력단자(2704)는 절연면을 갖는 기판(2700) 상에 형성된다. 화소수는 각종의 표준에 따라 제공될 수도 있다. XGA의 화소수는 1024 x 768 x 3(RGB)일 수 있고, UXGA의 화소수는 1600 x 1200 x 3(RGB)일 수 있고, 풀-스펙 하이 비전(full-spec high vision)의 화소수는 1920 x 1080 x 3(RGB)일 수 있다.

[0041] 화소들(2702)은 주사선 입력단자(2703)로부터 연장되는 주사선(scanning line)을 신호선 입력단자(2704)로부터 연장되는 신호선에 교차시킴으로써 매트릭스로 배열된다. 각 화소(2702)는 스위칭 요소와 이에 접속된 화소 전극을 구비한다. 스위칭 요소의 전형적인 예는 TFT이다. TFT의 게이트 전극층은 주사선에 접속되고, 이의 소스 또는 드레인층은 신호선에 접속되고, 따라서 각 화소는 외부에서 입력되는 신호에 의해 독립적으로 제어될 수

있다.

- [0042] TFT는 주요 구성요소들로서 반도체층, 게이트 절연층, 및 게이트 전극을 포함한다. 반도체층 내 형성되는 소스 영역 및 드레인 영역에 접속되는 배선이 그에 동반된다. 기판측으로부터 순차적으로 반도체층, 게이트 절연층, 및 게이트 전극층이 배열되는 탑 게이트형(top gate type), 기판측으로부터 순차적으로 게이트 전극층, 게이트 절연층 및 반도체층이 배열되는 바텀 게이트형(bottom gate type), 등은 TFT의 전형적인 구조들로서 알려져 있다. 그러나, 이들 구조들 중 어느 것이든 본 발명에 적용될 수 있다.
- [0043] 도 16a는 외부 구동 회로에 의해 주사선 및 신호선에 입력할 신호를 제어하는 디스플레이 패널의 구조를 도시한 것이다. 또한, 구동기 IC 2751은 도 17a에 도시된 바와 같은 COG(Chip on Glass) 방법에 의해 기판(2700) 상에 실장될 수 있다. 또 다른 실장형태(mounting mode)로서, TAB(Tape Automated Bonding) 방법이 도 17b에 도시된 바와 같이 채용될 수도 있다. 구동기 IC는 단결정 반도체 기판 상에 형성될 수 있거나, 유리 기판 상에 TFT를 갖는 회로로 형성될 수 있다. 도 17a 및 도 17b에서, 구동기 IC 2751은 FPC(가요성 인쇄 회로;flexible printed circuit)에 접속된다.
- [0044] 화소 내 제공된 TFT가 결정질 반도체(crystalline semiconductor)로부터 형성될 때, 주사선 구동 회로(scanning line driver circuit)(3702)는 도 16b에 도시된 바와 같이 기판(3700) 상에 집적되도록 형성될 수도 있다. 도 16b에서, 화소부(3701)는 도 16a와 동일한 방식으로 신호선 입력 단자(3704)에 접속되는 외부 구동 회로에 의해 제어된다. 화소에 제공된 TFT가 다결정질(polycrystalline)(마이크로결정질;microcrystalline) 반도체로부터 형성될 때, 고 이동도(high mobility)를 갖는 단결정질 반도체 등, 주사선 구동 회로(4702) 및 신호선 구동 회로(4704)는 도 16c에서 기판(4700) 상에 집적되도록 형성될 수 있다.
- [0045] 절연면을 구비한 기판(100) 상에, 기저막(base film)(101a)이, 스퍼터링 방법(sputtering method), 물리 기상 증착(PVD;physical vapor deposition) 방법, 저압 화학 기상 증착(LVCVD;low-pressure CVD) 방법 또는 플라즈마 CVD 방법과 같은 화학 기상 증착(CVD;chemical vapor deposition) 방법 등에 의해 질화 산화실리콘(SiNO)막을 사용하여 10 nm 내지 200 nm(바람직하게는, 50 nm 내지 100 nm)의 두께를 갖도록 형성되고, 이 위에 기저막(101b)이 기저막으로서 실리콘 옥시니트라이드(SiON)막을 사용하여 50 nm 내지 200 nm(바람직하게는, 100 nm 내지 150 nm)의 막 두께를 갖도록 적층된다. 기판으로서, 유리 기판, 석영 기판, 실리콘 기판, SUS 기판과 같은 금속 기판, 또는 절연막이 형성되는 표면에 스테인레스 기판(stainless substrate)이 사용될 수도 있다. 또한, 이 실시형태의 공정온도를 견딜 수 있는 내열성(heat-resistance)을 갖는 플라스틱 기판, 또는 막과 같은 가요성 기판이 또한 사용될 수 있다. 플라스틱 기판의 예들로서, PET(polyethylene terephthalate), PEN(polyethylene naphthalate) 또는 PES(polyester sulfide)로부터 만들어진 기판들이 제공된다. 아크릴과 같은 합성 수지(synthetic resin)로부터 만들어진 기판이 가요성 기판으로서 사용될 수 있다.
- [0046] 기저막은 산화실리콘, 질화실리콘, 실리콘 옥시니트라이드, 질화 산화실리콘 등을 채용할 수 있고, 단층, 또는 2층 또는 3층으로 적층된 구조를 채택할 수도 있다. 본 명세서에서, 실리콘 옥시니트라이드는 조성비(composition ratio)에서 질소보다 산소를 더 함유한 물질이며, 질소를 함유한 산화실리콘이라 할 수 있다. 유사하게, 질화 산화실리콘은 조성비에서 산소보다 질소를 더 함유한 물질이며, 산소를 함유한 질화실리콘이라 할 수 있다. 이 실시형태에서, 질화 산화실리콘막은 반응 가스로서 SiH_4 , NH_3 , N_2O , N_2 및 H_2 를 사용하여 50 nm 두께가 되게 형성되며, 실리콘 옥시니트라이드 막은 기판 상에 반응 가스로서 SiH_4 및 N_2O 를 사용하여 100 nm 두께가 되도록 형성된다. 질화 산화실리콘 막 및 이 위에 적층될 실리콘 옥시니트라이드 막의 두께들은 각각 140 nm 및 100 nm로 설정될 수 있다.
- [0047] 이어서, 반도체 막이 기저막 상에 형성된다. 반도체막은 공지의 방법(스퍼터링, LPCVD, 플라즈마 CVD, 등)에 의해 25 nm 내지 200 nm의 두께(바람직하게는, 30 nm 내지 150 nm)를 갖도록 형성될 수 있다. 이 실시형태에서, 비정질 반도체막(amorphous semiconductor film)은 결정질 반도체막이 되게 레이저로 결정화되고, 얻어진 결정질 반도체막이 바람직하게 사용된다.
- [0048] 기상 성장 방법(vapor phase growth method) 또는 스퍼터링 방법으로 시레인(silane) 또는 게르만으로 대표되는 반도체 재료 가스; 광 에너지 또는 열 에너지를 이용하여 비정질 반도체를 결정화하여 형성되는 다결정질 반도체, 반-비정질(마이크로결정질(microcrystalline))이라고도 하며, 이하 "SAS"라 함) 반도체 등을 사용하여 제조된 비정질 반도체(이하 "AS"라 함)는 반도체층을 형성하기 위한 재료로서 사용될 수 있다.
- [0049] SAS는 비정질과 결정 구조(단결정 및 다결정을 포함함) 사이의 중간 구조의 반도체이다. 이것은 자유 에너지에 의하여 안정한 제 3 상태, 및 단거리 질서(short range order) 및 격자 왜곡(lattice distortion)을 갖는 결정

질 영역을 갖는 반도체이다. 0.5 nm 내지 20 nm의 결정질 영역은 적어도 막 내 영역의 부분에서 관찰될 수 있다. 실리콘이 주요 구성 요소로서 포함될 때, 라만 스펙트럼은 520 cm^{-1} 보다 낮은 파수(wavenumber) 측으로 옮겨진다. 실리콘의 결정 격자로부터 일어나게 되는 (111, 220)의 회절 피크(diffraction peak)가 X선 회절에서 관찰된다. 땀글링 본드(dangling bond)의 발달을 이루도록 적어도 1 원자 % 이상의 수소 또는 할로젠이 함유된다. SAS는 실리사이드 가스에서 그로우 방전 분해(grow discharge decomposition)(플라즈마 CVD)를 수행함으로써 형성된다. 실리사이드 가스로서는 SiH_4 외에도, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiF_4 등이 사용될 수 있다. 또한 F_2 또는 GeF_4 가 혼합될 수 있다. 이 실리사이드 가스는 H_2 또는 H_2 와 하나 이상의 희가스(rare gas) 원소 H_2 , Ar, Kr, Ne로 희석될 수도 있다. 희석비는 2배 내지 1000배의 범위이다. 압력은 0.1 Pa 내지 133 Pa의 범위이고, 파워 주파수는 1 MHz 내지 120 MHz, 바람직하게는 13 MHz 내지 60 MHz의 범위이다. 기판 가열 온도는 바람직하게는 300°C 이하이다. 100°C 내지 200°C 의 기판 가열 온도가 가능하다. 산소, 질소, 또는 탄소와 같은 대기 성분 불순물은 막 내에 불순물 원소로서 $1 \times 10^{20}\text{ cm}^{-3}$, 특히 산소 농도는 $5 \times 10^{19}\text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{19}\text{ cm}^{-3}$ 이하이다. 또한, 유용한 SAS는 안정성을 향상시키기 위해 헬륨, 아르곤, 크립톤 또는 네온과 같은 희가스 원소를 첨가하여 격자 왜곡을 더욱 촉진시킴으로써 얻어질 수 있다. 또한, 수소를 함유한 실리사이드 가스로부터 만들어진 SAS는 반도체막으로서 불소를 함유한 실리사이드 가스로부터 만들어진 SAS층 상에 적층될 수 있다.

[0050] 비정질 반도체는 수소화된 비정질 실리콘이 전형적이며, 결정질 반도체는 다결정실리콘이 전형적이다. 다결정 실리콘(다결정질 실리콘)은 주요 재료로서 800°C 이상의 온도에서 형성되는 다결정실리콘을 사용한 소위 고온 다결정실리콘, 주요 재료로서 600°C 이하의 온도에서 형성되는 다결정실리콘을 사용한 소위 저온 다결정실리콘, 결정화를 촉진하는 원소 등을 첨가시킴으로써 결정화되는 다결정실리콘, 등을 포함한다. 전술한 바와 같이, 자명하게, 반도체층의 부분에 결정상(crystal phase)을 함유하는 반-비정질 반도체 또는 반도체가 또한 사용될 수 있다.

[0051] 결정질 반도체막이 반도체막으로서 사용될 때, 공지의 방법(레이저 결정화 방법(laser crystallization method), 열 결정화 방법(thermal crystalline method), 니켈과 같은 결정화를 촉진하는 원소를 사용한 열 결정화 방법, 등)을 결정질 반도체막을 제조하기 위한 방법으로서 채용할 수 있다. SAS인 마이크로결정질 반도체는 결정도(crystallinity)를 향상시키기 위해서 레이저 광으로 조사함으로써 결정화될 수 있다. 결정화를 촉진하는 원소가 사용되지 않는 경우에는, 레이저광으로 비정질 반도체막을 조사하기 전에 질소 가스에서 500°C 의 온도에 1시간 동안 비정질 반도체막을 가열함으로써 비정질 반도체막에 함유된 수소 농도가 $1 \times 10^{20}\text{ atoms/cm}^3$ 이하가 될 때까지 수소를 방출(release)시킨다. 이것은 훨씬 많은 수소를 함유한 비정질 반도체막이 레이저광으로 조사될 때 비정질 반도체막이 손상을 입기 때문이다. 결정화를 위한 열처리로서, 가열로(heating furnace), 레이저 조사, 램프로부터의 광-조사(light-irradiation)(램프-어닐링(lamp-annealing)) 등이 채용될 수 있다. 가열방법으로서는 GRTA(Gas Rapid Thermal Anneal) 또는 LRTA(Lamp Rapid Thermal Anneal)과 같은 RTA 방법이 채용된다.

[0052] 비정질 반도체막에 금속 원소를 도입하기 위해서, 이 방법이 비정질 반도체막의 표면 또는 내에 금속 원소가 존재하게 할 수 있는 한, 제한들이 없이 어떤 방법이라도 사용될 수 있다. 예를 들면, 스퍼터링 방법, CVD 방법, 플라즈마 처리 방법(플라즈마 CVD 방법을 포함함), 흡착 방법(absorption method), 또는 금속염(metal salt) 용액을 적용하는 방법이 채용될 수 있다. 이들 중에서, 용액을 사용하는 방법은 간단하고 용이하므로 금속 원소의 용이한 농도 조절 면에서 잇점이 있다. 산화막은 산소 기체에 UV광의 조사, 열산화 방법(thermal oxidation method), 비정질 반도체층의 표면의 습윤성(wettability)을 향상시켜 비정질 반도체층의 전체 표면 상에 수용액이 퍼지게 하기 위해 수산화기 또는 과산화수소를 포함한 오존수에 의한 처리, 등에 의해 형성하는 것이 바람직하다.

[0053] 반도체막은 연속과 고체 상태 레이저로부터의 기본파의 2 내지 4차 고조파들(harmonics) 중 어느 하나를 갖는 레이저 광으로 조사된다. 이에 따라, 큰 그레인 크기(grain size)를 갖는 결정이 얻어질 수 있다. 예를 들면, 전형적으로, Nd:YVO_4 레이저(기본파 1064 nm)의 제 2 고조파(532 nm) 또는 제 3 고조파(355 nm)를 사용하는 것이 바람직하다. 특히, 수 와트(W) 이상의 출력을 갖는 레이저 광을 얻기 위해서 연속과 YVO_4 레이저로부터 방출되는 레이저광은 비선형 광학 요소에 의해 고조파로 전환된다. 반도체막을 조사하기 위해서 광조사를 받는 표면 상에 레이저 광을 광학 시스템을 통해 사각형 또는 타원형으로 정형화하는 것이 바람직하다. 레이저광은

대략 0.001 MW/cm^2 내지 100 MW/cm^2 (바람직하게는, 0.1 MW/cm^2 내지 10 MW/cm^2)의 전력 밀도를 가질 필요가 있다. 주사 속도(scanning speed)는 조사 동안 대략 0.5 cm/sec 내지 2000 cm/sec (바람직하게는, 10 cm/sec 내지 200 cm/sec)의 범위로 설정된다.

[0054] 레이저빔의 형상은 선형인 것이 바람직하다. 이에 따라, 스루풋(throughput)이 증가될 수 있다. 또한, 레이저 빔은 반도체막에 관하여 입사각 $\theta (0^\circ < \theta < 90^\circ)$ 로 방출될 수 있다. 이는 레이저 빔들의 간섭이 방지될 수 있기 때문이다.

[0055] 이와 같이 하여, 레이저 빔은 반도체막에 대해 상대적으로 주사되고, 그럼으로써, 레이저 조사가 행해질 수 있다. 레이저 조사에서, 레이저 빔들을 양호한 정확도로 겹치게 하기 위해서 또는 레이저 조사의 출발 위치 및 종료 위치를 제어하기 위해서 마커(marker)가 형성될 수 있다. 마커는 비정질 반도체막과 동시에 기판 상에 형성될 수 있다.

[0056] 레이저는 공지의 연속파 또는 펄스 가스 레이저, 고체 레이저(solid-state laser), 구리 기상 레이저 또는 금 기상 레이저일 수 있다. 가스 레이저로서는, 엑시머 레이저(excimer laser), Ar 레이저, Kr 레이저, He-Cd 레이저 등이 있다. 고체 레이저로서는 YAG 레이저, YVO_4 레이저, YLF 레이저, YAlO_3 레이저, Y_2O_3 레이저, 유리 레이저(glass laser), 루비 레이저, 알렉산더 레이저, Ti:사파이어 레이저 등이 있다.

[0057] 또한, 펄스 레이저는 레이저 결정화를 행하는데 채용될 수 있다. 이 경우, 펄스 반복율은 0.5 MHz 또는 그 이상으로 설정된다. 이 주파수 대역은 일반적으로 사용되는 수 십 Hz 내지 수 백 Hz의 주파수 대역보다 극히 높다. 펄스 레이저 광으로 반도체막이 조사된 후에 반도체막을 완전히 고형화하는 데에는 수 십 내지 수 백 나노초가 걸린다고 한다. 펄스 레이저 광이 전술한 주파수 대역을 가질 때, 전회의 펄스 레이저 광에 의해 반도체막이 용융된 후 및 반도체막이 고형화되기 전에 다음회의 펄스 레이저 광으로 조사하는 것이 가능하다. 그러므로, 고상과 액상 사이의 인터페이스가 반도체막 내에서 연속적으로 이동될 수 있고, 주사 방향으로 연속하여 성장된 결정 그레인을 갖는 반도체막이 형성된다. 구체적으로, 각각이 주사 방향으로 $10 \mu\text{m}$ 내지 $30 \mu\text{m}$ 의 폭과 주사 방향에 수직한 방향으로 $1 \mu\text{m}$ 내지 $5 \mu\text{m}$ 의 폭을 갖는 결정 그레인들의 집성을 형성하는 것이 가능하다. 또한 주사 방향을 따라 길게 연장된 단결정 그레인을 형성함으로써 적어도 박막 트랜지스터의 채널 방향으로 결정 그레인 경계들이 거의 없는 반도체막을 형성하는 것이 가능하다.

[0058] 레이저광의 조사는 희가스 또는 질소와 같은 비활성 가스 기체에서 행해질 수 있다. 이것은 레이저광의 조사에 의해 반도체 표면의 거칠기를 억제할 수 있고 계면 상태 밀도(interface state density)에서 변동들에 의해 발생하는 문턱값 변동들을 감소시킬 수 있다.

[0059] 비정질 반도체막은 열처리와 레이저광 조사를 결합함으로써 결정화될 수도 있고, 또는 열처리 또는 레이저광 조사는 복수의 회수로 개별적으로 수행될 수도 있다.

[0060] 이 실시형태에서, 기저막(101b) 상에는, 비정질 반도체막이 형성되고 결정질 반도체막을 형성하기 위해 결정화된다. 반응 가스로서 SiH_4 및 H_2 를 사용하여 형성된 비정질 실리콘은 비정질 반도체막으로서 사용된다. 이 실시형태에서, 기저막(101a), 기저막(101b) 및 비정질 반도체막은, 동일 챔버에서 330°C 의 동일 온도에서 진공을 유지하면서(진공을 차단하지 않고) 반응 가스들을 바꿈으로써 연속적으로 형성된다.

[0061] 비정질 반도체막 상에 형성된 산화막은 제거된다. 이어서, 산화막이, 산소 기체에서 UV 광 조사, 열산화 방법, 수산화기 또는 과산화수소를 포함한 오존수에 의한 처리 등에 의해 1 nm 내지 5 nm 두께가 되게 형성된다. 이 실시형태에서, Ni는 결정화를 촉진하기 위한 원소로서 사용된다. 10 ppm 의 Ni 아세테이트를 포함한 수용액이 스펀 코팅 방법에 의해 도포된다.

[0062] 이 실시형태에서, 열처리는 RTA 방법에 의해 6분 동안 650°C 에서 행해진다. 그후에, 반도체막 상에 형성된 산화막을 제거하고 반도체막을 레이저광으로 조사한다. 비정질 반도체막은 결정질 반도체막이 되게 위에 기술된 결정화에 의해 결정화된다.

[0063] 금속 원소를 사용한 결정화가 행해질 때, 금속 원소를 감소시키거나 제거하기 위해서 게터링 공정(gettering process)이 행해진다. 이 실시형태에서는 금속 원소를 게터링하기 위해 게터링 싱크(gettering sink)로서 비정질 반도체막이 사용된다. 산소 기체에서 UV 광조사, 열 산화 방법, 수산화기 또는 과산화수소를 포함한 오존수에 의한 처리 등에 의해 결정질 반도체막 상에 산화막이 형성된다. 산화막은 열처리에 의해 두껍게 만들어지는 것이 바람직하다. 이 실시형태에서, 산화막이 먼저 형성되고, 이어서, 6분동안 650°C 에서 RTA에 의해 두껍게 된다. 그후에, 30 nm 두께의 비정질 반도체막이 플라즈마 CVD 방법(이 실시형태에서는 350 W 및 35 Pa)으로 형성

된다.

- [0064] 이후에, 6분 동안 650℃에서 열처리가 RTA에 의해 행해져 금속 원소를 감소 또는 제거한다. 열처리는 질소 기체에서 행해질 수 있다. 게터링 싱크로서 작용하는 비정질 반도체막 및 비정질 반도체막 상에 형성된 산화막은 불화수소산 등을 사용하여 제거되고, 그럼으로써 금속 원소가 감소되거나 제거된 결정질 반도체막(102)을 얻는다(도 2a). 이 실시형태에서, TMAH(tetramethyl ammonium hydroxide)는 게터링 싱크로서 작용하는 비정질 반도체막을 제거하는데 사용된다.
- [0065] 얻어진 반도체막은 박막 트랜지스터의 문턱값을 조절(control)하기 위해서 최소량의 불순물 원소(보론 또는 인)로 도핑될 수 있다. 불순물 원소의 이 도핑은 결정화 전에 비정질 반도체막에 행해질 수 있다. 불순물 원소가 비정질 반도체막에 첨가되면, 불순물 원소는 결정화를 위한 열처리에 의해 활성화될 수 있다. 또한, 도핑시 발생된 결함 등이 개선될 수 있다.
- [0066] 결정질 반도체막(102)는 마스크를 사용하여 패터닝된다. 이 실시형태에서, 결정질 반도체막(102) 산화막 위에 형성된 산화막은 제거되고 그 후 새로운 산화막이 형성된다. 그 때, 포토 마스크는 반도체 층들(103 내지 106)을 형성하기 위해 포토리스그래피 방법에 의해 행해진다.
- [0067] 패터닝에서 에칭 공정은 플라즈마 에칭(건식 에칭(dry etching)) 또는 습식 에칭(wet etching)일 수 있는데, 그러나 플라즈마 에칭이, 대형 기판 처리에 적합하다. CF_4 또는 NF_3 와 같은 불소를 함유한 가스 또는 Cl_2 또는 BCl_3 와 같은 염소를 함유한 가스가 에칭 가스로서 사용되고, He 또는 Ar과 같은 비활성 가스가 적합하게 첨가될 수도 있다. 또한, 대기압 방전을 사용한 에칭 공정이 적용된다면, 국부적인 방전 처리가 가능하고 기판의 전체 표면에 마스크층을 형성할 필요가 없다.
- [0068] 본 발명에서, 배선층 또는 전극층을 형성하기 위한 도전층, 미리 결정된 패턴을 형성하기 위한 마스크, 등은 액적 분출(droplet discharging) 방법과 같은, 패턴이 선택적으로 형성될 수 있는 방법에 의해 형성될 수도 있다. 액적 분출(젯팅(jetting)) 방법(시스템에 따라 잉크젯 방법이라고도 함)에 의해서, 소정의 패턴(도전층, 절연층 등)이 특정의 목적을 위해 준비된 조성의 액적들을 선택적으로 분출(jet)함으로써 형성될 수 있다. 이 경우, 습윤성 또는 응착(adhesion)을 제어하기 위한 공정이 형성 영역에서 수행될 수 있다. 또한, 패턴을 전사 또는 묘화하는 방법, 예를 들면 인쇄 방법(패턴을 형성하는 방법, 예를 들면 스크린 인쇄(screen printing) 또는 오프셋 인쇄(offset printing)) 등이 사용될 수 있다.
- [0069] 이 실시형태에서, 에폭시 수지(epoxy resin), 아크릴 수지, 페놀 수지(phenol resin), 노볼락 수지(novolac resin), 멜라민 수지(melamine resin), 또는 우레탄 수지(urethane resin)와 같은 수지 재료가 마스크로서 사용된다. 아니면, 마스크는 벤조사이클로부텐(benzocyclobutene), 파릴렌(parylene), 광 투과 특성을 갖는 플레어(flare) 및 폴리이미드(polyimide)와 같은 유기 재료; 실록산 폴리머 등의 중합(polymerization)에 의해 형성되는 합성 재료; 수용성 호모폴리머(water-soluble homopolymer) 및 수용성 코폴리머(water-soluble copolymer)를 함유한 합성 재료 등으로 만들어질 수도 있다. 또한, 감광제(photosensitive agent)를 함유한 시판중의 수지 재료가 사용될 수도 있다. 예를 들면, 감광제인 나프토퀴논디아졸 화합물(naphthoquinonediazide compound)을 포함하는 전형적인 포지티브 레지스트인 노볼락 수지; 네가티브 수지인 베이스 수지; 디페닐실란에디올(diphenylsilanediol), 산 생성 재료(acid generating material) 등을 사용하는 것이 가능하다. 어떤 재료의 표면 장력(surface tension) 및 점도(viscosity)는 액적 분출 방법이 사용될 때, 용매 농도(solvent concentration)를 제어하고, 계면활성제(surfactant)를 첨가하는 등을 행함으로써 적절하게 조정된다.
- [0070] 반도체층 상의 산화막이 제거되고 이어서 반도체층들(103 내지 105)을 덮는 게이트 절연층(107)이 형성된다. 실리콘을 함유하는 절연막이 플라즈마 CVD 방법 또는 스퍼터링 방법에 의해 게이트 절연층(107)으로서 10 nm 내지 150 nm 두께로 형성된다. 게이트 절연층(107)용으로 공지의 재료, 예를 들면 질화실리콘, 산화실리콘, 실리콘 옥시니트라이드 또는 질화 산화실리콘이 전형인 실리콘의 산화 재료 또는 질화 재료가 형성될 수 있고, 게이트 절연층(107)은 적층된 층 구조 또는 단일층 구조를 가질 수 있다. 이 실시형태에서, 게이트 절연층으로서 질화실리콘막, 산화실리콘막 및 질화실리콘막의 3층으로 적층된 구조가 사용된다. 이 외에, 실리콘 옥시니트라이드막의 단일층 또는 두 층으로 적층된 구조가 채용될 수도 있다. 바람직하게는 조밀한 막질을 갖는 질화실리콘막이 사용된다. 1 nm 내지 100 nm, 바람직하게는 1 nm 내지 10 nm 두께, 더 바람직하게는 2 nm 내지 5 nm로 얇은 두께를 갖는 산화실리콘막이 반도체층과 게이트 절연층 사이에 형성될 수도 있다. 얇은 산화실리콘막을 형성하는 방법으로서, 열 산화막은 GRTA, LRTA 등에 의해 반도체 영역의 표면을 산화함으로써 형성되고, 이에

따라 얇은 막 두께를 갖는 실리콘 산화막이 형성될 수 있다. 저온에서 적은 게이트-누설 전류를 가진 조밀한 절연막을 형성하기 위해 형성될 절연막에 아르곤과 같은 희가스 원소를 함유한 반응성 가스가 혼합될 수도 있다.

[0071] 이어서, 20 nm 내지 100 nm 두께의 제 1 도전막(108)이 게이트 절연층(107) 상에 게이트 전극층으로서 사용되도록 형성되고 100 nm 내지 400 nm 두께의 제 2 도전막(109)이 그 위에 형성된다(도 2b). 제 1 및 제 2 도전막들(108, 109)은 스퍼터링, 기상 증착 또는 CVD와 같은 공지의 방법에 의해 형성된다. 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr) 및 네오디뮴(Nd), 또는 합금 물질 또는 주로 원소들을 함유한 화합 물질을 제 1 및 제 2 도전막들(108, 109)을 형성하는데 사용할 수 있다. 인 또는 AgPdCu 합금과 같은 불순물 원소가 도핑된 다결정실리콘막이 전형인 반도체막은 제 1 및 제 2 도전막들(108, 109)로서 사용될 수 있다. 2-층 구조로 한정됨이 없이, 예를 들면, 제 1 도전막으로서 50 nm 두께의 텅스텐막, 제 2 도전막으로서 500 nm의 알루미늄-실리콘(Al-Si) 합금막, 및 제 3 도전막으로서 30 nm 두께의 질화티탄막이 순차로 형성된 3층 구조가 채용될 수도 있다. 3층 구조의 경우, 제 1 도전막으로서 텅스텐막 대신 질화텅스텐이 사용될 수도 있고, 제 2 도전막으로서의 알루미늄-실리콘(Al-Si)막 대신에 알루미늄-티탄(Al-Ti) 합금막이 사용될 수도 있고, 또는 제 3 도전막으로서의 질화티탄막 대신 티탄막이 사용될 수도 있다. 대안적으로, 단일층 구조가 채택될 수도 있다. 이 실시형태에서는 제 1 도전막(106)으로서 30 nm 두께의 질화티탄(TaN)과 제 2 도전막(107)으로서의 370 nm 두께의 텅스텐이 각각 형성된다.

[0072] 다음에, 포토리소그래피 방법에 의해 레지스트를 사용하여 마스크들(110a, 110b, 110c, 110d, 110f)이 형성되고, 제 1 및 제 2 도전막들(108, 109)을 패터닝하여 제 1 게이트 전극층들(121, 122), 도전층(123), 제 1 게이트 전극층들(124 내지 126), 및 도전층들(110 내지 116)(도 2c)를 형성한다. 제 1 게이트 전극층들(121, 122), 도전층(123), 제 1 게이트 전극층들(124 내지 126), 및 도전층들(111 내지 116)은 ICP(유도 결합된 플라즈마) 에칭 방법에 의해 에칭 조건(코일형의 전극층에 인가되는 전력, 기관층 상의 전극층에 인가되는 전력, 기관층의 전극 온도 등)을 적절하게 조정함으로써 원하는 테이퍼링된 형상들을 갖도록 에칭될 수 있다. 테이퍼링된 형상으로서, 마스크들(110a 내지 110f)의 형상에 따라 각도 등이 제어될 수 있다. 에칭 가스로서, Cl_2 , BCl_3 , $SiCl_4$, CCl_4 , 등이 전형인 불소 함유 가스가 적절하게 사용될 수 있다. 이 실시형태에서, CF_5 , Cl_2 , O_2 를 포함하는 에칭 가스를 사용하여 제 2 도전막(109)이 에칭되고, 계속해서 CF_5 및 Cl_2 를 포함한 에칭 가스를 사용하여 제 1 도전막(108)이 에칭된다.

[0073] 도전층들(111 내지 116)은 마스크들(110a, 110b, 110c, 110d, 110f)을 사용하여 패터닝된다. 이 때, 도전층들은 도전층을 형성하는 제 2 도전막(109) 및 제 1 게이트 전극층을 형성하는 제 1 도전막(108)의 고 선택도(high selectivity)로 에칭된다. 이러한 에칭에 의해서, 도전층들(111 내지 116)이 에칭되어 제 2 게이트 전극층들(131, 132), 도전층(133), 및 제 2 게이트 전극층들(134 내지 136)을 형성한다. 이 실시형태에서, 제 3 도전층 또한 테이퍼링된 형상을 가지며, 이의 테이퍼 각은 제 1 게이트 전극층들(121, 122), 도전층(123), 제 1 게이트 전극층들(124 내지 126)의 테이퍼 각들보다 크다. 테이퍼 각은 제 1 게이트 전극층, 제 2 게이트 전극층 및 도전층의 표면들에 대한 측면의 각도임에 유의한다. 그러므로, 테이퍼 각을 90도가 되게 크게 하면, 도전층은 수직의 측면을 갖게 되고 테이퍼링된 형상을 잃게 된다. 이 실시형태에서는, 제 2 게이트 전극층을 형성하기 위한 에칭 가스로서 Cl_2 , SF_6 , O_2 가 사용된다.

[0074] 이 실시형태에서, 제 1 게이트 전극층들, 도전층들 및 제 2 게이트 전극층들은 테이퍼링된 형상들을 갖도록 형성되고 따라서, 2개의 층들을 갖는 게이트 전극층들 모두가 테이퍼링된 형상들을 갖는다. 그러나, 본 발명은 이것에 한정되는 것은 아니며, 게이트 전극층들 중 단지 한 층만이 테이퍼링된 형상을 갖고, 다른 층들은 이방성 에칭(anisotropic etching)에 의해 형성되는 수직 측면(vertical side face)을 가질 수도 있다. 이 실시형태에서처럼, 테이퍼 각들은 적층될 게이트 전극 층들 간에 서로 다를 수 있으며 또는 동일할 수도 있다. 위에 적층될 막의 피복성은 테이퍼 형상에 기인하여 향상되고 결함들이 감소되고, 그럼으로써 신뢰도가 향상된다.

[0075] 전술한 단계들을 통해, 제 1 게이트 전극층(121) 및 제 2 게이트 전극층(131)을 포함하는 게이트 전극층(117), 제 1 게이트 전극층(122) 및 제 2 게이트 전극층(132)을 포함하는 게이트 전극층(118)은 주변 구동 회로 영역(204)에 형성될 수 있으며; 제 1 게이트 전극층(124) 및 제 2 게이트 전극층(134)을 포함하는 게이트 전극층(127), 제 1 게이트 전극층(125) 및 제 2 게이트 전극층(135)을 포함하는 게이트 전극층(128), 제 1 게이트 전극층(126) 및 제 2 게이트 전극층(136)을 포함하는 게이트 전극층(129)은 화소 영역(206)에 형성될 수 있으며; 도전층(123) 및 도전층(133)을 포함하는 도전층(130)은 접속 영역(205)에 형성될 수 있다(도 2d). 이 실시형태

에서, 게이트 전극층은 건식 에칭에 의해 형성되나, 습식 에칭이 채용될 수도 있다.

- [0076] 게이트 절연층(107)은 게이트 전극층을 형성하기 위한 에칭 공정에 의해 어느 정도 에칭되어, 이에 따라 이의 두께가 어떤 경우들엔 감소된다.
- [0077] 게이트 전극층을 형성함에 있어, 고속으로 동작할 수 있는 박막 트랜지스터(thin film transistor)는 게이트 전극층의 폭을 얇게 함으로써 형성될 수 있다. 게이트 전극층의 채널 방향으로 폭을 얇게 하기 위한 두 가지 방법들을 이하 설명한다.
- [0078] 제 1 방법은 다음과 같다. 게이트 전극층을 위한 마스크가 형성되고 이어서 이 마스크는 얇은 폭의 마스크를 형성하기 위해 에칭, 애싱(ashing) 등에 의해 폭방향으로 가늘게 된다. 게이트 전극층은 얇은 형상을 갖게 형성된 마스크를 사용함으로써 얇은 형상을 갖도록 형성될 수 있다.
- [0079] 제 2 방법은 다음과 같다: 통상의 마스크가 형성되고 이 마스크를 사용하여 게이트 전극층이 형성된다. 얻어진 게이트 전극은 더 얇게 되도록 폭방향으로 사이드-에칭된다. 이에 따라, 얇은 폭을 갖는 게이트 전극층이 최종으로 형성될 수 있다. 전술한 단계들을 통해, 단(short) 채널 길이를 갖는 박막 트랜지스터가 나중에 형성될 수 있고, 고속으로 동작할 수 있는 박막 트랜지스터가 제조될 수 있다.
- [0080] 제 1 n형 불순물 영역들(140a, 140b, 141a, 141b, 142a, 142b, 142c, 143a, 143b)를 형성하기 위해 마스크들로서 게이트 전극층들(117, 118, 127, 128, 129) 및 도전층(130)을 사용하여, n형 도전성을 부여하는 불순물 원소(151)가 첨가된다(도 3a). 이 실시형태에서, 포스핀(PH₃)(P의 조성비는 5%)이 불순물 원소를 함유한 도핑 가스로서 사용되고, 도핑은 80 sccm의 가스 유속, 54 $\mu\text{A}/\text{cm}$ 의 빔 전류, 50 kV의 가속 전압, 및 $7.0 \times 10^{13} \text{ ions}/\text{cm}^2$ 의 도즈량 하에서 행해진다. 여기서, 제 1 n형 불순물 영역들(140a, 140b, 141a, 141b, 142a, 142b, 143a, 143b)는 영역들에서 $1 \times 10^{17}/\text{cm}^3$ 내지 $5 \times 10^{18}/\text{cm}^3$ 의 농도를 갖도록 영역들 내에 불순물 원소가 포함되게 n형 도전성을 부여하는 불순물 원소가 도핑된다. 이 실시형태에서, 인(P)은 n형 도전성을 부여하는 불순물 원소로서 사용된다.
- [0081] 이 실시형태에서, 게이트 절연층을 개재하여 불순물 영역이 게이트 전극층과 접치는 영역을 로브 영역(Lov region)이라 칭하고, 게이트 절연층을 개재하여 불순물 영역이 게이트 전극층과 접치지 않는 영역을 로프 영역(Loff region)이라 칭한다. 도 3a 내지 도 3c에서, 불순물 영역들은 해칭(hatching)하지 않은 부분과 해칭한 부분으로 도시되었다. 이것은 해칭하지 않은 부분이 불순물 원소로 도핑되지 않은 것을 의미하는 것이 아니라, 이것은 영역들 내 불순물 원소의 농도분포가 마스크들 또는 도핑 상태들을 반영한다는 것을 쉽게 이해시키기 위해 행해진 것이다. 이 명세서에서 다른 도면에서도 마찬가지로 것에 유의한다.
- [0082] 반도체층(103), 반도체층(105)의 부분 및 반도체층(106)을 덮는 마스크들(153a, 153b, 153c, 153d)이 형성된다. 제 2 n형 불순물 영역들(144a, 144b), 제 3 n형 불순물 영역들(145a, 145b), 제 2 n형 불순물 영역들(147a, 147b, 147c), 및 제 3 n형 불순물 영역들(148a, 148b, 148c, 148d)을 형성하기 위해 마스크들(153a, 153b, 153c, 153d) 및 게이트 전극층(132)을 마스크들로서 사용하여 n형 도전성을 부여하는 불순물 원소(152)가 첨가된다. 이 실시형태에서, PH₃(P의 조성비는 5%)이 불순물 원소를 함유한 도핑 가스로서 사용되고, 도핑은 80 sccm의 가스 유속, 540 $\mu\text{A}/\text{cm}$ 의 빔 전류, 70 kV의 가속전압, 및 $5.0 \times 10^{15} \text{ ions}/\text{cm}^2$ 의 도즈량 하에서 행해진다. 여기서, 제 2 n형 불순물 영역들(144a, 144b)는 $5 \times 10^{19}/\text{cm}^3$ 내지 $5 \times 10^{20}/\text{cm}^3$ 의 농도를 갖도록 영역들 내에 불순물 원소가 포함되게 n형 도전성을 부여하는 불순물 원소가 도핑된다. 제 3 불순물 영역들(145a, 145b)은 제 3 n형 불순물 영역들(148a, 148b, 148c, 148d)와 거의 동일하게 또는 약간 더 많은 농도로 n형 도전성을 부여하는 불순물 원소를 포함하게 형성된다. 또한, 채널 형성 영역(146)은 반도체층(104)에 형성되며, 채널 형성 영역들(149a, 149b)은 반도체층(105)에 형성된다.
- [0083] 제 2 n형 불순물 영역들(144a, 144b, 147a, 147b, 147c)은 각각 고농도 n형 불순물 영역이며, 소스 또는 드레인으로서 작용한다. 한편, 제 3 n형 불순물 영역들(145a, 145b, 148a, 148b, 148c, 148d)은 각각 저농도 불순물 영역, 즉 LDD(Lightly Doped Drain) 영역이다. n형 불순물 영역들(145a, 145b)은 게이트 절연층(107)을 개재하여 제 1 게이트 전극층(122)과 중첩되고, 이에 따라, 이것은 Lov 영역인 것으로 이는 드레인 근처에 전계를 완화시키며 핫 캐리어(hot carrier)들에 의한 온-전류(on-current)의 열화를 제어할 수 있다. 결국, 고속으로 동작할 수 있는 박막 트랜지스터가 형성될 수 있다. 한편, 게이트 전극층들(127, 128)과 중첩되지 않는 로프 영역에 제 3 n형 불순물 영역들(148a, 148b, 148c, 148d)이 형성되고, 이들 영역들은 드레인 근처의 전계를 완

화시키며, 핫 캐리어들에 기인한 열화를 제어할 수 있고 오프-전류(off-current)를 줄일 수 있다. 결국, 전력을 덜 소비하는 고 신뢰성의 반도체 디바이스가 제조될 수 있다.

[0084] 마스크들(153a, 153b, 153c, 153d)이 제거되고 반도체층들(103, 105)을 덮는 마스크들(155a, 155b)이 형성된다. 제 1 p형 불순물 영역들(160a, 160b, 163a, 163b) 및 제 2 n형 불순물 영역들(161a, 161b, 164a, 164b)을 형성하기 위해 마스크들(155a, 155b) 및 게이트 전극층들(117, 129)을 마스크들로서 사용하여 p형 도전성을 부여하는 불순물 원소(154)이 첨가된다. 이 실시형태에서, 불순물 원소로서는 보론(B)이 사용된다. 디보란(B_2H_6)(B의 조성비는 15%)이 불순물 원소를 함유한 도핑 가스로서 사용되고, 도핑은 70 sccm의 가스 유속(gas flow rate), 180 $\mu A/cm$ 의 빔 전류, 80 kV의 가속 전압, 및 2.0×10^{15} ions/ cm^2 의 도즈량 하에서 행해진다. 여기서, 제 1 p형 불순물 영역들(160a, 160b, 163a, 163b) 및 제 2 p형 불순물 영역들(161a, 161b, 164a, 164b)은 약 $1 \times 10^{20}/cm^3$ 내지 $5 \times 10^{21}/cm^3$ 의 농도를 갖도록 영역들 내에 불순물 원소가 포함되게 p형 도전성을 부여하는 불순물 원소가 도핑된다. 이 실시형태에서, 제 2 p형 불순물 영역들(161a, 161b, 164a, 164b)은 게이트 전극층들(117, 129)의 형상들에 따라 자기-정렬로 제 1 p형 불순물 영역들(160a, 160b, 163a, 163b)의 농도보다 낮은 농도를 갖도록 형성된다. 채널 형성 영역(162)은 반도체층(103)에 형성되며, 채널 형성 영역(165)은 반도체층(106)에 형성된다.

[0085] 제 2 n형 불순물 영역들(144a, 144b, 147b, 147c)은 각각 고농도 n형 불순물 영역이며, 소스 또는 드레인으로서 작용한다. 한편, 제 2 p형 불순물 영역들(161a, 161b, 164a, 164b)은 각각 저농도 불순물 영역, 즉 LDD(Lightly Doped Drain) 영역이다. 제 2 p형 불순물 영역들(161a, 161b, 164a, 164b)은 게이트 절연층(107)을 개재하여 제 1 게이트 전극층들(121, 126)과 중첩되고, 이에 따라, 이것은 드레인 근처에 전계를 완화시키며 핫 캐리어들에 의한 온-전류의 열화를 제어할 수 있는 로브 영역이다.

[0086] 마스크들(155a, 155b)은 O_2 애싱에 의해 또는 레지스트 박리 용액(resist peeling solution)을 사용하여 제거되고 산화막이 또한 제거된다. 그 후에, 측벽이라 하는 절연막이 게이트 전극층의 측면을 덮도록 형성될 수 있다. 측벽은 플라즈마 CVD 방법 또는 저압 CVD 방법(LPCVD)에 의해 실리콘을 함유한 절연막으로부터 형성될 수 있다.

[0087] 불순물 원소를 활성화시키기 위해서 열처리, 강한 광의 조사 또는 레이저 조사가 수행될 수 있다. 활성화 뿐만 아니라, 게이트 절연층 및 반도체층 사이의 인터페이스에 대한 플라즈마 손상이 복구될 수 있다.

[0088] 이 후에, 게이트 전극층 및 게이트 절연층을 덮도록 층간 절연층이 형성된다. 이 실시형태에서, 절연막(167)과 절연막(168)의 적층 구조가 채용된다(도 4a). 200 nm 두께의 질화 산화실리콘막이 절연막(167)으로서 형성되고, 800 nm 두께의 실리콘 옥시니트라이드막이 적층될 절연막(168)으로서 형성된다. 또한, 3층으로 적층된 구조가 채용될 수도 있는데, 예를 들면, 30 nm 두께의 실리콘 옥시니트라이드막, 140 nm 두께의 질화 산화실리콘막 및 800 nm 두께의 실리콘 옥시니트라이드막이 게이트 전극층 및 게이트 절연층을 덮도록 적층될 수 있다. 이 실시형태에서, 절연막들(167, 168)은 기저막과 동일한 방식으로 플라즈마 CVD에 의해 순차로 형성된다. 절연막들(167, 168)은 특히 제한은 없으며, 질화 실리콘막, 질화 산화실리콘막, 실리콘 옥시니트라이드막 또는 스퍼터링이나 플라즈마 CVD에 의해 형성된 실리콘 산화물막으로 형성될 수도 있고, 실리콘을 함유한 또 다른 절연막의 단일 층으로, 또는 실리콘을 함유한 다른 절연막들의 3층의 적층 구조로 취할 수도 있다.

[0089] 또한, 질소 기체에서 12시간 동안 300℃ 내지 550℃의 온도에서 열처리에 의해 반도체층들을 수소화하기 위한 단계가 수행된다. 이 단계는 400℃ 내지 500℃의 온도에서 수행되는 것이 바람직하다. 이 단계는 층간 절연층으로서 작용하는 절연막(167) 내 함유된 수소에 기인한 반도체층의 땀글링 본드들을 중단시키는 단계이다. 이 실시형태에서, 열처리는 410℃에서 수행된다.

[0090] 절연막들(167, 168)은 질화알루미늄(AlN), 알루미늄 옥시니트라이드($AlON$), 산소 함유량보다 질소 함유량이 더 많은 질화 산화알루미늄($AlNO$), 산화 알루미늄, 다이아몬드 유사 탄소(DLC), 및 질소-함유 탄소(CN) 막 및 이외 무기 절연 재료를 함유한 다른 물질들 중에서 선택된 한 재료를 사용하여 형성될 수 있다. 또한, 실록산 수지(siloxane resin)가 채용될 수도 있다. 실록산 수지는 Si-O-Si 본드를 함유한 수지이다. 실록산은 실리콘(Si) 및 산소(O)의 본드에 의해 형성된 스켈레톤(skeleton)을 포함하며, 이에는 적어도 수소를 함유한 유기 그룹(이를테면 알킬 그룹 또는 방향족 탄화수소)이 치환체(substituent)로서 포함된다. 또한, 플루오르화 그룹(fluoro group)이 치환체로서 사용될 수도 있다. 또한, 적어도 수소를 함유한 플루오르화 그룹 및 유기 그룹이 치환체로서 사용될 수도 있다. 유기 절연 재료가 채용될 수도 있는데, 예를 들면, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트, 벤조사이클로부텐 또는 폴리실라잔이 사용될 수 있다. 유리한 평탄성(flatness

s)을 제공할 수 있는 코팅 방법에 의해 형성되는 코팅된 막이 사용될 수도 있다.

- [0091] 이후에, 반도체층에 도달하는 접촉 홀들(contact holes)(개구들)이 레지스트 마스크로 절연막들(167, 168) 및 게이트 절연층(107)에 형성된다. 에칭은 사용될 재료의 선택도에 따라 1회 또는 다수회 수행될 수도 있다. 이 실시형태에서는 실리콘 옥시니트라이드를 포함한 절연막(168) 및 질화 산화실리콘을 포함하는 절연막(167) 및 게이트 절연층(107)의 선택도가 얻어질 수 있다는 조건 하에서, 절연막(168)을 제거하기 위해 제 1 에칭이 수행된다. 다음에, 각각이 소스 영역 또는 드레인 영역이 제 1 p형 불순물 영역들(160a, 160b, 163a, 163b) 및 제 2 n형 불순물 영역들(144a, 144b, 147a, 147b)에 도달하는 개구들을 형성하기 위해 제 2 에칭에 의해 절연막(167) 및 게이트 절연층(107)이 제거된다. 이 실시형태에서, 제 1 에칭은 습식 에칭이고 제 2 에칭은 건식 에칭이다. 습식 에칭을 위한 에천트(etchant)로서, 암모늄 불화수소와 불화암모늄을 혼합한 용액들과 같은 플루오르화 수소산 기반의 용액이 사용될 수 있다. 에칭 가스로서, Cl_2 , BCl_3 , $SiCl_4$, CCl_4 이 전형인 염소 함유 가스, CF_4 , SF_6 , NF_3 이 전형인 불소 함유 가스, 또는 O_2 가 적합하게 사용될 수 있다. 비활성 가스(inert gas)가 사용될 에칭 가스에 첨가될 수도 있다. 첨가할 비활성 원소로서는 He, Ne, Ar, Kr, Xe 중에서 선택된 하나 또는 복수의 원소들이 사용될 수 있다.
- [0092] 개구들을 덮기 위해 도전막이 형성되고 이어서 에칭되어 소스 또는 드레인 전극층들(169a, 169b, 170a, 170b, 171a, 171b, 172a, 172b)과 각 소스 또는 드레인 영역의 부분에 전기적으로 접속되는 배선(156)을 형성한다. 이들 소스 또는 드레인 전극층들은 PVD 방법, CVD 방법, 기상 증착 방법, 등에 의해 도전막을 형성하고, 이 도전막을 원하는 형상으로 에칭함으로써 형성될 수 있다. 또한, 액적 분출 방법, 인쇄 방법, 전기 도금 방법 등에 의해 도전층이 미리 결정된 위치에 선택적으로 형성될 수 있다. 또한, 리플로우 방법(reflow method) 또는 다마신 방법(damascene method)이 사용될 수 있다. 소스 또는 드레인 전극층들용의 재료로서, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Si, Ge, Zr, 또는 Ba와 같은 금속; 금속합금; 또는 금속의 질화금속이 사용된다. 또한, 이들 재료들의 적층 구조가 채택될 수도 있다. 이 실시형태에서는 100 nm 두께의 티탄(Ti), 700 nm 두께의 알루미늄-실리콘(Al-Si) 합금, 및 20 nm 두께의 티탄(Ti)이 적층되고 원하는 형상으로 패터닝된다.
- [0093] 전술한 단계들을 통해서, p형 불순물 영역을 갖는 p채널 박막 트랜지스터(173) 및 n형 불순물 영역을 갖는 n채널 박막 트랜지스터(174)가 주변 구동 회로 영역(204) 내 로브 영역들에 형성되고, 도전층(177)이 접속 영역에 형성되고, n형 불순물 영역을 갖는 다채널형 n채널 박막 트랜지스터(175)가 로프 영역에 형성되고 p형 불순물 영역을 갖는 p채널 박막 트랜지스터(176)가 화소 영역(206) 내 로브 영역에 형성되는(도 4b), 활성 매트릭스 기판이 제조될 수 있다.
- [0094] 활성 매트릭스 기판(active matrix substrate)은 자체 발광 요소를 갖는 발광 디바이스, 액정요소(liquid crystal element)를 갖는 액정 디스플레이 디바이스, 및 이외 디스플레이 디바이스들 용으로 사용될 수 있다. 또한, 활성 매트릭스 기판은 CPU(중앙 처리 유닛), 및 ID 칩을 구비한 카드와 같은 반도체 디바이스가 전형인 각종의 프로세서들용으로 사용될 수도 있다.
- [0095] 박막 트랜지스터는 이 실시형태로 국한됨이 없이 하나의 채널 형성 영역을 구비한 단일 게이트 구조, 2개의 채널 형성 영역들을 구비한 2중 게이트 구조, 또는 3개의 채널 형성 영역들을 구비한 3중 게이트 구조를 구비할 수도 있다. 주변 구동 회로 영역 내 박막 트랜지스터는 단일 게이트 구조, 2중 게이트 구조, 및 3중 게이트 구조 중 어느 하나를 또한 가질 수 있다.
- [0096] 본 발명은 이 실시형태에서 보인 TFT를 형성하는 방법으로 제한되는 것은 아니다. 본 발명은 탑-게이트형(플래나형(planar type)), 바텀-게이트형(bottom-gate)(역 스테agger형(inversely staggered type)), 게이트 절연막들을 사이에 두고 채널 영역의 위 및 아래에 두 개의 게이트 전극층들을 배치시킨 2중 게이트형, 및 그 외의 구조들에 적용될 수 있다.
- [0097] 다음에, 제 2 층간 절연층들로서 절연막들(180, 181)이 형성된다(도 5a). 도 5a 내지 도 5c는 스크라이빙에 의해 잘라내어질 영역(201), FPC에 부착할 외부 단자 접속 영역(202), 주변부에 배선을 인출시키기 위한 영역인 배선 영역(203), 주변 구동 회로 영역(204), 접속 영역(205), 및 화소 영역(260)이 설치되는 디스플레이 디바이스의 제조 단계들을 도시한 것이다. 배선들(1709a, 179b)은 배선 영역(203)에 형성되며, 외부 단자에 접속될 단자 전극층(178)은 외부 단자 접속 영역(202)에 형성된다.
- [0098] 절연막들(180, 181)은 산화실리콘, 질화실리콘, 실리콘 옥시니트라이드, 질화 산화실리콘, 질화알루미늄(AlN), 알루미늄 옥시니트라이드($AlON$), 산소 함유량보다 질소 함유량이 더 많은 질화 산화알루미늄($AlNO$), 산화 알루미늄

미늄, 다이아몬드 유사 탄소(DLC), 및 질소 함유 탄소(CN)막, PSG(phosphorus glass), BPSG(boron phosphorus glass), 알루미늄막 및 이외 무기 절연 재료를 함유한 다른 물질들 중에서 선택된 한 재료를 사용하여 형성될 수 있다. 또한, 실록산 수지(siloxane resin)가 채용될 수도 있다. 감광성(photosensitive) 또는 비-감광성 유기 절연 재료가 채용될 수도 있는데, 예를 들면, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트(resist), 또는 벤조사이클로부텐, 폴리실라잔, 또는 유전율이 낮은 낮은-k의 재료가 사용될 수 있다.

[0099] 이 실시형태에서, 200 nm 두께의 실리콘 옥시니트라이드막이 CVD 방법에 의해 절연막(180)으로서 형성된다. 내열성(heat-resistance), 절연특성(insulative property) 및 평탄도(planarity)가 우수한 층이 평탄화를 위한 층간 절연막으로서 필요하기 때문에 스핀 코팅과 같은 코팅 방법에 의해 절연막(181)을 형성하는 것이 바람직하다.

[0100] 코팅된 실록산 수지막이 이 실시형태에서 절연막(181)의 재료로서 사용된다. 베이킹 후의 막을, 알킬 그룹(SiO_x)($x=1, 2, \dots$)을 함유한 실리콘 산화물막이라 칭할 수 있다. 알킬 그룹(SiO_x)를 함유한 이 실리콘 산화물막은 300°C 이상의 열처리에 견딜 수 있다.

[0101] 딥 코팅(Dip coating), 스프레이 코팅, 닥터 나이프, 롤 코팅기, 커튼 코팅기(curtain coater), 나이프 코팅기, CVD 방법, 기상 증착 방법 등은 절연막들(180, 181)을 형성하는데 사용될 수 있다. 또한, 절연막들(180, 181)이 액적 분출 방법에 의해 형성될 수도 있다. 액적 분출 방법이 채택되었을 때 재료 용액이 절약될 수 있다. 액적 분출 방법처럼 패턴을 전사 또는 묘화할 수 있는 방법, 예를 들면 인쇄 방법(패턴을 형성하는 방법, 이를테면 스크린 인쇄 또는 오프셋 인쇄), 등이 또한 사용될 수 있다.

[0102] 도 5b에 도시된 바와 같이, 제 2 층간 절연층으로서 작용하는 절연막들(180, 181)에 개구들이 형성된다. 절연막들(180, 181)은 접속 영역(205), 배선 영역(203), 외부 단자 접속 영역(202), 잘라낼 영역(201) 등에서는 넓게 에칭되어야 한다. 그러나, 화소 영역(206)에서 개구의 면적은 접속 영역(205) 등에서의 면적보다는 훨씬 작아, 미소하게 된다. 그러므로, 화소 영역에 개구를 형성하기 위한 포토리소그래피 공정과 접속 영역에 개구를 형성하는 포토리소그래피 공정을 수행함으로써 에칭 상태의 마진을 넓게 할 수 있다. 결국, 수율이 향상될 수 있다. 화소 영역 내 접촉홀들은 에칭 상태의 마진을 넓게 함으로써 고 정확도로 형성될 수 있다.

[0103] 구체적으로, 큰 면적들을 갖는 개구들은 접속 영역(205), 배선 영역(203), 외부 단자 접속 영역(202), 잘라낼 영역(201) 및 외부 구동 회로 영역(204)의 부분에 부분적으로 형성된 절연막(180, 181)에 형성된다. 이에 따라, 화소 영역(206)에, 그리고 접속 영역(205)과 주변 구동 회로 영역(204)의 부분들에 형성된 절연막(180, 181)을 덮는 마스크들이 형성된다. 에칭에 평행-판 RIE(반응성 이온 에칭) 시스템 또는 ICP 에칭 시스템이 사용될 수 있다. 에칭 시간은 배선층 또는 제 1 층간 절연층이 과잉 에칭되게 설정될 수 있는 것에 유의한다. 기판 내 막 두께의 변동 및 에칭을 변동들은 배선층 또는 제 1 층간 절연층이 과잉 에칭되게 설정함으로써 감소될 수 있다. 이렇게 하여, 접속 영역(205) 및 외부 단자 접속 영역(202) 각각에 개구(182, 183)가 형성된다.

[0104] 도 5b에 도시된 바와 같이, 미소 개구(minute opening), 즉, 접촉홀(contact hole)은 화소 영역(206)에 절연막들(180, 181)에 형성된다(도 5c). 이 때, 마스크는 화소 영역(206), 접속 영역(205)의 부분, 주변 구동 회로 영역(204)의 부분 및 화소 영역(206)을 덮도록 형성된다. 마스크는 화소 영역(206) 내 개구를 형성하기 위한 마스크이고, 이에는 원하는 위치에 미소 개구가 제공된다. 예를 들면, 레지스트 마스크가 마스크로서 사용될 수 있다.

[0105] 절연막들(180, 181)은 평행-판 RIE(반응성 이온 에칭) 시스템에 의해 에칭된다. 에칭 시간은 배선층 또는 제 1 층간 절연층이 과잉 에칭되게 설정될 수 있는 것에 유의한다. 기판 내 막 두께의 변동 및 에칭을 변동들은 배선층 또는 제 1 층간 절연층이 과잉 에칭되게 설정함으로써 감소될 수 있다.

[0106] 에칭 시스템에 ICP 시스템이 사용될 수 있다. 위에 기술된 단계들을 통해서, 소스 또는 드레인 전극층(172a)에 이르는 개구(184)는 화소 영역(206)에 형성된다. 본 발명에서, 절연막들(167, 168)을 개재하여 박막 트랜지스터(176)에 다수의 박막들이 적층되는 큰 층 두께를 갖는 게이트 전극층(126)을 덮도록 소스 또는 드레인 전극층(172a)이 형성된다. 이에 따라, 개구(184)가 깊게 형성될 필요가 없으므로, 개구를 형성하는 공정이 단축될 수 있고, 이에 따라 제어성(controllability)이 향상될 수 있다. 또한, 개구에 형성될 전극층은 유리한 피복성으로 형성될 수 있고, 이에 따라 전극층은 큰 각을 갖는 개구를 넓게 덮을 필요가 없으므로 신뢰도가 향상될 수 있다.

[0107] 이 실시형태는 접속 영역(205), 배선 영역(203), 외부 단자 접속 영역(202)의 부분, 잘라낼 영역(201), 및 주변 구동 회로 영역(204)의 부분을 덮으며 화소 영역(206)에 원하는 개구를 갖는 마스크를 사용하여 절연막들(180,

181)이 에칭되는 경우를 기술한다. 그러나, 본 발명은 이것으로 한정되는 것은 아니다. 예를 들면, 접속 영역(204) 내 개구의 면적은 크고, 이에 따라 에칭될 양이 크다. 큰 면적을 갖는 개구는 복수 회 에칭될 수도 있다. 다른 개구들보다 깊은 개구가 형성된다면, 에칭은 유사하게 복수회 수행될 수도 있다.

[0108] 이 실시형태에서, 절연막들(180, 181) 내 개구들의 형성은 도 5b 및 도 5c에 도시된 바와 같이 수회 행해지는데, 그러나, 단지 1회의 에칭만이 행해질 수도 있다. 이 경우, ICP 시스템은 7000 W의 ICP 파워, 1000 W의 바이어스 파워, 0.8 Pa의 압력과, 에칭 가스로서 240 sccm의 CF_4 및 160 sccm의 O_2 의 사용으로 에칭을 수행하는데 사용된다. 바이어스 파워(bias power)는 1000 W 내지 4000 W인 것이 바람직하다. 이 때, 1회 에칭이 개구를 형성하는데 충분하므로 공정이 간단하게 될 수 있는 이점이 있는 효과가 얻어진다.

[0109] 이어서, 제 1 전극(185)(화소 전극이라고도 함)은 소스 또는 드레인 전극층(172a)과 접촉하여 있게 형성된다. 제 1 전극층은 애노드 또는 캐소드로서 작용하고, Ti, TiN, $TiSi_xN_y$, Ni, W, WSi_x , WN_x , WSi_xN_y , NbN, Cr, Pt, Zn, Sn, In, Mo, 합금물질 또는 주로 원소를 함유한 화합 물질 중에서 선택된 한 원소로부터 만들어진 막, 또는 100 nm 내지 800 nm의 총 두께를 갖게 한 이러한 막들의 적층 구조로 형성될 수 있다.

[0110] 이 실시형태에서, 디스플레이 요소로서 발광 요소가 사용되고, 발광 요소로부터 방출된 광이 제 1 전극층(185) 측으로부터 추출된다. 이에 따라, 제 1 전극층(185)은 광-투과성(light-transmitting)이다. 투명한 도전막이 제 1 전극층(185)으로서 형성되고 원하는 형상으로 에칭됨으로써, 제 1 전극층(185)을 얻는다. 산화실리콘을 함유한 인듐 주석 산화물(ITSO라고도 함), 산화아연, 산화주석, 등이, 본 발명에서 사용되는 제 1 전극층(185)에 대해 사용될 수도 있다. 또한, 2% 내지 20%의 산화아연(ZnO)에 산화인듐이 혼합된 인듐 산화아연 합금과 같은 투명 도전막이 사용될 수 있다. 전술한 투명 도전막들 외에도 제 1 전극층(185)용으로 질화티탄막 또는 티탄막이 사용될 수도 있다. 이 경우, 투명 도전막이 형성된 후에, 광을 투과시킬 수 있는 두께(바람직하게는 5 nm 내지 30 nm 두께)를 갖도록 질화티탄막 또는 티탄막이 형성된다. 이 실시형태에서, 산화주석 및 산화실리콘을 함유한 ITS0는 제 1 전극층(185)으로서 사용된다. 이 실시형태에서, ITS0 막은, 1% 내지 10%의 산화실리콘(SiO_2)을 혼합한 인듐 주석 산화물을 타겟으로서 사용하고 120 sccm으로 Ar 가스의 흐름, 5 sccm으로 O_2 가스, 압력은 0.25 Pa, 파워는 3.2 kW로 설정한 스퍼터링에 의해 185 nm 두께가 되게 형성된다. 제 1 전극층(185)은 이의 표면이 평탄화되게 CMP에 의해서 또는 폴리비닐 알콜과 같은 다공성 재료(porous material)를 사용함으로써 세정 및 연마된다. 또한, CMP 방법으로 연마한 후에, 제 1 전극층(185)의 표면 상에 자외선 조사, 산소 플라즈마 처리 등이 수행될 수 있다.

[0111] 열 처리는 제 1 전극층(185)을 형성한 후에 수행될 수도 있다. 열처리에 의해, 제 1 전극층(185)에 포함된 물이 방출된다. 따라서, 가스 제거(degasification) 등이 제 1 전극층(185)으로부터 발생되지 않는다. 물에 의해 쉽게 열화되는 발광 재료가 제 1 전극층 상에 형성될 때라도, 발광 재료는 열화되지 않으며, 따라서, 고도로 신뢰성 있는 디스플레이 디바이스가 제조될 수 있다. 이 실시형태에서, ITS0는 제 1 전극층(185)용으로 사용되고, 베이킹됨으로써 결정화되는 ITO(인듐 주석 산화물)과는 달리 베이킹이 수행될 때에도 비정질 상태인 채로 있다. 그러므로, ITS0는 ITO보다 큰 평탄성(planarity)를 가지며, 유기 화합물을 함유한 층이 얇더라도 캐소드와의 단락 회로는 쉽게 발생되지 않는다.

[0112] 다음에, 제 1 전극층(185)의 엣지 부분 및 소스 또는 드레인 전극층을 덮는 절연체(절연층)(186)(또한, 뱅크, 격벽(partition wall), 벽, 제방(embankment) 등이라 함)이 형성된다(도 6b). 절연체들(187a, 187b)은 같은 단계에서 외부 단자 접속 영역(202)에 형성된다. 이 실시형태에서, 절연체(186)용으로 아크릴이 사용된다. 절연체(186)가 같은 공정에서 절연막(181)과 동일한 재료로 형성될 때, 제조 비용이 감소될 수 있다. 또한, 코팅 장치 또는 에칭 장치를 공통으로 사용함으로써 비용이 또한 감소될 수 있다.

[0113] 절연체(186)는 산화실리콘, 질화실리콘, 실리콘 옥시니트라이드, 산화알루미늄, 질화알루미늄, 알루미늄 옥시니트라이드와 같은 무기 절연 물질, 또는 이외 무기 절연 재료들, 또는 아크릴산, 메타크릴산, 또는 이들의 유도체, 폴리이미드와 같은 내열 고 분자량 화합물, 방향족 폴리이미드, 또는 폴리벤즈이미다졸 또는 실록산 수지로 형성된다. 감광성 또는 아크릴 또는 폴리이미드와 같은 비-감광성 재료가 사용될 수 있다. 절연체(186)는 곡률반경이 연속적으로 변하는 형상을 갖는 것이 바람직하다. 따라서, 절연체(186) 상에 형성되는 전계 발광층(188) 및 제 2 전극층(189)의 피복성이 향상된다.

[0114] 접속 영역(205)에서, 절연체(186)는 개구(182)의 측면 상의 절연막들(180, 181)의 상측 엣지 부분들을 덮도록 형성된다. 패터닝에 의해 단계들을 갖도록 가공된 절연막들(180, 181)의 상측 엣지 부분들은 급격한 단계들을 갖는다. 그러므로, 위에 형성될 제 2 전극층(189)의 피복성은 좋지 않다. 본 발명에서처럼, 개구의 주변에 단

계들은 단계들을 평탄하게 하기 위해서 절연체(186)로 피복되고, 그럼으로써 위에 적층될 제 2 전극층(189)의 피복성을 향상시킨다. 접속 영역(205)에서, 동일 공정에서 제 2 전극층과 동일 물질로부터 형성될 배선층은 배선층(156)에 전기적으로 접속된다. 이 실시형태에서, 제 2 전극층(189)은 전기적으로 접속될 배선층(156)에 직접 접촉하나, 또 다른 배선을 통해 전기적으로 접속될 수도 있다.

[0115] 신뢰도를 더욱 향상시키기 위해서 전계 발광층(유기 화합물을 포함하는 층)(188)을 형성하기 전에 진공 가열을 수행함으로써 데이레이션(deaeration)을 수행하는 것이 바람직하다. 예를 들면, 기관 내 함유된 가스를 제거하기 위해서 유기 화합물 재료를 증발시키기 전에 저압 기체 또는 비활성 기체에서 200℃ 내지 400℃, 바람직하게는 250℃ 내지 350℃에서 열처리를 수행하는 것이 바람직하다. 기체에 노출됨이 없이 저압에서 기상 증착 방법 또는 액적 분출 방법에 의해 전계 발광층(188)을 형성하는 것이 바람직하다. 열처리에 따라, 제 1 전극층이 될 도전막, 또는 절연층(뱅크)에 함유되거나 이에 부착된 물이 방출될 수 있다. 열처리는 진공이 유지되고 기관이 진공실 내에 이송될 수 있을 때 전술한 열처리가 수행될 수 있고, 전술한 열 처리는 절연층(뱅크)을 형성한 후에 1회 수행될 수 있다. 여기서, 층간 절연막 및 절연층(뱅크)이 고 내열성의 물질로 형성될 때, 열처리에 의해 신뢰도를 향상시키는 단계가 충분히 수행될 수 있다.

[0116] 전계 발광층(188)은 제 1 전극층(185) 상에 형성된다. 도 1a 및 도 1b에 단지 1화소만이 도시되었지만, R(적색), G(녹색) 및 B(청색)의 각 색에 대응하는 전계 발광층들이 이 실시형태에서 개별적으로 형성되는 것에 유의한다. 이 실시형태에서, 전계 발광층(188)으로서, R(적색), G(녹색) 및 B(청색)의 각 색의 전계 발광을 나타내는 재료들이 각각에 대해 기상 증착 마스크 등을 사용한 기상 증착 방법에 의해 선택적으로 형성된다. R(적색), G(녹색) 및 B(청색)의 각 색의 전계 발광을 나타내는 재료들은 액적 분출 방법(저분자 또는 고분자량 재료 등)에 의해 형성될 수 있으며, 이 경우, 바람직한 것인 마스크를 사용함이 없이 RGB의 개별적 코팅이 수행될 수 있다.

[0117] 다음에, 도전막으로 형성된 제 2 전극층(189)이 전계 발광층(188) 상에 제공된다. 제 2 전극층(189)으로서, 낮은 일함수의 재료(Al, Ag, Li, Ca, 또는 합금, 이를테면 MgAg, MgIn, AlLi, CaF₂, 또는 CaN)이 사용될 수도 있다. 이에 따라, 제 1 전극층(185), 전계 발광층(188) 및 제 2 전극층(189)을 포함하는 발광 요소(190)가 형성된다.

[0118] 도 1a 및 도 1b에 도시된 이 실시형태에 따른 디스플레이 디바이스에서, 발광 요소(190)로부터 방출된 광은 제 1 전극층 층(185)으로부터 도 1b에서 화살표로 나타낸 방향으로 방출된다.

[0119] 제 2 전극층(189)을 덮기 위해서 패시베이션막(passivation film ;191)을 제공하는 것이 효과적이다. 패시베이션막(191)은 질화실리콘, 산화실리콘, 실리콘 옥시니트라이드(SiON), 질화 산화실리콘(SiNO), 질화알루미늄(AlN), 알루미늄 옥시니트라이드(AlON), 질소 함유량이 산소 함유량보다 큰 질화산화 알루미늄(AlNO), 산화알루미늄, 다이아몬드 유사 탄소(DLC), 또는 질소 함유 탄소막(CN)으로 형성되며, 단층의 절연막 또는 막들의 적층이 사용될 수 있다. 또한, 실록산 수지가 사용될 수 있다.

[0120] 이 경우, 패시베이션막으로서 양호한 피복성을 갖는 막을 사용하는 것이 바람직하며, 탄소막, 특히 DLC 막이 효과적이다. DLC 막은 실온 내지 100℃ 이하의 범위의 온도들에서 형성될 수 있으므로, 낮은 내열성의 전계 발광층(188) 상에도 쉽게 형성될 수 있다. DLC 막은 플라즈마 CVD 방법(전형적으로, RF 플라즈마 CVD 방법, 마이크로파 CVD 방법, 전자 사이클로트론 공진(ECR) CVD 방법, 핫 필라멘트 CVD 방법(hot-filament CVD method) 등), 연소 플레임(combustion flame) 방법, 스퍼터링 방법, 이온 빔 기상 증착 방법, 레이저 기상 증착 방법 등에 의해 형성될 수 있다. 증착에 사용될 반응성 가스로서, 수소 가스 및 탄화수소 기반의 가스(예를 들면, CH₄, C₂H₂, C₆H₆ 등)이 글로우 방전(glow discharge)에 의해 사용되고 이온화되고, 이어서 증착(deposition)은 네가티브 자기-바이어스(negative self-bias)가 인가되는 캐소드와의 이온들의 가속 충돌(accelerative collision)에 의해 수행된다. 또한, CN 막은 반응 가스로서 C₂H₄ 가스 및 N₂ 가스를 사용함으로써 형성될 수도 있다. DLC 막은 산소에 대한 높은 차단 효과가 있고 이에 따라 전계 발광층(188)의 산화를 제어할 수 있다. 그러므로, 전계 발광층(188)이 산화되는 문제가 후속의 실링(sealing) 단계에서 방지될 수 있다.

[0121] 도 18은 이 실시형태에서 형성된 디스플레이 디바이스의 화소 영역의 평면도이다. 도 18에서, 화소(2702)는 박막 트랜지스터들(501, 502), 캐패시터(504), 발광 요소(503), 게이트 배선층(506), 소스 또는 드레인 배선층(505) 및 파워 공급선(507)을 포함한다.

[0122] 발광 요소는 발광 요소(190)가 형성되는 기관(100)을 실링 재료(192)로 실링 기관(195)에 본딩함으로써 실링된

다(도 1a 및 도 1b). 실링 재료에 의해 단면을 통해 물이 들어가는 것이 방지되고, 그러므로 발광 요소는 열화되는 것으로부터 방지되어, 디스플레이 디바이스의 신뢰도가 더 높아지게 된다. 실링 재료(192)로서, 가시광 경화성(visible light curing), 자외선 경화성(ultraviolet curing) 또는 열경화성 수지(thermosetting resin)가 사용되는 것이 바람직하다. 예를 들면, 비스페놀 A 액상 수지, 브로모-에폭시(bromo-epoxy)를 함유한 수지, 비스페놀 F 수지, 비스페놀 AD 수지, 페놀 수지, 크레졸 수지(cresol resin), 노볼락 수지(novolac resin), 사이클릭 알리파틱 에폭시 수지(cyclic aliphatic epoxy resin), 에피비스 에폭시 수지(epibis epoxy resin), 글리시딜 에스테르 수지(glycidyl ester resin), 글리시딜 아민 수지(glycidyl amine resin), 헤테로 사이클릭 에폭시 수지(heterocyclic epoxy resin), 또는 변성 에폭시 수지(modified epoxy resin)와 같은 에폭시 수지가 사용될 수 있다. 실링 재료로 둘러싸인 영역은 충전재(193)로 채워질 수 있고, 이 안에는 질소 기체에서 발광 요소를 실링함으로써 질소 등이 캡슐화될 수 있는 것에 유의한다. 이 실시형태에서는 바텀 방출형(bottom emission)이 채용되므로, 충전재(193)는 반드시 광-투과 특성들을 가질 필요는 없다. 광이 충전재(193)를 통해 추출되는 구조의 경우, 충전재는 광-투과 특성들을 가질 필요가 있다. 통상적으로, 가시광 경화성, 자외선 경화성, 또는 열가소성 에폭시 수지가 사용될 수도 있다. 전술한 단계들을 통해, 이 실시형태에서 발광 요소를 사용한 디스플레이 기능을 갖는 디스플레이 디바이스가 완성된다. 또한, 액상 상태의 충전재가 드롭될 수도 있고 디스플레이 디바이스 내부를 채울 수 있다.

[0123] 디스플레이 방법을 사용하는 드롭 방법(드롭법에 의해 충전재를 주입하는 방법)을 도 19를 참조하여 기술한다. 도 19에서 드롭 방법은 제어 디바이스(40), 이미징 수단(42), 헤드(43), 충전재(33), 마커들(35, 45), 장벽층(34), 실링 재료(32), TFT 기관(30), 및 대향 기관(20)을 포함한다. 실링 재료(32)에 의해 페루프가 형성되며, 헤드(43)로부터 충전재(33)가 그 안에 1회 또는 복수회 드롭된다. 충전 재료의 점도(viscosity)가 높다면, 충전재는 연속적으로 분출되고 연장된 충전재로 형성 영역에 부착된다. 반면, 충전 재료의 점도가 낮다면, 도 19에 도시된 바와 같이 충전재는 간헐적으로 분출되어 드롭된다. 장벽층(34)은 실링 재료(32)가 충전재(33)와 반응하는 것을 방지하기 위해 제공될 수도 있다. 다음에, 기관들이 진공 내에서 부착되고, 이어서 충전재로 채워지도록 자외선들에 의해 경화된다. 건조제(drying agent)와 같은 흡습 재료(hygroscopic material)가 충전재로서 사용될 때, 더 한층 물의 흡수 효과가 얻어져 요소의 열화가 방지될 수 있다.

[0124] 건조제는 물에 기인한 요소의 열화를 방지하기 위해서 EL 디스플레이 패널 내 제공된다. 이 실시형태에서, 건조제는 박육화(thinning)를 방해하지 않도록, 실링 기관 내 화소 영역을 둘러싸도록 형성된 오목부 내에 제공된다. 또한, 건조제는 게이트 배선층에 대응하는 영역에도 제공되며, 물 흡수 면적이 커서 흡수 효율이 크게 된다. 또한, 건조제는 스스로 광을 방출하지 않는 게이트 배선층 상에 제공되기 때문에, 광-추출 효율(light-extraction efficiency)은 감소되지 않는다.

[0125] 이 실시형태는 발광 요소가 유리 기관에 실링되는 경우를 보인 것에 유의한다. 실링 처리는 물로부터 발광 요소를 보호하기 위한 처리 방법이다. 그러므로, 발광 요소를 커버 재료로 기계적으로 실링하는 방법, 발광 요소를 열가소성 수지 또는 자외선 경화성 수지로 실링하는 방법, 발광 요소를 높은 장벽 능력들을 갖는 산화 또는 질화금속 등과 같은 박막으로 실링하는 방법 중 어느 하나가 사용될 수 있다. 커버 재료에 관해서, 유리, 세라믹스, 플라스틱, 또는 금속이 사용될 수 있다. 그러나, 광이 커버 재료층에 방출될 때, 커버 재료는 광투과 특성들을 가질 필요가 있다. 전술한 발광 요소가 열가소성 수지 또는 자외선 경화성 수지와 같은 실링 재료로 형성되는 기관에 커버 재료를 부착하고 이어서 열처리 또는 자외선 조사 처리로 수지를 경화시킴으로써 둘러싸인 공간이 형성된다. 둘러싸인 공간 내에 산화바륨이 전형인 흡습성 재료를 제공하는 것이 효과적이다. 흡습성 재료는 발광 요소로부터 방출되는 광을 차단하지 않도록 실링 재료 상에 또는 बैं크나 이의 주변 부분 내에 제공될 수도 있다. 또한, 커버 재료와 발광 요소가 형성되는 기관 사이의 공간을 열가소성 수지 또는 자외선 경화성 수지로 채우는 것이 또한 가능하다. 이 경우, 열가소성 수지 또는 자외선 경화성 수지에 산화바륨이 전형인 흡습성 재료를 첨가하는 것이 효과적이다.

[0126] 이 실시형태에서, 외부 단자 접속 영역(202)에, FPC(194)는 외부에 전기적 접속을 하기 위해서, 이방성 도전층(196)으로 단자 전극층(178)에 접속된다.

[0127] 이 실시형태에서, 디스플레이 디바이스는 전술한 회로들을 포함한다. 그러나, 본 발명은 이것으로 한정되는 것은 아니다. 주변 구동 회로로서, IC 칩은 COG 방법 또는 앞서 언급된 TAB 방법에 의해 실장될 수 있다. 또한, 단일 또는 복수의 게이트 라인 구동 회로들 및 소스 라인 구동 회로들이 사용될 수도 있다.

[0128] 본 발명의 디스플레이 디바이스에서, 스크린을 구동하는 방법은 특정하게 제한은 없으며, 예를 들면, 도트 순차 구동 시스템(dot sequential driving system), 라인 순차 구동 시스템(line sequential driving system), 평면

순차 구동 시스템(plane sequential driving system) 등이 채용될 수도 있다. 통상적으로, 라인 순차 구동 시스템이 채용되며, 시분할 그레이-스케일 구동 시스템(time division gray-scale driving system) 또는 영역 그레이-스케일 구동 시스템이 필요에 따라 이용될 수도 있다. 디스플레이 디바이스의 소스 라인에 입력될 비디오 신호는 아날로그 신호 또는 디지털 신호일 수 있고 구동 회로 등은 필요에 따라 비디오 신호에 대응하여 설계될 수 있다.

[0129] 또한, 디지털 비디오 신호를 사용하는 디스플레이 디바이스에는 화소에 입력되는 비디오 신호가 일정 전압(CV)에 의한 것과 화소에 입력되는 비디오 신호가 일정 전류(CC)에 의한 것인 두 종류의 구동 시스템들이 있다. 또한, 일정 전압(CD)에 의한 비디오 신호를 사용하는 구동 시스템에 관해서, 발광 요소에 인가되는 전압이 일정한 것(CVCV)과 발광 요소에 인가되는 전류가 일정한 것(CVCC)인 두 종류의 시스템들이다. 또한, 일정 전류(CC)에 의한 비디오 신호를 사용하는 구동 시스템에 대해서, 발광 요소에 인가되는 전압이 일정한 것(CCCV)과, 발광 요소에 인가되는 전류가 일정한 것(CCCC)인 두 종류의 시스템들이 있다.

[0130] 본 발명에 따라서, 고도로 신뢰성 있는 디스플레이 디바이스가 간이화된 공정을 통해 제조될 수 있다. 그러므로, 고 정밀 및 고화질 이미지들을 나타내는 디스플레이 디바이스가 저비용에 고 수율로 제조될 수 있다.

[0131] [실시형태 2]

[0132] 본 발명에 따른 실시형태를 도 7a 내지 도 9를 참조하여 기술한다. 실시형태 2는 제 2 층간 절연막이 실시형태 1에서 제조된 디스플레이 디바이스에 형성되지 않는 예를 기술한다. 그러므로, 동일 부분들 및 동일 기능을 갖는 부분들의 설명은 생략한다.

[0133] 실시형태 1에서 보인 바와 같이, 박막 트랜지스터들(173 내지 176), 도전층(177), 절연막들(167, 168)은 기판(100) 상에 형성된다. 반도체층의 소스 또는 드레인 영역에 접촉될 소스 또는 드레인 전극층은 각각의 박막 트랜지스터에 형성된다. 제 1 전극층(395)은 화소 영역(206)에 제공된 박막 트랜지스터(176) 내 소스 또는 드레인 전극층(172b)과 접촉하도록 형성된다(도 7a).

[0134] 제 1 전극층(395)은 화소 전극으로서 작용하며, 실시형태 1에서 제 1 전극층(185)과 동일 공정에서 동일 재료로부터 형성될 수 있다. 이 실시형태에서, 실시형태 1에서처럼 제 1 전극층을 통해 광이 추출되며, 이에 따라 투명 도전막인 ITS0가 제 1 전극층(395)으로서 사용되고 패터닝된다.

[0135] 제 1 전극층(395)의 엣지 부분 및 박막 트랜지스터들을 덮는 절연체(186)가 형성된다(도 7b). 이 실시형태에서는 절연체(186)에 아크릴이 사용된다. 제 1 전극층 상에는 전계 발광층(188)이 형성되고 이 위에는 발광 요소(190)를 얻기 위해 제 2 전극층(189)이 적층된다. 제 2 전극층(189)은 접속 영역(205)에 배선층(156)에 전기적으로 접속된다. 단자 전극층(178)은 외부 단자 접속 영역(202)에서 이방성 도전층(196)에 의해 FPC(194)에 본딩된다. 제 2 전극층(189)을 덮도록 패시베이션막(191)이 형성된다. 기판(100)은 실링 재료(192)에 의해 실링 기판(195)에 부착되고, 충전재(193)는 디스플레이 디바이스를 충전한다(도 8).

[0136] 도 9에 도시된 디스플레이 디바이스에서, 제 1 전극층(395)은, 박막 트랜지스터(176)에 접속될 소스 또는 전극층(172b)을 형성하기 전에 절연막(168) 상에 선택적으로 형성될 수 있다. 이 경우, 소스 또는 드레인 전극층(172b)은 제 1 전극층 상에 소스 또는 드레인 전극층(172b)을 적층함으로써 제 1 전극층(395)에 접속된다. 소스 또는 드레인 전극층(172b)을 형성하기 전에 제 1 전극층(395)이 형성될 때, 제 1 전극층(395)은 평탄한 영역에 형성될 수 있고, 그러므로 CMP와 같은 연마 처리(polishing treatment)를 충분히 행하는 것이 가능하므로 양호한 피복성, 양호한 막 형성 상태, 및 양호한 평탄성의 잇점들이 있다.

[0137] 본 발명에 따라서, 간이화된 공정을 통해 고도로 신뢰성 있는 디스플레이 디바이스가 제조될 수 있다. 그러므로, 고정밀 및 고화질의 이미지들을 나타내는 디스플레이 디바이스가 낮은 비용에 고 수율로 제조될 수 있다.

[0138] [실시형태 3]

[0139] 본 발명에 따른 실시형태를 도 10a 내지 도 10c를 참조하여 기술한다. 실시형태 3은 박막 트랜지스터의 게이트 전극층이 실시형태 1에서 제조된 디스플레이 디바이스와는 다른 구조를 갖는 예를 기술한다. 그러므로, 동일 부분들 및 동일 기능을 가진 부분들의 설명은 생략한다.

[0140] 도 10a 내지 도 10c는 제조 공정에서 형성되고 있고 실시형태 1에서 기술된 도 4b에 도시된 디스플레이 디바이스에 상응하는 디스플레이 디바이스를 도시한 것이다.

[0141] 도 10a에서, 박막 트랜지스터들(273, 274)은 주변 구동 회로 영역(214)에 형성되고, 도전층(277)은 접속 영역

(215)에 형성되고, 박막 트랜지스터들(275, 276)은 화소 영역(216)에 형성된다. 도 10a에서 박막 트랜지스터의 게이트 전극층은 두 개의 도전막들의 적층된 구조를 가지며, 이 구조에서 상측 게이트 전극층은 하측의 게이트 전극층보다 좁은 폭을 갖도록 패터닝된다. 하측 게이트 전극층은 테이퍼링된 형상을 가지나 상측 게이트 전극층은 테이퍼링된 형상을 갖지 않는다. 따라서, 게이트 전극층은 테이퍼링된 형상을 가질 수 있거나 이의 측면의 각도는 실질적으로 수직일 수 있는데, 다시 말해서 게이트 전극층은 테이퍼링된 형상을 갖지 않을 수 있다.

[0142] 도 10b에서, 박막 트랜지스터들(373, 374)은 주변 구동 회로 영역(214)에 형성되고, 도전층(377)은 접속 영역(215)에 형성되고, 박막 트랜지스터들(375, 376)은 화소 영역(216)에 형성된다. 도 10b에서 박막 트랜지스터의 게이트 전극층은 두 개의 도전막들의 적층된 구조를 가지며 상측 및 하측 게이트 전극층들은 연속한 테이퍼링된 형상을 갖는다.

[0143] 도 10c에서, 박막 트랜지스터들(473, 474)은 주변 구동 회로 영역(214)에 형성되고, 도전층(477)은 접속 영역(215)에 형성되고, 박막 트랜지스터들(475, 476)은 화소 영역(216)에 형성된다. 도 10c에서 박막 트랜지스터의 게이트 전극층은 단층 구조를 가지며 테이퍼링된 형상을 갖는다. 이처럼, 게이트 전극층은 단층 구조를 가질 수 있다.

[0144] 전술한 바와 같이, 게이트 전극층은 구조 및 이의 형상에 따라 다양한 구조들을 가질 수 있다. 이에 따라, 얻어진 디스플레이 디바이스는 다양한 구조들을 취할 수 있다. 반도체층 내 불순물 영역이 마스크로서의 게이트 전극층과의 자기 정렬 방식(self alignment manner)으로 형성될 때, 불순물 영역의 구조 또는 농도 분포는 게이트 전극층의 구조에 따라 다르다. 박막 트랜지스터가 전술한 바를 고려하여 설계된다면, 원하는 기능들을 갖는 박막 트랜지스터가 얻어질 수 있다.

[0145] 이 실시형태는 실시형태 1 및 2와 자유롭게 결합될 수 있다.

[0146] [실시형태 4]

[0147] 발광 요소를 갖는 디스플레이 디바이스는 본 발명을 적용함으로써 제조될 수 있다. 광은 발광 요소로부터 바텀 방출, 탑 방출, 또는 2중 방출로 방출된다. 이 실시형태에서, 2중 방출형(dual emission type) 및 탑 방출형의 예들을 도 11 및 도 12를 참조하여 기술될 것이다.

[0148] 도 12에 도시된 디스플레이 디바이스는 요소 기판(element substrate; 1300), TFT들(1355, 1365, 1375), 제 1 전극층(1317), 전계 발광층(1319), 제 2 전극층(1320), 투명 도전막(1321), 충전재(1322), 실링 재료(1325), 게이트 절연층(1310), 절연막들(1309, 1311 내지 1313), 절연체(1314), 실링 기판(1323), 배선층(1375), 단자 전극층(1381), 이방성 도전층(1382), 및 FPC(1383)를 포함한다. 디스플레이 디바이스는 잘라낼 영역(221), 외부 단자 접속 영역(222), 배선 영역(223), 주변 구동 회로 영역(224) 및 화소 영역(226)을 포함한다. 충전재(1322)는 도 19에서 드롭 방법의 경우에서처럼 액상 형태의 혼합물을 사용한 드롭 방법에 의해 형성될 수 있다. 발광 디스플레이 디바이스는 충전재가 제공된 요소 기판(1300)을 실링 기판(1323)에 드롭 방법에 의해 부착함으로써 실링된다.

[0149] 도 12에 도시된 디스플레이 디바이스는 2중 방출형이며, 광이 화살표들로 표시한 방향들로, 즉 요소 기판(1300) 및 실링 기판(1323)의 두 측으로 방출되는 구조를 갖는다. 이 실시형태에서, 투명 도전막이 형성되고 제 1 전극층(1317)을 형성하도록 원하는 형상을 취하도록 에칭된다. 투명한 도전막은 제 1 전극층(1317)으로서 사용될 수 있다. 투명한 도전막 외에도, 질화티탄막 또는 티탄막은 제 1 전극층(1317)으로서 사용될 수 있다. 이 경우, 질화티탄막, 또는 티탄막은 투명 도전막을 형성한 후에 광을 투과시킬 수 있는 막 두께(바람직하게는 대략 5 nm 내지 30 nm)를 갖도록 형성된다. 이 실시형태에서, ITS0는 제 1 전극층(1317)으로서 사용된다.

[0150] 이어서, 도전막으로 형성된 제 2 전극층(1320)은 전계 발광층(1319) 상에 형성된다. 제 2 전극층(1320)으로서, 일함수가 낮은 재료(Al, Ag, Li, Ca; 이들의 합금, 이를테면 MgAg, MgIn, AlLi; 또는 이들의 화합물, 이를테면 CaF₂ 또는 CaN)이 사용될 수 있다. 도 12에 도시된 디스플레이 디바이스에서, 제 2 전극층(1320)으로서 얇은 막 두께를 가진 금속 박막(MgAg: 10 nm의 막 두께), 및 투명 도전막(1321)으로서 100 nm의 막 두께를 갖는 ITS0은 광이 투과될 수 있도록 적층된다. 투명 도전막(1321)으로서, 전술한 제 1 전극층(1317)과 유사한 막이 사용될 수 있다.

[0151] 도 11에 도시된 디스플레이 디바이스는 일측 방출형이며, 탑 방출이 화살표로 나타난 방향으로 수행되는 구조를 갖는다. 도 11에 도시된 디스플레이 디바이스는 요소 기판(1600), TFT들(1655, 1665, 1675), 반사 금속층(1624), 제 1 금속층(1617), 전계 발광층(1619), 제 2 전극층(1620), 투명 도전막(1621), 충전재(1622), 실링

재료(1625), 게이트 절연층(1610), 절연막들(1611 내지 1613, 1609), 절연체(1614), 실링 기관(1623), 배선층(1675), 단자 전극층(1681), 이방성 도전층(1682) 및 FPC(1683)을 포함한다. 도 11에서 디스플레이 디바이스에서, 단자 전극층(1681) 상에 적층된 절연층을 에칭하여 제거한다. 이에 따라, 수분 투과성 절연층이 단자 전극층 주변에 제공되지 않은 구조가 신뢰도를 향상시킬 수 있다. 또한, 디스플레이 디바이스는 잘라낼 영역(231), 외부 단자 접속 영역(232), 배선 영역(233), 주변 구동 회로 영역(234) 및 화소 영역(236)을 포함한다. 이 경우, 도 12에 도시된 2중 방출형 디스플레이 디바이스에서, 반사 금속층(1624)은 제 1 전극층(1617) 밑에 형성된다. 투명 도전막으로 형성되는, 애노드로서 기능하는 제 1 전극층(1617)은 반사 금속층(1624) 상에 형성된다. 금속층(1624)으로서, 이것은 적어도 반사성일 수 있으며, 따라서, Ta, W, Ti, Mo, Al, Cu 등이 사용될 수도 있다. 가시광 영역에서 고 반사율을 갖는 물질을 사용하는 것이 바람직하며, 이 실시형태에서, TiN막이 사용된다. 본 발명은 절연층(1609) 및 बैं크(1614)에 적용되며, 디스플레이 디바이스는 균일한 두께 분포 및 절연층(1609)의 높은 평탄도에 따라 디스플레이 불균일성(display unevenness)이 없는 고 해상 디스플레이를 제공할 수 있다.

[0152] 도전막으로 형성된 제 2 전극층(1620)은 전계 발광층(1619) 상에 제공된다. 제 2 전극층(1620)으로서, 일함수가 낮은 재료(Al, Ag, Li, Ca; 이들의 합금, 이를테면 MgAg, MgIn, AlLi; 또는 이들의 화합물, 이를테면 CaF₂ 또는 CaN)을, 캐소드로서 사용되도록 사용될 수 있다. 이 실시형태에서, 제 2 전극층(1620)으로서 얇은 막 두께를 가진 금속 박막(MgAg: 10 nm의 막 두께), 및 투명 도전막(1621)으로서 110 nm의 막 두께를 갖는 ITSO는 광이 투과될 수 있도록 적층된다.

[0153] 이 실시형태에 적용될 수 있는 발광 요소의 모드를 도 13a 내지 도 13d에 도시하였다. 발광 요소는 전계 발광층(860)이 제 1 전극층(870)과 제 2 전극층(850) 사이에 개재된 구조를 갖는다. 제 1 전극층의 재료 및 제 2 전극층의 재료는 일함수들을 고려하여 선택되어야 한다. 제 1 전극층 및 제 2 전극층은 화소 구조에 따라 애노드 또는 캐소드가 될 수 있다. 이 실시형태에서, 구동 TFT가 p-채널 도전성을 갖는 경우에, 제 1 전극층은 바람직하게는 애노드로서 작용하고 제 2 전극층은 캐소드로서 작용할 수 있다. 구동 TFT는 n-채널 도전성을 갖기 때문에, 제 1 전극층은 캐소드로서 사용되는 것이 바람직할 수 있고 제 2 전극층은 애노드로서 사용되는 것이 바람직할 수 있다.

[0154] 도 13a 및 도 13b는 제 1 전극층(870)이 애노드이고 제 2 전극층(850)이 캐소드인 경우를 도시한 것이다. 전계 발광층(860)은 HIL(정공 주입층(hole injection layer))/HTL(정공 수송층(hole transport layer))(804), EML(발광층)(803), ETL(전자 수송층)/EIL(전자 주입층)(802), 및 제 2 전극층(850)가 제 1 전극층(870) 측부터 이 순서로 적층된 구조를 갖는 것이 바람직하다. 도 13a는 광-투과 도전성 산화물 재료(light-transmitting conductive oxide material)를 갖는 전극층(805)을 포함하는 제 1 전극층(870)으로부터 광이 방출되고, 제 2 전극층이 알칼리 금속 또는 LiF나 MgAg와 같은 알칼리 토금속(alkaline earth metal)을 함유한 전극층(801)과 알루미늄과 같은 금속 재료로 만들어진 전극층(800)이 전계 발광층(860) 측부터 이 순서대로 적층된 구조를 갖는 구조를 도시한다. 도 13b는 광이 제 2 전극층(850)으로부터 방출되고, 제 1 전극층이 알루미늄 또는 티탄과 같은 금속, 또는 이러한 금속과 화학량론적 비 이하의 농도의 질소를 함유한 질소를 함유한 금속 재료로 만들어진 전극층(807), 및 1 atomic% 내지 15 atomic%의 농도로 산화실리콘을 함유한 도전성 산화물 재료로 만들어진 제 2 전극층(806)을 포함하는 구조를 도시한 것이다. 제 2 전극층은 전계 발광층(860) 측부터 알칼리 금속 또는 LiF나 MgAg와 같은 알칼리 토금속을 함유한 전극층(801)과 알루미늄과 같은 금속 재료로 만들어진 전극층(800)으로 구성되고, 각 층은 광을 투과시키도록 100 nm 이하의 두께를 갖도록 형성되며, 광은 제 2 전극층(850)으로부터 방출될 수 있다.

[0155] 도 13c 및 도 13d는 제 1 전극층(870)이 캐소드이고 제 2 전극층(850)이 애노드인 경우를 도시한 것이다. 전계 발광층(860)은 EIL(전자 주입층)/ETL(전자 수송층)(802), EML(발광층)(803), HTL(정공 수송층)/HIL(정공 주입층)(804), 및 애노드인 제 2 전극층(850)이 캐소드측으로부터 순서대로 적층된 구조를 갖는 것이 바람직하다. 도 13c는 제 1 전극층(870)으로부터 광이 방출되는 구조를 도시한 것이다. 제 1 전극층(870)은 전계 발광층(860) 측부터 알칼리 금속 또는 LiF나 MgAg와 같은 알칼리 토금속을 함유한 전극층(801)과 알루미늄과 같은 금속 재료로 만들어진 전극층(800)을 포함하고, 각 층은 광을 투과시키도록 100 nm 이하의 두께를 갖도록 형성되며, 이에 따라 광이 제 1 전극층(870)으로부터 방출될 수 있다. 제 2 전극층은 전계 발광층(860) 측으로부터, 1 atomic% 내지 15 atomic%의 농도로 산화실리콘을 함유한 도전성 산화물 재료로 만들어진 제 2 전극층(806), 알루미늄 또는 티탄과 같은 금속, 또는 이러한 금속과 화학량론적 비 이하의 농도의 질소를 함유한 금속 재료로 만들어진 전극층(807)을 포함한다. 도 13d는 광이 제 2 전극층(850)으로부터 방출되는 구조를 도시한 것이다. 제 1 전극층(870)은 전계 발광층(860) 측으로부터 알칼리 금속 또는 LiF나 MgAg와 같은 알칼리 토금속을 함유한

전극층(801)과 알루미늄과 같은 금속 재료로 만들어진 전극층(800)을 포함하고, 제 1 전극층(870)은 전계 발광층(860)에서 생성된 광을 반사시키기에 충분한 두께로 형성된다. 제 2 전극층(850)은 광-투과 도전성 산화물 재료로 만들어진 전극층(805)을 포함한다. 전계 발광층은 단층 구조 또는 적층 구조 대신 혼합 구조를 취할 수도 있다.

[0156] 전계 발광층으로서, 각각이 적색(R), 녹색(G), 청색(B)의 발광(luminescence)을 나타내는 재료들이 각각 기상 증착 마스크를 사용한 기상 증착 방법에 의해 선택적으로 형성된다. 각각이 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료들(저분자량 재료들 또는 고분자량 재료들 등)은 컬러 필터와 동일한 방식으로 액적 분출 방법에 의해 형성될 수 있다. 이 경우는 RGB가 마스크들을 사용함이 없이 개별적으로 색을 갖게 할 수 있으므로 바람직하다.

[0157] 탑 방출형의 경우, 광-투과 특성을 갖는 ITO 또는 ITSO가 제 2 전극층으로서 사용될 때, Li가 벤조옥사졸 유도체들(BzOs) 등에 첨가된 BzOs-Li이 사용될 수 있다. 예를 들면, EML에 대해, R, G, B 각각의 발광 색들에 대응하는 도펀트(R에 대해 DCM 등, G에 대해 DMQ 등)가 도핑된 Alq₃가 사용될 수 있다.

[0158] 발광층은 전술한 재료들로 한정되는 것은 아닌 것에 유의한다. 예를 들면, 정공 주입 특성들은 CuPc 또는 PEDOT를 사용하는 대신 산화몰리브덴(MoO_x: x=0 내지 3)과 같은 산화물 또는 루브렌을 함께 증발시킴으로써 향상될 수 있다. 유기 재료(저분자량 재료 또는 고분자량 재료를 포함함) 또는 유기 재료와 무기 재료의 혼합 재료가 전계 발광층의 재료로서 사용될 수 있다. 발광 요소를 형성하는 재료는 이하 상세히 기술될 것이다.

[0159] 전하 주입 수송 재료들 중 고 전자 수송 특성들을 갖는 물질로서, 예를 들면, 퀴놀린 스키텔론(quinoline skeleton), 또는 트리스(8-퀴놀리놀라토(8-quinolinolato)) 알루미늄(Alq₃), 트리스(4-메틸-8-퀴놀리놀라토) 알루미늄(Almq₃), 비스(10-하이드로옥시벤조[h]-퀴놀리나토) 베릴륨(BeBq₂), 비스(2-메틸-8-퀴놀리놀라토) 베릴륨(BeBq₂), 비스(2-메틸-8-퀴놀리놀라토)-4-페닐페놀라토(phenylphenolato)-알루미늄(BAlq), 등과 같은 벤조퀴놀린 스키텔론을 갖는 금속착물이 주어질 수 있다. 고 정공 수송 특성들을 갖는 물질로서, 예를 들면, 방향족 아민 화합물(즉, 벤젠 고리-질소 결합을 갖는 화합물), 이를테면 4,4'-비스[N-(1-나프틸)-N-페닐-아미노]-바이페닐(α -NPD), 4,4'-비스[N-(3-메틸페닐)-N-페닐-아미노]-바이페닐(TPD), 4,4',4''-트리스(N,N-디페닐-아미노)-트리페닐아민(TDATA), 또는 4,4',4''-트리스[N-(3-메틸페닐)-N-페닐-아미노]-트리페닐아민(MTDATA)가 사용될 수 있다.

[0160] 전하 주입 수송 재료들 중 고 전자 주입 특성들을 갖는 물질로서, 알칼리 금속 또는 알칼리 토금속과 같은 화합물, 이를테면 불화리튬(LiF), 불화세슘(CsF), 또는 불화칼슘(CaF₂)이 주어질 수 있다. 이 외에도, Alq₃ 및 마그네슘(Mg)과 같은 알칼리 토금속과 같이 고 전자 수송 특성들을 갖는 물질의 혼합물이 있을 수 있다.

[0161] 전하 주입 수송 재료들 중 고 정공 주입 특성들을 갖는 물질로서, 예를 들면, 산화 몰리브덴(MoO_x), 산화 바나듐(VO_x), 산화 루테튬(RuO_x), 산화 텅스텐(WO_x), 또는 산화 망간(MnO_x)이 사용된다. 또한, 프탈로시아닌(H₂Pc) 또는 구리 프탈로시아닌(CuPc)과 같은 프탈로시아닌 화합물이 사용될 수 있다.

[0162] 발광층은 각 화소에 다른 방출 파장 범위들을 갖는 발광층들을 제공함으로써 색 표시를 수행할 수 있다. 통상적으로, R(적색), G(녹색), 또는 청색(B)의 각 색에 대응하는 발광층이 형성된다. 이 경우, 색 순도가 향상될 수 있고 화소의 발광층에 방출 파장 범위의 광을 투과시키는 필터를 제공함으로써 화소가 경면(반사)을 갖는 것이 방지될 수 있다. 필터를 제공함으로써, 통상적으로 요구되는 원형 편광판 등이 제거될 수 있다. 또한, 화소부(디스플레이 스크린)를 비스듬히 보았을 때 발생하는 휴(hue)의 변화가 감소될 수 있다.

[0163] 발광 재료에 대해 각종의 재료들이 사용될 수 있다. 저분자량 유기 발광 재료로서, 4-디시아노메칠렌-2-메칠-6-[2-(1,1,7,7-테트라메칠-9-줄로리딜)에테닐]-4H-피란;(DCJT); 4-디시아노메칠렌-2-부틸-6-[2-(1,1,7,7-테트라메칠줄로리딘-9-일-에테닐)]-4H-피란;(DCJTB); 페리플란텐; 2,5-디시아노-1,4-비스[2-(10-메톡시-1,1,7,7-테트라메칠줄로리딘-9-일)에테닐]벤젠; N,N'-디메칠퀴나크리돈(DMQd); 쿠마린 6; 쿠마린 545T; 트리스(8-퀴놀리놀라토)알루미늄(Alq₃); 9,9'-비안트릴; 9,10-디페닐안트라센(DPA); 9,10-비스(2-나프틸)안트라센(DNA) 등이 사용될 수 있다. 다른 물질도 또한 사용될 수 있다.

[0164] 한편, 고분자량 유기 발광 재료는 물리적으로 저분자량 재료보다 강하며 요소의 내구성이 우수하다. 또한, 고분자량 유기 발광 재료는 코팅에 의해 형성될 수 있고, 따라서, 요소는 비교적 쉽게 제조될 수 있다. 고분자량 유기 발광 재료를 사용한 발광 요소의 구조는 기본적으로 저분자량 유기 발광 재료를 사용한 경우에서와 동일한

구조를 가지며, 즉 캐소드, 유기 발광층, 및 애노드가 순서대로 적층된다. 그러나, 고분자량 유기 발광 재료를 사용한 발광층이 형성될 때 많은 경우에 2-층 구조가 채용된다. 이것은 저분자량 유기 발광 재료를 사용한 경우에서처럼 적층 구조를 형성하기가 어렵기 때문이다. 구체적으로, 고분자량 유기 발광 재료를 사용하는 발광 요소는 순서대로 캐소드, 발광층, 정공 수송층, 및 애노드의 구조를 갖는다.

[0165] 방출색은 발광층을 형성하는 재료에 따라 결정되며, 따라서, 원하는 발광을 표시하는 발광 요소는 발광층용으로 적합한 재료를 선택함으로써 형성될 수 있다. 발광층을 형성하는데 사용될 수 있는 고분자량 전계 발광 재료로서는, 폴리파라페닐렌-비닐렌-기반 재료, 폴리파라페닐렌-기반 재료, 폴리티오펜-기반 재료, 또는 폴리플루오렌-기반 재료가 사용될 수 있다.

[0166] 폴리파라페닐렌 비닐렌-기반 재료로서는, 폴리(파라페닐렌비닐렌)[PPV] 유도체, 예를 들면, 폴리(2,5-디알콕시-1,4-페닐렌비닐렌)[RO-PPV]; 폴리(2-(2'-에틸-헥소시)-5-메톡시-1,4-페닐렌비닐렌)[MEH-PPV]; 폴리(2-(디알콕시페닐)-1,4-페닐렌비닐렌)[ROPh-PPV] 등이 사용될 수 있다. 폴리파라페닐렌 기반 재료로서, 폴리파라테닐렌[PPP]의 유도체, 예를 들면, 폴리(2,5-디알콕시-1,4-페닐렌)[RO-PPP]; 폴리(2,5,디헥소시-1,4-페닐렌) 등이 사용될 수 있다. 폴리티오펜 기반 재료로서, 폴리티오펜[PT] 유도체의 유도체, 예를 들면, 폴리(3-아킬티오펜)[PAT]; 폴리(3-헥실티오펜)[PHT]; 폴리(3-사이클로헥실티오펜)[PCHT]; 폴리(3-사이클로헥실-4-메틸티오펜)[PCHMT]; 폴리(3,4-디사이클로헥실티오펜)[PDCHT]; 폴리[3-(4-옥틸페닐)-티오펜][PORT]; 폴리[3-(4-옥틸페닐)-2,2,2-트라이플루오렌티오펜][PTOPT] 등이 사용될 수 있다. 폴리플루오렌 기반 재료로서, 폴리플루오렌의 유도체[PF], 예를 들면, 폴리(9,9-디알킬플루오렌)[PDAF]; 폴리(9,9-디옥틸플루오렌)[PDOF] 등이 사용될 수 있다.

[0167] 정공 수송 특징들을 갖는 고분자량 유기 발광 재료가 애노드와 발광 특징을 갖는 고분자량 유기 발광 재료 사이에 형성될 때, 애노드로부터 정공 주입 특징들이 향상될 수 있다. 일반적으로, 엑셉터 재료와 함께 물에 용해되는 정공 수송 특성을 갖는 고분자량 유기 발광 재료 스핀 코팅 등에 의해 도포된다. 또한, 정공 주입 특성을 갖는 고분자량 발광 재료는 유기 용매(organic solvent)엔 용해될 수 없고, 따라서, 발광 특징들을 갖는 전술한 고분자량 유기 발광 재료 상에 형성될 수 있다. 정공 수송 특성을 갖는 고분자량 유기 발광 재료로서, PEDOT와 엑셉터 재료로서 작용하는 CSA(camphor sulfonic acid)와의 혼합물, 폴리아닐린[PANI]과 엑셉터 재료로서 작용하는 폴리스티렌 술포닉 산[PSS]과의 혼합물 등이 사용될 수 있다.

[0168] 발광층은 단색 또는 백색광을 방출하도록 만들어질 수 있다. 백색광 방출 재료가 사용될 때, 컬러 디스플레이는 화소의 발광 층에 특징의 파장을 갖는 광을 투과시키는 필터(유색층)가 제공된 구조를 적용함으로써 가능해질 수 있다.

[0169] 백색광을 방출하는 발광층, 예를 들면, Alq_3 를 형성하기 위해서, 적색 발광 착색제(red light emitting colorant)인 나일 레드(Nile red)가 부분적으로 도핑된 Alq_3 , Alq_3 , p-EtTAZ, TPD(방향족 디아민)이 백색광을 얻기 위해 기상 증착 방법에 의해 그 순서로 적층된다. EL이 스핀 코팅을 사용한 도포 방법에 의해 형성된 경우, 스핀 코팅에 의해 형성되는 층은 진공 가열에 의해 베이킹되는 것이 바람직하다. 예를 들면, 정공 주입층으로서 기능하는 막을 형성하도록 폴리(에틸렌 디옥시티오펜)/폴리(스트렌 술포닉 산) 용액(PEDOT/SS)의 수용액이 전체에 도포되고 베이킹될 수 있다. 이어서, 발광층으로서 기능하는 막을 형성하기 위해, 발광 중심 착색제(1,1,4,4-테트라페닐-1,3-부타디엔(TPB)가 도핑된 폴리비닐 카바졸(PVK) 용액; 4-디시아노메틸렌-2-메틸-6-(p-디메칠아미노-스트릴)-4H-피란(DCM1); 나일 레드; 쿠마린 6; 등)이 전체에 도포되고 베이킹될 수 있다.

[0170] 발광층은 단층으로서 형성될 수도 있다. 예를 들면, 전자 수송 특징들을 갖는 1,3,4-옥사디아졸 유도체(PBD)는 정공 수송 특성을 갖는 폴리비닐 카바졸(PVK) 내에 분산될 수도 있다. 또한, 백색광 방출은 전자 수송재로서 30 wt%의 PBD를 분산시키고 4종류의 착색제들(TPB, 쿠마린 6, DCM1, 나일 레드)의 적합한량을 분산시킴으로써 얻어질 수 있다. 여기 나타난 바와 같이 백색광 방출이 얻어질 수 있는 발광 요소 외에도, 적색광 방출, 녹색광 방출, 또는 청색광 방출을 제공할 수 있는 발광 요소는 발광층의 재료들을 적합하게 선택함으로써 제조될 수 있다.

[0171] 또한, 발광층에 대해, 싱글렛 발광 재료 뿐만 아니라 금속착물 등을 함유하는 트리플렛 발광 재료가 사용될 수도 있다. 예를 들면, 적색, 녹색, 및 청색광을 방출하는 화소들 중에서, 비교적 짧은 시간 내에 휘도가 반만큼 감소되는 적색광을 방출하는 화소는 트리플렛 발광 재료로 형성되고, 나머지는 싱글렛 발광 재료로 형성된다. 트리플렛 발광 재료는 동일 휘도를 얻기 위해 양호한 발광효율 및 더 적은 전력소비의 특징을 가진다. 트리플렛 발광 재료가 적색 화소에 대해 사용될 때, 소량의 전류만이 발광 요소에 공급될 필요가 있다. 이에 따라, 신뢰도가 향상될 수 있다. 적색광을 방출하는 화소 및 적색광을 방출하는 화소는 트리플렛 발광 재료로 형성될

수 있고 적색광을 방출하는 화소는 낮은 전력 소비를 달성하기 위해 싱글렛 발광 재료로 형성될 수 있다. 트리플렛 발광 재료로 높은 가시성을 갖는 적색광을 방출하는 발광 요소를 형성함으로써 낮은 전력 소비가 또한 달성될 수 있다.

[0172] 도펀트로서 사용되는 금속착물은 트리플렛 발광 재료의 예이며, 중심 금속으로서 제 3 전이계열 원소인 백금을 갖는 금속착물, 중심 금속으로서 이리듐을 갖는 금속착물 등이 공지되어 있다. 트리플렛 발광 재료는 이들 화합물들로 제한되는 것은 아니다. 위에 기술된 구조를 갖는 화합물 및 중심금속으로서 주기율표의 8족 내지 10족 중 어느 하나에 속하는 원소도 사용될 수 있다.

[0173] 발광층을 형성하기 위한 전술한 재료들은 단지 예들일 뿐이다. 발광 요소는 정공 주입층, 정공 수송층, 전자 주입 수송층, 전자 수송층, 발광층, 전자 차단층 및 정공 차단층과 같은 기능적인 층들을 적절하게 적층함으로써 형성될 수 있다. 또한, 혼합층 또는 혼합 접합(mixed junction)이 이들 층들을 조합함으로써 형성될 수 있다. 발광층의 층 구조는 다양할 수 있다. 특정의 전자 주입 영역 또는 발광 영역을 제공하는 대신에, 이를테면 그 목적을 위해 전극 층을 제공하거나 산재된 발광 재료를 제공하는 것과 같은 변형은 본 발명의 범위로부터 벗어나지 않는 한 수락가능하다.

[0174] 전술한 재료들로 형성된 발광 요소는 순방향 바이어싱됨에 의해 광을 방출한다. 발광 요소로 형성된 디스플레이 디바이스의 화소는 단순 매트릭스 모드 또는 능동 매트릭스 모드에 의해 구동될 수 있다. 어느 경우이든, 특정 시각에 화소에 순방향 바이어스를 가함으로써 각 화소는 광을 방출하는데, 화소는 일정기간 동안 비-발광 상태에 있다. 발광 요소의 신뢰도는 비-발광 시간에 역 바이어스를 가함으로써 향상될 수 있다. 발광 요소에서는 방출 강도가 특정의 구동 조건들 하에서 감소되는 열화 모드 또는 비-발광 영역이 화소에서 커지게 되고 휘도가 명백히 감소되는 열화 모드 하에선 감소된다. 그러나, 열화의 진전은 바이어스가 순방향 및 역방향으로 인가되는 교류 전류 구동에 의해 늦추어 질 수 있다. 이에 따라, 발광 디바이스의 신뢰도가 향상될 수 있다. 또한, 디지털 구동 및 아날로그 구동 중 어느 하나가 적용될 수 있다.

[0175] 컬러필터(유색층)는 실링 기관 상에 형성될 수 있다. 컬러필터(유색층)는 기상 증착 방법 또는 액적 분출 방법에 의해 형성될 수 있다. 컬러필터(유색층)의 사용에 의해, 고-해상 디스플레이가 또한 수행될 수 있다. 이것은 컬러필터(유색층)에 의해 각각의 RGB의 광 방출 스펙트럼에서 넓은 피크가 첨예하게 되도록 수정될 수 있기 때문이다.

[0176] R, G, B의 발광을 나타내는 재료를 형성하는 경우를 위에 보였는데, 그러나, 풀 컬러 디스플레이는 단색 광 방출을 나타내는 재료를 형성하고 컬러필터와 컬러 변환층을 조합함으로써 수행될 수 있다. 컬러필터(유색층) 또는 컬러 변환층은 예를 들면 제 2 기관(실링 기관) 상에 형성되고 기관에 부착될 수 있다.

[0177] 물론, 디스플레이는 단색 광 방출로도 수행될 수 있다. 예를 들면, 영역 컬러형 디스플레이 디바이스는 단색 광 방출을 사용함으로써 제조될 수 있다. 영역 컬러형은 수동 매트릭스형 디스플레이 부분에 적합하고, 문자들 및 심볼들이 주로 표시될 수 있다.

[0178] 전술한 구조에서, 캐소드로서 낮은 일함수 재료를 사용하는 것이 가능한데, 예를 들면, Ca, Al, CaF, Mg, AlLi, 등이 바람직하다. 단층형, 적층형, 층들 간에 인터페이스가 전혀 없는 혼합형 중 어느 하나이든 전계 발광층용으로 사용될 수 있다. 전계 발광층은 싱글렛 재료, 트리플렛 재료, 또는 이들 재료들의 혼합; 또는 전자 주입 수송 재료 및 유기화합물 또는 무기 화합물을 포함하는 발광 재료에 의해 형성될 수 있는데, 이는 분자수에 의해 정의되는 것들인, 저분자량 유기 화합물 재료, 중간 분자량 유기 화합물(승화 특성들(sublimation properties)이 전혀 없는 유기 화합물을 의미하고 분자수는 20 이하 또는 결합된 분자들의 길이가 10 μm 이하이다), 및 고분자량 유기 화합물의 하나의 층 또는 복수의 층들을 포함하고, 전자 주입 수송 무기 화합물 또는 정공 주입 수송 무기 화합물과 조합될 수 있다. 제 1 전극층은 광을 투과시키는 투명 도전막(transparent conductive film)으로 형성되고, 예를 들면, ITO 또는 ITSO 외에도, 2% 내지 20%의 산화아연(ZnO)이 산화인듐에 혼합된 투명 도전막이 사용된다. 산소 기체에서 플라즈마 처리 또는 진공 기체에서 열처리하는 제 1 전극층을 형성하기 전에 수행되는 것이 바람직할 수 있다. बैंक(격벽 또는 제방이라고도 함)은 실리콘, 유기 재료 또는 화합물 재료를 함유한 재료로 형성된다. 또한, 다공성 막이 사용될 수도 있다. 그러나, 감광성 재료 또는 비-감광성 재료, 이를테면 아크릴 또는 폴리이미드가 बैं크를 형성하기 위해 사용될 때, 이의 측면은 곡률반경이 연속적으로 변하는 형상을 취하고 상위 층의 박막은, 바람직하게, 단계에 기인한 불연속 없이 형성된다.

[0179] 본 발명에 따라서, 고도로 신뢰성 있는 디스플레이 디바이스는 간이화된 공정을 통해 제조될 수 있다. 그러므로, 고 정밀 및 고화질 이미지들을 나타내는 디스플레이 디바이스가 저비용에 고 수율로 제조될 수 있다.

- [0180] 이 실시형태는 실시형태들 1 내지 3과 자유롭게 조합될 수 있다.
- [0181] [실시형태 5]
- [0182] 주사선 입력 단자부와 신호선 입력단자부에 보호 다이오드들이 제공된 한 모드를 도 15를 참조하여 설명한다. TFT들(501, 502), 캐패시터(504), 및 발광 요소(503)은 도 15에서 화소(2702)에 제공된다. 이 TFT는 실시형태 1의 구조와 동일한 구조를 갖는다.
- [0183] 보호 다이오드들(561, 562)은 신호선 입력단자부를 위해 제공된다. 이들 보호 다이오드들은 TFT(501 또는 502)의 단계와 동일한 단계로 제조되고 게이트와 드레인 및 소스 중 하나에 각각이 접속됨으로써 다이오드들로서 동작된다. 도 14는 도 15에 도시된 상면도의 등가 회로도이다.
- [0184] 보호 다이오드(561)는 게이트 전극층, 반도체층 및 배선층을 포함한다. 보호 다이오드(562)는 유사한 구조를 갖는다. 보호 다이오드에 접속하는 공통 전위 배선들(554, 555)은 게이트 전극층의 것과 동일한 층에 형성된다. 그러므로, 공통 전위 배선들(554, 555)을 배선층에 전기적으로 접속하기 위해 절연층에 접촉홀을 형성하는 것이 필요하다.
- [0185] 절연층 내 접촉홀을 형성하기 위해 마스크 층이 형성되고 에칭 처리된다. 이 경우, 대기압 방전에서의 에칭이 적용될 때, 로컬 전기 방전 공정이 수행될 수 있고, 기판 전체 면 상에 반드시 마스크층이 형성될 필요는 없다.
- [0186] 신호 배선층은 TFT(501) 내 소스 및 드레인 배선층(505)의 것과 동일한 층에 형성되고 이에 접속되는 신호 배선층이 소스 또는 드레인층에 접속되는 구조를 갖는다.
- [0187] 주사 신호선층의 입력 단자부는 또한 동일한 구조를 갖는다. 입력단(input stage)에 제공되는 보호 다이오드들은 동시에 형성될 수 있다. 보호 다이오드를 배치하는 위치는 이 실시형태로 한정되는 것은 아니고 구동 회로와 화소 사이에도 제공될 수 있는 것에 유의한다.
- [0188] [실시형태 6]
- [0189] 텔레비전 디바이스는 본 발명에 따라 형성된 디스플레이 디바이스에 의해 완성될 수 있다. 디스플레이 패널은, 도 16a에 도시된 바와 같이, 화소부만이 형성되고, 주사선 구동 회로 및 신호선 구동 회로가 도 17b에 도시된 바와 같은 TAB 방법에 의해 실장되며; 도 16a에 도시된 구조처럼, 화소부만이 형성되고, 주사선 구동 회로 및 신호선 구동 회로가 도 17a에 도시된 바와 같이 COG 방법에 의해 실장되며; TFT가 SAS로 형성되고, 화소부 및 주사선 구동 회로가 기판 상에 일체로 되게 형성되며, 신호선 구동 회로가 도 16b에 도시된 바와 같이 구동기 IC로서 별도로 실장되며; 화소부, 신호선 구동 회로, 및 주사선 구동 회로가 도 16c에 도시된 바와 같이 기판 상에 일체로 되게 형성되며, 등의 어떤 방식으로 형성될 수 있다.
- [0190] 외부 회로의 또 다른 구조는 튜너에 의해 수신된 신호들 중에서 비디오 신호를 증폭하는 비디오 신호 증폭기 회로, 이로부터 출력된 신호를 적색, 녹색, 및 청색의 각 색에 대응하는 크로미넌스 신호(chrominance signal)로 변환하는 비디오 신호 처리 회로, 비디오 신호를 구동기 IC의 입력 명세로 변환하는 제어 회로, 등을 비디오 신호의 입력측에 포함한다. 제어 회로는 주사선측 및 신호선측 각각에 신호를 출력한다. 디지털 구동의 경우, 신호 분할 회로가 신호선측에 제공될 수 있고, 따라서 입력 디지털 신호는 m개로 분할함으로써 제공된다.
- [0191] 튜너(tuner)로부터 수신된 신호들 중에서, 오디오 신호는 오디오 신호 증폭기 회로에 전송되고, 이의 출력은 오디오 신호 처리 회로를 통해 스피커에 공급된다. 제어 회로는 수신 스테이션에 관한 제어 정보(수신 주파수) 또는 입력부로부터 사운드 볼륨을 수신하여 신호를 튜너 또는 오디오 신호 처리 회로에 전송한다.
- [0192] 도 20a 및 도 20b에 도시된 바와 같이, 텔레비전 디바이스는 디스플레이 모듈을 새시(chassis)에 탑재함으로써 완성될 수 있다. FPC가 도 1에 도시된 바와 같이 부착되는 디스플레이 패널은 일반적으로 EL 디스플레이 모듈이라 한다. EL 텔레비전 디바이스는 도 1에서처럼 EL 디스플레이 모듈이 사용될 때 완성될 수 있다. 주 스크린(2003)은 디스플레이 모듈을 사용함으로써 형성되고, 스피커 유닛(2009), 조작 스위치를 등이 다른 부착된 장비들로서 제공된다. 이렇게 하여, 텔레비전 디바이스가 본 발명에 따라 완성될 수 있다.
- [0193] 또한, 외부로부터 입력되는 광의 반사된 광은 웨이브 플레이트(wave plate) 및 편광판을 사용함으로써 차폐될 수 있다. 탑 방출 디스플레이 디바이스의 경우에, 뱅크가 될 절연층은 블랙 매트릭스로서 사용되게 유색이 되게 할 수 있다. 뱅크는 액적 분출 방법 등에 의해 형성될 수 있고, 흑색 수지 안료, 카본 블랙과 혼합되는, 폴리이미드와 같은 수지 재료, 등이 사용될 수도 있고, 이의 적층 구조가 사용될 수도 있다. 액적 분출 방법에 따라, 뱅크를 형성하기 위해 동일 영역에 수회에 걸쳐 서로 다른 재료들이 분출될 수도 있다. 웨이브 플레이트

들로서는 1/4 또는 반과 플레이트들이 사용될 수도 있고 광을 제어할 수 있게 설계될 수 있다. 구조로서, TFT 요소 기관, 발광 요소, 실링 기관(실링 재료), 웨이브 플레이트들(1/4 또는 반과 플레이트들), 편광판이 이 순서로 적층되고, 발광 요소로부터 방출된 광은 전술의 성분들을 통해 편광판 측으로부터 외부로 방출된다. 웨이브 플레이트 또는 편광판은 광이 방출되는 측에 제공될 수도 있고 또는 양면들로부터 광이 방출되는 2중 방출형 디스플레이 디바이스의 경우엔 양측에 제공될 수도 있다. 또한, 반사 방지막(anti-reflective film)이 편광판의 외측에 제공될 수도 있다. 결국, 고 해상 및 고 정확도의 이미지가 디스플레이될 수 있다.

[0194] 도 20a에 도시된 바와 같이, 디스플레이 요소를 사용한 디스플레이 패널(2002)이 새시(2001)에 탑재된다. 수신기(2005)를 사용함으로써, 일반 TV 방송의 수신 외에도, 정보 통신은 고정된 회선에 의해 또는 모뎀(2004)을 통해 무선으로 통신 네트워크에 접속함으로써 일방향(송신기에서 수신기로)으로 또는 양방향으로(송신기와 수신기 간에 또는 수신기들 간에) 수행될 수 있다. 텔레비전 디바이스의 동작은 새시에 탑재된 스위치들에 의해서 또는 본체로부터 분리된 원격 제어 디바이스(2006)에 의해서 수행될 수 있다. 출력될 정보를 표시하는 디스플레이부(2007)는 이 원격 제어 디바이스에 제공될 수도 있다.

[0195] 또한, 텔레비전 디바이스에서, 채널, 사운드 볼륨, 등을 표시하는 구조가 주 스크린(2003) 외에 제 2 디스플레이 패널로서 서브-스크린(2008)을 형성함으로써 추가로 제공될 수도 있다. 이러한 구조에서, 주 스크린(2003)은 시야각(viewing angle)이 우수한 EL 디스플레이 패널로 형성되고, 서브-스크린은 저전력 소비로 서브-스크린을 표시할 수 있는 액정 디스플레이 패널로 형성될 수도 있다. 저전력 소비가 우선이 되게 하기 위해서, 주 스크린(2003)이 액정 디스플레이 패널로 형성되고, 서브-스크린이 EL 디스플레이 패널로 형성되고, 서브-스크린이 플래시 온 및 플래시 오프 될 수 있는 구조가 적용될 수도 있다. 본 발명에 따라서, 고 신뢰도를 갖는 디스플레이 디바이스는 많은 TFT들 및 전자 부품들이 사용되어도 이러한 대형 기관을 사용하여 제조될 수 있다.

[0196] 도 10b는 새시(2010), 조작부인 키보드(2012), 디스플레이부(2011), 스피커 유닛(2013) 등을 포함하는, 예를 들면, 20 인치 내지 80인치의 대형 디스플레이부를 구비한 텔레비전 디바이스를 도시한 것이다. 본 발명은 디스플레이부(2011)를 제조하는데 적용된다. 도 20b는 디스플레이부에 대해 구부릴 수 있는 재료가 사용되므로 만곡된 디스플레이부를 갖는 텔레비전 디바이스를 도시한 것이다. 이에 따라, 디스플레이부의 형상이 자유롭게 설계될 수 있으므로 원하는 형상을 갖는 텔레비전 디바이스가 제조될 수 있다.

[0197] 본 발명에 따라서, 디스플레이 디바이스는 간이화된 공정을 통해 제조될 수 있고, 이에 따라 제조 비용이 감소될 수 있다. 따라서, 대형 스크린 디스플레이부를 가진 텔레비전 디바이스도 본 발명을 적용함으로써 저비용으로 형성될 수 있다. 따라서, 고성능 및 고도로 신뢰성 있는 텔레비전 디바이스가 고 수율로 제조될 수 있다.

[0198] 본 발명은 텔레비전 디바이스로 한정되는 것은 아니며 개인용 컴퓨터의 모니터 뿐만 아니라 특히, 역, 공항 등에 정보 표시판, 또는 도로에 광고 표시판과 같은 대 면적의 디스플레이 매체들에의 다양한 용도에 적용할 수 있는 것에 유의한다.

[0199] [실시형태 7]

[0200] 본 발명을 적용함으로써 다양한 디스플레이 디바이스들이 제조될 수 있다. 즉, 본 발명은 이들 디스플레이 디바이스들이 디스플레이부들에 탑재되는 각종의 전자 디바이스들에 적용될 수 있다.

[0201] 전자 디바이스들은 비디오 카메라 또는 디지털 카메라와 같은 카메라, 프로젝터, 헤드 장착용 디스플레이(고글형 디스플레이), 카 내비게이션 시스템, 카 스테레오, 개인용 컴퓨터, 게임기, 휴대 정보단말기(이동 컴퓨터, 셀룰러 전화, 전자책 등), 기록 매체를 구비한 화상 재생 디바이스(구체적으로 디지털 비디오 디스크(DVD)와 같은 기록 매체를 재생할 수 있으며 이미지를 표시할 수 있는 디스플레이 디바이스를 구비한 디바이스) 등을 포함한다. 도 21a 내지 도 21d는 이들의 예들을 도시한 것이다.

[0202] 도 21a는 본체(2101), 새시(2102), 디스플레이부(2103), 키보드(2104), 외부 접속포트(2105), 포인팅 마우스(2106) 등을 포함하는 컴퓨터를 도시한 것이다. 본 발명에 따라서, 고 신뢰도 및 고 해상도의 이미지를 디스플레이할 수 있는 컴퓨터는 컴퓨터가 소형화되고 화소가 미세해져도 완성될 수 있다.

[0203] 도 21b는 본체(2201), 새시(2202), 디스플레이부 A(2203), 디스플레이부 B(2203), 기록매체(이러테면 DVD) 기록부(2205), 조작키들(2206), 스피커부(2207) 등을 포함하는 기록매체(특히 DVD 플레이어)를 구비한 화상 재생 디바이스를 도시한 것이다. 디스플레이부 A(2203)는 주로 이미지 정보를 표시하며 디스플레이부 B(2204)는 주로 문자 정보를 표시한다. 본 발명에 따라서, 고 신뢰도 및 고 해상도의 이미지를 디스플레이할 수 있는 화상 재생 디바이스는 화상 재생 디바이스가 소형화되고 화소가 미세해져도 완성될 수 있다.

[0204] 도 21c는 본체(2301), 오디오 출력부(2302), 오디오 입력부(2303), 디스플레이부(2304), 조작 스위치들(2305), 안테나(2306) 등을 포함하는 셀룰러 전화를 도시한다. 본 발명에 따라서, 고 신뢰도 및 고 해상도의 이미지를 디스플레이할 수 있는 셀룰러 전화는 셀룰러 전화가 소형화되고 화소가 미세해져도 완성될 수 있다.

[0205] 도 21d는 본체(2401), 디스플레이부(2402), 새시(2403), 외부 접속 포트(2404), 원격 제어 수신부(2405), 이미지 수신부(2406), 배터리(2407), 오디오 입력부(2408), 아이피스(eyepiece; 2409), 조작키들(2410) 등을 포함하는 비디오 카메라를 도시한 것이다. 본 발명에 따라서, 고 신뢰도 및 고 해상도의 이미지를 디스플레이할 수 있는 비디오 카메라는 비디오 카메라가 소형화되고 화소가 미세해져도 완성될 수 있다. 이 실시형태는 위의 실시 형태들과 자유롭게 조합될 수 있다.

[0206] 예들

[0207] [예 1]

[0208] 본 발명에서 사용되는 제 2 층간 절연층에 개구를 형성하기 위한 에칭 공정에 관하여, 에칭 조건을 변경하여 실험이 수행되었다. 실험결과는 다음과 같다.

[0209] 샘플은 다음과 같이 형성된다. 실시형태 1에 기술된 바와 같이, 소스 또는 드레인 전극층 및 제 2 층간 절연층이 형성되고, 레지스트의 마스크가 그 위에 형성되고 소스 또는 드레인 전극층에 이르는 개구를 형성하기 위해서 에칭된다. 소스 또는 드레인 전극층으로서 티탄막이 형성되고 실록산 수지의 알킬 그룹을 함유한 산화실리콘막이 제 2 층간 절연층으로서 코팅 방법에 의해 형성된다. 패터닝을 위해 마스크가 형성되고 9 개의 에칭 조건들 A 내지 I 하에 에칭이 수행된다. 스캐닝 전자 현미경에 의해 에칭 후의 개구들의 SEM 사진들을 도 22a 내지 도 22i에 도시하였다. 개구 바닥에 잔류한 잔류물의 상태는 3 레벨들로 평가하였다. 잔류물이 전혀 없는 샘플은 레벨 1로 나타내었고, 잔류물이 적게 있는 샘플은 레벨 2로 나타내었고, 잔류물이 많은 샘플을 레벨 3으로 나타내었다. 각각의 조건 및 각각의 잔류물의 레벨을 표 1에 나타내었다.

표 1

조건	파워		압력 (Pa)	가스 유량		잔류물 레벨
	ICP (W)	Bias (W)		CF ₄ (sccm)	O ₂ (sccm)	
A	3000	2000	1	120	280	3
B	5000	3000	1	180	220	1
C	7000	4000	1	240	160	1
D	3000	3000	3	240	160	2
E	5000	4000	3	120	280	3
F	7000	2000	3	180	220	2
G	3000	4000	5	180	220	2
H	5000	2000	5	240	160	2
I	7000	3000	5	120	280	3

[0210] 도 22a 내지 도 22i 및 표 1로부터 명백한 바와 같이, 조건 B에 샘플에서, 잔류물이 전혀 없는 유리한 개구가 형성될 수 있다. 또한, 제 2 층간 절연층으로서, 실리콘 옥시니트라이드막 및 알킬 그룹을 함유한 산화실리콘막의 2층 적층 구조가 형성되고, 티탄막, 실리콘 옥시니트라이드막 및 알킬 그룹을 함유한 산화실리콘막이 샘플을 형성하도록 적층된다. 레지스트의 마스크는 샘플에 형성되고 티탄막에 도달하는 개구가 에칭에 의해 형성된다. 각각의 에칭은 8 개의 에칭 조건들 J 내지 Q 하에서 행해진다. 위에 기술된 실험처럼, 각 조건은 표 2에 나타내었고, 에칭 후에 개구들의 SEM 사진들을 도 23a 내지 도 23h에 도시되었다.

표 2

조건	파워		압력 (Pa)	가스 유량	
	ICP (W)	Bias (W)		CF ₄ (sccm)	O ₂ (sccm)
J	5000	3000	1	180	220
K	5000	3000	0.8	180	220
L	5000	3000	1	240	160
M	5000	3000	0.8	240	160
N	5000	4000	0.8	240	160
O	7000	4000	0.8	240	160
P	7000	2000	0.8	240	160
Q	7000	1000	0.8	240	160

도 23a 내지 도 23f로부터 명백한 바와 같이, 조건 O, P, Q에 샘플들에서, 잔류물이 보다 적은 유리한 개구들이 형성될 수 있다. 실험 결과들로서, 티탄막 및 알킬그룹을 함유한 산화실리콘막의 선택도는 CF₄ 및 O₂의 가스 흐름에 따르며, O₂ 유량을 증가시킴으로써 선택도가 향상되는 경향이 있다. 유사하게, 실록산 수지의 알킬 그룹을 함유한 산화실리콘막 및 실리콘 옥시니트라이드막의 선택도는 CF₄ 및 O₂의 가스 흐름에 의존하며, O₂ 유량(flow rate)을 증가시킴으로써 선택도가 향상되는 경향이 있다. 실록산 수지의 사용에 의한 알킬 그룹을 포함하는 산화실리콘막의 에칭비의 균일성은 압력에 따르며, 균일성을 증가시키기 위해 압력은 낮게 하고 고진공으로 한다. 개구들에 에칭 결함(etching defect)에 기인한 잔류물은 압력 및 CF₄와 O₂의 유량에 따르며, 압력은 고진공이 되게 하기 위해 낮게 하고 CF₄의 유량은 감소되고, 그럼으로써 잔류물을 감소시킨다. 전술한 바를 고려하여, 에칭 조건이 설정될 수 있다. 제 1 전극층의 유리한 컨택트를 얻을 수 있는 우수한 평탄성을 갖는 개구, 및 소스 및 드레인 전극층은 간이화된 공정을 통해 형성될 수 있다.

[예 2]

디스플레이 디바이스를 형성하기 위한 절연막들은 연속적으로 형성되며 이들 사이의 계면 상태의 평가된 결과를 예 2에서 도시된다.

예 2에서, 절연막으로서, 질화 산화실리콘(SiNO)막은 제 1 절연막으로서 형성되며, 이 위에 실리콘 옥시니트라이드(SiON)막이 제 2 절연막으로서 적층된다. 제 1 및 제 2 절연막들은 동일 챔버 내에서 진공을 유지하면서 (진공을 차단함이 없이) 330℃의 동일 온도에서 반응 가스들을 변경함으로써 연속적으로 형성된다.

예 2에서, 유리 기판 상에, 200 nm 두께의 질화 산화실리콘(SiNO)막은 반응 가스로서 80 sccm의 SiH₄, 750 sccm의 NH₃, 400 sccm의 H₂, 400 sccm의 N₂, 60 sccm의 N₂O의 각각의 가스 흐름; 65 Pa의 압력; 18.56 MHz의 주파수; 730 W의 파워로 형성된다. 이어서, 800 nm 두께의 실리콘 옥시니트라이드(SiON)막이 반응 가스로서 75 sccm의 SiH₄, 1200 sccm의 N₂O의 각각의 가스 흐름; 70 Pa의 압력; 13.56 MHz의 주파수; 및 120 W의 파워로 연속적으로 형성된다. 이 후에, 막들은 대기에 가져와서, 반응 가스로서 220 sccm의 SiH₄와 220 sccm의 H₂의 각각의 가스 흐름; 160 Pa의 압력; 13.56 MHz의 주파수; 및 160 W의 파워로, 비정질 실리콘(a-Si)막이 보호를 위한 캡 막으로서 형성된다.

SiNO, SiON 및 a-Si가 유리 기판 상에 이 순서로 적층된 샘플들은 SIMS(2차 이온 질량 분광계(secondary ion mass spectrometry)를 사용하여 분석된다. SiNO 및 SiON의 적층된 층으로서, 적층된 층의 계면 상태와 각 막에 포함된 불순물 농도(H, C, N, O, F)가 측정된다. 측정 결과들은 도 24 내지 도 26에 나타내었다. 도 24는 Si 표준 샘플에 의해 정량화된 데이터를 나타내며, 도 25는 SiO₂ 표준 샘플에 의해 정량화된 데이터를 나타내며 도 26은 SiN 표준 샘플에 의해 정량화된 데이터를 나타낸다.

SiNO 막으로서, 수소 농도는 1.8×10^{22} atoms/cm³이며, 탄소 농도는 2.0×10^{17} atoms/cm³이며, 산소 농도는

7.4×10^{21} atoms/cm³이며, 불소 농도는 1.8×10^{20} atoms/cm³이다. SiON막으로서, 수소 농도는 2.5×10^{21} atoms/cm³이며, 탄소 농도는 2.7×10^{18} atoms/cm³이며, 질소 농도는 2.3×10^{21} atoms/cm³이며, 불소 농도는 4.4×10^{20} atoms/cm³이다. a-Si막으로서, 수소 농도는 3.5×10^{21} atoms/cm³이며, 탄소 농도는 2.9×10^{18} atoms/cm³이며, 질소 농도는 6.7×10^{19} atoms/cm³이며, 산소 농도는 4.2×10^{18} atoms/cm³이며, 불소 농도는 6.0×10^{18} atoms/cm³이다.

[0220] 도 24 내지 도 26으로부터 명백한 바와 같이, SiNO 막 및 SiON 막의 계면 불순물 농도는 오염에 기인한 고농도 불순물들에 의해 야기되는 파일업(pileup) 현상을 나타내지 않는다. 이에 따라, 계면 상태가 양호한 것으로 관찰된다. 또한, SiNO막을 형성하는데 사용되는 반응 가스(이를테면 NH₃)가 SiON막으로 확산되는 것은 관찰되지 않는다. 그러므로, 절연막들이 공기에 노출됨이 없이 동일 챔버에서 연속적으로 적층될 때, 절연막들은 계면의 오염없이 양호한 계면 상태로 형성될 수 있다. 이러한 절연막들이 디스플레이 디바이스를 형성하기 위한 한 성분으로서 사용될 때, 디스플레이 디바이스의 신뢰도가 향상될 수 있다.

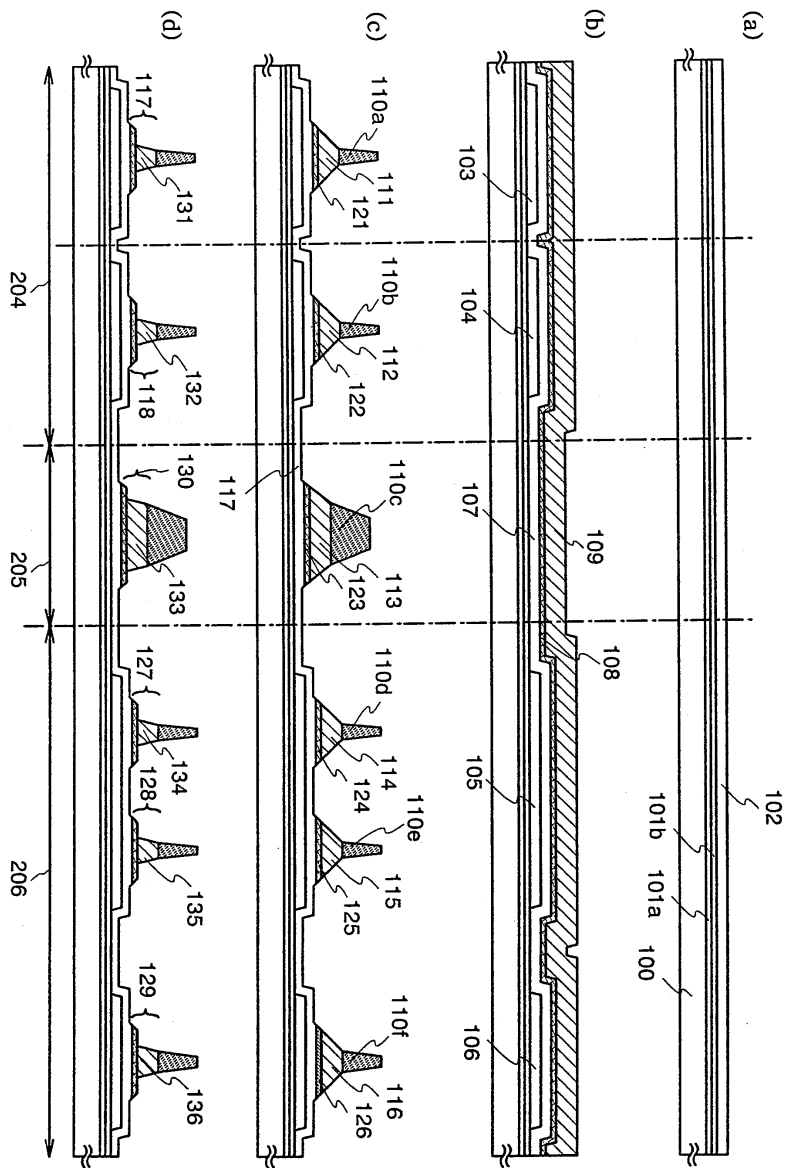
발명의 효과

[0221] 본 발명은 공정을 복잡하게 하지 않으면서 고수율(high yield)을 가진 저비용의 고도로 신뢰성이 있고 우수한 전기적 특징들을 갖는 디스플레이 디바이스를 제조하는 방법 및 디스플레이 디바이스를 제조하는 장치를 제공한다.

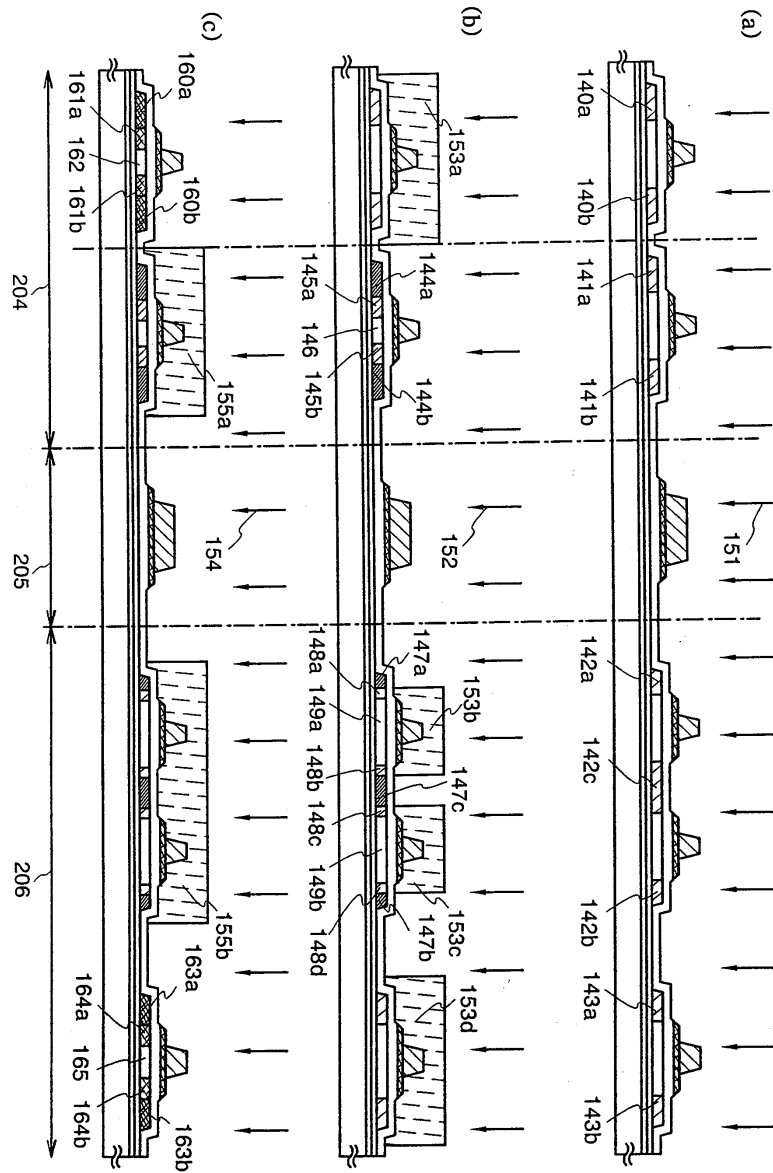
도면의 간단한 설명

- [0001] 도 1의 a 및 도 1의 b는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- [0002] 도 2의 a 내지 도 2의 d는 본 발명에 따른 디스플레이 디바이스 제조 방법을 도시한 도면.
- [0003] 도 3의 a 내지 도 3의 c는 본 발명에 따른 디스플레이 디바이스 제조 방법을 도시한 도면.
- [0004] 도 4의 a 및 도 4의 b는 본 발명에 따른 디스플레이 디바이스 제조 방법을 도시한 도면.
- [0005] 도 5의 a 내지 도 5의 c는 본 발명에 따른 디스플레이 디바이스 제조 방법을 도시한 도면.
- [0006] 도 6의 a 및 도 6의 b는 본 발명에 따른 디스플레이 디바이스 제조 방법을 도시한 도면.
- [0007] 도 7의 a 및 도 7의 b는 본 발명에 따른 디스플레이 디바이스 제조 방법을 도시한 도면.
- [0008] 도 8은 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- [0009] 도 9는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- [0010] 도 10의 a 내지 도 10의 c는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- [0011] 도 11은 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- [0012] 도 12는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- [0013] 도 13의 a 내지 도 13의 d는 본 발명에 적용될 수 있는 발광 요소의 구조를 도시한 도면들.
- [0014] 도 14는 도 15에 도시된 EL 디스플레이 디바이스의 등가회로.
- [0015] 도 15는 본 발명에 따른 디스플레이 디바이스를 기술한 상면도.
- [0016] 도 16의 a 내지 도 16의 c는 본 발명에 따른 디스플레이 디바이스의 상면도.
- [0017] 도 17의 a 및 도 17의 b는 본 발명에 따른 디스플레이 디바이스의 상면도.
- [0018] 도 18는 본 발명에 따른 디스플레이 디바이스의 상면도.
- [0019] 도 19는 본 발명에 적용될 수 있는 드롭 방법을 도시한 도면.
- [0020] 도 20의 a 및 도 20의 b는 본 발명이 적용될 수 있는 전자 디바이스를 도시한 도면.
- [0021] 도 21의 a 내지 도 21의 d는 본 발명이 적용될 수 있는 전자 디바이스를 도시한 도면.

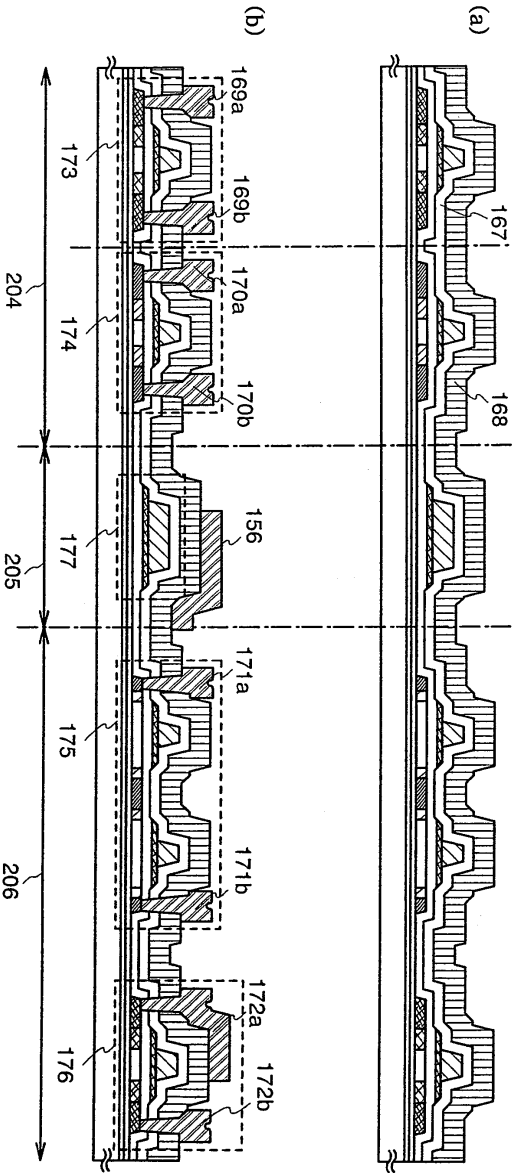
도면2



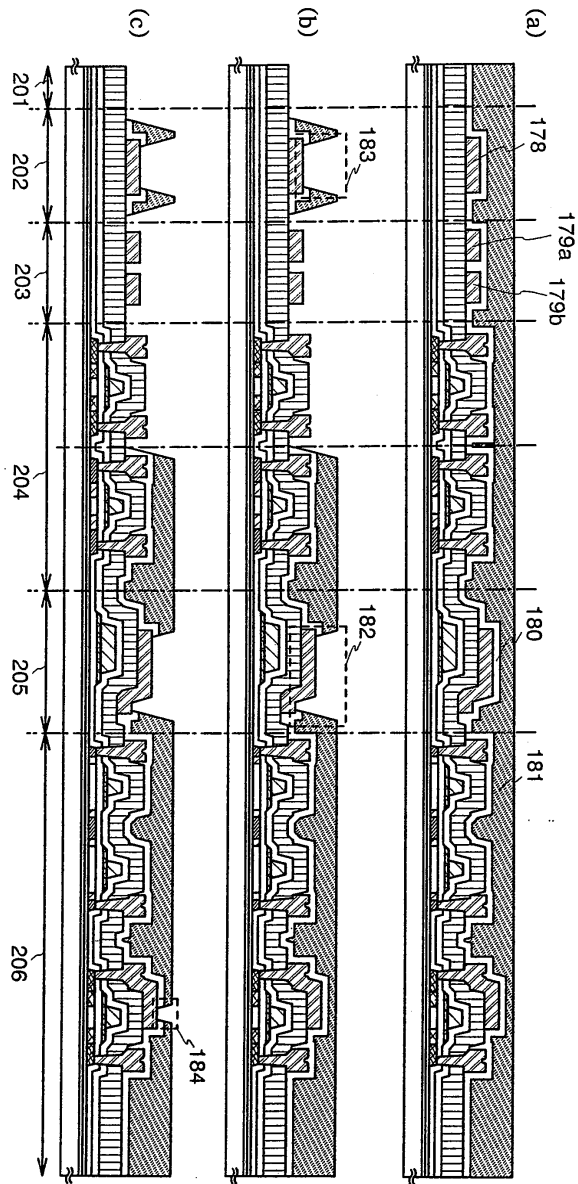
도면3



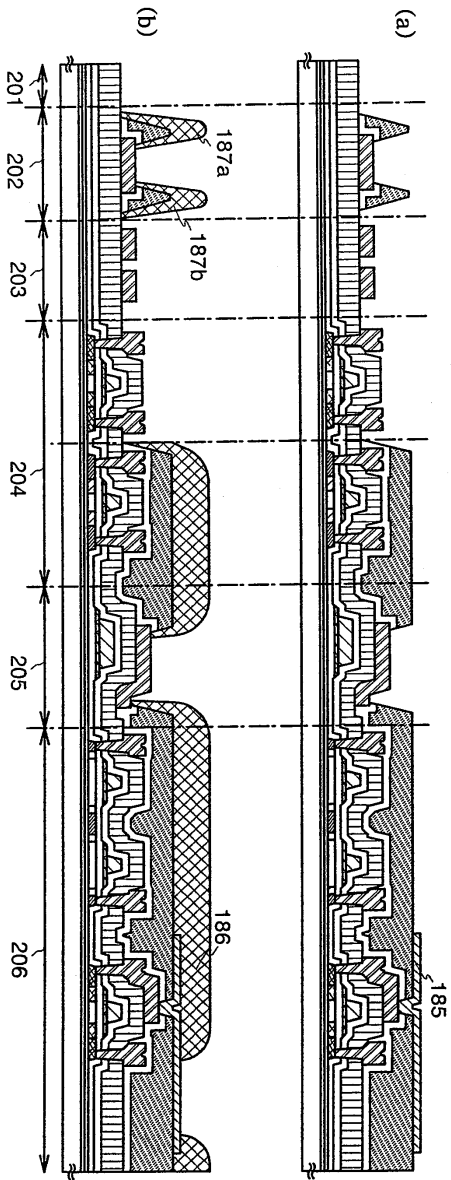
도면4



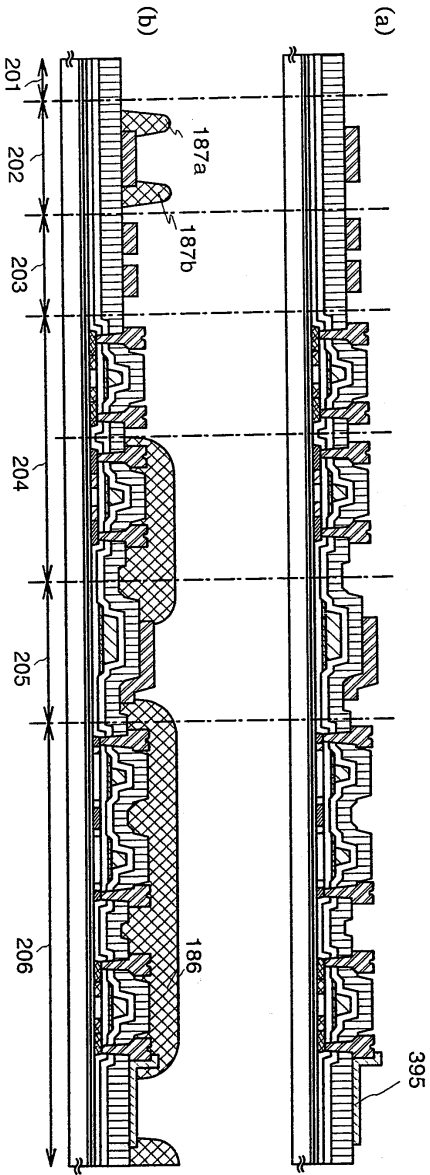
도면5



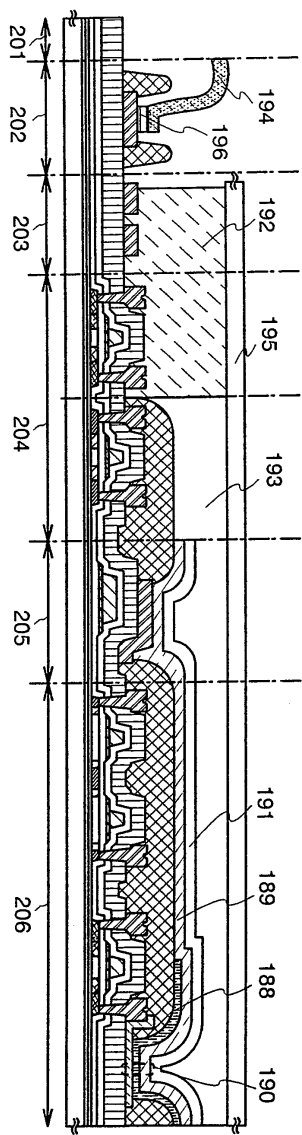
도면6



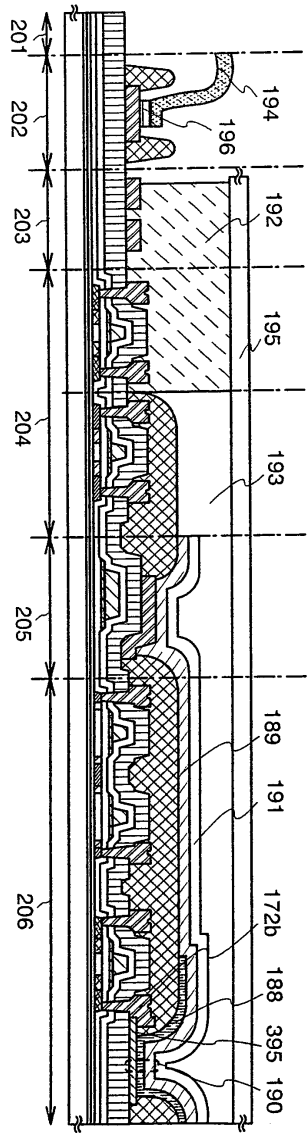
도면7



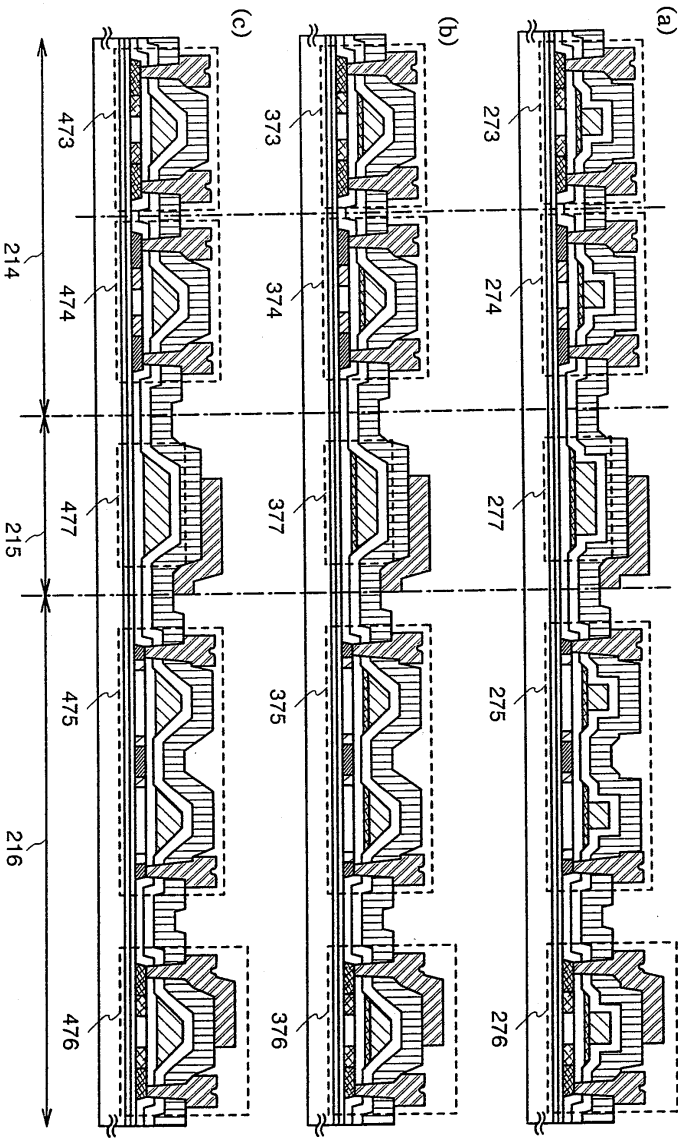
도면8



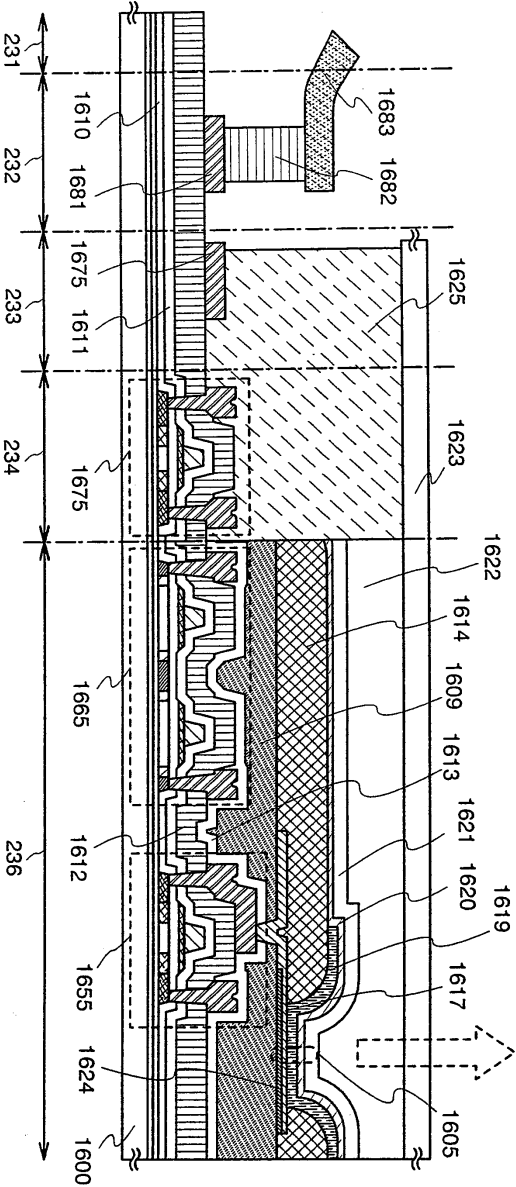
도면9



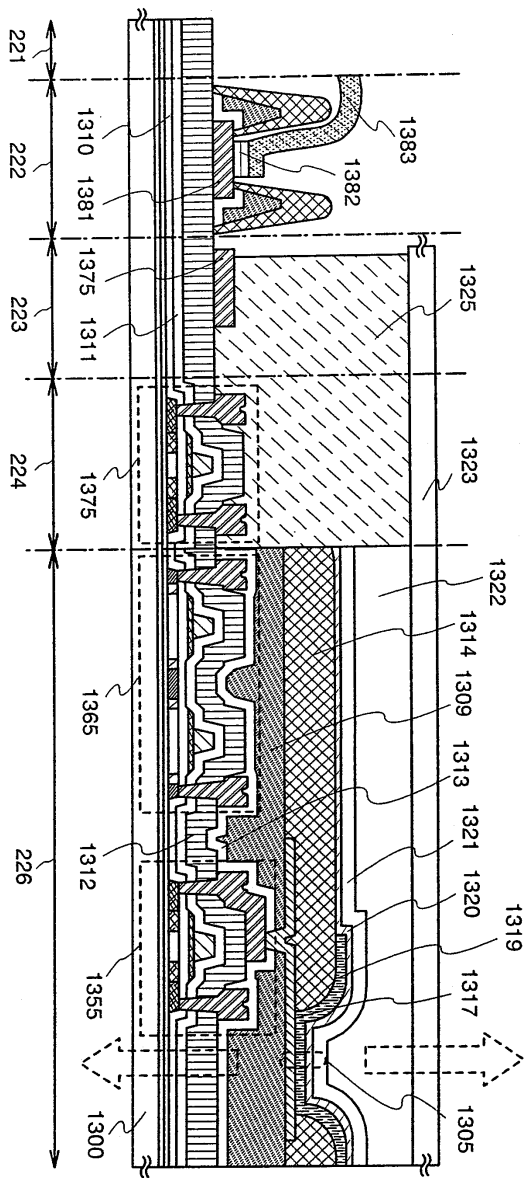
도면10



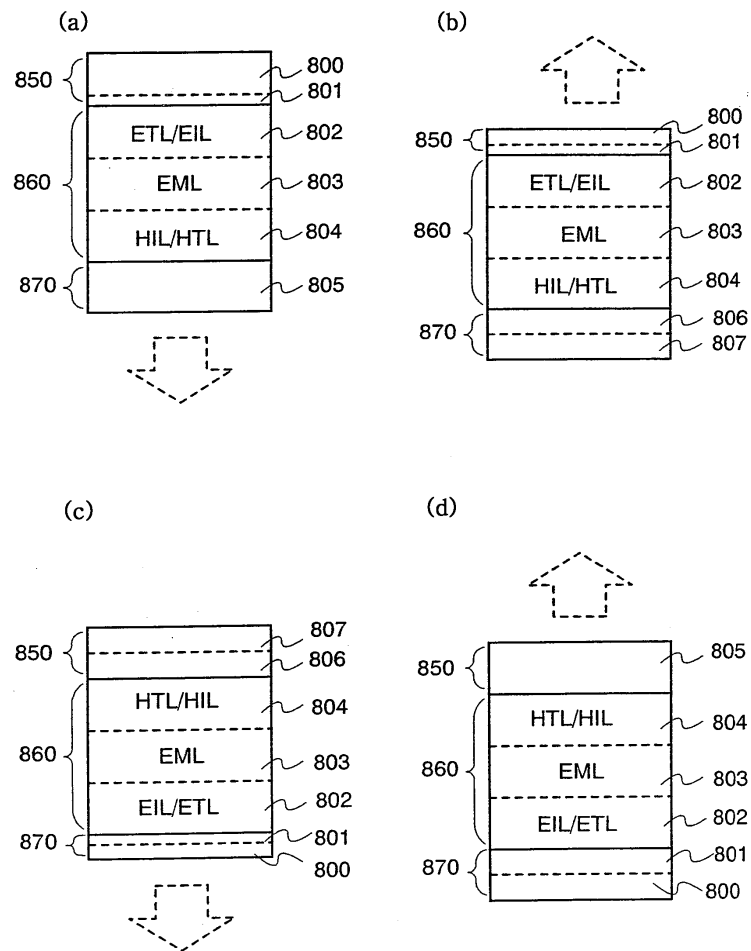
도면11



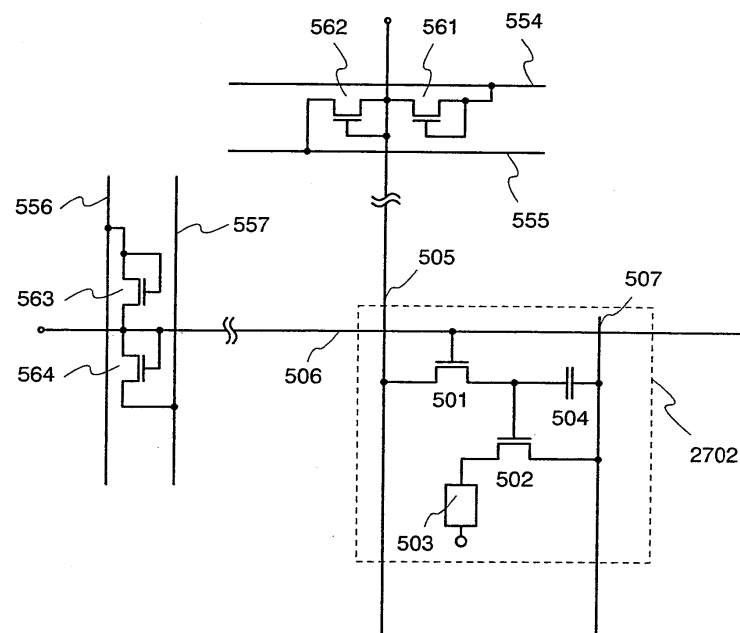
도면12



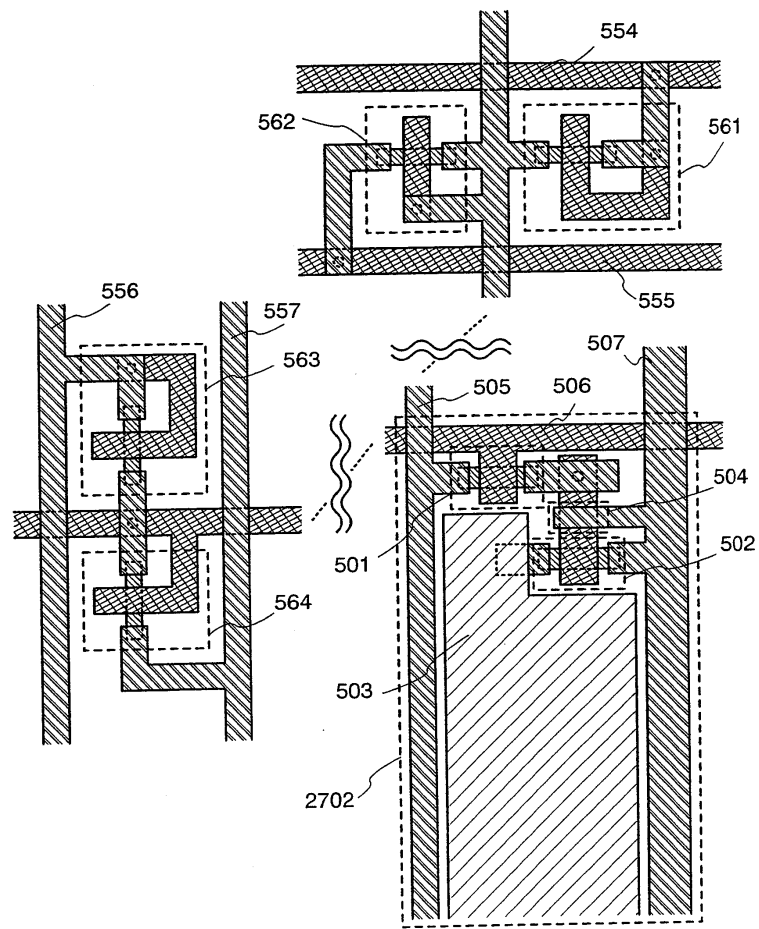
도면13



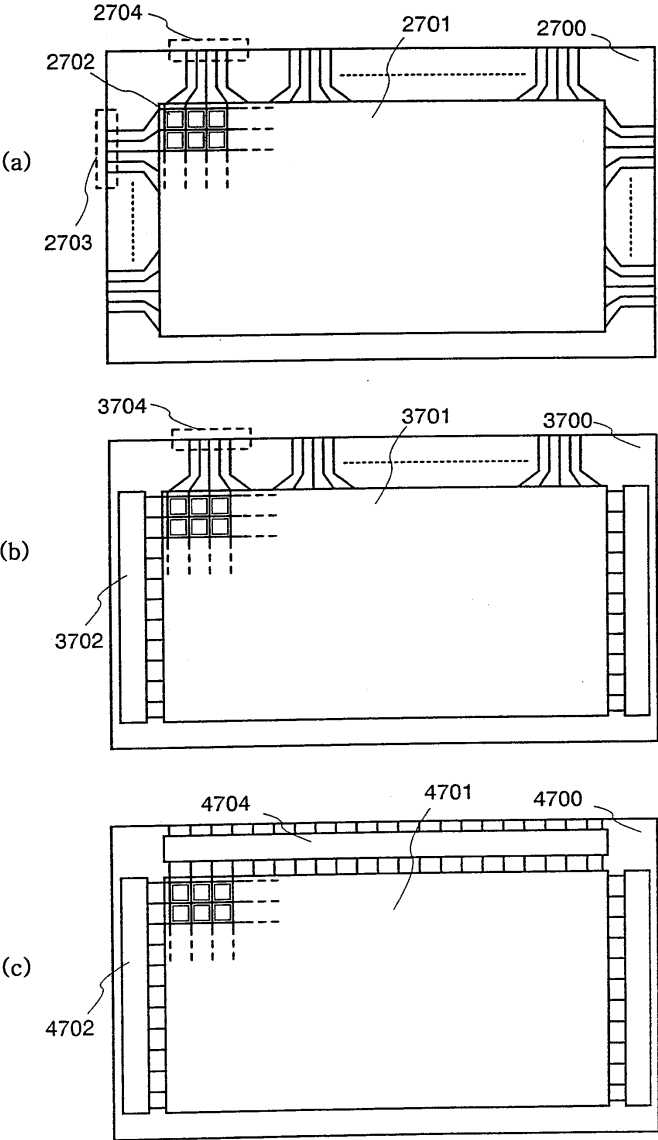
도면14



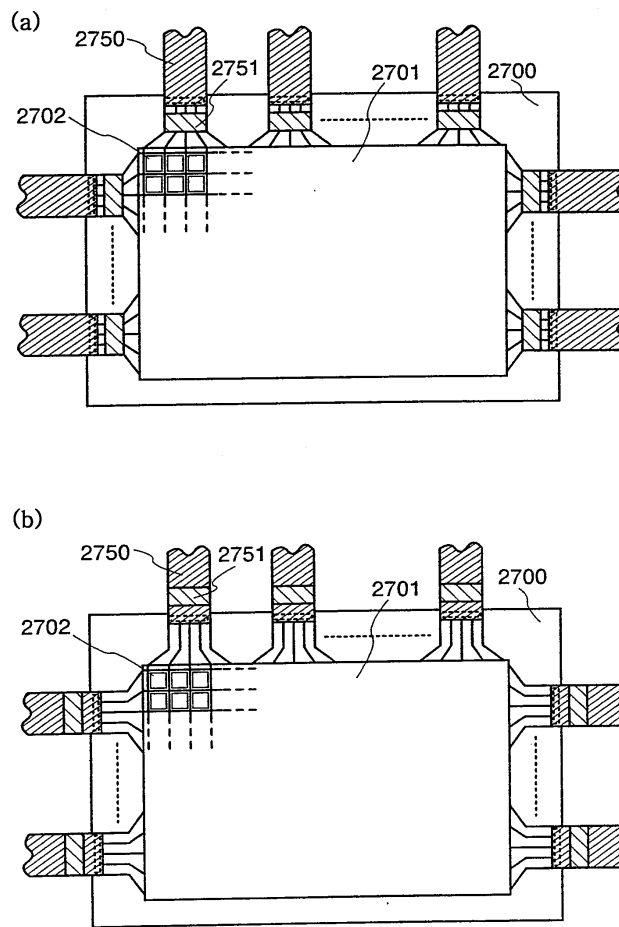
도면15



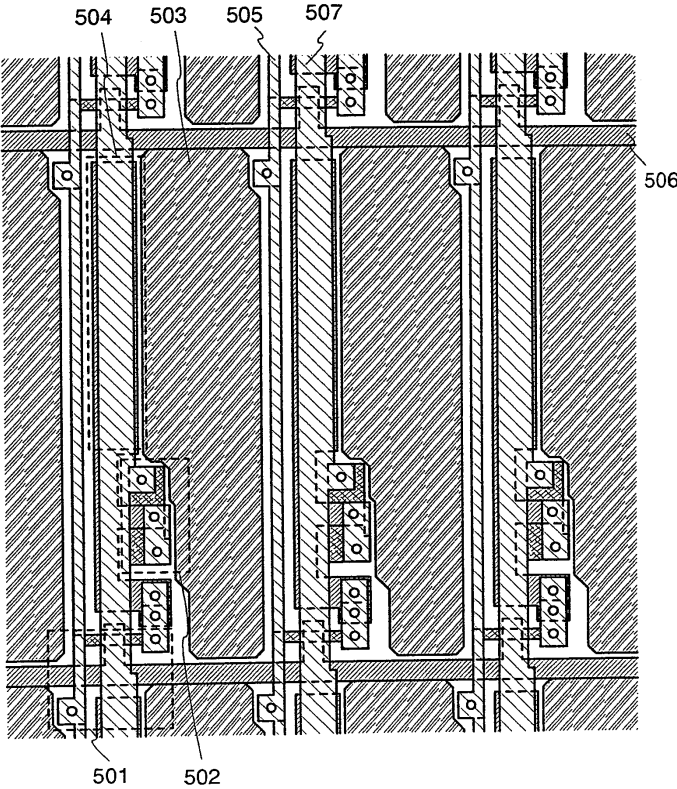
도면16



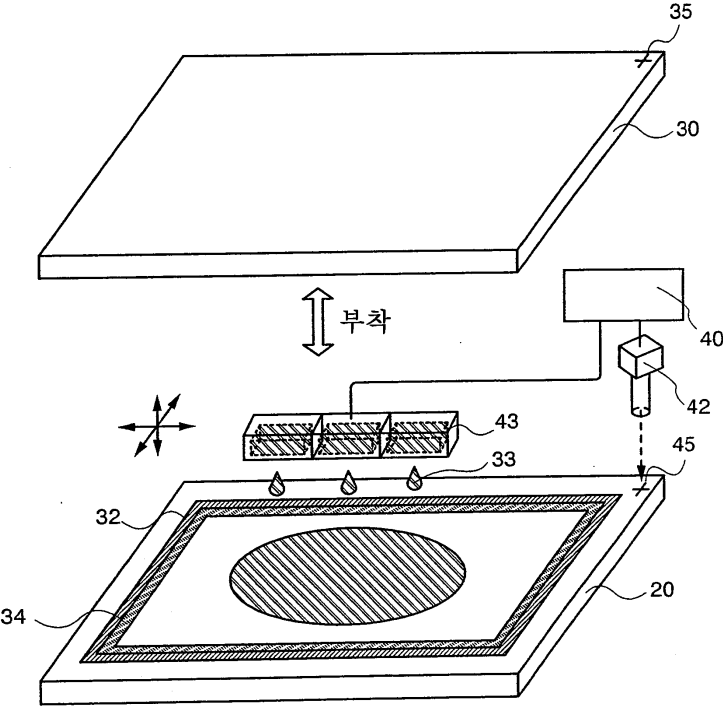
도면17



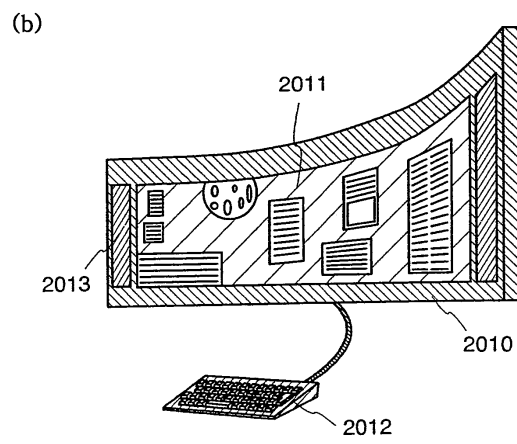
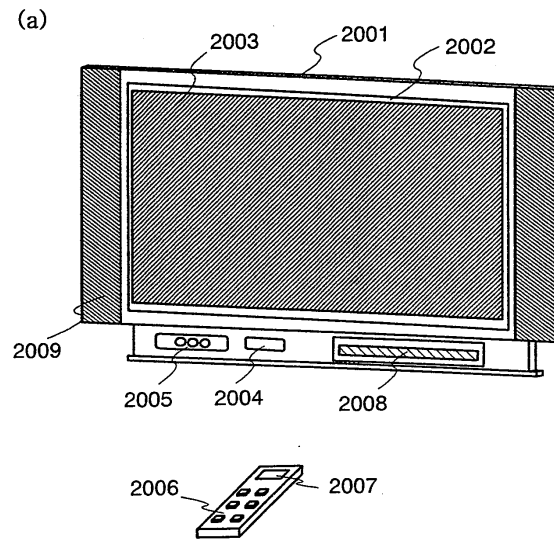
도면18



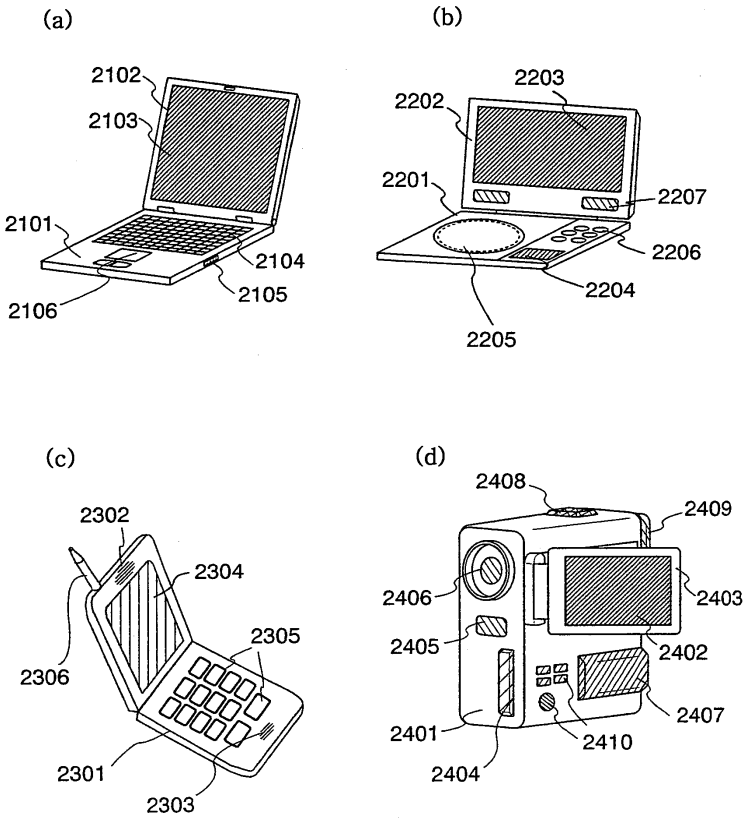
도면19



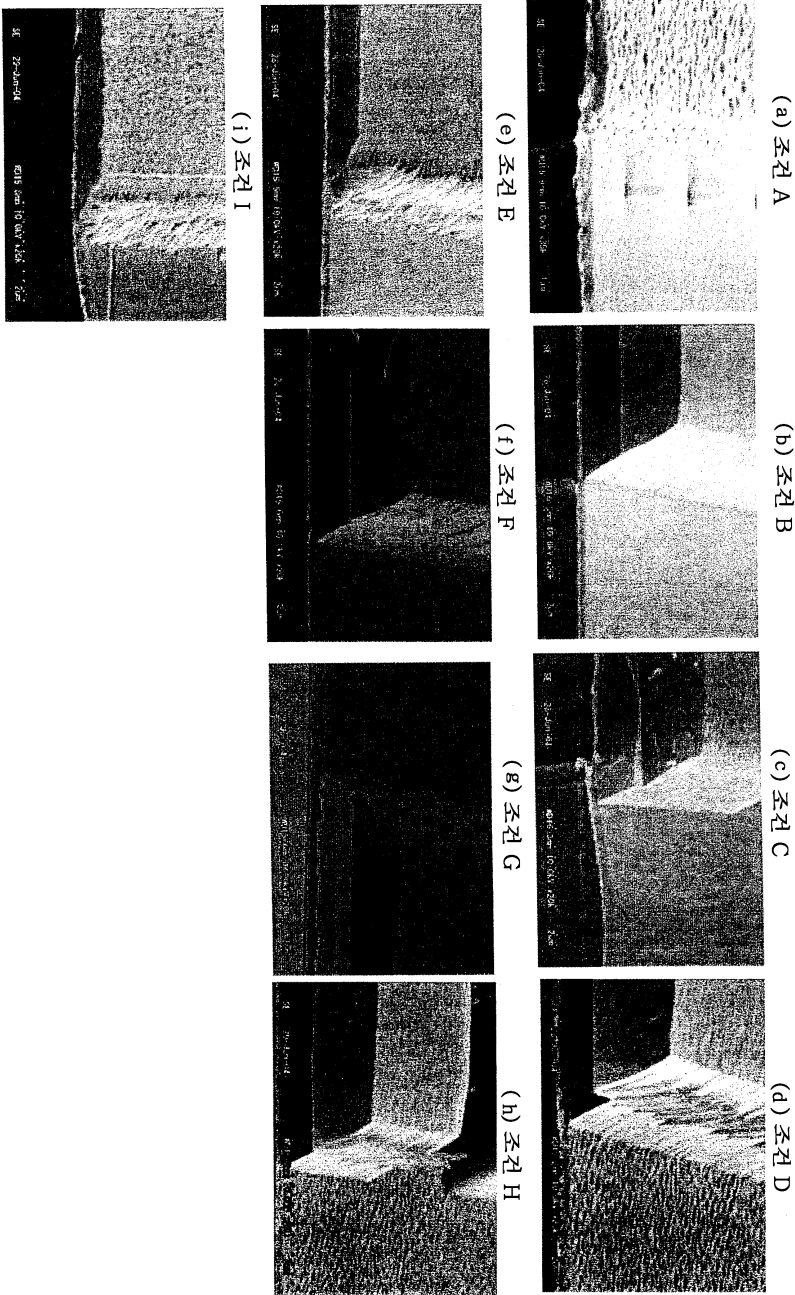
도면20



도면21

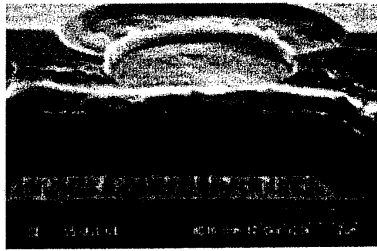


도면22



도면23

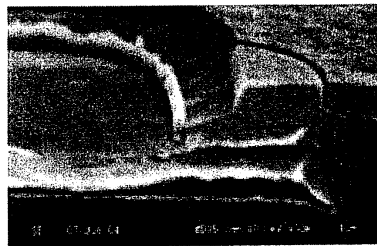
(a) 조건 J



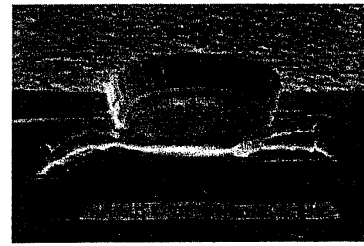
(e) 조건 N



(b) 조건 K



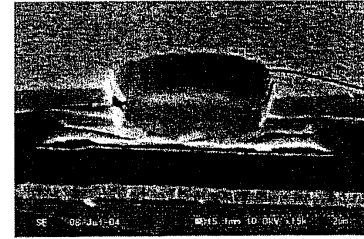
(f) 조건 O



(c) 조건 L



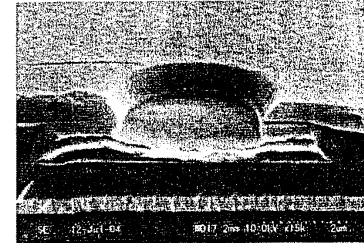
(g) 조건 P



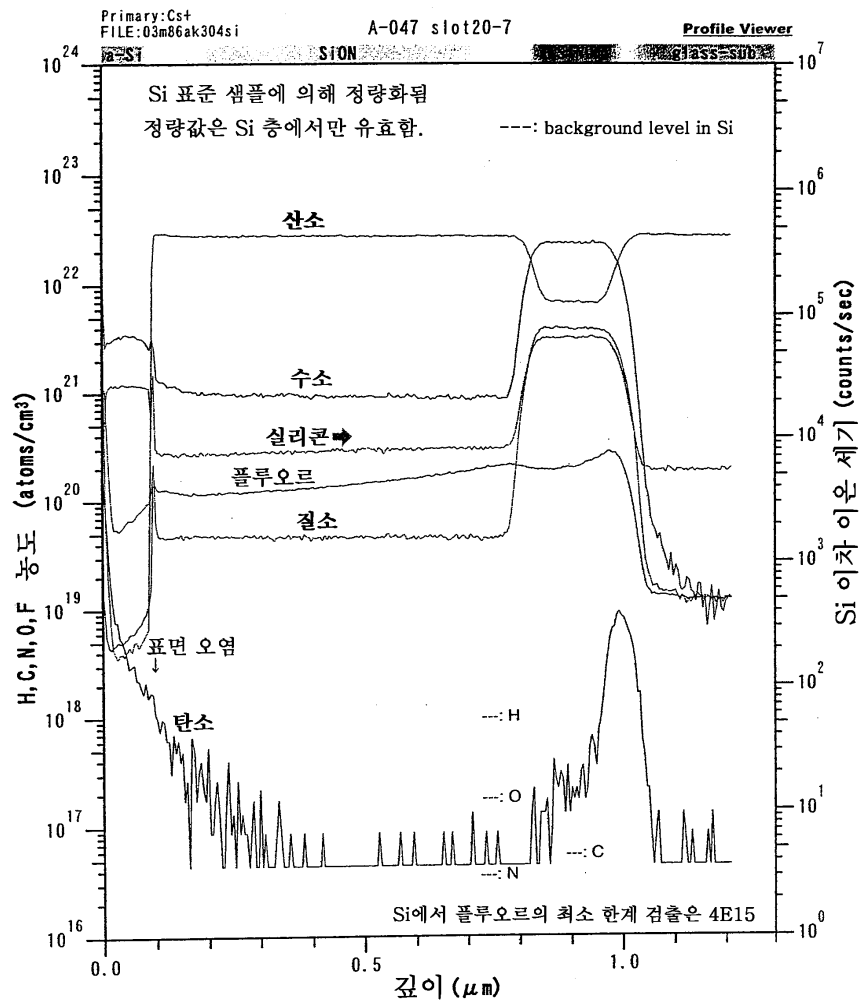
(d) 조건 M



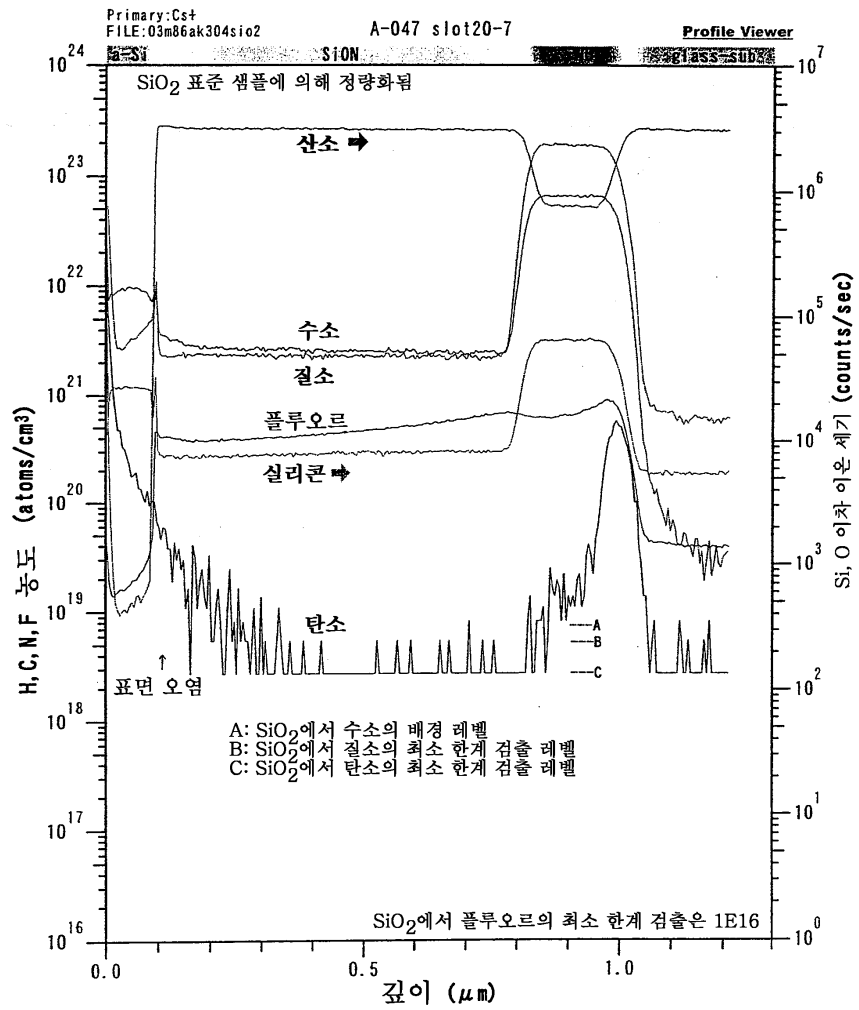
(h) 조건 Q



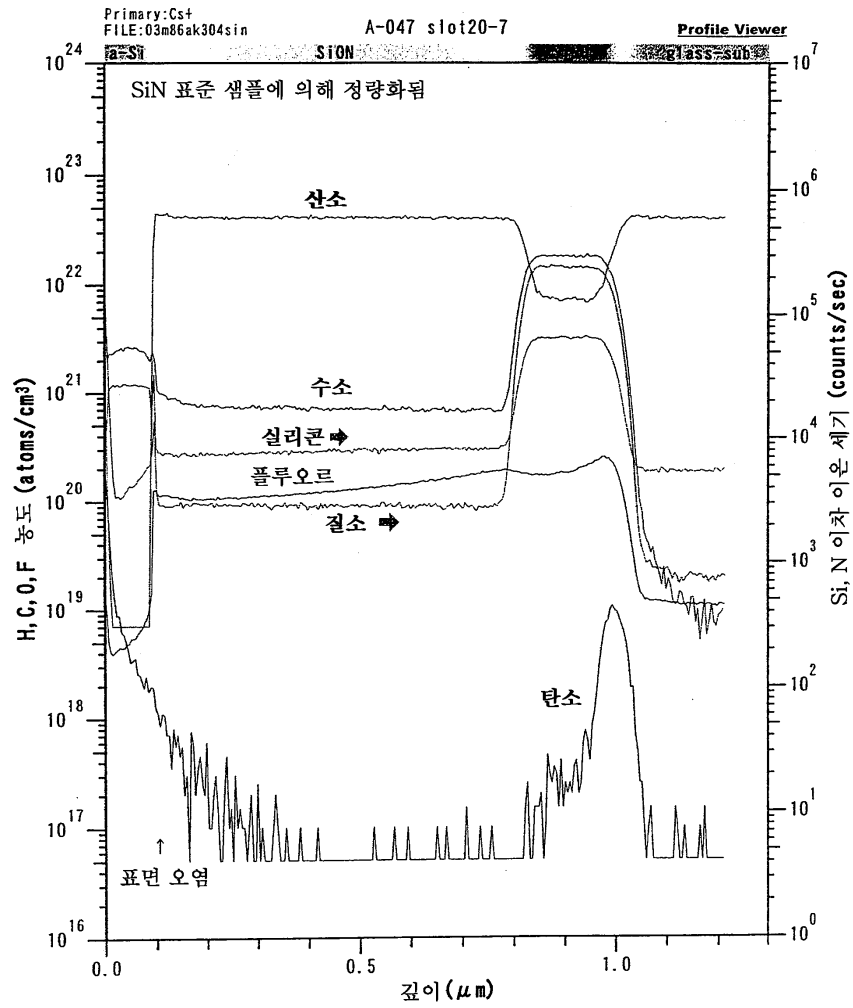
도면24



도면25



도면26



专利名称(译)	标题：显示装置和制造该装置的方法		
公开(公告)号	KR101228859B1	公开(公告)日	2013-02-07
申请号	KR1020050069448	申请日	2005-07-29
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 MURAKAMI SATOSHI 무라카미사토시 KURATA MOTOMU 구라타모토무 HATA HIROYUKI 하타히로유키 ICHIJO MITSUHIRO 이치조미츠히로 OHTSUKI TAKASHI 오츠키타카시 ANZAI AYA 안자이아야 SAKAKURA MASAYUKI 사카쿠라마사유키		
发明人	야마자키,순페이 무라카미,사토시 구라타,모토무 하타,히로유키 이치조,미츠히로 오츠키,타카시 안자이,아야 사카쿠라,마사유키		
IPC分类号	H05B33/10		
CPC分类号	H01L27/124 H01L27/1248 H01L27/3244 H01L27/3276 H01L51/0005 H01L51/5246 H01L51/56 H01L2224/4847 H01L2251/5323 G06F3/02 H01L27/12 H01L27/1214 H01L27/1222 H01L27/3258 H01L33/60 H01L2227/323 H04N5/642 H04N5/655		
代理人(译)	张本勋		
优先权	2004224660 2004-07-30 JP		
其他公开文献	KR1020060048932A		
外部链接	Espacenet		

摘要(译)

目的：提供一种显示装置及其制造方法，以通过用密封材料密封包括有机材料的层来防止发光装置劣化。组成：在显示装置中，多个半导体层（103〜105）包括具有杂质区和连接区的像素区。在半导体层（103〜105）上形成栅极绝缘层（107）。在栅极绝缘层上形成栅电极层。在栅电极层（109）上形成第一中间绝缘层。从第一绝缘层和中间绝缘层两者向杂质区域开放第一开口。第一开

口中的源极/漏极区域覆盖栅极电极层的一部分，作为源极/漏极区域之间的第一中间绝缘层。第二层间绝缘层具有穿过源/漏电极区的第二开口，以覆盖作为源/漏电极层之间的第一中间绝缘层的栅电极层（109）的一部分。在第一中间绝缘层上形成包括布线层的连接区域。第二中间绝缘层中的第三开口覆盖绝缘层中的边缘部分。并且，包括第二电极层的第三开口连接到绝缘层。©KIPO 2006

