(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년09월30일
(11) 등록번호 10-0984574
(24) 등록일자 2010년09월24일

(51) Int. Cl.
H01L 51/50 (2006.01) *H01L 51/56* (2006.01)
(21) 출원번호 10-2009-7026813
(22) 출원일자(국제출원일자) 2009년06월02일
심사청구일자 2009년12월22일
(85) 번역문제출일자 2009년12월22일
(65) 공개번호 10-2010-0027150
(43) 공개일자 2010년03월10일
(86) 국제출원번호 PCT/JP2009/002475
(87) 국제공개번호 WO 2009/147838
국제공개일자 2009년12월10일
(30) 우선권주장
JP-P-2008-149388 2008년06월06일 일본(JP)
(56) 선행기술조사문헌
US20040140759 A1
전체 청구항 수 : 총 11 항

(73) 특허권자
파나소닉 주식회사
일본 오오사카후 가도마시 오오아자 가도마 1006반치
(72) 발명자
나카타니, 슈헤이
일본국 571-8501 오사카후 카도마시 오아자 카도마 1006반치 파나소닉 주식회사 나이
요시다, 히데히로
일본 571-8501 오오사카후 가도마시 오오아자 가도마 1006반치 파나소닉 주식회사 나이
타카기, 키요히코
일본 571-8501 오오사카후 가도마시 오오아자 가도마 1006반치 파나소닉 주식회사 나이
(74) 대리인
특허법인필앤온지

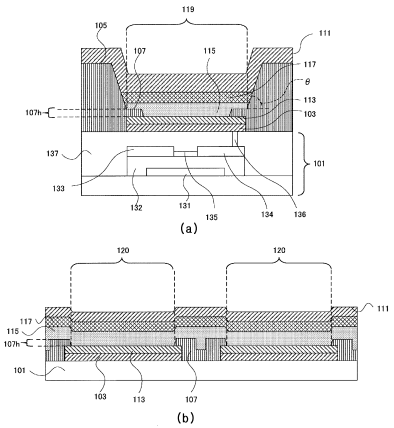
심사관 : 김주승

(54) 유기 E L 디스플레이 패널 및 그 제조 방법

(57) 요 약

기판과, 상기 기판상에 배치되어, 라인 형태의 영역을 규정하는 라인 형태의 제1 뱅크와, 상기 라인 형태의 영역내에 배열된 2 이상의 화소 영역을 규정하는 제2 뱅크와, 상기 화소 영역에 배치된 화소 전극과, 상기 라인 형태의 영역내에 배치되어 상기 화소 영역 및 상기 제2 뱅크 상에 도포법에 따라 형성된 라인 형태의 유기층과, 상기 유기층 상에 배치된 대향 전극을 포함한 유기 EL 디스플레이 패널이며, 상기 제1 뱅크의 높이는 상기 제2 뱅크의 높이보다 높고, 상기 제1 뱅크 및 제2 뱅크의 재료는 수지이며, 상기 제1 뱅크의 정점에 있어서의 아니솔의 접촉각은 30°~60°이며, 상기 제2 뱅크의 정점에 있어서의 아니솔의 접촉각은 5°~30°인, 유기 EL 디스플레이 패널.

대 표 도 - 도7



특허청구의 범위

청구항 1

기판과,

상기 기판상에 배치되어 라인 형태의 영역을 규정하는 라인 형태의 제1 뱅크과,

상기 라인 형태의 영역내에 배열된 2 이상의 화소 영역을 규정하는 제2 뱅크와,

상기 화소 영역에 배치된 화소 전극과,

도포법에 따라 형성되고 또한 상기 화소 영역 및 상기 제2 뱅크 상에 배치된 라인 형태의 유기층과,

상기 유기층상에 배치된 대향 전극을 포함한 유기 EL 디스플레이 패널로서,

상기 제1 뱅크의 높이는, 상기 제2 뱅크의 높이보다 높으며,

상기 제1 뱅크 및 제2 뱅크의 재료는 불소 함유 수지이며,

상기 제1 뱅크의 정점에 있어서의 불소 농도는 4~10atom%이고,제2 뱅크의 정점에 있어서의 불소 농도는 1~4atom%이며, 상기 제1 뱅크의 정점에 있어서의 불소 농도가 상기 제2 뱅크의 정점에 있어서의 불소 농도보다 높은,

유기 EL 디스플레이 패널.

청구항 2

제1항에 있어서,

상기 제1 뱅크의 상기 기판의 표면으로부터의 높이는 0.5~3㎛인,

유기 EL 디스플레이 패널.

청구항 3

제1항에 있어서,

상기 유기층의 저면은, 상기 화소 전극과 접촉하고,

상기 화소 전극의 표면으로부터의 상기 제2 뱅크의 높이는, -0.1~+0.4㎛인, 유기 EL 디스플레이 패널.

청구항 4

제1항에 있어서,

상기 화소 전극상에 배치되어 상기 화소 영역마다 독립적인 정공 주입층을 더 가지며,

상기 유기층의 저면은 상기 정공 주입층과 접촉하는, 유기 EL 디스플레이 패널.

청구항 5

제4항에 있어서,

상기 정공 주입층은 전이금속 산화물을 포함하며,

상기 정공 주입층의 표면으로부터의 상기 제2 뱅크의 높이는, -0.1~+0.4㎛인 유기 EL 디스플레이 패널.

청구항 6

제 4항에 있어서,

상기 정공 주입층은 폴리에틸렌디옥시티오펜을 포함하며,

상기 화소 전극의 표면으로부터의 상기 제2 뱅크의 높이는, 0.1~0.5㎛인, 유기 EL 디스플레이 패널.

청구항 7

제1항에 있어서,

상기 제1 뱅크는 상기 제1 뱅크의 높이 방향을 따라 불소 농도의 구배를 가지며,

상기 제1 뱅크의 정점에 있어서의 불소 농도는 상기 제1 뱅크의 저면에 있어서의 불소 농도보다 높은, 유기 EL 디스플레이 패널.

청구항 8

화소 전극이 배치된 기판을 준비하는 스텝과,

상기 기판상에 라인 형태의 영역을 규정하는 라인 형태의 제1 뱅크와, 상기 라인 형태의 영역내에 배열된 2 이상의 화소 영역을 규정하는 제2 뱅크를 형성하는 스텝으로서, 상기 제1 뱅크의 높이는 상기 제2 뱅크의 높이보다 높고, 상기 제1 뱅크 및 제2 뱅크는 불소 함유 수지로 되어있으며,

상기 라인 형태 영역에 유기 EL 재료를 포함한 재료액을 도포하여, 라인 형태의 유기층을 형성하는 스텝과,

상기 유기층상에 대향 전극을 형성하는 스텝을 가지며,

상기 제1 뱅크의 정점에 있어서의 불소 농도는 4~10atom%이고, 상기 제2 뱅크의 정점에 있어서의 불소 농도는 1~4atom%이며, 상기 제1 뱅크의 정점에 있어서의 불소 농도가 상기 제2 뱅크의 정점에 있어서의 불소 농도보다 높은,

유기 EL 디스플레이 패널의 제조 방법.

청구항 9

제8항에 있어서,

상기 제1 뱅크 및 상기 제2 뱅크를 형성하는 스텝은,

상기 기판상에 수지막을 패터닝하는 스텝과,

상기 수지막을 베이크하는 스텝을 가지는 유기 EL 디스플레이 패널의 제조 방법.

청구항 10

제9항에 있어서,

상기 수지막을 패터닝하는 스텝은,

상기 기판상에 상기 제2 뱅크의 재료를 포함하는 감광성 수지막 A를 형성하는 스텝과,

상기 감광성 수지막 A 상에 상기 제1 뱅크의 재료를 포함하고 상기 감광성 수지막 A와는 감도가 다른 감광성 수지막 B를 형성하는 스텝과,

상기 감광성 수지막 A 및 상기 감광성 수지막 B를 투과율이 다른 마스크를 경유해 노광하고, 현상하는 스텝을 가지는 유기 EL 디스플레이 패널의 제조 방법.

청구항 11

제9항에 있어서,

상기 수지막을 패터닝하는 스텝은,

상기 기판상에 불소 화합물을 포함한 감광성 수지막을 형성하는 스텝과,

상기 불소 화합물을 포함한 감광성 수지막을 투과율이 다른 하프톤 마스크를 경유해 노광하고, 현상하는 스텝을 가지는, 유기 EL 디스플레이 패널의 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 유기 EL 디스플레이 패널 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 유기 EL 디스플레이 패널이란, 유기 화합물의 전계 발광을 이용한 발광소자를 가지는 디스플레이 패널이다. 즉 유기 EL 디스플레이 패널은, 화소 전극과, 화소 전극상에 배치된 유기 발광층과, 유기 발광층상에 배치된 대향 전극을 포함한 EL 소자를 가진다. 유기 발광층에 포함되는 유기 EL 재료는, 저분자 유기 화합물의 조합(호스트 재료와 도펀트 재료)과, 고분자 유기 화합물로 대별될 수 있다. 고분자 유기 화합물의 예에는, PPV라고 불리는 폴리페닐렌 비닐렌이나 그 유도체등이 포함된다. 고분자 유기 화합물을 이용한 유기 EL 디스플레이 패널은, 비교적 저전압에서 구동할 수 있어 소비 전력이 적고, 디스플레이 패널의 대화면화에 대응하기 쉽다고 일컬어지고 있어 적극적으로 연구가 행해지고 있다.

[0003] 고분자 유기 화합물은, 그 발광하는 빛의 색(R, G 또는 B)에 따라, 각 화소에 잉크젯 등의 인쇄 기술을 이용해서 배치된다. 예를 들면, 고분자 유기 화합물과 용매를 포함한 폴리머 잉크를 잉크젯 헤드로부터 토출하여 인쇄한다. 각 화소에 고분자 유기 화합물을 포함한 폴리머 잉크를 인쇄할 때, 서로 이웃이 되는 화소에 폴리머 잉크가 침입하는 것을 방지할 필요가 있다.

[0004] 인접하는 다른 색의 빛을 발하는 화소에 유기 EL 재료를 포함한 잉크가 침입하지 못하도록 하기 위해, 각 화소의 사방을 에워싸는 격벽(뱅크(bank))을 설치하여, 뱅크에 의해 규정된 영역내에 유기 EL 재료를 포함한 잉크를 적하(滴下)하는 기술이 제안되어 있다(예를 들면, 특허 문헌 1을 참조).

[0005] 이러한 방법으로 제조된 유기 EL 디스플레이 패널에서는, 사방이 뱅크에 의해 규정된 영역내에 유기 발광층을 형성하기 때문에, 유기 발광층의 막두께가 불균일하게 된다는 문제가 있었다. 이것은 도포된 잉크가 표면장력에 의해 뱅크의 단부(端部)로 끌어당겨지기 때문이다. 유기 발광층의 막두께가 불균일해지면, 유기 EL 디스플레이 패널의 발광 효율이 감소하고, 유기 EL 디스플레이 패널의 수명이 줄어든다.

[0006] 이러한 문제를 해결한 유기 EL 디스플레이 패널의 구조가 도 1의 (a)에 표시된다(예를 들면, 특허 문헌 2 참조). 도 1의 (a)는 특허 문헌 2에 기재된 유기 EL 디스플레이 패널의 평면도를 나타낸다. 도 1의 (b)는 (a)에 나타낸 유기 EL 디스플레이 패널의 선(III-III)에 따른 단면도를 나타낸다. 도 1의 (c)는 (b)의 일부 확대 도면이다. 도 1의 (a)~(c)에 표시된 바와 같이, 유기 EL 디스플레이 패널은, 유리 기판(1), 제1 전극층(2), 제1 뱅크(4), 제2 뱅크(3), 정공 주입층(5) 및 유기 발광층(6)을 가진다. 또, 제1 뱅크(4) 및 제2 뱅크(3)는 수지로 되어 있다.

[0007] 제1 뱅크(4)는 라인 형태 영역(40)을 규정한다. 라인 형태 영역(40) 내에는 유기 EL 소자가 1열로 배열되어 있다. 라인 형태 영역(40)은 라인 형태의 유기 발광층(6)을 규정한다. 제2 뱅크(3)는 화소 영역(30)을 규정한다. 화소 영역(30)은 정공 주입층(5)의 영역을 규정한다.

[0008] 도 1의 (a)~(c)에 나타낸 유기 EL 디스플레이 패널에서는, 유기 발광층을 복수의 화소 영역(유기 EL 소자)에 걸쳐서 형성함으로써, 유기 발광층의 라인 방향의 막두께를 균일하게 할 수 있다. 이 때문에, 유기 발광층(6)은 제2 뱅크(3)상에도 형성된다.

[0009] 또, 도포법에 의해 형성되는 기능층(정공 주입층, 유기 발광층)을 규정하는 수지 뱅크를 2층 구조로 함으로써, 기능층의 '피닝(pinning)'을 조절하는 기술이 알려져 있다(예를 들면 특허 문헌 3 참조). 특허 문헌 3에 개시된 유기 EL 디바이스에서는, 뱅크의 하층인 제1 수지층의 폭을 뱅크의 상층인 제2 수지층의 폭보다 크게 함으로써 뱅크에 단차를 형성하여; 형성된 단차에 의해 도포법으로 형성되는 기능층의 '피닝'이 조절되어 균일한 막두께를 가지는 기능층이 얻어진다.

[0010] 또, 뱅크에 의해 규정된 영역내에, 기능층의 재료액이 충분히 젖어퍼지도록 뱅크를 2층 구조로 하여, 상층 뱅크를 발액성(撥液性)으로 하고 하층 뱅크를 친액성(親液性)으로 하는 기술이 알려져 있다(예를 들면, 특허 문헌 4~10 참조). 특허 문헌 4~10에 개시된 유기 EL 디바이스에서는, 하층 뱅크의 재료에 무기물(SiO_2) 등 친액성 재료를 채용함으로써 하층 뱅크를 친액성으로 한다. 이에 의해, 뱅크와 기능층의 재료액이 잘 친숙해지므로, 도포되는 기능층의 재료액을 뱅크에 의해 규정된 영역내 전체에 젖어퍼지도록 할 수가 있다.

[0011] [선행 기술 문헌]

[0012] [특허 문헌]

[0013] [특허 문헌 1] 일본 특허공개 2006-86128호 공보

[0014] [특허 문헌 2] 미국 특허 제 7091660호 명세서

[0015] [특허 문헌 3] 일본 특허공표 2006-41027호 공보

[0016] [특허 문헌 4] 일본 특허공개 2006-286309호 공보

[0017] [특허 문헌 5] 일본 특허공개 2006-305331호 공보

[0018] [특허 문헌 6] 일본 특허공개 2006-71872호 공보

[0019] [특허 문헌 7] 일본 특허공개 평11-329741호 공보

[0020] [특허 문헌 8] 일본 특허공개 2007-44582호 공보

[0021] [특허 문헌 9] 일본 특허공개 2005-222776호 공보

[0022] [특허 문헌 10] 일본 특허공개 2006-294446호 공보

발명의 상세한 설명

[0023] [발명이 해결하려고 하는 과제]

[0024] 도 1의 (a) 및 (b)에 표시되는 것과 같은 유기 EL 디스플레이 패널에서는, 제2 뱅크의 습윤성이 낮으면, 제2 뱅크상에 도포된 유기 EL 재료를 포함한 잉크가 제2 뱅크에 따라서는 반발되는 일이 있다. 잉크가 제2 뱅크에 의해 반발되면 균일한 막두께를 가지는 유기 발광층을 형성할 수 없게 된다. 이 때문에, 제2 뱅크의 상면의 습윤성은 높을 것이 요구된다.

[0025] 한편, 제1 뱅크는 도포 형성되는 유기 EL 재료를 포함한 잉크를 규정할 필요가 있으므로, 제1 뱅크의 습윤성은 낮을 것이 요구된다. 이와 같이, 복수의 유기 EL 소자에 걸친 라인 형태의 유기 발광층을 형성할 경우, 제1 뱅크의 습윤성은 제2 뱅크의 습윤성보다 낮을 필요가 있다.

[0026] 그렇지만, 도 1의 (a)~(c)의 유기 EL 디스플레이 패널을 개시하는 특허 문헌 2에서는, 제1 뱅크의 습윤성을 제2 뱅크의 습윤성보다 낮게 하는 구체적인 수단이 개시되어 있지 않았다.

[0027] 제2 뱅크의 습윤성을 낮게 하는 방법으로서, 특허 문헌 4~10에 기재된 바와 같이, 제2 뱅크(3)를 친액성의 무기막으로 하는 것을 생각해 볼 수 있다. 그러나, 제2 뱅크(3)를 무기막으로 했을 경우 제조 프로세스 및 제조 비용이 증가하기 때문에 바람직하지 않다.

[0028] 또, 도 1의 (c)에 표시되는 것처럼, 특허 문헌 2에 개시된 유기 EL 디스플레이 패널에서는, 제2 뱅크(3)와 정공 주입층(5) 간의 단차 X가 크다. 특허 문헌 2에 개시된 유기 EL 디스플레이 패널에서는, 제2 뱅크는 도포법으로 형성되는 정공 주입층을 규정하기 때문에, 일정한 높이를 가질 것이 요구되기 때문이다. 이 때문에, 유기 발광층이 도포 형성되기 전의 라인 형태 영역(40)은 평탄하지 않았다. 라인 형태 영역(40)이 평탄하지 않으면 균일한 유기 발광층을 형성할 수 없다.

[0029] 또, 도포법으로 형성되는 정공 주입층을 박막 형성법에 의해 형성되는 정공 주입층으로 하거나 정공 주입층을 생략하면, 제2 뱅크(3)를 생략하는 것도 생각해 볼 수 있다. 그러나, 화소 영역(30)을 규정하는 제2 뱅크(3)를 생략하면, 화소 전극 또는 정공 주입층의 표면과 기판의 표면과 높낮이 차에 의해 생기는 단차에 의해, 라인 형태 영역(40)내의 기복이 오히려 현저해 질 염려가 있다.

[0030] 본 발명의 목적은, 라인 형태로 형성되는 유기 발광층의 막두께를 균일하게 하여, 발광 효율이 높고 수명이 긴 유기 EL 디스플레이 패널을 제공하는 것이다.

[0031] [과제를 해결하기 위한 수단]

[0032] 즉, 본 발명의 제1은, 이하에 나타내는 유기 EL 디스플레이 패널에 관한 것이다.

[0033] [1] 기판과, 상기 기판상에 배치되어, 라인 형태의 영역을 규정하는 라인 형태의 제1 뱅크와, 상기 라인 형태의 영역내에 배열된 2 이상의 화소 영역을 규정하는 제2 뱅크와, 상기 화소 영역에 배치된 화소 전극과, 상기 라인 형태의 영역내에 배치되어, 상기 화소 영역 및 상기 제2 뱅크상에 도포법에 의해 형성된 라인 형태의 유기층과, 상기 유기층상에 배치된 대향 전극을 포함한 유기 EL 디스플레이 패널로서, 상기 제1 뱅크의 높이는 상기 제2 뱅크의 높이보다 높고, 상기 제1 뱅크 및 제2 뱅크의 재료는 수지이며, 상기 제1 뱅크의 정점에 있어서의 아니

솔(anisole)의 접촉각은 30°~60°이며, 상기 제2 뱅크의 정점에 있어서의 아니솔의 접촉각은 5°~30°인, 유기 EL 디스플레이 패널.

[0034] [2] 상기 제1 뱅크의 기판의 상기 상면으로부터의 높이는 0.5~3㎛인, [1]에 기재된 유기 EL 디스플레이 패널.

[0035] [3] 상기 유기층의 저면은 상기 화소 전극과 접촉하고, 상기 화소 전극의 표면으로부터의 상기 제2 뱅크의 높이는 -0.1~+0.4㎛인, [1] 또는 [2]에 기재된 유기 EL 디스플레이 패널.

[0036] [4] 상기 화소 전극상에 배치되어 상기 화소 영역마다 독립적인 정공 주입층을 더 가지며,

[0037] 상기 유기층의 저면은 상기 정공 주입층과 접촉하는, [1] 또는 [2]에 기재된 유기 EL 디스플레이 패널.

[0038] [5] 상기 정공 주입층은 전이금속 산화물을 포함하며, 상기 정공 주입층의 표면으로부터의 상기 제2 뱅크의 높이는 -0.1~+0.4㎛인, [4]에 기재된 유기 EL 디스플레이 패널.

[0039] [6] 상기 정공 주입층은 폴리에틸렌디옥시티오펜을 포함하며, 상기 화소 전극의 표면으로부터의 상기 제2 뱅크의 높이는 0.1~0.5㎛인, [4]에 기재된 유기 EL 디스플레이 패널.

[0040] [7] 상기 제1 뱅크의 재료는 불소 함유 수지인, [1]~[6]의 어느 하나에 기재된 유기 EL 디스플레이 패널.

[0041] [8] 상기 제1 뱅크는, 상기 제1 뱅크의 높이 방향을 따라 불소 농도의 구배를 가지며, 상기 제1 뱅크의 정점에 있어서의 불소 농도는 상기 제1 뱅크의 저면에 있어서의 불소 농도보다 높은, [7]에 기재된 유기 EL 디스플레이 패널.

[0042] [9] 상기 제2 뱅크의 재료는 불소 함유 수지인, [7] 또는 [8]에 기재된 유기 EL 디스플레이 패널.

[0043] [10] 상기 제1 뱅크의 정점에 있어서의 불소 농도는 상기 제2 뱅크의 정점에 있어서의 불소 농도보다 높은, [9]에 기재된 유기 EL 디스플레이 패널.

[0044] 본 발명의 제2는, 이하에 나타내는 유기 EL 디스플레이 패널의 제조 방법에 관한 것이다.

[0045] [11] 화소 전극이 배치된 기판을 준비하는 스텝과, 상기 기판상에 라인 형태의 영역을 규정하는 라인 형태의 제1 뱅크와, 상기 라인 형태의 영역내에 배열된 2 이상의 화소 영역을 규정하는 제2 뱅크를 형성하는 스텝과, 상기 라인 형태의 영역에 유기 EL 재료를 포함한 재료액을 도포하여 라인 형태의 유기층을 형성하는 스텝과, 상기 유기층 상에 대향 전극을 형성하는 스텝을 가지고, 상기 제1 뱅크의 높이는 상기 제2 뱅크의 높이보다 높고, 상기 제1 뱅크 및 제2 뱅크의 재료는 수지이며, 상기 제1 뱅크의 정점에 있어서의 아니솔의 접촉각은 30°~60°이며, 상기 제2 뱅크의 정점에 있어서의 아니솔의 접촉각은 5°~30°인, 유기 EL 디스플레이 패널의 제조 방법.

[0046] [12] 상기 제1 뱅크 및 상기 제2 뱅크를 형성하는 스텝은, 상기 기판상에 수지막을 패터닝하는 스텝과, 상기 수지막을 베이크하는 스텝을 가지는, [11]에 기재된 유기 EL 디스플레이 패널의 제조 방법.

[0047] [13] 상기 수지막을 패터닝하는 스텝은, 상기 기판상에 상기 제2 뱅크의 재료를 포함한 감광성 수지막 A를 형성하는 스텝과, 상기 감광성 수지막 A 상에 상기 제1 뱅크의 재료를 포함하고, 상기 감광성 수지막 A와는 감도가 다른 감광성 수지막 B를 형성하는 스텝과, 상기 감광성 수지막 A 및 상기 감광성 수지막 B를 투과율이 다른 마스크를 경유해 노광하고 현상하는 스텝을 가지는 [12]에 기재된 유기 EL 디스플레이 패널의 제조 방법.

[0048] [14] 상기 수지막을 패터닝하는 스텝은, 상기 기판상에 불소 화합물을 포함하는 감광성 수지막을 형성하는 스텝과, 상기 불소 화합물을 포함하는 감광성 수지막을 투과율이 다른 하프톤 마스크를 경유해 노광하고 현상하는 스텝을 가지는 [12]에 기재된 유기 EL 디스플레이 패널의 제조 방법.

[0049] [발명의 효과]

[0050] 본 발명의 유기 EL 디스플레이 패널에서는, 도포 영역내의 습윤성이 높으면서 또한 도포 영역이 평탄하므로, 균일한 막두께의 유기층을 가지는 유기 EL 디스플레이 패널을 제공할 수 있다.

실 시 예

[0098] 1. 본 발명의 유기 EL 디스플레이 패널에 대해서

[0099] 본 발명의 유기 EL 디스플레이 패널은, 기판에 매트릭스 형태로 배치된 유기 EL 소자를 가진다. 각 유기 EL 소

자는, 화소 전극과, 화소 전극상에 배치된 유기층과, 유기층상에 배치된 대향 전극을 가진다. 본 발명에서는 유기층은 도포법으로 형성된다.

[0100] 보다 구체적으로, 본 발명의 유기 EL 디스플레이 패널은, 1) 기판과, 2) 화소 전극과, 3) 기판상에 배치된 제1 뱅크 및 제2 뱅크와, 4) 제1 뱅크에 의해 규정된 영역내에 배치된 유기층과, 5) 유기층상에 마련된 대향 전극을 가진다.

[0101] 본 발명의 유기 EL 디스플레이 패널은, 화소 전극이 라인 형태로 배치되는 패시브 매트릭스(passive matrix) 타입 또는 화소 전극이 유기 EL 소자마다 독립적으로 배치되는 액티브 매트릭스 타입의 어느 것이라도 좋으며, 또 보텀 에미션(Bottom emission)형이나 탑 에미션형의 어느 것이라도 좋다. 이하 본 발명의 유기 EL 디스플레이 패널의 각각의 구성 요건에 대해서 설명한다.

[0102] 1) 기판

[0103] 본 발명의 유기 EL 디스플레이 패널의 기판은, 보텀 에미션형인가 탑 에미션형인가에 따라서 그 재료가 다르다. 예를 들면, 보텀 에미션형의 경우는 기판이 투명할 것이 요구된다. 따라서 보텀 에미션형의 경우 기판의 재료는 유리나 투명 수지 등이면 좋다. 한편, 탑 에미션형의 경우는 기판이 투명할 필요는 없다. 따라서, 탑 에미션형의 경우 기판은 절연체이면 된다.

[0104] 또, 본 발명의 유기 EL 디스플레이 패널이 액티브 매트릭스형인 경우, 기판은 유기 EL 소자를 구동하기 위한 박막 트랜지스터(구동 TFT)를 내장한다. 기판에 내장된 TFT의 소스 전극 또는 드레인 전극은 후술하는 화소 전극에 접속된다(도 7의 (a)참조).

[0105] 2) 화소 전극

[0106] 화소 전극은 기판상에 배치된 도전성 부재이다. 유기 EL 디스플레이 패널에서, 화소 전극은 통상 양극(+)으로서 기능하지만 음극(-)으로서도 기능할 수 있다. 화소 전극은 후술하는 각 화소 영역내에 배치된다. 유기 EL 디스플레이 패널이 패시브 매트릭스형인 경우, 복수의 라인 형태의 화소 전극이 기판상에 배치된다. 라인 형태의 화소 전극은 서로 평행한 것이 바람직하다. 유기 EL 디스플레이 패널이 액티브 매트릭스형인 경우, 화소 전극은 유기 EL 소자마다 독립적으로 배치된다.

[0107] 보텀 에미션형 유기 EL 디스플레이 패널에서는, 화소 전극이 투명 전극일 것이 요구되기 때문에, 화소 전극의 재료의 예는 ITO(산화 인듐·주석)나 IZO(산화 인듐·아연), ZnO(산화 아연) 등을 포함한다.

[0108] 탑 에미션형 유기 EL 디스플레이 패널에서는, 화소 전극에 광반사성이 요구되기 때문에, 화소 전극의 재료의 예에는 은을 포함한 합금, 보다 구체적으로는 은-팔라듐-구리 합금(APC라고도 부름)이나 은-루테늄-금 합금(ARA라고도 부름), MoCr(몰리브덴 크롬), NiCr(니켈 크롬), 알루미늄-네오듐 합금(Al-Nd라고도 부름) 등의 알루미늄계 합금 등을 포함한다. 또 반사성 화소 전극의 표면에는 ITO막 및 IZO막이 배치되어 있어도 좋다.

[0109] 또, 화소 전극 상에는 정공 주입층이 배치되어 있어도 좋다. 정공 주입층은, 화소 전극으로부터 후술하는 유기층으로의 정공의 주입을 보조하는 기능을 가지는 층이다. 이 때문에, 정공 주입층은 화소 전극과 유기층 사이에 배치된다(도 7의 (a), 도 8의 (b) 참조).

[0110] 정공 주입층의 재료에는, 폴리에틸렌 설폰산을 도프한 폴리(3,4-에틸렌디옥시티오펜)(PEDOT-PSS라고 불림)나 그 유도체(공중합체 등), 전이금속 산화물 등이 포함되지만, 정공 주입층의 재료는 전이금속 산화물인 것이 바람직하다.

[0111] 전이금속의 예에는, 텅스텐이나 몰리브덴, 티타늄, 바나듐, 루테늄, 망간, 크롬, 니켈, 이리듐, APC(은-팔라듐-구리 합금) 및 이들의 조합 등이 포함된다. 바람직한 정공 주입층의 재료는, 산화 텅스텐(WOx) 또는 산화 몰리브덴(MoOx)이다. 정공 주입층의 두께는, 통상 10 nm~100 nm이며 약 50 nm일 수 있다.

[0112] PEDOT-PSS를 포함한 정공 주입층은 도포법으로 형성되기 때문에, PEDOT-PSS를 포함한 정공 주입층이 형성되는 영역을 후술하는 제2 뱅크로 규정할 필요가 있었다(특허 문헌 2 참조). 그 때문에, 제2 뱅크에 일정한 높이가 요구되어 후술하는 도포 영역의 기복이 커지는 경우가 있었다(도 1의 (c)참조). 한편, 전이금속 산화물로 되어 있는 정공 주입층은 스퍼터링이나 증착 등으로 형성할 수 있어, 제2 뱅크에 의해 규정될 필요는 없다. 이 때문에, 정공 주입층을 전이금속 산화물로 형성했을 경우, 제2 뱅크의 높이를 비교적 낮게 할 수 있어, 도포 영역내의 기복을 감소시켜 도포 영역을 평탄하게 할 수 있다.

[0113] 또, 화소 전극으로부터 유기층에 효율적으로 정공을 주입할 수 있는 한, 정공 주입층은 생략되어도 괜찮다. 이

경우, 화소 전극 상에 직접 유기층이 배치된다. 이와 같이, 본 발명에서는, i) 화소 전극 상에 직접 유기층이 배치되는 경우와, ii) 전이금속 산화물로 되어있는 정공 주입층 상에 유기층이 배치되는 경우와, iii) PEDOT-PSS를 포함한 정공 주입층 상에 유기층이 배치되는 경우가 있다.

[0114] 3) 제1 뱅크 및 제2 뱅크

[0115] 제1 뱅크 및 제2 뱅크는 기판상에 배치된 장벽이다. 본 발명에서 제1 뱅크 및 제2 뱅크의 재료는 수지를 포함한다.

[0116] 제1 뱅크에 대해서

[0117] 제1 뱅크는, 후술하는 유기층이 도포되는 영역을 규정하는 기판상에 배치된 장벽이다. 제1 뱅크는 기판상에 라인 형태로 복수 라인 형성되어 기판상에 라인 형태의 영역을 규정한다(도 6의 (a)참조). 라인 형태의 영역에는 후술하는 유기층이 도포된다. 이하, 라인 형태의 뱅크(제1 뱅크)에 의해 규정되는 라인 형태의 영역을 '도포 영역'이라고 부른다. 제1 뱅크에 의해 규정된 하나의 도포 영역내에는 화소 영역이 1열로 배열되어 있다(도 6의 (a)참조). 여기서, 화소 영역이란 하나의 유기 EL 소자가 차지하는 영역을 의미한다.

[0118] 라인 형태의 제1 뱅크는 서로 평행한 것이 바람직하다. 또, 화소 전극이 라인 형태로 형성될 때(패시브 매트릭스형 유기 EL 디스플레이 패널의 경우), 라인 형태의 제1 뱅크의 라인 방향과 화소 전극의 라인 방향은 직교하는 것이 바람직하다.

[0119] 또, 제1 뱅크의 기판의 표면으로부터의 높이는 0.5~3㎛인 것이 바람직하고, 0.8㎛~1.2㎛인 것이 특히 바람직하다. 후술하는 바와 같이 액티브 매트릭스형 유기 EL 디스플레이 패널에서는 모든 유기 EL 소자가 하나의 대향 전극을 공유하는데, 뱅크의 높이가 3㎛를 초과했을 경우 대향 전극이 뱅크에 의해 분단될 우려가 있어, 전부의 유기 EL 소자가 공유하는 대향 전극을 형성할 수 없을 우려가 있다. 또, 뱅크의 높이가 0.5㎛ 미만일 경우, 뱅크에 의해 규정된 영역내에 도포된 잉크가 뱅크로부터 새어나갈 염려가 있다.

[0120] 또, 제1 뱅크의 형상은 순 테이퍼 형상인 것이 바람직하다. 순 테이퍼 형상이란, 뱅크의 장벽면이 비스듬하게 되어 있으며 뱅크 저면의 면적이 뱅크의 상면의 면적보다 큰 형상을 의미한다(도 7의 (a)참조). 뱅크의 형상이 테이퍼 형상일 경우, 테이퍼 각도는 20~80°인 것이 바람직하고 특히 30~45°인 것이 바람직하다.

[0121] 제1 뱅크의 재료는, 수지이면 특히 한정되지 않지만, 불소 함유 수지인 것이 바람직하다. 불소 함유 수지에 포함되는 불소 화합물의 예에는, 불화 비닐리덴, 불화 비닐, 3불화 에틸렌, 및 이들의 공중합체 등의 불화 수지 등이 포함된다. 또 불소 함유 수지에 포함되는 수지의 예에는, 페놀-노볼락 수지, 폴리비닐페놀 수지, 아크릴 수지, 메타크릴 수지 및 이들의 조합이 포함된다.

[0122] 또 제1 뱅크는, 상술한 바와 같이 유기층의 재료를 포함하는 잉크가 도포되는 영역을 규정하여 잉크가 새어나오는 것을 방지한다. 이 때문에, 제1 뱅크의 상면의 습윤성은 낮다. '습윤성이 낮다'라는 것은, 아니솔이나 사이클로 헥실 벤젠등 유기용매의 접촉각이 30°~60°인 것을 의미한다. 또, 뱅크의 상면이란 뱅크의 정점을 포함하는 면을 의미한다.

[0123] 또 제1 뱅크의 저면의 습윤성은, 제1 뱅크의 상면의 습윤성보다 높은 것이 바람직하다. 제1 뱅크의 상면의 습윤성을 제1 뱅크의 저면의 습윤성보다 낮게 함으로써, 습윤성이 낮은 제1 뱅크 상면이 유기층의 재료액이 새나오는 것을 억제한다는 뱅크 본래의 역할을 완수하고; 동시에 제1 뱅크의 하부의 습윤성이 높기 때문에, 제1 뱅크에 의해 규정되는 영역 전체에 즉 제1 뱅크와 해당 영역의 접선까지 기능층의 재료액이 확실하게 도포된다.

[0124] 뱅크에 있어서의 습윤성은 주로 불소 원자의 농도에 의해 결정된다. 따라서, 뱅크 상면의 습윤성을 낮게 하고 뱅크 저면의 습윤성을 높게 하려면, 뱅크 상면의 불소 농도를 높게 하고 뱅크 저면의 불소 농도를 낮게 하면 된다. 구체적으로는, 제1 뱅크의 정점의 불소 원자 농도는, 4~10atom%인 것이 바람직하고, 제1 뱅크의 저면에 있어서의 불소 농도는 0~3atom%인 것이 바람직하다. 불소 원자 농도는, X선 광전자 분광 분석 장치(XPS 또는 ESCA라고도 부름)로 측정할 수 있다. X선 광전자 분광 분석 장치의 예에는 PHI Quantera SXM(ULVAC PHI사제)를 들 수 있다.

[0125] 이와 같이 상면의 불소 농도가 높고 저면의 불소 농도가 낮은 뱅크는, 소망하는 형상으로 패터닝된 불소 함유 수지의 막을 베이크 처리(소성처리)함으로써 형성될 수 있다.

[0126] 표 1은 베이크 처리된 불소 함유 수지의 두께(높이)와 불소 함유 수지막의 표면에 있어서의 불소 농도와 불소 함유 수지막의 표면에 있어서의 물 및 아니솔의 접촉각과의 관계를 나타낸 그래프이다. 물 및 아니솔의 접촉각

은 쿄와(協和)계면과학제(製) 자동 액정 유리 세정·처리 검사 장치를 이용하여 측정되었다.

표 1

[0127]

두께 (μm)	물 접촉각	유기용매 접촉각	불소 농도 (atom%)
1	81.2도	45.5도	7.5
0.9	78.9도	43.0도	6.9
0.8	76.5도	40.6도	6.3
0.7	74.1도	38.2도	5.6
0.6	71.7도	35.7도	5.0
0.5	69.4도	33.3도	4.3
0.4	67.0도	30.8도	3.7
0.3	64.6도	28.4도	3.0
0.2	62.2도	25.9도	2.4
0.1	59.9도	23.5도	1.7

[0128] 표 1에 표시된 바와 같이, 불소 함유 수지막이 두꺼워(높아)지면 질수록, 불소 함유 수지막의 표면에 있어서의 불소 농도는 높아진다. 불소 함유 수지의 습윤성은 주로 불소 원자의 농도에 의해 결정되기 때문에, 불소 농도가 높아지면 질수록 물 접촉각 및 유기용매의 접촉각도 커진다(습윤성이 낮아진다).

[0129] 예를 들면, 두께 1μm의 불소 함유 수지막의 표면에 있어서의 불소 원자 농도는 7.5atom%이며, 불소 함유 수지막의 표면에 있어서의 물 접촉각은 81.2°이며, 불소 함유 수지막의 표면에 있어서의 아니솔의 접촉각은 45.5°이다.

[0130] 또, 두께가 0.3μm의 불소 함유 수지막의 표면에 있어서의 불소 원자 농도는 3.0atom%이며, 불소 함유 수지막의 표면에 있어서의 물 접촉각은 64.6°이며, 불소 함유 수지막의 표면에 있어서의 아니솔의 접촉각은 28.4°이다.

[0131] 또, 불소 함유 수지로 되어있는 뱅크의 형상을 순 테이퍼 형상으로 함으로써, 제1 뱅크의 높이 방향에 따라 불소 농도의 구배를 생기게 할 수 있다.

[0132] 도 2는 순 테이퍼 형상의 뱅크(105)를 가지는 유기 EL 소자의 단면도이다. 도 2에 표시되듯이 뱅크(105)의 형상이 순 테이퍼 형상이면, 그 벽면에 있어서 뱅크의 높이에 구배가 생긴다. 즉 도 2에 표시되듯이, 뱅크의 높이는 5a, 5b, 5c의 순서로 작아진다.

[0133] 표 1에 표시된 바와 같이, 낮은 뱅크의 상면의 불소 성분의 밀도가 낮아지고; 높은 뱅크의 상면의 불소 성분의 밀도가 높아진다. 따라서, 도 2에 표시된 순 테이퍼 형상의 뱅크(105)중 5a로 표시되는 개소(뱅크가 높음)에 있어서의 불소 농도는 상대적으로 높고, 또 5c로 표시되는 개소(뱅크가 낮음)에 있어서의 불소 농도는 상대적으로 낮아진다. 따라서, 뱅크(105)에 있어서의 불소 농도는 5a, 5b, 5c의 순으로 낮아진다. 도 2에 있어서, 101은 기판이고, 103은 전극이다.

[0134] 이와 같이, 불소 함유 수지로 되어있는 제1 뱅크의 형상을 순 테이퍼 형상으로 함으로써, 제1 뱅크의 높이 방향으로 불소 농도의 구배를 발생시킬 수 있다. 또, 제1 뱅크의 높이 방향으로 불소 농도의 구배를 발생시킴으로써, 뱅크의 높이 방향을 따라 습윤성의 구배를 얻을 수 있다. 높이 방향으로 습윤성의 구배를 가지는 제1 뱅크에 의해 규정된 영역내에 유기층의 재료액을 도포함으로써, 유기층을 정확하게 형성할 수 있음과 동시에, 보다 막두께가 균일한 유기층을 형성할 수 있다.

[0135] 또, 유기 EL 디스플레이 패널이 패시브 매트릭스형인 경우, 제1 뱅크는 도포 영역을 규정함과 동시에, 대향 전극 세퍼레이터(separator)로서 기능해도 좋다. 대향 전극 세퍼레이터란, 대향 전극(후술)을 분리하기 위한 부재로서, 예를 들면 증착에 의해 후술하는 유기층상에 형성된 대향 전극을 라인 형태의 도포 영역마다 분할한다.

[0136] 제2 뱅크에 대해서

[0137] 제2 뱅크는, 기판상에 배치되어 도포 영역내에 2 이상의 화소 영역을 규정(도6 참조)하여, 도포 영역내를 평탄하게 하기 위한 기능을 가진다. 본 발명에서 도포법에 의해 형성되는 유기층은, 제2 뱅크 상에도 배치되기 때문에, 제2 뱅크의 높이는 제1 뱅크보다 낮다. 제2 뱅크의 높이에 대해서는 후술한다.

[0138] 또, 제2 뱅크의 상면의 습윤성은 높은 것이 바람직하다. 상술한 바와 같이 도포법으로 형성되는 유기층은 제2

뱅크 상에도 배치되기 때문에, 제2 뱅크의 상면은 유기층의 재료액에 대해서 친화성을 가지는 것이 요구되기 때문이다. 여기서 습윤성이 높다는 것은 아니솔이나 사이클로 헥실 벤젠 등의 유기용매의 접촉각이, 5°~30°이고, 물의 접촉각이 30°~90°인 것을 의미한다.

[0139] 이와 같이 본 발명에서는, 제1 뱅크 및 제2 뱅크의 재료가 모두 수지이지만, 제1 뱅크와 제2 뱅크의 습윤성이 다른 것을 특징으로 한다. 제1 뱅크와 제2 뱅크의 습윤성이 다르기 때문에, 균일한 막두께를 가지는 유기층을 도포법으로 라인 형태로 형성할 수가 있다.

[0140] 이와 같이 제1 뱅크의 습윤성과 제2 뱅크의 습윤성을 달리하려면, 제1 뱅크에 포함되는 수지의 조성과 제2 뱅크에 포함되는 수지의 조성을 바꾸면 된다. 여기서,'수지의 조성을 바꾼다'는 것은, 수지의 모노머의 분자 구조를 바꾸는 것이나 모노머 비율을 바꾸는 것, 첨가물의 양을 바꾸는 것 등을 의미한다.

[0141] 제1 뱅크에 포함되는 수지의 조성과 제2 뱅크에 포함되는 수지의 조성을 바꾸려면, 예를 들면 A) 제1 뱅크의 재료와 제2 뱅크의 재료를 달리해도 좋고, 또 B) 제1 뱅크의 재료와 제2 뱅크의 재료를 동일하게 해도 좋은 경우가 있다.

[0142] A) 제1 뱅크의 재료와 제2 뱅크의 재료가 다른 경우

[0143] 제1 뱅크의 재료와 제2 뱅크의 재료가 다른 경우, 제2 뱅크의 재료로서 제1 뱅크보다 습윤성이 높은 수지를 사용하면 좋다. 습윤성이 높은 수지의 예에는, 불소를 함유하지 않는 폴리이미드 수지나 아크릴 수지 등이 포함된다.

[0144] B) 제1 뱅크의 재료와 제2 뱅크의 재료가 동일한 경우

[0145] 뱅크의 재료와 제2 뱅크의 재료가 동일함에도 불구하고 제1 뱅크의 상면의 습윤성을 낮게 하고 제2 뱅크의 상면의 습윤성을 높게 하려면, 제1 뱅크 및 제2 뱅크의 재료를 모두 불소 함유 수지로 하면 좋다.

[0146] 상술한 바와 같이, 불소 함유 수지의 습윤성은 불소 함유 수지의 두께(높이)에 의존한다(표 1 참조). 또, 상술한 바와 같이 제2 뱅크의 높이는 제1 뱅크의 높이보다 낮다. 이 때문에, 제1 뱅크 및 제2 뱅크의 재료가 모두 불소 함유 수지일지라도, 제1 뱅크의 상면의 습윤성을 낮게 제2 뱅크의 상면의 습윤성을 높게 할 수 있다.

[0147] 제1 뱅크 및 제2 뱅크의 재료를 함께 불소 함유 수지로 했을 때의 제2 뱅크의 정점에 있어서의 불소 농도는 1~4atom%인 것이 바람직하다.

[0148] 제2 뱅크의 높이에 대해서

[0149] 제2 뱅크의 높이는, 후술하는 유기층의 저면과 접하는 층(이하 단순하게 '유기층의 하층'이라고도 부름)의 소재에 따라서 다르다. 상술한 바와 같이, 본 발명에서는, i)화소 전극 상에 직접 유기층이 배치되는 경우와, ii) 전이금속 산화물로 되어있는 정공 주입층 상에 유기층이 배치되는 경우와, iii)PEDOT-PSS를 포함하는 정공 주입층 상에 유기층이 배치되는 경우가 있다. 이 때문에, 유기층의 하층은, i)화소 전극인 경우와, ii)전이금속 산화물로 되어있는 정공 주입층인 경우와, iii)PEDOT-PSS를 포함한 정공 주입층인 경우가 있다. 이하, 제2 뱅크의 높이에 대해서, 각각의 경우로 나누어 설명한다.

[0150] i) 유기층의 하층이 화소 전극인 경우

[0151] 유기층의 하층이 화소 전극인 경우, 제2 뱅크의 화소 전극의 표면으로부터의 높이는 -0.1~+0.4㎛인 것이 바람직하고 약 0㎛인 것이 더욱 바람직하다. 이와 같이 유기층의 하층이 화소 전극인 경우, 제2 뱅크는 도포법으로 형성되는 층을 규정할 필요가 없기 때문에, 제2 뱅크의 화소 전극의 표면으로부터의 높이를 비교적 낮게 할 수 있다. 이에 의해 도포 영역내를 평탄하게 할 수가 있어, 유기층의 막두께를 보다 균일하게 할 수가 있다.

[0152] 그런데 이 경우, 제2 뱅크는 도포법으로 형성되는 층을 규정할 필요가 없기 때문에 제2 뱅크를 생략하는 것도 생각된다. 그러나, 제2 뱅크를 생략했을 경우, 화소 전극 또는 정공 주입층의 표면과 기판 표면과 고저차에 의해 생기는 단차에 의해, 라인 형태 영역(40)내의 기복이 현저하게 될 우려가 있다. 이 때문에, 제2 뱅크가 도포법으로 형성되는 기능층을 규정하지 않는 경우에도 제2 뱅크를 설치하는 것은, 도포 영역내를 평탄하게 하기 위해 바람직하다.

[0153] ii) 유기층의 하층이 전이금속 산화물로 되어있는 정공 주입층인 경우(실시형태 1 참조)

[0154] 유기층의 하층이 전이금속 산화물로 되어있는 정공 주입층인 경우, 제2 뱅크의 전이금속 산화물로 되어있는 정

공 주입층의 표면으로부터의 높이는 -0.1~+0.4㎛인 것이 바람직하고 약 0㎛인 것이 더욱 바람직하다. 이와 같이, 유기층의 하층이 전이금속 산화물로 되어있는 정공 주입층인 경우, 제2 뱅크는 도포법으로 형성되는 층을 규정할 필요가 없기 때문에, 제2 뱅크의 전이금속 산화물로 되어있는 정공 주입층의 표면으로부터의 높이를 비교적 낮게 할 수 있다. 이에 의해 도포 영역내를 평탄하게 할 수가 있어, 유기층의 막두께를 보다 균일하게 할 수 있다.

[0155] iii) 유기층의 하층이 PEDOT-PSS를 포함하는 정공 주입층인 경우(실시형태 2 참조)

[0156] 유기층의 하층이 전이금속 산화물로 되어있는 정공 주입층인 경우, 제2 뱅크의 화소 전극의 표면으로부터의 높이는 0.1~0.5㎛인 것이 바람직하다. PEDOT-PSS를 포함한 정공 주입층은 도포법으로 형성된다. 이 때문에 유기층의 하층이 PEDOT-PSS를 포함하는 정공 주입층인 경우, 제2 뱅크는 정공 주입층의 재료액(PEDOT-PSS와 물을 포함한 용액)이 도포되는 영역을 규정할 것이 요구된다. 이 때문에, i) 및 ii)와 비교하여 제2 뱅크의 PEDOT-PSS를 포함하는 정공 주입층의 표면으로부터의 높이가 높아진다.

[0157] 또, 제2 뱅크가, 정공 주입층의 재료액(PEDOT-PSS와 물을 포함한 용액)이 도포되는 영역을 규정하는 경우, 제1 뱅크와 마찬가지로, 제2 뱅크 상면의 습윤성이 제2 뱅크 상면의 습윤성보다 낮은 것이 바람직하다. 또, 제2 뱅크는 뱅크의 높이 방향을 따라 습윤성 구배를 가지는 것이 바람직하다. 제2 뱅크가 뱅크의 높이 방향을 따라 습윤성 구배를 가지기 때문에, 균일한 막두께를 가지는 PEDOT-PSS를 포함한 정공 주입층을 정확하게 형성할 수가 있다.

[0158] 4) 유기층

[0159] 유기층은, 적어도 유기 발광층을 포함하며 화소 전극상에 배치된 층이다. 유기층은, 제1 뱅크에 의해 규정되는 라인 형태 도포 영역에 유기층의 재료액을 도포함으로써 형성된다. 유기층의 재료액(유기층의 재료를 아니솔이나 사이클로 벤젠 등의 유기용매에 용해한 잉크)을, 잉크젯 등의 도포법에 의해 후술하는 도포 영역에 도포함으로써, 용이하면서도 다른 재료에 손상을 끼치는 일없이 유기층을 형성할 수 있기 때문이다. 본 발명에서는, 유기층은 후술하는 제1 뱅크에 의해 규정된 도포 영역에 라인 형태로(복수의 유기 EL 소자에 걸쳐서) 형성된다. 이 때문에, 유기층은 화소 영역 상뿐만 아니라 제2 뱅크 상에도 배치된다.

[0160] 유기 발광층에 포함되는 유기 EL 재료는, 도포법으로 유기 발광층을 형성할 수 있으면 고분자여도 저분자여도 괜찮다. 특히 고분자 유기 EL 재료를 포함한 유기 발광층은 도포법에 의해 형성하기 쉽기 때문에, 유기 발광층에 포함되는 유기 EL 재료는 고분자 유기 EL 재료인 것이 바람직하다.

[0161] 고분자 유기 EL 재료의 예에는, 폴리페닐렌 비닐렌 및 그 유도체, 폴리아세틸렌(Polyacetylene) 및 그 유도체, 폴리페닐렌(Polyphenylene) 및 그 유도체, 폴리파라페닐렌 에틸렌(Polyparaphenyleneethylene) 및 그 유도체, 폴리 3-헥실 티오펜(Poly3-hexylthiophene(P3HT)) 및 그 유도체, 폴리플루오렌(Polyfluorene(PF)) 및 그 유도체 등이 포함된다.

[0162] 한편, 저분자 유기 EL 재료의 예에는, 트리스(8-퀴놀리노라토(8-quinolinolato) 알루미늄 등이 포함된다.

[0163] 유기 EL 재료는 각 화소로부터 소망하는 발색(레드 R, 그린 G, 블루 B)이 발생하도록 적절하게 선택된다. 예를 들면, 레드 화소의 옆에 그린 화소를 배치하고, 그린 화소의 옆에 블루 화소를 배치하고, 블루 화소의 옆에 레드 화소를 배치한다. 또, 유기 발광층의 두께는 약 50~150 nm(예를 들면 60 nm)인 것이 바람직하다.

[0164] 유기층은, 전자 차단층, 전자 수송층 등을 더 가지고 있어도 괜찮다.

[0165] 전자 차단층은, 정공 주입층으로의 전자의 침입을 차단하는 역할이나, 유기 발광층에 정공을 효율적으로 운반하는 역할 등을 가지며, 예를 들면 폴리아닐린(polyaniline)계 재료로 되어있는 층이다. 전자 차단층의 두께는 통상 5 nm 이상 100 nm 이하이며, 바람직한 것은 10 nm 이상 50 nm 이하(예를 들면 약 20 nm)이다. 또, 유기 발광층에 효율적으로 정공을 수송할 수 있다면 전자 차단층은 생략되어도 좋다.

[0166] 5) 대향 전극에 대해서

[0167] 대향 전극이란, 유기층상에 배치된 도전성 부재이다. 유기 EL 디스플레이 패널에서 대향 전극은 통상 음극으로서 기능하지만, 양극으로서도 기능할 수 있다. 대향 전극의 재료는 보텀 에미션형인가 탑 에미션형인가에 따라서 그 재료가 다르다. 탑 에미션형일 경우에는, 대향 전극이 투명할 필요가 있으므로 대향 전극의 재료는 ITO 전극이나 IZO 전극 등인 것이 바람직하다. 대향 전극의 재료는, Ba, Al, WOx 등이면 된다. 더욱이, 탑 에미션형일 경우, 유기 발광층과 대향 전극층 사이에 유기 버퍼층을 배치해도 좋다.

[0168] 한편, 보텀 에미션형일 경우에는 대향 전극이 투명할 필요는 없다. 따라서 대향 전극의 재료는 임의의 것이어도 좋으며, 예를 들면 바륨(Ba)이나 산화 바륨(BaO), 알루미늄(Al) 등을 포함한다.

[0169] 대향 전극은, 각 화소 영역에 배치된 전자 주입층 또는 유기 발광층상에 형성되어 있으면 되지만, 통상은 복수의 도포 영역을 덮듯이 형성되어 있다. 대향 전극은 통상 증착법에 의해 형성되며, 반드시 도포 영역별로 분리되어 있지 않아도 좋다. 즉, 액티브 매트릭스형과 같이 화소 전극이 유기 EL 소자마다 독립적으로 제어되고 있으면, 유기 EL 소자를 구동하는 TFT 소자가 독립되어 있으므로, 대향 전극을 복수의 도포 영역에서 공유할 수 있다.

[0170] 대향 전극과 유기층의 사이에는 예를 들면, 바륨(Ba), 불화 리튬(LiF) 등으로 되어 있는 전자 주입층이 배치되어 있어도 괜찮다.

[0171] 본 발명의 유기 EL 디스플레이 패널에, 대향 전극을 형성한 면에 커버재(봉지재)를 마련하여 봉지해도 좋다. 커버재에 의해 수분이나 산소의 침입을 억제한다.

[0172] 이와 같이 본 발명에 의하면, 도포 영역내의 습윤성이 높고 평탄하므로, 균일한 막두께의 유기층을 가지는 유기 EL 디스플레이 패널을 제공할 수 있다.

[0173] 1. 본 발명의 유기 EL 디스플레이 패널의 제조 방법에 대해서

[0174] 본 발명의 유기 EL 디스플레이 패널은, 본 발명의 효과를 손상시키지 않는한, 임의의 방법으로 제조될 수 있다.

[0175] 바람직한 제조 방법의 일례는,

[0176] 1) 화소 전극이 배치된 기판을 준비하는 제1 스텝(도 3의 (a))과,

[0177] 2) 기판상에 제1 뱅크 및 제2 뱅크를 형성하는 제2 스텝(도 3의 (b))과,

[0178] 3) 도포 영역에 라인 형태의 유기층을 형성하는 제3 스텝(도 3의 (c), 도 3의 (d))과,

[0179] 4) 유기층상에 대향 전극을 형성하는 제4 스텝(도 3의 (e))을 포함한다. 이하 도면을 참조하여 본 발명의 액티브 매트릭스형 유기 EL 디스플레이 패널의 바람직한 제조 방법에 대해 설명한다.

[0180] 1) 도 3의 (a)는 제1 스텝을 나타낸다. 제1 스텝에서는, 화소 전극(103)이 배치된 기판(101)을 준비한다. 기판(101)에는 박막 트랜지스터(구동 TFT)가 내장되어 있어도 괜찮다. 박막 트랜지스터(구동 TFT)가 내장된 기판(101)을 준비하는 경우(도 7의 (a)참조), 구동 TFT가 형성된 면에 패시베이션막, 평탄화막을 형성함으로써 기판을 준비해도 괜찮다.

[0181] 화소 전극(103)은, 예를 들면, 스퍼터링법등에 의해, 전극 재료의 막을 기판(101)상에 형성하고, 에칭하여 패터닝함으로써 형성된다. 또, 화소 전극(103) 상에 전이금속 산화물로 되어있는 정공 주입층을 형성해도 좋다.

[0182] 2) 도 3의 (b)는 제2 스텝을 나타낸다. 제2 스텝에서는, 기판(101)상에 제1 뱅크(105) 및 제2 뱅크(107)를 형성한다. 상술한 바와 같이 제1 뱅크(105)는 라인 형태의 도포 영역을 규정하고, 제2 뱅크(107)는 화소 영역을 규정한다.

[0183] 본 발명에서, 제1 뱅크(105) 및 제2 뱅크(107)를 형성하는 스텝은, 수지막을 패터닝하는 스텝과, 패터닝된 수지막을 베이크하는 스텝을 가진다. 수지막은 포토리소그래피법으로 패터닝될 수 있다. 또 수지막은 오목판 인쇄(凹版印刷) 등에 의해 패터닝되어도 괜찮다. 오목판 인쇄 등으로 형성하면 다른 재료(화소 전극 등)에 손상을 주기 어렵다. 또, 수지막은 볼록판(凸版) 인쇄에 의해 패터닝해도 괜찮다.

[0184] 수지막을 포토리소그래피법으로 패터닝하는 스텝은,

[0185] i) 기판상에 감광성 수지막 A를 형성하는 스텝 i(도 4의 (a))와,

[0186] ii) 감광성 수지막 A상에 감광성 수지막 B를 형성하는 스텝 ii(도 4의 (b))와,

[0187] iii) 감광성 수지막 A 및 감광성 수지막 B를 투과율이 다른 하프톤 마스크를 경유해 노광하고 현상하는 스텝 iii(도 4의 (c), 도 4의 (d))을 가진다.

[0188] i) 도 4의 (a)는 스텝 i를 나타낸다. 스텝 i에서는, 기판(101)상에 감광성 수지막 A(104)를 형성한다. 감광성 수지막 A(104)는 제2 뱅크(107)의 재료를 포함한다. 감광성 수지막 A(104)의 두께는 0.1~0.5㎛인 것이 바람직하다. 기판(101)상에 감광성 수지막을 형성하려면, 스핀 코트 등에 의해 감광성 수지 조성물을 기판(101)상에

도포하고, 도포된 막을 건조시키면 된다. 건조 조건은 특히 한정되지 않지만 80℃에서 2~3분간 방치하면 된다.

[0189] ii) 도 4의 (b)는 스텝 ii를 나타낸다. 스텝 ii에서는, 감광성 수지막 A(104)상에 감광성 수지막 B(106)를 형성한다. 감광성 수지막 B(106)는 제1 뱅크(105)의 재료를 포함한다. 감광성 수지막 B(106)의 두께는 0.5~3㎛인 것이 바람직하다. 또, 감광성 수지막 B(106)의 감도는 감광성 수지막 A의 감도와 다르다. 구체적으로는, 감광성 수지막 A(104) 및 감광성 수지막 B(106)가 네거티브형 감광성 수지막인 경우, 감광성 수지막 B(106)의 감도를 감광성 수지막 A(104)의 감도보다 약하게 하면 좋다. 한편, 감광성 수지막 A(104) 및 감광성 수지막 B(106)가 포지티브형 감광성 수지막인 경우, 감광성 수지막 B(106)의 감도를 감광성 수지막 A(104)의 감도보다 강하게 하면 좋다.

[0190] iii) 도 4의 (c) 및 도 4의 (c') 및 도 4의 (d)는 스텝 iii을 나타낸다.

[0191] 스텝 iii에서는, 감광성 수지막 A(104) 및 감광성 수지막 B(106)를 투과율이 다른 하프톤 마스크(110)를 경유해 노광한다.

[0192] 도 4의 (c)는 감광성 수지막 A(104) 및 감광성 수지막 B(106)가 네거티브형 감광성 수지막인 경우를 나타낸다. 이 경우, 화소 전극(103)을 노출시키는 영역을 노광하지 않고; 제2 뱅크(107)를 형성하는 영역을 하프톤 마스크를 경유해 노광하고; 제1 뱅크(105)를 형성하는 영역을 마스크(110)를 경유하지 않고 노광하면 된다.

[0193] 노광되지 않은 영역에서는 감광성 수지가 경화되지 않기 때문에, 현상 공정에 의해 감광성 수지막 B(106)도 감광성 수지막 A(104)도 제거되어, 화소 전극(103)이 노출된다(도 4의 (d)). 또, 마스크(110)를 경유하지 않고 노광된 영역에서는 감광성 수지막 B(106)도 감광성 수지막 A(104)도 경화되기 때문에, 현상 공정에 의해 제1 뱅크(105)가 형성된다(도 4의 (d)). 또, 하프톤 마스크를 경유해 노광된 영역에서는, 감도가 강한 감광성 수지막 A(104)만이 경화되고 감도가 약한 감광성 수지막 B(106)는 경화되지 않기 때문에, 현상 공정에 의해 감광성 수지막 B(106)가 제거되어 제2 뱅크(107)가 형성된다(도 4의 (d)).

[0194] 한편, 도 4의 (c')는, 감광성 수지막 A(104) 및 감광성 수지막 B(106)가 포지티브형 감광성 수지막인 경우를 나타낸다. 이 경우, 화소 전극(103)을 노출시키는 영역을 마스크(110)를 경유하지 않고 노광하고; 제2 뱅크(107)를 형성하는 영역을 하프톤 마스크를 경유하여 노광하고; 제1 뱅크(105)를 형성하는 영역을 노광하지 않으면 된다.

[0195] 마스크(110)를 경유하지 않고 노광된 영역에서는, 감광성 수지막 B(106) 및 감광성 수지막(104)의 용해성이 증대하므로, 현상 공정에 의해 감광성 수지막 B(106)도 감광성 수지막 A(104)도 제거되고, 화소 전극(103)이 노출된다(도 4의 (d)). 또, 노광되지 않았던 영역에서는 감광성 수지막이 경화된 채이므로, 현상 공정에 의해 제1 뱅크(105)가 형성된다(도 4의 (d)). 또, 하프톤 마스크를 경유하여 노광된 영역에서는, 감도가 강한 감광성 수지막 B(106)만의 용해성이 증대하고 감도가 약한 감광성 수지막 A(104)는 경화된 채이므로, 현상 공정에 의해 감광성 수지막 B(106)만이 제거되고 제2 뱅크(107)가 형성된다(도 4의 (d)).

[0196] 이와 같이, 제2 뱅크의 재료를 포함한 감광성 수지막 A를 형성하고;

[0197] 그 위에 제1 뱅크의 재료를 포함한 감광성 수지막 B를 형성하고; 감광성 수지막 A의 감도와 감광성 수지막 B의 감도를 달리함으로써, 하나의 현상 공정으로 형상이 다른 제1 뱅크와 제2 뱅크를 정확하게 패터닝할 수 있다.

[0198] 또, 수지막을 포토리소그래피법으로 패터닝하는 스텝은 도 5의 (a)~(c)에 표시되는 바와 같이,

[0199] i) 기판상에 감광성 수지막(104')을 형성하는 스텝 i(도 5의 (a))와,

[0200] ii) 감광성 수지막(104')을 투과율이 다른 하프톤 마스크(110)를 경유해 노광하고 현상하는 스텝 ii(도 5의 (b), (c))를 가지고 있어도 된다.

[0201] 도 5에 표시된 방법에서는, 도 4에 표시된 방법과 달리, 형성하는 감광성 수지막이 1층이다. 이에 의해 동일한 수지 재료로부터 형상이 다른 제1 뱅크 및 제2 뱅크를 동시에 패터닝할 수 있다. 또, 도 5에 표시된 방법에서는, 동일한 수지 재료로 제1 뱅크(105)와 제2 뱅크(107)를 제작하기 때문에, 제1 뱅크(105)와 제2 뱅크(107)의 재료는 불소 함유 수지인 것이 바람직하다.

[0202] 그 후 패터닝한 수지막을 베이크하여 제1 뱅크 및 제2 뱅크를 형성한다. 뱅크의 재료가 불소 함유 수지인 경우, 베이크 처리에 의해 막에 포함되는 불소 화합물 수지의 불소 성분을 막표면으로 부상시킬 수 있을 것으로 추측된다. 이에 의해, 소망하는 습윤성의 표면을 가지는 뱅크가 형성된다. 상술한 바와 같이, 뱅크의 습윤성을 뱅크의 높이에 따라 변화시킬 수 있다.

[0203] 또, 제2 스텝 이후이며 후술하는 제3 스텝 이전에, 제2 뱅크에 의해 규정된 영역내의 화소 전극 상에 PEDOT-PSS 및 물을 포함한 용액을 도포함으로써, 정공 주입층을 형성해도 좋다.

[0204] 3) 도 3의 (c) 및 (d)는 제3 스텝을 나타낸다. 제3 스텝에서는 도포 영역에 라인 형태의 유기층(109)을 형성한다. 라인 형태의 유기층(109)은 제1 뱅크(105)에 의해 규정된 라인 형태의 도포 영역내에 잉크젯등을 이용해 도포된 유기층의 재료액(108)(유기층의 재료 및 아니솔이나 시클로 벤젠 등의 유기용매를 포함한 잉크)을 건조시킴으로써 형성된다. 제2 뱅크(107)의 상면의 습윤성은 상술한 바와 같이 낮으므로, 유기층의 재료액(108)은 제2 뱅크(107)에서 반발되는 일없이 도포 영역내에 도포될 수가 있다. 또, 제2 뱅크(107)의 유기층(109)의 하층(화소 전극 또는 정공 주입층)의 표면으로부터의 높이가 비교적 낮기 때문에, 도포 영역내의 기복이 작고 보다 균일한 막두께를 가지는 유기층(109)을 형성할 수가 있다.

[0205] 4) 도 3의 (e)는 제4 스텝을 나타낸다. 제4 스텝에서는 유기층(109) 상에 대향 전극(111)을 형성한다. 대향 전극(111)은 예를 들면, 증착법이나 스퍼터링법을 이용하여 형성하면 좋다. 또, 대향 전극(111)의 형성 전에 유기층(109) 상에 전자 주입층을 증착법이나 스퍼터링법 등을 이용해 형성해도 좋다.

[0206] 이와 같이 본 발명의 제조 방법에 의하면, 습윤성 및 형상이 다른 제1 뱅크와 제2 뱅크를 동시에 패터닝할 수 있기 때문에, 보다 간편하게 균일한 막두께의 유기층을 가지는 유기 EL 디스플레이 패널을 제조할 수 있다.

[0207] 이하, 첨부 도면을 참조해 본 발명의 실시형태에 대해서 설명한다.

[0208] (실시형태 1)

[0209] 실시형태 1에서는 탑 에미션형 유기 EL 디스플레이 패널에 대해서 설명한다. 또, 실시형태 1의 유기 EL 디스플레이 패널은 액티브 매트릭스형이다.

[0210] 도 6의 (a)는 대향 전극 및 유기 발광층을 생략한 실시형태 1의 액티브 매트릭스형 유기 EL 디스플레이 패널의 평면도이다. 도 6의 (b)는 도 6의 (a)에 나타낸 유기 EL 디스플레이 패널의 사시도이다. 도 6의 (a) 및 (b)에 표시되는 바와 같이, 실시형태 1의 유기 EL 디스플레이 패널에는, 기판(101)상에 복수의 라인 형태의 제1 뱅크(105)가 배치되어 있다. 제1 뱅크(105)는 도포 영역(119)을 규정하고 있다. 도포 영역(119)은 레드(red) 빛을 발광하는 도포 영역(119R); 그린 빛을 발광하는 도포 영역(119G); 블루 빛을 발광하는 도포 영역(119B)으로 분류되어, 차례로 배치되어 있다. 또, 기판(101)상에는 제1 뱅크(105)보다 낮은 제2 뱅크(107)가 배치되어 있다. 제2 뱅크(107)는 도포 영역(119)내에 배열된 복수의 화소 영역(120)을 규정한다. 본 실시형태에서 도포 영역(119)의 장축 방향의 단부는 뱅크에 의해 규정되지 않는다.

[0211] 도 7의 (a)는 실시형태 1의 유기 EL 디스플레이 패널에 포함되는 유기 EL 소자의 A-A선 단면도이다. 도 7의 (b)는 유기 EL 소자의 B-B선 단면도이다. 도 7의 (b)는 2개의 유기 EL 소자의 단면도를 나타낸다.

[0212] 도 7의 (a) 및 (b)에 표시된 바와 같이, 유기 EL 소자는, 기판(101), 화소 전극(103), 정공 주입층(113), 라인 형태의 전자 차단층(115), 라인 형태의 유기 발광층(117), 제1 뱅크(105), 제2 뱅크(107) 및 대향 전극(111)을 가진다.

[0213] 기판(101)은 박막 트랜지스터(TFT)를 내장한다. 기판(101)에 내장된 TFT에 의해 유기 발광층(117)의 발광 제어 ON/OFF 등이 이루어진다. 기판(101)에 내장된 TFT는, 게이트 전극(131), 게이트 절연층(132), 소스 전극(133), 드레인 전극(134), 반도체층(135), 컨택트홀(136), 및 평탄화막(137)을 가진다. 화소 전극(103)은 컨택트홀(136)에 의해 드레인 전극(134)과 접속되어 있다.

[0214] 화소 전극(103)은 두께 100~200 nm의 APC막 등으로 된 반사 화소 전극인 것이 바람직하다. 또, 대향 전극(111)은 ITO막인 것이 바람직하다.

[0215] 정공 주입층(113)은 전이금속 산화물(예를 들면 텅스텐 옥사이드)로 되어 있다. 정공 주입층(113)은 전이금속 산화물로 되어있는 층을 스퍼터링 등으로 성막하고, 성막된 층을 에칭에 의해 패터닝함으로써 형성되어도 좋다.

[0216] 라인 형태의 전자 차단층(115)은, 도 7의 (b)에 표시되는 바와 같이, 정공 주입층(113) 및 제2 뱅크(107) 상에 배치된다.

[0217] 라인 형태의 유기 발광층(117)은, 도 7의 (b)에 표시되는 바와 같이, 라인 형태의 전자 차단층(115) 상에 배치된다.

[0218] 제1 뱅크(105)는 전자 차단층(115) 및 유기 발광층(117)의 배치 영역(도포 영역)을 규정한다. 또, 제1 뱅크

(105)는 순 테이퍼 형상이다. 제1 뱅크(105)의 테이퍼 각도 Θ는 20~80°인 것이 바람직하고, 특히 30~45°인 것이 바람직하다. 제2 뱅크(107)는, 위에서 설명한 바와 같이 화소 영역(120)을 규정한다. 또, 본 실시형태에서, 제2 뱅크(107)의 정공 주입층(113)의 표면으로부터의 높이(107h)는 -0.1~+0.4㎛이다.

[0219] 또, 제1 뱅크(105)의 상면의 습윤성은 제2 뱅크(107)의 상면의 습윤성보다 낮다. 구체적으로는, 제1 뱅크(105)의 정점에 있어서의 아니솔의 접촉각은 30°~60°이며; 제2 뱅크(107)의 정점에 있어서의 아니솔의 접촉각은 5°~30°이다.

[0220] 이와 같이 실시형태 1의 유기 EL 디스플레이 패널에서는, 제2 뱅크의 정공 주입층의 표면으로부터의 높이가 비교적 낮기 때문에 도포 영역이 평탄하다. 또, 제2 뱅크의 상면의 습윤성이 높다. 이 때문에, 본 실시형태에 의하면, 도포 영역내에 도포법으로 형성되는 유기층(전자 차단층)의 막두께를 균일하게 할 수 있다.

[0221] (실시형태 2)

[0222] 실시형태 1에서는 정공 주입층이 전이금속 산화물로 되어있는 예에 대해 설명했다. 실시형태 2에서는 정공 주입층이 PEDOT-PSS를 포함하는 예에 대해 설명한다.

[0223] 실시형태 2의 유기 EL 디스플레이 패널은, 1) 정공 주입층의 재료가 PEDOT-PSS인 것, 2) 제2 뱅크와 정공 주입층과의 위치 관계가 다른 것 이외는 실시형태 1의 유기 EL 디스플레이 패널과 동일하다. 따라서, 실시형태 1과 동일한 구성 부재에는 동일한 부호를 붙이며 설명을 생략한다.

[0224] 도 6의 (a)는, 대향 전극 및 유기 발광층을 생략한 실시형태 2의 액티브 매트릭스형 유기 EL 디스플레이 패널의 평면도이다. 도 6의 (b)는 도 6의 (a)에 나타낸 유기 EL 디스플레이 패널의 사시도이다.

[0225] 도 8의 (a)는 실시형태 1의 유기 EL 디스플레이 패널에 포함되는 유기 EL 소자의 A-A선 단면도이다. 도 8의 (b)는 유기 EL 소자의 B-B선 단면도이다. 도 8의 (b)는 2개의 유기 EL 소자의 단면도를 나타낸다.

[0226] 도 8의 (a) 및 (b)에 표시되는 바와 같이, 실시형태 2의 유기 EL 소자는, 기판(101), 화소 전극(103), 정공 주입층(113'), 라인 형태의 전자 차단층(115), 라인 형태의 유기 발광층(117), 제1 뱅크(105), 제2 뱅크(107), 전자 주입층(118) 및 대향 전극(111)을 가진다. 위에서 설명한 바와 같이, 실시형태 2는 정공 주입층의 재료가 PEDOT-PSS인 것, 제2 뱅크와 정공 주입층과의 위치 관계가 다른 것 이외는 실시형태 1과 동일하다. 따라서, 이하, 1) 정공 주입층(113')과 2) 제2 뱅크에 대해서 설명한다.

[0227] 1) 정공 주입층(113')

[0228] 정공 주입층(113')은 PEDOT-PSS를 포함한다. 후술하는 바와 같이, 정공 주입층(113')은 PEDOT-PSS를 포함하는 수용액을 제2 뱅크(107)에 의해 규정된 영역내에 도포함으로써 형성된다. 이와 같이, 도포법으로 형성되는 정공 주입층(113')은 화소 영역(120)(유기 EL 소자)마다 독립적으로 배치된다.

[0229] 여기서, PEDOT-PSS를 포함한 정공 주입층(113')은, 라인 형태의 유기층(전자 차단층(115), 유기 발광층(117))과 마찬가지로 도포법으로 형성된다. 따라서, 정공 주입층(113')도 유기층과 마찬가지로 도포 영역에 라인 형태로 형성되는 것도 고려된다. 그러나, 정공 주입층(113')은 화소 영역(120)마다 독립적으로 배치되는 것이 바람직하다. 이하 정공 주입층(113')을 화소 영역(120)마다 독립적으로 배치하는 장점에 대해 도 9를 참조하면서 설명한다.

[0230] 도 9는 유기 EL 디스플레이 패널의 도포 영역의 일부 확대도를 나타낸다. 도 9에 표시되는 바와 같이 각 유기 EL 소자의 화소 전극(103)의 폭은 70㎛이며, 인접하는 화소 전극간의 거리 55㎛이다. 또, 도 9에서는 정공 주입층(113)은 3개의 유기 EL 소자 a, b, c에 걸쳐서 라인 형태로 배치되어 있다.

[0231] 수식 1은 화소 전극간의 저항과 정공 주입층(PEDOT-PSS)의 비저항, 인접하는 화소 전극간의 거리 및 정공 주입층의 단면적 간의 관계를 나타낸다.

[0232] [수식 1] $R=\rho L/A$

[0233] R : 저항 ρ : PEDOT-PSS의 비저항

[0234] L : 화소 전극간의 거리

[0235] A : 정공 주입층(PEDOT-PSS)의 단면적

[0236] 정공 주입층(113)의 막두께를 65 nm라고 가정했을 때, 저항 R은 수식 1에 의해, $1.2\times10^{5}\rho\,\Omega$이 된다. 이러한 조건에서 유기 EL 소자 b에 6 V의 전압을 인가했을 때, 유기 EL 소자 b에 있어서의 전류 밀도는 $10mA/cm^{2}$가 된다. 한편, 유기 EL 소자 b의 인접 소자 a 및 c에 흐르는 전류는$(5\times10^{-2}/\rho)mA$가 된다. 이 때의 유기 EL 소자 a 및 c에 있어서의 전류 밀도는$(3.3\times10^{2}/\rho)mA/cm^{2}$가 된다.

[0237] 전류 밀도와 콘트라스트(contrast)와의 사이에는 비례 관계가 성립한다. 따라서 유기 EL 소자간의 콘트라스트비(比)와 전류 밀도의 비는 동등해진다. 따라서 상기 조건에서 콘트라스트비를 100000 : 1로 하려면, PEDOT-PSS의 비저항(ρ)=$3.3\times10^{26}\Omega$cm로 할 필요가 있다. 따라서, 정공 주입층이 복수의 유기 EL 소자에 걸쳐서 라인 형태로 형성되는 경우, 콘트라스트비를 100000 : 1로 하려면 PEDOT-PSS로 되어있는 정공 주입층의 비저항ρ을 $3.3\times10^{6}\Omega$cm 이상으로 할 필요가 있다. 이 값은 일반적인 PEDOT-PSS로 되어있는 정공 주입층의 비저항 $\rho=10^{2}\sim10^{3}\Omega$cm보다 상당히 높다.

[0238] 일반적으로 PEDOT-PSS로 되어있는 정공 주입층의 비저항은, 폴리스틸렌 설폰산(Polystyrene Sulfonate)(PSS)의 도프량을 늘림으로써 높일 수 있지만, 폴리스틸렌 설폰산의 도프량을 늘리면 유기 EL 소자의 수명(휘도 반감 시간)은 짧아져, 유기 EL 디스플레이 패널의 성능이 떨어질 우려가 있다. 따라서, 상술한 바와 같은 비저항을 가지는 정공 주입층은 유기 EL 디스플레이 패널의 성능을 떨어뜨릴 우려가 있다.

[0239] 한편으로 정공 주입층이 유기 EL 소자 마다 독립적으로 배치된 경우, 콘트라스트비는, 복수의 유기 EL 소자에 걸쳐 배치되는 유기층(전자 차단층, 유기 발광층)의 비저항에 의해 결정되기 때문에, 정공 주입층의 비저항을 올릴 필요가 없어진다. 또, 유기층의 비저항은 일반적으로 높기 때문에, 유기층이 복수의 유기 EL 소자에 걸쳐 형성되었다 해도 콘트라스트비를 낮출 우려가 적다.

[0240] 이상의 점에서, 유기 EL 디스플레이 패널의 화상 특성 향상을 위해서, 정공 주입층을 화소 영역마다 배치하는 것이 바람직하다.

[0241] 2) 제2 뱅크(107)

[0242] 본 실시형태에서는, 제2 뱅크(107)는 도포 영역(119)내의 화소 영역(120)을 규정하고, 도포법으로 형성되는 정공 주입층(113')의 배치 영역을 규정하는 장벽이다. 또, 제2 뱅크(107)의 상면의 습윤성은 제1 뱅크(105)의 상면의 습윤성보다 높다.

[0243] 상술한 바와 같이, 제2 뱅크(107)는 도포법으로 형성되는 정공 주입층(113')의 배치 영역을 규정하기 때문에, 제2 뱅크(107)의 상면은 정공 주입층(113')의 재료액(PEDOT-PSS를 포함한 수용액)에 대해서는 발액성을 띨 것이 요구된다. 수용액은 비교적 표면장력이 높기 때문에, 습윤성이 높은 제2 뱅크로도 규정할 수 있다.

[0244] 한편, 제2 뱅크(107) 상에는, 라인 형태의 유기층(전자 차단층(115))이 도포법에 따라 형성되기 때문에, 제2 뱅크(107)의 상면은 전자 차단층(115)의 재료액(전자 차단층(115)의 재료와 아니솔 등의 유기용매를 포함한 용액)에 대해서는 친액성을 띨 것이 요구된다.

[0245] 구체적으로, 제2 뱅크의 상면의 아니솔의 접촉각은 $5^{\circ}\sim30^{\circ}$이며, 물의 접촉각은 $30\sim90^{\circ}$이다. 제2 뱅크(107)의 습윤성이 이것보다 높은 경우, 정공 주입층(113')의 재료액을 규정할 수 없다. 한편, 제2 뱅크(107)의 습윤성이 이것보다 낮은 경우, 전자 차단층(115)의 재료액이 제2 뱅크(107)에 의해 반발되어 균일한 막두께를 가지는 전자 차단층을 형성하지 못한다.

[0246] 또, 본 실시형태에서, 제2 뱅크(107)의 화소 전극(103)의 표면으로부터의 높이(107h)는 0.1~0.5㎛이다.

[0247] 다음으로 실시형태 2의 유기 EL 디스플레이 패널의 제조 방법에 대해서 도 10을 참조하면서 설명한다.

[0248] 실시형태 2의 유기 EL 디스플레이 패널의 제조 방법은,

[0249] 1) 기판(101)을 준비하는 제1 스텝(도 10의 (a)),

[0250] 2) 기판(101)상에 화소 전극(103)을 배치하는 제2 스텝(도 10의 (b))

[0251] 3) 도포 영역을 규정하는 라인 형태의 제1 뱅크(105)와 화소 영역을 규정하는 제2 뱅크(107)를 형성하는 제3 스텝(도 10의 (c)),

[0252] 4) 제2 뱅크(107)에 의해 규정된 화소 영역에 정공 주입층을 형성하는 제4 스텝(도 10의 (d)),

[0253] 5) 제1 뱅크(105)에 의해 규정된 라인 형태의 도포 영역에 라인 형태의 전자 차단층을 형성하는 제5 스텝(도 10의 (e)),

[0254] 6) 도포 영역내의 전자 차단층상에 라인 형태의 유기 발광층을 형성하는 제6 스텝(도 10의 (f)),

[0255] 7) 유기 발광층상에 대향 전극을 형성하는 제7 스텝(도 10의 (g))을 가진다.

[0256] 이하 각각의 스텝에 대해 설명한다.

[0257] 제1 스텝에서는 기판(101)을 준비한다.

[0258] 제2 스텝에서는 기판(101)상에 화소 전극(103)을 배치한다.

[0259] 제3 스텝에서는 도포 영역(119)을 규정하는 라인 형태의 제1 뱅크(105)와 화소 영역(120)을 규정하는 제2 뱅크(107)를 형성한다.

[0260] 제4 스텝에서는 제2 뱅크(107)에 의해 규정된 화소 영역(120)에 정공 주입층(113')을 형성한다. 정공 주입층(113')은, 제2 뱅크(107)에 의해 규정된 화소 영역(120)내의 화소 전극(103) 상에 잉크젯법등에 의해 도포한 정공 주입층(113')의 재료액(PEDOT-PSS 및 물을 포함한 잉크)을 건조시킴으로써 형성된다.

[0261] 제5 스텝에서는 제1 뱅크(105)에 의해 규정된 라인 형태의 도포 영역(119)에 라인 형태의 전자 차단층(115)을 형성한다. 전자 차단층(115)은, 제1 뱅크(105)에 의해 규정된 라인 형태의 도포 영역(119)내에 잉크젯법 등으로 도포된 전자 차단층(115)의 재료액을 건조시킴으로써 형성된다. 상술한 바와 같이 제2 뱅크(107)는 유기용매에 대해서는 친액성을 나타내므로, 전자 차단층(115)의 재료액은 제2 뱅크(107)에 반발되는 일 없이 도포 영역(119)내에 도포될 수 있다.

[0262] 제6 스텝에서는 도포 영역(119)내의 전자 차단층(115) 상에 라인 형태의 유기 발광층(117)을 형성한다. 유기 발광층(117)은, 도포 영역(119)내의 전자 차단층(115)상에 잉크젯법등으로 도포된 유기 발광층의 재료액을 건조시킴으로써 형성된다.

[0263] 제7 스텝에서는 유기 발광층(117) 상에 대향 전극(111)을 형성한다. 또, 대향 전극(117)의 형성 전에, 유기 발광층(117) 상에 전자 주입층(118)을 증착법이나 스퍼터링법 등을 이용하여 형성해도 좋다.

[0264] 이상과 같이, 본 실시형태에 의하면, 제2 뱅크의 습윤성이 적절하게 조절되어 있기 때문에, PEDOT-PSS를 포함한 정공 주입층을 화소 영역 마다 독립적으로 형성하고, 그 위에 형성하는 전자 차단층 및 유기 발광층을 라인 형태로 형성할 수 있다. 이것에 의해 화소간 크로스토크가 없고 콘트라스트비가 높고, 수명이 긴 유기 EL 디스플레이 패널을 얻을 수 있다.

[0265] (실시형태 3)

[0266] 실시형태 1 및 2에서는 도포 영역의 장축방향의 단부가 규정되어 있지 않은 예에 대해 설명했다. 본 실시형태에서는 도포 영역의 장축방향의 단부도 제1 뱅크에 의해 규정되어 있는 예에 대해 설명한다. 또, 실시형태 1 및 실시형태 2에서는 화소 영역과 제1 뱅크의 사이에 제2 뱅크가 배치되는 형태에 대해 설명했지만(도 6 참조), 실시형태 3에서는 화소 영역과 제1 뱅크 사이에 제2 뱅크가 배치되지 않는 형태에 대해서 설명한다.

[0267] 본 실시형태의 유기 EL 디스플레이 패널은, 도포 영역의 단부를 규정하는 제1 뱅크(105')를 가지며, 화소 영역(120)과 제1 뱅크(105) 사이에 제2 뱅크(107)를 갖지 않는 것 외에는, 실시형태 1의 유기 EL 디스플레이 패널과 동일하다. 따라서, 실시형태 1의 유기 EL 디스플레이 패널과 동일한 구성 요건에 대해서는 동일한 부호를 붙이며 설명은 생략한다.

[0268] 도 11의 (a)는 본 실시형태의 액티브 매트릭스형 유기 EL 디스플레이 패널에서 대향 전극 및 유기층을 제외한 평면도이다. 도 11의 (a)에 표시되는 바와 같이, 제1 뱅크(105, 105')는 2 이상의 라인 형태의 도포 영역(119)을 규정하고 있다. 도 11의 (a)에 표시된 바와 같이, 본 실시형태에서 도포 영역(119)의 장축방향의 단부는 제1 뱅크(105')에 의해 규정된다. 제1 뱅크(105')의 높이는 제1 뱅크(105)의 높이와 동일해도 좋다. 또, 실시형태 1 및 실시형태 2(도 6 참조)와 달리, 화소 영역(120)과 제1 뱅크(105) 사이에 제2 뱅크(107)는 배치되지 않고, 제2 뱅크는 화소 영역(120) 사이에만 배치된다.

[0269] 도 11의 (b)는, 도 11의 (a)에 표시된 본 실시형태의 유기 EL 디스플레이 패널에 포함되는 유기 EL 소자의 A-

A선 단면도이다. 도 11의 (b)에 표시된 바와 같이, 유기 EL 소자의 A-A선 단면도에서는, 제2 뱅크가 없고 화소 영역(120)은 제1 뱅크(105)의 가장자리까지 뻗어있다.

[0270] 제1 뱅크(105')에 의해 유기 발광층의 재료층이 도포되는 도포 영역(119)이 완전하게 규정된다. 이에 의해, 하나의 도포 영역에 도포된 유기 발광층의 재료액이 인접하는 다른 도포 영역으로 침입하는 것이 방지된다. 예를 들면 도포 영역(119G)에 도포되어야 할 유기 발광층의 재료액이, 인접하는 도포 영역(119B)에 침입하는 것이 방지된다. 이에 의해, 보다 품질이 높은 유기 EL 디스플레이 패널을 제공할 수 있다.

[0271] 또, 제1 뱅크와 화소 영역 사이에 제2 뱅크를 배치하지 않음으로써, 화소 영역을 넓게 할 수 있어 개구율을 향상시킬 수 있다. 이에 의해, 개구율이 높은 유기 EL 디스플레이 패널을 제공할 수 있다.

[0272] [실시예]

[0273] 이하, 실시예를 참조해 본 발명의 유기 EL유기 EL 디스플레이에 대해 설명한다. 또, 이하의 실시예는 본 발명의 범위를 한정하는 것은 아니다.

[0274] 본 발명의 유기 EL 디스플레이 패널에서는, 유기층의 막두께가 균일한 것을 나타내기 위해 이하의 실험을 실시했다.

[0275] φ6 인치의 유리 기판상에 두께 100~200 nm의 APC막을 스퍼터링에 의해 성막하고, 레지스트를 마스크로 에칭함으로써 반사 화소 전극을 패터닝했다.

[0276] 그 후, 반사 화소 전극이 패터닝된 유리 기판상에 감광성 불소 화합물을 포함하는 아크릴계 수지의 도포막(두께 : 1.0㎛)을 형성했다. 다음에, 도포막을 하프톤 마스크를 경유하여 노광하고, 제1 뱅크(높이 1.0㎛) 및 제2 뱅크(높이 0.1~0.3㎛)를 패터닝하고, 베이크 처리(220℃, 1시간)를 행하여, 제1 뱅크 및 제2 뱅크를 형성했다.

[0277] 제2 뱅크에 의해 규정된 화소 영역에 있어서의 반사 화소 전극상에 PEDOT-PSS를 포함하는 잉크를 잉크젯법으로 적하하고 건조시킴으로써, 정공 주입층(두께 50~100 nm)을 형성했다.

[0278] 폴리아닐린 유도체 및 아니솔을 포함한 전자 차단층의 재료액을 제1 뱅크에 의해 규정된 도포 영역에 잉크젯법으로 적하하고 건조·소성(燒成)함으로써, 전자 차단층(두께 20~50 nm)을 형성했다. 그리고 마지막으로, 전자 차단층 상에 폴리플루오렌 유도체 및 아니솔을 포함한 유기 발광층의 재료액을 잉크젯법으로 적하하고 건조·소성함으로써, 유기 발광층(두께 50~150 nm)을 형성하여, 본 발명의 유기 EL 디스플레이 패널의 모델을 제작했다.

[0279] 전자 주입층 및 대향 전극은 본 실시예에서는 제작하지 않았다. 즉 본 실시예의 유기 EL 디스플레이 패널에 있어서의 유기 EL 소자의 단면도는 도 12에 나타낸 것처럼 된다.

[0280] 이와 같이 형성한 유기 EL 디스플레이 패널의 모델에 있어서 하나 유기 EL 소자의 유기 발광층의 막두께 분포를 도포 영역의 길이 방향을 따라(도 6의 (a)에 있어서의 화살표 X방향) 측정했다. 막두께 분포의 측정에는 KLA-Tencor사제 P-15촉침식 단차계를 이용했다.

[0281] 도 13의 그래프는 실시예의 막두께 분포 측정의 결과를 나타낸다. 도 13의 그래프의 세로축은 유기 발광층의 두께를 나타낸다. 도 13의 그래프의 가로축은 측정 위치를 나타낸다. 또 도 13의 그래프 내에 있어서의 A는 화소 영역의 X방향의 길이를 나타낸다. 본 실시예에서 화소 영역내에 있어서의 유기 발광층의 막두께는 ±3%의 편차를 보였다.

[0282] (비교예)

[0283] 비교예에서는, 제2 뱅크의 높이를 제1 뱅크의 높이(1.0㎛)와 동일하게 한 것 외에는, 실시예와 동일한 방법으로 유기 EL 디스플레이 패널의 모델을 형성했다. 즉 비교예에서는 동일한 높이의 뱅크가 화소 영역의 사방을 에워싼다. 또, 실시예에서는 정공 주입층이 유기 EL 소자 마다 독립적으로 배치되고, 전자 차단층 및 유기 발광층은 라인 형태로 형성됨에 비해, 비교예에서는 정공 주입층, 전자 차단층 및 유기 발광층의 전부가 유기 EL 소자 마다 배치된다.

[0284] 비교예의 유기 EL 디스플레이 모델은, 도 14에 나타내는 바와 같이 화소 영역을 규정하는 뱅크(17)만을 가진다. 또, 도 14의 A-A'선 단면도에 있어서의 유기 EL 소자는 도 15와 같은 구조를 나타낸다.

[0285] 이와 같이 형성된 유기 EL 디스플레이 패널의 모델에 있어서의 유기 EL 소자의 유기 발광층의 막두께 분포를 화소 영역의 길이 방향을 따라(도 14의 화살표 X방향) 측정했다. 막두께 분포의 측정에 이용한 측정 장치 및 그 측정 조건은 실시예와 동일하다.

[0286] 도 16은 막두께 분포 측정의 결과를 나타낸다. 비교예에서 화소 영역내에 있어서의 유기 발광층의 막두께는 ±31%의 편차를 보였다.

[0287] 이상의 결과는, 전자 차단층 및 유기 발광층을 라인 형태로 형성함으로써, 유기 발광층의 막두께 균일성이 대폭으로 개선됨을 시사한다. 이에 의해 휘도 불균일이 적고 화상 특성이 우수한 유기 EL 디스플레이 패널을 제공할 수 있다.

[0288] 본 출원은 2008년 6월 6일 출원된 일본 특허출원 2008-149388호에 기초하는 우선권을 주장한다. 해당 출원 명세서에 기재된 내용은, 모두 본원 명세서에 원용된다.

산업상 이용 가능성

[0289] 본 발명의 유기 EL 디스플레이 패널 및 그 제조 방법에 의하면, 화상 특성이 뛰어난 유기 EL 디스플레이 패널을 제공할 수가 있다.

도면의 간단한 설명

[0051] 도 1은 종래의 유기 EL 디스플레이 패널의 평면도 및 단면도.

[0052] 도 2는 본 발명의 유기 EL 디스플레이 패널에 있어서의 유기 EL 소자의 단면도.

[0053] 도 3은 본 발명의 유기 EL 디스플레이 패널의 제조 방법을 나타내는 도면.

[0054] 도 4는 제1 뱅크 및 제2 뱅크의 제작 방법의 일례를 나타내는 도면.

[0055] 도 5는 제1 뱅크 및 제2 뱅크의 제작 방법의 일례를 나타내는 도면.

[0056] 도 6은 본 발명의 유기 EL 디스플레이 패널을 나타내는 도면.

[0057] 도 7은 실시형태 1의 유기 EL 디스플레이 패널에 포함되는 유기 EL 소자의 단면도.

[0058] 도 8은 실시형태 2의 유기 EL 디스플레이 패널에 포함되는 유기 EL 소자의 단면도.

[0059] 도 9는 PEDOT-PSS를 포함한 정공 주입층이 라인 형태로 형성된 유기 EL 디스플레이 패널의 평면도의 일부 확대도면.

[0060] 도 10은 실시형태 2의 유기 EL 디스플레이 패널의 제조 방법을 나타내는 도면 .

[0061] 도 11은 실시형태 3의 유기 EL 디스플레이 패널의 평면도.

[0062] 도 12는 실시예로 제작한 본 발명의 유기 EL 디스플레이 패널의 모델을 나타내는 도면.

[0063] 도 13은 실시예의 유기 EL 디스플레이 패널에 있어서의 유기 발광층의 막두께의 격차를 나타내는 그래프.

[0064] 도 14는 비교예의 유기 EL 디스플레이 패널의 모델의 평면도.

[0065] 도 15는 비교예의 유기 EL 디스플레이 패널의 모델의 단면도.

[0066] 도 16은 비교예의 유기 EL 디스플레이 패널에 있어서의 유기 발광층의 막두께의 격차를 나타내는 그래프.

[0067] [부호의 설명]

[0068] 1 유리 기판

[0069] 2 제1 전극층

[0070] 3 제2 뱅크

[0071] 4 제1 뱅크

[0072] 5 정공 주입층

[0073] 6 유기 발광층

[0074] 30 화소 영역

[0075] 40 라인 형태 영역

[0076] 17 뱅크

[0077] 101 기판

[0078] 103 화소 전극

[0079] 104 감광성 수지막 A

[0080] 105, 105' 제1 뱅크

[0081] 106 감광성 수지막 B

[0082] 107 제 2 뱅크

[0083] 109 유기층

[0084] 111 대향 전극

[0085] 113, 113' 정공 주입층

[0086] 110 하프톤 마스크

[0087] 115 전자 차단층

[0088] 117 유기 발광층

[0089] 118 전자 주입층

[0090] 119 도포 영역

[0091] 120 화소 영역

[0092] 131 게이트 전극

[0093] 132 게이트 절연막

[0094] 133 소스 전극

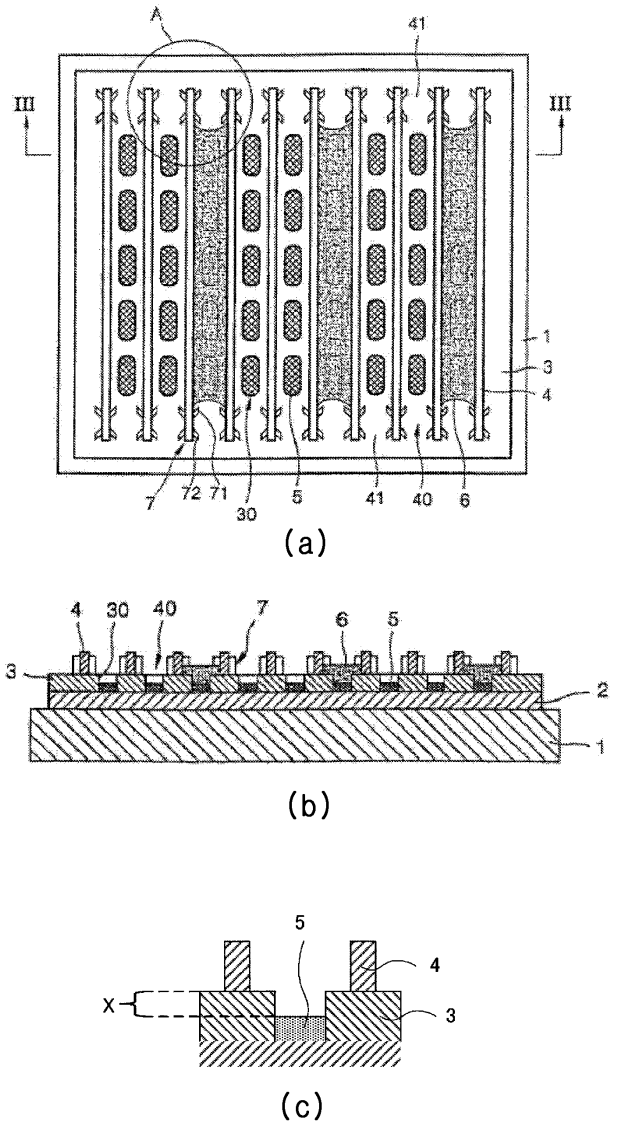
[0095] 134 드레인 전극

[0096] 135 반도체층

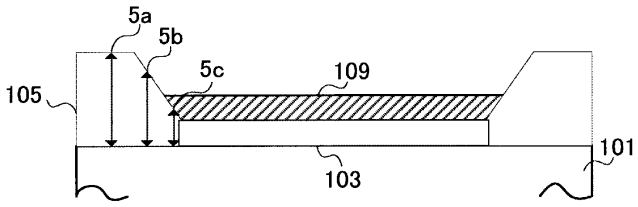
[0097] 136 컨택트홀

도면

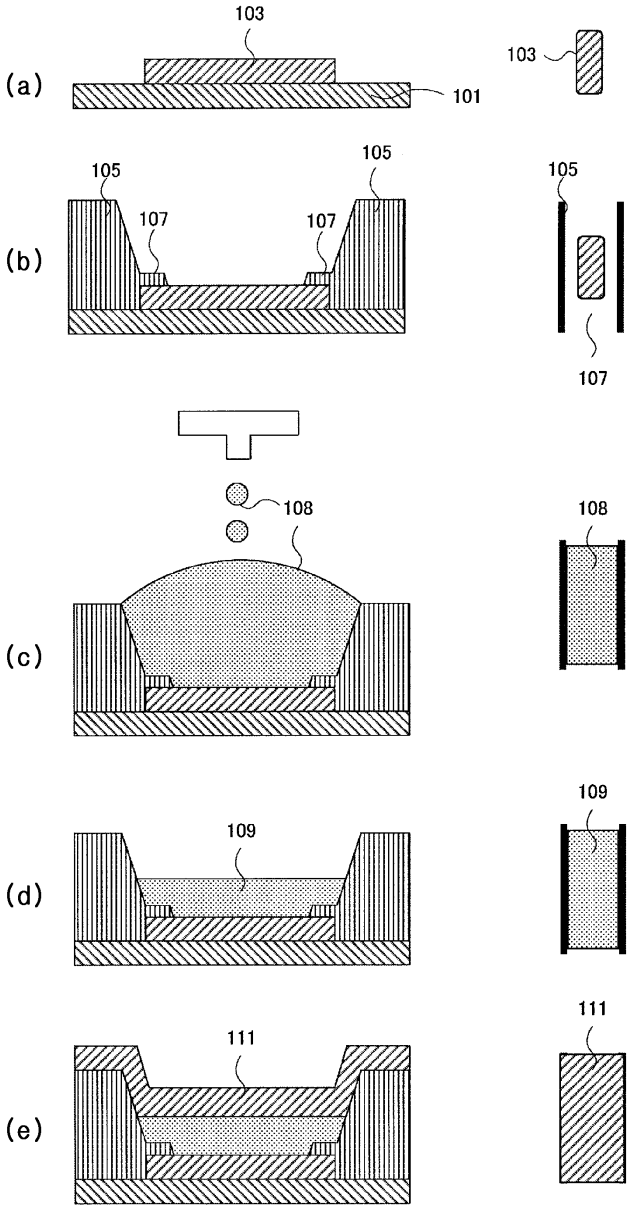
도면1


A
41
III
III
1
3
4
7
72
71
30
5
41
40
6
(a)
4
30
40
7
6
5
3
2
1
(b)
5
4
X
3
(c)

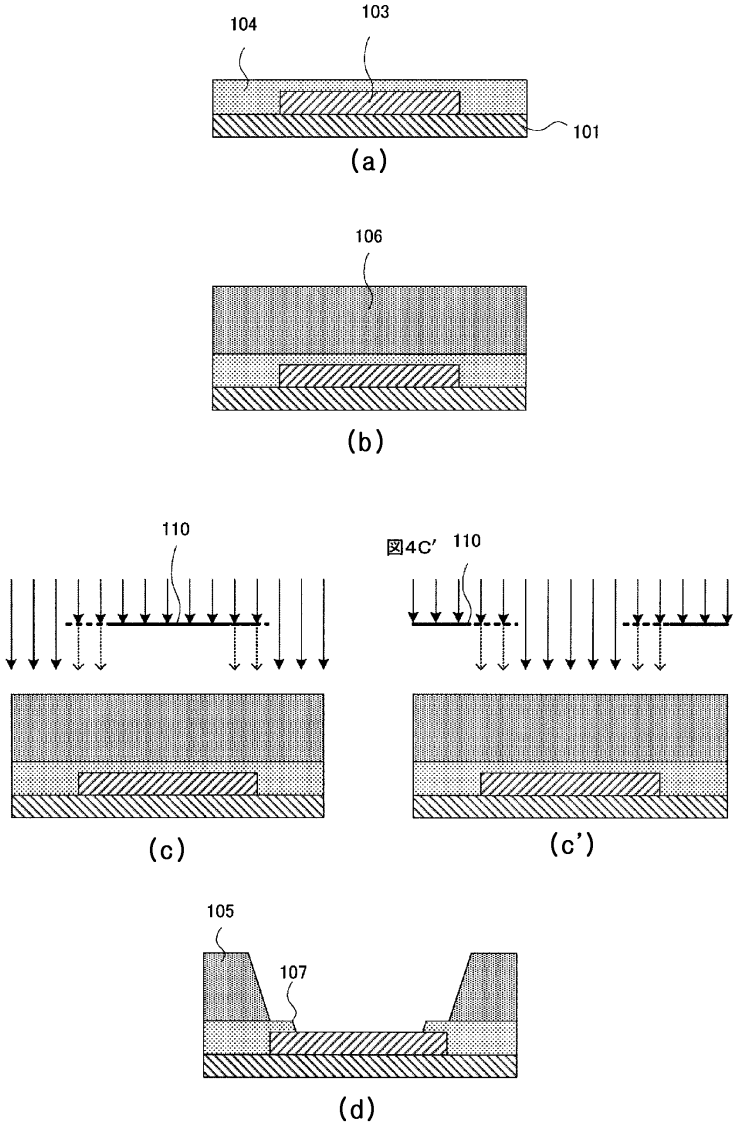
도면2


5a
5b
5c
109
105
101
103

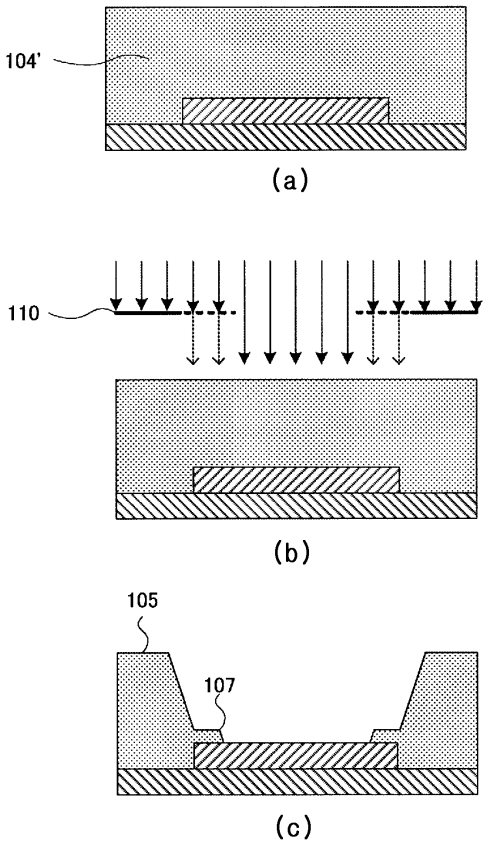
도면3


(a)
103
101
103
(b)
105
105
107
107
105
107
(c)
108
108
(d)
109
109
(e)
111
111

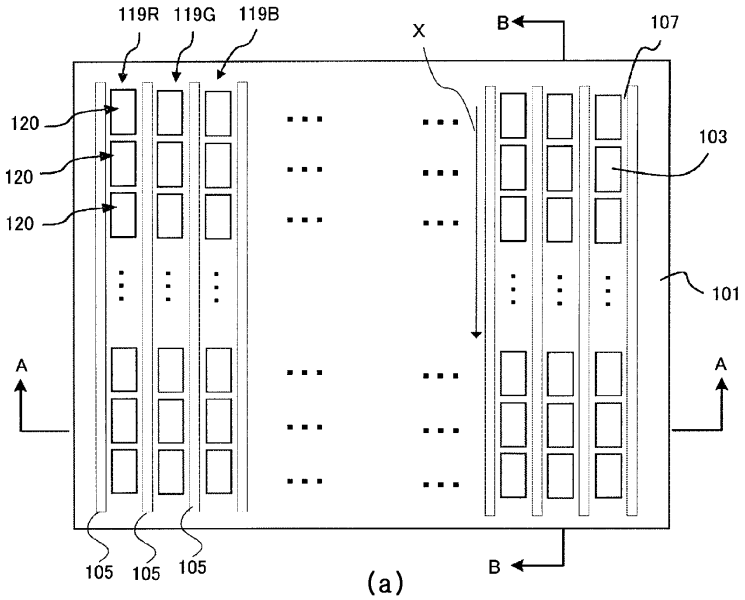
도면4



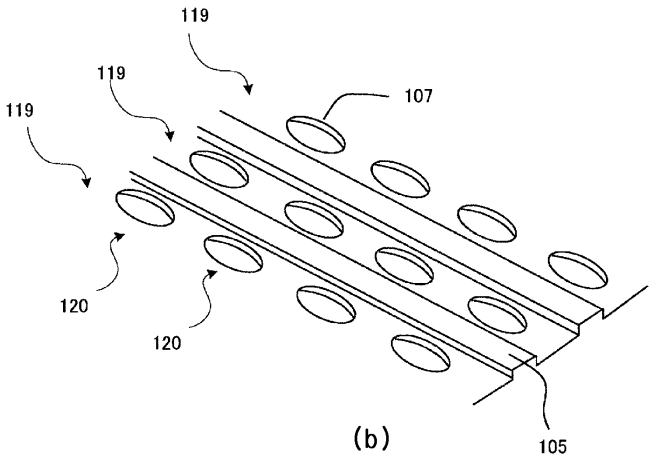
도면5



도면6

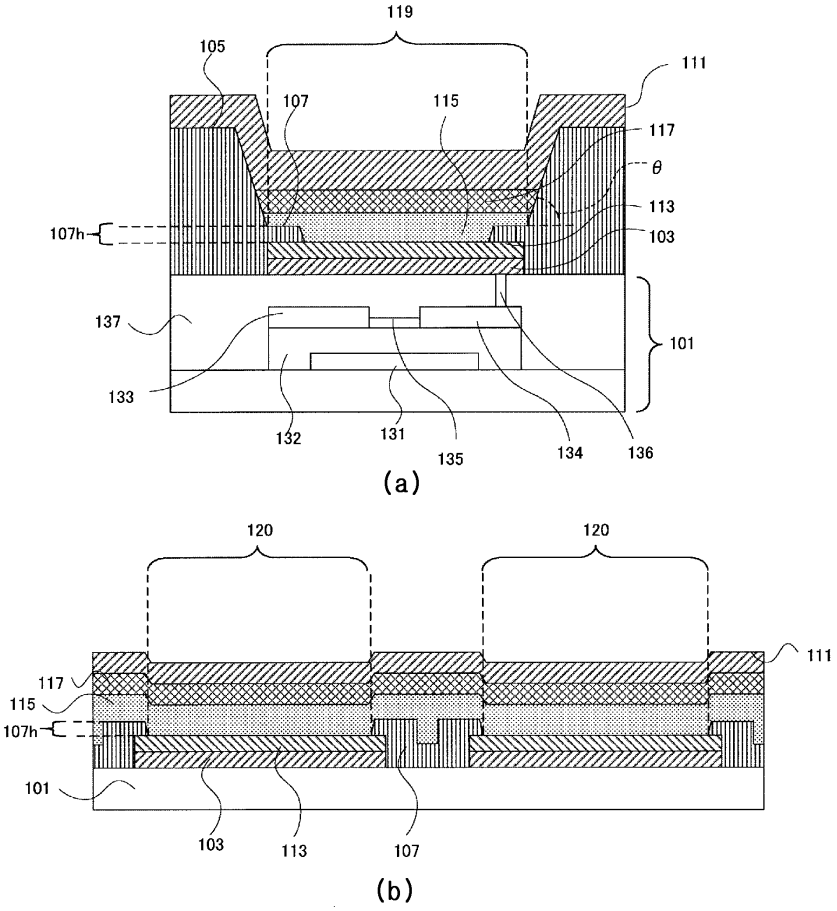

119R
119G
119B
X
B
107
120
120
120
103
101
A
A
105
105
105
B

(a)

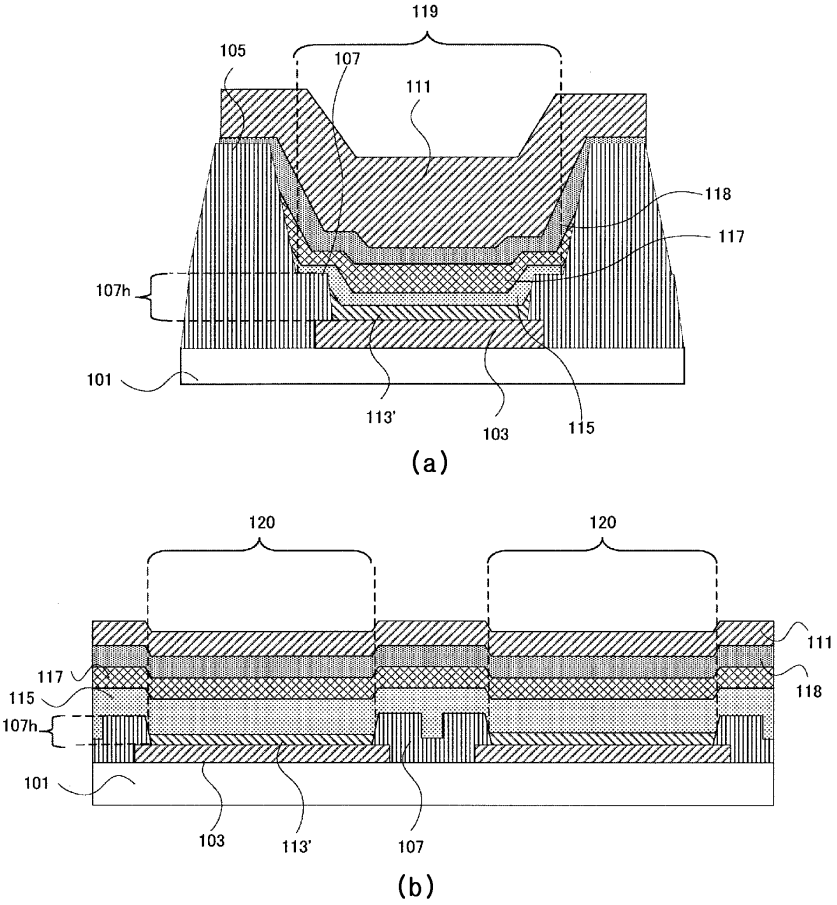

119
119
119
107
120
120
105

(b)

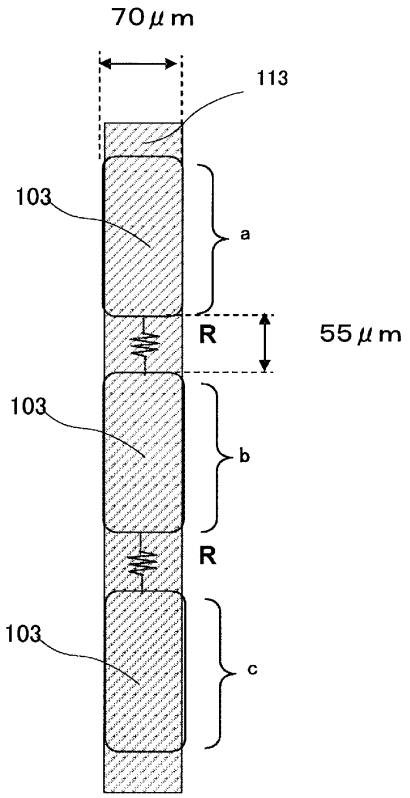
도면7


119
105
107
115
111
117
θ
113
103
107h
137
101
133
132
131
135
134
136
(a)
120
120
111
117
115
107h
101
103
113
107
(b)

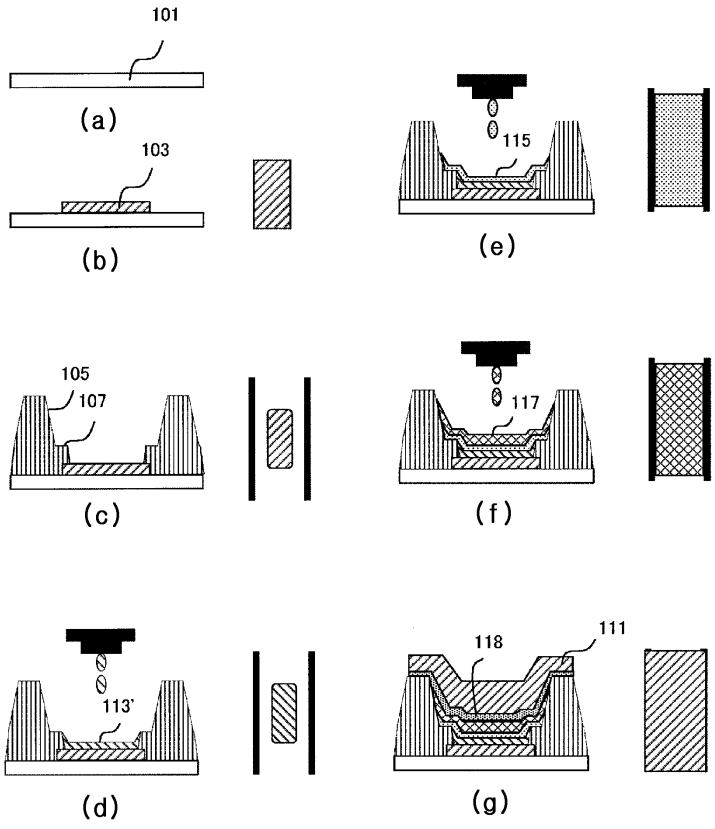
도면8


119
105
107
111
118
117
107h
101
113'
103
115
(a)
120
120
111
117
118
115
107h
101
103
113'
107
(b)

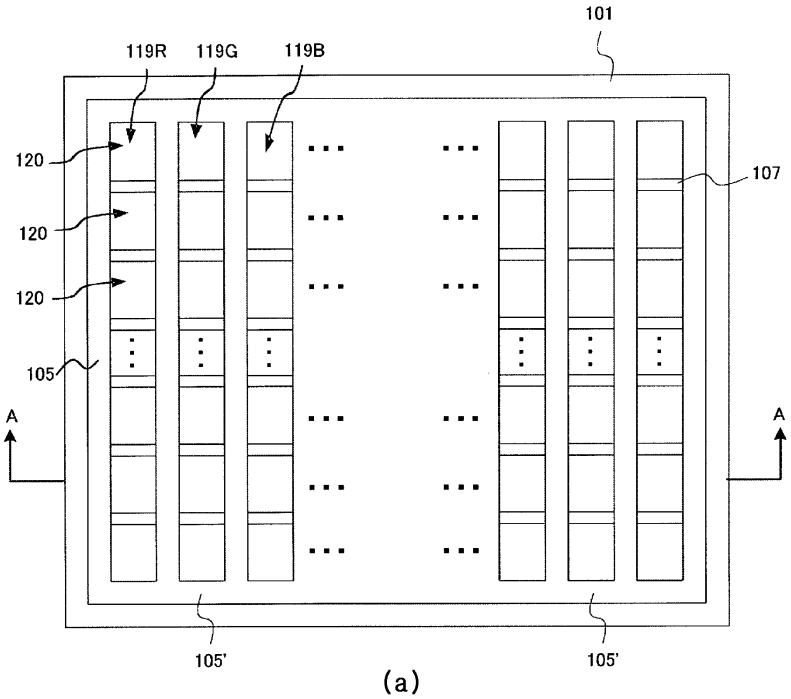
도면9


70μm
113
103
a
R
55μm
103
b
R
103
c

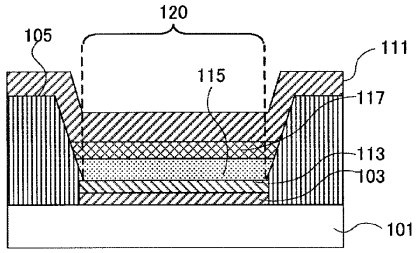
도면10


101
(a)
103
(b)
105
107
(c)
113'
(d)
115
(e)
117
(f)
118
111
(g)

도면11

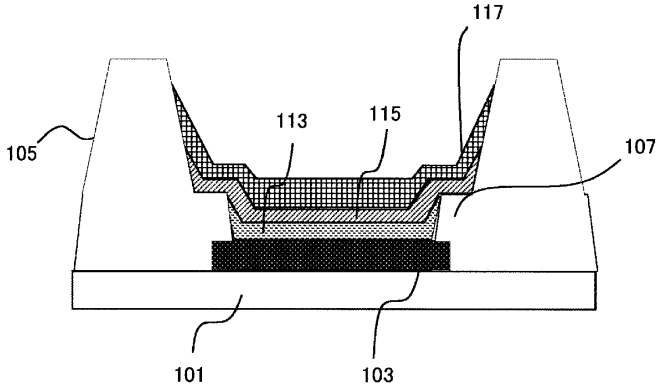

101
119R
119G
119B
120
120
120
105
107
A
A
105'
105'

(a)

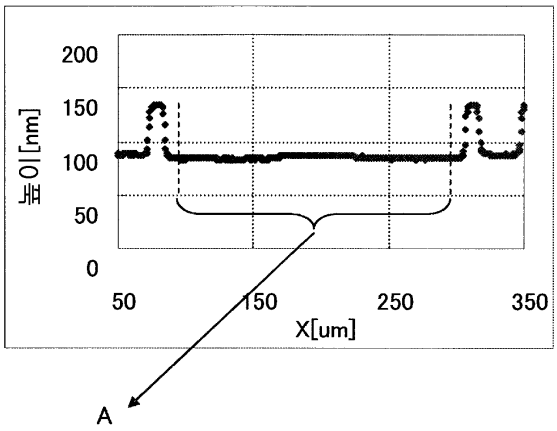

120
105
111
115
117
113
103
101

(b)

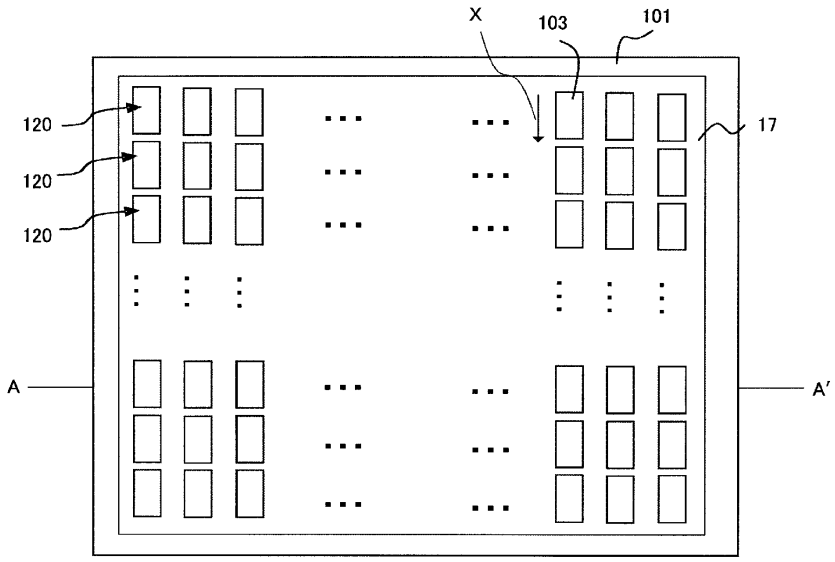
도면12


117
105
113
115
107
101
103

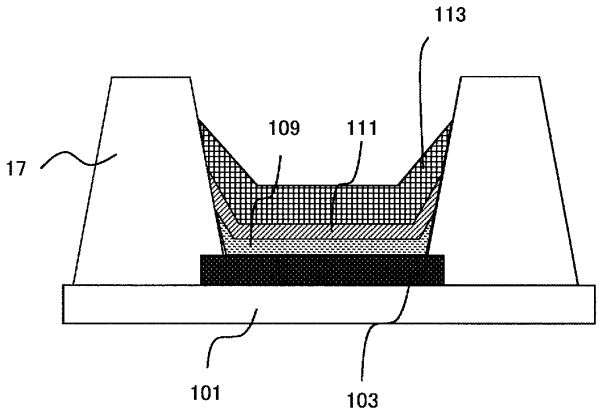
도면13



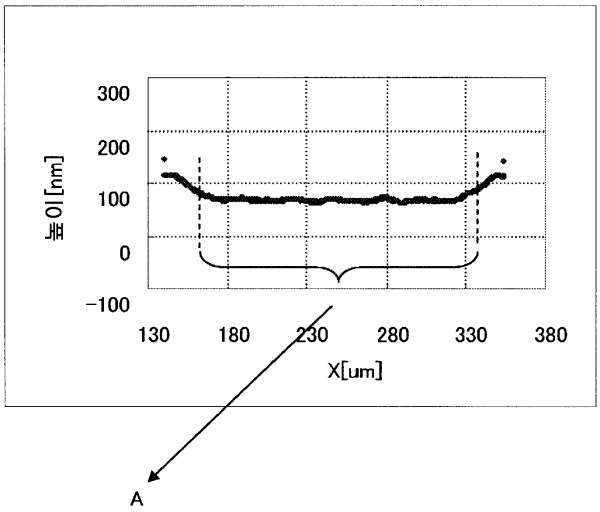
도면14



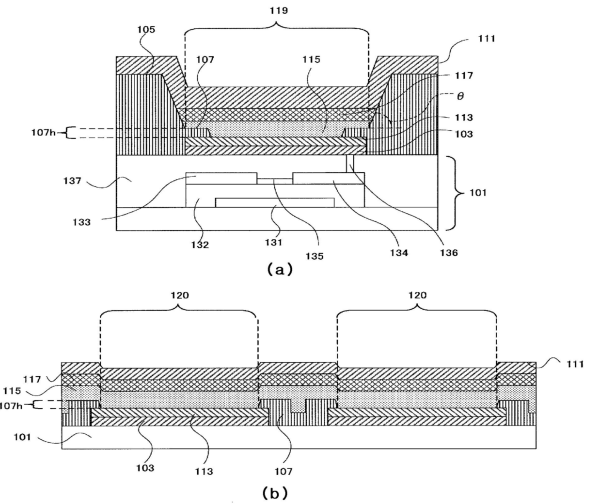
도면15



도면16



专利名称(译)	有机EL显示面板及其制造方法		
公开(公告)号	KR100984574B1	公开(公告)日	2010-09-30
申请号	KR1020097026813	申请日	2009-06-02
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	NAKATANI SHUHEI 나카타니슈헤이 YOSHIDA HIDEHIRO 요시다히데히로 TAKAGI KIYOHIKO 타카기키요히코		
发明人	나카타니,슈헤이 요시다,히데히로 타카기,키요히코		
IPC分类号	H01L51/56 H01L51/50 H01L		
CPC分类号	H01L27/3283 H01L27/3246 H01L51/0005		
优先权	2008149388 2008-06-06 JP		
其他公开文献	KR1020100027150A		
外部链接	Espacenet		

摘要(译)

公开了一种有机EL显示面板，包括：基板;线性第一隔堤，设置在基板上并限定线性区域;第二隔堤，其限定布置在线性区域中的两个或更多个像素区域;像素电极设置在像素区域中;线性有机层，通过涂覆方法在像素电极和第二堤上方的线性区域中形成;有机层上的对电极，其中第一排的高度大于第二排，第一排和第二排由树脂制成，第一排顶部的苯甲醚接触角为30-60°，苯甲醚第二排顶部的接触角为5-30°。