



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

H05B 33/00 (2006.01)

H05B 33/12 (2006.01)

H05B 33/26 (2006.01)

(45) 공고일자

2007년02월27일

(11) 등록번호

10-0687145

(24) 등록일자

2007년02월20일

(21) 출원번호 10-2004-0076228

(65) 공개번호

10-2005-0031395

(22) 출원일자 2004년09월23일

(43) 공개일자

2005년04월06일

심사청구일자 2004년09월23일

(30) 우선권주장 JP-P-2003-00337924 2003년09월29일 일본(JP)

(73) 특허권자 산요덴키가부시키키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 마쓰모토쇼이찌로
일본 기후켄 오가끼 미도리쵸 4-5 레일시티 507

(74) 대리인 장수길
이중희
구영창

(56) 선행기술조사문헌
JP2001109405 A
KR1020020025809 A
14358031

JP2002358031 A

KR1020030086166 A

* 심사관에 의하여 인용된 문헌

심사관 : 나광표

전체 청구항 수 : 총 2 항

(54) 유기 E L 패널

(57) 요약

유기 EL 패널의 개구율을 상승한다. RGBW의 4색의 화소를 스트라이프형으로 배치한다. 데이터 라인 DL을 하나 거른 간격의 화소 사이에 2개씩 배치함과 함께, 데이터 라인 DL은 배치되어 있지 않은 화소 사이에 전원 라인 PL을 1개씩 배치한다. 1개의 전원 라인 PL을 공용하는 화소열은, 전류 효율이 가장 좋은 색의 화소열과, 전류 효율이 가장 나쁜 색의 화소열로 하고, 다른 1개의 전원 라인 PL을 공용하는 화소열은 전류 효율이 중간인 2개의 화소열로 한다.

대표도

도 1

특허청구의 범위

청구항 1.

특정색으로 발광하는 유기 EL 소자를 포함하는 화소를 적어도 3 종류 갖고, 동일 색의 화소가 열 방향으로 나열되도록 매트릭스 형상으로 배열한 스트라이프형의 유기 EL 패널로서,

특정한 2 종류의 색의 화소열의 사이에 1개의 전원 라인을 배치하고, 그 전원 라인에 의해 2열의 화소의 유기 EL 소자에 대하여 전원 공급을 행하며,

또한, 상기 특정한 2색은, 각 색의 유기 EL 소자의 발광에서의 전류 효율에 기초하여, 대응하는 전원 라인의 최대 전류량이 다른 전원 라인의 최대 전류량에 근사하도록 선택되는 것을 특징으로 하는 유기 EL 패널.

청구항 2.

제1항에 있어서,

상기 화소의 색은 R(적), C(녹), B(청), W(백)의 4 종류이고,

상기 전원 라인 중 하나는, 유기 EL 소자의 발광에서의 전류 효율이 최대인 색의 화소의 열과, 최소인 색의 화소의 열에서 공용되며,

상기 전원 라인 중 다른 하나는, 다른 색의 화소의 열에서 공용되는 것을 특징으로 하는 유기 EL 패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 특정색으로 발광하는 유기 EL 소자를 포함하는 화소를 적어도 3 종류 갖고, 동일 색의 화소가 열 방향으로 나열되도록 매트릭스 형상으로 배열한 스트라이프형의 유기 EL 패널에 관한 것이다.

종래부터, 액정 디스플레이를 대체하는 차세대의 평면형 디스플레이의 하나로서 유기 일렉트로 루미네스(이하, EL이라 함) 디스플레이가 주목받고 있다. 이러한 디스플레이 패널(이하, 유기 EL 패널이라 함)에서는, 각 화소에 이용되는 유기 발광층의 발광 재료를 변경함으로써, 각 화소의 발광색을 결정할 수 있다. 그래서, 각 화소의 발광색을 다르게 하여, RGB 표시를 행할 수 있다.

이러한 유기 EL 패널에서, 밝은 표시를 행하기 위해서는, 각 유기 EL 소자에 공급하는 전류량을 많게 하면 된다. 그러나, 전류량을 많게 하면, 그만큼 유기 EL 소자의 수명이 짧아진다고 하는 문제가 있다. 그래서, 각 화소 내에서의 발광 영역의 면적(개구율)을 가능한 한 크게 하고자 하는 요구가 있다. 개구율을 높게 함으로써, 유기 EL 소자에 흐르는 전류를 비교적 작게 억제하면서, 밝은 표시가 행하여진다.

[특허 문헌 1] 일본특허공개 2001-290441호 공보

발명이 이루고자 하는 기술적 과제

여기서, 개구율을 올린다고 하는 것은, 각 화소에서의 유기 EL 소자의 발광 영역이 차지하는 비율을 올리는 것이다. 액티브 타입의 유기 EL 패널에서는, 각 화소에 유기 EL 소자를 구동하기 위해서 최저 2개의 TFT가 설치되어 있고, 열 방향에, 각 화소에 휘도 데이터를 공급하는 데이터 라인 및 각 화소의 유기 EL 소자의 구동 전류를 공급하는 전원 라인 2개가 배치되며, 또한 행 방향에, 화소를 선택하기 위한 선택 라인(게이트 라인)이 배치된다. 따라서, 이들 배선의 부분을 발광 영역으로 하는 것은 가능하지 않다. 또, 각 화소에는, 선택 라인에 의해 온 오프되어, 데이터 라인의 전압을 보유 용량에 공급하는 선택 TFT와, 보유 용량에 보유된 전압에 따른 구동 전류를 전원 라인으로부터 유기 EL 소자에 공급하는 구동 TFT가 설치되어 있고, TFT를 배치한 부분은 발광 영역으로 사용하지 않는다. 그래서, 개구율이 낮게 된다고 하는 문제가 있다.

발명의 구성

본 발명은, 특정색으로 발광하는 유기 EL 소자를 포함하는 화소를 적어도 3 종류 갖고, 동일 색의 화소가 열 방향으로 나열되도록 매트릭스 형상으로 배열한 스트라이프형의 유기 EL 패널로서, 특정한 2 종류의 색의 화소열의 사이에 1개의 전원 라인을 배치하고, 그 전원 라인에 의해 2열의 화소의 유기 EL 소자에 대하여 전원 공급을 행하며, 또한, 상기 특정한 2 색은, 각 색의 유기 EL 소자의 발광에서의 전류 효율에 기초하여, 대응하는 전원 라인의 최대 전류량이 다른 전원 라인의 최대 전류량에 근사하도록 선택되는 것을 특징으로 한다.

또한, 상기 화소의 색은 R(적), C(녹), B(청), W(백)의 4 종류이고, 상기 전원 라인 중 하나는, 유기 EL 소자의 발광에서의 전류 효율이 최대인 색의 화소의 열과, 최소인 색의 화소의 열에서 공용되며, 상기 전원 라인 중 다른 하나는, 다른 색의 화소의 열에서 공용되는 것이 바람직하다.

<실시예>

이하, 본 발명의 실시예에 대하여, 도면에 기초하여 설명한다.

도 1에는, 실시예의 구성이 모식적으로 도시하고 있다. 데이터 라인 DL은, 화소 1열에 대응하여 1개 설치되지만, 하나 거른 간격의 화소열 사이에 2개씩 배치되어 있다. 또, 전원 라인 PL은, 데이터 라인 DL이 설치되어 있지 않은 화소열 사이에 설치된다. 또, 게이트 라인 CL은 각 화소행 사이에 설치되어 있다.

각 화소에는, 선택 TFT(1), 구동 TFT(2), 보유 용량(3), 및 유기 EL 소자(4)가 설치되어 있다. 선택 TFT(1)는, 본 예에서는 p 채널 TFT로서, 소스가 데이터 라인 DL에 접속되고, 드레인이 구동 TFT(2)의 게이트에 접속되며, 게이트가 게이트 라인 GL에 접속되어 있다. 구동 TFT(2)는, 본 예에서는 p 채널 TFT로서, 소스가 전원 라인 PL에 접속되고, 드레인이 유기 EL 소자(4)의 애노드에 접속되어 있다. 유기 EL 소자(4)의 캐소드는 접지에 접속되어 있다. 또한, 구동 TFT(2)의 게이트에는 보유 용량(3)의 일단이 접속되고, 보유 용량(3)의 타단은 보유 용량 라인 SL에 접속되어 있다.

따라서, 게이트 라인 CL을 저레벨(L)로 함으로써, 그 행의 선택 TFT(1)가 온 상태로 된다. 이러한 상태에서, 각 열의 데이터 라인 DL에 순차적으로 해당 열의 화소 데이터를 공급함으로써, 구동 TFT(2)의 게이트가 화소 데이터의 전압에 설정되어, 이 전압이 보유 용량(3)에 보유된다. 그래서, 화소 데이터에 따른 전류가 전원 라인 PL로부터 구동 TFT(2)를 통하여, 유기 EL 소자(4)에 공급되어, 화소 데이터에 따른 발광이 행하여진다.

여기서, 본 실시예에서는, 각 화소는 R(적), G(녹), B(청), W(백)의 4색으로 각각 발광하고, 각 열은 동일 색으로 발광하는 스트라이프 타입으로 되어 있다. 본 예에서는, R, B, G, W의 화소가 행 방향으로 나열되어 있다. 특히, R과 B의 화소는 그 크기(폭)는 거의 동일하지만, G의 화소열은 한층 크고, W의 화소는 한층 작게 설정되어 있다. 그리고, 전원 라인 PL은, R의 화소열과 B의 화소열 사이에 배치되는 것과, G의 화소열과 W의 화소열 사이에 배치되는 것의 2 종류로 되어 있다. 즉, 전원 라인 PL은 R의 화소열과 B의 화소열에서 공용하고, G의 화소열과 W의 화소열에서 공용하고 있다.

화소의 크기는 유기 EL 소자(4)의 전류 효율에 기초하여 결정되어 있다. 여기서, 전류 효율이란, 단위 전류 당 발광량으로서, 외부 양자 효율이라고도 한다. 본 실시예의 경우, 표시에서 이용되는 최대 전류량에 대응하고 있다. 즉, 필요 최대 전류가 크면 클수록 전류 효율이 나쁘다고 하는 관계로 된다. 이러한 전류 효율은 유기 EL 소자(4)의 유기 발광 재료 등에 의해 결정된다.

또한, 본 예에서는, W의 유기 EL 소자(4)의 전류 효율이 가장 높고, G의 유기 EL 소자(4)의 전류 효율이 가장 낮다. 풀 컬러 표시에서 색 밸런스를 유지하기 위해서는, 전류 효율이 나쁜 색에 대해서는 전류량을 크게 할 필요가 있다. 한편, 유기

EL 소자(4)에서는, 전류 밀도에 의해서 그 수명이 결정되기 때문에, 각 소자에서의 전류 밀도를 일정하게 하고자 하는 요구가 있다. 그래서, 전류 효율이 나쁜 색의 유기 EL 소자(4)일수록 면적을 크게 하여, 각 유기 EL 소자(4)의 전류 밀도를 일정하게 유지하고 있다.

그리고, 전류 효율이 가장 좋은 W와 가장 나쁜 G의 화소 열에서 1개의 전원 라인 PL을 공용하고, 전류 효율이 중간인 나머지의 R, B의 화소 열에서 하나의 전원 라인 PL을 공용한다. 이에 의해서, 각 전원 라인 PL에서의 전류량이 비교적 근사하게 된다. 전원 라인 PL의 선 폭은, 최대 전류량에 의해 결정되지만, 선 폭에는 상한이 있어, 너무 크게 할 수 없다. 본 실시예와 같이 전류량의 밸런스를 취함으로써, 2 종류의 전원 라인 PL의 전류량을 근사하게 하여 효과적인 전류 공급이 행하여진다.

여기서, 종래의 경우에는, 각 화소 열에 대하여, 1개의 전원 라인 PL과 1개의 데이터 라인 DL이 필요하고, 이들 2개의 라인이 각 화소 열 사이에 배치되어 있다. 디자인 룰에 의해, 통상은 각 배선 라인 사이에는, 통상 $4\mu\text{m}$ 정도의 간극이 형성된다. 여기서, 하나의 화소 열 사이에 2개의 전원 라인 PL을 배치하고, 1개의 전원 라인 PL의 선 폭이 $10\mu\text{m}$ 정도인 경우를 생각한다. 이 경우, 2개의 전원 라인 PL을 합한 폭은 $24\mu\text{m}$ 로 된다. 본 실시예에서는, 이것을 1개의 전원 라인 PL로 통합해 두고, 이 경우에 선 폭 $15\mu\text{m}$ 정도에서 양호한 것이 확인되고 있다. 이는, 2개의 전원 라인 PL을 1개로 통합한 경우, $20\mu\text{m}$ 필요하게 되지만, 절대적인 값으로서 필요한 여유가 1개의 라인에 대하여 정해지고 있기 때문에, 그만큼, 선 폭을 작게 할 수 있기 때문이며, 또한 2개의 라인 간의 간극의 $4\mu\text{m}$ 분과 합하여, $9\mu\text{m}$ 의 선 폭을 감소할 수 있는 것으로 된다. 이에 의해서, 배선 배치에 의한 면적을 감소하여, 개구율을 크게 할 수 있다.

또, 본 실시예에서는, 전류 효율을 W, R, B, G의 순서로 했지만, 발광 재료에 의해서는 다른 순서로 된다. 또한, R, G, B의 3색의 경우에는, 발광 효율이 좋은 R에 대하여 전원 라인을 1개로 하고, 비교적 발광 효율이 나쁜 G, B에서도 1개의 전원 라인을 공용하면 된다.

도 2에는 구체적인 배치 구성을 도시하고 있다. 선택 TFT(1)는 반도체층에서 형성되고, 그 채널 영역(1c) 상에는 게이트 라인 GL의 일부가 돌출되어 게이트 전극(1g)으로 되어 있다. 또, 선택 TFT(1)의 소스(1s)는, 콘택트에 의해서, 위쪽의 데이터 라인 DL에 접속되어 있다. 또, 소스 영역(1s)의 반도체층은 그대로 용량 전극(3a)으로 되고, 이것에 대하여 보유 용량 라인(도시 생략)이 배치되어 보유 용량(3)이 형성되어 있다.

용량 전극(3a)에는, 콘택트를 통하여, 구동 TFT(2)의 게이트 전극(2g)이 접속되어 있다. 이러한 게이트 전극(2g)은 전원 라인 PL과 평행하여 직선 형상으로 신장되어 있고, 일부는 전원 라인 PL의 아래쪽에 배치되어 있다.

또한, 구동 TFT(2)를 구성하는 반도체층(도면 중, 2s, 2c, 2d의 부분 즉, 후술할 부호 2p)은, 전원 라인 PL로부터 화소 영역의 내측에 돌출한 부분에 형성된 콘택트로부터 위쪽을 따라 신장된 후, 직각으로 구부러진 L자형 또는 역L자형으로 되어 있다. 그리고, 타단이 콘택트를 통하여, 위쪽에 위치하는 유기 EL 소자(4)의 애노드에 접속되어 있다.

본 예에서는, 구동 TFT(2)는 p 채널이고, 전원 라인 PL에 접속하고 있는 부분이 소스, 유기 EL 소자(4)의 애노드에 접속하고 있는 부분이 드레인이다. 또, 게이트 전극은, 반도체층의 소스, 드레인 사이의 불순물 도핑되어 있지 않은 채널 영역을 피복하여 형성되어 있다.

이와 같이, 구동 TFT(2)를 L자형(또는, 역L자형)으로 함으로써, 게이트 전극(2g)의 적어도 일부를 전원 라인 PL의 하측에 배치하는 것이 가능하여, 전원 라인 PL의 하측 공간을 이용하여 개구율을 상승하는 것이 가능하다.

또한, 유기 EL 소자(4)와의 콘택트(도면 중 2s 근방)가 화소 영역의 내측에 위치하고 있기 때문에, 게이트 전극(2g)이 직선 형상으로 되어, 콘택트 우회로 인해, 개구율이 감소하는 것을 방지할 수 있다.

또한, 본 실시예에서는, 화소 영역의 높이를 일정하게 하였기 때문에, 게이트 라인 CL을 직선으로 하는 것이 가능하다. 또한, 화소 영역의 폭을 변경하였지만, 스트라이프형을 위해, 전원 라인 P 및 데이터 라인 DL을 직선으로 하는 것도 가능하게 되어 있다. 또한, 화소 영역의 내부의 발광 영역의 형상을 변경함으로써, 발광 영역이 효율적인 배치를 달성하고 있다. 예를 들면, G의 화소에서는, 화소 영역의 폭이 넓기 때문에, 보조 용량(3)을 선택 TFT(1)의 옆쪽에도 형성하여, 발광 영역을 위쪽에까지 연장하여, 화소 영역을 유효하게 이용하고 있다.

또한, 구동 TFT의 크기는 전부 동일하게 함과 함께, 전원 라인과의 구성에 대해서도 동일하게 하고 있다. 즉, 도면에서의 구동 TFT(2)의 전원 라인 PL과의 접속점(컨택트) 및 유기 EL 소자(4)와의 접속점(컨택트)은 모두 상하 방향 동일한 위치에 있고, 또한 전원 라인 PL로부터 볼 때 동일한 위치에 있다. 따라서, 각 화소에서, 구동 TFT(2)에 의한 전류 공급 능력을 용이하게 갖출 수 있다.

또, 도 2에서, 유기 EL 소자(4)는, 투명 전극 부분에 대하여 이점 쇄선으로 나타내고 있지만, 도면을 보기 쉽게 하기 위해, 작게 기재하고 있다.

도 3은, 1 화소의 발광 영역과 구동 TFT 부분의 구성을 나타내는 단면도(도 2의 X-X 단면도)로서, L자형의 구동 TFT(2)를 따라 직각으로 굽은 선에 대한 단면을 나타내고 있다. 글래스 기판(30) 상에는, SiN과 SiO₂의 적층으로 이루어지는 버퍼층(11)이 전면에서 형성되고, 그 위에 소정의 에리어(TFT를 형성하는 에리어)에 폴리실리콘의 반도체층(능동층)(2p)이 형성된다.

능동층(2p) 및 버퍼층(11)을 피복하여 전면에서 게이트 절연막(13)이 형성된다. 이 게이트 절연막(13)은, 예를 들면 SiO₂ 및 SiN을 적층하여 형성된다. 이 게이트 절연막(13) 위쪽으로서, 채널 영역(2c) 상에 예를 들면 Cr의 게이트 전극(2g)이 형성된다. 그리고, 게이트 전극(2g)을 마스크로 하여, 능동층(2p)에 불순물을 도핑함으로써, 이 능동층(2p)에는 중앙 부분의 게이트 전극의 아래쪽에 불순물이 도핑되어 있지 않은 채널 영역(2c), 그 양측에 불순물 도핑된 소스 영역(2s) 및 드레인 영역(2d)이 형성된다.

그리고, 게이트 절연막(13) 및 게이트 전극(2g)을 피복하여 전면에서 층간 절연막(15)이 형성되고, 이 층간 절연막(15) 내부에 소스 영역(2s), 드레인 영역(2d)의 상부에 콘택트홀이 형성되고, 이 콘택트홀을 개재하여, 층간 절연막(15)의 상면에 배치되는 소스 전극(53), 및 드레인 전극(26)이 형성된다. 또, 소스 전극(53)에는 전원 라인(도시하지 않음)이 접속된다. 여기서, 이와 같이 하여 형성된 구동 TFT는, 본 예에서는 p 채널 TFT이지만, n 채널 TFT로 하는 것도 가능하다.

층간 절연막(15)을 피복하여, 전면에서 평탄화막(17)이 형성되고, 이 평탄화막(17) 상에 유기 EL 소자(4)의 양극으로서 기능하는 투명 전극(61)이 형성된다. 또한, 드레인 전극(26)의 위쪽의 평탄화막(17)에는, 이들을 관통하는 콘택트홀이 형성되고, 이 콘택트홀을 통하여, 드레인 전극(26)과 투명 전극(61)이 접속된다.

또, 층간 절연막(15) 및 평탄화막(17)에는, 통상, 아크릴 수지 등의 유기막이 이용되지만, TEOS 등의 무기막을 이용하는 것도 가능하다. 또, 소스 전극(53), 드레인 전극(26)은 알루미늄 등의 금속이 이용되고, 투명 전극(61)에는 통상 ITO가 이용된다.

투명 전극(61) 상에는, 전면에서 형성된 홀 수송층(62), 발광 영역보다 약간 크게 형성된 유기 발광층(63), 전면에서 형성된 전자 수송층(64)으로 이루어지는 유기층(65)과, 전면에서 형성된 금속제(예를 들면, 알루미늄(Al))의 대향 전극(66)이 음극으로서 형성되어 있다.

투명 전극(61)의 주변 부분 상의 홀 수송층(62)의 아래쪽에는, 평탄화막(67)이 형성되어 있고, 이 평탄화막(67)에 의해서, 각 화소의 발광 영역이 투명 전극(61) 상에 있고, 홀 수송층(62)이 투명 전극(61)과 직접 접하고 있는 부분이 한정되어, 여기가 발광 영역으로 된다. 또, 평탄화막(67)에도, 통상 아크릴 수지 등의 유기막이 이용되지만, TEOS 등의 무기막을 이용하는 것도 가능하다.

또, 홀 수송층(62), 유기 발광층(63), 전자 수송층(64)에는, 유기 EL 소자에 통상 이용되는 재료가 사용되고, 유기 발광층(63)의 재료(통상은, 도펀트)에 의해서 발광색이 결정된다. 예를 들면, 홀 수송층(62)에는 NPB, 적색의 유기 발광층(63)에는 TBADN+DCJTB, 녹색의 유기 발광층(63)에는 Alq3+CFDMQA, 청색의 유기 발광층(63)에는 TBADN+TBP, 전자 수송층(64)에는 Alq3 등이 이용된다.

이러한 구성에서, 게이트 전극(2g)의 설정 전압에 따라, 구동 TFT(2)가 온하면, 전원 라인으로부터의 전류가, 투명 전극(61)으로부터 대향 전극(66)으로 흐르고, 이 전류에 의해서 유기 발광층(63)에서 발광이 발생하며, 이 광이 투명 전극(61), 평탄화막(17), 층간 절연막(15), 게이트 절연막(13), 및 글래스 기판(30)을 통과하여, 도면에서의 아래쪽으로 사출된다.

발명의 효과

이와 같이, 본 발명에 따르면, 전원 라인을 2개의 화소열에서 공용하는 것이 가능하다. 2개의 전원 라인을 1개로 한 경우, 기본적으로는, 라인 폭을 2배로 하여야 하지만, 배선 폭의 여유에는, 비율뿐만 아니라 절대적인 여유 폭도 필요하므로, 1개로 통합함으로써 배선 폭을 약간 작게 할 수 있다.

또한, 통상의 경우에는, 전원 라인과 데이터 라인의 2개의 라인이 화소열 사이에 배치되고, 이들 배선 간에는, 디자인 룰에 기초하는 소정의 간격이 필요하다. 전원 라인을 공용함으로써, 2 배선 간의 간격을 생략하는 것이 가능하다. 이에 의해서 화소열 간의 거리를 작게 할 수 있어, 개구율을 개선하는 것이 가능하다.

또한, 전원 라인을 공용하는 화소열의 색을 선택하여, 각 전원 라인의 최대 전류량이 근사하여, 공용하는 전원 라인이 다른 것에 비해 매우 폭 넓게 되는 것을 방지할 수가 있어, 효율적인 전류 공급을 유지할 수 있다.

또한, RGBW의 4 종류의 화소를 갖는 경우에는, 2색의 화소열끼리가 각각 1개의 전원 라인을 공용하여, 밸런스가 좋은 배치를 얻을 수 있다. 그리고, 전류 효율 최대의 색과 최소의 색의 화소열에 의해 한 전원 라인을 공용하고, 다른 색에 의해 다른 전원 라인을 공용함으로써, 전원 라인의 선 폭을 비교적 마찬가지로 할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예의 평면 구성을 모식적으로 나타내는 도면.

도 2는 본 발명의 실시예의 평면 구성을 나타내는 도면.

도 3은 본 발명의 실시예의 주요부의 단면을 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

1 : 선택 TFT

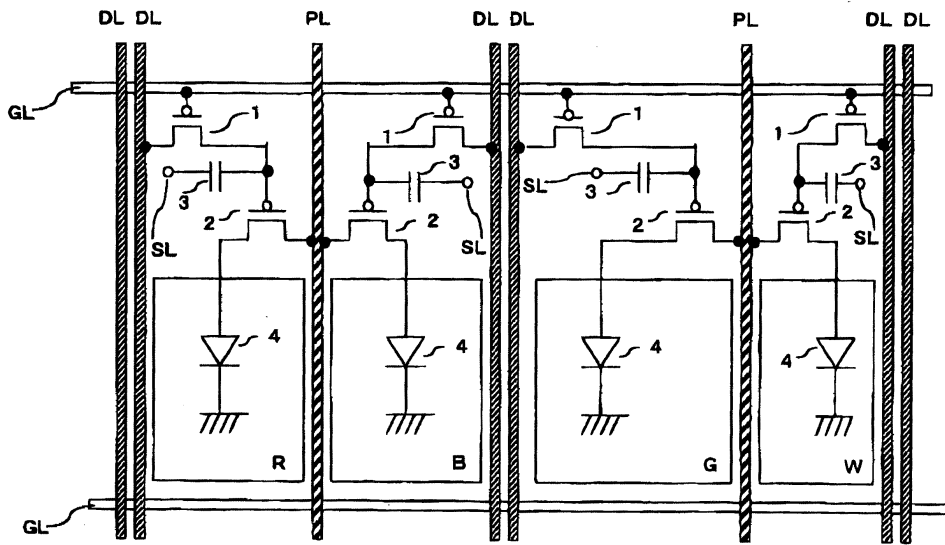
2 : 구동 TFT

3 : 보유 용량

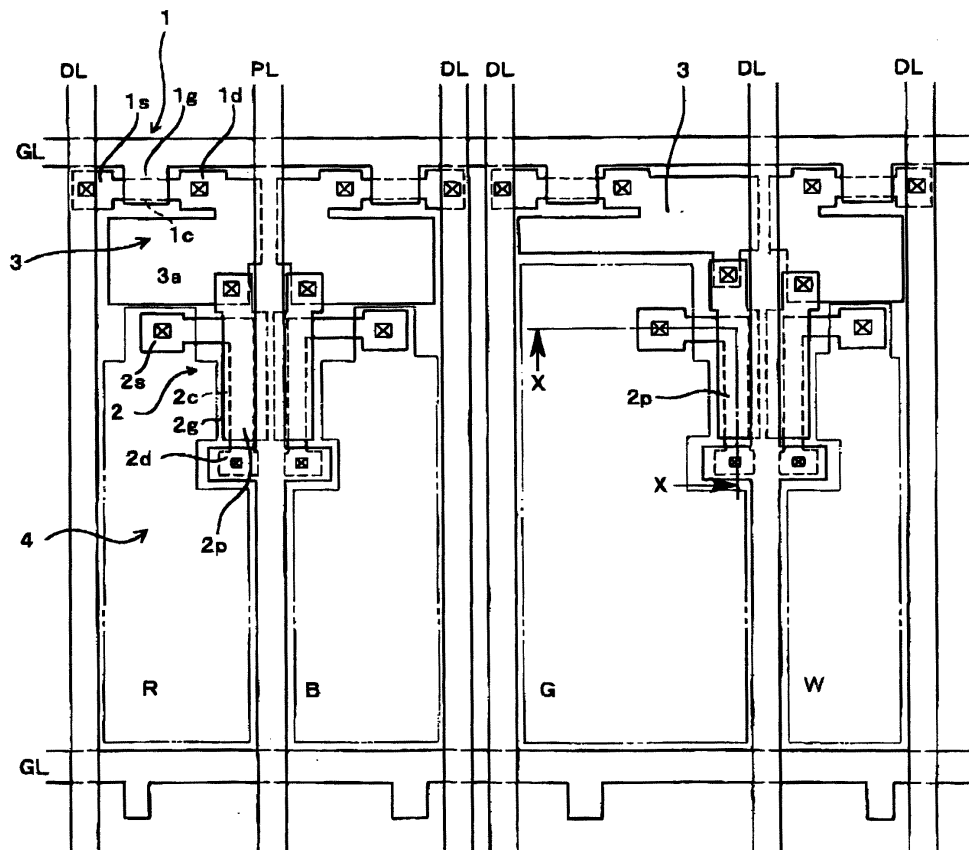
4 : 유기 EL 소자

도면

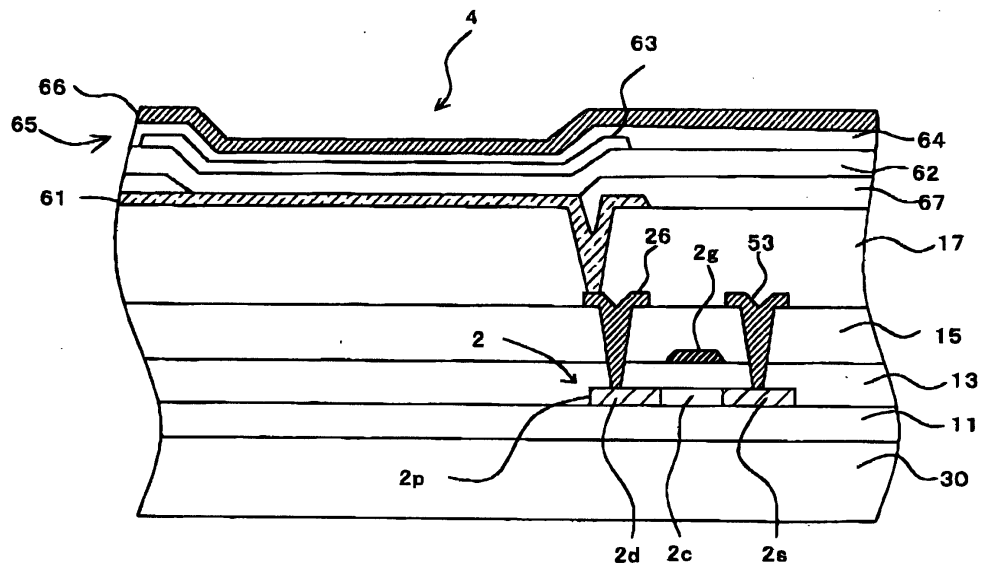
도면1



도면2



도면3



专利名称(译)	有机EL面板		
公开(公告)号	KR100687145B1	公开(公告)日	2007-02-27
申请号	KR1020040076228	申请日	2004-09-23
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	MATSUMOTO SHOICHIRO		
发明人	MATSUMOTO,SHOICHIRO		
IPC分类号	H05B33/00 H05B33/12 H05B33/26 G09F9/30 G09G3/10 G09G3/30 H01L27/32 H01L51/50 H05B3/08 H05B33/14		
CPC分类号	G09G2300/0842 G09G2300/0452 H01L27/3276 H01L27/3213		
代理人(译)	LEE , JUNG HEE CHANG, SOO KIL		
优先权	2003337924 2003-09-29 JP		
其他公开文献	KR1020050031395A		
外部链接	Espacenet		

摘要(译)

用途：提供有机EL面板，在像素线之间设置两条线，如电源线和数据线，并共同使用电源线省略两条线之间的间隙，从而减小像素线之间的距离，从而可以改善孔径比。

