

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G09G 3/30

(45) 공고일자 2005년05월17일
(11) 등록번호 10-0489208
(24) 등록일자 2005년05월03일

(21) 출원번호 10-2003-0008567
(22) 출원일자 2003년02월11일

(65) 공개번호 10-2003-0068426
(43) 공개일자 2003년08월21일

(30) 우선권주장 JP-P-2002-00033937 2002년02월12일 일본(JP)

(73) 특허권자 로무 가부시킴가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 마에 데준
일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시킴가이샤내
후지사사와 마사노리
일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시킴가이샤내

(74) 대리인 이후동

심사관 : 천대식

(54) 유기 EL 구동 회로 및 이를 이용한 유기 EL 디스플레이 장치

요약

유기 EL 디스플레이 패널을 구동하기 위한 피크전류를 갖는 구동 전류는, 하나의 입력측 트랜지스터를 소정의 전류로 구동시켜, 복수의 입력측 트랜지스터를 갖는 커런트 미러 회로의 출력측 트랜지스터에서 피크전류를 발생시키고, 그리고 하나의 입력측 트랜지스터와 병렬로 연결된 또다른 입력측 트랜지스터에 대해 소정의 전류를 분기시켜(branching) 하나의 입력측 트랜지스터마다의 구동 전류를 감소시킴으로써 피크전류(peak current)로부터 정상전류(steady current)까지 출력측 트랜지스터의 출력 전류를 감소시킴으로써 생성된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 EL 구동 회로의 전류 구동 회로를 나타내는 블럭도.

도 2는 도 1의 전류 구동 회로의 구동 제어부에 사용되는 타이밍(timing) 펄스를 나타내는 도면.

도 3(a)은 본 발명의 전류 구동 회로가 액티브 매트릭스형 유기 EL 디스플레이 패널에 인가된 경우를 나타내는 회로도.

도 3(b)은 본 발명의 전류 구동 회로의 출력단을 나타내는 블럭도.

도 4는 도 1의 실시예의 상세한 회로 구성도를 나타내는 도면.

도 5는 종래의 칼럼(column) 구동 회로의 예를 나타내는 도면.

도 6은 종래의 유기 EL 구동 회로의 D/A 컨버터를 나타내는 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL(Electro Luminescence) 구동 회로 및 이를 이용한 유기 EL 디스플레이에 관한 것으로, 보다 상세하게는, 입력 디지털값에 대응하며 커런트 미러(current mirror) 회로를 이용하는 D/A 컨버터 회로에 의해 발생하는 전류를 공급함으로써, 유기 EL 패널의 각 유기 EL 소자의 칼럼(column) 라인(양극측 구동라인)을 유기 EL 패널의 각 단자 핀에 전류-구동하기 위한 유기 EL 구동 회로를 개선하기 위한 것이다. 이러한 구성에 의하면 유기 EL 패널을 구동하는 피크전류(peak current)가 구동 회로에 의해 용이하게 발생될 수 있고 이 구동 회로의 면적이 감소될 수 있다. 또한 본 발명은 상기 유기 EL 구동 회로를 이용하는 유기 EL 디스플레이 장치를 개선하기 위한 것이기도 하다.

스스로 발생시킨 빛을 이용한 고 휘도 디스플레이를 실현시키는 유기 EL 디스플레이 장치는 소형 디스플레이 스크린상에서의 디스플레이에 적합한 것으로 알려져있다. 또한, 유기 EL 디스플레이 장치는 이동전화기, DVD 플레이어 또는 이동 단자(terminal)장치와 같은 PDA(Personal Digital Assistants) 등에 장착되는 차세대 디스플레이 장치로 주목받아왔다.

이 유기 EL 디스플레이 장치는, 액정 디스플레이 장치에서 처럼 전압으로 구동되는 경우 휘도 변동이 상당히 커지며, R(빨간색), G(녹색), 및 B(파랑색) 사이의 감도상 차이가 있으므로 컬러 디스플레이의 휘도 조절이 어려워지는 문제점이 있다.

이러한 문제점을 고려하여, 전류 구동 회로를 사용하는 유기 EL 디스플레이 장치가 최근까지 제안되고 있다. 예를 들어, JPH10-112391A는 휘도 변동의 문제점이 전류 구동 시스템을 적용함으로써 문제점을 해소하는 기술을 개시한다.

396(1323)개의 칼럼라인용 단자 핀 및 162개의 로우(row)라인용 단자 핀을 갖는, 이동전화기용 유기 EL 디스플레이 장치의 유기 EL 디스플레이 패널이 제시되었지만, 칼럼라인과 로우라인의 수가 계속해서 증가되는 경향이 있다.

액티브 매트릭스(active matrix)형태 또는 단순 매트릭스(simple matrix)형태의 상기 유기 EL 디스플레이 패널의 전류 구동 회로의 출력단은, 예컨대 각 단자 핀용 커런트 미러 회로로 구성된 출력 회로와 같은, 전류 공급원 구동 회로를 포함한다. 미국특허 출원 제 10,102,671의 일본 대응 특허 JP2002-82662(JP2001-86967 및 JP2001-396219을 가지고 우선권 주장을 하는 국내 출원에 공지된 바와 같이, 회로의 구동단은 각 단자 핀용 복수의 출력측 트랜지스터를 갖는 병렬-구동형 커런트 미러 회로(레퍼런스 전류 분배 회로)를 포함한다. 개시된 구동단에서는 출력회로를 구동하기 위해서, 병렬-구동형 커런트 미러 회로에 의해 발생하는 레퍼런스 전류를 분기시키므로써 각 단자 핀에 대응하여 복수의 미러 전류는 발생된다. 또한, 각 단자 핀에 분배된 미러 전류는 각각 k-배 전류 증폭 회로(k-time currents amplifier circuit)에 의해 증폭되며, 상기 k는 2이상의 정수이고, 출력 회로는 증폭된 전류로 구동된다. k-배 증폭 회로를 포함하는 구동단은 JP 2002-33719에 공지된 바와 같으며, 여기서 D/A 컨버터 회로는 각 단자 핀에 대응하여 제공된다. 이같이 공지된 회로 구조에서, D/A 컨버터 회로는 칼럼측 단자 핀에 대응하는 디스플레이 데이터를 아날로그 데이터로 변환하여 동시에 칼럼측 구동 전류를 발생시킨다.

상기 공지된 구조에서, 피크전류는 용량성 부하 특성을 갖는 유기 EL 소자를 초기 충전하기 위해 발생되어 유기 EL 소자를 구동한다. 이 피크전류는 레퍼런스 전류로서 구동단앞에서 발생될수 있고, 또한 JP 2002-33719에 기술된 바와 같이 D/A 컨버터 회로 후에, 또는 전류 출력단에 발생될 수도 있다. 도 5는 유기 EL 디스플레이 패널의 유기 EL 디스플레이 소자용 피크전류 병렬 회로의 전형적인 예를 나타낸다.

이는, 전류 출력단에서 피크전류를 발생시키기 위한 것으로 JPH11-45071A에 공지되어 있다. 또한, 도 6은 JP 2002-33719에 공지된 또다른 예를 나타내는 것으로, 피크전류 발생 회로가 D/A 컨버터 회로후에 구비된다.

우선 도 5에 도시된 피크전류 발생 회로가 전류 출력단에 구비되는 일례를 설명한다. 도 5의 전류 구동 회로에서, 펄스 발생 회로(5)는 구동 펄스와 동기화된 펄스 신호(6)를 발생하며 펄스 신호(6)는 구동 회로(7)의 정전류 공급원(커런트 미러 출력 회로)(7a)의 부하 저항에 병렬로 제공된 초기 충전 회로(7b)의 스위칭 소자(8)에 공급된다. 여기서, 스위칭 소자(8)는 온(ON)으로 되고 전류는 스위칭 소자(8) 및 스위칭 트랜지스터(7c)를 통해 유기 EL 소자(4)로 흐르며, 이 트랜지스터는 동시에 구동 펄스에 의해 온으로 됨에 따라, 유기 EL 소자(4)가 구동된다. 이에 따라, 대량의 전류가 구동 개시 시간부터 일정 시간동안 흐르고, 스위칭 소자(8)의 온 레지스턴스 및 유기 EL 소자(4)의 접합 캐패시턴스에 의해 결정된다. 그러므로, 초기 구동단에서, 유기 EL 소자(4)가 신속히 충전됨에 따라, 유기 EL 소자(4)의 휘도가 개선되며 휘도 변동이 방지된다.

도 6에 도시된 피크전류 발생 회로는 유기 EL 구동 회로의 칼럼 구동기(1), D/A 컨버터 회로(2), 및 커런트 미러형 전류 출력 회로(3)를 포함한다.

커런트 미러형 전류 출력 회로(3)는 구동단 커런트 미러 회로(3a) 및 출력단 커런트 미러 회로(3b)를 포함한다.

구동단 전류 회로(3a)는 피크전류 발생 회로이며 다이오드-연결 PNP 입력측 트랜지스터 Qs 및 출력측 트랜지스터 Qt를 포함한다. 상기 트랜지스터들의 에미터(emitter)들은 P 채널 MOS FET Trs 및 N 채널 MOS FET Trt 각각을 통해 출력단 커런트 미러 회로(3b)의 입력 단자(3c)와 연결된다.

입력측 트랜지스터 Qs의 컬렉터(collector)는 D/A 컨버터 회로(2)의 출력 단자(2b)와 연결되며 출력측 트랜지스터 Qt의 컬렉터는 접지(ground)된다. 트랜지스터 Qt에 대한 트랜지스터 Qs의 에미터 면적 비율은 1:x이다. D/A 컨버터 회로(2)의 출력 전류는 Ia, 입력 단자(3c)에서 발생된 구동 전류는 (x + 1)Ia로 가정한다. 이에 따라, 트랜지스터 Trt가 온으로 된 경우 커런트 미러 회로(3a)는 구동 전류(1+x)Ia를 발생한다. 트랜지스터 Trs는 트랜지스터 Trt에 대응하여 제공된 부하 트랜지스터이며 GND와 연결된 게이트(gate)를 갖는다. 트랜지스터 Trs는 구동 라인을 균형잡도록 제공된다. 또한, 트랜지스터 Trt는 제어 신호 CONT에 의해 구동의 초기단계에서 일정 시간동안 온으로 된다.

커런트 미러 회로(3a)는, 기본 전류(base current)를 수정하기 위해 제공되는, PNP 커런트 미러 트랜지스터 Qu 및 Qw를 통해 출력단 커런트 미러 회로(3b)의 PNP 입력측 트랜지스터 Qx를 구동한다. 이에 따라, 전류(1+x)Ia는 입력측 트랜지스터 Qx를 통해 일정 시간동안 흐르면서, 트랜지스터 Trt가 온으로 되서 유기 EL 소자의 피크 전류 구동을 실행한다. 이에 따라, 구동 전류 Ia는 정상 구동 전류로 출력된다. 전류(1+x)Ia 및 전류 Ia는 출력단 커런트 미러 회로(3b)의 PNP형 출력측 트랜지스터 Qy에 의해 N배 증폭되며, 유기 EL 패널의 칼럼측 단자 핀 중 하나(9)에 출력된다.

또한, 출력단 커런트 미러 회로(3b)내에서 트랜지스터 Qy에 대한 트랜지스터 Qx의 에미터 면적 비율은 1:N이며 이 트랜지스터 Qy 및 Qx의 에미터는 전력 공급원 라인 +VDD가 아니라 전력 공급원 라인 +VDD보다 높은 전압을 갖는 전력 공급원 라인 +VCC와 연결되는 것으로, 즉 +15V 내지 +20V의 범위내이며, 출력측 트랜지스터 Qy의 컬렉터는 칼럼측 단자 핀(9)과 연결된다.

이에 따라, 피크전류 구동이 시행되는 경우 구동 전류 N(1+x)Ia를 칼럼측 단자 핀(9)에 공급하는 것이 가능하다. 또한, 전류 구동의 초기단계에서, 용량성 부하 특성(capacitive load characteristic)을 갖는 유기 EL 소자(4)는 피크전류에 의해 신속하게 충전되어 구동된다.

D/A 컨버터 회로(2)는 다이오드-연결 입력측 NPN형 양극성 트랜지스터 Qa를 포함하며, 정전류 공급원(14a)의 전류 I는 D/A 컨버터 회로(2)의 입력 단자(2a)를 통해 트랜지스터 Qa의 컬렉터에 공급된다. 이 D/A 컨버터 회로(2)는 NPN 양극성 트랜지스터 Qb 내지 Qn-1를 추가 포함하며, 이 트랜지스터는 커런트 미러 관계에서 트랜지스터 Qa와 연결되고, 출력측 트랜지스터 Qb 내지 Qn-1의 에미터들과 스위치 회로로서의 그라운드(ground) 사이에 연결된 N 채널 MOS FET Trb 내지 Trn-1를 추가 포함한다. 트랜지스터 Trb 내지 Trn-1의 게이트들은 각 입력 단자 D0 내지 Dn-1과 연결된다.

출력측 트랜지스터 Qb 내지 Qn-1의 컬렉터들은 출력 단자(2b)와 연결되고 트랜지스터 Qa의 에미터 면적에 대한 트랜지스터 Qb 내지 Qn-1의 에미터 면적 비율은 각 칼럼들의 중량 1,2,4,n에 대응한다. 입력측 트랜지스터 Qa의 에미터는 전력 공급원 라인 +VDD와 연결된 게이트를 갖는 N 채널 MOS FET Tra 및 저항 Ra의 직렬 회로를 통해 접지된다.

D/A 컨버터 회로(2)는 시간에 따라 가변하고, 디스플레이 휘도에 대응하는 디지털 디스플레이 데이터를 CPU 또는 MPU 등과 같은 프로세서로부터 이 회로의 입력 단자 D0 내지 Dn-1에서 수신하고, 입력 단자(디스플레이 데이터)에 대응하는 아날로그 전류값을 출력 단자(2b)에서 발생시킨다. 구동단의 단자 핀들 중 한 핀에 대한 레퍼런스 전류 분배 회로의 출력 회로도 도 6에서 정전류 공급원(14a)으로 도시되어 있음을 주목해야한다. 또한, 트랜지스터 Trr 및 트랜지스터 Qr는 기본 전류를 전류-미러 연결된 공통 베이스 라인에 공급하기 위해 기본 전류 공급 회로를 구성하며, 상기 트랜지스터 Qr는 저항 Rr의 직렬 회로 및 N 채널 MOS FET Trra를 통해 접지된 에미터와 전력 공급원 라인 +VDD와 연결된 게이트를 갖는다.

최근 동향으로는 구동 핀들의 수가 해상도가 증가함에 따라 증가되고 있다. 피크전류 발생 회로 및 D/A 컨버터 회로는 유기 EL 소자의 전류 구동을 위해 각 단자 핀들에 대응하여 제공되므로, 집적 회로의 크기가 증가하고 있다. 따라서 전력 소비량을 줄이고, 구동 핀들의 수가 증가함에 따라 증가하는 집적회로에 의해 점유되는 면적을 감축시키기 위해서, 피크전류 발생 회로 및 D/A 컨버터 회로의 크기를 줄이는 것이 중요하다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 유기 EL 소자를 구동하는 전류를 위해 피크전류를 용이하게 발생시킬 수 있으며, 구동 회로에 의한 점유 면적을 감축시킬 수 있는 유기 EL 구동 회로 및 이 유기 EL 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공하는 것이다.

본 발명의 제1특징에 따르면 커런트 미러 회로를 포함하는 유기 EL 구동 회로는, 회로의 입력측 트랜지스터부에 공급된 소정 전류에 대응하는 것으로, 출력측 트랜지스터부내 유기 EL 패널의 단자 핀에 공급되는 소정 전류 또는 이 소정 전류가 획득된 전류를 발생시키며, 입력측 트랜지스터부가 복수의 병렬-연결 입력측 트랜지스터 및 출력측 트랜지스터의 출력 전류를 제어하기 위한 제어 회로를 포함하는 것으로, 상기 출력 전류는, 하나의 입력측 트랜지스터를 전류-구동하고, 소정 전류로 전류-구동된 하나의 입력측 트랜지스터에 병렬로 제공된 그의 입력측 병렬 트랜지스터에 소정 전류를 분기시켜서, 출력측 트랜지스터부내 피크전류를 발생시켜서 커런트 미러 회로에 대한 하나의 입력측 트랜지스터를 위해 구동 전류를 감소시키므로써 출력 전류가 피크전류에서 정상전류까지 충전되도록 한다.

본 발명의 제2특징에 따르면, 일면의 유기 EL 구동 회로에서, 커런트 미러 회로의 출력측 트랜지스터부는 복수의 출력측 트랜지스터를 포함하며, D/A 컨버터 회로는 복수의 출력측 트랜지스터로 구성되고, D/A 변환되는 입력 데이터의 비트(bit) 칼럼 위치에 대응하는 각 출력측 트랜지스터를 만들고 경우에 따라 상기 입력 데이터에 대응하여 출력측 트랜지스터를 동작시키므로써, 출력 단자에서 출력측 트랜지스터를 통해 흐르는 전류의 총합을 발생시킨다. 스위치 회로는 커런트 미러 회로의 적어도 하나의 입력측 트랜지스터에 제공되며 소정 전류 발생용 피크전류 공급원이 제공된다. 유기 EL 구동 회로는, 전류를 정전류 공급원에서 하나의 입력측 트랜지스터에 공급하여 하나의 입력측 트랜지스터를 구동하고, 구동 개시

시간으로부터 소정 시간이 지난 시점에서 스위치 회로를 온으로 되서 스위치 회로를 통해 정전류 공급원으로부터 전류를 분기하여, 커런트 미러 회로의 하나의 입력측 트랜지스터에 대해 구동 전류를 감소시키므로써 피크를 갖는 변환된 아날로그 전류를 발생시킨다.

본 발명의 제3특징에 따른, 상기 이면의 유기 EL 구동 회로에서, 커런트 미러 회로는 1:N(N>1)의 동작 전류 비율을 갖는 두개의 입력측 트랜지스터를 포함하며, 1의 동작 전류 비율을 갖는 하나의 입력측 트랜지스터는 정전류 공급원으로부터 전류를 공급받고 스위치 회로를 온시켜 N의 동작 전류 비율에 대응하는 다른 입력측 트랜지스터에 분기 전류를 공급한다.

상술된 바와 같이, 본 발명에 따르면, 커런트 미러 회로의 복수의 병렬-연결 입력측 트랜지스터를 구비하고, 스위치 회로를 하나의 입력측 트랜지스터와 직렬로 삽입하므로써 입력측 구동 전류를 제어한다. 출력측 트랜지스터의 피크전류에 대응하는 전류는 최초 구동된 입력측 트랜지스터에 의해 발생되고, 커런트 미러 회로의 각 입력측 트랜지스터의 구동 전류는, 하나의 입력측 트랜지스터를 소정 전류로 구동하여 구동 개시 시간부터 소정 시간이 지난 후 스위치 회로를 온시켜, 하나의 입력측 트랜지스터에 분기하므로써 감소된다. 여기서, 상기 구동 개시 시간은 출력측 트랜지스터부의 전류 발생으로부터 또는 유기 EL 소자의 구동 개시 시간으로부터 일 수도 있다. 이에 따라, 다량의 구동 전류가 개시 시간부터 흐르기 때문에, 피크전류에 대응하는 전류는 커런트 미러 회로의 출력측 트랜지스터에 의해 얻어지고, 이로부터 소정 시간 경과 후, 출력측 트랜지스터의 출력 전류를 형성하는 초기 구동 전류보다 적은 량의 구동 전류는 정상전류가 되고, 그 결과 피크를 갖는 전류가 출력측 트랜지스터에 발생된다.

삭제

삭제

발명의 구성 및 작용

도 1에서, 본 발명에 따른 전류 구동 회로는 유기 EL 구동 회로의 칼럼 구동기(10), 칼럼 구동기(10)의 D/A 컨버터 회로(11), 도 6에 도시된 바와 같이 하나의 단자 핀에 대응하며 정전류 공급원(14a)에 대응하는, 레퍼런스 전류 분배 회로의 출력 회로인, 정전류 공급원(12), 커런트 미러형 전류 출력 회로(13), 피크전류 발생 회로(14) 및 제어 회로(15)를 포함한다.

D/A 컨버터 회로(11)가 도 6에 도시된 D/A 컨버터 회로(2)에 대응된다. 그러나, 도 1의 D/A 컨버터 회로(11)는 양극성 트랜지스터가 아니라 MOS FET으로 구성된다. 입력측상의 N 채널 트랜지스터 TNa는 D/A 컨버터 회로(2)의 입력측 트랜지스터 Qa에 대응하며 출력측상의 N 채널 트랜지스터 TNb 내지 TNn-1는 출력측 트랜지스터 Qb 내지 Qn-1에 대응하고 N 채널 트랜지스터 TNa 및 TNb 내지 TNn-1는 커런트 미러 회로부를 구성한다. D/A 컨버터 회로(11)는 입력측 트랜지스터 TNa에 병렬로 연결된 입력측상에 N 채널 트랜지스터 TNp를 포함한다. 트랜지스터 TNa 내지 TNp의 채널폭(게이트폭) 비율은 1:9로 설정되며 이 트랜지스터들의 소스(source)는 저항 Ra 내지 Rpa 및 스위치 회로 SWa 내지 SWpa를 통해 각각 접지된다.

상기 트랜지스터 TNa 내지 TNp의 1:9의 채널폭(게이트폭) 비율은 하나의 동일한 MOS 트랜지스터에 병렬로 9개의 동일한 MOS 트랜지스터를 연결하므로써 제공될 수도 있다.

입력측 트랜지스터 TNa 내지 TNp는 입력 단자(11a)를 통해 정전류 공급원(12)으로부터 전류 Ip를 공급받는 드레인(drain)을 갖는다. 도 6에 도시된 정전류 공급원(14a)과는 달리 정전류 공급원(12)의 전류값은 Ip로서 정전류 공급원(14a)의 전류값 I보다 크다. 전류 Ip가 동작 전류로서 입력 트랜지스터 TNa를 통해 흐를 때, 전류값 Ip는 피크 전류 Ia=Ipa가 D/A 컨버터의 출력 단자(11b)에서 발생될 수 있도록 전류 Ip값이 설정된다.

또한, 저항 Rb 내지 Rn-1는 출력측 트랜지스터 TNb 내지 TNn-1의 소스 및 트랜지스터 Trb 내지 Trn-1의 드레인 사이에 삽입된다. 이러한 저항들이 소스 및 드레인 사이의 기생 캐패시턴스로 인해 소정 시간을 일정하게 지속하는 것을 가능하게 한다고 할지라도 이러한 저항들이 항상 필요한 것이 아니다. 또한, 도 6의 트랜지스터 Trr 및 Qr에 대응하는 기본 전류 공급 회로가 제거되는 것을 주목해야한다.

도 6에 도시된 바와 같이, 커런트 미러형 전류 출력 회로(13)는 커런트 미러 회로(3)에 대응한다. 그러나, 커런트 미러형 전류 출력 회로(13)는 양극성 트랜지스터가 아니라 MOS FET으로 구성되며 구동 레벨 시프트 회로(13a) 및 출력단 커런트 미러 회로(13b)를 포함한다. 도 6과 같이 커런트 미러 회로(3a)에 대응하는 피크 전류 발생 회로는 구비되어 있지 않다.

구동 레벨 시프트 회로(13a)는 D/A 컨버터 회로(11)의 출력을 출력단 커런트 미러 회로(13b)로 전송하는 기능을 수행하며, 바이어스 라인 Vb와 연결된 게이트, D/A 컨버터 회로(11)의 출력 단자(11b)와 연결된 소스, 출력단 커런트 미러 회로(13b)와 연결된 드레인을 갖는 N 채널 MOS FET TNv로 구성되어 있다.

이에 따라, D/A 컨버터 회로(11)의 출력 전류를 Ia로 가정한다면, 구동 전류 Ia는 출력단 커런트 미러 회로(13b)의 입력 단자(13c)에서 발생될 수 있다.

상기 출력단 커런트 미러 회로(13b)는 도 6의 기본 전류 수정 커런트 미러의 트랜지스터 Qu 및 Qw와 각각 대응하는 P 채널 MOS FET Tpu 및 TPw, 및 도 6의 커런트 미러의 트랜지스터 Qx 및 Qy에 각각 대응하는 P 채널 MOS FET TPx 및 TPy를 포함한다.

상기 출력측 커런트 미러 회로(13b)의 트랜지스터 TPx 내지 TPy의 채널폭(게이트폭) 비율은 1:N(N>1)이며, 상기 트랜지스터들의 소스는 전력 공급원 라인 + VDD가 아니라 + VCC와 연결되며, 예를 들면 전력 공급원 라인 + VDD의 전압보다 높은 약 +15V이다. 출력측 트랜지스터 TPy의 출력은 유기 EL 패널을 구동하는 동안 구동 전류 N Ia를 칼럼측 핀(9)에 공급하므로써 칼럼측 핀(9)과 연결되어 유기 EL 패널을 전류 구동한다. 유기 EL 소자(4)는 칼럼측 핀(9) 과 그라운드 GND 사이에 연결된다. 도 1에서, Vc는 바이어스 라인을 나타낸다.

입력측 트랜지스터 TNp, 저항 Rpa 및 스위치 회로 SWpa는 피크 전류 발생 회로(14)를 구성한다. 상기 스위치 회로 SWa는 구동 펄스 신호 P에 의해 온으로 되며, 스위치 회로 SWpa는 구동 펄스 신호 P의 발생으로부터 일정 시간 Tp가 지난 후 발생된 제어 신호 CONT가 공급될 때까지 오프(OFF)상태를 유지하고, 그 다음 온으로 켜진다.

도 2를 참조하여 피크전류 발생에 대해 설명한다. 각 입력 단자 DO 내지 Dn-1에 공급되기 위해, MPU 등으로부터 입력된 데이터가 MPU에 의해 제어된 제어 회로(15)에서 래치(latch) 펄스 Lp에 따라 래지스터(16)내에 등록될 때, 데이터는 각 입력 단자 DO 내지 Dn-1에 설정된다. 래치 펄스 Lp가 래지스터(16)에 전송된 후, 제어 회로(15)는 구동 펄스 신호 P를 발생시켜서 스위치 회로 SWa를 온으로 켜다. 상기의 경우에서, 제어 신호 CONT가 스위치 회로 SWpa에 공급되지 않으므로, 전류 Ip는 입력측 트랜지스터 TNa로 흐른다. 이에 따라, D/A 컨버터 회로(11)는 전류값 m Ip를 발생시켜서 출력 단자(11b)에서 피크전류 Ia=m·Ip를 형성하며, 여기서 m은 하나의 입력 단자 DO 내지 Dn-1에서 데이터 군(set)에 대응한다. 상기 피크전류 발생 주기 tp 후 스위치 회로 SWpa가 제어 신호 CONT에 의해 온으로 되는 경우, 입력측 트랜지스터 TNa 내에 흐르는 전류는 입력측 트랜지스터 TNp에 분기된다. 이에 따라, 전류 Ip/10 및 전류 9 Ip/10는 상기 트랜지스터의 채널폭 비율 1:9에 따른 입력측 트랜지스터 TNa 및 TNp로 흐른다. 전류 9 Ip/10가 입력측 트랜지스터 TNp내에 흐르는 경우라 해도 트랜지스터 TNa 및 TNp가 병렬로 연결되고 채널폭 비율이 1:9이므로, 출력측 트랜지스터의 전류 증폭이 1/9가 된다. 이에 따라, 각 출력측 트랜지스터에 대한 상태는 구동 전류 Ip/10가 각 입력측 트랜지스터내에 흐르는 것과 같다.

즉, 입력측 트랜지스터 TNa 및 TNp가 병렬로 구동되므로, 출력측상에서 발생된 미러 전류는 입력측 구동 전류가 Ip/10 되는 것과 같음에 따라, 전류값 Ia는 m Ip/10이 되도록 한다. 이 전류는 정상 상태에서 입력측 트랜지스터의 구동 전류가 되며, 전류 Ip/10는 구동 펄스 신호 P가 하이 레벨 "H"로 유지되도록 잔여 주기 (T-tp)동안 흐른다. 구동 펄스 신호 P 및 제어 신호 CONT는 상기 제어 신호 CONT의 발생으로부터 주기 (T-tp) 후 로우(low) 레벨 "L"이 됨에 따라, 스위치 회로 SWa 및 SWpa가 오프로 바뀌고 입력측 트랜지스터 TNa 및 TNp의 구동 전류가 제거되도록 한다.

상술된 바와 같이, 피크전류 발생 회로(14)는 입력측 트랜지스터 TNa를 구동하여 커런트 미러 회로의 출력측 트랜지스터내에서 피크전류를 얻고, 입력측 트랜지스터 TNa의 구동 전류를 상기 트랜지스터 TNa와 병렬로 연결된 다른 입력측 트랜지스터 TNp에 분기하므로써 커런트 미러 회로의 각 입력측 트랜지스터에 대한 구동 전류를 감소시키도록 동작하여, 피크전류를 정상전류로 떨어트린다. 입력측 트랜지스터 TNa의 구동 개시 시간은 유기 EL 소자(4)의 구동 개시 시간에 대응한다.

출력단 커런트 미러 회로(13b)의 입력측 트랜지스터 TPx의 전류는, 상기 스위치 회로 SWpa, 즉 트랜지스터 TNp가 오프 상태인 주기동안, 즉 피크전류가 발생하는 일정 주기 tp동안, Ia=m·Ip, 즉 정상전류의 10배가 된다. 그 다음, 구동 전류 Ia=Ip/10가 정상 구동 전류로 출력된다. 상기 전류는 출력단 커런트 미러 회로(13b)에 의해 N만큼 증폭되며 유기 EL 패널의 대응하는 단자 핀(9)에 공급된다.

또한, 피크전류 주기 tp의 개시 시간은 구동 펄스 신호 P의 상승 시간과 항상 일치하지는 않으며 그 이유는 이 시간이 피크전류에 의해 용량성 부하 특성을 갖는 유기 EL 소자(4)를 초기 충전하기에 적당하기 때문이다.

상기 유기 EL 디스플레이 장치에서, 칼럼측은 전류 방전측이 되며 로우측은 전류 싱크(sink)측이 되어, 칼럼측 전류 구동 회로의 구동 전류가 로우측상에서 스캔(scan)에 대응하게 출력되도록 한다. 이에 따라, 도 1 또는 도 6에 도시된 유기 EL 소자(4)가 단자 핀(9) 및 그라운드 GND 사이에 연결된다해도, 유기 EL 소자(4)는 실제로 칼럼 스캔 회로를 통해 접지된다.

상기 로우 라인 스캔 회로에 의한 로우측의 스캔은 로우 라인을 L 레벨에서 스캔되도록 형성하여 유기 EL 소자(4)의 음극을 접지하므로써 실행된다. 즉, 음극이 접지되는 경우, 구동 전류는 유기 EL 소자(4)로 흐르며 이는 임의의 로우 라인의 스캔이 다음 로우 라인으로 스위칭되는 스위칭 주기에서 칼럼측 구동 전류가 오프로 바뀌는 H 주기이다. 이같은 로우측 스캔에서, 구동 전류를 제공하는 구동 펄스 신호 P는 불필요하다. 대신, 칼럼 구동기(10)의 임의 로우 라인의 스캔 개시 시간은 핀(9)용 전류 구동의 개시 시간이 되며, 상기 로우 라인의 스캔의 단부는 상기 구동 전류의 단부가 된다. 이에 따라, 상술된 구동 펄스 신호 P에 대응하는 구동 동작은 로우측상의 스캔내에서 실행된다. 또한, 스위치 회로 SWa는 실제의 회로에서 불필요하게 된다. 이같은 이유로, 다음에 설명되는 도 4에 도시된 회로내의 스위치 회로 SWa가 삭제된다.

도 3(a)는 유기 EL 디스플레이 패널이 액티브 매트릭스형인 본 발명의 실시예를 나타낸다.

도 3(a)에서, 액티브 매트릭스형 유기 EL 구동 회로의 칼럼 구동기(100)는 전류 싱크형 출력단 커런트 미러 회로가 사용되는 도 1의 칼럼 구동기(10)와는 다르다. 전류 싱크형 출력단 커런트 미러 회로의 회로 구조의 예는 도 3(b)에 도시되어 있다.

출력 커런트 미러 회로(101)가 연결된 상기 칼럼 구동기(100)의 하나의 단자 핀(9)은 액티브 매트릭스형의 X-Y 매트릭스 배선(데이터 라인 및 스캔 라인) 중 n개의 데이터 중 하나의(Xi)와 연결되며, 여기서 i=1 내지 n이다.

도 3(a)에 도시된 바와 같이, 디스플레이 셀(cell)(20)은 데이터 라인 Xi 및 스캔 라인 Yj1 및 Yj2의 교차점에 대응하는 위치(Xi, Yj)에 구비된다. 디스플레이 셀(20)은, 스캔 라인 Yj1에 연결된 게이트 및 데이터 라인 Xi에 연결된 소스를 포함하

는 N 채널 MOS 트랜지스터 Tr1을 포함하고, 유기 EL 소자(21)는 P 채널 MOS 트랜지스터 Tr2를 통해 구동된다. 캐패시터 C는 소스 및 상기 트랜지스터 Tr2의 게이트 사이에 연결되며 상기 트랜지스터 Tr2의 소스는 전력 공급원 라인 + VCC와 연결되고 이 트랜지스터의 드레인은 유기 EL 소자(21)를 통해 접지된다.

P 채널 MOS 트랜지스터 Tr3 및 N 채널 MOS 트랜지스터 Tr4는 트랜지스터 Tr1 및 Tr2 사이에 제공된다. 트랜지스터 Tr3는 자신과 트랜지스터 Tr2로 구성된 커런트 미러 회로(22)의 입력측 트랜지스터이며 트랜지스터 Tr1의 드레인은 트랜지스터 Tr3의 아래쪽(downstream side)과 연결된다. 트랜지스터 Tr4의 소스 및 드레인은 트랜지스터 Tr3 및 Tr1의 연결점과, 커런트 미러 회로(22)의 트랜지스터 Tr3 및 Tr2의 공통 게이트들 사이에 연결된다. 트랜지스터 Tr1의 게이트는 스캔 라인 Yj1과 연결되며 트랜지스터 Tr4의 게이트는 스캔 라인 Yj2와 연결된다.

트랜지스터 Tr1 및 Tr4은 스캔 라인 Yj1 및 Yj2상에서 H 레벨 신호에 의해 온으로 되서, 트랜지스터 Tr3 및 Tr2가 피크전류에 의해 구동되며, 동시에 캐패시터 C가 소정의 구동 전압으로 충전되도록 한다. 이에 따라, 캐패시터 C는 소정 전압으로 구동 전류값을 저장하며 MOS 트랜지스터 Tr2는 캐패시터 C의 전압에 의해 구동된다.

이 경우, 캐패시터 C내 기록된 전하는 다이오드로 기능하는 트랜지스터 Tr4 및 Tr3을 통해 방전되며, 스캔 라인 Yj1 및 Yj2상의 신호가 각각 L 및 H로 되는 경우, 상기 캐패시터 C의 전압을 재설정하고, 트랜지스터 Tr4는 스캔 라인 Yj2상에서 만 H 신호에 의해 온으로 켜진다. 또한, 스캔 라인 Yj1 및 Yj2의 스캔은 제어 회로(15)로부터의 상이한 시간차 신호 T1 및 T2상에서 구동 회로(17)에 의해 실행된다.

도 3(b)는 도 1의 정전류 공급원(12) 및 D/A 컨버터 회로(11)와 함께 전류 구동 회로(18)의 출력단을 나타내는 블럭도이다.

도 3(b)의, 커런트 미러 출력단 회로는 도 1의 출력단 커런트 미러 회로(13b)의 P 채널 MOS FET TPx 및 TPy 대신 N 채널 MOS FET TNx 및 TNy를 가지며 출력단 커런트 미러 회로(13b)의 트랜지스터 TPu 및 TPw의 아래쪽상에 제공되는 커런트 미러 회로(18a)를 포함한다. 상기 회로 구조를 통해 단자 핀(9)에 대해 강하된 구동 전류를 발생시킬 수 있다.

트랜지스터 TNx 및 TNy의 소스들이 접지된다. 트랜지스터 TNx의 드레인은 트랜지스터 TNy를 통해 트랜지스터 TPw의 드레인과 연결되며, 트랜지스터 TNy의 드레인은 단자 핀(9)과 연결된다. 트랜지스터 TNx 및 TNy의 채널폭 비율은 도 1의 1:N이 아니라, N:1이며, 여기서 N은 약 10이다. 도 1의 경우와 유사하게, 트랜지스터 TNy는 레벨을 조정하는데 사용된다.

도 3(b)에서, 커런트 미러 트랜지스터 TPu 및 TPw는 전력 공급원 라인 + VCC와 직접 연결된 소스들을 가지며, D/A 컨버터 회로(11)에 의해 강하된 구동 전류를 전력 공급원 라인 + VCC로부터 되돌아온 구동 전류에 의한 방전 전류로 변환한다.

트랜지스터 TNx는 방전 전류에 의해 구동되어 트랜지스터 TNx 및 TNy에 의해 강하된 구동 전류를 발생시킨다.

전류 구동 회로(18)의 출력단을 갖는 전류 구동 회로에서, 유기 EL 소자(21)의 음극은 데이터 라인 Xi를 통해 로우 라인 스캔 회로(19)와 연결되며 스캔 회로(19)에 의해 접지된다.

액티브 매트릭스형 유기 EL 디스플레이 패널의 전류 구동은 전류의 상승 시간이 구동 듀티 사이클(drive duty cycle)에 비해 무시될 수 없는 때는 중요하다. 즉, 액티브 매트릭스형 유기 EL 디스플레이 패널의 전류 구동은 SGA 또는 XGA와 같고 해상력 이미지 품질 디스플레이 패널을 구동하는데 효과적으로 사용된다. 여기서, 고 해상력 이미지 품질 디스플레이 패널은 소량의 구동 전류로 구동된 다수의 구동 데이터 라인을 갖는다.

도 4는 도 1에 도시된 실시예의 상세 회로 구성을 나타낸다. 입력측 트랜지스터 TNa는 한쌍의 직렬-연결 트랜지스터 TNa1 및 TNa2를 포함하며 각 출력측 트랜지스터 TNb 내지 TNn-1는 첩자 부재(suffix number) 1 및 2를 갖는 한쌍의 직렬-연결 트랜지스터를 포함한다. 상기 직렬-연결 트랜지스터들은 전력 공급원 라인 및 그라운드 GND 사이에 연결된다. 스위치 회로 SWpa는 MOS FET TN2로 구성된다. 커런트 미러 회로는 입력측 트랜지스터 TPx 및 출력단 커런트 미러 회로(13b)의 출력측 트랜지스터 TPy로 구성된다.

즉, 출력단 커런트 미러 회로(13b)에서, 트랜지스터 TPu 및 TPw를 포함하는 커런트 미러 회로는 P 채널 MOS FET TPu1 및 TPw1를 포함하는 커런트 미러 회로 및 P 채널 MOS FET TPu2 및 TPw2를 포함하는 커런트 미러 회로로 구성된다. 또한, 트랜지스터 TPx 및 TPy를 포함하는 커런트 미러 회로는 P 채널 MOS FET TPx1 및 TPy1를 포함하는 커런트 미러 회로 및 P 채널 MOS FET TPx2 및 TPy2를 포함하는 커런트 미러 회로로 구성된다.

도 4에서, 스위치 회로 SWa의 위치에 제공된 MOS FET TN1은 스위치 회로가 아니다. MOS FET TN1은 접지된 게이트를 가지며 저항으로서 기능한다. 즉, 스위치 회로 SWa가 제거된다. 결과적으로, 정전류 공급원(12)으로부터의 정전류 Ip는 항상 MOS FET TN1을 통해 흐른다. 그 이유는 로우측 스캔 회로가 상술된 바와 같이 구동 펄스 P에 대응하여 구동 동작을 실행하기 때문이다.

도 1과는 달리, 도 4에 도시된 트랜지스터 Trb 내지 Trn-1는 P 채널 MOS 트랜지스터이다. 이 트랜지스터 Trb 내지 Trn-1으로 P 채널 MOS 트랜지스터를 사용함으로써, 트랜지스터 Trb 내지 Trn-1 각각의 출력 임피던스가 낮아지게 되어, 디스플레이 데이터가 D/A 컨버터 회로내에 설정되는 경우 발생된 스위칭 노이즈가 감소될 수 있도록 한다.

피크전류 발생 회로가 커런트 미러 회로로 구성된 전류 스위칭 D/A 컨버터 회로를 참조하여 공지되어 왔는데도, 본 발명은 D/A 컨버터 회로의 커런트 미러 회로에 한정되지 않는다. 유기 EL 패널의 단자 핀 또는 발생된 구동 전류로부터의 전류로 흐르는 구동 전류가 상기 커런트 미러 회로에 의해 획득 될 수 있다면, 커런트 미러 회로는 전류 구동 회로의 모든 부분에 제공되기도 한다.

또한, 본 발명에 따른 커런트 미러 회로가 MOSFET을 주로 포함한다해도, 양극성 트랜지스터로 구성되기도 하며, 그 이유는 도 6 및 도 1에 도시된 회로 구조에서 명확해지는 바와 같이, 상기 MOSFET 트랜지스터의 위치내에 양극성 트랜지스터를 제공하도록 상기 회로를 설계하는 것이 가능하기 때문이다. 또한, N 채널형(또는 NPN형) 트랜지스터 대신 P 채널형(또는 PNP)형 트랜지스터를 사용하고 P 채널(또는 PNP)형 트랜지스터 대신 N 채널형(또는 NPN형) 트랜지스터를 사용할 수 있다. 후자의 경우, 전원 전압은 부로 되고, 상부측(upstream side)에 제공된 트랜지스터들이 하부측에 제공된다.

발명의 효과

이에 따라, 종래의 기술에서 필요했던, 출력단 회로내에 레지스터를 삽입하는 것과 이(도 5에 도시된 스위칭 소자(8)에 대응하는)레지스터를 쇼트-회로화하기 위한 스위치 회로가 본 발명에서는 불필요해진다. 또한, 피크 전류를 부가하기 위해 피크전류 발생에 사용되는(도 6에 도시된 구동단 커런트 미러 회로(3a)에 대응하는)통상의 구동 전류 공급원이 본 발명에서는 불필요해진다. 그러므로, 본 발명에 따라, 유기 EL 패널의 회로 구조가 단순해진다. 이에 따라, 유기 EL 소자를 초기 구동하고 구동 회로에 의해 점유된 면적을 감축시키는데 필요한 피크를 갖는 구동 전류를 발생시키는 것이 용이하다. 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위안에서 다양한 수정 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허 청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

입력측 트랜지스터로부터 소정의 전류를 공급받아, 유기 EL 디스플레이 패널의 단자 핀에 공급된 전류 또는 상기 전류로부터 유도된 레퍼런스 전류를 출력측 트랜지스터에 발생시키는 커런트 미러 회로를 포함하는 유기 EL 구동 회로에 있어서,

상기 입력측 트랜지스터부내에 제공된 병렬 연결식 복수의 입력측 트랜지스터: 및

상기 입력측 트랜지스터 중 하나를 소정 전류로 구동하여 피크전류를 상기 출력측 트랜지스터부내에서 발생시키고, 상기 하나의 입력측 트랜지스터내 상기 소정 전류를 상기 하나의 입력측 트랜지스터에 병렬한 다른 입력측 트랜지스터들로 분기하여, 상기 출력측 트랜지스터의 피크전류를 정상전류로 감소시키는 제어 신호를 포함하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 2.

제1항에 있어서,

상기 입력측 트랜지스터 중 적어도 하나와 직렬로 연결된 스위치 회로부 및 상기 소정 전류를 발생시키는 전류 공급원을 추가로 포함하며, 상기 제어 회로는 상기 입력측 트랜지스터 중 하나를 전류 공급원으로부터의 전류로 구동하여 구동 개시 시간에서 소정 시간이 지난 후 스위치 회로부를 온(ON)시키는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 3.

제2항에 있어서,

상기 입력측 트랜지스터부는 $N > 1$ 인 동작 전류 비율 1:N을 갖는 두개의 입력측 트랜지스터를 포함하며, 구동 개시 시간부터 소정 시간이 지난 후, 온되는 상기 스위치 회로부는 구동 전류 비율 1:N을 갖는 상기 두개의 입력측 트랜지스터 중 하나에 삽입되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 4.

제2항에 있어서,

상기 스위치 회로부는 복수의 상기 입력측 트랜지스터와 각각 직렬로 삽입된 복수의 스위치 회로를 포함하며, 상기 제어 회로는 상기 스위치 회로 중 적어도 하나를 온시킴으로써 상기 정전류 공급원으로부터의 전류를 사용해 복수의 상기 스위치 회로 중 적어도 하나를 구동하고, 상기 전류 공급원으로부터의 소정 전류를 사용해 상기 입력측 트랜지스터 중 하나를 구동하여 구동 개시 시간부터 소정 시간이 지난 후 잔여 스위치 회로들 중 적어도 하나를 온시킴으로써, 상기 정전류 공급원으로부터의 전류를 상기 입력측 트랜지스터 중 적어도 하나로 분기시키는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 5.

제4항에 있어서,

상기 입력측 트랜지스터부는 $N > 1$ 인 동작 전류 비율 1:N을 갖는 두개의 입력측 트랜지스터를 포함하며, 소정 시간이 지난 후 온되는 상기 스위치 회로부는 구동 전류 비율 1:N을 갖는 상기 두개의 입력측 트랜지스터 중 하나에 삽입되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 6.

제 3항에 있어서,

상기 유기 EL 디스플레이 패널의 하나의 단자 핀에 전류를 출력시키기 위한 커런트 미러 출력 회로를 추가로 포함하며, 상기 커런트 미러 회로는 D/A 컨버터 회로를 구성하고, 상기 전류 공급원은 정전류 공급원이며, 상기 커런트 미러 회로는 상기 D/A 컨버터 회로의 출력측 트랜지스터의 출력 전류를 사용하여 상기 커런트 미러 출력 회로를 구동하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 7.

제6항에 있어서,

상기 소정 시간은 유기 EL 소자의 구동 개시 시간으로부터 측정되며 유기 EL 소자가 피크전류에 의해 초기 충전되는 시간에 대응하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 8.

제7항에 있어서,

상기 정전류 공급원은 레퍼런스 전류를 단자 핀에 대응하게 분배하기 위한 회로의 상기 단자 핀 중 하나에 대응하는 출력 회로이며, 상기 스위치 회로는 입력측 트랜지스터의 아래쪽(downstream side)에 제공되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 9.

각각이 입력 데이터의 비트부에 대응하고 커런트 미러 방식과 같이 병렬로 연결된 복수의 출력측 트랜지스터 및 소정 전류를 공급받는 입력측 트랜지스터부를 갖는 커런트 미러 회로를 포함하고, 출력측 단자를 통해 출력측 트랜지스터의 총 전류로서 입력 데이터에 대응하는 변환된 아날로그 전류를 발생시키는 회로를 D/A 컨버터 회로를 구비하는 유기 EL 구동 회로에 있어서,

상기 입력측 트랜지스터내에 제공된 병렬 연결된 복수의 입력측 트랜지스터;

상기 입력측 트랜지스터와 각각 직렬 연결된 복수의 스위치 회로;

소정 정전류로 상기 입력측 트랜지스터를 구동하는 전류 공급원; 및

상기 스위치 회로를 온-오프(ON-OFF)로 제어하는 제어 회로를 포함하되, 상기 제어 회로는 상기 스위치 회로의 적어도 하나를 온시켜 상기 하나의 입력측 트랜지스터들 중 상기 하나를 소정 전류로 구동하고, 구동 개시 시간부터 소정 시간이 지난 후 잔여 스위치 회로들 중 적어도 하나를 온시켜 정전류를 상기 입력측 트랜지스터들 중 적어도 하나로 분기시킴으로써, 하나의 입력측 트랜지스터의 구동 전류를 감소시키므로써 출력측 트랜지스터부내 피크전류를 갖는 변환된 아날로그 전류를 발생시키는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 10.

제9항에 있어서,

상기 입력측 트랜지스터부는 $N > 1$ 인 동작 전류 비율 1:N을 갖는 두개의 입력측 트랜지스터를 포함하며, 소정 시간이 지난 후 온되는 상기 스위치 회로부는 구동 전류 비율 1:N을 갖는 상기 두개의 입력측 트랜지스터 중 하나에 삽입되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 11.

제10항에 있어서,

유기 EL 패널에 전류를 출력하는 커런트 미러 출력 회로를 추가로 포함하고, 입력 데이터는 디스플레이 데이터이며 동작 전류 비율 1:N을 갖는 상기 두개의 입력측 트랜지스터 중 다른 하나는 상기 소정 정전류로 직접 구동되고, 상기 변환된 아날로그 전류는 상기 커런트 미러 출력 회로의 구동 전류로 사용되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 12.

유기 EL 패널의 단자 핀에 공급될 전류를 발생시키기 위해 입력측 트랜지스터에 제공되는 소정 전류 또는 출력측 트랜지스터내에 획득된 전류를 얻기 위해 사용되는 기본 전류(basic current)에 응답하는 커런트 미러 회로를 포함하는 유기 EL 구동 회로에 있어서:

제1 입력측 트랜지스터 및 상기 제1 입력측 트랜지스터에 병렬 연결된 제2 입력측 트랜지스터;

상기 제2 입력측 트랜지스터와 직렬 연결된 스위치 회로;

소정 전류로 상기 제1 입력측 트랜지스터를 구동하는 정전류 공급원; 및

상기 스위치 회로를 온-오프로 제어하는 제어 회로를 포함하되,

상기 제1 입력측 트랜지스터는 정전류에 의해 구동되고, 피크를 갖는 전류는 구동 개시 시간부터 소정 시간이 지난 후 스위치 회로를 온시켜 소정 회로의 정전류치를 제2 입력측 트랜지스터에 분기하여 각 커런트 미러 회로에 대한 구동 전류를 감소시키므로써 상기 출력측 트랜지스터에서 발생하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 13.

제12항에 있어서,

제1 및 제2 입력측 트랜지스터의 동작 전류 비율은 1:N(여기서 N은 1보다 크다)인 것을 특징으로 하는 유기 EL 구동 회로.

청구항 14.

제13항에 있어서,

상기 정전류 공급원은 레퍼런스 전류를 분배하는 전류를 회로의 한 단자 핀에 출력하기 위해 레퍼런스 전류에 응답하는 출력 전류이며, 상기 스위치 회로는 입력측 트랜지스터의 아래쪽(downstream side)에 제공되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 15.

유기 EL 디스플레이 패널;

상기 유기 EL 디스플레이 패널의 단자 핀에 전류를 출력하는 커런트 미러 출력 회로;

소정 전류를 공급받는 복수의 병렬 입력측 트랜지스터 및 디스플레이 데이터 각각의 비트 위치에 대응되는 각각의 디스플레이 데이터에 따라 선택적으로 동작하는 복수의 병렬 출력측 트랜지스터를 포함하는 커런트 미러 회로를 구비하고, 디스플레이 데이터를 아날로그 전류로 변환하여 아날로그 전류를 상기 출력측 트랜지스터의 총전류로 발생시키는 D/A 컨버터 회로; 및

상기 입력측 트랜지스터 중 하나를 소정 전류로 구동하여 피크전류를 상기 출력측 트랜지스터에 발생시키고

상기 하나의 입력측 트랜지스터의 상기 소정 전류를 상기 하나의 입력측 트랜지스터와 병렬한 다른 입력측 트랜지스터에 분기시키므로써 상기 출력측 트랜지스터내에 피크전류를 정상전류까지 감소시키는 제어 회로를 포함하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 16.

제15항에 있어서,

상기 입력측 트랜지스터 중 적어도 하나와 직렬로 연결된 스위치 회로, 및 상기 소정 전류를 발생시키는 정전류 공급원을 추가로 포함하고,

상기 제어 회로는 상기 전류 공급원으로부터의 상기 소정 전류로 상기 입력측 트랜지스터 중 하나를 구동하여 구동 개시 시간으로부터 소정 시간이 지난 후 스위치 회로를 온시키는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 17.

제16항에 있어서,

상기 복수의 입력측 트랜지스터는 $N > 1$ 인 동작 전류 비율 $1:N$ 을 갖는 두개의 트랜지스터를 포함하며, 소정 시간이 지난 후 온되는 상기 스위치 회로부는 구동 전류 비율 $1:N$ 을 갖는 상기 두개의 입력측 트랜지스터 중 하나에 삽입되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 18.

제16항에 있어서,

상기 스위치 회로는 복수의 입력측 트랜지스터와 각각 직렬로 삽입된 복수의 스위치 회로를 포함하며 상기 제어 신호는 상기 스위치 회로들 중 적어도 하나를 온시켜 복수의 스위치 회로 중 적어도 하나를 정전류 공급원으로부터의 전류로 구동하고 구동 개시 시간부터 소정 시간이 지난 후 적어도 하나의 잔여 스위치 회로를 온으로 되어 정상전류 공급원으로부터의 전류를 상기 입력측 트랜지스터 중 적어도 하나에 분기하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 19.

제15항에 있어서,

상기 커런트 미러 출력 회로의 출력은 액티브 매트릭스 디스플레이 상기 셀에 제공된 전압 메모리 캐패시터를 위해 충전 전류를 발생시키는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 20.

제19항에 있어서,

상기 디스플레이 셀 각각은 커런트 미러 회로를 포함하며, 커런트 미러 회로의 공통 베이스들 또는 게이트들은 상기 캐패시터와 각각 연결되고, 유기 EL 소자는 상기 디스플레이 셀의 커런트 미러 회로의 출력측과 연결되며, 상기 셀의 상기 커런트 미러 회로의 상기 입력측 트랜지스터를 구동하는 제1 트랜지스터는 데이터 라인 및 스캔 라인 사이에 제공되고, 셀의 입력측 트랜지스터 및 제2 트랜지스터 사이의 연결점 및 셀내 커런트 미러 회로의 베이스들 또는 공통으로 연결된 게이트들은 제2 트랜지스터를 통해 연결되며, 캐패시터는 제2 트랜지스터를 온으로 변경됨에 따라 재설정되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 21.

제20항에 있어서,

상기 커런트 미러 전류 출력 회로는 데이터 라인으로부터의 전류를 강하시키는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 22.

유기 EL 디스플레이 패널;

상기 유기 EL 디스플레이 패널의 단자 핀에 전류를 출력하는 커런트 미러 출력 회로;

소정 전류를 공급받는 복수의 병렬 입력측 트랜지스터 및 디스플레이 데이터 각각의 비트 위치에 대응되어 각각 디스플레이 데이터에 따라 선택적으로 동작하는 복수의 병렬 출력측 트랜지스터를 포함하는 커런트 미러 회로를 구비하고, 디스플레이 데이터를 아날로그 전류로 변환하되 아날로그 전류를 상기 출력측 트랜지스터의 전류의 합계치로 발생시키는 D/A 컨버터 회로; 및

상기 제2 입력측 트랜지스터와 직렬로 연결된 스위치 회로;

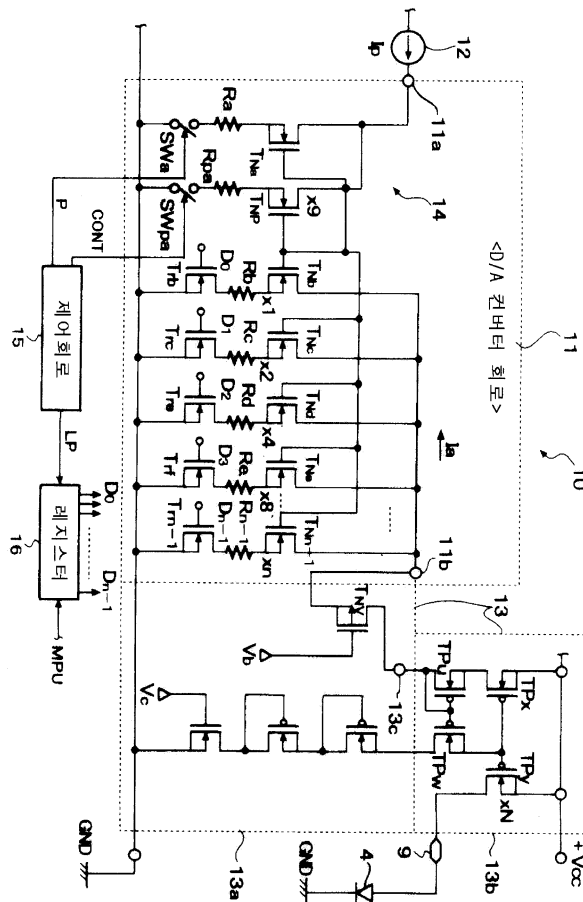
상기 제1 입력측 트랜지스터를 소정 정전류로 구동하는 정전류 공급원; 및

상기 스위치 회로를 온-오프로 제어하는 제어 회로를 포함하되,

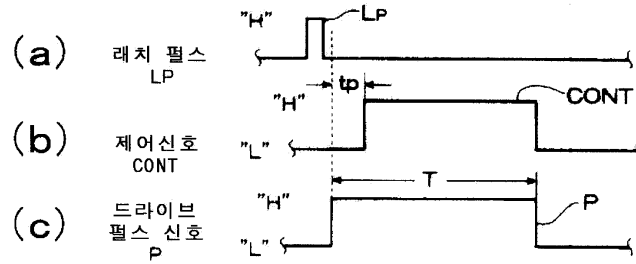
상기 제1 입력측 트랜지스터는 정전류에 의해 구동되며, 피크를 갖는 전류는 구동 개시 시간부터 소정 시간이 지난 후 스위치 회로를 온시켜 정전류를 제2 입력측 트랜지스터에 분기하여 각 커런트 미러 회로에 대한 구동 전류를 감소시키므로써 출력측 트랜지스터에 발생하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

도면

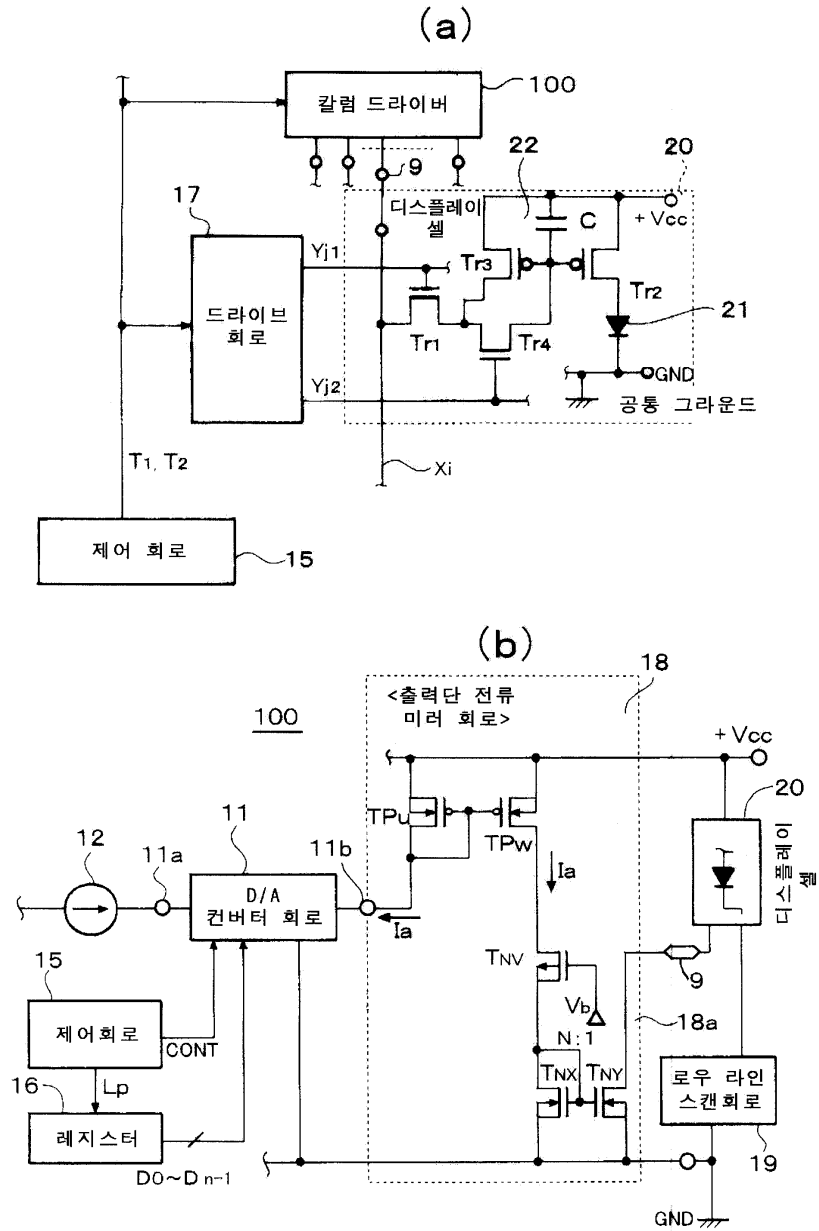
도면1



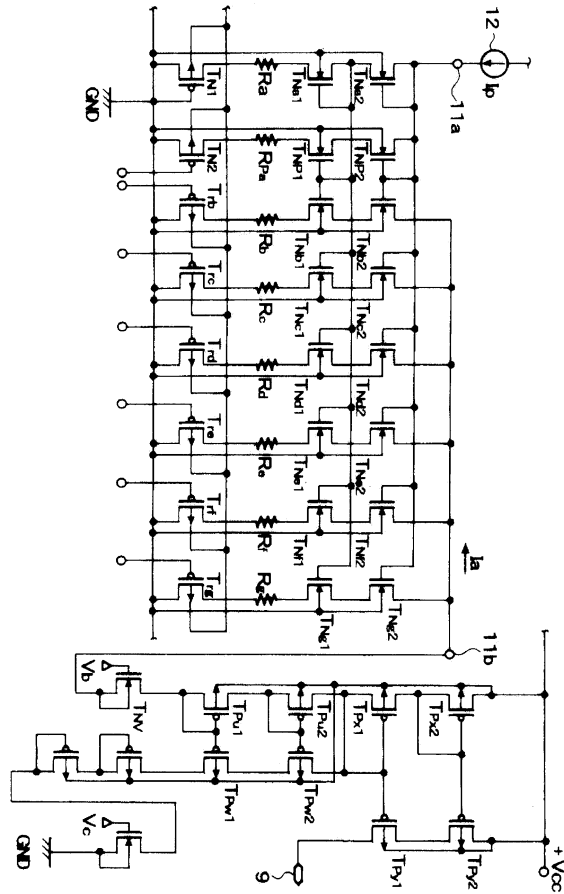
도면2



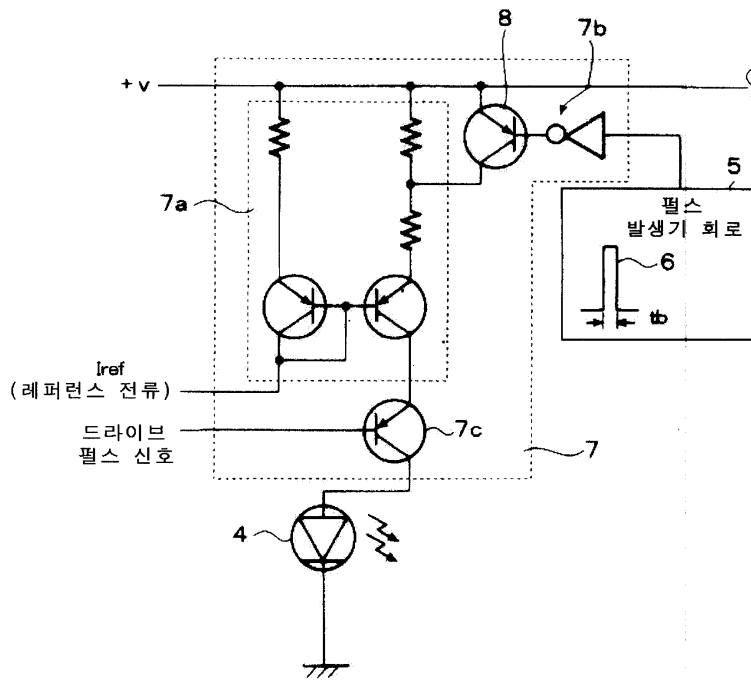
도면3



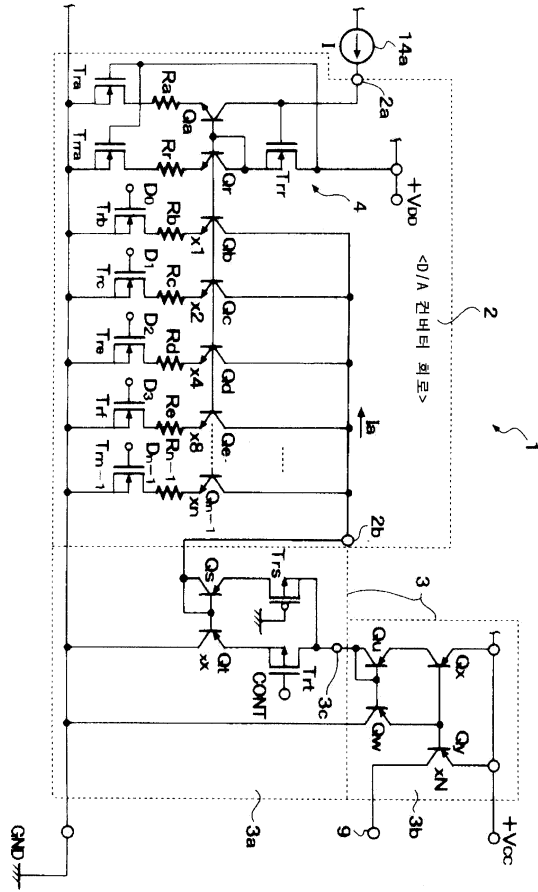
도면4



도면5



도면6



专利名称(译)	有机EL驱动电路和使用其的有机EL显示装置		
公开(公告)号	KR100489208B1	公开(公告)日	2005-05-17
申请号	KR1020030008567	申请日	2003-02-11
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	MAEDE JUN 마에데준 FUJISAWA MASANORI 후지사와마사노리		
发明人	마에데준 후지사와마사노리		
IPC分类号	G09G3/30 G09G3/32		
CPC分类号	G09G3/3216 G09G3/3241 G09G3/3283 G09G2300/0842 G09G2310/0251 G09G2310/027		
代理人(译)	LEE , HOO董		
优先权	2002033937 2002-02-12 JP		
其他公开文献	KR1020030068426A		
外部链接	Espacenet		

摘要(译)

通过用预定电流驱动一个输入侧晶体管产生具有用于驱动有机EL显示板的峰值电流的驱动电流，以在具有多个输入侧晶体管的电流镜电路的输出侧晶体管中产生峰值电流，预定电流分支到与输入侧晶体管并联连接的另一个输入侧晶体管，以减小每个输入侧晶体管的驱动电流，使输出侧晶体管的输出从峰值电流到稳定电流是通过减少电流产生的。 1

