



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

C09K 11/06 (2006.01)

H01L 33/00 (2006.01)

(11) 공개번호 10-2007-0061804

(43) 공개일자 2007년06월14일

(21) 출원번호 10-2007-7004752

(22) 출원일자 2007년02월27일

심사청구일자 없음

번역문 제출일자 2007년02월27일

(86) 국제출원번호 PCT/JP2005/015526

(87) 국제공개번호 WO 2006/025275

국제출원일자 2005년08월26일

국제공개일자 2006년03월09일

(30) 우선권주장 JP-P-2004-00250601 2004년08월30일 일본(JP)

(71) 출원인
고쿠리츠 다이가쿠 호진 교토 다이가쿠
일본 교토후 교토시 사쿄쿠 요시다혼마치 36반치 1
가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고
로무 가부시끼가이샤
일본 교토시 우쿄구 사이잉 미조사키쵸 21

(72) 발명자 스가누마 나오토시
일본국 교토 교토시 사쿄쿠 요시다혼마치 교토 유니버시티인터내셔널
이노베이션 센터 내

(74) 대리인 특허법인태평양

전체 청구항 수 : 총 8 항

(54) 유기 반도체 발광 장치 및 그것을 이용한 표시 장치

(57) 요약

유기 반도체 활성층에서부터 유기 반도체 발광부로의 캐리어 주입 효율을 높일 수 있는 유기 반도체 발광 장치가 제공된다. 이 유기 반도체 발광 장치는 채널 길이를 두어서 설정한 소스 영역 및 드레인 영역을 가지는 유기 반도체 활성층과, 소스 영역에 접합된 소스 전극과, 드레인 영역에 접합된 유기 반도체 발광부와, 이 유기 반도체 발광부에 접합된 드레인 전극과, 유기 반도체 활성층에 절연막을 사이에 두고 대향 배치된 게이트 전극을 가진다. 유기 반도체 발광부는 드레인 전극 및 유기 반도체 활성층으로부터 전자 및 정공의 공급을 받고, 이러한 재결합에 의해서 발광이 생기는 유기 반도체 발광층을 구비한다.

대표도

도 1

특허청구의 범위

청구항 1.

소정의 채널 길이를 두어서 설정한 소스 영역 및 드레인 영역을 가지는 트랜지터 활성층으로서의 유기 반도체 활성층과,

상기 유기 반도체 활성층상에 있어서 상기 소스 영역에 접합된 소스 전극과,

상기 유기 반도체 활성층상에 있어서 상기 드레인 영역에 접합된 유기 반도체발광부와,

상기 유기 반도체 발광부에 접합된 드레인 전극과,

상기 유기 반도체 활성층에 있어서 적어도 상기 소스 영역 및 드레인 영역 사이의 영역에 절연막을 사이에 두고 대향하여 배치되며, 상기 소스 영역 및 드레인 영역 사이의 캐리어의 이동을 제어하는 게이트 전극을 포함하고,

상기 유기 반도체 발광부는 상기 드레인 전극으로부터 전자 및 정공 중 한 쪽의 공급을 받고, 상기 유기 반도체 활성층으로부터 전자 및 정공 중 다른 쪽의 공급을 받음으로써, 전자 및 정공의 재결합에 의해서 발광이 생기는 유기 반도체 발광층을 포함하는 것을 특징으로 하는 유기 반도체 발광 장치.

청구항 2.

제1항에 있어서,

상기 게이트 전극은 상기 유기 반도체 활성층에 대하여, 상기 소스 전극 및 유기 반도체 발광부와는 반대측에 배치되어 있는 동시에, 상기 소스 영역 및 드레인 영역에 대향하는 영역에까지 뻗고 있는 것을 특징으로 하는 유기 반도체 발광 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 게이트 전극은 상기 소스 영역에 대향 배치된 제1 게이트 전극과, 상기 제1 게이트 전극에 대하여 전기적으로 독립이고, 상기 드레인 영역에 대향 배치된 제2 게이트 전극을 포함하는 것을 특징으로 하는 유기 반도체 발광 장치.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 소스 영역 및 상기 드레인 영역 중 한 쪽은 상기 소스 영역 및 드레인 영역 중 다른 쪽의 양측에 설정된 한 쌍의 영역을 포함하는 것을 특징으로 하는 유기 반도체 발광 장치.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 소스 영역 및 드레인 영역 중 한 쪽은 상기 드레인 영역 및 소스 영역 중 다른 쪽을 적어도 3 방향으로부터 둘러싸도록 설정되어 있는 것을 특징으로 하는 유기 반도체 발광 장치.

청구항 6.

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 드레인 영역과 상기 절연막과의 사이에 배치되고, 캐리어를 확산하기 위한 캐리어 확산막을 추가로 포함하는 것을 특징으로 하는 유기 반도체 발광 장치.

청구항 7.

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 게이트 전극 및 드레인 전극 중 적어도 어느 한 쪽이 투명 전극층을 포함하고,

상기 투명 전극층에 근접하며, 상기 투명 전극층내를 도파하는 광을 이 투명 전극층의 법선 방향을 향해서 회절시키는 회절 부재를 추가로 포함하는 것을 특징으로 하는 유기 반도체 발광 장치.

청구항 8.

제1항 내지 제7항 중 어느 한 항에 기재된 유기 반도체 발광 장치를 기판상에 복수개 배열하여 구성된 것을 특징으로 하는 표시 장치.

명세서

기술분야

본 발명은 유기 반도체 발광층을 가지는 유기 반도체 발광 장치 및 그것을 이용한 표시 장치에 관한 것이다.

배경기술

유기 반도체 트랜지스터와 유기 반도체 발광 소자를 조합한 장치는 하기와 같이 특허 문헌 1에 볼 수 있다. 이 장치는 P3HT로 이루어지는 반도체층과, 이 반도체층의 한 쪽 표면에 간격을 두고 설치된 소스 전극 및 드레인 전극과, 상기 반도체층의 다른 쪽 표면에 절연막을 통하여 배치된 게이트 전극과, 드레인 전극상에 적층된 MEH-PPV로 이루어지는 발광층과 이 발광층상에 적층된 음극을 구비하고 있다. 드레인 전극은 발광 소자의 양극을 겸하고 있다.

이 구성에 의해, 소스 전극에서부터 반도체층을 통과하여 드레인 전극으로 전류가 흐르고, 또한 이 전류가 발광층에 공급되는 것으로, 발광층으로부터의 발광이 관측된다.

특허 문헌 1 : 일본 특표 2002-512451호 공보 (0029 단락, 도 2)

상기의 선행 기술의 구성에서는 드레인 전극의 상하에는 각각 발광층과 금속, 및 금속과 반도체층의 계면이 형성되게 된다. 발광층으로의 캐리어 주입을 효율적으로 행하여 발광 효율을 높이기 위해서는 이러한 계면에 있어서의 데미지를 극히 억제하는 동시에, 접촉 저항을 가능한 한 감소시키는 것이 중요하다.

그러나, 트랜지스터층의 반도체층상에 드레인 전극을 형성하기 위해서 스페터법이나 진공 증착법 등을 적용하면, 반도체층에 데미지를 준다. 또, 금속층상에 발광층의 유기물층을 적층하면, 밀착성이 불충분이 되고, 그 계면에서의 전기 저항이 커지고, 금속층과 유기층과의 양호한 전기적 접촉을 달성하는 것이 곤란하다

또한, 드레인 전극은 트랜지스터층의 반도체층으로부터 캐리어를 받고, 캐리어를 발광층에 주입하는 역할을 담당하기 때문에, 반도체층으로부터의 캐리어 주입 효율이 높고, 또한 발광층으로의 캐리어 주입 효율이 높아지도록, 그 재료를 선택하지 않으면 안된다. 따라서, 드레인 전극 재료에는 그 일 함수가 트랜지스터층의 반도체층 및 발광층의 양쪽에 정합(整合)하는 것을 선택하지 않으면 안되며, 그 선택의 폭은 현저하게 제한되게 된다.

발명의 상세한 설명

본 발명의 목적은 트랜지스터의 유기 반도체 활성층에서부터 유기 반도체 발광부의 캐리어 주입 효율을 높이는 것이 가능한 유기 반도체 발광 장치 및 그것을 이용한 표시 장치를 제공하는 것이다.

본 발명의 유기 반도체 발광 장치는 소정의 채널 길이를 두어서 설정한 소스 영역 및 드레인 영역을 가지는 트랜지스터 활성층으로서의 유기 반도체 활성층과, 이 유기 반도체 활성층상에 있어서 상기 소스 영역에 접합된 소스 전극과, 상기 유기 반도체 활성층상에 있어서 상기 드레인 영역에 접합된 유기 반도체 발광부와 이 유기 반도체 발광부에 접합된 드레인 전극과, 상기 유기 반도체 활성층에 있어서 적어도 상기 소스 영역 및 드레인 영역 사이의 영역에 절연막을 사이에 두고 대향하여 배치되며, 상기 소스 영역 및 드레인 영역 사이의 캐리어의 이동을 제어하는 게이트 전극을 포함하고, 상기 유기 반도체 발광부는 상기 드레인 전극으로부터 전자 및 정공(正孔) 중 한 쪽의 공급을 받고, 상기 유기 반도체 활성층으로부터 전자 및 정공 중 다른 쪽의 공급을 받음으로써, 전자 및 정공의 재결합에 의해서 발광이 생기는 유기 반도체 발광층을 포함하는 것이다.

본 발명에 의하면, 트랜지스터 활성층으로서의 유기 반도체 활성층에 유기 반도체 발광부가 접합되어 있고, 이러한 계면은 유기물끼리의 접합면으로 되어 있고, 금속-유기 반도체의 계면은 존재하지 않는다. 그 때문에, 유기 반도체 활성층 및 유기 반도체 발광부의 계면은 데미지가 적은 양호한 계면으로 되어 있고, 또한 유기물끼리의 접합이기 위해 밀착성도 양호하다. 이것에 의해, 유기 반도체 활성층에서부터 유기 반도체 발광부의 캐리어 주입 효율을 높이는 것이 가능하고, 고효율로의 발광 동작이 가능하게 된다. 물론, 유기 반도체 활성층 및 유기 반도체 발광부의 양쪽을 고려한 전극 재료의 선택은 필요없다.

상기 유기 반도체 발광층은 정공 수송성의 유기 반도체 재료(P형 유기 반도체 재료)로 이루어지는 정공 수송층, 전자 수송성의 유기 반도체 재료(N형 유기 반도체 재료)로 이루어지는 전자 수송층, 및 이들 사이에 협지된 발광층(유기 반도체 재료로 이루어지는 것)을 포함하는 구성이어도 된다. 이 경우, 유기 반도체 활성층으로서 P형 유기 반도체 재료를 이용하는 경우에는 정공 수송층이 드레인 영역에 있어서 유기 반도체 활성층에 접합되게 되고, 유기 반도체 활성층으로서 N형 유기 반도체 재료를 이용하는 경우에는 전자 수송층이 드레인 영역에 있어서 유기 반도체 활성층에 접합되게 된다.

또, 유기 반도체 발광층은 발광층을 겹치는 정공 수송층과, 전자 수송층을 포함하는 적층 구조를 가져도 되고, 정공 수송층과 발광층을 겹치는 전자 수송층을 포함하는 적층 구조를 가져도 된다.

상기 유기 반도체 활성층은 P형 유기 반도체 재료로 이루어져 있어도 되고, 또 N형 유기 반도체 재료로 이루어져 있어도 된다. 나아가서, 유기 반도체 활성층은 정공 및 전자의 양쪽의 수송이 가능한 바이폴라성의 유기 반도체 재료로 이루어져 있어도 된다.

P형 유기 반도체 재료로서는 Pentacene, Tetracene, 금속 프탈로시아닌 (Copper phthalocyanine 등), Oligothiophen (α -Sexithiophene, α, ω -Dihexyl-sexithiophene), 폴리티오펜 (Poly(3-hexylthiophene), Poly(3-butylthiophene)), 폴리플루오렌, Anthracene, Oligophenylene, Oligophenylenevinylene, Dihexyl-Anthradithiophene, Bis (dithienothiophene), Poly(phenylenevinylene), Poly(thienylenevinylene), Poly acetylene, α, ω -Dihexyl-quinquethiophene, TPD, α -NPD, m-MTDATA, TPAC, TCTA, Poly(vinylcarbazole) 등을 예시할 수 있다.

또, N형 유기 반도체 재료로서는 페틸렌 골격 디이미드(C_6 -PTC, C_8 -PTC, C_{12} -PTC, C_{13} -PTC, Bu-PTC, F_7 Bu-PTC*, Ph-PTC, F_5 Ph-PTC*, PTCBI(3,4,9,10-perylene-tetracarboxylic-diimide), PTCDI(3,4,7,8-naphthalene-tetracarboxylic-diimide)), 나프탈렌 골격 디이미드(PTCDI(3,4,7,8-naphthalene-tetracarboxylic-diimide), C_6 -NTC, C_8 -NTC, C_{12} -NTC 및 그러한 불소화 알킬 치환체), 불소화 프타로시아닌, 불소화 펜타센, 불소화 올리고 티오펜, TCNQ, C_{60} 풀라렌 등을 예시할 수 있다.

또한, 바이폴라성의 유기 반도체 재료로서는 α -NPD, Alq₃(Tris(8-hydroxy quinolinato)aluminum(III)), CBP(4,4'-Bis(carbazol-9-yl)biphenyl), BSA-1m(9,10-Bis(3-cyanostilil)anthracene), MEHPPV(Poly[2-Methoxy-5-(2-ethylhexyloxy)-1,4-phenylenevinylene]), CN-PPP(Poly[2-(6-cyano-6-methylheptyloxy)-1,4-phenylene]), Bis(2-(2-hydroxyphenyl)-benz-1,3-thiazolato)zinc complex, Poly[(9,9-dihexylfluoren-2,7-diyl)-co-(anthracen-9,10-diyl)] 등을 예시할 수 있다.

또, 유기 반도체 발광부의 발광층을 구성하는 유기 반도체 재료로서는 Alq₃ 등 형광을 나타내는 금속 착체계 재료, 또는 이러한 금속 착체계 재료에 DCM2, Rubrene, Coumarin, Perylene 등의 다른 형광 색소를 도프한 것, 또는 4,4'-Bis(carbazol-9-yl)biphenyl(CBP)에 fac-tris(2-phenylpyridine)iridium(Ir(ppy)₃) 등의 인광 발광 색소를 도프한 것 등을 예시할 수 있다.

또, 정공 수송 재료로서는 α -NPD, TPD를 비롯하는 디아민계 재료, m-TDATA 등을 들 수 있다.

상기 게이트 전극은 상기 유기 반도체 활성층에 대하여, 상기 소스 전극 및 유기 반도체 발광부와는 반대측에 배치되어 있는 동시에, 상기 소스 영역 및 드레인 영역에 대향하는 영역에까지 뻗어 있어도 된다.

이 구성에 의하면, 게이트 전극은 소스 드레인간의 캐리어의 이동을 제어할 수 있는 동시에, 소스 전극에서부터 유기 반도체 활성층로의 캐리어 주입을 위한 전계를 소스 전극과의 사이에 형성할 수 있고, 또한 드레인 영역에서부터 유기 반도체 발광부로의 캐리어 주입 및 드레인 전극에서부터 유기 반도체 발광부로의 캐리어 주입을 위한 전계를 드레인 전극과의 사이에 형성할 수 있다. 이것에 의해, 유기 반도체 발광부에 캐리어 주입 효율을 더욱 향상시키고, 고효율인 발광에 기여할 수 있다.

또, 상기 게이트 전극은 상기 소스 영역에 대향 배치된 제1 게이트 전극과 이 제1 게이트 전극에 대하여 전기적으로 독립이며, 상기 드레인 영역에 대향 배치된 제2 게이트 전극을 포함하는 것이어도 된다.

이 구성에 의하면, 게이트 전극이, 소스 영역측의 제1 게이트 전극과, 드레인 영역측의 제2 게이트 전극으로 분할되어 있고, 이것들에 대하여 독립적으로 제어 전압을 인가할 수 있다. 따라서, 소스 전극에서부터 유기 반도체 활성층로의 캐리어 주입과 드레인 영역 및 드레인 전극에서부터 유기 반도체 발광부로의 캐리어 주입을 독립적으로 제어할 수 있다. 이것에 의해, 캐리어의 주입 밸런스를 적절히 정하는 것이 가능하므로, 보다 고효율로의 발광이 가능하게 된다.

또, 상기 제1 및 제2 게이트 전극간의 틈새는 상기 채널 길이보다 짧게 정해져 있는 것이 바람직하다.

상기 소스 영역 및 상기 드레인 영역 중 한 쪽은 상기 소스 영역 및 드레인 영역 중 다른 쪽의 양측에 설정된 한 쌍의 영역을 포함하는 것이어도 된다.

유기 반도체 활성층의 드레인 영역에서부터 유기 반도체 발광부로의 캐리어 주입 분포는 소스 영역측에 편재한다. 여기서, 상기의 구성을 취하면, 보다 넓은 발광 면적을 확보할 수 있다.

상기 소스 영역 및 드레인 영역 중 한 쪽은 상기 드레인 영역 및 소스 영역 중 다른 쪽을 적어도 3 방향으로부터 둘러싸도록 설정되어 있는 것이 바람직하다. 이 구성에 의해, 더욱 넓은 발광 면적을 확보할 수 있다. 물론, 소스 영역 및 드레인 영역의 한 쪽을, 그 다른 쪽이 4 방향으로부터 둘러싸는 구성으로 할 수도 있다. 또한, 소스 및 드레인 영역의 한 쪽의 거의 전체 둘레를, 그들의 다른 쪽이 둘러싸는 구성이라고 해도 된다.

상기 유기 반도체 발광 장치는 상기 드레인 영역과 상기 절연막과의 사이에 배치되며 캐리어를 확산하기 위한 캐리어 확산막을 추가로 포함하는 것이어도 된다. 이 구성에 의하면, 캐리어 확산막에 의해서 드레인 영역의 넓은 범위로 캐리어를 확산시킬 수 있으므로, 드레인 영역내의 넓은 범위에서 유기 반도체 발광부로의 캐리어 주입이 생긴다. 이것에 의해, 넓은 발광 면적을 실현할 수 있다.

상기 게이트 전극 및 드레인 전극 중 적어도 어느 한 쪽은 투명 전극층을 포함하고 있어도 된다. 이 경우에, 그 투명 전극층에 근접하여 상기 투명 전극층내를 도파하는 광을 이 투명 전극층의 법선 방향을 향해서 회절시키는 회절 부재를 설치하는 것이 바람직하다. 이 구성에 의하면, 굴절율의 높은 투명 전극층에 집중하는 광을, 이 투명 전극층의 법선 방향을 향해서 취출할 수 있으므로, 광 취출 효율을 높일 수 있고, 보다 휘도가 높은 발광 장치를 실현할 수 있다.

본 발명의 표시 장치는 상술한 바와 같은 유기 반도체 발광 장치를 기관상에 복수개 배열하여 구성할 수 있다. 유기 반도체 발광 장치를 1차원적 또는 2차원적으로 기관상에 배열함으로써, 1차원 또는 2차원의 표시 장치 (개개의 화상을 유기 반도체 발광 장치로 구성한 것)를 구성할 수 있다.

본 발명에 있어서의 상술한, 또는 또다른 목적, 특징 및 효과는 첨부한 도면을 참조하여 후술하는 실시 형태의 설명에 의해 밝혀진다.

실시예

도 1(a)는 본 발명의 일 실시 형태에 관한 유기 반도체 발광 장치의 구성을 설명하기 위한 도해적인 단면도이다. 이 유기 반도체 발광 장치(50)는 유기 반도체 활성층(1)을 트랜지스터 활성층으로 한 전계 효과형 트랜지스터로서의 기본 형태를 가지고 있다. 보다 구체적으로는 이 유기 반도체 발광 장치(50)는 기관(2)와 이 기관(2)상에 형성된 게이트 전극(3)과 이 게이트 전극(3)상에 적층된 게이트 절연막(4)과 이 게이트 절연막(4)상에 적층된 상기의 유기 반도체 활성층(1)을 구비하고 있다. 이 유기 반도체 활성층(1)상에는 소정의 채널 길이 L을 두고, 소스 영역(5) 및 드레인 영역(6)이 설정되어 있다. 소스 영역(5)에는 소스 전극(7)이 적층 형성되어 있고, 드레인 영역(6)에는 유기 반도체 재료로 이루어지는 유기 반도체 발광부(8)가 적층되어 있다. 이 유기 반도체 발광부(8)상에 드레인 전극(9)이 적층 형성되어 있다. 즉, 이 유기 반도체 발광 장치(50)는 전계 효과형 트랜지스터(TFT : 박막 전계 효과형 트랜지스터)로서의 기본 형태를 갖는 동시에, 유기 반도체 활성층(1)과 드레인 전극(9)과의 사이에 유기 반도체 발광부(8)를 개재 삽입한 구성으로 되어 있다.

게이트 전극(3)은 소스 영역(5) 및 드레인 영역(6)의 사이의 채널 영역(10)에 대하여 게이트 절연막(4)을 통하여 대향하고 있는 동시에, 소스 영역(5) 및 드레인 영역(6)의 직하의 영역에까지 뻗어서 형성되어 있다. 즉, 게이트 전극(3)은 소스 영역(5)에 대하여 게이트 절연막(4)을 통하여 대향하고 있는 동시에, 드레인 영역(6)에 대해 게이트 절연막(4)을 통하여 대향하고 있다. 이것에 의해서, 게이트 전극(3)과 소스 전극(7)과의 사이에 생기는 전계에 의해, 소스 전극(7)으로부터 유기 반도체 활성층(1)에 대하여 캐리어(정공 및 전자 중 한 쪽)를 효율적으로 주입할 수 있다. 또, 게이트 전극(3)과 드레인 전극(9)과의 사이에 생기는 전계에 의해서, 유기 반도체 활성층(1)으로부터 유기 반도체 발광부(8)와 한 쪽의 극성의 캐리어(정공 및 전자 중 한 쪽)를 효율적으로 주입할 수 있고, 또한 드레인 전극(9)으로부터 유기 반도체 발광부(8)와 다른 극성의 캐리어(정공 및 전자 중 다른 쪽)를 효율적으로 주입할 수 있다. 이것에 의해, 유기 반도체 발광부(8)에 있어서, 정공 및 전자의 재결합을 효율적으로서 생기게 할 수 있고, 높은 효율로의 발광을 실현할 수 있다.

예를 들어, 유기 반도체 활성층(1)을, 정공 수송성의 P형 유기 반도체 재료에 의해서 구성하는 경우에 대해 고찰한다. 이 경우, 게이트 전극(3), 소스 전극(7) 및 드레인 전극(9)에는 도 1(b)에 나타내는 전위가 각각 주어진다. 즉, 게이트 전극(3)에는 소스 전극(7)을 기준으로서 전압 $V_g(<0)$ 가 주어지며, 드레인 전극(9)에는 소스 전극(7)을 기준으로서 전압 $V_d(<0)$ 가 인가된다. 이것에 의해, 게이트 전극(3)과 소스 전극(7)과의 사이에는 소스 전극(7)으로부터 게이트 전극(3)으로 향하는 전계 F1이 형성되며, 게이트 전극(3)과 드레인 전극(9)과의 사이에는 게이트 전극(3)으로부터 드레인 전극(9)으로 향하는 전계 F2가 형성된다. 따라서, 전계 F1에 의해, 소스 전극(7)으로부터 유기 반도체 활성층(1)으로 정공이 주입된다. 또, 전계 F2에 의해, 게이트 전극(3)에서부터 유기 반도체 발광부(8)로 정공이 주입되는 동시에, 드레인 전극(9)에서부터 유기 반도체 발광부(8)로 전자가 주입되게 된다.

소스 전극(7)에서부터 유기 반도체 활성층(1)으로 주입된 정공은 이 유기 반도체 활성층(1)을 통과하여 소스 영역(5)에서부터 드레인 영역(6)으로 수송되고, 이 드레인 영역(6)으로부터 유기 반도체 발광부(8)에 주입되게 된다. 소스 영역(5)으로부터 드레인 영역(6)에의 정공의 수송량은 게이트 전극(3)에 부여되는 전압 V_g 에 의해 제어하는 것이 가능하다. 이것에 의해, 소스 영역(5)과 드레인 영역(6)과의 사이를 도통/차단하여 발광의 온/오프 제어를 실시할 수 있는 것 외에 게이트 전극(3)에 주는 전압 V_g 를 단계적으로 또는 연속적으로 변화시킴으로써, 소스 영역(5)에서부터 드레인 영역(6)으로 수송되는 정공의 양을 단계적 또는 연속적으로 변화시키고, 발광 광량을 단계적 또는 연속적으로 변동시킬 수 있다. 즉, 발광 광량의 변조가 가능하다.

도 2는 도 1(a)의 유기 반도체 발광 장치(50)의 것보다 구체적인 구성예를 설명하기 위한 도해적인 단면도이다. 이 도 2에 나타내는 유기 반도체 발광 장치(50)는 기관(2)측에 광(11)을 취출하기 위한 구성을 가지고 있다. 구체적으로 설명하면, 기관(2)은 유리 기관 등의 투명 기관으로 구성되어 있고, 게이트 전극(3)은 ITO(산화 인듐주석), IZO(산화 인듐 아연) 또는 ZnO(산화 아연) 등의 투명한 도전 재료로 이루어지는 투명 전극막으로 구성되어 있고, 게이트 절연막(4)은 산화 실리콘막 등의 투명한 절연막으로 구성되어 있다. 유기 반도체 활성층(1)은 예를 들어, P형 유기 반도체 재료인 펜타센(pentacene)으로 구성되어 있다. 그리고, 소스 전극(7)은 유기 반도체 활성층(1)에 대해 정공을 주입하기 쉬운 금속 재료(예를 들어 금)로 구성되어 있다.

유기 반도체 발광부(8)는 유기 반도체 활성층(1)에 접하여 배치된 정공 수송층(81)과, 이 정공 수송층(81)상에 적층된 발광층을 겸하는 전자 수송층(82)을 구비한 유기 반도체 적층막으로 구성되어 있다. 정공 수송층(81)은 정공 수송성의 재료, 즉 정공의 주입이 가능하고, 정공을 그 내부에서 수송할 수 있는 상술한 바와 같은 P형 유기 반도체 재료로 구성되어 있다. 또, 전자 수송층(82)은 전자의 주입이 가능하고, 그 내부에서 전자를 수송할 수 있는 상술한 바와 같은 N형 유기 반도체 재료로 구성되어 있다.

전자 수송층(82)상에는 금속 전극인 드레인 전극(9)이 적층하여 형성되어 있다. 이 드레인 전극(9)은 전자 수송층(82)에 대하여 전자를 주입하기 쉬운 금속 재료로 이루어져 있고, 예를 들어 MgAg, Al, Al/Li, Ca 등을 구체적인 예로서 예시하는 것이 가능하다.

이와 같은 구성의 유기 반도체 발광 장치에서는 전자 수송층(82)과 정공 수송층(81)과의 계면 부근의 영역에 있어서 발광이 발생하고, 발생한 광(11)은 투명 기판(2)측으로 취출되게 된다.

도 3은 기판(2)과는 반대측에 광(11)을 취출하는 경우의 구성예를 나타내는 도해적인 단면도이다. 이 도 3에 있어서, 상술한 도 2에 나타난 각 부에 대응하는 부분에는 도 2의 경우와 동일한 참조 부호를 부여하여 나타낸다. 도 3의 구성에서는 게이트 전극(3)은 금속 재료(예를 들어 Al)로 구성되어 있고, 기판(2)은 예를 들어 실리콘으로 구성되어 있다. 게이트 절연막(4)은 투명할 필요는 없으나, 예를 들어 산화 실리콘으로 구성되어 있다. 기판(2)을 실리콘 등의 반도체 재료로 구성하는 경우에는 게이트 전극(3)은 기판(2)의 표층부에 형성된 불순물 확산층으로 이루어지는 도전층에서 형성할 수도 있다.

유기 반도체 활성층(1)은 도 2의 구성의 경우와 같이, 예를 들어, P형 유기 반도체 재료인 펜타센으로 구성되어 있고, 그 소스 영역(5)에 접합하여 형성되는 소스 전극(7)은 예를 들어 금 등의 금속 전극으로 이루어진다. 유기 반도체 발광부(8)의 구성은 도 2의 경우와 동일하다. 전자 수송층(82)상에 적층되는 드레인 전극(9)은 이 실시 형태에서는 투명 전극막으로 구성되어 있다. 이 투명 전극막은 ITO, IZO 또는 ZnO 등에서 구성할 수 있다.

이 구성에 의해서, 전자 수송층(82) 내에 있어서 정공 수송층(81)과의 계면 부근의 영역에서 발생하는 정공 및 전자의 재결합에 수반하는 발광은 투명 전극막으로 이루어지는 드레인 전극(9)측에 있어서 관측되게 된다.

도 4(a) 및 도 4(b)는 상기 유기 반도체 발광 장치(50)의 또다른 구체적인 구성예를 나타내는 도면으로서, 도 4(a)는 그 도해적인 단면도이고, 도 4(b)는 그 도해적인 평면도이다. 이 구성예에서는 유기 반도체 활성층(1)(도 4(b)에 있어서 소스 전극(7) 또는 드레인 전극(9)에 의해서 은폐되어 있지 않은 영역에 사선을 부여하여 나타냄)의 소스 영역(5)은 유기 반도체 발광부(8) 및 드레인 전극(9)의 적층 구조가 형성된 드레인 영역(6)의 소정 방향에 관한 양측에 설정된 한 쌍의 영역(5A, 5B)을 가지고 있다. 그리고, 이러한 영역(5A, 5B)상에 공통으로 접합되도록, 금속 전극으로 이루어지는 소스 전극(7)이 평면시에 있어서 거의 U자 형상을 이루도록 형성되어 있다. 이 실시 형태에서는 유기 반도체 활성층(1)은 소스 영역(5)의 한 쪽의 영역(5A)로부터 드레인 영역(6)을 통과하여 다른 쪽의 영역(5B)에 이르는 띠 형상 패턴으로 형성되어 있다. 즉, 소스 전극(7)은 영역(5A, 5B)에 있어서는 유기 반도체 활성층(1)에 접하고 있으나, 그 이외의 영역에서는 게이트 절연막(4)에 접하고 있다.

상술한 도 2 또는 도 3의 구성예에서는 드레인 영역(6)에 대하여 한 쪽측으로부터 정공이 수송되어 오기 때문에, 발광부위가 소스 영역(5)측에 치우쳐서, 결과적으로 큰 발광 면적을 확보하기 어렵다고 하는 문제가 있다. 도 4(a) 및 도 4(b)에 나타난 구성예에서는 드레인 영역(6)의 양측으로 소스 영역(5A, 5B)이 배분되어 있기 위해, 드레인 영역(6)에 대하여 정반대의 2 방향으로부터 정공이 수송되게 된다. 이것에 의해, 유기 반도체 발광부(8)의 넓은 범위에서 발광을 일으키게 할 수 있고, 발광 면적을 증가시킬 수 있다.

또, 도 4(b)에 있어서, 도면에서 아래쪽의 영역에서 게이트 전극(3)을 노출시키고 있는 것은 이 게이트 전극(3)을 외부 접속하기 위한 콘택트를 취하기 때문이며, 물론 다른 구성에 의해서 외부 접속을 위한 콘택트를 취하는 것도 가능하다.

도 5는 도 4(a) 및 도 4(b)의 구성예의 변형예를 나타내는 평면도이다. 이 도 5에 나타난 구성에서는 평면시에 있어서, 직사각형의 드레인 영역(6)을 그자형으로 둘러싸도록 소스 영역(5)이 설정되고, 이 소스 영역(5)상에 동일하게 그자형의 소스 전극(7)이 적층하여 형성되어 있다. 이 구성에서는 소스 영역(5)은 드레인 영역(6)을 3 분 (유기 반도체 활성층(1)에 평행한 평면내에 있어서 90 도의 각도 간격으로, 정한 3 개의 방향)으로부터 둘러싸게 되기 때문에, 유기 반도체 발광부(8)에 있어서의 발광 면적을 보다 증가시킬 수 있다.

도 6은 또다른 구성예를 설명하기 위한 도해적인 평면도이다. 이 구성에서는 소스 영역(5) 및 드레인 영역(6)은 서로 감합(嵌合)하는 빗살 형상으로 각각 형성되어 있다. 여기에 대응하여, 소스 전극(7)은 빗살 형상의 소스 영역(5)과 동일한 패턴의 빗살 형상으로 형성되어 있는 동시에, 유기 반도체 발광부(8) 및 드레인 전극(9)의 적층 구조는 빗살 형상의 드레인 영역(6)과 동일한 패턴의 빗살 형상부를 가지고 있다.

이 구성에 의하면, 소스 영역(5) 및 드레인 영역(6)의 대향부의 전체 길이(채널 폭)를 길게 취할 수 있는 동시에, 발광 면적을 보다 증가시킬 수 있다.

도 7은 또다른 변형예를 설명하기 위한 도해적인 평면도이다. 이 구성예에서는 드레인 영역(6)은 직사각형(거의 정방형)으로 형성되어 있는 동시에, 유기 반도체 발광부(8) 및 드레인 전극(9)도 동일하게 직사각형으로 형성되어 있다. 이 직사각형의 드레인 전극(9)의 한 모서리로부터 리드부(9A)가 나와 있다. 그리고, 소스 영역(5)은 리드부(9A)를 회피하면서, 드레인 영역(6)의 주위 전체를 4 방향(유기 반도체 활성층(1)에 평행한 평면내에 있어서 90도의 각도 간격으로, 정한 4개의 방향)으로부터 거의 둘러싸도록 설정되어 있고, 이 직사각형의 고리 형상 영역으로 이루어지는 소스 영역(5)상에 소스 전극(7)이 형성되어 있다. 이 구성에 의하면, 드레인 영역(6)에 대하여 주위의 거의 전방향으로부터 정공을 공급할 수 있으므로, 발광 면적을 보다 증대시킬 수 있다.

도 8에는 또다른 변형예가 나타나고 있다. 이 구성에서는 드레인 영역(6)이 원형으로 설정되어 있고, 이 원형의 드레인 영역(6)상에, 동일하게 원형의 유기 반도체 발광부(8) 및 드레인 전극(9)이 적층되어 있다. 그리고, 원형의 드레인 전극(9)에서는 한 방향에 리드부(9A)가 나타나 있다. 또한, 소스 영역(5)은 원형의 드레인 영역(6)을, 리드부(9A)를 회피하면서, 거의 전방위에 걸쳐서 둘러싸는 고리 형상으로 형성되어 있다. 이 고리 형상의 소스 영역(5)상에 같은 패턴의 소스 전극(7)이 적층하여 형성되어 있다. 이 구성에 의해서, 드레인 영역(6)의 거의 사방에 정공을 공급할 수 있으므로, 넓은 발광 면적을 얻을 수 있다.

또, 도 4 ~ 도 8의 구성에 있어서, 소스 영역(5) 및 드레인 영역(6)을 반전하여 배치하는 것도 가능하다. 즉, 도 4(a) 및 도 4(b)의 구성에 있어서, 소스 영역(5)의 양측으로 드레인 영역(6)을 분산 배치해도 되고, 도 5의 구성에 있어서, 소스 영역(5)을 3 방향으로부터 둘러싸도록 드레인 영역(6)을 그자 형상으로 설정해도 된다. 또한, 도 7 및 도 8의 구성에 있어서, 소스 영역(5)를 중앙에 배치하여, 이것을 거의 전 주위에 걸쳐서 포위하도록 드레인 영역(6)을 배치하는 것으로 해도 된다.

도 9는 도 2에 나타난 유기 반도체 발광 장치(50)의 변형예를 나타내는 도해적인 단면도이다. 이 구성에서는 투명 전극막으로 이루어지는 게이트 전극(3)과 투명 기판(2)과의 계면 부근에 있어서, 투명 기판(2)측에 회절 부재로서의 회절 격자(15)가 설치되어 있다. 이 회절 격자(15)는 투명 전극막으로 이루어지는 게이트 전극(3)내를 기판(2)의 단면(16)에 향하여 전파하는 광(11)을, 투명 기판(2)의 표면(2A)측에(즉, 게이트 전극(3)의 법선 방향을 향해서) 회절시키는 기능을 가진다.

ITO 등으로 이루어지는 투명 전극막은 일반적으로 굴절율을 n 이 2 정도이며, 산화 실리콘막 등으로 이루어지는 게이트 절연막(4)(예를 들어, 굴절율 $n=1.5$), 유리 기판 등으로 이루어지는 투명 기판(2)(예를 들어, 굴절율 $n=1.5$), 유기 반도체 활성층(1)(예를 들어, 굴절율 $n=1.7 \sim 1.8$), 정공 수송층(81)(예를 들어, 굴절율 $n=1.7$) 및 전자 수송층(82)(예를 들어, 굴절율 $n=1.7$)의 어느 것보다 굴절율이 높다. 그 때문에, 유기 반도체 발광부(8)에서 생긴 광은 투명 전극막으로 이루어지는 게이트 전극(3)내에 갇히는 경향이 있다.

여기서, 투명 전극막으로 이루어지는 게이트 전극(3)에 대하여 광 취출 방향인 투명 기판(2)측에 회절 격자(15)를 배치하는 것으로, 게이트 전극(3)내를 도파하는 광(11)을, 투명 기판(2)의 표면(2A)측에 효율적으로 취출할 수 있다. 이렇게 하고, 광 취출 비율의 향상된 유기 반도체 발광 장치를 실현할 수 있다.

회절 격자의 주기 Λ 는 유기 반도체 발광부(8)에서 생기는 광의 파장 λ 에 대하여 $\Lambda=k\lambda$ ($k=1, 2, 3, \dots$)인 관계를 만족하도록 설정되는 것이 바람직하다. 이것에 의해, 보다 효율적인 광의 취득이 가능하게 된다.

도 10은 도 3의 구성의 유기 반도체 발광 장치(50)에 대하여, 도 9의 경우와 같은 변형을 행한 예를 나타낸다. 이 구성예에서는 투명 전극막으로 이루어지는 드레인 전극(9)의 표면에, 회절 격자(17)가 형성되어 있다. 도 3의 구성의 경우에는 투명 전극막으로 이루어지는 드레인 전극(9)에 광이 갇히는 경향으로 되는 것이지만, 회절 격자(17)에 의해서, 드레인 전극(9)내를 도파하는 광(11)을, 이 드레인 전극(9)의 법선 방향을 향해서 외부에 취출할 수 있다. 이것에 의해, 광 취출 효율을 향상할 수 있다.

또, 회절 격자(15, 17) 대신에, 마이크로 도트를 분산 배치하고, 게이트 전극(3) 또는 드레인 전극(9)내를 도파하는 광(11)을 그러한 방선(放線) 방향을 향해서 회절시켜서 추출하는 회절 부재를 구성할 수도 있다. 예를 들어, 도 9의 구성의 경우에, 유리 기판(2)의 표면에, 마이크로 도트를 인쇄하고, 그 후에 유리 기판(2)의 표면을 유리로 코팅 함으로써, 상기와 같은 회절 부재가 매립된 유리 기판(2)을 얻을 수 있다. 유리 기판(2) 내에 회절 격자(15)를 형성하는 경우에는 예를 들어, 유리 기판(2)의 표면에 회절 격자의 줄무늬 형상 패턴을 인쇄 등에 의해 형성하고, 그 위로부터 유리 코팅을 행하면 좋다.

도 10의 구성의 경우에, 드레인 전극(9)의 표면에 회절 격자(17)나 상기와 같은 마이크로 도트의 확산 패턴에 의한 회절 패턴을 형성하려면, 회절 격자의 줄무늬 형상 패턴이나 확산 도트 패턴을 드레인 전극(9)의 표면에 인쇄하면 좋다.

도 11은 도 2의 구성의 또다른 변형예를 나타내는 도해적인 단면도이다. 이 구성에서는 소스 전극(7)은 게이트 절연막(4)상에 접하여 형성되어 있고, 이 소스 전극(7)을 덮도록 유기 반도체 활성층(1)이 형성되어 있다. 즉, 소스 전극(7)에 관해서는 이른바 보텀 콘택트형의 구성으로 되어 있다. 이 구성에 의해서, 도 2의 구성의 경우와 같은 동작이 가능하다.

물론, 도 3 내지 도 10에 나타내고 있던 어떤 구성에 있어서도, 동일한 변형이 가능하다.

도 12는 또다른 변형예에 관한 구성을 나타내는 도해적인 단면도이다. 이 구성에서는 게이트 절연막(4)에 접하여, 소스 영역(5)에 금속 전극으로 이루어지는 소스 전극(7)이 적층 형성되어 있는 동시에, 드레인 영역(6)에서는 게이트 절연막(4)에 접하고, 캐리어 확산막으로서의 전류 확산막(40)이 적층하여 형성되어 있다. 유기 반도체 활성층(1)은 소스 전극(7)과 전류 확산막(40)과의 사이의 채널 영역(10)에 있어서 게이트 절연막(4)에 접하고 있는 동시에, 소스 전극(7)의 상면을 덮고, 또한 전류 확산막(40)의 상면을 덮고 있다. 그리고, 유기 반도체 활성층(1)에 있어서 전류 확산막(40)의 위쪽의 영역에 드레인 영역(6)이 위치하고, 이 드레인 영역(6)상에, 유기 반도체 발광부(8) 및 드레인 전극(9)이 적층하여 형성되어 있다.

이 구성에 의하면, 소스 전극(7)으로부터 유기 반도체 활성층(1)을 통과하여 드레인 영역(6)으로 유도된 정공은 전류 확산막(40)에 의해 확산되고 나서, 유기 반도체 발광부(8)으로 주입되어 간다. 이것에 의해, 유기 반도체 발광부내에서는 넓은 면적에 있어서 정공 및 전자의 재결합을 발생시킬 수 있기 때문에, 발광 면적을 증대할 수 있다.

이상과 같이, 이 실시 형태의 구성에 의하면, 드레인 영역(6)에 있어서는 유기 반도체 활성층(1)의 표면에 유기 반도체층인 정공 수송층(81)이 적층되어 있다. 따라서, 드레인 영역(6)에 있어서, 유기 반도체 활성층(1)의 표면에 금속막을 형성할 필요가 없기 때문에, 예를 들어 스페터법 등으로 형성되는 금속막의 형성에 생기는 데미지가 드레인 영역(6)의 유기 반도체 활성층(1)에 주어지는 일이 없다. 또, 유기 반도체 활성층(1)과 동일한 유기 반도체 재료로 이루어지는 정공 수송층(81)은 양호한 밀착성으로 유기 반도체 활성층(1)상에 적층할 수 있다. 따라서, 유기 반도체 활성층(1)과 유기 반도체 발광부(8)와의 사이의 접촉 저항은 낮고, 유기 반도체 활성층(1)에서부터 유기 반도체 발광부(8)로의 캐리어 주입은 효율적으로 행해지게 된다. 유기 반도체 발광층(1)과 유기 반도체 발광부(8)와의 사이에 적절한 버퍼층을 삽입함으로써, 더욱 주입의 효율을 향상할 수 있다.

소스 영역(5)에서는 금속 재료로 이루어지는 소스 전극(7)이 유기 반도체 활성층(1)에 접하게 되지만, 소스 영역(5)과 소스 전극(7)과의 사이의 계면 상태는 드레인 영역(6)측에 배치되는 유기 반도체 발광부(8)의 발광에 대하여 큰 영향을 주지 않는다. 따라서, 이 소스 전극(7)은 유기 반도체 활성층(1)상에 예를 들어 스페터법으로 문제없이 적층 형성할 수 있다.

드레인 전극(9)은 유기 반도체 발광부(8)상에 적층되는 것이지만, 예를 들어 유기 반도체 발광부(8)와 드레인 전극(9)과의 사이 및 유기 반도체 활성층(1)과 유기 반도체 발광부(8)와의 사이의 적어도 한 쪽에 적절한 버퍼층을 개재시키는 것에 의해서, 드레인 전극(9)에서부터 유기 반도체 발광부(8)로의 캐리어 주입 효율을 향상시킬 수 있다. 이 경우, 버퍼층은 드레인 전극(9)과 유기 반도체 발광부(8)와의 사이의 에너지 장벽을 완화시킴으로써 캐리어 주입 효율을 높이는 것이다. 구체적으로, 버퍼층은 정공 주입이면 Copper phthalocyanine(CuPc), m-MTDATA, PEDOT/PSS, Polyaniline 등, 전자 주입이면 Tris(8-hydroxyquinoline)aluminum(III)(Alq₃)이나 4,7-Diphenyl-1,10-phenanthroline(Bathophenanthroline) 등의 전자 수송성 유기 반도체에 리튬(Li), 세슘(Cs) 등의 알칼리 금속을 도프한 층, 불화 리튬(LiF)을 비롯한 알칼리 금속·알칼리토(土)류 금속 화합물, 산화 게르마늄(GeO₂), 산화 알루미늄(Al₂O₃) 등으로 구성할 수 있다.

도 13은 도 1 ~ 도 12 중 어느 하나에 나타난 구성의 유기 반도체 발광 장치(50)를 기판(2)상에 2차원 배열하여 구성되는 표시 장치(60)의 전기 회로도이다. 즉, 이 표시 장치(60)는 상술한 바와 같은 유기 반도체 발광 장치(50)를 매트릭스 배열된 화소 P11, P12, ..., P21, P22, ... 안에 각각 배치하고, 이러한 화소의 유기 반도체 발광 장치(50)를 선택적으로 발광시키고, 또 각 화소의 유기 반도체 발광 장치(50)의 발광 강도(휘도)를 제어함으로써, 2차원 표시를 가능하게 한 것이다.

각 유기 반도체 발광 장치(50)는 유기 반도체 발광부(8)와 일체적으로 형성된 P 채널형 전계 효과형 트랜지스터 (FET)이며, 그 드레인 전극(9)(D)에는 바이어스 전압 $V_d(<0)$ 가 주어지고, 그 소스 전극(7)(S)은 접지 전위 (=0)로 되어 있다. 게이트 전극(3)(G)에는 각 화소를 선택하기 위한 선택 트랜지스터 T_s 와, 데이터 홀딩용의 캐패시터 C가 병렬로 접속되어 있다.

행방향으로 정렬한 화소 P11, P12, . . . ; P21, P22, . . . 의 선택 트랜지스터 T_s 의 게이트는 행마다 공통의 주사선 LS1, LS2, . . . 에 각각 접속되어 있다. 또, 열방향으로 정렬한 화소 P11, P21, . . . ; P12, P22, . . . 의 선택 트랜지스터 T_s 에 있어서 유기 반도체 발광 장치(50)와 반대측에는 열마다 공통의 데이터선 LD1, LD2, . . . 가 각각 접속되어 있다.

주사선 LS1, LS2, . . . 에는 컨트롤러(53)에 의해서 제어되는 주사선 구동 회로(51)로부터, 각 행의 화소 P11, P12, . . . ; P21, P22, . . . 를 순환적으로 차례로 선택(행내의 복수 화소의 일괄 선택)하기 위한 주사 구동 신호가 주어진다. 즉, 주사선 구동 회로(51)는 각 행을 차례로 선택행으로 하고, 선택행의 복수의 화소의 선택 트랜지스터 T_s 를 일괄하여 도통시키고, 비선택행의 복수의 화소의 선택 트랜지스터 T_s 를 일괄하여 차단시키기 위한 주사 구동 신호를 발생한다.

또한, 데이터선 LD1, LD2, . . . 에는 데이터선 구동 회로(52)로부터의 신호가 입력되게 되어 있다. 이 데이터선 구동 회로(52)에는 화상 데이터에 대응한 제어 신호가 컨트롤러(53)로부터 입력되게 되어 있다. 데이터선 구동 회로(52)는 각 행의 복수의 화소가 주사선 구동 회로(51)에 의해서 일괄 선택되는 타이밍으로, 해당 선택행의 각 화소의 발광 계조(階調)에 대응한 발광 제어 신호를 데이터선 LD1, LD2, . . . 에 병렬로 공급한다.

이것에 의해, 선택행의 각 화소에 있어서는 선택 트랜지스터 T_s 를 통하여 게이트 전극(3)(G)에 발광 제어 신호가 주어지기 때문에, 해당 화소의 유기 반도체 발광 장치(50)는 발광 제어 신호에 따른 계조로 발광(또는 소등)하게 된다. 발광 제어 신호는 캐패시터 C에 있어서 홀딩되기 때문에, 주사선, 구동 회로(51)에 의한 선택행이 다른 행으로 옮긴 후에도, 게이트 전극 G의 전위가 홀딩되고, 유기 반도체 발광 장치(50)의 발광 상태가 홀딩된다. 이와 같이 하여, 2차원 표시가 가능하게 된다.

도 14 및 도 15는 상술한 캐패시터 C의 배치에 관한 구성을 설명하기 위한 도해적인 단면도이며, 도 14는 도 2의 구성에 대응하고 있고, 도 15는 도 3의 구성에 대응하고 있다. 도 14의 구성의 경우에는 투명 기판(2)과 투명 전극막으로 이루어지는 게이트 전극(3)과의 사이에, 예를 들어 ITO로 이루어지는 투명 도전막(21)과 예를 들어 산화 실리콘으로 이루어지는 투명 절연막(22)이 개재 삽입되어 있다. 투명 도전막(21)은 투명 기판(2)측에 배치되고, 투명 절연막(22)은 게이트 전극(3)측에 배치되어 있다. 이것에 의해, 투명 도전막(21)과 게이트 전극(3)과의 사이에 투명 절연막(22)을 개재 삽입한 캐패시터 C가 형성되게 된다.

도 15의 구성의 경우에는 기판(2)과 게이트 전극(3)과의 사이에, 예를 들어 금속제의 도전막(31)과, 예를 들어 산화 실리콘으로 이루어지는 절연막(32)이 개재 삽입된다. 도전막(31)은 기판(2)측에 배치되고, 절연막(32)은 게이트 전극(3)측에 배치되어 있다. 이것에 의해, 도전막(31)과 게이트 전극(3)과의 사이에 절연막(32)을 개재 삽입한 캐패시터 C가 형성되게 된다. 예를 들어, 기판(2)이 실리콘 등의 반도체 기판인 경우에는 도전막(31)은 기판(2)의 표면에 형성된 불순물 확산층으로 이루어지는 도전층에 의해서 형성되어도 된다.

도 16(a) 및 도 16(b)는 본 발명의 제2의 실시 형태에 관한 유기 반도체 발광 장치(50A)의 구성을 설명하기 위한 도면로서, 도 16(a)는 그 도해적인 단면도이고, 도 16(b)는 그 평면도이다. 이 도 16에 있어서, 상술한 도 2에 나타난 각 부와 동등의 구성 부분에는 도 2의 경우와 동일한 참조 부호를 부여하여 나타낸다.

이 실시 형태에서는 게이트 전극(3)이, 소스 영역(5)측에 배치된 제1 게이트 전극 G1과 드레인 영역(6)측에 배치된 제2 게이트 전극 G2로 분할되어 있다. 제1 게이트 전극 G1는 소스 영역(5)의 거의 전역에 대하여 게이트 절연막(4)을 통하여 대향하고 있는 동시에, 채널 영역(10)측으로 비어져 나오고 있다. 같이 제2 게이트 전극 G2는 드레인 영역(6)의 전역에 대하여 게이트 절연막(4)을 통하여 대향하고 있는 동시에, 채널 영역(10)측으로 비어져 나오고 있다. 제1 게이트 전극 G1과 제2 게이트 전극 G2와의 사이의 틈새 Δ 는 소스 영역(5)과 드레인 영역(6)과의 사이의 틈새에서, 어느 채널 길이 L보다 짧게 설정되어 있다.

도 17은 제1 게이트 전극 G1, 제2 게이트 전극 G2, 소스 전극(7) 및 드레인 전극(9)에 각각 주어지는 전위의 일례를 나타내는 도면이다. 제1 게이트 전극 C1 및 제2 게이트 전극 G2는 서로 전기적으로 절연되어 있고, 이것들에 대해서는 독립해

전압 V_{g1} , V_{g2} 를 인가할 수 있다. 그것에 의해, 소스 전극(7)으로부터 유기 반도체 활성층(1)에의 정공의 주입량과 드레인 영역(6)에서부터 유기 반도체 발광부(8)로의 전자의 주입량을 개별적으로 제어할 수 있다. 이것에 의해서, 주입되는 캐리어의 밸런스를 잡을 수 있고, 유기 반도체 발광부(8)에 있어서의 발광 효율을 한층 향상할 수 있다.

도 18은 도 16에 나타난 유기 반도체 발광 장치(50A)를 기판(2)상에 2차원 배열하여 구성되는 표시 장치(60A)의 전기 회로도이다. 이 도 18에 있어서, 상술한 도 13에 나타난 각 부에 대응하는 구성 부분에는 도 13의 경우와 동일한 참조 부호를 부여하여 나타낸다.

유기 반도체 발광부(8)가 배치된 측의 전극인 드레인 전극(9)(D)에는 바이어스 전압 $V_d(<0)$ 가 주어지고, 소스 전극(7)(S)은 접지 전위(=0)로 되어 있다. 또, 제1 게이트 전극 G_1 에는 일정한 제어 전압 $V_{gn}(<0)$ 가 인가되어 있다. 또한, 제2 게이트 전극 G_2 에는 각 화소를 선택하기 위한 선택 트랜지스터 T_s 와, 데이터 홀딩용의 캐패시터 C 가 병렬로 접속되어 있다. 그 외의 구성은 도 13의 경우와 동일하다.

이 구성에 의해, 선택행의 각 화소에 있어서는 선택 트랜지스터 T_s 를 통하여 제2 게이트 전극 G_2 에 발광 제어 신호가 주어지기 때문에, 해당 화소의 유기 반도체 발광 장치(50A)는 발광 제어 신호에 따른 계조로 발광(또는 소등)하게 된다.

또, 제2 게이트 전극 G_2 의 전위를 고정하는 동시에, 제1 게이트 전극 G_1 에 데이터선 D_1 , D_2 , ...로부터의 발광 제어 신호를 주도록 해도 동일한 동작이 가능하다. 또, 제1 및 제2 게이트 전극 G_1 , G_2 에 주는 제어 전압을 화상 데이터에 따라 개별적으로 제어하도록 하면, 더욱 많은 계조의 표시가 가능하게 된다.

이상, 본 발명의 2 개의 실시 형태에 대해 설명하였으나, 본 발명은 또다른 형태로 실시할 수도 있다. 예를 들어, 상기의 실시 형태에서는 유기 반도체 활성층(1)으로서 P형 유기 반도체 재료를 이용하여 P 채널형 전계 효과형 트랜지스터로서의 기본 구성을 가지는 유기 반도체 발광 장치에 대해 설명하였으나, 물론 유기 반도체 활성층(1)은 전자 수송성의 N형 유기 반도체 재료로 구성할 수도 있다. 이 경우에는 N 채널형 전계 효과 트랜지스터로서의 기본 구성을 가지는 유기 반도체 발광 장치가 구성된다. 즉, 소스 전극(7)으로부터 유기 반도체 활성층(1)에 대하여 전자가 주입되고, 또한 드레인 전극(9)으로부터는 유기 반도체 발광부(8)에 정공이 주입되게 된다. 따라서, 이 경우, 유기 반도체 발광부(8)를 정공 수송층(81) 및 전자 수송층(82)으로 구성한다고 하면, 정공 수송층(81)이 드레인 전극(9)측에 배치되고, 전자 수송층(82)이 유기 반도체 활성층(1)측에 배치되게 된다.

또한, 유기 반도체 활성층(1)으로서 전자 및 정공의 양쪽을 수송할 수 있는 이른바 바이폴라성의 유기 반도체 재료를 이용하는 것도 가능하고, 있다. 적용 가능한 바이폴라성의 유기 반도체 재료의 예는 기술한 바와 같다.

또한, 상기의 도 13 및 도 18에서는 2차원 표시의 가능한 표시 장치를 나타냈지만, 화소를 1차원 배열하여 1차원의 표시 장치를 구성할 수도 있다.

본 발명의 실시 형태에 대해 상세하게 설명하였으나, 이것들은 본 발명의 기술적 내용을 분명히 하기 위해서 이용된 구체적인 예에 불과하며, 본 발명은 이러한 구체적인 예로 한정하여 해석되어서는 안되며, 본 발명의 정신 및 범위는 첨부한 청구의 범위에 의해서만 한정된다.

이 출원은 2004년 8월 30일에 일본 특허청에 제출된 특원 2004-250601호에 대응하고 있고, 이 출원의 전개시는 여기에 인용에 의해 조성되는 것으로 한다.

산업상 이용 가능성

본 발명에 의하면, 유기 반도체 발광층을 가지는 유기 반도체 발광 장치 및 그것을 이용한 표시 장치를 제공할 수 있다.

도면의 간단한 설명

도 1(a) 및 도 1(b)는 본 발명의 일 실시 형태에 관한 유기 반도체 발광 장치의 구성 및 동작을 설명하기 위한 도면.

도 2는 도 1의 유기 반도체 발광 장치의 보다 구체적인 구성예를 설명하기 위한 도해적인 단면도.

도 3은 기판과는 반대측에 광을 취출하는 경우의 구성예를 나타내는 도해적인 단면도이다.

도 4(a) 및 도 4(b)는 상기 유기 반도체 발광 장치의 또다른 구체적인 구성예를 나타내는 도면.

도 5는 도 4의 구성예의 변형예를 나타내는 평면도.

도 6은 또다른 변형예를 설명하기 위한 도해적인 평면도.

도 7은 또다른 변형예를 설명하기 위한 도해적인 평면도.

도 8은 또다른 변형예를 설명하기 위한 도해적인 평면도.

도 9는 도 2에 나타난 유기 반도체 발광 장치의 변형예를 나타내는 도해적인 단면도.

도 10은 도 3의 구성의 유기 반도체 발광 장치에 대하여, 도 9의 경우와 같은 변형을 행한 예를 나타내는 도면.

도 11은 도 2의 구성의 또다른 변형예를 나타내는 도해적인 단면도.

도 12는 또다른 변형예에 관한 구성을 나타내는 도해적인 단면도.

도 13은 도 1 ~ 도 12의 어느 하나에 나타난 구성의 유기 반도체 발광 장치를 기판상에 2차원 배열하여 구성되는 표시 장치의 전기 회로도.

도 14는 캐패시터의 배치에 관한 구성을 설명하기 위한 도해적인 단면도이며, 도 2에 대응한 구성을 나타낸 도면.

도 15는 캐패시터의 배치에 관한 구성을 설명하기 위한 도해적인 단면도이며, 도 3에 대응한 구성을 나타낸 도면.

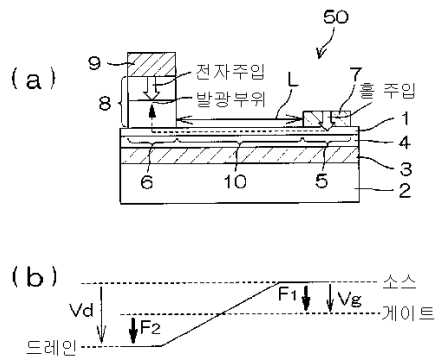
도 16(a) 및 도 16(b)는 본 발명의 제2의 실시 형태에 관한 유기 반도체 발광 장치의 구성을 설명하기 위한 도면.

도 17은 도 16의 장치의 제1 게이트, 제2 게이트 전극, 소스 전극 및 드레인 전극에 각각 주어지는 전위의 예를 나타내는 도면.

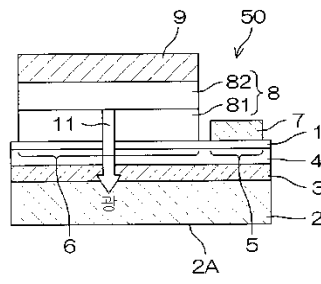
도 18은 도 16에 나타난 유기 반도체 발광 장치를 기판상에 2차원 배열하여 구성되는 표시 장치의 전기 회로도.

도면

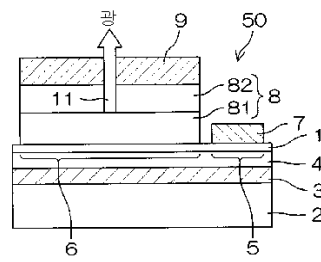
도면1



도면2

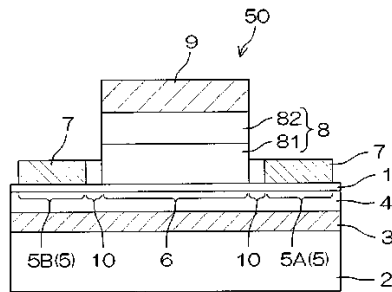


도면3

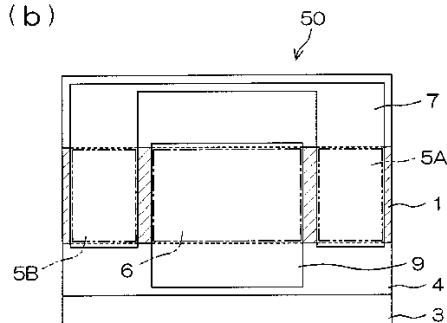


도면4

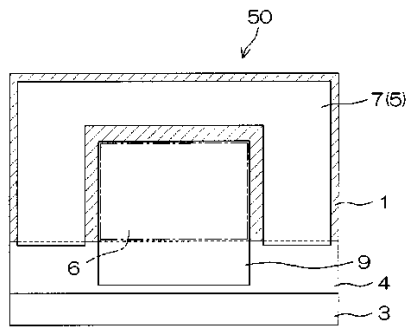
(a)



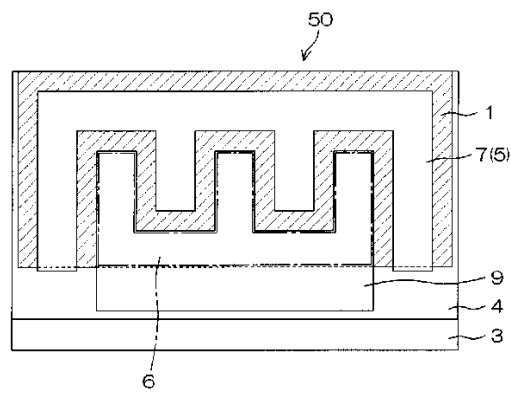
(b)



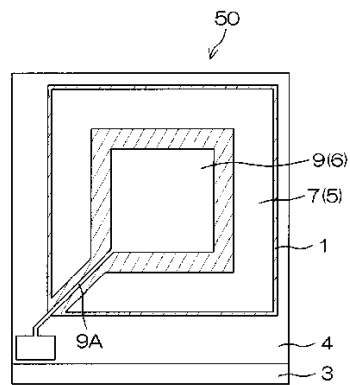
도면5



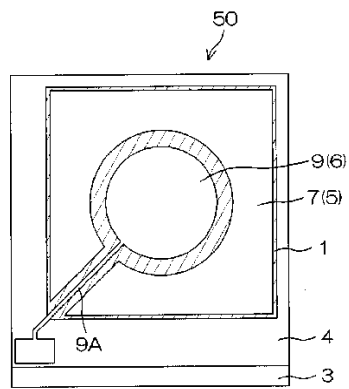
도면6



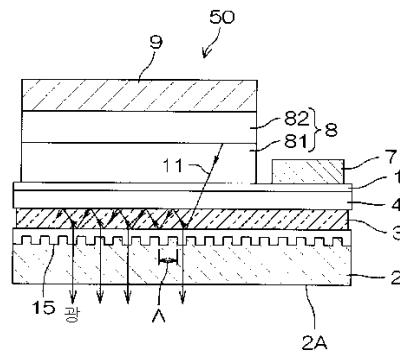
도면7



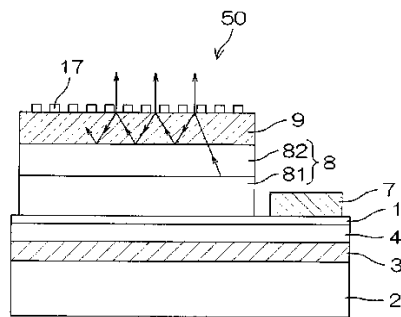
도면8



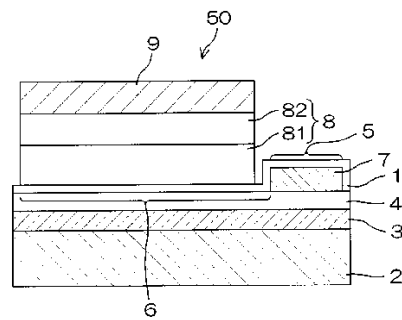
도면9



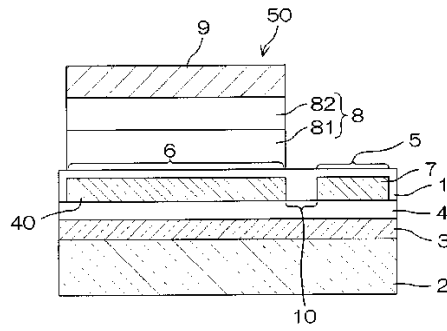
도면10



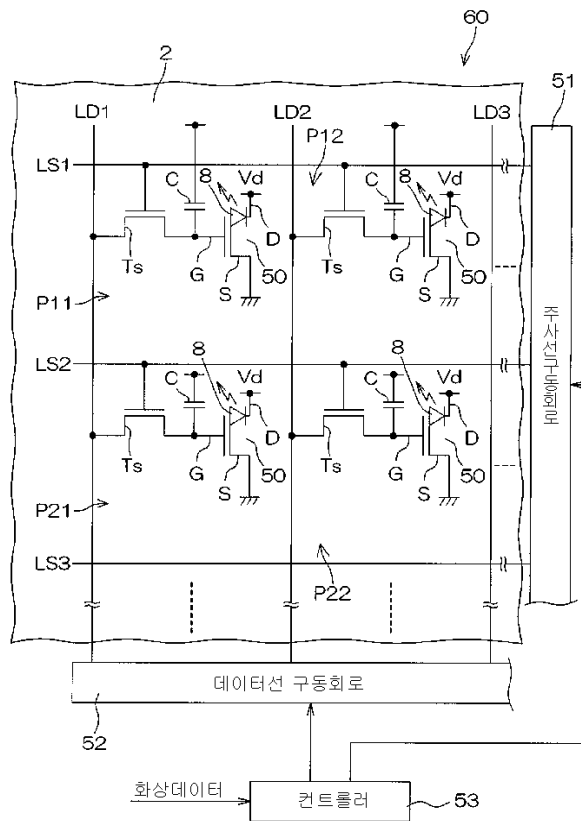
도면11



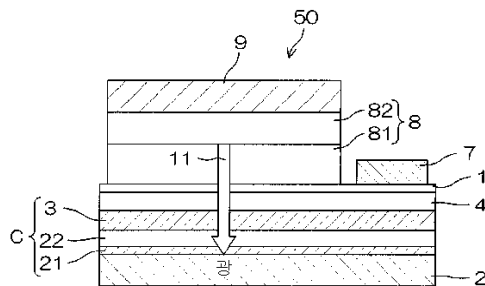
도면12



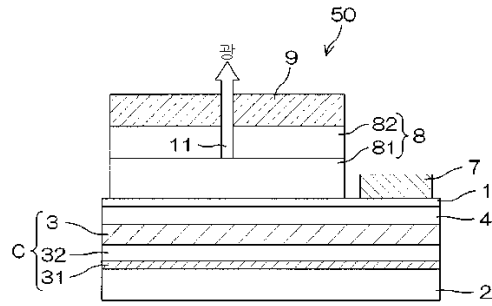
도면13



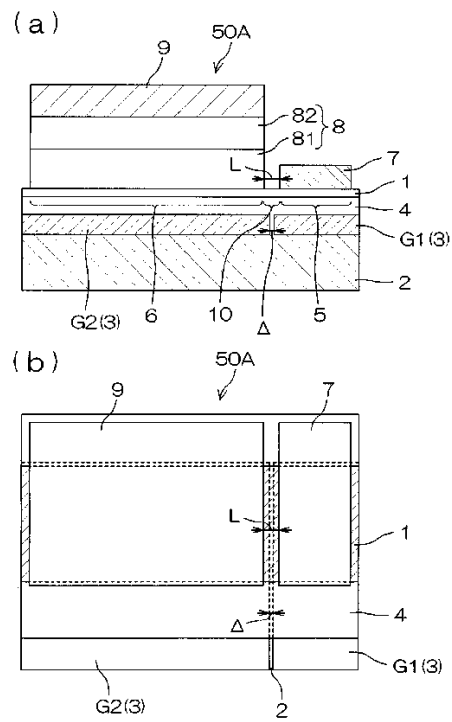
도면14



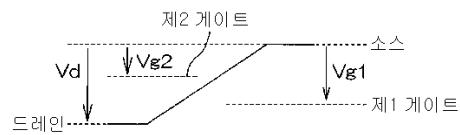
도면15



도면16



도면17



专利名称(译)	有机半导体发光器件和使用其的显示器		
公开(公告)号	KR1020070061804A	公开(公告)日	2007-06-14
申请号	KR1020077004752	申请日	2005-08-26
[标]申请(专利权)人(译)	国立大学法人京都大学 丽思京都国际Daigaku查法人Daigaku 株式会社日立制作所 罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	丽思京都国际Daigaku查法人Daigaku Sikki日立制作所株式会社 罗穆亚尔德株式会社		
当前申请(专利权)人(译)	丽思京都国际Daigaku查法人Daigaku Sikki日立制作所株式会社 罗穆亚尔德株式会社		
[标]发明人	SUGANUMA NAOTOSHI		
发明人	SUGANUMA, NAOTOSHI		
IPC分类号	C09K11/06 H01L33/00 H01L51/50 H01L51/05		
CPC分类号	H01L27/3244 H01L51/5203 H01L51/5296 H01L51/5271 H01L51/5268 H01L2251/5315 H01L27/3265 H01L51/0545 H01L51/5088 H01L51/442 H01L51/5096		
优先权	2004250601 2004-08-30 JP		
外部链接	Espacenet		

摘要(译)

提供有机半导体发光器件，其增加对有机半导体有源层中的有机半导体辐射部分的载流子注入效率。该有机半导体发光器件具有有机半导体有源层，其具有区域 - 源极和漏极区域，其将沟道长度和设置，以及源极电极焊接到区域 - 源极和有机半导体辐射部分中，焊接到漏极区域和漏极电极焊接到该有机半导体辐射部分中，并且栅极电极在该间隔中放置绝缘层并且面对有机半导体有源层。有机半导体辐射部分包括漏电极，来自有机半导体有源层的电子，以及获得空穴的供应的有机半导体发光层，并且通过该复合产生辐射。

