



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H03F 3/345 (2006.01)

(11) 공개번호 10-2007-0004785

(43) 공개일자 2007년01월09일

(21) 출원번호 10-2006-7019996

(22) 출원일자 2006년09월27일

심사청구일자 2006년09월27일

번역문 제출일자 2006년09월27일

(86) 국제출원번호 PCT/JP2005/005674

(87) 국제공개번호 WO 2005/093702

국제출원일자 2005년03월28일

국제공개일자 2005년10월06일

(30) 우선권주장 JP-P-2004-00095006 2004년03월29일 일본(JP)

(71) 출원인 로무 가부시킴가이샤
일본 교토시 우교구 사이인 미조사키쵸 21

(72) 발명자 아베, 신이찌
일본 615-8585 교토후 교토시 우교구 사이인 미조사키쵸 21 로무가부
시킴가이샤 내
마에데, 준
일본 615-8585 교토후 교토시 우교구 사이인 미조사키쵸 21 로무가부
시킴가이샤 내
후지사와, 마사노리
일본 615-8585 교토후 교토시 우교구 사이인 미조사키쵸 21 로무가부
시킴가이샤 내

(74) 대리인 장수길
이중희
구영창

전체 청구항 수 : 총 13 항

(54) 유기 E L 구동 회로 및 유기 E L 표시 장치

(57) 요약

비교적 높은 내압 소자의 수를 저감하여, 회로 규모의 증가를 억제하고, 또한 표시 화면의 휘도 불균일이나 휘도 변동을 억제할 수 있는 D/A를 이용한 유기 EL 구동 회로 및 유기 EL 표시 장치를 제공하는 것을 목적으로 한다. 본 발명은, D/A를 구성하는 커런트 미러 회로의 입력측 트랜지스터와 입력 단자 사이에 설치된 제1 트랜지스터와, 커런트 미러 회로의 출력

측 트랜지스터와 출력 단자 사이에 설치된 제2 트랜지스터와, 출력 단자와 전원 라인 사이에 설치된 제3 트랜지스터를 갖고 있고, 입력측 트랜지스터와 출력측 트랜지스터와 제3 트랜지스터가 제1 및 제2 트랜지스터보다도 내압이 낮은 트랜지스터로 되어 있는 것이다.

대표도

도 1

특허청구의 범위

청구항 1.

커런트 미러 회로로 구성되는 D/A 변환 회로가 소정의 전류를 입력 단자에 받아서 표시 데이터를 D/A 변환해서 유기 EL 패널의 단자 핀에 출력하기 위한 구동 전류 혹은 이것의 기초로 되는 전류를 생성하는 유기 EL 구동 회로에 있어서,

상기 커런트 미러 회로의 입력측 트랜지스터와 상기 입력 단자 사이에 설치된 제1 트랜지스터와,

상기 커런트 미러 회로의 출력측 트랜지스터와 출력 단자 사이에 설치된 제2 트랜지스터와,

상기 출력 단자와 전원 라인 사이에 설치된 제3 트랜지스터를 갖고,

상기 입력측 트랜지스터와 상기 출력측 트랜지스터와 상기 제3 트랜지스터가 상기 제1 및 제2 트랜지스터보다도 내압이 낮은 트랜지스터인 유기 EL 구동 회로.

청구항 2.

제1항에 있어서,

상기 입력측 트랜지스터와 상기 제1 트랜지스터의 접속점과, 상기 출력측 트랜지스터와 상기 제2 트랜지스터의 접속점은, 실질적으로 동일한 전위로 되도록, 상기 제1 및 제2 트랜지스터가 바이어스되는 유기 EL 구동 회로.

청구항 3.

제2항에 있어서,

상기 제1 및 제2 트랜지스터의 각각의 게이트 혹은 베이스가 소정의 정전압으로 설정됨으로써 각 상기 접속점이 실질적으로 동일한 전위로 되는 유기 EL 구동 회로.

청구항 4.

제3항에 있어서,

상기 제1 및 제2 트랜지스터는, 10V 이상의 전원 전압에 대응하는 비교적 고내압의 트랜지스터인 유기 EL 구동 회로.

청구항 5.

제4항에 있어서,

상기 제3 트랜지스터는, 리세트 스위치인 유기 EL 구동 회로.

청구항 6.

제4항에 있어서,

상기 제3 트랜지스터는, 상기 구동 전류를 발생하는 출력단 전류원을 구성하는 트랜지스터 중 1개인 유기 EL 구동 회로.

청구항 7.

제3항에 있어서,

상기 출력 단자는, 상기 D/A 변환 회로의 출력 단자이며, 상기 입력측 트랜지스터와 상기 출력측 트랜지스터는, 각각 전원 라인과 기준 전위 라인 사이에서 종속 접속되는 복수의 트랜지스터로 구성되고, 상기 출력측 트랜지스터는, 상기 입력측 트랜지스터에 대하여 병렬로 복수개 설치되며, 그 각각이 상기 출력 단자에 접속되어 있는 유기 EL 구동 회로.

청구항 8.

제4항에 있어서,

상기 입력측 트랜지스터와 상기 출력측 트랜지스터는, 각각 스위치 회로를 구성하는 트랜지스터를 더 직렬로 갖고, 셀 회로로서 형성되며, 상기 입력측 트랜지스터의 스위치 회로를 구성하는 트랜지스터는 ON 상태로 설정되고, 각 상기 출력측 트랜지스터의 스위치 회로를 구성하는 트랜지스터는, 상기 표시 데이터를 받아서 ON/OFF되는 유기 EL 구동 회로.

청구항 9.

제8항에 있어서,

상기 유기 EL 패널은, 상기 단자 핀을 다수 갖고, 상기 D/A 변환 회로는, 상기 다수의 단자 핀에 대응해서 각각 설치되어 있는 유기 EL 구동 회로.

청구항 10.

제9항에 있어서,

각 상기 D/A 변환 회로의 상기 커런트 미러 회로의 입력측 트랜지스터는, 각 상기 단자 핀에 대응해서 분배된 기준 전류 혹은 이 기준 전류에 따라서 생성된 기준 구동 전류를 받는 유기 EL 구동 회로.

청구항 11.

제10항에 있어서,

상기 출력 단자는, 액티브 매트릭스형 유기 EL 패널의 데이터선에 접속되는 유기 EL 구동 회로.

청구항 12.

제6항에 있어서,

상기 출력 단자는, 상기 출력단 전류원의 출력 단자로서, 패시브 매트릭스형 유기 EL 패널의 컬럼 라인에 접속되는 유기 EL 구동 회로.

청구항 13.

제1항 내지 제12항 중 어느 한 항의 유기 EL 구동 회로를 갖는 유기 EL 표시 장치.

명세서

기술분야

본 발명은, 유기 EL 구동 회로 및 유기 EL 표시 장치에 관한 것으로, 상세하게는, 액티브 매트릭스형 유기 EL 표시 패널에서의 픽셀 회로의 컨덴서를 충전하는 전류 구동 회로에서, 예를 들면 10V 이상의 비교적 높은 내압 소자의 수를 저감하여, 회로 규모의 증가를 억제하고, 또한 표시 화면의 휘도 불균일이나 표시 장치마다의 휘도 변동을 억제할 수 있도록 하는 D/A 변환 회로(이하 D/A)를 이용한 유기 EL 구동 회로에 관한 것이다.

배경기술

종래의 액정 표시 장치에서는, 디지털 신호를 아날로그 신호로 변환하는 D/A를 설치하고 이 D/A로 데이터선을 구동하는 구동 회로가 알려져 있다. 이것을 액티브 매트릭스형 유기 EL 표시 패널에서의 픽셀 회로에 적용하여, 표시 패널에 내장하려고 한 경우에는 소형화할 수 없다고 하는 문제가 있는 점이 이미 공지로 되어 있다(특허 문헌 1).

특허 문헌 1: 일본 특개 2000-276108호 공보

<발명의 개시>

그러나, 이 액티브 매트릭스형 유기 EL 표시 패널을 구동하는 유기 EL 구동 회로를 표시 패널의 외부 회로로서 설치하면, 그만큼, 유기 EL 표시 패널을 소형화할 수 있다. 이 경우, 구동 전류값의 기입은, 통상적으로, 수백pF의 픽셀 회로의 컨덴서를 0.1 μ A-10 μ A 정도의 전류로 충전하게 된다. 그러나, 액티브 매트릭스형 유기 EL 표시 패널의 표시 휘도를 게조 제어하는 경우에는, 구동 전류의 최소 전류가 1nA-30nA 정도로, 정밀도가 높은 전류값이 요구된다. 그 전류의 방향은, 싱크형과 소스형의 2종류가 있고, 전원전압 + Vcc는, 액티브 매트릭스형 유기 EL 표시 패널이든 패시브 매트릭스형 유기 EL 패널이든, 현재 시점에서 10V~20V 정도이다.

전류 싱크형은, 픽셀 회로의 컨덴서를 리세트하는 전압이 전원전압 + Vcc 혹은 그 근방으로 되는 관계로부터 D/A를 비교적 높은 내압의 소자로 구성하는 것이 필요하게 된다. 그 때문에, 각 소자의 점유 면적이 커져, 유기 EL 표시 패널의 단자 핀 대응 혹은 컬럼 핀 대응으로 설치되는 D/A 전체의, IC에서의 점유 면적이 증가하는 문제가 있다. 또한, 산화막의 두께의 변동이 영향을 주어 커런트 미러 회로를 이용한 D/A로 하면, 각 소자의 패어성이나 소자간의 매칭 정밀도가 저하해서 높은 전류 변환 정밀도를 확보할 수 없게 된다.

그 결과, D/A 변환 특성에 변동을 발생시켜, 그것이 유기 EL 표시 패널의 단자 핀 상호 혹은 컬럼 핀 상호의 출력 전류의 변동으로 되어 나타나고, 또한 표시 화면의 휘도 불균일, 표시 장치마다의 휘도 변동으로 되어 나타난다. 이것은, 패시브 매트릭스형 유기 EL 패널이라도 마찬가지이다.

발명의 상세한 설명

본 발명의 목적은, 상기한 바와 같은 종래 기술의 문제점을 해결하는 것으로서, 비교적 높은 내압 소자의 수를 저감하여, 회로 규모의 증가를 억제하며, 또한 표시 화면의 휘도 불균일이나 표시 장치마다의 휘도 변동을 억제할 수 있는 D/A를 이용한 유기 EL 구동 회로 및 유기 EL 표시 장치를 제공하는 것에 있다.

이러한 목적을 달성하기 위한 본 발명의 유기 EL 구동 회로 및 유기 EL 표시 장치의 구성은, 커런트 미러 회로로 구성되는 D/A가 소정의 전류를 입력 단자에 받고 표시 데이터를 D/A 변환해서 유기 EL 패널의 단자 핀에 출력하기 위한 구동 전류 혹은 이것의 기초로 되는 전류를 생성하는 유기 EL 구동 회로에서,

커런트 미러 회로의 입력측 트랜지스터와 입력 단자 사이에 설치된 제1 트랜지스터와, 커런트 미러 회로의 출력측 트랜지스터와 출력 단자 사이에 설치된 제2 트랜지스터와, 출력 단자와 전원 라인 사이에 설치된 제3 트랜지스터를 갖고 있고, 입력측 트랜지스터와 출력측 트랜지스터와 제3 트랜지스터가 제1 및 제2 트랜지스터보다도 내압이 낮은 트랜지스터로 되어 있는 것이다.

<발명의 효과>

본 발명은, 예를 들면 10V 이상의 비교적 내압이 높은 트랜지스터를 D/A의 입력측과 출력측에 각각 1개씩 설치하여, D/A를 구성하는 다른 트랜지스터를 내압이 낮은 트랜지스터로 구성한다. 또한, D/A의 출력측에 설치되는 리셋 스위치 등의 제3 트랜지스터도 내압이 낮은 트랜지스터로서 설치하는 것이다. 이에 의해, 비교적 높은 내압의 소자는, D/A의 입력측과 출력측만의 2개소로 되어, 비교적 높은 내압의 소자의 수를 저감할 수 있다.

이와 같이, D/A를 구성하는 많은 트랜지스터를 내압이 낮은 트랜지스터로 함으로써, 각 트랜지스터의 점유 면적이 작아져, D/A 전체의 IC에서의 점유 면적을 저감할 수 있다. 또한, IC 내에 많은 트랜지스터를 형성하는 것이 가능하게 되므로, 각 소자의 패어성이나 소자간의 매칭 정밀도를 향상시킬 수 있다. 그 결과, D/A 변환 정밀도를 향상시킬 수 있어, 출력 전류의 변동을 억제할 수 있다.

이와 같이, 본 발명은, 비교적 높은 내압의 소자의 수를 저감할 수 있으므로, 출력단 전류원에 D/A를 이용한 유기 EL 구동 회로 등에서는, 그 회로 규모의 증가를 억제할 수 있다.

실시예

<발명을 실시하기 위한 최량의 형태>

도 1은, 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 액티브 매트릭스형 유기 EL 패널에서의 유기 EL 구동 회로의 블록도, 도 2는, 그 셀 회로의 회로 구성의 설명도이다.

도 1에서, 10은 유기 EL 구동 회로의 컬럼 드라이버(데이터선 구동 드라이버)이며, 11은 그의 D/A, 12는 기준 구동 전류 I_r 를 발생하는 정전류원, 13, 14는 정전압 바이어스 회로, 15는 컨트롤 회로, 16은 표시 데이터를 기억하는 레지스터, 그리고 17은 MPU이다.

D/A(11)는, 입력측 트랜지스터 셀 회로 T_{Na} 와 출력측 트랜지스터 셀 회로 $T_{Nb} \sim T_{Nn}$ 에 의한 커런트 미러 회로로 구성된다.

각 트랜지스터 셀 회로 $T_{Na} \sim T_{Nn}$ 은, 드레인 단자 D와 게이트 단자 G_1, G_2 , 입력 단자 Din, 그리고 소스 단자 S를 갖는 도 2에 도시하는 N채널 트랜지스터 $T_1 \sim T_3$ 이 전원 라인과 그라운드 라인(기준 전위 라인)과의 사이에서 종속 접속되는(직렬로 접속되는) 형태의 트랜지스터 셀 회로(1)에 의해 구성되어 있다. 이들 중 트랜지스터 T_3 은, 스위치 회로를 구성하는 트랜지스터이다.

각각의 셀 회로(1)의 소스 단자 S는, 그라운드 GND에 접속되어 있다. 트랜지스터 셀 회로 T_{Na} 의 입력 단자 Din은, 통상은, 바이어스 라인 V_a 에 접속되어 ON 상태로 되어 있다. 각 트랜지스터 셀 회로 $T_{Nb} \sim T_{Nn}$ 의 각 입력 단자 Din은, 표시 레지스터(16)로부터 표시 데이터 $D_0 \sim D_{n-1}$ 을 각각 받아, 도 2의 트랜지스터 T_3 의 입력 단자 Din에 대응하고 있다. 각 트랜지스터 셀 회로 $T_{Nb} \sim T_{Nn}$ 의 스위치 회로 SW(트랜지스터 T_3)는, 표시 데이터 $D_0 \sim D_{n-1}$ 에 따라 각각 ON/OFF된다. 표시 데이터 $D_0 \sim D_{n-1}$ 은, 컨트롤 회로(15)의 래치 펄스 L_p 에 따라 MPU(17)로부터 레지스터(16)에 세트된다.

각 트랜지스터 셀 회로 $T_{Nb} \sim T_{Nn}$ 의 게이트 단자 G_1, G_2 는 각각이 공통으로 접속되어 있다. 또한, 트랜지스터 셀 회로 T_{Na} 의 셀 회로(1)의 게이트 단자 G_2 는, D/A(11)의 입력 단자(11a)에 접속되어 있다. 또한, 트랜지스터 셀 회로 T_{Na} 의 셀 회로(1)의 드레인 단자 D는, 10V를 초과하는 비교적 내압이 높은 N채널의 트랜지스터 Q_1 의 소스-드레인을 통하여 D/A(11)의 입력 단자(11a)에 접속되어 있다. 이에 의해, 트랜지스터 셀 회로 T_{Na} 의 셀 회로(1)의 트랜지스터 T_2 가 다이오드 접속되고, 이 트랜지스터 T_2 가 커런트 미러 회로의 입력측 트랜지스터로 되어, 정전류원(12)으로부터 구동 전류 I_r 을 받는다.

정전류원(12)은, 바이어스 라인 V_b 에 접속되고, 기준 전류 분배 회로의 출력 전류원에 대응하고 있다. 기준 전류 분배 회로는, 커런트 미러 회로로 구성되는 입력측 트랜지스터가 기준 전류를 받아, 컬럼 드라이버(10)의 출력 단자 핀 대응으로 병렬로 설치된 다수의 출력측 트랜지스터에 미러 전류로서 기준 전류를 생성한다. 그리고, 유기 EL 패널의 컬럼 핀(출력 단자 핀) 대응으로 기준 전류 혹은 기준 구동 전류를 분배한다.

각 트랜지스터 셀 회로 $T_{Nb} \sim T_{Nn}$ 의 드레인 단자 D는, D/A(11)의 출력 단자(11b)에 N채널의 비교적 내압이 높은 트랜지스터 Q_2 의 소스-드레인을 통하여 접속되어 있다. 이 출력 단자(11b)는 출력 핀(10a)에 접속되며, 출력 핀(10a)과 전원 라인 + V_{cc} 사이에는 리세트 스위치 회로(2)가 설치되어 있다. 리세트 스위치 회로(2)는, P채널의 트랜지스터 T_{Pa} 로 이루어지며, 그의 소스가 전원 라인 + V_{cc} 에 접속되고, 그의 드레인이 출력 핀(10a)에 접속되어 있다. 전원 라인 + V_{cc} 의 전압은, 10V~20V 정도이다.

트랜지스터 T_{Pa} 의 게이트는, 컨트롤 회로(15)로부터 리세트 신호 R_s 를 받는다. 각 트랜지스터 셀 회로 $T_{Na} \sim T_{Nn}$ 의 공통으로 접속된 게이트 단자 G_1 은, 정전압 바이어스 회로(13)에 접속되고, 정전압 바이어스 회로(13)에 의해 설정되는 게이트 전압 V_{GL} 에서 각각의 트랜지스터의 각 셀 회로(1)의 상류측의 트랜지스터 T_1 이 소정의 저항값으로써 ON 상태로 설정되며, 또한, 각 트랜지스터 T_1 의 소스측은, 정전압 바이어스 회로(13)가 발생하는 정전압보다 0.7V 정도 낮은 전압과 동일하게 설정된다.

트랜지스터 Q_1 과 트랜지스터 Q_2 의 게이트는 공통으로 접속되고, 정전압 바이어스 회로(14)에 접속되고, 이에 의해 설정되는 게이트 전압 V_{GH} 에서 소정의 저항값으로써 ON 상태로 설정되며, 또한, 각 트랜지스터 Q_1, Q_2 의 소스측은, 정전압 바이어스 회로(14)가 발생하는 정전압보다 0.7V 정도 낮은 전압과 동일하게 설정된다.

이와 같이 트랜지스터 Q_1 을 입력측에, 그리고 트랜지스터 Q_2 를 출력측에 배치하고, 여기에서, 비교적 큰 강하 전압을 발생시킴으로써, 트랜지스터 T_{Pa} 와 각 트랜지스터 셀 회로 $T_{Na} \sim T_{Nn}$ 의 동작 전압을 낮출 수 있다.

또한, 트랜지스터 Q_1 과 트랜지스터 Q_2 의 게이트가 정전압 바이어스 회로(14)에 접속됨으로써, 각 트랜지스터 셀 회로 $T_{Na} \sim T_{Nn}$ 의 드레인 단자 D의 전압을 실질적과 동일한 값으로 설정할 수 있다. 이들에 의해, 컬럼 드라이버(10)는, D/A의 점유 면적을 저감하며, 또한, D/A 변환 정밀도를 향상시킬 수 있다.

그 결과, D/A의 변환 특성의 변동이 감소해서 유기 EL 패널의 컬럼 핀 상호 혹은 단자 핀 상호의 출력 전류의 변동이 저감하며, 그것에 의해 표시 장치의 표시 화면의 휘도 불균일, 표시 장치마다의 휘도 변동을 억제할 수 있다.

그런데, 각 트랜지스터 셀 회로에 대응해서 나타내는, $\times 1, \times 2, \times 4 \dots$ 의 숫자는, 패러렐로 접속된 셀 회로(1)의 수를 나타내고 있다. $\times 1$ 의 경우에 병렬 접속은 없다. $\times n$ 의 셀 회로수에 따라 출력측 트랜지스터 셀 회로 $T_{Nb} \sim T_{Nn}$ 은, 각각의 출력에 자릿수 가중치가 부여되어 있다.

한편, D/A(11)의 각 트랜지스터 셀 회로 $T_{Na} \sim T_{Nn}$ 을 구성하는 셀 회로(1)는, 도 2에 도시하는 바와 같이, 소스-드레인과 순차 전원 라인 + V_{cc} 와 그라운드 라인 GND와의 사이에서 세로로 쌓아 올려지는 형태로 종속 접속된 3개의 N채널의 트랜지스터 $T_{r1} \sim T_{r3}$ 으로 이루어진다. 트랜지스터 T_{r3} 은 스위치 회로를 구성하고, 그의 소스는 소스 단자 S에 접속되어 있다. 트랜지스터 T_{r1} 의 드레인은 드레인 단자 D에 접속되어 있다.

트랜지스터 T_{r2} 의 게이트는 게이트 단자 G_1 에 접속되며, 트랜지스터 T_{r3} 의 게이트는 게이트 단자 G_2 에 접속되어 있다.

또한, 트랜지스터 $T_{r1} \sim T_{r3}$ 의 백 게이트는, 공통으로 소스 단자 S에 접속되어 있다.

여기서, 도 1로 되돌아가서, 3은, 픽셀 회로(표시 셀)로서, 유기 EL 패널의 표시 화소 대응으로 설치되어 있고, 데이터선 X, 접속 단자(3a)를 통하여 출력 핀(10a)에 접속되어 있다. 픽셀 회로(3)는, X, Y의 매트릭스 배선(데이터선 X, 주사선 Y_1 , Y_2)의 교점에 대응해서 설치되어 있다. 이 픽셀 회로(3) 내에는 각 데이터선 X와 각 주사선 Y와의 각 교점에 드레인측과 게이트가 접속된 P채널 MOS 트랜지스터 T_{P1} , T_{P2} 가 배치되어 있다. OEL 소자(4)는, 픽셀 회로(3)에 설치된 P채널 MOS의 구동 트랜지스터 T_{P3} , T_{P4} 에 의해 구동된다. 트랜지스터 T_{P3} 의 소스-게이트 사이에는 커패시터 C가 접속되어 있다.

트랜지스터 T_{P1} 의 소스는, 트랜지스터 T_{P3} 의 게이트에 접속되고, 트랜지스터 T_{P2} 의 소스는, 트랜지스터 T_{P3} 의 드레인에 접속되어 있다. 이에 의해 이들 트랜지스터 T_{P1} , T_{P2} 가 ON하였을 때에는 트랜지스터 T_{P3} 의 게이트와 드레인이 다이오드 접속되어, 구동 전류가 트랜지스터 T_{P3} 에 흘러 구동 전류에 대응한 전압값이 커패시터 C에 높은 정밀도로 기억된다.

트랜지스터 T_{P3} 의 소스는, 전원 라인 +Vcc에 접속되고, 그의 드레인 측은, 트랜지스터 T_{P4} 의 소스-드레인을 통하여 OEL 소자(4)의 양극에 접속되어 있다. OEL 소자(4)의 음극은, 로우측 주사 회로(7)의 스위치 회로(7a)에 접속되고, 이 스위치 회로(7a)를 통하여 그라운드 GND에 접속되어 있다.

트랜지스터 T_{P1} , T_{P2} 의 게이트는, 주사선 Y_1 (기입선)을 통하여 기입 제어 회로(5)에 접속되고, 기입 제어 회로(5)에 의해 이들 트랜지스터가 주사되어 주사선 Y_1 이 LOW 레벨(이하 "L")로 됨으로써 트랜지스터 T_{P1} , T_{P2} 가 ON으로 된다. 리세트 신호 Rs에 의한 리세트 종료 후(후술)에 전원 라인 +Vcc로부터 트랜지스터 T_{P3} , 커패시터 C, 트랜지스터 T_{P1} , T_{P2} , 데이터선 X, 단자(3a), 출력 핀(10a)을 통하여 D/A(11)가 싱크하는 소정의 구동 전류가 흐르고, 커패시터 C에는 구동 전류값에 대응하는 전압값이 기입되고, 기억된다. 그리고, 주사선 Y_1 이 HIGH 레벨(이하 "H")로 되어, 트랜지스터 T_{P1} , T_{P2} 가 OFF로 된다.

트랜지스터 T_{P4} 의 게이트는, 주사선 Y_2 를 통하여 기입 제어 회로(5)에 접속되고, 기입 제어 회로(5)에 의해 트랜지스터 T_{P4} 가 주사되며, 이 때 주사선 Y_2 (구동선)가 "L"로 됨으로써 트랜지스터 T_{P4} 가 ON으로 된다. 이에 의해, 트랜지스터 T_{P3} , T_{P4} 가 ON 상태로 유지되어, OEL 소자(4)의 양극에 구동 전류가 공급된다. 또한, 이 때에는, 주사선 Y_1 은 "H"로 되어 있어, 트랜지스터 T_{P1} , T_{P2} 는 OFF이다.

트랜지스터 T_{P3} , T_{P4} 의 구동 종료 시점에서, 로우측이 다음의 주사 라인으로 이동하여, 주사선 Y_2 가 "H"로 되고, 트랜지스터 T_{P4} 가 OFF한다. 그 타이밍에서 주사선 Y_1 이 "L"로 되고, 이에 의해 ON한 트랜지스터 T_{P1} , T_{P2} 와, 리세트 신호 Rs에 의해 ON한 트랜지스터 T_{Pa} 에 의하여 커패시터 C의 전압이 리세트된다.

이 리세트의 종료 후에, 출력 핀(10a)을 거쳐 D/A(11)가 싱크하는 소정의 구동 전류가 흘러 상기한 커패시터 C에의 구동 전류값의 기입이 행하여진다.

또한, 리세트 신호 Rs에 의한 리세트와 커패시터 C에의 기입은, 수평 주사의 귀선 기간에 상당하는 리세트 기간 내에 행하여진다.

또한, 도시하고 있지 않지만, 트랜지스터 셀 회로 T_{Na} 의 셀(1)의 스위치 회로 SW(트랜지스터 T_g)는, 커패시터 C의 전압이 리세트되는 리세트 기간에서는 트랜지스터 셀 회로 T_{Na} 의 입력 단자 Din을 리세트 신호 Rs에 따라서 "L"로 함으로써 OFF할 수 있다. 스위치 회로 SW가 OFF함으로써 각 트랜지스터 셀 회로 $T_{Nb} \sim T_{Nn}$ 도 OFF한다. 이에 의해 리세트 신호 Rs에 의해 트랜지스터 T_{Pa} 가 ON하였을 때에는 D/A(11)의 각 트랜지스터 셀 회로 $T_{Na} \sim T_{Nn}$ 에 흐르는 전류를 저지해서 소비 전류를 저감하는 것이 가능하다.

산업상 이용 가능성

이상 설명하였지만, 실시예에서는, 출력단 전류원에 D/A를 이용하고 있지만, 본 발명은, 커런트 미러 회로 등의 출력단 전류원을 더 설치하여, D/A의 출력 전류로 이 출력단 전류원을 전류 구동하도록 해도 된다. 이러한 경우, 리세트 스위치로 되는 트랜지스터 TPa(본 발명에서의 제3 트랜지스터)는, 상기 출력단 전류원을 구성하는 트랜지스터의 1개 등이라도 되며, 리세트 스위치로 되는 트랜지스터 이외의 다른 트랜지스터이어도 된다.

또한, 이러한 출력단 전류원을 설치하면, 패시브 매트릭스형 유기 EL 표시 패널의 구동 회로에 적합한 것으로 된다.

따라서, 실시예에서는, 액티브 매트릭스형 유기 EL 표시 패널에서의 구동 회로를 예로 하고 있지만, 본 발명은, 패시브 매트릭스형 유기 EL 표시 패널의 구동 회로에도 적용할 수 있는 것은 물론이다.

또한, 실시예에서는, N채널 MOS 트랜지스터를 주체로 한 D/A를 나타내고 있지만, 이 D/A는, P채널 MOS 트랜지스터 혹은 이것과 N채널 MOS 트랜지스터를 조합한 회로이어도 되는 것은 물론이다.

실시예에서는, MOS 트랜지스터를 이용하고 있지만, 본 발명은, MOS 트랜지스터 대신에 바이폴라 트랜지스터를 이용해도 되는 것은 물론이다. 또한, 그 경우에는, 게이트는 베이스에, 소스는 에미터에, 드레인이 컬렉터에 대응한다.

도면의 간단한 설명

도 1은 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 액티브 매트릭스형 유기 EL 패널에서의 유기 EL 구동 회로의 블록도.

도 2는 그 셀 회로의 회로 구성의 설명도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 트랜지스터 셀 회로

2 : 리세트 스위치 회로

3 : 픽셀 회로(표시 셀)

4 : 유기 EL 소자(OEL 소자)

5 : 기입 제어 회로

7 : 로우측 주사 회로

7a : 스위치 회로

10 : 컬럼 드라이버

10a : 출력 편

11 : D/A

12 : 정전류원

13, 14 : 정전압 바이어스 회로

15 : 컨트롤 회로

16 : 레지스터

17 : MPU

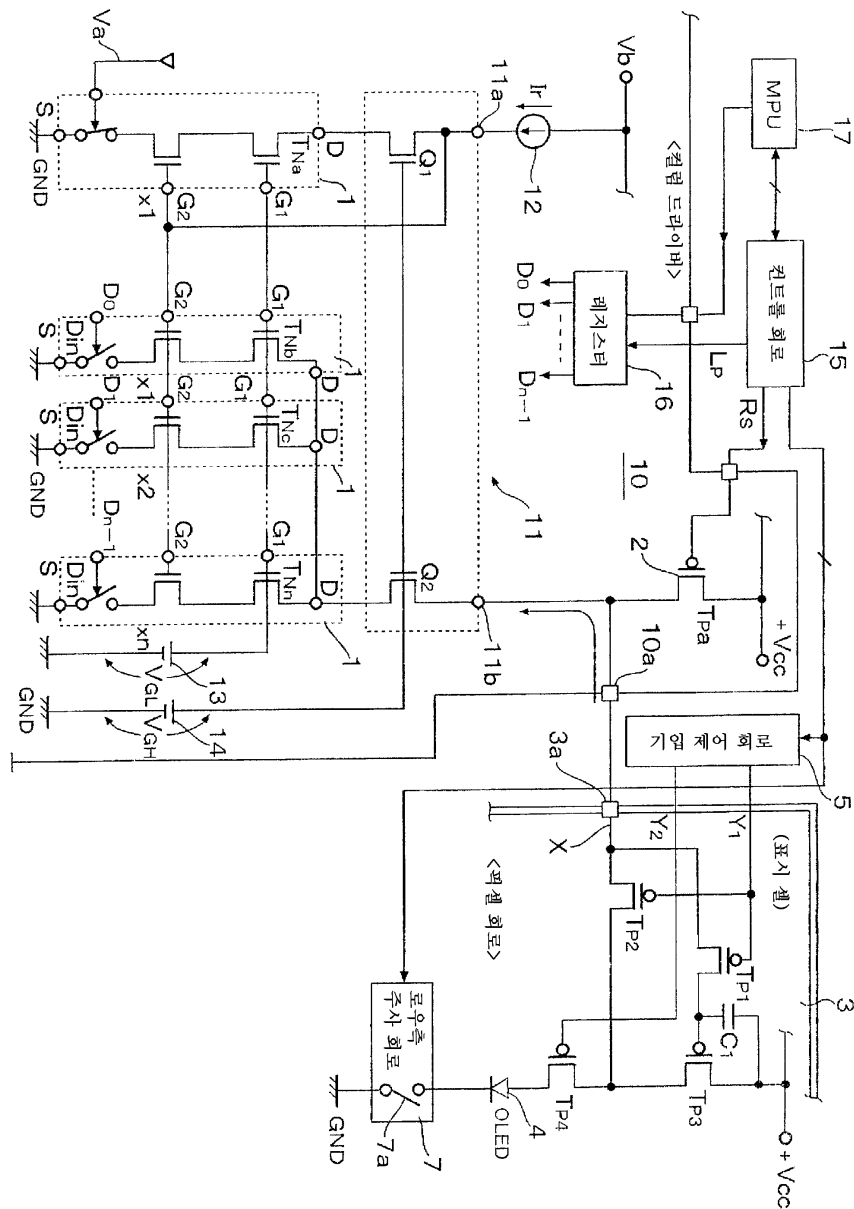
$Q_1 \sim Q_3$: MOS 트랜지스터

$T_{r1} \sim T_{r7}$: MOS 트랜지스터

$T_{Na} \sim T_{Nn-1}$: MOS 트랜지스터

도면

도면1



도면2

