(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/30

(11) 공개번호 10-2004-0039408
(43) 공개일자 2004년05월10일

(21) 출원번호 10-2004-7004291
(22) 출원일자 2004년03월24일
번역문 제출일자 2004년03월24일
(86) 국제출원번호 PCT/JP2002/009668
(86) 국제출원출원일자 2002년09월20일
(87) 국제공개번호 WO 2003/027998
(87) 국제공개일자 2003년04월03일

(30) 우선권주장 JP-P-2001-00291598 2001년09월25일 일본(JP)
JP-P-2001-00332196 2001년10월30일 일본(JP)
JP-P-2002-00136157 2002년05월10일 일본(JP)

(71) 출원인 마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 야마노아츠히로
일본효고켄가와니시시다이와히가시2-26-5

다카하라히로시
일본오사카후네야가와시오아자우즈마사1011-1-345-씨-345

츠게히토시
일본오사카후가도마시미야마에쵸16-1-314

(74) 대리인 김창세

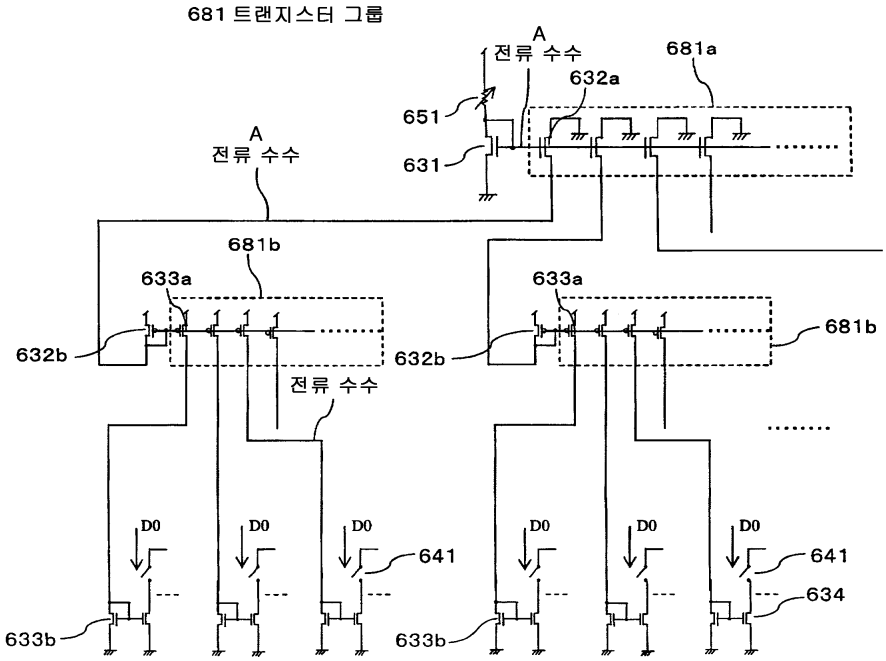
심사청구 : 있음

(54) E L 표시 패널 및 그것을 이용한 E L 표시 장치

요약

본 발명의 EL 표시 장치가 구비하는 소스 드라이버(14)에서, 트랜지스터(631)에 의한 제 1 단 전류원의 게이트 전압이, 인접하는 제 2 단 전류원의 트랜지스터(632a)의 게이트에 인가되고, 그 결과, 트랜지스터(632a)에 흐르는 전류가 제 2 단 전류원의 트랜지스터(632b)에 수수된다. 또한, 제 2 전류원의 트랜지스터(632b)에 의한 게이트 전압이, 인접하는 제 3 단 전류원의 트랜지스터(633a)의 게이트에 인가되고, 그 결과, 트랜지스터(633a)에 흐르는 전류가, 제 3 단 전류원의 트랜지스터(633b)에 수수된다. 제 3 단 전류원의 트랜지스터(633b)의 게이트에는 다수의 전류원(634)이 필요한 비트 수에 따라 마련된다.

대표도



681...트랜지스터 그룹
A...전류 수수

명세서

기술분야

본 발명은, 유기 또는 무기 전계 발광(EL) 소자를 이용한 EL 표시 장치에 관한 것으로, 특히, 소망 전류를 정확하게 EL 소자에 대해 공급할 수 있는 EL 표시 장치에 관한 것이다.

배경기술

일반적으로, 액티브 매트릭스형 표시 장치에서는, 다수의 화소를 매트릭스 형상으로 나열하여, 얻어진 화상 신호에 따라 화소마다 광 강도를 제어함으로써 화상을 표시한다. 예컨대, 전기 광학 물질로서 액정을 이용한 경우에는, 각 화소에 기입되는 전압에 따라 화소의 투과율이 변화한다. 전기 광학 변환 물질로서 유기전계 발광(EL) 재료를 이용한 액티브 매트릭스형 화상 표시 장치에서도, 기본적인 동작은 액정을 이용한 경우와 마찬가지이다.

액정 표시 패널에서는, 각 화소는 셔터로서 동작하고, 백라이트로부터의 광을 화소인 셔터로 온 오프시킴으로써 화상을 표시한다. 유기 EL 표시 패널은 각 화소에 발광 소자를 갖는 자발광형(自發光型) 표시 패널이다. 이러한 자발광형 표 시 패널은 액정 표시 패널에 비해 화상의 시인성이 높고, 백라이트가 불필요하며, 응답 속도가 빠른 등의 이점을 갖고 있다.

유기 EL 표시 패널은 각 발광 소자(화소)의 휘도를 전류량에 의해 제어한다. 이와 같이, 발광 소자가 전류 구동형 또는 전류 제어형이라고 하는 점에서 액정 표시 패널과는 크게 다르다.

유기 EL 표시 패널에 있어서도, 액정 표시 패널과 마찬가지로, 단순 매트릭스 방식 및 액티브 매트릭스 방식의 구성이 가능하다. 전자는 구조가 단순하지만 대형이고 또한 고선명인 표시 패널을 실현하는 것이 곤란하다. 그러나, 저렴이다. 후자는 대형, 고선명인 표시 패널을 실현할 수 있다. 그러나, 제어 방법이 기술적으로 어렵고, 비교적 고가라고 하는 문제가 있다. 현재로서는, 액티브 매트릭스 방식의 개발이 주류를 이루고 있다. 액티브 매트릭스 방식은 각 화소에 마련한 발광 소자에 흐르는 전류를 화소 내부에 마련한 박막 트랜지스터(TFT)에 의해 제어한다.

이 액티브 매트릭스 방식의 유기 EL 표시 패널은, 예컨대, 일본 특허 공개 평성 제8-234683호 공보에 개시되어 있다. 이 표시 패널의 1화소 분량의 등가 회로를 도 62에 나타낸다. 화소(216)는 발광 소자인 EL 소자(215), 제 1 트랜지스터(211a), 제 2 트랜지스터(211b) 및 축적 용량(219)으로 이루어진다. 여기서 EL 소자(215)는 유기 전계 발광(EL) 소자이다.

또, 본 명세서에서는, EL 소자에 전류를 공급(제어)하는 트랜지스터를 구동용 트랜지스터라고 한다. 또한, 도 62의 트랜지스터(211b)와 같이, 스위치로서 동 작하는 트랜지스터를 스위치용 트랜지스터라고 한다.

EL 소자(215)는 많은 경우, 정류성이 있기 때문에, OLED(유기 발광 다이오드)라고 불리는 경우가 있다. 그 때문에, 도 62에서는 EL 소자(215)를 OLED로 사용하여 다이오드의 기호를 이용하고 있다.

도 62의 예에서는, P채널형 트랜지스터(211a)의 소스 단자 S를 Vdd(전원 전위)로 하고, EL 소자(215)의 캐소드(음극)는 접지 전위 Vk에 접속된다. 한편, 애노드(양극)는 트랜지스터(211b)의 드레인 단자 D에 접속되어 있다. 한편, P채널형 트랜지스터(211b)의 게이트 단자는 게이트 신호선(217a)에 접속되고, 소스 단자는 소스 신호선(218)에 접속되며, 드레인 단자는 축적 용량(219) 및 트랜지스터(211a)의 게이트 단자 G에 접속되어 있다.

화소(216)를 동작시키기 위해, 우선, 게이트 신호선(217a)을 선택 상태로 하고, 소스 신호선(218)에 휘도 정보를 나타내는 화상 신호를 인가한다. 그러면, 트랜지스터(211b)가 도통하여, 축적 용량(219)이 충전 또는 방전되고, 트랜지스터(211a)의 게이트 전위는 화상 신호의 전위에 일치한다. 게이트 신호선(217a)을 비선택 상태로 하면, 트랜지스터(211a)가 오프 상태로 되고, 트랜지스터(211a)는 전기적으로 소스 신호선(218)으로부터 분리된다. 그러나, 트랜지스터(211a)의 게이트 전위는 축적 용량(219)에 의해 안정하게 유지된다. 트랜지스터(211a)를 거쳐 EL 소자(215)에 흐르는 전류는 트랜지스터(11a)의 게이트/소스 단자간 전압 Vgs에 따른 값으로 되고, EL 소자(215)는 트랜지스터(211a)를 통해 공급되는 전류량에 따른 휘도로 발광을 계속한다.

이상과 같이, 도 62에 나타낸 종래예는, 1화소가 하나의 선택 트랜지스터(스위칭 소자)와, 하나의 구동용 트랜지스터로 구성된 것이다. 그 밖의 종래예는, 예컨대, 일본 특허 출원 평성 제11-327637호 공보에 개시되어 있다. 이 공보에는, 화소가 커런트 미러 회로로 구성된 실시예를 나타내고 있다.

그런데, 유기 EL 표시 패널은, 통상, 저온 폴리실리콘 트랜지스터 어레이를 이용해서 패널을 구성하고 있다. 그러나, 유기 EL 소자는 전류에 근거해서 발광하기 때문에, 트랜지스터의 특성에 편차가 있으면, 표시 불균일이 발생한다고 하는 문제가 있었다.

또한, 소스 신호선(18)에는 기생 용량이 존재하지만, 종래의 EL 표시 패널에서는 이 기생 용량을 충분히 충방전할 수가 없었다. 그 때문에, 화소(16)에 소망하는 전류를 공급할 수 없는 경우가 발생한다고 하는 문제가 있었다.

또한, 표시 불균일은 전류 프로그래밍 방식의 화소 구성을 채용함으로써 감소시킬 수 있다. 여기서, 전류 프로그래밍을 실시하기 위해서는, 전류 구동 방식의 소스 드라이버가 필요해진다. 그러나, 전류 구동 방식의 소스 드라이버에서도 전류 출력단을 구성하는 트랜지스터 소자에 편차가 발생한다. 그 때문에, 각 출력 단자부터의 출력 전류에 편차가 발생하여, 양호한 화상 표시를 할 수 없다고 하는 문제가 있었다.

또한, 인간의 시각은, 저계조 영역에서는 휘도의 변화에 대한 감도가 낮고, 고계조 영역에서는 휘도의 변화에 대한 감도가 높다고 하는 특성을 갖고 있다. 그 때문에, 전류 구동 방식의 소스 드라이버에서 전체 계조 영역에 걸쳐 일정한 전류 값의 피치로 표시를 행하는 것으로 하면, 인간에게 자연스러운 화상을 표시할 수가 없다고 하는 문제가 있었다.

발명의 상세한 설명

본 발명은 이러한 사정을 감안해서 행해진 것으로서, 그 목적은 소스 드라이버가 구비하는 출력 단자로부터의 출력 전류의 편차를 억제함으로써, 양호한 화상 표시를 실현할 수 있는 EL 표시 장치를 제공하는 것에 있다.

그리고, 이들 목적을 달성하기 위해, 본 발명에 따른 EL 표시 장치는 복수의 소스 신호선과, 상기 소스 신호선을 거쳐 공급되는 전류에 따른 휘도로 발광하는 복수의 EL 소자와, 상기 소스 신호선을 거쳐 화상의 계조에 따른 전류를 상기 EL 소자에 공급하는 소스 드라이버를 구비하는 EL 표시 장치에 있어서, 상기 소스 드라이버는, 기준 신호를 생성하는 기준 신호 생성 수단과, 상기 기준 신호 생성 수단에 의해 생성된 기준 신호를 전류로써 출력하는 제 1 전류원과, 상기 소스 신호선에 대응하여 복수 마련되고, 각각이 상기 제 1 전류원에 의해 출력된 기준 신호를 전압으로써 수수하도록 구성되어 있는 제 2 전류원을 구비하고, 상기 제 2 전류원의 각각이 갖고 있는 기준 신호를 이용해서 상기 화상의 계조에 따른 전류를 생성하도록 구성되어 있다.

이와 같이 구성하면, 소스 드라이버로부터의 출력 전류의 편차를 억제할 수 있으므로, 양호한 화상 표시를 실현할 수 있다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 제 2 전류원의 각각에 는 선택된 경우에 상기 기준 신호를 전류로써 출력하도록 구성되는 단위 트랜지스터가 복수 접속되고, 상기 소스 드라이버는 상기 화상의 계조에 따라 1 또는

복수의 상기 단위 트랜지스터를 선택하도록 구성되어 있고, 표시 가능한 계조 수를 K로 하고, 상기 단위 트랜지스터의 크기를 St(㎛ ^{2})로 했을 때, $40 \leq K/(St)^{1/2}$ 또한 $St \leq 300$의 관계를 만족하도록 구성되어 있는 것이 바람직하다.

이와 같이 구성하면, 소스 드라이버로부터의 출력 전류에 다소 편차가 발생한다해도 화상 표시에서 그 편차가 인식되기 어렵게 된다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 복수의 제 2 전류원은 2㎟ 이하의 영역 내에 형성되어 있는 것이 바람직하다. 이에 따라 소스 드라이버로부터의 출력 전류의 편차를 매우 억제할 수 있다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 소스 드라이버에는, 상기 EL 소자로부터 발생하는 광이 상기 제 1 전류원 및 제 2 전류원에 조사되는 것을 방지하기 위한 차광막이 형성되어 있는 것이 바람직하다. 이에 따라, EL 소자로부터 발생되는 광이 제 1 전류원 및 제 2 전류원에 입사됨으로써 발생하는 포토 컨덕터 현상을 방지할 수 있다.

또한, 본 발명에 따른 EL 표시 장치에 있어서, 복수의 소스 신호선과, 상기 소스 신호선을 거쳐 공급되는 전류에 따른 휘도로 발광하는 복수의 EL 소자와, 상기 소스 신호선을 거쳐 화상의 계조에 따른 전류를 상기 EL 소자에 공급하는 소스 드라이버를 구비하는 EL 표시 장치에 있어서, 상기 소스 드라이버는 제 1 단위 전 류를 출력하는 복수의 단위 트랜지스터를 포함하여 이루어지고, 상기 제 1 단위 전류를 조합시킴으로써 소망 전류를 상기 EL 소자로 출력하는 제 1 전류 출력 회로와, 상기 제 1 단위 전류보다도 큰 제 2 단위 전류를 출력하는 복수의 단위 트랜지스터를 포함하여 이루어지고, 상기 제 2 단위 전류를 조합시킴으로써 소망 전류를 상기 EL 소자로 출력하는 제 2 전류 출력 회로를 구비하고, 표시해야 할 계조가 소정 계조보다도 낮은 경우에, 해당 표시해야 할 계조에 따른 전류를 출력해야 하는 상기 제 1 전류 출력 회로를 동작시키고, 표시해야 할 계조가 소정의 계조 이상일 경우에, 해당 표시해야 할 계조에 따른 전류를 출력해야 하는 상기 제 2 전류 출력 회로를 동작시키고, 또한 소정 전류를 상기 제 1 전류 출력 회로로 출력시키도록 구성되어 있다.

이와 같이 구성하면, 표시해야 할 계조가 소정의 계조보다도 낮을 때에는 낮은 전류값으로 표시를 행하고, 마찬가지로 소정의 계조 이상일 때에는 높은 전류값으로 표시를 행하는 것으로 된다. 이에 따라, 저계조 영역에서는 휘도의 변화가 작고, 고계조 영역에서는 휘도의 변화가 커지는 것과 같은 표시 특성으로 하는 것이 가능해져, 인간에게 자연스러운 영상을 표시할 수 있게 된다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 제 2 전류의 크기는 상기 제 1 전류의 크기의 4배 이상 8배 이하인 것이 바람직하다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 소스 드라이버에는, 상기 EL 소자로부터 발생하는 광이 상기 제 1 전류 출력 회로 및 제 2 전류 출력 회로로 조사되는 것을 방지하기 위한 차광막이 형성되어 있는 것이 바람직하다.

또한, 본 발명에 따른 전자기기는 청구항 2에 기재된 EL 표시 장치를 구비하고, 상기 EL 표시 장치에 대하여 화상 신호를 출력하도록 구성되어 있다.

또한, 본 발명에 따른 EL 표시 장치는 EL 소자가 매트릭스 형상으로 형성된 표시 영역과, 상기 EL 소자에 영상 신호를 전류로서 공급하는 소스 드라이버를 구비하되, 상기 소스 드라이버는 기준 전류를 발생시키는 기준 전류 발생 수단과, 상기 기준 전류 발생 수단으로부터의 기준 전류가 입력되고, 또한 상기 기준 전류에 대응하는 제 1 전류를 출력하는 제 1 전류원과, 상기 제 1 전류원으로부터 출력되는 제 1 전류가 입력되고, 또한 상기 제 1 전류에 대응하는 제 2 전류를 출력하는 제 2 전류원과, 상기 제 2 전류원으로부터 출력되는 제 2 전류가 입력되고, 또한 상기 제 2 전류에 대응하는 제 3 전류를 출력하는 제 3 전류원과, 상기 제 3 전류원으로부터 출력되는 제 3 전류가 입력되고, 또한 입력 화상 데이터에 대응하여 상기 제 3 전류에 대응하는 단위 전류를 상기 EL 소자로 출력하는 복수의 단위 전류원을 갖고 있는 것을 특징으로 한다.

또한, 본 발명에 따른 EL 표시 장치는 EL 소자가 매트릭스 형상으로 형성된 표시 영역과, 상기 EL 소자에 영상 신호를 전류로서 공급하는 소스 드라이버를 구비하되, 상기 소스 드라이버는 복수의 단위 트랜지스터를 갖고, 상기 단위 트랜지스터는 입력된 영상 신호의 크기에 대응하여 선택된 경우에 단위 전류를 출력하도록 구성되어 있고, 표시 가능한 계조 수를 K로 하고, 상기 단위 트랜지스터의 크기를 St(㎛ ^{2})으로 했을 때, $40 \leq K/(St)^{1/2}$ 또한 $St \leq 300$의 관계를 만족하도록 구성되어 있는 것을 특징으로 한다.

또한, 본 발명에 따른 EL 표시 장치는 EL 소자가 매트릭스 형상으로 형성된 표시 영역과, 상기 EL 소자에 영상 신호를 전류로서 공급하는 소스 드라이버를 구비하되, 상기 소스 드라이버는 제 1 트랜지스터와, 상기 제 1 트랜지스터와 커런트 미러 접속된 복수의 제 2 트랜지스터로 이루어지는 트랜지스터 그룹을 갖고, 상기 트랜지스터 그룹은 2㎟ 이내의 범위에 형성되어 있는 것을 특징으로 한다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 제 1 트랜지스터는 복수의 단위 트랜지스터로 구성되고, 해당 복수의 단위 트랜지스터는 2㎟ 이내의 범위에 형성되어 있는 것이 바람직하다.

또한, 본 발명에 따른 EL 표시 장치는 EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 표시 영역과, 상기 화소에 형성된 트랜지스터 소자와, 상기 트랜지스터 소자를 온 오프 제어하는 게이트 드라이버와, 상기 트랜지스터 소자에 영상 신호를 공급하는 소스 드라이버를 구비하되, 상기 게이트 드라이버는 P채널 트랜지스터로 구성되어 있고, 상기 화소에 형성된 트랜지스터는 P채널 트랜지스터 소자이며, 상기 소스 드라이버는 반도체 칩으로 구성되어 있는 것을 특징으로 한다.

또한, 본 발명에 따른 EL 표시 장치는 EL 소자와, 구동용 트랜지스터와, 상기 구동용 트랜지스터와 상기 EL 소자 사이의 경로를 형성하는 제 1 스위칭 소자와, 상기 구동용 트랜지스터와 소스 신호선 사이의 경로를 형성하는 제 2 스위칭 소자가, 매트릭스 형상으로 형성된 표시 영역과, 상기 제 1 스위칭 소자를 온 오프 제어하는 제 1 게이트 드라이버와, 상기 제 2 스위칭 소자를 온 오프 제어하는 제 2 게이트 드라이버와, 상기 트랜지스터 소자에 영상 신호를 인가하는 소스 드라이버를 구비하되, 상기 게이트 드라이버는 P채널 트랜지스터로 구성되어 있고, 상기 화소에 형성된 트랜지스터 및 스위칭 소자는 P채널 트랜지스터 소자이며, 상기 소스 드라이버는 반도체 칩으로 구성되어 있는 것을 특징으로 한다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 소스 드라이버는 영상 신호를 전류로 출력하는 것이 바람직하다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 게이트 드라이버는 네 개의 클럭 신호에 의해, 데이터를 시프트 동작하는 것이 바람직하다.

본 발명의 상기 목적, 다른 목적, 특징 및 이점은 첨부 도면을 참조하여, 이하의 바람직한 실시 형태의 상세한 설명으로부터 명백하게 된다.

도면의 간단한 설명

도 1은 본 발명의 EL 표시 패널의 화소 구성도,

도 2는 본 발명의 EL 표시 패널의 화소 구성도,

도 3은 본 발명의 EL 표시 패널의 동작 설명도,

도 4는 본 발명의 EL 표시 패널의 동작 설명도,

도 5는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 6은 본 발명의 EL 표시 장치의 구성도,

도 7은 본 발명의 EL 표시 패널의 제조 방법의 설명도,

도 8은 본 발명의 EL 표시 장치의 구성도,

도 9는 본 발명의 EL 표시 장치의 구성도,

도 10은 본 발명의 EL 표시 패널의 단면도,

도 11은 본 발명의 EL 표시 패널의 단면도,

도 12는 본 발명의 EL 표시 패널의 설명도,

도 13은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 14는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 15는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 16은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 17은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 18은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 19는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 20은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 21은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 22는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 23은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 24는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 25는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 26은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 27은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 28은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 29는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 30은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 31은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 32는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 33은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 34는 본 발명의 EL 표시 장치의 구성도,

도 35는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 36은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 37은 본 발명의 EL 표시 장치의 구성도,

도 38은 본 발명의 EL 표시 장치의 구성도,

도 39는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 40은 본 발명의 EL 표시 장치의 구성도,

도 41은 본 발명의 EL 표시 장치의 구성도,

도 42는 본 발명의 EL 표시 패널의 화소 구성도,

도 43은 본 발명의 EL 표시 패널의 화소 구성도,

도 44는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 45는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 46은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 47은 본 발명의 EL 표시 패널의 화소 구성도,

도 48은 본 발명의 EL 표시 장치의 구성도,

도 49는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 50은 본 발명의 EL 표시 패널의 화소 구성도,

도 51은 본 발명의 EL 표시 패널의 화소도,

도 52는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 53은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 54는 본 발명의 EL 표시 패널의 화소 구성도,

도 55는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 56은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 57은 본 발명의 휴대형 전화기의 설명도,

도 58은 본 발명의 뷰파인더의 설명도,

도 59는 본 발명의 디지털 비디오 카메라의 설명도,

도 60은 본 발명의 디지털 스틸 카메라의 설명도,

도 61은 본 발명의 텔레비전(모니터)의 설명도,

도 62는 종래의 EL 표시 패널의 화소 구성도,

도 63은 본 발명의 드라이버 회로의 기능 블럭도,

도 64는 본 발명의 드라이버 회로의 설명도,

도 65는 본 발명의 드라이버 회로의 설명도,

도 66은 전압 수수 방식의 다단식 커런트 미러 회로의 설명도,

도 67은 전류 수수 방식의 다단식 커런트 미러 회로의 설명도,

도 68은 본 발명의 다른 실시예에 있어서의 드라이버 회로의 설명도,

도 69는 본 발명의 다른 실시예에 있어서의 드라이버 회로의 설명도,

도 70은 본 발명의 다른 실시예에 있어서의 드라이버 회로의 설명도,

도 71은 본 발명의 다른 실시예에 있어서의 드라이버 회로의 설명도,

도 72는 본 발명의 드라이버 회로의 설명도,

도 73은 본 발명의 드라이버 회로의 설명도,

도 74는 본 발명의 드라이버 회로의 설명도,

도 75는 본 발명의 드라이버 회로의 설명도,

도 76은 본 발명의 드라이버 회로의 설명도,

도 77은 본 발명의 드라이버 회로의 제어 방법의 설명도,

도 78은 본 발명의 드라이버 회로의 설명도,

도 79는 본 발명의 드라이버 회로의 설명도,

도 80은 본 발명의 드라이버 회로의 설명도,

도 81은 본 발명의 드라이버 회로의 설명도,

도 82는 본 발명의 드라이버 회로의 설명도,

도 83은 본 발명의 드라이버 회로의 설명도,

도 84는 본 발명의 드라이버 회로의 설명도,

도 85는 본 발명의 드라이버 회로의 설명도,

도 86은 본 발명의 드라이버 회로의 설명도,

도 87은 본 발명의 드라이버 회로의 설명도,

도 88은 본 발명의 구동 방법의 설명도,

도 89는 본 발명의 드라이버 회로의 설명도,

도 90은 본 발명의 구동 방법의 설명도,

도 91은 본 발명의 EL 표시 장치의 구성도,

도 92는 본 발명의 EL 표시 장치의 구성도,

도 93은 본 발명의 드라이버 회로의 설명도,

도 94는 본 발명의 드라이버 회로의 설명도,

도 95는 본 발명의 EL 표시 장치의 구성도,

도 96은 본 발명의 EL 표시 장치의 구성도,

도 97은 본 발명의 EL 표시 장치의 구성도,

도 98은 본 발명의 EL 표시 장치의 구성도,

도 99는 본 발명의 EL 표시 장치의 구성도,

도 100은 본 발명의 EL 표시 장치의 단면도,

도 101은 본 발명의 EL 표시 장치의 단면도,

도 102는 본 발명의 EL 표시 장치의 구성도,

도 103은 본 발명의 EL 표시 장치의 구성도,

도 104는 본 발명의 EL 표시 장치의 구성도,

도 105는 본 발명의 EL 표시 장치의 구성도,

도 106은 본 발명의 EL 표시 장치의 구성도,

도 107은 본 발명의 EL 표시 장치의 구성도,

도 108은 본 발명의 EL 표시 장치의 구성도,

도 109는 본 발명의 EL 표시 장치의 구성도,

도 110은 본 발명의 소스 드라이버의 설명도,

도 111은 본 발명의 게이트 드라이버의 블럭도,

도 112는 도 111의 게이트 드라이버의 타이밍 차트,

도 113은 본 발명의 게이트 드라이버의 일부의 블럭도,

도 114는 도 113의 게이트 드라이버의 타이밍 차트,

도 115는 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 116은 본 발명의 EL 표시 장치의 구동 방법의 설명도,

도 117은 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

실시예

이하, 본 발명의 실시예에 대하여, 도면을 참조하면서 설명한다. 본 명세서에 있어서 각 도면은 이해를 용이하게 또는 /및 작도를 쉽게 하기 위해, 생략 또는/및 확대 축소한 부분이 있다. 예컨대, 도 11에 나타내는 표시 패널의 단면도에서는 봉지막(111) 등을 충분히 두껍게 도시하고 있다. 한편, 도 10에서, 밀봉 덮개(85)는 얇게 도시하고 있다. 또한, 생략한 부분도 있다. 예컨대, 본 발명의 표시 패널 등에서는, 반사 방지를 위해 원 편광판 등의 위상 필름이 필요하다. 그러나, 본 명세서의 각 도면에서는 생략하고 있다. 이상의 것은 이하의 도면에 대해서도 마찬가지이다. 또한, 동일 부호 또는 기호 등을 부여한 부분은 동일 또는 유사한 형태, 재료, 기능 또는 동작을 나타내고 있다.

또, 각 도면 등에서 설명한 내용은 특별히 예고하지 않아도, 다른 실시예 등과 조합할 수 있다. 예컨대, 도 8의 표시 패널에 터치 패널 등을 부가하여, 도 19, 도 59 내지 도 61에 나타내는 정보 표시 장치로 할 수 있다. 또한, 확대 렌즈(582)를 마련하여, 비디오 카메라(도 59 등 참조) 등에 이용하는 뷰파인더(도 58 참조)를 구성할 수도 있다. 또한, 도 4, 도 15, 도 18, 도 21, 도 23 등에서 설명한 본 발명의 구동 방법은 본 발명의 어느 하나의 표시 장치 또는 표시 패널에 적용할 수 있다.

또, 본 명세서에서는, 구동용 트랜지스터(11), 스위칭용 트랜지스터(11)는 박막 트랜지스터로서 설명하지만, 이것에 한정되는 것은 아니다. 박막 다이오드(TFD), 링 다이오드 등으로 구성할 수도 있다. 또한, 박막 소자에 한정되는 것이 아니라, 실리콘 웨이퍼로 형성한 것이라도 좋다. 물론, FET, MOS-FET, MOS 트랜지스터, 바이폴라 트랜지스터라도 좋다. 이들도 기본적으로 박막 트랜지스터이다. 그 외, 바리스터, 사이리스터, 링 다이오드, 포토 다이오드, 포토 트랜지스터, PLZT 소자 등이어도 관계없다. 즉, 스위치 소자(11), 구동용 소자(11)는 이들 중 어느 하나로 구성되어 있어도 좋다.

유기 EL 표시 패널은, 도 10에 나타내는 바와 같이, 화소 전극으로서의 투명 전극(105)이 형성된 유리판(71)(어레이 기판) 상에, 전자 수송층, 발광층, 정공 수송층 등으로 이루어지는 적어도 1층의 유기 기능층(EL층)(15:15R, 15G, 15B) 및 금속 전극(반사막)(캐소드)(106)이 적층된 것이다. 투명 전극(화소 전극)(105)인 양극(애노드)에 플러스, 금속 전극(반사 전극)(106)의 음극(캐소드)에 마이너스의 전 압을 각각 인가하고, 즉, 투명 전극(105) 및 금속 전극(106) 사이에 직류를 인가함으로써, 유기 기능층(EL층)(15)이 발광한다.

애노드 또는 캐소드로 전류를 공급하는 배선(도 8의 캐소드 배선(86), 애노드 배선(87))에는 큰 전류가 흐른다. 예컨대, EL 표시 장치의 화면 크기가 40인치로 되면 100A 정도의 전류가 흐른다. 따라서, 이들 배선의 저항값은 충분히 낮게 제작해야 한다. 이 과제에 대하여, 본 발명에서는, 우선, 애노드 등의 배선(EL 소자에 발광 전류를 공급하는 배선)을 박막으로 형성한다. 그리고, 이 박막 배선에 전해 도금 기술 또는 무전해 도금 기술로 배선의 두께를 두껍게 형성하고 있다.

도금 금속으로는, 크롬, 니켈, 금, 동, 알루미늄 또는 이들의 합금, 아말감 또는 적층 구조 등이 예시된다. 또한, 필요에 따라, 배선 그 자체 또는 배선에 동박으로 이루어지는 금속 배선을 부가하고 있다. 또한, 배선의 위에 동(銅) 페이스트 등을 스크린 인쇄하여, 페이스트 등을 적층시킴으로써 배선의 두께를 두껍게 하여, 배선 저항을 저하시킨다. 또한, 본딩 기술로 배선을 중복해서 형성함으로써 배선을 보강하여도 좋다. 또한, 필요에 따라, 배선에 적층하여 그라운드 패턴을 형성하여, 배선 사이에 콘덴서(용량)를 형성하여도 좋다.

또한, 애노드 또는 캐소드 배선에 큰 전류를 공급하기 위해, 전류 공급 수단으로부터 고전압으로 소전류의 전력 배선에 의해, 상기 애노드 배선 등의 근방까지 배선하여, DCDC 컨버터 등을 이용해서 저전압, 고전류로 전력 변환하여 공급하고 있다. 즉, 전원으로부터 고전압, 소전류 배선으로 전력 소비 대상까지 배선하고, 전력 소비 대상의 근방에서 다전류, 저전압으로 변환한다. 이와 같은 것으로, DCDC 컨버터, 트랜스 등이 예시된다.

금속 전극(106)에는, 리튬, 은, 알루미늄, 마그네슘, 인듐, 동 또는 각각의 합금 등의 일 함수가 작은 것을 이용하는 것이 바람직하다. 특히, 예컨대, Al-Li 합금을 이용하는 것이 바람직하다. 또한, 투명 전극(105)에는, ITO 등의 일 함수가 큰 도전성 재료 또는 금 등을 이용할 수 있다. 또, 금을 전극 재료로 이용한 경우, 전극은 반투명 상태로 된다. 또, ITO는 IZO 등의 다른 재료라도 좋다. 이 사항은 다른 화소 전극(105)에 대해서도 마찬가지이다.

또, 화소 전극(105) 등에 박막을 증착할 때에는, 아르곤 분위기 중에서 유기 EL막(15)을 성막하면 좋다. 또한, 화소 전극(105)으로서의 ITO 상에 카본막을 20 이상 50㎚ 이하로 성막함으로써, 계면의 안정성이 향상하고, 발광 휘도 및 발광 효율도 양호한 것으로 된다. 또한, EL막(15)은 증착으로 형성하는 것에 한정되는 것이 아니라, 잉크젯으로 형성하여도 되는 것은 물론이다.

또, 밀봉 덮개(85)와 어레이 기판(71) 공간에는 건조제(107)를 배치한다. 이것은 유기 EL막(15)은 습도에 약하기 때문이다. 건조제(107)에 의해 밀봉제를 침투하는 수분을 흡수하여 유기 EL막(15)의 열화를 방지한다.

도 10은 유리의 덮개(85)를 이용해서 밀봉하는 구성이지만, 도 11과 같이 필름(박막이라도 좋다. 즉, 박막 봉지막임)(111)을 이용한 밀봉이라도 좋다. 예컨대, 밀봉 필름(박막 봉지막)(111)으로는 전해 콘덴서의 필름에 DLC(Diamond Like Carbon)를 증착한 것을 이용하는 것이 예시된다. 이 필름은 수분 침투성이 매우 열악하다(방습 성능이 높음). 그 때문에, 이 필름을 봉지막(111)으로서 이용한다. 또한, DLC막 등을 전극(106)의 표면에 직접 증착하는 구성이라도 되는 것은 물론이다. 그 외, 수지 박막과 금속 박막을 다층으로 적층하여, 박막 봉지막을 구성하여도 좋다.

박막의 막 두께는 n · d(n은 박막의 굴절율, 복수의 박막이 적층되어 있는 경우에는 그들 굴절율을 총합(각 박막의 n · d를 계산)하여 계산한다. d는 박막의 막 두께, 복수의 박막이 적층되어 있는 경우에는 그들의 굴절율을 총합하여 계산함)가 EL 소자(15)의 발광 주파 길이 λ 이하로 되도록 하면 좋다. 이 조건을 만족시킴으로써, EL 소자(15)로부터의 광 취출 효율이 유리 기판으로 밀봉한 경우와 비교하여 2배 이상으로 된다. 또한, 알루미늄과 은의 합금 또는 혼합물 또는 적층물을 형성하여도 좋다.

이상과 같이 덮개(85)를 이용하지 않고, 봉지막(111)으로 밀봉하는 구성을 박막 밀봉이라 한다. 기판(71) 측으로부터 광을 출사하는 「하(下) 출사(도 10 참조, 광 출사 방향은 도 10의 화살표 방향)」일 경우의 박막 밀봉은 EL막을 형성한 후, EL막 상에 캐소드로 되는 알루미늄 전극을 형성한다. 다음에 이 알루미늄막 상에 완충층으로서의 수지층을 형성한다. 완충층으로는, 아크릴, 에폭시 등의 유기 재료가 예시된다. 또한, 막 두께는 1㎛ 이상 10㎛ 이하의 두께가 적합하다. 더욱 바람직하게는, 막 두께는 2㎛ 이상 6㎛ 이하의 두께가 적합하다. 이 완충막 상의 봉지막(74)을 형성한다. 완충막이 없으면, 응력에 의해 EL막의 구조가 무너져, 줄무늬 형상으로 결함이 발생한다. 봉지막(111)은 상술한 바와 같이, DLC, 또는 전계 콘덴서의 층 구조(유전체 박막과 알루미늄 박막을 교대로 다층 증착한 구 조)가 예시된다.

EL층(15) 측으로부터 광을 출사하는 「상 출사(도 11 참조, 광 출사 방향은 도 11의 화살표 방향)」일 경우의 박막 밀봉은 EL막(15)을 형성한 후, EL막(15) 상에 캐소드(애노드)로 되는 Ag-Mg막을 20Å 이상 300Å 이하의 막 두께로 형성한다. 그 위에, ITO 등의 투명 전극을 형성하여 저저항화한다. 다음에 이 전극막 상에 완충층으로서의 수지층을 형성한다. 이 완충막 상에 봉지막(111)을 형성한다.

유기 EL층(15)으로부터 발생한 광의 절반은 반사막(106)에서 반사되어, 어레이 기판(71)을 투과하여 출사된다. 그러나, 반사막(106)에 외광이 반사됨으로써 편향 반사가 발생하여 표시 계조가 저하한다. 이 대책을 위해, 어레이 기판(71)에 λ/4판(108) 및 편광판(편광 필름)(109)을 배치하고 있다. 이들은 일반적으로 원 편광판(원 편광 시트)이라 한다

.

또, 화소가 반사 전극인 경우에는 EL층(15)으로부터 발생한 광은 위쪽으로 출사된다. 따라서, 위상판(108) 및 편광판(109)은 광출사 측에 배치되는 것은 물론이다. 또, 반사형 화소는 화소 전극(105)을 알루미늄, 크롬, 은 등으로 구성하여 얻어진다. 또한, 화소 전극(105)의 표면에, 볼록부(또는 요철부)를 마련함으로써 유기 EL층(15)과의 계면이 넓어지게 되어 발광 면적이 커지고, 또한, 발광 효율이 향상된다. 또, 캐소드(106)(애노드(105))로 되는 반사막을 투명 전극에 형성하거나, 또는 반사율을 30% 이하로 감소시킬 수 있는 경우에는, 원 편광판은 불필요하다. 편향 반사가 대폭 감소되기 때문이다. 또한, 광의 간섭도 감소되기 때문에 바람직하다.

트랜지스터(11)는 LDD(Low Doped Drain) 구조를 채용하는 것이 바람직하다. 또한, 본 명세서에서는 EL 소자로서 유기 EL 소자(OEL, PEL, PLED, OLED 등 다종 다양한 약칭으로 기술됨)(15)를 예로 들어 설명하지만 이것에 한정되는 것이 아니라, 무기 EL 소자에도 적용되는 것은 물론이다.

우선, 유기 EL 표시 패널에 이용되는 액티브 매트릭스 방식은,

(1) 특정한 화소를 선택하여, 필요한 표시 정보를 인가할 수 있는 것

(2) 1프레임 기간을 통하여 EL 소자에 전류를 흘릴 수 있는 것이라는 두 개의 조건을 만족시켜야 한다.

이 두 개의 조건을 만족시키기 위해, 도 62에 도시하는 종래의 유기 EL의 화소 구성에서는, 제 1 트랜지스터(211b)는 화소를 선택하기 위한 스위칭용 트랜지스터, 제 2 트랜지스터(211a)는 EL 소자(EL막)(215)에 전류를 공급하기 위한 구동용 트랜지스터로 한다.

이 구성을 이용해서 계조를 표시시킬 경우, 구동용 트랜지스터(211a)의 게이트 전압으로서 계조에 따른 전압을 인가해야 한다. 따라서, 구동용 트랜지스터(211a)의 온(ON) 상태 전류의 편차가 그대로 표시로 나타난다.

트랜지스터의 온 상태 전류는 단결정으로 형성된 트랜지스터이면, 매우 균일하지만, 염가인 유리 기판에 형성할 수 있는 형성 온도가 450도 이하인 저온 폴리실리콘 기술로 형성한 저온 다결정 트랜지스터에서는, 그 임계값에 ±0.2V 0.5V의 범위에서 편차가 있다. 그 때문에, 구동용 트랜지스터(211a)를 흐르는 온 상태 전류가 이것에 대응하여 편차, 표시에 불균일이 발생한다. 이들 불균일은 임계값 전 압의 편차뿐만 아니라, 트랜지스터의 이동도(mobility), 게이트 절연막의 두께 등에도 발생한다. 또한, 트랜지스터(211)의 열화에 의해서도 특성은 변화한다.

이 현상은 저온 폴리실리콘 기술에 한정되는 것이 아니라, 프로세스 온도가 450도(섭씨) 이상의 고온 폴리실리콘 기술에서도, 고상(CGS) 성장시킨 반도체막을 이용해서 트랜지스터 등을 형성한 것에서도 발생한다. 그 외, 유기 트랜지스터에서도 발생한다. 아몰퍼스 실리콘 트랜지스터에서도 발생한다. 따라서, 이하에 설명하는 본 발명은 이들 기술에 대응하고, 대책할 수 있는 구성 또는 방식이다. 또, 본 명세서에서는 저온 폴리실리콘 기술로 형성한 트랜지스터를 주로 설명한다.

도 62와 같이, 전압을 기입함으로써, 계조를 표시시키는 방법에서는, 균일한 표시를 얻기 위해, 장치의 특성을 엄밀하게 제어해야 한다. 그러나, 현상(現狀)의 저온 다결정 폴리실리콘 트랜지스터 등에서는 이 편차를 소정 범위 이내로 억제한다고 하는 요구를 만족시킬 수 없다.

본 발명의 EL 표시 장치의 화소 구조는, 구체적으로는 도 1에 나타내는 바와 같이, 단위 화소가 네 개의 트랜지스터(11) 및 EL 소자에 의해 형성된다. 화소 전극은 소스 신호선과 겹치도록 구성한다. 즉, 소스 신호선(18) 상에 절연막 또는 아크릴 재료로 이루어지는 평탄화막을 형성하여 절연하고, 이 절연막 상에 화소 전극(105)을 형성한다. 이와 같이, 소스 신호선(18) 상의 적어도 일부에 화소 전극을 겹치는 구성을 하이 애퍼추어(HA) 구조라 한다. 불필요한 간섭광 등이 저감하여, 양호한 발광 상태를 기대할 수 있다.

게이트 신호선(제 1 주사선)(17a)에 대하여 게이트 신호를 출력하여 액티브(ON 전압을 인가)로 함으로써 EL 소자(15)의 구동용 트랜지스터(11a) 및 스위치용 트랜지스터(11c)를 통해, 상기 EL 소자(15)에 흐를 전류값을 소스 드라이버(14)로부터 흘린다. 또한, 트랜지스터(11a)의 게이트와 드레인 사이를 단락하도록, 게이트 신호선(17a)을 액티브(ON 전압을 인가)로 함으로써 트랜지스터(11b)를 개방하고, 또한 트랜지스터(11a)의 게이트와 소스 사이에 접속된 콘덴서(커패시터, 축적 용량, 부가 용량)(19)에 트랜지스터(11a)의 게이트 전압(또는 드레인 전압)을 기억한다(도 3(a) 참조).

또, 트랜지스터(11a)의 소스 S-게이트 G간 용량(콘덴서)(19)은 0.2pF 이상의 용량으로 하는 것이 바람직하다. 다른 구성으로서, 별도, 콘덴서(19)를 형성하는 구성도 예시된다. 즉, 콘덴서 전극층과 게이트 절연막 및 게이트 금속으로 축적 용량을 형성하는 구성이다. 트랜지스터(11c)의 리크에 의한 휘도 저하를 방지하는 관점, 표시 동작을 안정화시

키기 위한 관점에서는 이와 같이 별도 콘덴서를 구성하는 편이 바람직하다.

또한, 콘덴서(축적 용량)(19)의 크기는 0.2pF 이상 2pF 이하로 하는 것이 바람직하고, 그 중에서도 콘덴서(축적 용량)(19)의 크기는 0.4pF 이상 1.2pF 이하로 하는 것이 바람직하다. 화소 크기를 고려하여 콘덴서(19)의 용량을 결정한다. 1화소에 필요한 용량을 Cs(pF)로 하고, 1화소가 차지하는 면적(개구율이 아님)을 Sp(μm^2)로 하면, $500/S \leq Cs \leq 20000/S$로 되고, 더 바람직하게는, $1000/Sp \leq Cs \leq 10000/Sp$로 되도록 한다. 또, 트랜지스터의 게이트 용량은 작으므로, 여기서 말하는 Q는 축적 용량(콘덴서)(19) 단독의 용량이다.

콘덴서(19)는 인접하는 화소 사이의 비표시 영역에 형성하는 것이 바람직하다. 일반적으로, 풀컬러 유기 EL 소자(15)를 작성하는 경우, 유기 EL층(15)을 금속 마스크에 의한 마스크 증착으로 형성하기 때문에 마스크 위치 어긋남에 의한 EL층의 형성 위치가 발생한다. 위치 어긋남이 발생하면, 각 색의 유기 EL층(15:15R, 15G, 15B)이 겹칠 위험성이 있다. 그 때문에, 각 색의 인접하는 화소 사이의 비표시 영역은 10μ 이상 떨어져야 한다. 이 부분은 발광에 기여하지 않는 부분으로 된다. 따라서, 축적 용량(19)을 이 영역에 형성하는 것은 개구율 향상을 위해 유효한 수단으로 된다.

다음에, 게이트 신호선(17a)을 비액티브(OFF 전압을 인가), 게이트 신호선(17b)을 액티브로 해서, 전류가 흐르는 경로를 상기 제 1 트랜지스터(11a) 및 EL 소자(15)에 접속된 트랜지스터(11d) 및 EL 소자(15)를 포함하는 경로로 전환하여, 상술한 바와 같이 해서 기억한 전류를 상기 EL 소자(15)로 흘리도록 동작한다(도 3(b) 참조).

이 회로는 1화소 내에 네 개의 트랜지스터(11)를 갖고 있고, 트랜지스터(11a)의 게이트는 트랜지스터(11b)의 소스에 접속되어 있다. 또한, 트랜지스터(11b) 및 트랜지스터(11c)의 게이트는 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b)의 드레인은 트랜지스터(11c)의 드레인 및 트랜지스터(11d)의 소스에 접속되고, 트랜지스터(11c)의 소스는 소스 신호선(18)에 접속되어 있다. 트랜지스터(11d)의 게이트는 게이트 신호선(17b)에 접속되고, 트랜지스터(11d)의 드레인은 EL 소자(15)의 애노드 전극에 접속되어 있다.

또, 도 1에서는 모든 트랜지스터가 P채널로 구성되어 있다. P채널은 N채널 트랜지스터와 비교해서 다소 이동도(mobility)가 낮지만, 내압이 크고 또한 열화도 발생하기 어렵기 때문에 바람직하다. 그러나, 본 발명은 EL 소자 구성을 P채널로 구성하는 것에만 한정하는 것은 아니다. N채널만으로 구성하여도 좋다. 또한, N채널과 P채널의 양쪽을 이용해서 구성하여도 좋다.

또한, 도 1에서 트랜지스터(11c, 11b)는 동일한 극성으로 구성하고, 또한 N채널로 구성하고, 트랜지스터(11a, 11d)는 P채널로 구성하는 것이 바람직하다. 일반적으로 P채널 트랜지스터는 N채널 트랜지스터와 비교해서, 신뢰성이 높고, 킹크(kink) 전류가 적은 등의 장점이 있어, 전류를 제어함에 따라 목적하는 발광 강도를 얻는 EL 소자(15)에 대해서는, 트랜지스터(11a)를 P채널로 하는 효과가 크다.

최적으로는 화소를 구성하는 트랜지스터(11)를 전부 P채널로 형성하고, 내장 게이트 드라이버(12)도 P채널로 형성하는 것이 바람직하다. 이와 같이, 어레이를 P채널만의 트랜지스터로 형성함으로써, 마스크 매수가 5장으로 되어, 저비용화, 높은 양품률을 실현할 수 있다.

이하, 또한 본 발명의 이해를 쉽게 하기 위해, 본 발명의 EL 소자 구성에 대하여 도 3을 이용해서 설명한다. 본 발명의 EL 소자 구성은 두 개의 타이밍에 의해 제어된다. 제 1 타이밍은 필요한 전류값을 기억시키는 타이밍이다. 이 타이밍에서 트랜지스터(11b) 및 트랜지스터(11c)를 온 상태로 함으로써, 등가 회로로서 도 3(a)가 된다. 여기서, 신호선으로 소정의 전류 Iw가 기입된다. 이에 따라 트랜지스터(11a)는 게이트와 드레인이 접속된 상태로 되고, 이 트랜지스터(11a)와 트랜지스터(11c)를 통하여 전류 Iw가 흐른다. 따라서, 트랜지스터(11a)의 게이트-소스 사이의 전압은 전류 Iw가 흐르는 전압으로 된다.

제 2 타이밍은 트랜지스터(11b)와 트랜지스터(11c)가 닫히고, 트랜지스터(11d)가 개방되는 타이밍이며, 그 때의 등가 회로는 도 3(b)로 된다. 트랜지스터(11a)의 소스-게이트 사이의 전압은 유지된 채이다. 이 경우, 트랜지스터(11a)는 항상 포화 영역에서 동작하기 때문에, Iw의 전류는 일정하게 된다.

이와 같이 동작시키면, 도 5에 나타내는 바와 같이 된다. 도 5(a)의 참조 부호 51a는 표시 화면(50)에 있어서의, 어느 시각에서의 전류 프로그래밍되어 있는 화소(행)(기입 화소(행))를 나타내고 있다. 이 화소(행)(51a)는, 도 5(b)에 도시하는 바와 같이, 비점등(비표시 화소(행))으로 한다. 다른 화소(행)는 표시 화소(행)(53)로 한다(표시 화소(행)(53)의 EL 소자(15)에는 전류가 흘러, EL 소자(15)가 발광하고 있다).

도 1의 화소 구성의 경우, 도 3(a)에 나타내는 바와 같이, 전류 프로그래밍 시에는, 프로그래밍 전류 Iw가 소스 신호선(18)에 흐른다. 이 전류 Iw가 트랜지스터(11a)를 흘러, 전류 Iw를 흘리는 전압이 유지되도록, 콘덴서(19)에 전압 설정(프로그래밍)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘리는 기간은 도 3(b)와 같이, 트랜지스터(11c, 11b)가 오프 상태로 되고, 트랜지스터(11d)가 온 상태로 된다. 즉, 게이트 신호선(17a)에 오프 상태 전압 Vgh가 인가되어, 트랜지스터(11b, 11c)가 오프 상태로 된다. 한편, 게이트 신호선(17d)에 온 상태 전압 Vgl이 인가되어, 트랜지스터(11d)가 온 상태로 된다.

이 타이밍 차트를 도 4에 나타낸다. 또, 도 4 등에서, 괄호 내의 첨자(예컨대, (1) 등)는 화소행의 행 번호를 나타내고 있다. 즉, 게이트 신호선(17a(1))이란, 화소행 (1)의 게이트 신호선(17a)을 나타내고 있다. 또한, 도 4 상단의 *H(「*」에는 임의의 기호, 수치가 적합하고, 수평 주사선의 번호를 나타냄)는 수평 주사 기간을 나타내고 있다. 즉, 1H란, 제 1 번째의 수평 주사 기간이다. 또, 이상의 사항은 설명을 쉽게 하기 위한 것으로서, 1H 번호, 1H 주기, 화소행의 행 번호의 순서 등을 한정하는 것은 아니다.

도 4에서 알 수 있듯이, 각 선택된 화소행(선택 기간은 1H로 함)에서, 게이트 신호선(17a)에 온 상태 전압이 인가되어 있을 때에는, 게이트 신호선(17b)에는 오프 상태 전압이 인가되어 있다. 이 기간은 EL 소자(15)에는 전류가 흐르지 않는다(비점등 상태). 한편, 선택되어 있지 않은 화소행에서, 게이트 신호선(17a)에 오프 상태 전압이 인가되고, 게이트 신호선(17b)에는 온 상태 전압이 인가되어 있다. 이 기간은 EL 소자(15)에 전류가 흐르고 있다(점등 상태).

또, 트랜지스터(11b)의 게이트와 트랜지스터(11c)의 게이트는 동일한 게이트 신호선(17a)에 접속되어 있다. 그러나, 트랜지스터(11b)의 게이트와 트랜지스터(11c)의 게이트를 다른 게이트 신호선(도 32의 게이트 신호선(17a, 17c))에 각각 접속하여도 좋다. 이 경우, 1화소의 게이트 신호선은 세 개로 된다(도 1의 구성은 두 개이다). 트랜지스터(11b)의 게이트의 ON/OFF 타이밍과 트랜지스터(11c)의 게이트의 ON/OFF 타이밍을 개별적으로 제어함으로써, 트랜지스터(11a)의 편차에 의한 EL 소자(15)의 전류값 편차를 더 감소시킬 수 있다.

게이트 신호선(17a)과 게이트 신호선(17b)을 공통으로 하고, 트랜지스터(11c, 11d)를 다른 도전형(N채널과 P채널)으로 하면, 구동 회로의 간략화를 도모할 수 있어, 화소의 개구율을 향상시킬 수 있다.

이와 같이 구성하면, 본 발명의 동작 타이밍으로서는 신호선으로부터의 기입 경로가 오프 상태로 된다. 즉, 소정 전류가 기억될 때에, 전류가 흐르는 경로에 분기가 있으면 정확한 전류값이 트랜지스터(11a)의 소스 S-게이트 G 사이의 용량(콘덴서)에 기억되지 않는다. 트랜지스터(11c)와 트랜지스터(11d)를 다른 도전형으로 한 경우, 서로의 임계값을 제어함으로써 주사선이 전환되는 타이밍에서 반드시 트랜지스터(11c)가 오프 상태로 된 후에, 트랜지스터(11d)가 온 상태로 된다고 하는 동작이 가능하게 된다.

단, 이 경우 서로의 임계값을 정확하게 제어해야 하므로 프로세스에는 충분한 주의를 할 필요가 있다. 또, 이상 설명한 회로는 최저 네 개의 트랜지스터로 실현 가능하지만, 보다 정확한 타이밍 제어를 실현하기 위해, 또는 후술하는 바와 같이, 미러 효과 저감을 위해, 트랜지스터(11e)를, 도 2에 나타내는 바와 같이, 캐스캐이드 접속하는 구성으로서 트랜지스터의 총 개수가 4 이상으로 되더라도 동작원리는 동일하다. 이와 같이 트랜지스터(11e)를 부가한 구성으로 함으로써, 트랜지스터(11c)를 거쳐 프로그래밍한 전류를 보다 정밀도 좋게 EL 소자(15)에 흘릴 수 있게 된다.

트랜지스터(11a)의 특성 편차는 트랜지스터 크기에 상관이 있다. 특성 편차를 작게 하기 위해, 제 1 트랜지스터(11a)의 채널 길이를 5㎛ 이상 100㎛ 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 제 1 트랜지스터(11a)의 채널 길이를 10㎛ 이상 50㎛ 이하로 하는 것이 바람직하다. 이것은 채널 길이 L을 길게 한 경우, 채널에 포함되는 입계가 증가함으로써 전계가 완화되어 킹크 효과가 낮게 억제되기 때문이라고 생각된다.

또한, 화소를 구성하는 트랜지스터(11)가 레이저 재결정화 방법(레이저 어닐링)에 의해 형성된 폴리실리콘 트랜지스터로 형성되고, 모든 트랜지스터에서의 채널 방향이 레이저의 조사 방향에 대하여 동일한 방향인 것이 바람직하다. 또한, 레이저는 동일 부분을 2회 이상 스캔하여 반도체막을 형성하는 것이 바람직하다.

본 발명의 목적은 트랜지스터 특성의 편차가 표시에 영향을 미치지 않는 회로 구성을 제안하는 것이고, 그 때문에 네 개 이상의 트랜지스터가 필요해진다. 이들 트랜지스터의 특성에 의해 회로 정수를 결정하는 경우, 네 개의 트랜지스터의 특성이 갖추어지지 않으면, 적절한 회로 정수를 구하기 어렵다. 레이저 조사의 장축 방향에 대하여, 채널 방향이 수평일 경우와 수직일 경우에는 트랜지스터 특성의 임계값과 이동도가 다르게 형성된다. 또, 어느 경우에도 편차의 정도는 동일하다. 수평 방향과 수직 방향에서는 이동도, 임계값의 평균값이 다르다. 따라서, 화소를 구성하는 모든 트랜지스터의 채널 방향은 동일한 편이 바람직하다.

또한, 축적 용량(19)의 용량값을 Cs, 제 2 트랜지스터(11b)의 오프 전류값을 Ioff로 한 경우, 다음 식을 만족시키는 것이 바람직하다.

$3<Cs/Ioff<24$

또한, 다음 식을 만족시키는 것이 보다 바람직하다.

$6<Cs/Ioff<18$

트랜지스터(11b)의 오프 전류를 5pA 이하로 함으로써, EL을 흐르는 전류값의 변화를 2% 이하로 억제할 수 있다. 이것은 리크 전류가 증가하면, 전압 비기입 상태에서 게이트-소스 사이(콘덴서의 양단)에 저장된 전하를 1필드간 유지할 수 없기 때문이다. 따라서, 콘덴서(19)의 축적용 용량이 크면 오프 전류의 허용량도 커지게 된다. 상기 식을 만족하는 것에 따라 인접 화소 사이의 전류값 변동을 2% 이하로 억제할 수 있다.

또한, 액티브 매트릭스를 구성하는 트랜지스터가 p-ch 폴리실리콘 박막 트랜지스터로 구성되고, 트랜지스터(11b)를 듀얼 게이트 이상인 멀티게이트 구조로 하는 것이 바람직하다. 트랜지스터(11b)는 트랜지스터(11a)의 소스-드레인 사이의 스위치로서 작용하기 때문에, 될 수 있는 한 ON/OFF비가 높은 특성이 요구된다. 트랜지스터(11b)의 게이트 구조를 듀얼 게이트 구조 이상의 멀티게이트 구조로 함으로써 ON/OFF 비의 높은 특성을 실현할 수 있다.

화소(16)의 트랜지스터(11)를 구성하는 반도체막은 저온 폴리실리콘 기술에 있어서, 레이저 어닐링에 의해 형성하는 것이 일반적이다. 이 레이저 어닐링의 조건의 편차가 트랜지스터(11)의 특성 편차로 된다. 그러나, 1화소(16) 내의 트랜지스터(11)의 특성이 일치하면, 도 1 등의 전류 프로그래밍을 행하는 방식에서는, 소 정의 전류가 EL 소자(15)에 흐르도록 구동할 수 있다. 이 점은 전압 프로그래밍에 없는 이점이다. 여기서, 레이저로는 엑시머 레이저를 이용하는 것이 바람직하다.

또, 본 발명에 있어서, 반도체막의 형성은 레이저 어닐링 방법에 한정되는 것이 아니라, 열어닐링 방법, 고상(CGS) 성장에 의한 방법이라도 좋다. 그 외, 저온 폴리실리콘 기술에 한정되는 것이 아니라, 고온 폴리실리콘 기술을 이용해도 되는 것은 물론이다.

이 과제에 대하여, 본 발명에서는, 도 7에 나타내는 바와 같이, 어닐링 시의 레이저 조사 스폿(레이저 조사 범위)(72)을 소스 신호선(18)에 평행하게 조사한다. 또한, 1화소열에 일치하도록 레이저 조사 스폿(72)을 이동시킨다. 물론, 1화소열에 한정되는 것이 아니라, 예컨대, RGB를 1화소(16)라는 단위로 레이저를 조사하여도 좋다(이 경우에는, 3화소열이라는 것으로 된다). 또한, 복수의 화소에 동시에 조사하여도 좋다. 또한, 레이저 조사 범위의 이동을 오버랩하여도 되는 것은 물론이다(통상, 이동하는 레이저광의 조사 범위는 오버랩하는 것이 보통이다).

화소는 RGB의 3화소에서 정방형의 형상이 되도록 제작되어 있다. 따라서, R, G, B의 각 화소는 세로 길이의 화소 형상으로 된다. 따라서, 레이저 조사 스폿(72)을 세로 길이로 하여 어닐링함으로써, 1화소 내에서는 트랜지스터(11)의 특성 편차가 발생하지 않도록 할 수 있다. 또한, 하나의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성(이동도, Vt, S값 등)을 균일하게 할 수 있다(즉, 인접한 소스 신호선(18)의 트랜지스터(11)는 특성이 다른 경우가 있지만, 하나의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성은 거의 같게 할 수 있다).

일반적으로 레이저 조사 스폿(72)의 길이는 10인치 등과 같이 고정값이다. 이 레이저 조사 스폿(72)을 이동시키는 것이기 때문에, 하나의 레이저 조사 스폿(72)을 이동시킬 수 있는 범위 내로 수렴되도록 패널을 배치해야 한다(즉, 패널의 표시 영역(50)의 중앙부에서 레이저 조사 스폿(72)이 겹치지 않도록 한다).

도 7에 나타내는 구성에서는, 레이저 조사 스폿(72)의 길이의 범위 내에 세 개의 패널이 세로로 배치되도록 형성되어 있다. 레이저 조사 스폿(72)을 조사하는 어닐링 장치는 유리 기판(74)의 위치 결정 마커(73a, 73b)를 인식(패턴 인식에 의한 자동 위치 결정)하여 레이저 조사 스폿(72)을 이동시킨다. 위치 결정 마커(73)의 인식은 패턴 인식 장치로 실행한다. 어닐링 장치(도시하지 않음)는 위치 결정 마커(73)를 인식하여, 화소열의 위치를 계산해 낸다(레이저 조사 범위(72)가 소스 신호선(18)과 평행하게 되도록 한다). 화소열 위치에 겹치도록 레이저 조사 스폿(72)을 조사하여 어닐링을 순차적으로 실행한다.

도 7에서 설명한 레이저 어닐링 방법(소스 신호선(18)에 평행하게 라인 형상의 레이저 스폿을 조사하는 방식)은 유기 EL 표시 패널의 전류 프로그래밍 방식 시에 채용하는 것이 특히 바람직하다. 왜냐하면, 소스 신호선에 평행 방향으로 트랜지스터(11)의 특성이 일치하고 있기 때문이다(세로 방향으로 인접한 화소 트랜지스터의 특성이 근사하고 있다).

그 때문에, 전류 구동 시에 소스 신호선의 전압 레벨의 변화가 적고, 전류 기입 부족이 발생하기 어렵다.

예컨대, 백 래스터 표시이면, 인접한 각 화소의 트랜지스터(11a)에 흘리는 전류는 거의 동일하기 때문에, 소스 드라이버(14)로부터 출력하는 전류 진폭의 변화가 적다. 만약, 도 1의 트랜지스터(11a)의 특성이 동일하며, 각 화소에 전류 프로그래밍하는 전류값이 화소열에서 같은 것이면, 전류 프로그래밍 시의 소스 신호선(18)의 전위는 일정하다. 따라서, 소스 신호선(18)의 전위 변동은 발생하지 않는다. 하나의 소스 신호선(18)에 접속된 트랜지스터(11a)의 특성이 거의 동일하면, 소스 신호선(18)의 전위 변동은 작게 된다. 이것은, 도 38 등의 다른 전류 프로그래밍 방식의 화소 구성에서도 동일하다(즉, 도 7의 제조 방법을 적용하는 것이 바람직하다).

또한, 도 27, 도 30 등에서 설명하는 복수의 화소행을 동시 기입하는 방식으로 균일한 화상 표시를 실현할 수 있다. 이것은 주로 트랜지스터 특성의 편차에 기인하는 표시 불균일이 발생하기 어렵기 때문이다. 도 27 등은 복수 화소행을 동시에 선택하기 때문에, 인접한 화소행의 트랜지스터가 균일하면, 세로 방향의 트랜지스터 특성 불균일은 드라이버 회로(14)로 흡수할 수 있다.

또, 도 7에 나타내는 바와 같이, 소스 드라이버(14)는 IC칩을 적재하여 형성되어 있지만, 이것에 한정되는 것이 아니라, 소스 드라이버(14)를 화소(16)와 동일 프로세스로 형성하여도 되는 것은 물론이다.

본 발명에서는 특히, 트랜지스터(11b)의 임계 전압 Vth2가 화소 내에서 대응하는 트랜지스터(11a)의 임계 전압 Vth1보다 낮게 되지 않도록 설정되어 있다. 예컨대, 트랜지스터(11b)의 게이트 길이 L2를 트랜지스터(11a)의 게이트 길이 L1보다도 길게 하여, 이들 박막 트랜지스터의 프로세스 파라미터가 변동하여도, Vth2가 Vth1보다도 낮게 되지 않도록 한다. 이에 따라, 미소한 전류 리크를 억제할 수 있다.

또, 이상의 사항은 도 38에 도시하는 커런트 미러의 화소 구성에도 적용할 수 있다. 도 38에서는, 신호 전류가 흐르는 구동용 트랜지스터(11a), EL 소자(15) 등으로 이루어지는 발광 소자에 흐르는 구동 전류를 제어하는 구동용 트랜지스터(11b)의 외에, 게이트 신호선(17a1)의 제어에 의해 화소 회로와 데이터선 data를 접속 또는 차단하는 취입용 트랜지스터(11c), 게이트 신호선(17a2)의 제어에 의해 기입 기간 동안에 트랜지스터(11a)의 게이트 · 드레인을 단락하는 스위치용 트랜지스터(11d), 트랜지스터(11a)의 게이트-소스 사이의 전압의 기입 종료 후에도 유지하기 위한 축적 용량(19) 및 발광 소자로서의 EL 소자(15) 등으로 구성된다.

도 38에서 트랜지스터(11c, 11d)는 N채널 트랜지스터이고, 그 밖의 트랜지스터는 P채널 트랜지스터로 각각 구성하고 있지만, 이것은 일례로서, 반드시 이와 같을 필요는 없다. 축적 용량(19)은 그 한쪽의 단자가 트랜지스터(11a)의 게이트에 접속되고, 다른 쪽의 단자가 Vdd(전원 전위)에 접속되어 있지만, Vdd에 한하지 않고 임의의 일정 전위라도 좋다. EL 소자(15)의 캐소드(음극)는 접지 전위에 접속되어 있다.

다음에, 본 발명의 EL 표시 패널 및 EL 표시 장치에 대하여 설명한다. 도 6은 EL 표시 장치의 회로를 중심으로 한 설명도이다. 화소(16)가 매트릭스 형상으로 배치 또는 형성되어 있다. 각 화소(16)에는 각 화소의 전류 프로그래밍을 행하 는 전류를 출력하는 소스 드라이버(14)가 접속되어 있다. 소스 드라이버(14)의 출력단은 계조 데이터인 화상 신호의 비트수에 대응한 커런트 미러 회로가 형성되어 있다(후술함). 예컨대, 64계조이면, 63개의 커런트 미러 회로가 각 소스 신호선에 형성되고, 이들 커런트 미러 회로의 개수를 선택함으로써 소망 전류를 소스 신호선(18)에 인가할 수 있도록 구성되어 있다.

또, 하나의 커런트 미러 회로의 최소 출력 전류는 10nA 이상 50nA 이하로 하고 있다. 특히, 커런트 미러 회로의 최소 출력 전류는 15nA 이상 35nA 이하로 하는 것이 바람직하다. 소스 드라이버(14) 내의 커런트 미러 회로를 구성하는 트랜지스터의 정밀도를 확보하기 위함이다.

또한, 소스 드라이버(14)는 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 충전 또는 방전 회로를 내장한다. 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 충전 또는 방전 회로의 전압(전류) 출력값은, R, G, B에서 독립적으로 설정할 수 있도록 구성되어 있는 것이 바람직하다. EL 소자(15)의 임계값이 RGB에서 다르기 때문이다.

유기 EL 소자는 큰 온도 의존성 특성이 있는 것이 알려져 있다. 이 온도 특성에 의한 발광 휘도 변화를 조정하기 위해, 커런트 미러 회로에 출력 전류를 변화시키는 서미스터 또는 포지스터 등의 비직선 소자를 부가하고, 온도 의존성 특성에 의한 변화를 상기 서미스터 등으로 조정함으로써 아날로그적으로 기준 전류를 작성한다.

본 발명에 있어서, 소스 드라이버(14)는 반도체 칩으로 형성되어 있고, COG(Chip on Glass) 기술로 기판(71)의 소스 신호선(18)의 단자와 접속되어 있다. 소스 신호선(18) 등의 신호선의 배선은 크롬, 동, 알루미늄, 은 등의 금속 배선이 이용된다. 가는 배선 폭으로 저저항의 배선을 얻을 수 있기 때문이다. 배선은 화소가 반사형인 경우에는 화소의 반사막을 구성하는 재료로, 반사막과 동시에 형성하는 것이 바람직하다. 공정을 간략화할 수 있기 때문이다.

소스 드라이버(14)의 실장은 COG 기술에 한정되는 것이 아니라, COF(Chip on Film) 기술에 전술한 소스 드라이버(14) 등을 적재하여, 표시 패널의 신호선과 접속한 구성으로 하여도 좋다. 또한, 드라이브 IC는 전원 IC(82)를 별도 제작하고, 3칩 구성으로 하여도 좋다.

한편, 게이트 드라이버(12)는 저온 폴리실리콘 기술로 형성되어 있다. 즉, 화소의 트랜지스터와 동일한 프로세스로 형성하고 있다. 이것은 소스 드라이버(14)와 비교하여 내부의 구조가 용이하고, 동작 주파수도 낮기 때문이다. 따라서, 저온 폴리실리콘 기술을 이용해도 용이하게 게이트 드라이버(12)를 형성할 수 있어, 이에 따라 프레임을 좁게 실현할 수 있다. 물론, 게이트 드라이버(12)를 실리콘 칩으로 형성하고, COG 기술 등을 이용해서 기판(71) 상에 실장하여도

되는 것은 물론이다. 또한, 화소 트랜지스터 등의 스위칭 소자, 게이트 드라이버 등은 고온 폴리실리콘 기술로 형성하여도 좋고, 유기 재료로 형성(유기 트랜지스터)하여도 좋다.

게이트 드라이버(12)는 게이트 신호선(17a)용 시프트 레지스터 회로(61a)와, 게이트 신호선(17b)용 시프트 레지스터 회로(61b)를 내장한다. 각 시프트 레지스 터 회로(61)는 정상(正相) 및 부상(負相)의 클럭 신호 CLKxP, CLKxN, 시작 펄스 STx로 제어된다. 그 외, 게이트 신호선의 출력, 비출력을 제어하는 인에이블 신호 ENABL, 시프트 방향을 상하 역전시키는 업다운 신호 UPDWM를 부가하는 것이 바람직하다. 그 외에, 시작 펄스가 시프트 레지스터로 시프트되고, 그리고 출력되어 있는 것을 확인하는 출력 단자 등을 마련하는 것이 바람직하다. 또, 시프트 레지스터의 시프트 타이밍은 컨트롤 IC(81)로부터의 제어 신호로 제어된다. 또한, 외부 데이터의 레벨 시프트를 행하는 레벨 시프트 회로를 내장한다. 또한, 검사 회로를 내장한다.

시프트 레지스터 회로(61)의 버퍼 용량은 작기 때문에, 직접적으로는 게이트 신호선(17)을 구동할 수 없다. 그 때문에, 시프트 레지스터 회로(61)의 출력과 게이트 신호선(17)을 구동하는 출력 게이트(63) 사이에는 적어도 두 개 이상의 인버터 회로(62)가 형성되어 있다.

소스 드라이버(14)를 저온 폴리실리콘 등의 폴리실리콘 기술로 기판(71) 상에 직접 형성하는 경우도 마찬가지이며, 소스 신호선(18)을 구동하는 전송 게이트 등의 아날로그 스위치의 게이트와 소스 드라이버(14)의 시프트 레지스터 사이에는 복수의 인버터 회로가 형성된다. 이하의 사항(시프트 레지스터의 출력과, 신호선을 구동하는 출력단(출력 게이트 또는 전송 게이트 등의 출력단) 사이에 배치되는 인버터 회로에 대한 사항)은 소스 드라이버 및 게이트 드라이버에 공통의 사항이다.

예컨대, 도 6에서는 소스 드라이버(14)의 출력이 직접 소스 신호선(18)에 접 속되어 있도록 도시했지만, 실제로는, 소스 드라이버의 시프트 레지스터의 출력은 다단의 인버터 회로에 접속되고, 인버터의 출력이 전송 게이트 등의 아날로그 스위치의 게이트에 접속되어 있다.

인버터 회로(62)는 P채널의 MOS 트랜지스터와 N채널의 MOS 트랜지스터로 구성된다. 앞서도 설명한 바와 같이, 게이트 드라이버(12)의 시프트 레지스터 회로(61)의 출력단에는 인버터 회로(62)가 다단으로 접속되어 있고, 그 최종 출력이 출력 게이트 회로(63)에 접속되어 있다. 또, 인버터 회로(62)는 P채널만으로 구성하여도 좋다. 단, 이 경우에는 인버터가 아니라 단순한 게이트 회로로서 구성하여도 좋다.

도 8은 본 발명의 표시 장치의 신호, 전압의 공급의 구성도 또는 표시 장치의 구성도이다. 컨트롤 IC(81)로부터 소스 드라이버(14a)로 공급하는 신호(전원 배선, 데이터 배선 등)는 플렉서블 기판(84)을 거쳐 공급한다.

도 8에서는 게이트 드라이버(12)의 제어 신호는 컨트롤 IC(81)에서 발생되고, 소스 드라이버(14)에서 레벨 시프트를 행한 후, 게이트 드라이버(12)에 인가되고 있다. 소스 드라이버(14)의 구동 전압은 4 8V이기 때문에, 컨트롤 IC(81)로부터 출력된 3.3V 진폭의 제어 신호를, 게이트 드라이버(12)가 수취할 수 있는 5V 진폭으로 변환할 수 있다.

소스 드라이버(14) 내에는 화상 메모리를 마련하는 것이 바람직하다. 화상 메모리의 화상 데이터는 오차 확산 처리 또는 디서(dither) 처리를 행한 후의 데이터를 저장하여도 좋다. 오차 확산 처리, 디서 처리 등을 행함으로써, 26만색 표시 데이터를 4096색 등으로 변환할 수 있어, 화상 메모리의 용량을 작게 할 수 있다. 오차 확산 처리 등은 오차 확산 컨트롤러(81)로 실행할 수 있다. 또한, 디서 처리를 행한 후, 또한 오차 확산 처리를 행하여도 좋다. 이상의 사항은 역 오차 확산 처리에도 적용된다.

또, 도 8 등에서, 참조 부호 14를 소스 드라이버로 기재했지만, 단순한 드라이버뿐만 아니라, 전원 회로, 버퍼 회로(시프트 레지스터 등의 회로를 포함함), 데이터 변환 회로, 래치 회로, 커맨드 디코더, 시프트 회로, 어드레스 변환 회로, 화상 메모리 등을 내장시켜도 좋다. 또, 도 8 등에 설명하는 구성에서도, 도 9 등에 설명하는 3변 프리 구성(구조), 구동 방식 등을 적용할 수 있는 것은 물론이다.

표시 패널을 휴대형 전화기 등의 정보 표시 장치에 사용하는 경우, 소스 드라이버(회로)(14), 게이트 드라이버(회로)(12)를, 도 9에 나타내는 바와 같이, 표시 패널의 한 변에 실장(형성)하는 것이 바람직하다(또, 이와 같이 한 변에 드라이버 IC(회로)를 실장(형성)하는 형태를 3변 프리 구성(구조)이라 한다. 종래에는, 표시 영역의 X변에 게이트 드라이버(12)가 실장되고, Y변에 소스 드라이버(14)가 실장되어 있었다). 화면(50)의 중심선이 표시 장치의 중심이 되도록 설계하기 쉽고, 또한, 드라이버 IC의 실장도 용이해지기 때문이다. 또, 게이트 드라이버를 고온 폴리실리콘 또는 저온 폴리실리콘 기술 등에 의해 3변 프리 구성으로 제작하여도 좋다(즉, 도 9의 소스 드라이버(14) 및 게이트 드라이버(12) 중 적어도 한쪽을 폴리실리콘 기술로 기판(71)에 직접 형성한다).

또, 3변 프리 구성이란, 기판(71)에 직접 IC를 적재 또는 형성한 구성뿐만 아니라, 소스 드라이버(회로)(14), 게이트 드라이버(회로)(12) 등을 접착한 필름(TCP, TAB 기술 등)을 기판(71)의 한 변(또는 거의 한 변)에 접착한 구성도 포

함한다. 즉, 두 변에 IC가 실장 또는 접착되어 있지 않은 구성, 배치 또는 그것에 유사한 전부를 의미한다.

도 9와 같이 게이트 드라이버(12)를 소스 드라이버(14)의 옆에 배치하면, 게이트 신호선(17)은 변 C를 따라 형성해야 한다.

또, 도 9 등에서 굵은 실선으로 도시한 부분은 게이트 신호선(17)이 병렬로 형성되어 있는 부분을 나타내고 있다. 따라서, b의 부분(화면 하부)은 게이트 신호선의 개수 분량의 게이트 신호선(17)이 병렬로 형성되고, a의 부분(화면 상부)은 게이트 신호선(17)이 한 개 형성되어 있다.

변 C에 형성하는 게이트 신호선(17)의 피치는 5㎛ 이상 12㎛ 이하로 한다. 5㎛ 미만에서는 인접 게이트 신호선에 기생 용량의 영향에 의해 노이즈가 포함된다. 실험에 따르면, 7μ 이하에서 기생 용량의 영향이 현저하게 발생한다. 또한, 5㎛ 미만에서는 표시 화면에 비트 형상 등의 화상 노이즈가 심하게 발생한다. 특히 노이즈의 발생은 화면의 좌우에서 다르고, 이 비트 형상 등의 화상 노이즈를 저감하는 것은 곤란하다. 또한, 저감 12㎛를 초과하면 표시 패널의 프레임 폭 D가 지나치게 커져 실용적이지 않다.

전술한 화상 노이즈를 감소시키기 위해서는, 게이트 신호선(17)을 형성한 부분의 하층 또는 상층에, 그라운드 패턴(일정 전압에 전압 고정 또는 전체로서 안정한 전위로 설정되어 있는 도전 패턴)을 배치함으로써 감소시킬 수 있다. 또한, 별 도로 마련한 쉴드판(쉴드박(일정 전압에 전압 고정 또는 전체로서 안정한 전위로 설정되어 있는 도전 패턴))을 게이트 신호선(17) 상에 배치하면 좋다.

도 9의 변 C의 게이트 신호선(17)은 ITO 전극으로 형성하여도 좋지만, 저저항화하기 위해, ITO와 금속 박막을 적층하여 형성하는 것이 바람직하다. 또한, 금속막으로 형성하는 것이 바람직하다. ITO와 적층하는 경우에는, ITO 상에 티타늄막을 형성하고, 그 위에 알루미늄 또는 알루미늄과 몰리브덴의 합금 박막을 형성한다. 또는, ITO 상에 크롬막을 형성한다. 금속막의 경우에는, 알루미늄 박막, 크롬 박막으로 형성한다. 이상의 사항은 본 발명의 다른 실시예도 마찬가지이다.

또, 도 9 등에서, 게이트 신호선(17) 등은 표시 영역의 한 쪽에 배치한다고 했지만 이것에 한정되는 것은 아니고, 양쪽에 배치하여도 좋다. 예컨대, 게이트 신호선(17a)을 표시 영역(50)의 우측에 배치(형성)하고, 게이트 신호선(17b)을 표시 영역(50)의 좌측에 배치(형성)하여도 좋다. 이상의 사항은 다른 실시예라도 마찬가지이다.

또한, 소스 드라이버(14)와 게이트 드라이버(12)를 1칩화하여도 좋다. 1칩화하면, 표시 패널에의 IC칩의 실장이 한 개로 충분하다. 따라서, 실장 비용도 감소시킬 수 있다. 또한, 1칩 드라이버 IC 내에서 사용하는 각종 전압도 동시에 발생할 수 있다.

또, 소스 드라이버(14), 게이트 드라이버(12)는 실리콘 등의 반도체 웨이퍼로 제작하여, 표시 패널에 실장한다고 했지만 이것에 한정되는 것이 아니라, 저온 폴리실리콘 기술, 고온 폴리실리콘 기술에 의해 표시 패널(82)에 직접 형성하여도 되는 것은 물론이다.

도 1 등에 나타낸 구성에서는 EL 소자(15)는 트랜지스터(11a)를 거쳐 Vdd 전위에 접속되어 있다. 그러나, 각 색을 구성하는 유기 EL의 구동 전압이 다르다는 문제가 있다. 예컨대, 단위 ㎠당 0.01A의 전류를 흘린 경우, 청색 B에서는 EL 소자의 단자 전압은 5V이지만, 녹색 G 및 적색 R에서는 9V이다. 즉, 단자 전압이 B와 G, R이 다르다. 따라서, B와 G 및 R에서는 유지하는 트랜지스터(11a)의 소스-드레인 전압(SD 전압)이 다르다. 그 때문에, 각 색에서 트랜지스터의 소스-드레인 전압(SD 전압) 사이의 오프 리크 전류가 다른 것으로 된다. 오프 리크 전류가 발생하고, 또한 오프 리크 특성이 각 색에서 다르면, 색 밸런스가 어긋난 상태에서 플리커가 발생하고, 발광색에 상관하여 감마 특성이 어긋난다고 하는 복잡한 표시 상태로 된다.

이 과제에 대응하기 위해, 적어도 R, G, B색 중 하나의 캐소드 전극의 전위를 다른 색의 캐소드 전극의 전위와 다르게 하도록 구성하고 있다. 또는 R, G, B 색 중, 하나의 Vdd의 전위를 다른 색의 Vdd의 전위와 다르게 하도록 구성하고 있다.

R, G, B의 EL 소자(15)의 단자 전압은 정확하게 일치시키는 것이 바람직한 것은 물론이다. 적어도, 백 피크 휘도를 표시하고 있고, 색 온도가 7000K 이상 12000K 이하의 범위에서, R, G, B의 EL 소자의 단자 전압은 10V 이하로 되도록 재료 또는 구조를 선정해야 한다. 또한, R, G, B 중 EL 소자의 최대 단자 전압과 최소의 단자 전압과의 차는 2.5V 이내로 할 필요가 있다. 더욱 바람직하게는 이 차 이를 1.5V 이하로 할 필요가 있다. 또, 이상의 실시예에서는, 색은 RGB로 했지만 이것에 한정되는 것은 아니다. 이것은 후에 설명한다.

또, 화소는 R, G, B의 3원색으로 했지만 이것에 한정되는 것이 아니라, 시안색, 황색, 마젠타색의 3색이라도 좋다. 또한, B와 황색의 2색이라도 좋다. 물론, 단색이라도 좋다. 또한, R, G, B, 시안색, 황색, 마젠타색의 6색이라도 좋다. R,

G, B, 시안색, 마젠타색의 5색이라도 좋다. 이들은 자연 색으로서 색 재현 범위가 확대되어 양호한 표시를 실현할 수 있다. 그 외, R, G, B, 백색의 4색이라도 좋다. R, G, B, 시안색, 황색, 마젠타색, 흑색, 백색의 7색이라도 좋다. 또한, 백색 발광 화소를 표시 영역(50) 전체에 형성(제작)하고, RGB 등의 컬러 필터에 의해 3원색 표시로 하여도 좋다. 이 경우에는, EL층에 각 색의 발광 재료를 적층하여 형성하면 좋다. 또한, 1화소를 B 및 황색과 같이 구분해서 칠해도 좋다. 이상과 같이, 본 발명의 EL 표시 장치는 RGB의 3원색으로 컬러 표시를 행하는 것에 한정되는 것은 아니다.

유기 EL 표시 패널의 컬러화에는 주로 세 가지의 방식이 있고, 색 변환 방식은 그 중 하나이다. 발광층으로서 청색만의 단층을 형성하면 좋고, 풀 컬러화에 필요한 나머지 녹색과 적색은 청색광으로부터 색 변환에 의해 만들어낸다. 따라서, RGB의 각 층을 구분해서 칠해 둘 필요가 없고, RGB 각 색의 유기 EL 재료를 구비할 필요가 없다고 하는 이점이 있다. 색 변환 방식은 구분 도포 방식과 같이 양품률 저하가 없다. 본 발명의 EL 표시 패널 등은 어느 쪽의 방식에도 적용할 수 있다.

또한, 3원색의 외에, 백색 발광의 화소를 형성하여도 좋다. 백색 발광의 화소는 R, G, B 발광의 구조를 적층함으로써 제작(형성 또는 구성)함으로써 실현할 수 있다. 1조의 화소는 RGB의 3원색과, 백색 발광의 화소(16W)로 이루어진다. 백색 발광의 화소를 형성함으로써, 백색의 피크 휘도를 표현하기 쉽게 된다. 따라서, 휘감(輝感)이 있는 화상 표시를 실현할 수 있다.

RGB 등의 3원색을 1조의 화소로 하는 경우에도, 각 색의 화소 전극의 면적을 다르게 하는 것이 바람직하다. 물론, 각 색의 발광 효율이 균형적이고, 색 순도도 균형적이면, 동일 면적이라도 괜찮다. 그러나, 하나 또는 복수 색의 밸런스가 나쁘면, 화소 전극의 발광 면적을 조정하는 것이 바람직하다. 각 색의 전극 면적은 전류 밀도를 기준으로 결정하면 좋다. 즉, 색 온도가 7000K 이상 12000K 이하의 범위에서, 화이트 밸런스를 조정했을 때, 각 색의 전류 밀도의 차가 ±30% 이내로 되도록 한다. 더욱 바람직하게는 ±15% 이내로 되도록 한다. 예컨대, 전류 밀도가 100A/㎡이라 하면, 3원색이 모두 70A/㎡ 이상 130A/㎡ 이하로 되도록 한다. 더욱 바람직하게는, 3원색이 모두 85A/㎡ 이상 115A/㎡ 이하로 되도록 한다.

유기 EL(15)는 자기 발광 소자이다. 이 발광에 의한 광이 스위칭 소자로서의 트랜지스터에 입사되면 포토 컨덕터 현상이 발생한다. 포토 컨덕터란, 광 여기에 의해 트랜지스터 등의 스위칭 소자의 오프 상태 시에서의 리크(오프 리크)가 증가하는 현상을 말한다.

이 과제에 대처하기 위해서, 본 발명에서는 게이트 드라이버(12)(경우에 따라서는 소스 드라이버(14))의 하층, 화소 트랜지스터(11)의 하층에 차광막을 형성 하고 있다. 차광막은 크롬 등의 금속 박막으로 형성하고, 그 막 두께는 50㎚ 이상 150㎚ 이하로 한다. 막 두께가 얇으면 차광 효과가 모자라고, 두꺼우면 요철이 발생하여 상층의 트랜지스터(11a)의 패터닝이 곤란하게 된다.

차광막 상에 20㎚ 이상 100㎚ 이하의 무기 재료로 이루어지는 평활화막을 형성한다. 이 차광막의 층을 이용해서 축적 용량(19)의 한쪽 전극을 형성하여도 좋다. 이 경우, 평활막은 매우 얇게 하여 축적 용량의 용량값을 크게 하는 것이 바람직하다. 또한, 차광막을 알루미늄으로 형성하고, 양극 산화 기술을 이용해서 산화실리콘막을 차광막의 표면에 형성하며, 이 산화실리콘막을 축적 용량(19)의 유전체막으로서 이용해도 좋다. 평활화막 상에는 하이 애퍼처(HA) 구조의 화소 전극이 형성된다.

드라이버 회로(12) 등은 이면뿐만 아니라, 표면으로부터의 광의 진입도 억제하는 해야한다. 포토 컨덕터 현상의 영향에 의해 오동작하기 때문이다. 따라서, 본 발명에서는, 캐소드 전극이 금속막일 경우에는, 드라이버(12) 등의 표면에도 캐소드 전극을 형성하고, 이 전극을 차광막으로서 이용하고 있다.

그러나, 드라이버(12)의 위에 캐소드 전극을 형성하면, 이 캐소드 전극으로부터의 전계에 의한 드라이버의 오동작 또는 캐소드 전극과 드라이버 회로의 전기적 접촉이 발생할 가능성이 있다. 이 과제에 대처하기 위해, 본 발명에서는 드라이버 회로(12) 등의 위에 적어도 1층, 바람직하게는 복수층의 유기 EL막을 화소 전극 상의 유기 EL막 형성과 동시에 형성한다.

기본적으로 유기 EL막은 절연물이기 때문에, 드라이버 상에 유기 EL막을 형 성함으로써, 캐소드와 드라이버 사이가 격리된다. 따라서, 전술한 과제를 해소할 수 있다.

화소의 하나 이상의 트랜지스터(11)의 단자 사이 또는 트랜지스터(11)와 신호선이 단락되면, EL 소자(15)가 상시, 점등하는 것으로 되고, 이러한 화소가 휘점(輝點)으로 되는 경우가 있다. 이 휘점은 시각적으로 눈에 띄기 때문에 흑점화(비점등)해야 한다. 휘점에 대해서는, 당해 화소(16)를 검출하여, 콘덴서(19)에 레이저광을 조사하여 콘덴서의 단자 사이를 단락시킨다. 따라서, 콘덴서(19)에는 전하를 유지할 수 없게 되므로, 트랜지스터(11a)는 전류를 흘리지 않게 할 수 있다.

또, 레이저광을 조사하는 위치에 대응하는 캐소드막을 제거해 두는 것이 바람직하다. 레이저 조사에 의해, 콘덴서(19)의 단자 전극과 캐소드막이 단락되는 것을 방지하기 위함이다.

화소(16)의 트랜지스터(11)의 결함은 드라이버 회로(14) 등에도 영향을 부여한다. 예컨대, 도 56에서는 구동용 트랜지스터(11a)에 소스-드레인(SD) 단락(562)이 발생하고 있으면, 패널의 Vdd 전압이 소스 드라이버(14)에 인가된다. 따라서, 소스 드라이버(14)의 전원 전압은 패널의 전원 전압 Vdd와 동일하든지 또는 높게 해 두는 것이 바람직하다. 또, 소스 드라이버(14)에서 사용하는 기준 전류는 전자 볼륨(561)으로 조정할 수 있도록 구성해 두는 것이 바람직하다.

트랜지스터(11a)에 SD 단락(562)이 발생하면, EL 소자(15)에 과대한 전류가 흐른다. 즉, EL 소자(15)가 상시 점등 상태(휘점)으로 된다. 휘점은 결함으로서 눈에 띄기 쉽다. 예컨대, 도 56에서, 트랜지스터(11a)의 소스-드레인(SD) 단락이 발생하고 있으면, 트랜지스터(11a)의 게이트 단자 G 전위의 대소에 관계하지 않고, Vdd 전압으로부터 EL 소자(15)로 전류가 상시 흐른다(트랜지스터(11d)가 온 상태일 때). 따라서, EL 소자(15)가 휘점으로 된다.

또한, 트랜지스터(11a)에 SD 단락이 발생하고 있으면, 트랜지스터(11c)가 온 상태일 때, Vdd 전압이 소스 신호선(18)에 인가되어 소스 드라이버(14)에 Vdd 전압이 인가된다. 만약, 소스 드라이버(14)의 전원 전압이 Vdd 이하이면, 내압을 초과하여, 소스 드라이버(14)가 파괴될 우려가 있다. 그 때문에, 소스 드라이버(14)의 전원 전압은 Vdd 전압(패널이 높은 쪽의 전압) 이상으로 하는 것이 바람직하다.

트랜지스터(11a)의 SD 단락 등은 점 결함에 머물지 않고, 패널의 소스 드라이버의 파괴로 이어질 우려가 있고, 또한, 휘점은 눈에 띄기 때문에 패널로서는 불량으로 된다. 따라서, 트랜지스터(11a)와 EL 소자(15) 사이를 접속하는 배선을 절단하고, 휘점을 흑점 결함으로 할 필요가 있다. 이 절단에는, 레이저광 등의 광학 수단을 이용해서 절단하면 좋다.

또, 이상의 실시예는 배선을 절단시키는 것으로 했지만, 흑 표시하기 위해서는 이것에 한정되는 것은 아니다. 예컨대, 도 1에서도 알 수 있듯이, 트랜지스터(11a)의 전원 Vdd가 트랜지스터(11a)의 게이트 단자 G에 상시 인가되도록 수정하여도 좋다. 예컨대, 콘덴서(19)의 두 개의 전극 사이를 단락시키면, Vdd 전압이 트랜지스터(11a)의 게이트 단자 G에 인가되게 된다. 따라서, 트랜지스터(11a)는 완전히 오프 상태가 되어, EL 소자(15)에 전류를 흘리지 않게 할 수 있다. 이것은 콘덴서(19)에 레이저광을 조사함으로써 콘덴서 전극을 단락시킬 수 있기 때문에, 용이하게 실현할 수 있다.

또한, 실제로는, 화소 전극의 하층에 Vdd 배선이 배치되어 있기 때문에, Vdd 배선과 화소 전극과 레이저광을 조사함으로써, 화소의 표시 상태를 제어(수정)할 수 있다.

그 외, 트랜지스터(11a)의 SD 사이(채널)를 오픈으로 할 수도 있다. 간단하게는 트랜지스터(11a)에 레이저광을 조사하여, 트랜지스터(11a)의 채널을 오픈으로 한다. 마찬가지로, 트랜지스터(11d)의 채널을 오픈으로 하여도 좋다. 물론, 트랜지스터(11b)의 채널을 오픈으로 한 경우, 해당 화소(16)가 선택되지 않기 때문에, 흑 표시로 된다.

화소(16)를 흑 표시로 하기 위해서는, EL 소자(15)를 열화시켜도 좋다. 예컨대, 레이저광을 EL층(15)에 조사하고, EL층(15)을 물리적 또는 화학적으로 열화시켜, 발광하지 않도록 한다(상시 흑 표시). 레이저광의 조사에 의해 EL층(15)을 가열하여, 용이하게 열화시킬 수 있다. 또한, 엑시머 레이저를 이용하면, EL막(15)의 화학적 변화를 용이하게 실행할 수 있다.

또, 이상의 실시예는, 도 1에 도시한 화소 구성을 예시했지만, 본 발명은 이에 한정되는 것은 아니다. 레이저광을 이용해서 배선 또는 전극을 오픈 또는 단락시키는 것은 커런트 미러 등의 다른 전류 구동의 화소 구성 또는 도 62, 도 51 등에 표시되어 있는 전압 구동의 화소 구성에도 적용할 수 있는 것은 물론이다.

이하, 도 1에 나타내는 화소 구성에 대하여, 그 구동 방법에 대해 설명한다. 도 1에 나타내는 바와 같이, 게이트 신호선(17a)은 행 선택 기간에 도통 상태(여기서는 도 1의 트랜지스터(11)가 p채널 트랜지스터이기 때문에 로우 레벨로 도통됨)로 되고, 게이트 신호선(17b)은 비선택 기간 시에 도통 상태로 한다.

소스 신호선(18)에는 기생 용량(도시하지 않음)이 존재한다. 기생 용량은 소스 신호선(18)과 게이트 신호선(17)의 교차부의 용량, 트랜지스터(11b, 11c)의 채널 용량 등에 의해 발생한다.

소스 신호선(18)의 전류값 변화에 요하는 시간 t는 부유 용량의 크기를 C, 소스 신호선(18)의 전압을 V, 소스 신호선(18)에 흐르는 전류를 I라고 하면 $t=C \cdot V/I$이다. 그 때문에, 전류값을 10배 크게 함으로써 전류값 변화에 요하는 시간을 10분의 1 가까이까지 짧게 할 수 있다. 또는, 소스 신호선(18)의 기생 용량이 10배로 되어도 소정의 전류값으로 변화시킬 수 있다는 것을 나타내고 있다. 따라서, 짧은 수평 주사 기간 내에 소정의 전류값을 기입하기 위해서는 전류값

을 증가시키는 것이 효과적이다.

입력 전류를 10배로 하면 출력 전류도 10배로 된다. 그러나, 이 경우, EL의 휘도도 10배로 되기 때문에, 소정의 휘도를 얻을 수 없다. 그래서, 본 발명에서는, 도 1의 트랜지스터(17d)의 도통 기간을 종래의 10분의 1로 하고, EL 소자(15)의 발광 기간을 10분의 1로 함으로써 소정 휘도를 실현하도록 했다.

즉, 소스 신호선(18)의 기생 용량의 충방전을 충분히 실행하여, 소정의 전류값을 화소(16)의 트랜지스터(11a)에 프로그래밍하기 위해서는, 소스 드라이버(14)로부터 비교적 큰 전류를 출력해야 한다. 그러나, 이와 같이 큰 전류를 소스 신호 선(18)에 흘리면 이 전류값이 화소에 프로그래밍되어, 소정 전류에 대해 큰 전류가 EL 소자(15)에 흐른다. 예컨대, 10배의 전류로 프로그래밍하면, 당연히, 10배의 전류가 EL 소자(15)로 흘러, EL 소자(15)는 10배의 휘도로 발광한다. 소정 발광 휘도로 하기 위해서는, EL 소자(15)에 흐르는 시간을 1/10로 하면 좋다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있고, 소정의 발광 휘도를 얻을 수 있다.

또, 10배의 전류값을 화소의 트랜지스터(11a)(정확하게는 콘덴서(19)의 단자 전압을 설정하고 있음)에 기입하고, EL 소자(15)의 온 상태 시간을 1/10로 한다고 했지만 이것은 일례이다. 경우에 따라서는, 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 상태 시간을 1/5로 하여도 좋다. 또한, 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 상태 시간을 1/2배로 하는 경우도 있을 수 있다.

본 발명은 화소에의 기입 전류를 소정값 이외의 값으로 하고, EL 소자(15)에 흐르는 전류를 간헐 상태로 하여 구동하는 것에 특징이 있다. 본 명세서에서는 설명을 쉽게 하기 위해, N배의 전류를 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 상태 시간을 1/N배로 하는 것으로서 설명한다. 그러나, 이것에 한정되는 것이 아니라, N1배의 전류를 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 상태 시간을 1/(N2)배(N1과 N2는 다름)라도 되는 것은 물론이다. 또, 간헐 간격은 등간격에 한정되는 것은 아니다. 예컨대, 랜덤이라도 좋다(전체로서, 표시 기간 또는 비표시 기간이 소정값(일정 비율)으로 되면 좋다). 또한, RGB에서 달라도 좋다. 즉, 백(white) 밸런스가 최적으로 되도록, R, G, B 표시 기간 또는 비표시 기간이 소정값(일정 비율)이 되도록 조정(설정)하면 좋다.

또한, 설명을 쉽게 하기 위해, 1/N이란, 1F(1필드 또는 1프레임 기간)를 기준으로 해서 이 1F를 1/N로 하는 것으로 설명한다. 그러나, 1화소행이 선택되어, 전류값이 프로그래밍되는 시간(통상, 1수평 주사 기간(1H))이 있고, 또한, 주사 상태에 따라서는 오차도 발생한다. 따라서, 이상의 설명은 어디까지나 설명을 쉽게 하기 위한 편의상의 문제일 뿐이며, 이것에 한정되는 것은 아니다.

예컨대, N=10배의 전류로 화소(16)에 전류를 프로그래밍하고, 1/5의 기간 동안, EL 소자(15)를 점등시켜도 좋다. EL 소자(15)는 10/5=2배의 휘도로 점등한다. 반대로, N=2배의 전류로 화소(16)에 전류를 프로그래밍하고, 1/4의 기간 동안, EL 소자(15)를 점등시켜도 좋다. EL 소자(15)는 2/4=0.5배의 휘도로 점등한다. 즉, 본 발명은, N=1배가 아닌 전류로 프로그래밍하고, 또한, 상시 점등(1/1, 즉, 간헐구동이 아님) 상태 이외의 표시를 실시하는 것이다. 또한, 광의로는, EL 소자(15)에 공급하는 전류를 1프레임(또는 1필드)의 기간에, 적어도 한 번, 오프 상태로 하는 구동 방식이다. 또한, 소정값보다도 큰 전류를 화소(16)에 프로그래밍하여, 적어도, 간헐 표시를 실시하는 구동 방식이다.

유기(무기) EL 표시 장치는 CRT와 같이 전자총으로 선 표시의 집합으로서 화상을 표시하는 디스플레이와는 표시 방법이 기본적으로 다른 점에도 문제가 있다. 즉, EL 표시 장치에서는, 1F(1필드 또는 1프레임) 기간 동안은 화소에 기입한 전류(전압)를 유지한다. 그 때문에, 동화상 표시를 행하면 표시 화상의 윤곽만큼 이 발생한다고 하는 과제가 발생한다.

본 발명에서는, 1F/N 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간(1F(N-1)/N)은 전류를 흘리지 않는다. 이 구동 방식을 실시하여 화면의 일점을 관측한 경우를 생각한다. 이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)가 반복해서 표시된다. 즉, 화상 데이터의 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태로 된다.

동화상 데이터 표시를, 이 간헐 표시 상태에서 보면 화상의 윤곽이 선명하여 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다. 또한, 간헐 표시를 실현하지만, 회로의 메인 클럭은 종래와 다르지 않다. 따라서, 회로의 소비 전력이 증가하는 경우도 없다.

액정 표시 패널의 경우에는, 광 변조를 행하는 화상 데이터(전압)는 액정층에 유지된다. 따라서, 흑 삽입 표시를 실시하고자 하면 액정층에 인가되어 있는 데이터를 오버라이트해야 한다. 그 때문에, 소스 드라이버(14)의 동작 클럭을 높게 하여, 화상 데이터와 흑 표시 데이터를 교대로 소스 신호선(18)에 인가해야 한다. 따라서, 흑 삽입(흑 표시 등의 간헐 표시)을 실현하고자 하면 회로의 메인 클럭을 높여야 한다. 또한, 시간축 신장을 실시하기 위한 화상 메모리도 필요하게 된다.

도 1, 도 2 및 도 38 등에 나타내는 본 발명의 EL 표시 패널의 화소 구성에서는, 화상 데이터는 콘덴서(19)에 유지되어 있다. 이 콘덴서(19)의 단자 전압에 대응하는 전류를 EL 소자(15)로 흘린다. 따라서, 화상 데이터는 액정 표시 패널과 같이 광 변조층에 유지되어 있는 것은 아니다.

본 발명은 스위칭 트랜지스터(11d) 또는 트랜지스터(11e) 등을 온 오프시키는 것만으로 EL 소자(15)에 흘리는 전류를 제어한다. 즉, EL 소자(15)에 흐르는 전류 Iw를 오프 상태로 하여도, 화상 데이터는 그대로 콘덴서(19)에 유지되어 있다. 따라서, 다음 타이밍에서 스위칭 소자(11d) 등을 온 상태로 하여, EL 소자(15)에 전류를 흘리면, 그 흐르는 전류는 전에 흐르고 있던 전류값과 동일하다. 본 발명에서는 흑 삽입(흑 표시 등의 간헐 표시)을 실현할 때에도, 회로의 메인 클럭을 높일 필요가 없다. 또한, 시간축 신장을 실시할 필요도 없기 때문에 화상 메모리도 불필요하다. 또한, 유기 EL 소자(15)는 전류를 인가하고 나서 발광하기까지의 시간이 짧고, 고속으로 응답한다. 그 때문에, 동화상 표시에 적합하고, 또한 간헐 표시를 실시함으로써, 종래의 데이터 유지형 표시 패널(액정 표시 패널, EL 표시 패널 등)의 문제인 동화상 표시의 문제를 해결할 수 있다.

또한, 대형의 표시 장치로 소스 용량이 커지는 경우에는 소스 전류를 10배 이상으로 하면 좋다. 일반적으로 소스 전류값을 N배로 한 경우, 게이트 신호선(17b)(트랜지스터(11d))의 도통 기간을 1F/N이라 하면 좋다. 이에 따라, 텔레비전, 모니터용 표시 장치 등에도 적용할 수 있다.

이하, 도면을 참조하면서, 본 발명의 구동 방법에 대하여 더 자세히 설명한다. 소스 신호선(18)의 기생 용량은 이웃하는 소스 신호선(18) 사이의 결합 용량, 소스 드라이브 IC(회로)(14)의 버퍼 출력 용량, 게이트 신호선(17)과 소스 신호선(18)과의 교차 용량 등에 의해 발생한다. 이 기생 용량은 통상 10pF 이상으 로 된다. 전압 구동의 경우에는, 드라이버 IC(14)로부터는 저임피던스로 전압이 소스 신호선(18)에 인가되기 때문에, 기생 용량이 다소 크더라도 구동에는 문제가 되지 않는다.

그러나, 전류 구동에서는, 특히, 흑 레벨의 화상 표시에서는 20nA 이하의 미소 전류로 화소의 콘덴서(19)를 프로그래밍해야 한다. 따라서, 기생 용량이 소정값 이상의 크기로 발생하면, 1화소행에 프로그래밍하는 시간(통상, 1H 이내, 단, 2화소행을 동시에 기입하는 경우도 있으므로 1H 이내로 한정되는 것은 아님) 내에 기생 용량을 충방전할 수가 없다. 그러나, 1H 기간에서 충방전할 수 있게 되면, 화소에의 기입 부족으로 되어, 소망 해상도로 표시할 수 없다.

도 1의 화소 구성의 경우, 도 3(a)에 나타내는 바와 같이, 전류 프로그래밍 시에는, 프로그래밍 전류 Iw가 소스 신호선(18)에 흐른다. 이 전류 Iw가 트랜지스터(11a)를 흘러, 전류 Iw를 흘리는 전압이 유지되도록, 콘덴서(19)에 전압 설정(프로그래밍)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘리는 기간은, 도 3(b)와 같이, 트랜지스터(11c, 11b)가 오프 상태로 되어, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 상태 전압 Vgh이 인가되어, 트랜지스터(11b, 11c)가 오프 상태로 된다. 한편, 게이트 신호선(17b)에 온 상태 전압 Vgl이 인가되어, 트랜지스터(11d)가 온 상태로 된다.

지금, 전류 Iw가 본래 흘러야 할 전류(소정값)의 10배라고 하면, 도 3(b)의 EL 소자(15)에 흐르는 전류도 소정값의 10배로 된다. 따라서, 소정값의 10배의 휘 도로 EL 소자(15)는 발광하는 것이 된다. 즉, 도 12에 나타내는 바와 같이, 배율 N을 높게 할수록, 표시 패널의 표시 휘도 B도 높게 된다. 따라서, 휘도와 배율은 비례 관계로 된다. 한편, 1/N로 구동함으로써, 휘도와 배율은 반비례의 관계로 된다.

그래서, 트랜지스터(11d)를 본래 온 상태로 하는 시간(약 1F)의 1/N의 기간만 온 상태로 하고, 다른 기간 (N-1)/N 기간은 오프 상태로 하면, 1F 전체의 평균 휘도는 소정 휘도로 된다. 이 표시 상태는 CRT가 전자총으로 화면을 주사하고 있는 것과 근사한다. 다른 점은 화상을 표시하고 있는 범위가 화면 전체의 1/N(전체 화면을 1로 함)이 점등하고 있는 점이다(CRT에서는, 점등하고 있는 범위는 1화소행(엄밀하게는 1화소)이다).

본 발명에서는, 이 1F/N의 화상 표시 영역(53)이, 도 13(b)에 나타내는 바와 같이, 화면(50)의 위에서 아래로 이동한다. 본 발명에서는, 1F/N의 기간 동안이지만, EL 소자(15)에 전류가 흐르고, 다른 기간 (1F · (N-1)/N)은 전류가 흐르지 않는다. 따라서, 각 화소는 간헐 표시로 된다. 그러나, 인간의 눈에는 잔상에 의해 화상이 유지된 상태로 되므로, 전체 화면이 균일하게 표시되어 있는 것 같이 보인다.

또, 도 13에 나타내는 바와 같이, 기입 화소행(51a)은 비점등 표시(52A)로 한다. 그러나, 이것은 도 1, 도 2 등의 화소 구성의 경우이다. 도 38 등에 나타내는 커런트 미러의 화소 구성에서는, 기입 화소행(51a)은 점등 상태로 하여도 좋다. 그러나, 본 명세서에서는, 설명을 쉽게 하기 위해, 주로, 도 1의 화소 구성을 예시하여 설명한다. 또한, 도 13, 도 16 등의 소정 구동 전류 Iw보다도 큰 전류로 프로그래밍하여, 간헐 구동하는 구동 방법을 N배 펄스 구동이라 부른다.

이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)가 반복되어 표시된다. 즉, 화상 데이터의 표시 상태가 시간적으로 간헐 표시 상태로 된다. 액정 표시 패널(및 본 발명 이외의 EL 표시 패널)에서는, 1F의 기간, 화소에 데이

터가 유지되어 있기 때문에, 동화상 표시의 경우에는 화상 데이터가 변화하여도 그 변화에 추종할 수 없고, 동화상 흐림으로 되어 있었다(화상의 윤곽 흐림). 그러나, 본 발명에서는 화상을 간헐 표시하기 위해, 화상의 윤곽 흐림이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

이 타이밍 차트를 도 14에 나타낸다. 또, 본 발명 등에 있어서, 특히 끊김이 없을 때의 화소 구성은 도 1에 나타내는 것이다. 도 14에서 알 수 있듯이, 각 선택된 화소행(선택 기간은 1H로 하고 있음)에서, 게이트 신호선(17a)에 온 상태 전압 Vgl이 인가되어 있을 때(도 14(a) 참조)에는, 게이트 신호선(17b)에는 오프 상태 전압 Vgh이 인가되어 있다(도 14(b) 참조). 이 기간은 EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태). 한편, 선택되지 않은 화소행에는, 게이트 신호선(17a)에 오프 상태 전압 Vgh가 인가되고, 게이트 신호선(17b)에는 온 상태 전압 Vgl이 인가되어 있다. 이 기간은 EL 소자(15)에 전류가 흐르고 있다(점등 상태). 또한, 점등 상태에서는, EL 소자(15)는 소정 N배의 휘도(N · B)로 점등하고, 그 점등 기간은 1F/N이다. 따라서, 1F를 평균한 표시 패널의 표시 휘도는, (N · B)×(1/N)=B(소정 휘도)로 된다.

도 15는 도 14의 동작을 각 화소행에 적용한 실시예이다. 게이트 신호선(17)에 인가하는 전압 파형을 나타내고 있다. 전압 파형은 오프 상태 전압을 Vgh(H레벨)로 하고, 온 상태 전압을 Vgl(L레벨)로 하고 있다. (1), (2) 등의 첨자는 선택하고 있는 화소행의 행 번호를 나타내고 있다.

도 15에서, 게이트 신호선(17a(1))이 선택되고(Vgl 전압), 선택된 화소행의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그래밍 전류가 흐른다. 이 프로그래밍 전류는 소정값의 N배(설명을 쉽게 하기 위해), N=10으로 설명한다. 물론, 소정값이란, 화상을 표시하는 데이터 전류이기 때문에, 백 래스터 표시 등이 아닌 한 고정값이 아님)이다. 따라서, 콘덴서(19)에는 10배의 전류가 트랜지스터(11a)에 흐르도록 프로그래밍된다. 화소행 (1)이 선택되어 있을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b(1))은 오프 상태 전압 Vgh이 인가되고, EL 소자(15)에는 전류가 흐르지 않는다.

1H 후에는, 게이트 신호선(17a(2))이 선택되고(Vgl 전압), 선택된 화소행의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그래밍 전류가 흐른다. 이 프로그래밍 전류는 소정값의 N배(설명을 쉽게 하기 위해, N=10으로 설명함)이다. 따라서, 콘덴서(19)에는 10배의 전류가 트랜지스터(11a)에 흐르도록 프로그래밍된다. 화소행 (2)가 선택되어 있을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b(2))은 오프 상태 전압 Vgh이 인가되고, EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞선 화소행 (1)의 게이트 신호선(17a(1))에는 오프 상태 전압 Vgh이 인가되고, 게이트 신호선(17b(1))에는 온 상태 전압 Vgl이 인 가되기 때문에, 점등 상태로 되어있다.

다음 1H 후에는, 게이트 신호선(17a(3))이 선택되고, 게이트 신호선(17b(3))은 오프 상태 전압 Vgh이 인가되어, 화소행 (3)의 EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞선 화소행 (1)(2)의 게이트 신호선(17a(1)(2))에는 오프 상태 전압 Vgh이 인가되고, 게이트 신호선(17b(1)(2))에는 온 상태 전압 Vgl이 인가되기 때문에, 점등 상태로 되어있다.

이상의 동작을 1H의 동기 신호에 동기하여 화상을 표시해 간다. 그러나, 도 15의 구동 방식에서는, EL 소자(15)에는 10배의 전류가 흐른다. 따라서, 표시 화면(50)은 약 10배의 휘도로 표시된다. 물론, 이 상태에서 소정 휘도 표시를 하기 위해서는, 프로그래밍 전류를 1/10로 하여 두면 되는 것은 물론이다. 그러나, 1/10의 전류라면 기생 용량 등에 의해 기입 부족이 발생하기 때문에, 높은 전류로 프로그래밍하여, 흑 화면(52)의 삽입에 의해 소정 휘도를 얻는 것이 본 발명의 기본적인 주지이다.

그런데, 본 발명의 구동 방법에 있어서는, 소정 전류보다도 높은 전류가 EL 소자(15)에 흐르도록 하고, 소스 신호선(18)의 기생 용량을 충분히 충방전하는 것이 요점이다. 따라서, EL 소자(15)에 소정 전류의 N배의 전류를 흘리지 않더라도 좋다. 예컨대, EL 소자(15)에 병렬로 전류 경로를 형성하고(더미의 EL 소자를 형성하고, 이 EL 소자는 차광막을 형성하여 발광시키지 않는 등의 처리를 실시함), 더미 EL 소자와 EL 소자(15)로 나눠 전류를 흘려도 좋다. 예컨대, 신호 전류가 0.2μA일 때, 프로그래밍 전류를 2.2μA로 하여, 트랜지스터(11a)에는 2.2μA를 흘린 다. 이 전류 중, 신호 전류 0.2μA를 EL 소자(15)에 흘려, 2μA를 더미의 EL 소자로 흘리는 등의 방식이 예시된다. 즉, 도 27의 더미 화소행(281)을 상시 선택 상태로 한다. 또, 더미 화소행은 발광시키지 않지만, 또는, 차광막 등을 형성하여, 발광하고 있더라도 시각적으로 보이지 않게 구성한다.

이상과 같이 구성함으로써, 소스 신호선(18)에 흘리는 전류를 N배에 증가시킴으로써, 구동용 트랜지스터(11a)에 소정 전류의 N배의 전류가 흐르도록 프로그래밍할 수 있고, 또한, EL 소자(15)에는, 상기 N배의 전류보다는 충분히 작은 전류를 흘릴 수 있게 된다. 이상의 방법에서는, 도 5에 도시하는 바와 같이, 비점등 영역(52)을 마련하는 일없이, 전체 표시 영역(50)을 화상 표시 영역(53)으로 할 수 있다.

도 13(a)는 표시 화면(50)에의 기입 상태를 도시하고 있다. 도 13(a)에서, 참조 부호 51a는 기입 화소행이다. 소스 드라이버(14)로부터 각 소스 신호선(18)에 프로그래밍 전류가 공급된다. 또, 도 13 등에서는 1H 기간에 기입하는 화소

행은 1행이다. 그러나, 1H로 한정되는 것이 아니라, 0.5H 기간이어도, 2H 기간이어도 좋다. 또한, 소스 신호선(18)에 프로그래밍 전류를 기입한다고 했지만, 본 발명은 전류 프로그래밍 방식에 한정되는 것이 아니라, 소스 신호선(18)에 기입되는 것이 전압인 전압 프로그래밍 방식(도 62 등)이어도 좋다.

도 13(a)에서, 게이트 신호선(17a)이 선택되면 소스 신호선(18)에 흐르는 전류가 트랜지스터(11a)에 프로그래밍된다. 이 때, 게이트 신호선(17b)에는 오프 상태 전압이 인가되고, 그 결과, EL 소자(15)에는 전류가 흐르지 않는다. 이것은 트 랜지스터(11d)가 온 상태이면, 소스 신호선(18)으로부터 EL 소자(15)의 용량 성분을 볼 수 있고, 이 용량에 영향을 끼쳐 콘덴서(19)에 충분히 정확한 전류 프로그래밍을 할 수 없게 되기 때문이다. 따라서, 도 1에 나타내는 구성을 예로 하면, 도 13(b)에 나타내는 바와 같이, 전류가 기입되어 있는 화소행은 비점등 영역(52)으로 된다.

지금, N(여기서는, 앞서 설명한 N=10으로 함)배의 전류로 프로그래밍했다고 하면, 화면의 휘도는 10배로 된다. 따라서, 표시 영역(50)의 90%의 범위를 비점등 영역(52)이라고 하면 좋다. 따라서, 화상 표시 영역의 수평 주사선이 QCIF(Quarter Common Intermediate Format)의 220개(S=220)라고 하면, 22개를 표시 영역(53)으로 하고, 220-22=198개를 비표시 영역(52)으로 하면 좋다. 일반적으로 설명하면, 수평 주사선의 개수(화소행 수)를 S라고 하면, S/N의 영역을 표시 영역(53)으로 하고, 이 표시 영역(53)을 N배의 휘도로 발광시킨다. 그리고, 이 표시 영역(53)을 화면의 상하 방향으로 주사한다. 따라서, S(N-1)/N의 영역은 비점등 영역(52)으로 한다. 이 비점등 영역은 흑 표시(비발광)이다. 또한, 이 비발광 영역(52)은 트랜지스터(11d)를 오프 상태로 함으로써 실현한다. 또, N배의 휘도로 점등시킨다고 했지만, 당연히 밝기 조정, 감마 조정에 의해 N배의 값으로 조정하는 것은 물론이다.

또한, 앞선 실시예에서, 10배의 전류로 프로그래밍했다고 한다면, 화면의 휘도는 10배로 되기 때문에, 표시 영역(50)의 90%의 범위를 비점등 영역(52)으로 하면 좋다고 했다. 그러나, 이것은 RGB의 화소를 공통으로 비점등 영역(52)으로 하 는 것에 한정되는 것은 아니다. 예컨대, R의 화소는 1/8을 비점등 영역(52)으로 하고, G의 화소는 1/6을 비점등 영역(52)으로 하며, B의 화소는 1/10을 비점등 영역(52)으로 하여, 각각의 색에 의해 변화시켜도 좋다. 또한, RGB의 색에서 개별적으로 비점등 영역(52)(또는 점등 영역(53))을 조정할 수 있도록 하여도 좋다. 이들을 실현하기 위해서는, R, G, B에서 개별의 게이트 신호선(17b)이 필요하게 된다. 그러나, 이상의 RGB의 개별 조정을 가능하게 함으로써, 화이트 밸런스를 조정하는 것이 가능하게 되어, 각 계조에서 색의 밸런스 조정이 용이하게 된다(도 41 참조).

도 13(b)에 나타내는 바와 같이, 기입 화소행(51a)을 포함하는 화소행을 비점등 영역(52)으로 하고, 기입 화소행(51a)보다도 위쪽 화면의 S/N(시간적으로는 1F/N)의 범위를 표시 영역(53)으로 한다(화면을 아래로부터 위로 주사하는 경우에는, 그 역으로 된다). 화상 표시 상태는 표시 영역(53)이 띠 형상으로 되어, 화면의 위에서 아래로 이동한다.

도 13의 표시에서는, 하나의 표시 영역(53)이 화면의 위에서 아래 방향으로 이동한다. 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈을 감을 때, 또는 얼굴을 상하로 이동시킬 때 등에 인식되기 쉽게 된다.

이 과제에 대해서는, 도 16에 나타내는 바와 같이, 표시 영역(53)을 복수로 분할하면 좋다. 이 분할된 총합이 S(N-1)/N의 면적으로 되면, 도 13의 밝기와 같게 된다. 또, 분할된 표시 영역(53)은 같게(등분으로) 할 필요는 없다. 또한, 마찬가지로 분할된 비표시 영역(52)도 같게 할 필요는 없다.

이상과 같이, 표시 영역(53)을 복수로 분할함으로써 화면의 번들거림은 감소한다. 따라서, 플리커의 발생이 없고, 양호한 화상 표시를 실현할 수 있다. 또, 분할은 좀 더 세세하게 하여도 좋다. 그러나, 분할할수록 동화상 표시 성능은 저하하게 된다.

도 17은 게이트 신호선(17)의 전압 파형 및 EL의 발광 휘도를 도시하고 있다. 도 17에서 명백하듯이, 게이트 신호선(17b)을 Vgl로 하는 기간 1F/N을 복수로 분할(분할 수 K)하고 있다. 즉, Vgl로 하는 기간은 1F/(K/N)의 기간을 K회 실시한다. 이와 같이 제어하면, 플리커의 발생을 억제할 수 있어, 저프레임 레이트의 화상 표시를 실현할 수 있다. 또한, 이 화상의 분할 수도 가변할 수 있도록 구성하는 것이 바람직하다. 예컨대, 사용자가 밝기 조정 스위치를 누름으로써, 또는 밝기 조정 볼륨을 돌리는 것에 의해, 이 변화를 검출하여 K의 값을 변경하여도 좋다. 또한, 사용자가 휘도를 조정하도록 구성하여도 좋다. 표시할 화상의 내용, 데이터에 의해 수동으로, 또는 자동적으로 변화시키도록 구성하여도 좋다.

또, 도 17 등에서, 게이트 신호선(17b)을 Vgl로 하는 기간 (1F/N)을 복수로 분할(분할 수 K)하여, 1F/(K/N)의 기간을 K회 실시하는 것으로 했지만, 이것에 한정되는 것은 아니다. 1F/(K/N)의 기간을 L(L≠K)회 실시하여도 좋다. 즉, 본 발명은 EL 소자(15)에 흘리는 기간(시간)을 제어함으로써 화상을 표시하는 것이다. 따라서, 1F/(K/N)의 기간을 L(L≠K)회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 화상(50)의 휘도를 디지털화할 수 있다. 예컨대, L=2와 L=3에서는 50%의 휘도(계조) 변화로 된다. 또한, 화상의 표시 영역(53)을 분할할 때, 게이트 신호선(17b)을 Vgl로 하는 기간은 동일 기간에 한정되는 것은 아니다.

이상의 실시예는, EL 소자(15)에 흐르는 전류를 차단하고, 또한, EL 소자에 흐르는 전류를 접속함으로써, 표시 화면(50)을 온 오프(점등, 비점등)하는 것이다. 즉, 콘덴서(19)에 유지된 전하에 의해 트랜지스터(11a)에 복수 회, 대략 동일한 전류를 흘리는 것이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예컨대, 콘덴서(19)에 유지된 전하를 충방전시킴으로써, 표시 화면(50)을 온 오프(점등, 비점등)하는 방식이라도 좋다.

도 18은 도 16의 화상 표시 상태를 실현하기 위한, 게이트 신호선(17)에 전압을 인가하는 전압 파형을 나타내고 있다. 도 18과 도 15의 차이는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하고, 그 개수만큼 온 오프(Vgl, Vgh) 동작한다. 그 외에는 도 15와 동일하므로 설명을 생략한다.

EL 표시 장치에서는 흑 표시는 완전히 비점등이기 때문에, 액정 표시 패널을 간헐 표시한 경우와 같이, 계조의 저하는 없다. 또한, 도 1에 나타내는 구성에서는, 트랜지스터(11d)를 온 오프 조작하는 것만으로 간헐 표시를 실현할 수 있다. 또한, 도 38, 도 51의 구성에서는, 트랜지스터 소자(11e)를 온 오프 조작하는 것만으로, 간헐 표시를 실현할 수 있다. 이것은 콘덴서(19)에 화상 데이터가 저장(아날로그 값이기 때문에 계조 수는 무한대)되어 있기 때문이다. 즉, 각 화소(16)에, 화상 데이터는 1F의 기간 동안은 유지된다. 이 유지되어 있는 화상 데이터에 상당하는 전류를 EL 소자(15)로 흘릴지 여부를 트랜지스터(11d, 11e)의 제어에 의해 실현하고 있는 것이다. 따라서, 이상의 구동 방법은 전류 구동 방식에 한정되는 것이 아니라, 전압 구동 방식에도 적용할 수 있는 것이다. 즉, EL 소자(15)에 흘리는 전류가 각 화소 내에 보존되어 있는 구성에서, EL 소자(15) 사이의 전류 경로에서 구동용 트랜지스터(11)를 온 오프함으로써, 간헐 구동을 실현하는 것이다.

콘덴서(19)의 단자 전압을 유지하는 것은 중요하다. 1필드(프레임) 기간에 콘덴서(19)의 단자 전압이 변화(충방전)하면, 화면 휘도가 변화하고, 프레임 레이트가 저하했을 때에 어른거림(플리커 등)이 발생하기 때문이다. 트랜지스터(11a)가 1프레임(1필드) 기간에서 EL 소자(15)에 흘리는 전류는 적어도 65% 이하로 저하하지 않도록 해야 한다. 이 65%란, 화소(16)에 기입하여, EL 소자(15)에 흘리는 최초 전류를 100%로 했을 때, 다음 프레임(필드)에서 상기 화소(16)에 기입하기 직전의 EL 소자(15)에 흘리는 전류를 65% 이상으로 하는 것이다.

도 1의 화소 구성에서는, 간헐 표시를 실현하는 경우로 하지 않는 경우에도 1화소를 구성하는 트랜지스터(11)의 개수에 변화는 없다. 즉, 화소 구성은 그대로이고, 소스 신호선(18)의 기생 용량의 영향을 제거하여, 양호한 전류 프로그래밍을 실현하고 있다. 그 위에, CRT에 가까운 동화상 표시를 실현하고 있는 것이다.

또한, 게이트 드라이버(12)의 동작 클럭은 소스 드라이버(14)의 동작 클럭에 비교하여 충분히 느리기 때문에, 회로의 메인 클럭이 높게 되는 경우에는 없다. 또한, N값의 변경도 용이하다.

또, 화상 표시 방향(화상 기입 방향)은 1필드(1프레임) 째에서는 화면의 위로부터 아래 방향으로 하고, 다음의 제 2 필드(프레임) 째에서는 화면의 아래로부터 위 방향으로 하여도 좋다. 즉, 위로부터 아래 방향과, 아래로부터 위 방향을 교대로 반복하도록 하여도 좋다.

또한, 1필드(1프레임) 째에서는 화면의 위로부터 아래 방향으로 하고, 일단, 전체 화면을 흑 표시(비표시)로 한 후, 다음의 제 2 필드(프레임) 째에서는 화면의 아래로부터 위 방향으로 하여도 좋다. 또한, 일단, 전체 화면을 흑 표시(비표시)로 하여도 좋다.

또, 이상의 구동 방법의 설명에서는, 화면의 기입 방법을 화면의 위로부터 아래 또는 아래로부터 위로 했지만, 이것에 한정되는 것은 아니다. 화면의 기입 방향은 끊임없이, 화면의 위로부터 아래 또는 아래로부터 위로 고정하고, 비표시 영역(52)의 동작 방향을 1필드 째에서는 화면의 위로부터 아래 방향으로 하고, 다음 제 2 필드 째에서는 화면의 아래로부터 위 방향으로 하여도 좋다. 또한, 1프레임을 3필드로 분할하여, 제 1 필드에서는 R, 제 2 필드에서는 G, 제 3 필드에서는 B로 해서, 3필드로 1프레임을 형성한다고 해도 좋다. 또한, 1수평 주사 기간(1H)마다 R, G, B를 전환해서 표시하여도 좋다. 이상의 사항은 다른 본 발명의 실시예에서도 마찬가지이다.

비표시 영역(52)은 완전히 비점등 상태일 필요는 없다. 미약한 발광 또는 엷은 화상 표시가 있더라도 실용상으로는 문제가 없다. 즉, 화상 표시 영역(53)보다도 표시 휘도가 낮은 영역으로 해석해야 한다. 또한, 비표시 영역(52)이란, R, G, B 화상 표시 중, 1색 또는 2색만이 비표시 상태라고 하는 경우도 포함된다.

기본적으로는 표시 영역(53)의 휘도(밝기)가 소정값으로 유지되는 경우, 표시 영역(53)의 면적이 넓게 될수록, 화면(50)의 휘도는 높게 된다. 예컨대, 표시 영역(53)의 휘도가 100(nt)일 경우, 표시 영역(53)이 전체 화면(50)에 차지하는 비율을 10% 내지 20%로 하면, 화면의 휘도는 2배로 된다. 따라서, 전체 화면(50)에 차지하는 표시 영역(53)의 면적을 변화시킴으로써, 화면의 표시 휘도를 변화할 수 있다.

표시 영역(53)의 면적은 시프트 레지스터(61)로의 데이터 펄스(ST2)를 제어함으로써, 임의로 설정할 수 있다. 또한, 데이터 펄스의 입력 타이밍, 주기를 변화시킴으로써, 도 16의 표시 상태와 도 13의 표시 상태를 전환할 수 있다. 1F

주기에서의 데이터 펄스 수를 많게 하면, 화면(50)은 밝아지고, 적게 하면, 화면(50)은 어둡게 된다. 또한, 연속하여 데이터 펄스를 인가하면 도 13의 표시 상태로 되어, 간헐적으로 데이터 펄스를 입력하면 도 16의 표시 상태로 된다.

도 19(a)는 도 13과 같이 표시 영역(53)이 연속하는 경우의 밝기 조정 방식을 설명하고 있다. 도 19(a1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19(a2)의 화면(50)의 표시 휘도가 다음으로 밝고, 도 19(a3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19(a1)부터 도 19(a3)로의 변화(또는 그 역)는 앞서 기재한 바와 같이, 게이트 드라이버(12)의 시프트 레지스터 회로(61) 등의 제어에 의해, 용이하게 실현할 수 있다. 이 때, 도 1의 Vdd 전압은 변화시킬 필요가 없다. 즉, 전원 전압을 변화시키지 않고서 표시 화면(50)의 휘도 변화를 실시할 수 있다. 또한, 도 19(a1) 내지 도 19(a3)으로의 변화 시, 화면의 감마 특성은 전혀 변하지 않는다. 따라서, 화면(50)의 휘도에 상관없이, 표시 화상의 컨트라스트, 계조 특성이 유지된다. 이것은 본 발명의 효과가 있는 특징이다. 종래 화면의 휘도 조정에서는, 화면(50)의 휘도가 낮을 때에는 계조 성능이 저하한다. 즉, 고휘도 표시 시에는 64계조 표시를 실현할 수 있더라도, 저휘도 표시 시에는 절반 이하의 계조 수밖에 표시할 수 없는 경우가 대부분이다. 이것과 비교하여, 본 발명의 구동 방법에서는, 화면의 표시 휘도에 의존하지 않고, 최고 64계조 표시를 실현할 수 있다.

도 19(b)는 도 16과 같이 표시 영역(53)이 분산하고 있는 경우의 밝기 조정 방식을 설명하고 있다. 도 19(b1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19(b2)의 화면(50)의 표시 휘도가 다음에 밝고, 도 19(b3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19(b1) 내지 도 19(b3)으로의 변화(또는 그 역)는, 앞서도 기재한 바와 같이, 게이트 드라이버(12)의 시프트 레지스터 회로(61) 등의 제어에 의해, 용이하게 실현할 수 있다. 도 19(b)와 같이 표시 영역(53)을 분산시키면, 저프레임 레이트에서도 플리커가 발생하지 않는다.

또한, 저프레임 레이트에서도, 플리커가 발생하지 않도록 하기 위해서는, 도 19(c)와 같이 표시 영역(53)을 미세하게 분산시키면 좋다. 그러나, 동화상의 표시성능은 저하한다. 따라서, 동화상을 표시하기 위해서는, 도 19(a)의 구동 방법이 적합하다. 정지 화상을 표시하여, 저소비 전력화를 요망할 때는, 도 19(c)의 구동 방법이 적합하다. 도 19(a) 내지 도 19(c)의 구동 방법의 전환도, 시프트 레지스터(61)의 제어에 의해 용이하게 실현할 수 있다.

도 20은 소스 신호선(18)에 흐르는 전류를 증대시키는 다른 실시예의 설명도이다. 기본적으로 복수의 화소행을 동시에 선택하여, 복수의 화소행을 합친 전류로 소스 신호선(18)의 기생 용량등을 충방전하여 전류 기입 부족을 대폭 개선하는 방식이다. 단, 복수의 화소행을 동시에 선택하기 때문에, 1화소 당 구동하는 전류를 감소시킬 수 있다. 따라서, EL 소자(15)에 흐르는 전류를 감소시킬 수 있다. 여기서, 설명을 쉽게 하기 위해, 일례로서, N=10으로 설명한다(소스 신호선(18)에 흘리는 전류를 10배로 한다).

도 20에 나타내는 바와 같이, 본 발명에서는, K행의 화소행을 동시에 선택한다. 소스 드라이버(14)로부터는 소정 전류의 N배 전류를 소스 신호선(18)에 인가한다. 각 화소에는 EL 소자(15)에 흘리는 전류의 N/K배의 전류가 프로그래밍된다. EL 소자(15)를 소정의 발광 휘도로 하기 위해, EL 소자(15)에 흐르는 시간을 1프레임(1필드)의 K/N시간으로 한다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있어, 양호한 해상도로 소정의 발광 휘도를 얻을 수 있다.

즉, 1프레임(1필드)의 K/N의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간 (1F(N-1)K/N)은 전류를 흘리지 않는다. 이 표시 상태에서는 1F 마다 화상 데이터 표시, 흑 표시(비점등)가 반복해서 표시된다. 즉, 화상 데이터의 표시 상태가 시간적으로 간헐 표시 상태로 된다. 따라서, 화상의 윤곽 흐림이 없어져 양호한 동화상 표시를 실현할 수 있다. 또한, 소스 신호선(18)에는 N배의 전류로 구동하기 때문에, 기생 용량의 영향을 받지 않고, 고선명 표시 패널에도 대응할 수 있다.

도 21은 도 20의 구동 방법을 실현하기 위한 구동 파형의 설명도이다. 신호 파형은 오프 상태 전압을 Vgh(H레벨)로 하고, 온 상태 전압을 Vgl(L레벨)로 하고 있다. 각 신호선의 첨자는 화소행의 행 번호((1)(2)(3) 등)를 기재하고 있다. 또, 행수는 QCIF 표시 패널의 경우에는 220개이며, VGA 패널에서는 480개이다.

도 21에서, 게이트 신호선(17a(1))이 선택되고(Vgl 전압), 선택된 화소행의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그래밍 전류가 흐른다. 여기서는 설명을 쉽게 하기 위해, 우선, 기입 화소행(51a)이 1행째의 화소행인 것으로 하여 설명한다.

또한, 소스 신호선(18)에 흐르는 프로그래밍 전류는 소정값의 N배(설명을 쉽게 하기 위해, N=10으로 설명한다. 물론, 소정값이란, 화상을 표시하는 데이터 전류이기 때문에, 백 래스터 표시 등이 아닌 한 고정값이 아님)이다. 또한, 5화소행이 동시에 선택(K=5)되는 것으로 설명한다. 따라서, 이상적으로는 하나의 화소의 콘덴서(19)에는 2배(N/K=10/5=2)로 전류가 트랜지스터(11a)에 흐르도록 프로그래밍된다.

기입 화소행이 (1)화소행 째일 때, 도 21에 나타낸 바와 같이, 게이트 신호선(17a)은 (1)(2)(3)(4)(5)가 선택되어 있다. 즉, 화소행 (1)(2)(3)(4)(5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 게이트 신호선(17b)

은 게이트 신호선(17a)의 역위상으로 되어있다. 따라서, 화소행 (1)(2)(3)(4)(5)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5화소의 트랜지스터(11a)가 각각 Iw×2의 전류를 소스 신호선(18)에 흐른다(즉, 소스 신호선(18)에는 Iw×2×N=Iw×2×5=Iw×10. 따라서, 본 발명의 N배 펄스 구동을 실시하지 않는 경우가 소정 전류 Iw라고 하면, Iw의 10배의 전류가 소스 신호선(18)에 흐른다).

이상의 동작(구동 방법)에 의해, 각 화소(16)의 콘덴서(19)에는, 2배의 전류가 프로그래밍된다. 여기서는, 이해를 쉽게 하기 위해, 각 트랜지스터(11a)는 특성(Vt, S값)이 일치하고 있는 것으로 설명한다.

동시에 선택하는 화소행이 5화소행(K=5)이기 때문에, 다섯 개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1화소 당, 10/5=2배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 다섯 개의 트랜지스터(11a)의 프로그래밍 전류를 인가한 전류가 흐른다. 예컨대, 기입 화소행(51a)에, 본래, 기입하는 전류 Iw로 하고, 소스 신호선(18)에는, Iw×10의 전류를 흘린다. 기입 화소행 (1)보다 이 후에 화상 데이터를 기입하는 기입 화소행(51b)은 소스 신호선(18)에의 전류량을 증가시키기 위해, 보조적으로 이용하는 화소행이다. 그러나, 기입 화소행(51b)은 후에 정규의 화상 데이터가 기입되므로 문제가 없다.

따라서, 4화소행(51b)에서, 1H 기간 동안에는 참조 부호 51a와 동일 표시이다. 그 때문에, 기입 화소행(51a)과 전류를 증가시키기 위해 선택한 화소행(51b)을 적어도 비표시 상태(52)로 하는 것이다. 단, 도 38과 같은 커런트 미러의 화소 구성, 그 밖의 전압 프로그래밍 방식의 화소 구성에서는 표시 상태로 하여도 좋다.

1H 후에는, 게이트 신호선(17a(1))은 비선택으로 되어, 게이트 신호선(17b)에는 온 상태 전압 Vgl이 인가된다. 또한, 동시에, 게이트 신호선(17a(6))이 선택된다(Vgl 전압), 선택된 화소행 (6)의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그래밍 전류가 흐른다. 이와 같이 동작하는 것에 의해, 화소행 (1)에는 정규의 화상 데이터가 유지된다.

다음, 1H 후에는, 게이트 신호선(17a(2))은 비선택으로 되어, 게이트 신호선(17b)에는 온 상태 전압 Vgl이 인가된다. 또한, 동시에, 게이트 신호선(17a(7))이 선택되고(Vgl 전압), 선택된 화소행 (7)의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그래밍 전류가 흐른다. 이와 같이 동작하는 것에 의해, 화소행 (2)에는 정규의 화상 데이터가 유지된다. 1화소행씩 시프트하면서 주사하여 이상의 동작을 행함으로써 1화면이 오버라이트된다.

도 20의 구동 방법에서는, 각 화소에서 2배의 전류(전압)가 프로그래밍되기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 2배로 된다. 따라서, 표시 화면의 휘도는 소정값보다도 2배로 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16에 나타내는 바와 같이, 기입 화소행(51)을 포함하고, 또한 표시 영역(50)의 1/2의 범위를 비표시 영역(52)으로 하면 좋다.

도 13과 마찬가지로, 도 20과 같이 하나의 표시 영역(53)이 화면의 위로부터 아래 방향으로 이동한 경우, 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 모양이 시각적으로 인식된다. 특히, 눈을 감을 때, 또는 얼굴을 상하로 이동시킬 때 등에서 인식되기 쉽게 된다.

이 과제에 대해서는, 도 22에 나타내는 바와 같이, 표시 영역(53)을 복수로 분할하면 좋다. 분할된 비표시 영역(52)을 부가한 부분이 S(N-1)/N의 면적으로 되면, 분할하지 않는 경우와 동일해진다.

도 23은 게이트 신호선(17)에 인가하는 전압 파형이다. 도 21과 도 23의 차이는 기본적으로는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하고, 그 개수만큼 온 오프(Vgl, Vgh) 동작한다. 그 외에는 도 21과 거의 동일 또는 유추할 수 있기 때문에 설명을 생략한다.

이상과 같이, 표시 영역(53)을 복수로 분할함으로써 화면의 어른거림은 감소한다. 따라서, 플리커의 발생은 없고, 양호한 화상 표시를 실현할 수 있다. 또, 분할은 더 잘게 하여도 좋다. 분할하면 할수록 플리커는 경감한다. 특히, EL 소자(15)의 응답성은 빠르기 때문에, 5μsec보다도 짧은 시간으로 온 오프 상태로 하여도, 표시 휘도의 저하는 없다.

본 발명의 구동 방법에 있어서, EL 소자(15)의 온 오프는 게이트 신호선(17b)에 인가하는 신호의 온 오프로 제어할 수 있다. 그 때문에, 클럭 주파수는 KHz의 저주파수로 제어할 수 있다. 또한, 흑 화면 삽입(비표시 영역(52) 삽입)을 실현하는 데에는, 화상 메모리 등을 필요로 하지 않는다. 따라서, 저비용으로 본 발명의 구동 회로 또는 방법을 실현할 수 있다.

도 24는 동시에 선택하는 화소행이 2화소행일 경우이다. 발명자 등이 검토한 결과에 따르면, 저온 폴리실리콘 기술로

형성한 표시 패널에서는, 2화소행을 동 시에 선택하는 방법은 표시 균일성이 실용적이다. 이것은 인접하는 화소의 구동용 트랜지스터(11a)의 특성이 거의 일치하고 있기 때문으로 추정된다. 또한, 레이저 어닐링할 때에, 스트라이프 형상의 레이저 조사 방향은 소스 신호선(18)과 평행하게 조사하는 것으로 양호한 결과를 얻을 수 있었다.

이것은 동일 시간에 어닐링되는 범위의 반도체막은 그 특성이 균일해지기 때문이다. 즉, 스트라이프 형상의 레이저 조사 범위 내에서는 반도체막이 균일하게 제작되고, 이 반도체막을 이용한 트랜지스터의 Vt, 이동도가 거의 같이 되기 때문이다. 따라서, 소스 신호선(18)의 형성 방향과 평행하게 스트라이프 형상의 레이저 샷을 조사하고, 이 조사 위치를 이동시킴으로써, 소스 신호선(18)에 따른 화소(화소열, 화면의 상하 방향의 화소)의 특성은 거의 같게 제작된다. 따라서, 복수의 화소행을 동시에 온 상태로 하여 전류 프로그래밍을 행한 경우, 동시에 선택된 복수의 화소행에는, 프로그래밍 전류를 선택된 화소행 수로 나눈 전류가, 거의 동일하게 프로그래밍된다. 따라서, 목표값에 가까운 전류 프로그래밍을 실시할 수 있어, 균일 표시를 실현할 수 있다. 따라서, 레이저 샷 방향과 도 24 등에서 설명하는 구동 방식과는 상승 효과가 있다.

이상과 같이, 레이저 샷의 방향을 소스 신호선(18)의 형성 방향과 대략 일치시킴으로써, 화소의 상하 방향의 트랜지스터(11a)의 특성이 거의 동일하게 되어, 양호한 전류 프로그래밍을 실시할 수 있다(화소의 좌우 방향의 트랜지스터(11a)의 특성이 일치하지 않더라도). 이상의 동작은 1H(1수평 주사 기간)에 동기하여, 1화소행 또는 복수 화소행씩 선택 화소행의 위치를 어긋나게 하여 실시한다. 또, 본 발명은 레이저 샷의 방향을 소스 신호선(18)과 평행으로 한다고 했지만, 반드시 평행이 아니어도 좋다. 소스 신호선(18)에 대하여 기울기 방향으로 레이저 샷을 조사하여도 하나의 소스 신호선(18)에 따른 화소의 상하 방향의 트랜지스터(11a)의 특성은 거의 일치해서 형성되기 때문이다. 따라서, 소스 신호선에 평행하게 레이저 샷을 조사한다는 것은 소스 신호선(18)의 배선 방향(상하 방향)에 인접한 임의의 화소를, 하나의 레이저 조사 범위에 들어가도록 형성한다는 것이다. 또한, 소스 신호선(18)이란, 일반적으로는 화상 신호로 되는 프로그래밍 전류 또는 전압을 전달하는 배선이다.

또, 본 발명의 실시예에서는 1H마다, 기입 화소행 위치를 시프트시키는 것으로 했지만, 이것에 한정되는 것은 아니고, 2H마다 시프트하여도 좋고, 또한, 그 이상의 화소행마다 시프트시켜도 좋다. 또한, 임의의 시간 단위로 시프트하여도 좋다. 또한, 화면 위치에 따라, 시프트하는 시간을 변화시켜도 좋다. 예컨대, 화면의 중앙부에서의 시프트 시간을 짧게 하고, 화면의 상하부에서 시프트 시간을 길게 하여도 좋다. 또한, 프레임마다 시프트 시간을 변화시켜도 좋다. 또한, 연속한 복수 화소행을 선택하는 것에 한정되는 것은 아니다. 예컨대, 1화소행으로 한 화소행을 선택하여도 좋다. 즉, 제 1 번째의 수평 주사 기간에 제 1 번째의 화소행과 제 3 번째의 화소행을 선택하고, 제 2 번째의 수평 주사 기간에 제 2 번째의 화소행과 제 4 번째의 화소행을 선택하고, 제 3 번째의 수평 주사 기간에 제 3 번째의 화소행과 제 5 번째의 화소행을 선택하며, 제 4 번째의 수평 주사 기간에 제 4 번째의 화소행과 제 6 번째의 화소행을 선택한다고 하는 구동 방법이다. 물론, 제 1 번째의 수평 주사 기간에 제 1 번째의 화소행과 제 3 번째의 화소행과 제 5 번째의 화소행을 선택한다고 하는 구동 방법도 기술적 범주이다. 물론, 복수 화소행으로 형성한 화소행 위치를 선택하여도 좋다.

또, 이상의 레이저 샷 방향과, 복수 라인의 화소행을 동시에 선택한다고 하는 조합은 도 1, 도 2, 도 32의 화소 구성에만 한정되는 것이 아니라, 커런트 미러의 화소 구성인 도 38, 도 42, 도 50 등의 다른 전류 구동 방식의 화소 구성에도 적용할 수 있는 것은 물론이다. 또한, 도 43, 도 51, 도 54, 도 62 등의 전압 구동의 화소 구성에도 적용할 수 있다. 왜냐하면, 상하 방향으로 인접하는 화소의 트랜지스터의 특성이 일치하고 있으면, 동일한 소스 신호선(18)에 인가한 전압값에 의해 양호한 전압 프로그래밍을 실시할 수 있기 때문이다.

도 24에서, 기입 화소행이 1행 째인 경우, 게이트 신호선(17a)은 (1)(2)가 선택된다(도 25 참조). 즉, 화소행 (1)(2)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 게이트 신호선(17b)은 게이트 신호선(17a)의 역위상으로 되어있다. 따라서, 적어도 화소행 (1)(2)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르지 않는다. 따라서, 이러한 화소행은 비점등 상태(52)로 된다. 또, 도 24에서는, 플리커의 발생을 감소시키기 위해, 표시 영역(53)을 5분할하고 있다.

이상적으로는, 2화소(행)의 트랜지스터(11a)가 각각 Iw×5(N=10인 경우. 즉, K=2이기 때문에, 소스 신호선(18)에 흐르는 전류는 Iw×K×5=Iw×10으로 됨)의 전류를 소스 신호선(18)으로 흘린다. 그리고, 각 화소(16)의 콘덴서(19)에는, 5배 의 전류가 프로그래밍된다.

동시에 선택하는 화소행이 2화소행(K=2)이기 때문에, 두 개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1화소 당, 10/2=5배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 두 개의 트랜지스터(11a)의 프로그래밍 전류를 인가한 전류가 흐른다.

예컨대, 기입 화소행(51a)에, 본래, 기입하는 전류 Id를 흘리고, 소스 신호선(18)에는, Iw×I0의 전류를 흘린다. 기입 화소행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다. 화소행(51b)은 1H 기간 동안에는 참조 부호 51a와 동일 표시이다. 그 때문에, 기입 화소행(51a)과 전류를 증가시키기 위해 선택한 화소행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음, 1H 후에는, 게이트 신호선(17a(1))은 비선택으로 되고, 게이트 신호선(17b)에는 온 상태 전압 Vgl이 인가된다. 또한, 동시에, 게이트 신호선(17a(3))이 선택되고(Vgl 전압), 선택된 화소행 (3)의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그래밍 전류가 흐른다. 이와 같이 동작함으로써, 화소행 (1)에는 정규의 화상 데이터가 유지된다.

다음의, 1H 후에는, 게이트 신호선(17a(2))은 비선택으로 되고, 게이트 신호선(17b)에는 온 상태 전압 Vgl이 인가된다. 또한, 동시에, 게이트 신호선(17a(4))이 선택되고(Vgl 전압), 선택된 화소행 (4)의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그래밍 전류가 흐른다. 이와 같이 동작하는 것에 의해, 화소행 (2)에는 정규의 화상 데이터가 유지된다. 1화소행씩 시프트(물론, 복수 화소행씩 시프트하여도 좋다. 예컨대, 의사 인터레이스 구동이면, 2행씩 시프트할 것이다. 또한, 화상 표시의 관점에서, 복수의 화소행에 동일 화상을 기입하는 경우도 있을 수 있음)하면서 주사하여 이상의 동작을 행함으로써 1화면이 오버라이트된다.

도 16과 마찬가지지만, 도 24의 구동 방법에서는, 각 화소에는 5배의 전류(전압)로 프로그래밍을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 5배로 된다. 따라서, 표시 영역(53)의 휘도는 소정값의 5배로 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16 등에 나타내는 바와 같이, 기입 화소행(51)을 포함하고, 또한 표시 화면(50)의 1/5의 범위를 비표시 영역(52)으로 하면 좋다.

도 27에 나타내는 바와 같이, 두 개의 기입 화소행(51:51a, 51b)이 선택되고, 화면(50)의 상변으로부터 하변으로 순차적으로 선택되어 간다(도 26 참조. 도 26에서는 화소행(16a, 16b)이 선택되어 있다). 그러나, 도 27(b)와 같이, 화면의 하변까지 오면 기입 화소행(51a)은 존재하지만, 기입 화소행(51b)은 없어진다. 즉, 선택할 화소행이 한 개밖에 없게 된다. 그 때문에, 소스 신호선(18)에 인가된 전류는 전부 화소행(51a)에 기입된다. 따라서, 화소행(51a)에 비하여, 2배의 전류가 화소에 프로그래밍되게 된다.

이 과제에 대하여, 본 발명은, 도 27(b)에 나타내는 바와 같이, 화면(50)의 하변에 더미 화소행(281)을 형성(배치)하고 있다. 따라서, 선택 화소행이 화면(50)의 하변까지 선택된 경우에는, 화면(50)의 최종 화소행과 더미 화소행(281)이 선택된다. 그 때문에, 도 27(b)의 기입 화소행에는, 규정대로의 전류가 기입된다. 또, 더미 화소행(281)은 표시 영역(50)의 상단 또는 하단에 인접하여 형성하도록 도시했지만, 이것에 한정되는 것은 아니다. 표시 영역(50)으로부터 떨어진 위치에 형성되어 있어도 좋다. 또한, 더미 화소행(281)은 도 1의 스위칭 트랜지스터(11d), EL 소자(15) 등은 형성할 필요는 없다. 이들을 형성하지 않음으로써, 더미 화소행(281)의 크기를 작게 할 수 있다.

도 28은 도 27(b)의 상태를 나타내고 있다. 도 28에서 명백하듯이, 선택 화소행이 화면(50)의 하변의 화소(16c) 행까지 선택된 경우에는, 화면(50)의 최종 화소행(281)이 선택된다. 더미 화소행(281)은 표시 영역(50) 밖에 배치한다. 즉, 더미 화소행(281)은 점등하지 않거나, 또는 점등시키지 않거나, 또는 점등하여도 표시로서 보이지 않도록 구성한다. 예컨대, 화소 전극과 트랜지스터(11)의 콘택트 홀을 없애든지, 더미 화소행에는 EL막을 형성하지 않는 등이다.

도 27에서는, 화면(50)의 하변에 더미 화소행(281)을 마련하는(형성하는, 배치하는) 것으로 했지만, 이것에 한정되는 것은 아니다. 예컨대, 도 29(a)에 나타내는 바와 같이, 화면의 하변으로부터 상변으로 주사(상하 역전 주사)하는 경우에는, 도 29(b)에 나타내는 바와 같이, 화면(50)의 상변에도 더미 화소행(281)을 형성해야 한다. 즉, 화면(50)의 상변 및 하변의 각각에 더미 화소행(281)을 형성(배치)한다. 이상과 같이 구성함으로써, 화면의 상하 반전 주사에도 대응할 수 있게 된다.

이상의 실시예는 2화소행을 동시에 선택하는 경우이다. 그러나, 본 발명은 이것에 한정되는 것이 아니라, 예컨대, 5화소행을 동시 선택하는 방식(도 23 참조)이어도 좋다. 즉, 5화소행 동시 구동의 경우에는, 더미 화소행(281)은 4행분 형성하면 좋다. 본 발명의 더미 화소행 구성 또는 더미 화소행 구동은 적어도 하나 이상의 더미 화소행을 이용하는 방식이다. 물론, 더미 화소행 구동 방법과 N배 펄스 구동을 조합해서 이용하는 것이 바람직하다.

복수 개의 화소행을 동시에 선택하는 구동 방법에서는, 동시에 선택하는 화소행 수가 증가할수록, 트랜지스터(11a)의 특성 편차를 흡수하는 것이 곤란해진다. 그러나, 선택 개수가 저하하면, 1화소로 프로그래밍하는 전류가 크게 되어, EL 소자(15)에 큰 전류를 흘리게 된다. EL 소자(15)에 흘리는 전류가 크면 EL 소자(15)가 열화하기 쉽게 된다.

도 30은 이 과제를 해결하는 것이다. 도 30에 나타낸 본 발명의 기본 개념은, 1/2H(수평 주사 기간의 1/2)는, 도 22, 도 29에서 설명한 바와 같이, 복수의 화소행을 동시에 선택하는 방법이다. 그 후의 1/2H(수평 주사 기간의 1/2)는, 도 5, 도 13 등에서 설명한 바와 같이, 1화소행을 선택하는 방법을 조합시킨 것이다. 이와 같이 조합한 경우, 트랜지스터(11a)의 특성 편차가 흡수되기 때문에, 고속으로 또한 면내 균일성을 양호하게 할 수 있다.

도 30에서, 설명을 쉽게 하기 위해, 제 1 기간에는 5화소행을 동시에 선택하고, 제 2 기간에는 1화소행을 선택하는 것으로서 설명한다. 우선, 제 1 기간(전반의 1/2H)에는, 도 30(a1)에 나타내는 바와 같이, 5화소행을 동시에 선택한다. 이 동작은 도 22를 이용해서 설명했으므로 생략한다. 일례로서 소스 신호선(18)에 흘 리는 전류는 소정값의 25배로

한다. 따라서, 각 화소(16)의 트랜지스터(11a)(도 1의 화소 구성의 경우)에는 5배의 전류(25/5 화소행=5)가 프로그래밍된다. 25배의 전류이기 때문에, 소스 신호선(18) 등에 발생하는 기생 용량은 매우 단기간에 충방전된다. 따라서, 소스 신호선(18)의 전위는 단시간에 목표 전위로 되고, 각 화소(16)의 콘덴서(19)의 단자 전압도 5배 전류를 흘리도록 프로그래밍된다. 이 25배 전류의 인가 시간은 전반의 1/2H(1수평 주사 기간의 1/2)로 한다.

당연히 기입 화소행의 5화소행은 동일 화상 데이터가 기입되기 때문에, 표시하지 않도록 5화소행의 트랜지스터(11d)는 오프 상태로 된다. 따라서, 표시 상태는 도 30(a2)에 나타내는 대로 된다.

다음 후반의 1/2H 기간은 1화소행을 선택하여, 전류(전압) 프로그래밍을 행한다. 이 상태를 도 30(b1)에 나타내고 있다. 기입 화소행(51a)은 앞서와 마찬가지로 5배의 전류를 흘리도록 전류(전압) 프로그래밍된다. 도 30(a1)과 도 30(b1)에서 각 화소에 흘리는 전류를 동일로 하는 것은 프로그래밍된 콘덴서(19)의 단자 전압의 변화를 작게 하여, 보다 고속으로 목표 전류를 흘릴 수 있도록 하기 위함이다.

즉, 도 30(a1)에서 복수 화소에 전류를 흘려, 고속으로 개략의 전류가 흐르는 값까지 접근시킨다. 이 제 1 단계에서는, 복수의 트랜지스터(11a)에서 프로그래밍하고 있기 때문에, 목표값에 대하여 트랜지스터의 편차에 의한 오차가 발생하고 있다. 다음 제 2 단계에서, 데이터를 기입 또한 유지하는 화소행만을 선택하여, 개략의 목표값으로부터, 소정의 목표값까지 완전한 프로그래밍을 행하는 것이 다.

또, 비점등 영역(52)을 화면의 위로부터 아래 방향으로 주사하고, 또한, 기입 화소행(51a)도 화면의 위로부터 아래 방향으로 주사하는 것은 도 13 등의 실시예와 마찬가지이므로 설명을 생략한다.

도 31은 도 30의 구동 방법을 실현하기 위한 구동 파형이다. 도 31에서 알 수 있듯이, 1H(1수평 주사 기간)는 두 개의 위상으로 구성되어 있다. 이 두 개의 위상은 ISEL 신호로 전환한다. ISEL 신호는 도 31에 도시하고 있다.

우선, ISEL 신호에 대하여 설명한다. 도 30을 실시하는 드라이버 회로(14)는 제 1 전류 출력 회로와 제 2 전류 출력 회로를 구비하고 있다. 이들 제 1 및 제 2 전류 출력 회로는 8비트의 계조 데이터를 DA 변환하는 DA 회로 및 OP 앰프 등으로 구성되다. 도 30의 실시예에서는, 제 1 전류 출력 회로는 25배의 전류를 출력하도록 구성되어 있다. 한편, 제 2 전류 출력 회로는 5배의 전류를 출력하도록 구성되어 있다. 제 1 전류 출력 회로 및 제 2 전류 출력 회로의 출력은 ISEL 신호에 의해 전류 출력부에 형성(배치)된 스위치 회로가 제어되어, 소스 신호선(18)에 인가된다. 이들 제 1 및 제 2 전류 출력 회로는 각 소스 신호선에 배치되어 있다.

ISEL 신호는, L레벨일 때, 25배 전류를 출력하는 제 1 전류 출력 회로가 선택되어 소스 신호선(18)으로부터의 전류를 소스 드라이버(14)가 흡수한다(보다 적절하게는, 소스 드라이버(14) 내에 형성된 제 1 전류 출력 회로가 흡수한다). 25배, 5배 등의 제 1 및 제 2 전류 출력 회로 전류의 크기 조정은 용이하다. 복수의 저항과 아날로그 스위치로 용이하게 구성할 수 있기 때문이다.

도 30에 나타내는 바와 같이, 기입 화소행이 1행 째일 때(도 30의 1H란 참조), 게이트 신호선(17a)은 (1)(2)(3)(4)(5)가 선택되어 있다(도 1의 화소 구성의 경우). 즉, 화소행 (1)(2)(3)(4)(5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L레벨이기 때문에, 25배 전류를 출력하는 제 1 전류 출력 회로가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는, 오프 상태 전압 Vgh이 인가되어 있다. 따라서, 화소행 (1)(2)(3)(4)(5)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5화소의 트랜지스터(11a)가, 각각 Iw×2의 전류를 소스 신호선(18)으로 흘린다. 그리고, 각 화소(16)의 콘덴서(19)에는, 5배의 전류가 프로그래밍된다. 여기서는, 이해를 쉽게 하기 위해, 각 트랜지스터(11a)는 특성(Vt, S 값)이 일치하고 있는 것으로 해서 설명한다.

동시에 선택할 화소행이 5화소행(K=5)이기 때문에, 다섯 개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1화소 당, 25/5=5배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 다섯 개의 트랜지스터(11a)의 프로그래밍 전류를 인가한 전류가 흐른다. 예컨대, 기입 화소행(51a)에, 종래의 구동 방법에서 화소에 기입하는 전류 Iw로 할 때, 소스 신호선(18)에는, Iw×25의 전류를 흘린다. 기입 화소행 (1)로부터 이 후에 화상 데이터를 기입하는 기입 화소행(51b) 소스 신호선(18)으로의 전류량을 증가시키기 위해, 보조적으로 이용하는 화소행이다. 그러나, 기입 화소행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 화소행(51b)은 1H 기간 동안에는 기입 화소행(51a)과 동일 표시이다. 그 때문에, 기입 화소행(51a)과 전류를 증가시키기 위해 선택한 화소행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음 1/2H(수평 주사 기간의 1/2)에서는, 기입 화소행(51a)만을 선택한다. 즉, 1행 째만을 선택한다. 도 31에서 명백

하듯이, 게이트 신호선(17a(1))만이, 온 상태 전압 Vgl이 인가되고, 게이트 신호선(17a(2)(3)(4)(5))은 오프 상태 전압 Vgh가 인가되어 있다. 따라서, 화소행 (1)의 트랜지스터(11a)는 동작 상태(소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소행 (2)(3)(4)(5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다. 또한, ISEL이 H레벨이기 때문에, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로 B와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 앞선 1/2H의 상태와 변화는 없고, 오프 상태 전압 Vgh가 인가되어 있다. 따라서, 화소행 (1)(2)(3)(4)(5)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 따라서, 이러한 화소행은 비점등 상태(52)로 된다.

이상으로부터, 화소행 (1)의 트랜지스터(11a)가 각각 Iw×5의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소행 (1)의 콘덴서(19)에는, 5배의 전류가 프로그래밍된다.

다음의 수평 주사 기간에서는 1화소행, 기입 화소행이 시프트한다. 즉, 이 번에는 기입 화소행이 (2)이다. 최초의 1/2H의 기간에서는, 도 31에 나타내는 바와 같이, 기입 화소행이 2행 째일 경우, 게이트 신호선(17a)은 (2)(3)(4)(5)(6)이 선택되고 있다. 즉, 화소행 (2)(3)(4)(5)(6)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L레벨이기 때문에, 25배 전류를 출력하는 제 1 전류 출력 회로가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는, 오프 상태 전압 Vgh가 인가되어 있다. 따라서, 화소행 (2)(3)(4)(5)(6)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르지 않는다. 따라서, 이러한 화소행은 비점등 상태(52)로 된다. 한편, 화소행 (1)의 게이트 신호선(17b(1))은 Vgl 전압이 인가되어 있기 때문에, 트랜지스터(11d)는 온 상태이며, 화소행 (1)의 EL 소자(15)는 점등한다.

동시에 선택하는 화소행이 5화소행(K=5)이기 때문에, 다섯 개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1화소 당, 25/5=5배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 다섯 개의 트랜지스터(11a)의 프로그래밍 전류를 인가한 전류가 흐른다.

다음의 1/2H(수평 주사 기간의 1/2)에서는, 기입 화소행(51a)만을 선택한다. 즉, 2행 째만을 선택한다. 도 31에서 명백하듯이, 게이트 신호선(17a(2))에만 온 상태 전압 Vgl이 인가되고, 게이트 신호선(17a(3)(4)(5)(6))은 오프 전압 Vgh가 인가된다. 따라서, 화소행 (1)(2)의 트랜지스터(11a)는 동작 상태(화소행 (1)은 EL 소자(15)에 전류를 흘리고, 화소행 (2)은 소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소행 (3)(4)(5)(6)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다. 또한, ISEL이 H레벨이기 때문에, 5배 전류를 출력하는 제 2 전류 출력 회로가 선택된다. 또한, 게이트 신호선(17b)의 상태는 앞선 1/2H의 상태와 변화가 없고, 오프 상태 전압 Vgh가 인가되어 있다. 따라서, 화소행 (2)(3)(4)(5)(6)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르지 않는다. 따라서, 이러한 화소행은 비점등 상태(52)로 된다.

이상으로부터, 화소행 (2)의 트랜지스터(11a)가, 각각 Iw×5의 전류를 소스 신호선(18)으로 흘린다. 그리고, 각 화소행 (2)의 콘덴서(19)에는, 5배의 전류가 프로그래밍된다. 이상의 동작을 순차적으로, 실시함으로써 1화면을 표시할 수 있다.

도 30에서 설명한 구동 방법은 제 1 기간에서 G 화소행(G는 2 이상)을 선택하고, 각 화소행에는 N배의 전류를 흘리도록 프로그래밍한다. 제 1 기간 후의 제 2 기간에서는 B 화소행(B는 G보다 작고, 1 이상)을 선택하고, 화소에는 N배의 전류를 흘리도록 프로그래밍하는 방식이다.

그러나, 다른 방책도 있다. 제 1 기간에서 G 화소행(G는 2 이상)을 선택하여, 각 화소행의 총합 전류가 N배의 전류가 되도록 프로그래밍한다. 제 1 기간 후의 제 2 기간에서는 B 화소행(B는 G보다도 작고, 1 이상)을 선택하여, 선택된 화소행의 총합의 전류(단, 선택 화소행이 1일 때에는, 1화소행의 전류)가 N배로 되도록 프로그래밍하는 방식이다. 예컨대, 도 30(a1)에서, 5화소행을 동시에 선택하고, 각 화소의 트랜지스터(11a)에는 2배의 전류를 흘린다. 이에 따라, 소스 신호선(18)에는 5×2배=10배의 전류가 흐른다. 다음 제 2 기간에서는 도 30(b1)에서, 1화소행을 선택한다. 이 1화소의 트랜지스터(11a)에는 10배의 전류를 흘린다.

또, 도 31에서, 복수의 화소행을 동시에 선택하는 기간을 1/2H로 하고, 1화소행을 선택하는 기간을 1/2H로 했지만 이것에 한정되는 것은 아니다. 복수의 화소행을 동시에 선택하는 기간을 1/4H로 하고, 1화소행을 선택하는 기간을 3/4H로 하여도 좋다. 또한, 복수의 화소행을 동시에 선택하는 기간과, 1화소행을 선택하는 기간을 부가한 기간은 1H로 했지만 이것에 한정되는 것은 아니다. 예컨대, 2H 기간이라도, 1.5H 기간이라도 좋다.

또한, 도 30에서, 5화소행을 동시에 선택하는 기간을 1/2H로 하고, 다음의 제 2 기간에서는 2화소행을 동시에 선택한다고 해도 좋다. 이 경우에도 실용상, 지장이 없는 화상 표시를 실현할 수 있다.

또한, 도 30에서, 5화소행을 동시에 선택하는 제 1 기간을 1/2H로 하고, 1화소행을 선택하는 제 2 기간을 1/2H로 하는 2단계로 했지만, 이것에 한정되는 것은 아니다. 예컨대, 제 1 단계는 5화소행을 동시에 선택하고, 제 2 기간은 상기

5화소행 중, 2화소행을 선택하고, 마지막으로, 1화소행을 선택하는 세 개의 단계로 하여도 좋다. 즉, 복수의 단계에서 화소행에 화상 데이터를 기입하여도 좋다.

이상의 본 발명의 N배 펄스 구동 방법에서는, 각 화소행에서, 게이트 신호선(17b)의 파형을 동일로 하고, 1H의 간격으로 시프트시켜 인가해 간다. 이와 같이 주사함으로써, EL 소자(15)가 점등하고 있는 시간을 1F/N로 규정하면서, 순차 적으로, 점등하는 화소행을 시프트시킬 수 있다. 이와 같이, 각 화소행에서, 게이트 신호선(17b)의 파형을 동일로 해서, 시프트시키는 것을 실현하는 것은 용이하다. 도 6의 시프트 레지스터 회로(61a, 61b)에 인가하는 데이터인 ST1, ST2를 제어하면 좋기 때문이다. 예컨대, 입력 ST2가 L레벨일 때, 게이트 신호선(17b)에 Vgl이 출력되고, 입력 ST2가 H레벨일 때, 게이트 신호선(17b)에 Vgh가 출력된다고 하면, 시프트 레지스터(17b)에 인가하는 ST2를 1F/N의 기간만큼 L레벨로 입력하고, 다른 기간은 H레벨로 한다. 이 입력된 ST2를 1H에 동기한 클럭 CLK2로 시프트해 갈 뿐이다.

또, EL 소자(15)를 온 오프하는 주기는 0.5 msec 이상으로 해야 한다. 이 주기가 짧으면, 인간의 눈의 잔상 특성에 의해 완전한 흑 표시 상태로 되지 않고, 화상이 희미해지도록 되어, 마치 해상도가 저하한 것처럼 된다. 또한, 데이터 유지형 표시 패널의 표시 상태로 된다. 그러나, 온 오프 주기를 100msec 이상으로 하면, 점멸 상태로 보인다. 따라서, EL 소자의 온 오프 주기는 0.5μsec 이상 100msec 이하로 해야한다. 더욱 바람직하게는, 온 오프 주기를 2msec 이상 30msec 이하로 해야한다. 더욱 바람직하게는, 온 오프 주기를 3msec 이상 20msec 이하로 해야한다.

앞서도 기재했지만, 흑 화면(152)의 분할 수는 하나로 하면 양호한 동화상 표시를 실현할 수 있지만, 화면의 번들거림이 쉽게 보인다. 따라서, 흑 삽입부를 복수로 분할하는 것이 바람직하다. 그러나, 분할 수를 너무 많게 하면 동화상 흐림이가 발생한다. 분할 수는 1 이상 8 이하로 해야한다. 더욱 바람직하게는 1 이 상 5 이하로 하는 것이 바람직하다.

또, 흑 화면의 분할 수는 정지 화상과 동화상으로 변경할 수 있도록 구성하는 것이 바람직하다. 분할 수란, N=4에서는, 75%가 흑 화면이며, 25%가 화상 표시이다. 이 때, 75%의 흑 표시부를 75%의 검은 띠 형태로 화면의 상하 방향으로 주사하는 것이 분할 수 1이다. 25%의 흑 화면을 25/3%의 표시 화면의 3블럭으로 주사하는 것이 분할 수 3이다. 정지 화상은 분할 수를 많게 한다. 동화상은 분할 수를 적게 한다. 전환은 입력 화상에 따라 자동적(동화상 검출 등)으로 행하여도 좋고, 사용자가 수동으로 행하여도 좋다. 또한, 표시 장치의 영상 등에 입력 콘센트에 대응하여 전환 가능하도록 구성하면 좋다.

예컨대, 휴대형 전화기 등에 있어서, 벽지 표시, 입력 화면에서는, 분할 수를 10이상으로 한다(극단적으로는 1H마다 온 오프 상태로 하여도 좋다). NTSC의 동화상을 표시할 때에는, 분할 수를 1 이상 5 이하로 한다. 또, 분할 수는 3 이상의 다단층으로 전환할 수 있도록 구성하는 것이 바람직하다. 예컨대, 분할 수이고, 2, 4, 8 등이다.

또한, 전체 표시 화면에 대한 흑 화면의 비율은 전체 화면의 면적을 1로 한 경우에 0.2 이상 0.9 이하(N으로 표시하면 1.2 이상 9 이하)로 하는 것이 바람직하다. 또한, 특히 0.25 이상 0.6 이하(N으로 표시하면 1.25 이상 6 이하)로 하는 것이 바람직하다. 0.20 이하이면 동화상 표시에서의 개선 효과가 낮다. 0.9 이상이면, 표시 부분의 휘도가 높게 되어, 표시 부분이 상하로 이동하는 것이 시각적으로 인식되기 쉽게 된다.

또한, 1초 당 프레임 수는, 10 이상 100 이하(10Hz 이상 100Hz 이하)가 바람직하다. 그 위에 12 이상 65 이하(12Hz 이상 65Hz 이하)가 바람직하다. 프레임수가 적으면, 화면의 번들거림이 눈에 띄게 되어, 프레임 수가 상당히 많으면, 드라이버 회로(14) 등으로부터의 기입이 곤란해져 해상도가 열화한다.

어떻든, 본 발명에서는, 게이트 신호선(17)의 제어에 의해 화상의 밝기를 변화시킬 수 있다. 단, 화상의 밝기는 소스 신호선(18)에 전압을 인가하는 전류(전압)를 변화시켜 행해도 되는 것은 물론이다. 또한, 앞서 설명한(도 33, 도 35 등을 이용해서) 게이트 신호선(17)의 제어와, 소스 신호선(18)에 인가하는 전류(전압)를 변화시키는 것을 조합시켜 행하여도 되는 것은 물론이다.

또, 이상의 사항은 도 38 등의 전류 프로그래밍의 화소 구성, 도 43, 도 51, 도 54 등의 전압 프로그래밍의 화소 구성이라도 적용할 수 있는 것은 물론이다. 도 38에서는, 트랜지스터(11d)를, 도 43에서는 트랜지스터(11d)를, 도 51에서는 트랜지스터(11e)를 온 오프 제어하면 좋다. 이와 같이, EL 소자(15)에 전류를 흘리는 배선을 온 오프함으로써, 본 발명의 N배 펄스 구동을 용이하게 실현할 수 있다.

또한, 게이트 신호선(17b)의 1F/N의 기간만큼, Vgl로 하는 시간은 1F(1F에 한정되는 것은 아니라, 단위 기간으로 좋음)의 기간 중, 어느 시각이어도 좋다. 단위 시간 중, 소정의 기간만큼 EL 소자(15)를 온 상태로 함으로써, 소정의 평균 휘도를 얻는 것이기 때문이다. 단, 전류 프로그래밍 기간 1H 후, 곧 게이트 신호선(17b)을 Vgl로 하여 EL 소자(15)를 발광시키는 편이 좋다. 도 1의 콘덴서(19)의 유지율 특성의 영향을 받기 어렵게 되기 때문이다.

또한, 이 화상의 분할 수도 가변할 수 있도록 구성하는 것이 바람직하다. 예컨대, 사용자가 밝기 조정 스위치를 누름

으로써, 또는 밝기 조정 볼륨을 돌리는 것에 의해, 이 변화를 검출하여 K의 값을 변경한다. 표시하는 화상의 내용, 데이터에 의해 수동으로, 또는 자동적으로 변화시키도록 구성하여도 좋다.

이와 같이, K의 값(화상 표시부(53)의 분할 수)을 변화시키는 것으로도 용이하게 실현할 수 있다. 도 6에서 ST에 인가하는 데이터의 타이밍(1F 중 언제 L레벨로 하는가)을 조정 또는 가변할 수 있도록 구성해 두면 좋기 때문이다.

또, 도 16 등에서는, 게이트 신호선(17b)을 Vgl로 하는 기간 (1F/N)을 복수로 분할(분할 수 K)하고, Vgl로 하는 기간은 1F/(K/N)의 기간을 K회 실시한다고 했지만 이것에 한정되는 것은 아니다. 1F/(K/N)의 기간을 L(L≠K)회 실시하여도 좋다. 즉, 본 발명은 EL 소자(15)로 흘리는 기간(시간)을 제어함으로써 화상(50)을 표시하는 것이다. 따라서, 1F/(K/N)의 기간을 L(L≠K)회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 화상(50)의 휘도를 디지털적으로 변경할 수 있다. 예컨대, L=2와 L=3에서는 50%의 휘도(계조) 변화로 된다. 이들의 제어도, 본 발명의 다른 실시예에 적용할 수 있는 것은 물론이다(물론, 이 후에 설명하는 본 발명에도 적용할 수 있다). 이들도 본 발명의 N배 펄스 구동이다.

이상의 실시예는 EL 소자(15)와 구동용 트랜지스터(11a) 사이에 스위칭 소자로서의 트랜지스터(11d)를 배치(형성)하고, 이 트랜지스터(11d)를 제어함으로써, 화면(50)을 온 오프 표시하는 것이다. 이 구동 방법에 의해, 전류 프로그래밍 방 식의 흑 표시 상태에서의 전류 기입 부족을 없게 하고, 양호한 해상도 또는 흑 표시를 실현하는 것이다. 즉, 전류 프로그래밍 방식에서는, 양호한 흑 표시를 실현하는 것이 큰 이점이다. 다음에 설명하는 구동 방법은 구동용 트랜지스터(11a)를 리셋하여, 양호한 흑 표시를 실현하는 것이다. 이하, 도 32를 이용해서, 그 실시예에 대해 설명한다.

도 32는 기본적으로는 도 1에 나타낸 화소 구성과 마찬가지이다. 도 32의 화소 구성에서는, 프로그래밍된 Iw 전류가 EL 소자(15)에 흘러, EL 소자(15)가 발광한다. 즉, 구동용 트랜지스터(11a)는 프로그래밍됨으로써, 전류를 흘리는 능력을 유지하고 있다. 이 전류를 흘리는 능력을 이용해서 트랜지스터(11a)를 리셋(오프 상태)하는 방식이 도 32에 나타내는 구동 방식이다. 이 후, 이 구동 방식을 리셋 구동이라고 한다.

도 1의 화소 구성으로 리셋 구동을 실현하기 위해서는, 트랜지스터(11b)와 트랜지스터(11c)를 독립하여 온 오프 제어할 수 있도록 구성해야 한다. 즉, 도 32에 나타내는 바와 같이, 트랜지스터(11b)를 온 오프 제어하는 게이트 신호선(17a)(게이트 신호선 WR), 트랜지스터(11c)를 온 오프 제어하는 게이트 신호선(17c)(게이트 신호선 EL)을 독립하여 제어할 수 있도록 한다. 게이트 신호선(17a) 및 게이트 신호선(17c)의 제어는, 도 6에 나타내는 바와 같이, 독립된 두 개의 시프트 레지스터(61)로 실행하면 좋다.

게이트 신호선 WR과 게이트 신호선 EL의 구동 전압은 변화시키면 좋다. 게이트 신호선 WR의 진폭값(온 상태 전압과 오프 상태 전압과의 차)은 게이트 신호선 EL의 진폭값보다도 작게 한다. 기본적으로 게이트 신호선의 진폭값이 크면, 게이트 신호선과 화소와의 관통 전압이 커져, 흑 부유가 발생한다. 게이트 신호선 WR의 진폭은 소스 신호선(18)의 전위가 화소(16)에 인가되지 않는(인가하는(선택 시)) 것을 제어하면 좋은 것이다. 소스 신호선(18)의 전위 변동은 작기 때문에, 게이트 신호선 WR의 진폭값은 작게 할 수 있다. 한편, 게이트 신호선 EL은 EL의 온 오프 제어를 실시해야 한다. 따라서, 진폭값은 커진다. 이것에 대응하기 위해, 시프트 레지스터(61a, 61b)의 출력 전압을 변화시킨다. 화소가 P채널 트랜지스터로 형성되어 있는 경우에는, 시프트 레지스터(61a, 61b)의 Vgh(오프 상태 전압)을 대략 동일로 하여, 시프트 레지스터(61a)의 Vgl(온 상태 전압)을 시프트 레지스터(61b)의 Vgl(온 상태 전압)보다도 낮게 한다.

이하, 도 33을 참조하면서, 리셋 구동 방식에 대하여 설명을 한다. 도 33은 리셋 구동의 원리 설명도이다. 우선, 도 33(a)에 나타내는 바와 같이, 트랜지스터(11c), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11b)를 온 상태로 한다. 그러면, 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트 단자 G는 단락 상태로 되어, Ib 전류가 흐른다. 일반적으로, 트랜지스터(11a)는 하나 전의 필드(프레임)에서 전류 프로그래밍되어, 전류를 흘리는 능력이 있다. 이 상태에서 트랜지스터(11d)가 오프 상태로 되고, 트랜지스터(11b)가 온 상태로 되면, 구동 전류 Ib가 트랜지스터(11a)의 게이트 단자 G로 흐른다. 그 때문에, 트랜지스터(11a)의 게이트 단자 G와 드레인(D) 단자가 동일 전위로 되고, 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)으로 된다.

이 트랜지스터(11a)의 리셋 상태(전류를 흘리지 않는 상태)는 도 51 등을 참조하여 설명하는 전압 오프셋 제거기 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 33(a)의 상태에서는, 콘덴서(19)의 단자 사이에는, 오프셋 전압이 유지되어 있는 것으로 된다. 이 오프셋 전압은 트랜지스터(11a)의 특성에 따라 다른 전압값이다. 따라서, 도 33(a)의 동작을 실시함으로써, 각 화소의 콘덴서(19)에는 트랜지스터(11a)가 전류를 흘리지 않는(즉, 흑 표시 전류(거의 0과 같음)가 유지됨) 것으로 되는 것이다.

또, 도 33(a)의 동작 전에, 트랜지스터(11b), 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하여, 구동용 트랜지스터(11a)에 전류를 흘린다고 하는 동작을 실시하는 것이 바람직하다. 이 동작은 매우 짧은 시간에 하는 것이 바람직하다. EL 소자(15)에 전류가 흘러 EL 소자(15)가 점등하여, 표시 계조를 저하시킬 우려가 있기 때문이다. 이 동작 시간은 1H(1수평 주사 기간)의 0.1% 이상 10% 이하로 하는 것이 바람직하다. 더욱 바람직하게는 0.2

% 이상 2% 이하로 되도록 하는 것이 바람직하다. 또는, 0.2μsec 이상 5μsec 이하로 되도록 하는 것이 바람직하다. 또한, 전체 화면의 화소(16)에 일괄해서 전술한 동작(도 33(a)의 앞에 실행하는 동작)을 실시하여도 좋다. 이상의 동작을 실시함으로써, 구동용 트랜지스터(11a)의 드레인(D) 단자 전압이 저하하여, 도 33(a)의 상태에서 원활한 전류 Ib를 흘릴 수 있게 된다. 또, 이상의 사항은 본 발명의 다른 리셋 구동 방식에도 적용된다.

도 33(a)에 나타내는 상태의 실시 시간을 길게 할수록, 전류 Ib가 흘러, 콘 덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 33(a)에 나타내는 상태의 실시 시간은 고정값으로 할 필요가 있다. 발명자 등에 의한 실험 및 검토에 따르면, 도 33(a)에 나타내는 상태의 실시 시간은 1H 이상 5H 이하로 하는 것이 바람직하다. 또, 이 기간은 R, G, B의 화소에서 다르게 하는 것이 바람직하다. 각 색의 화소에서 EL 재료가 다르고, 이 EL 재료의 상승 전압 등에 차이가 있기 때문이다. RGB의 각 화소에서, EL 재료에 적응하여, 가장 최적의 기간을 설정한다. 또, 실시예에 있어서, 이 기간은 1H 이상 5H 이하로 한다고 했지만, 흑 삽입(흑 화면을 기입함)을 주로 하는 구동 방식에서는, 5H 이상이어도 되는 것은 물론이다. 또, 이 기간이 길수록, 화소의 흑 표시 상태는 양호해진다.

도 33(a)에 나타내는 상태를 실시한 후, 1H 이상 5H 이하의 기간에서, 도 33(b)에 나타내는 상태로 한다. 도 33(b)는 트랜지스터(11c), 트랜지스터(11b)를 온 상태로 하고, 트랜지스터(11d)를 오프 상태로 한 것이다. 도 33(b)에 나타내는 상태는 이전에도 설명했지만, 전류 프로그래밍을 행하고 있는 상태이다. 즉, 소스 드라이버(14)로부터 프로그래밍 전류 Iw를 출력(또는 흡수)하고, 이 프로그래밍 전류 Iw를 구동용 트랜지스터(11a)로 흘린다. 이 프로그래밍 전류 Iw가 흐르도록, 구동용 트랜지스터(11a)의 게이트 단자 G의 전위를 설정하는 것이다(설정 전위는 콘덴서(19)에 유지된다).

만약, 프로그래밍 전류 Iw가 0A이면, 트랜지스터(11a)는 도 33(a)에 나타내는 전류를 흘리지 않는 상태가 유지된 채로 되기 때문에, 양호한 흑 표시를 실현할 수 있다. 또한, 도 33(b)에 나타내는 상태에서 백 표시의 전류 프로그래밍을 행하 는 경우로서, 각 화소의 구동용 트랜지스터의 특성 편차가 발생하고 있을 때에도, 흑 표시 상태의 오프셋 전압으로부터 전류 프로그래밍을 완전히 실행할 수 있다. 따라서, 목표 전류값으로 프로그래밍되는 시간이 계조에 따라 같게 된다. 그 때문에, 트랜지스터(11a)의 특성 편차에 의한 계조 오차가 없고, 양호한 화상 표시를 실현할 수 있다.

도 33(b)에 나타내는 상태의 전류 프로그래밍 후, 도 33(c)에 나타내는 바와 같이, 트랜지스터(11b)와 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하여, 구동용 트랜지스터(11a)로부터의 프로그래밍 전류 Iw(=Ie)를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다. 도 33(c)에 대해서도, 도 1 등에서 이전에 설명을 했기 때문에 상세한 것은 생략한다.

즉, 도 33에서 설명한 구동 방식(리셋 구동)은 구동용 트랜지스터(11a)와 EL 소자(15) 사이를 차단(전류가 흐르지 않는 상태)하고, 또한, 구동용 트랜지스터의 드레인(D) 단자와 게이트 단자 G(또는 소스 단자 S와 게이트 단자 G, 또한 일반적으로 표현하면 구동용 트랜지스터의 게이트 단자 G를 포함하는 2단자) 사이를 단락하는 제 1 동작과, 상기 동작 후, 구동용 트랜지스터에 전류(전압) 프로그래밍을 행하는 제 2 동작을 실시하는 것이다. 그리고, 적어도 제 2 동작은 제 1 동작 후에 실행하는 것이다. 또, 리셋 구동을 실시하기 위해서는, 도 32의 구성과 같이, 트랜지스터(11b)와 트랜지스터(11c)를 독립적으로 제어할 수 있도록, 구성해 두어야 한다.

화상 표시 상태는(만약, 순간적인 변화를 관찰할 수 있는 것이면), 우선, 전 류 프로그래밍을 행하는 화소행은 리셋 상태(흑 표시 상태)로 되어, 1H 후에 전류 프로그래밍이 행해진다(이 때도 흑 표시 상태이다. 트랜지스터(11d)가 오프 상태이기 때문임). 다음에, EL 소자(15)에 전류가 공급되어, 화소행은 소정 휘도(프로그래밍된 전류)로 발광한다. 즉, 화면의 위로부터 아래 방향으로, 흑 표시의 화소행이 이동하고, 이 화소행이 통과한 위치에서 화상이 오버라이트되어 가도록 보일 수 있다. 또, 리셋 후, 1H 후에 전류 프로그래밍을 한다고 했지만, 이 기간은 5H 정도 이내로 하여도 좋다. 도 33(a)에 나타내는 리셋이 완전히 행해지는데 비교적 장시간을 필요로 하기 때문이다. 만약에 이 기간을 5H라고 하면, 5화소행이 흑 표시(전류 프로그래밍의 화소행도 포함시키면 6화소행)로 되는 것이다.

또한, 리셋 상태는 1화소행씩 실행하는 것에 한정되는 것이 아니라, 복수 화소행씩 동시에 리셋 상태로 하여도 좋다. 또한, 복수 화소행씩 동시에 리셋 상태로 하고, 또한 오버랩하면서 주사하여도 좋다. 예컨대, 4화소행을 동시에 리셋하는 것이면, 제 1 수평 주사 기간(1단위)에, 화소행 (1)(2)(3)(4)을 리셋 상태로 하고, 다음 제 2 수평 주사 기간에, 화소행 (3)(4)(5)(6)을 리셋 상태로 하며, 또한 다음 제 3 수평 주사 기간에, 화소행 (5)(6)(7)(8)을 리셋 상태로 한다. 그리고, 다음 제 4 수평 주사 기간에, 화소행 (7)(8)(9)(10)을 리셋 상태로 한다고 하는 구동 상태가 예시된다. 또, 당연히, 도 33(b), 도 33(c)에 나타내는 구동 상태도 도 33(a)에 나타내는 구동 상태와 동기해서 실시된다.

또한, 1화면의 화소 전부를 동시에 또는 주사 상태에서 리셋 상태로 하고나서, 도 33(b), (c)에 나타내는 구동을 실시하여도 되는 것은 물론이다. 또한, 인 터레이스 구동 상태(1화소행 또는 복수 화소행의 비월 주사)에서, 리셋 상태(1화소행 또는 복수 화소행 비월(飛越))로 해도 되는 것은 물론이다. 또한, 랜덤의 리셋 상태를 실시하여도 좋다. 또한, 본 발명의 리셋 구동의 설명은 화소행을 조작하는 방식이다(즉, 화면의 상하 방향을 제어한다). 그러나, 리셋 구동의 개념은 제어 방향이 화소행에 한정되는 것은 아니다. 예컨대, 화소 열방향으로 리셋 구동을 실시하여도 되는 것은 물론

이다.

또, 도 33에 나타내는 리셋 구동은 본 발명의 N배 펄스 구동 등으로 조합하는 것, 인터레이스 구동과 조합함으로써 더욱 양호한 화상 표시를 실현할 수 있다. 특히, 도 22에 나타내는 구성은 간헐 N/K배 펄스 구동(1화면에 점등 영역을 복수 마련하는 구동 방법이다. 이 구동 방법은 게이트 신호선(17b)을 제어하고, 트랜지스터(11d)를 온 오프 동작시킴으로써 용이하게 실현할 수 있다. 이것은 이전에 설명했다.)을 용이하게 실현할 수 있기 때문에, 플리커의 발생도 없고, 양호한 화상 표시를 실현할 수 있다. 이것은 도 22에 나타낸 구성 또는 그 변형 구성의 우수한 특징이다. 또한, 다른 구동 방법, 예컨대, 이 후에 설명하는 역바이어스 구동 방식, 충전 구동 방식, 관통 전압 구동 방식 등으로 조합함으로써 더 우수한 화상 표시를 실현할 수 있는 것은 물론이다. 이상과 같이, 본 발명과 마찬가지로 리셋 구동도 본 명세서의 다른 실시예와 조합하여 실시할 수 있는 것은 물론이다.

도 34는 리셋 구동을 실현하는 표시 장치의 구성도이다. 게이트 드라이버(12a)는 도 32에서의 게이트 신호선(17a) 및 게이트 신호선(17b)을 제어한다. 게이트 신호선(17a)에 온 오프 상태 전압을 인가함으로써 트랜지스터(11b)가 온 오프 제어된다. 또한, 게이트 신호선(17b)에 온 오프 상태 전압을 인가함으로써 트랜지스터(11d)가 온 오프 제어된다. 게이트 드라이버(12b)는 도 32의 게이트 신호선(17c)을 제어한다. 게이트 신호선(17c)에 온 오프 상태 전압을 인가함으로써 트랜지스터(11c)가 온 오프 제어된다.

따라서, 게이트 신호선(17a)은 게이트 드라이버(12a)에서 조작하고, 게이트 신호선(17c)은 게이트 드라이버(12b)에서 조작한다. 그 때문에, 트랜지스터(11b)를 온 상태로 하여 구동용 트랜지스터(11a)를 리셋하는 타이밍과, 트랜지스터(11c)를 온 상태로 하여 구동용 트랜지스터(11a)에 전류 프로그래밍을 행하는 타이밍을 자유롭게 설정할 수 있다. 또, 도 34에서, 참조 부호 341a는 출력단 회로를 나타내고 있다. 다른 구성 등은 이전에 설명한 것으로 동일 또는 유사하기 때문에 설명을 생략한다.

도 35는 리셋 구동의 타이밍 차트이다. 게이트 신호선(17a)에 온 상태 전압을 인가하여, 트랜지스터(11b)를 온 상태로 하고, 구동용 트랜지스터(11a)를 리셋하고 있을 때에는, 게이트 신호선(17b)에는 오프 상태 전압을 인가해서, 트랜지스터(11d)를 오프 상태로 하고 있다. 따라서, 도 32(a)의 상태로 되어 있다. 이 기간에 전류 Ib가 흐른다.

도 35에 나타내는 타이밍 차트에서는, 리셋 시간은 2H(게이트 신호선(17a)에 온 상태 전압이 인가되어, 트랜지스터(11b)가 온 상태로 됨)로 하고 있지만, 이것에 한정되는 것이 아니라, 2H 이상이라도 좋다. 또한, 리셋을 매우 고속으로 실행할 수 있는 경우에는, 리셋 시간은 1H 미만이라도 좋다. 또한, 리셋 기간을 어떤 H 기간으로 할지는 게이트 드라이버(12)에 입력하는 DATA(ST) 펄스 기간에서 용이하게 변경할 수 있다. 예컨대, ST 단자에 입력하는 DATA를 2H 기간 동안 H레벨이라 하면, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간은 2H 기간으로 된다. 마찬가지로, ST 단자에 입력하는 DATA를 5H 기간 동안 H레벨이라 하면, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간은 5H 기간으로 된다.

1H 기간의 리셋 후, 화소행 (1)의 게이트 신호선(17c(1))에, 온 상태 전압이 인가된다. 트랜지스터(11c)가 온 상태로 됨으로써, 소스 신호선(18)에 인가된 프로그래밍 전류 Iw가 트랜지스터(11c)를 거쳐 구동용 트랜지스터(11a)에 기입된다.

전류 프로그래밍 후, 화소행 (1)의 게이트 신호선(17c)에 오프 상태 전압이 인가되고, 트랜지스터(11c)가 오프 상태로 되어, 화소가 소스 신호선(18)과 분리된다. 동시에, 게이트 신호선(17a)에도 오프 상태 전압이 인가되어, 구동용 트랜지스터(11a)의 리셋 상태가 해소된다(또, 이 기간은 리셋 상태라고 표현하는 것보다도, 전류 프로그래밍 상태로 표현하는 쪽이 적절하다). 또한, 게이트 신호선(17b)에는 온 상태 전압이 인가되어, 트랜지스터(11d)가 온 상태로 되어, 구동용 트랜지스터(11a)에 프로그래밍된 전류가 EL 소자(15)로 흐른다. 또, 화소행 (2) 이 후에 대해서도, 화소행 (1)과 마찬가지이고, 또한, 도 35로부터 그 동작은 명백하기 때문에 설명을 생략한다.

도 35에서, 리셋 기간은 1H 기간이다. 도 36은 리셋 기간을 5H로 한 실시예이다. 리셋 기간을 어떤 H 기간으로 할지는 게이트 드라이버(12)에 입력하는 DATA(ST) 펄스 기간에서 용이하게 변경할 수 있다. 도 36에서는 게이트 드라이버(12a)의 ST1 단자에 입력하는 DATA를 5H 기간 동안 H레벨로 하고, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간을 5H 기간으로 한 실시예이다. 리셋 기간은 길수록 리셋이 완전하게 행해져, 양호한 흑 표시를 실현할 수 있다. 그러나, 리셋 기간의 비율만큼 표시 휘도가 저하하게 된다.

도 36은 리셋 기간을 5H로 한 실시예이다. 또한, 이 리셋 상태는 연속 상태이다. 그러나, 리셋 상태는 연속해서 실행하는 것에 한정되는 것은 아니다. 예컨대, 각 게이트 신호선(17a)으로부터 출력되는 신호를 1H마다 온 오프 동작시켜도 좋다. 이와 같이 온 오프 동작시키는 것은 시프트 레지스터의 출력단에 형성된 허가 회로(도시하지 않음)를 조작함으로써 용이하게 실현할 수 있다. 또한, 게이트 드라이버(12)에 입력하는 DATA(ST) 펄스를 제어하는 것으로 용이하게 실현할 수 있다.

도 34에 나타내는 회로 구성에서는, 게이트 드라이버(12a)는 적어도 두 개의 시프트 레지스터 회로(하나는 게이트 신호선(17a) 제어용, 다른 하나는 게이트 신호선(17b) 제어용)가 필요하였다. 그 때문에, 게이트 드라이버(12a)의 회로 규모가 커진다는 문제가 있었다. 도 37은 게이트 드라이버(12a)의 시프트 레지스터를 하나로 한 실시예이다. 도 37에 나타내는 회로를 동작시킨 출력 신호의 타이밍 차트는 도 35에 나타내는 바와 같이 된다. 또, 도 35와 도 37은 게이트 드라이버(12a, 12b)로부터 출력되는 게이트 신호선(17)의 기호가 다르기 때문에 주의가 필요하다.

도 37에 나타내는 구성에는 OR 회로(371)가 부가되어 있는 것으로부터 명백 하지만, 각 게이트 신호선(17a)의 출력은 시프트 레지스터 회로(61a)의 전단 출력과의 OR을 취하여 출력된다. 즉, 2H 기간, 게이트 신호선(17a)에서는 온 상태 전압이 출력된다. 한편, 게이트 신호선(17c)은 시프트 레지스터 회로(61a)의 출력이 그대로 출력된다. 따라서, 1H 기간 동안, 온 상태 전압이 인가된다.

예컨대, 시프트 레지스터 회로(61a)의 두 번째로 H레벨 신호가 출력되고 있을 때, 화소(16(1))의 게이트 신호선(17c)에 온 상태 전압이 출력되고, 화소(16(1))가 전류(전압) 프로그래밍의 상태로 된다. 동시에, 화소(16(2))의 게이트 신호선(17a)에도 온 상태 전압이 출력되어, 화소(16(2))의 트랜지스터(11b)가 온 상태로 되어, 화소(16(2))의 구동용 트랜지스터(11a)가 리셋된다.

마찬가지로, 시프트 레지스터 회로(61a)의 세 번째로 H레벨 신호가 출력될 때, 화소(16(2))의 게이트 신호선(17c)에 온 상태 전압이 출력되고, 화소(16(2))가 전류(전압) 프로그래밍의 상태로 된다. 동시에, 화소(16(3))의 게이트 신호선(17a)에도 온 상태 전압이 출력되고, 화소(16(3)) 트랜지스터(11b)가 온 상태로 되고, 화소(16(3)) 구동용 트랜지스터(11a)가 리셋된다. 즉, 2H 기간, 게이트 신호선(17a)으로부터는 온 상태 전압이 출력되고, 게이트 신호선(17c)에 1H 기간, 온 상태 전압이 출력된다.

프로그래밍 상태일 때에는, 트랜지스터(11b)와 트랜지스터(11c)가 동시에 온 상태로 되기(도 33(b)) 때문에, 비프로그래밍 상태(도 33(c))로 이행할 때, 트랜지스터(11c)가 트랜지스터(11b)보다도 먼저 오프 상태로 되면, 도 33(b)의 리셋 상태로 된다. 이것을 방지하기 위해서는, 트랜지스터(11c)를 트랜지스터(11b)보다 이 후에 오프 상태로 할 필요가 있다. 이를 위해서는, 게이트 신호선(17a)이 게이트 신호선(17c)보다도 먼저 온 상태 전압이 인가되도록 제어해야 한다.

이상의 실시예는 도 32(기본적으로는 도 1)에 나타내는 화소 구성에 대한 실시예이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예컨대, 도 38에 나타내는 바와 같은 커런트 미러의 화소 구성에서도 실시할 수 있다. 또, 도 38에서는 트랜지스터(11e)를 온 오프 제어함으로써, 도 13, 도 15 등에 나타내는 N배 펄스 구동을 실현할 수 있다. 도 39는 도 38의 커런트 미러의 화소 구성에서의 실시예의 설명도이다. 이하, 도 39를 참조하면서, 커런트 미러의 화소 구성에서의 리셋 구동 방식에 대해 설명한다.

도 39(a)에 나타내는 바와 같이, 트랜지스터(11c), 트랜지스터(11e)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 한다. 그러면, 전류 프로그래밍용 트랜지스터(11b)의 드레인(D) 단자와 게이트 단자 G는 단락 상태로 되어, 도면에 나타내는 바와 같이, 전류 Ib가 흐른다. 일반적으로, 트랜지스터(11b)는 하나 전의 필드(프레임)에서 전류 프로그래밍되어, 전류를 흘리는 능력이 있다(게이트 전위는 콘덴서(19)에 1F 기간 유지되어, 화상 표시를 하고 있기 때문에 당연하다. 단, 완전한 흑 표시를 행하고 있는 경우, 전류는 흐르지 않음). 이 상태에서 트랜지스터(11e)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하면, 구동 전류 Ib가 트랜지스터(11a)의 게이트 단자 G의 방향으로 흐른다(게이트 단자 G와 드레인(D) 단자가 단락된다). 그 때문에, 트랜지스터(11a)의 게이트 단자 G와 드레인(D) 단자가 동일 전위로 되고, 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상 태)된다. 또한, 구동용 트랜지스터(11b)의 게이트 단자 G는 전류 프로그래밍용 트랜지스터(11a)의 게이트 단자 G와 공통이기 때문에, 구동용 트랜지스터(11b)도 리셋 상태로 된다.

이 트랜지스터(11a), 트랜지스터(11b)의 리셋 상태(전류를 흘리지 않은 상태)는, 도 51 등에서 설명하는 전압 오프셋 제거기 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 39(a)의 상태에서는, 콘덴서(19)의 단자 사이에는, 오프셋 전압(전류가 흐르기 시작하는 개시 전압. 이 전압의 절대값 이상의 전압을 인가함으로써, 트랜지스터(11)에 전류가 흐름)이 유지되게 된다. 이 오프셋 전압은 트랜지스터(11a), 트랜지스터(11b)의 특성에 따라 다른 전압값으로 된다. 따라서, 도 39(a)의 동작을 실시함으로써, 각 화소의 콘덴서(19)에는 트랜지스터(11a), 트랜지스터(11b)가 전류를 흘리지 않은(즉, 흑 표시 전류(거의 0과 같음)) 상태로 유지되게 된다(전류가 흐르기 시작하는 개시 전압으로 리셋됨).

또, 도 39(a)에서도 도 33(a)와 같이, 리셋의 실시 시간을 길게 할수록, Ib 전류가 흘러, 콘덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 39(a)의 실시 시간은 고정값으로 할 필요가 있다. 발명자 등의 실험 및 검토에 따르면, 도 39(a)의 실시 시간은 1H 이상 10H(10수평 주사 기간) 이하로 하는 것이 바람직하다. 그 위에 1H 이상 5H 이하로 하는 것이 바람직하다. 또는, 20μsec 이상 2msec 이하로 하는 것이 바람직하다. 이것은 도 33에 나타내는 구동 방식에서도 마찬가지이다.

도 33(a)도 마찬가지이지만, 도 39(a)에 나타내는 리셋 상태와, 도 39(b)에 나타내는 전류 프로그래밍 상태의 동기를 취하여 실행하는 경우에는, 도 39(a)에 나타내는 리셋 상태로부터, 도 39(b)에 나타내는 전류 프로그래밍 상태까지의 기간이 고정값(일정값)으로 되기 때문에 문제는 없다(고정값으로 되어 있음). 즉, 도 33(a) 또는 도 39(a)에 나타내는 리셋 상태로부터, 도 33(b) 또는 도 39(b)에 나타내는 전류 프로그래밍 상태까지의 기간이 1H 이상 10H(10수평 주사 기간) 이하로 되는 것이 바람직하다. 그 위에 1H 이상 5H 이하로 하는 것이 바람직하다. 또는, 20μsec 이상 2msec 이하로 하는 것이 바람직하다. 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리셋되지 않는다. 또한, 너무 길면 구동용 트랜지스터(11)가 완전히 오프 상태로 되어, 그 다음에는 전류를 프로그래밍하는데 장시간이 필요하게 된다. 또한, 화면(50)의 휘도도 저하한다.

도 39(a)를 실시한 후, 도 39(b)에 나타내는 상태로 한다. 도 39(b)는 트랜지스터(11c), 트랜지스터(11d)를 온 상태로 하고, 트랜지스터(11e)를 오프 상태로 한 것을 나타내고 있다. 도 39(b)의 상태는 전류 프로그래밍을 행하고 있는 상태이다. 즉, 소스 드라이버(14)로부터 프로그래밍 전류 Iw를 출력(또는 흡수)하고, 이 프로그래밍 전류 Iw를 전류 프로그래밍용 트랜지스터(11a)로 흘린다. 이 프로그래밍 전류 Iw가 흐르도록, 구동용 트랜지스터(11b)의 게이트 단자 G의 전위를 콘덴서(19)에 설정하는 것이다.

만약, 프로그래밍 전류 Iw가 0A(흑 표시)이면, 트랜지스터(11b)는 도 33(a)의 전류를 흘리지 않는 상태가 유지된 채로 되기 때문에, 양호한 흑 표시를 실현할 수 있다. 또한, 도 39(b)에서 백 표시의 전류 프로그래밍을 행하는 경우에는, 각 화소의 구동용 트랜지스터의 특성 편차가 발생하여도, 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)으로부터 전류 프로그래밍을 완전히 실행한다. 따라서, 목표 전류값으로 프로그래밍되는 시간이 계조에 따라 같게 된다. 그 때문에, 트랜지스터(11a) 또는 트랜지스터(11b)의 특성 편차에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 39(b)의 전류 프로그래밍 후, 도 39(c)에 나타내는 바와 같이, 트랜지스터(11c)와 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11e)를 온 상태로 하여, 구동용 트랜지스터(11b)로부터의 프로그래밍 전류 Iw(=Ie)를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다. 도 39(c)에 대해서도, 이전에 설명을 했기 때문에 상세한 것은 생략한다.

도 33, 도 39에서 설명한 구동 방식(리셋 구동)은 구동용 트랜지스터(11a) 또는 트랜지스터(11b)와 EL 소자(15) 사이를 차단(전류가 흐르지 않는 상태. 트랜지스터(11e) 또는 트랜지스터(11d)에서 실행함)하고, 또한, 구동용 트랜지스터의 드레인(D) 단자와 게이트 단자 G(또는 소스 단자 S와 게이트 단자 G, 또한 일반적으로 표현하면 구동용 트랜지스터의 게이트 단자 G를 포함하는 2단자) 사이를 단락하는 제 1 동작과, 상기 동작 후, 구동용 트랜지스터에 전류(전압) 프로그래밍을 행하는 제 2 동작을 실시하는 것이다. 그리고, 적어도 제 2 동작은 제 1 동작 후에 실행하는 것이다. 또, 제 1 동작에서의 구동용 트랜지스터(11a) 또는 트랜지스터(11b)와 EL 소자(15) 사이를 차단하는 동작은, 반드시 필수적인 조건이 아니다. 만약에 제 1 동작에서의 구동용 트랜지스터(11a) 또는 트랜지스터(11b)와 EL 소자(15) 사이를 차단하지 않고, 구동용 트랜지스터의 드레인(D) 단자와 게이트 단자 G 사이를 단락하는 제 1 동작을 행하여도 다소의 리셋 상태의 편차가 발생하는 경우가 있기 때문이다. 이것은 제작한 어레이의 트랜지스터 특성을 검토하고 결정한다.

도 39에 나타내는 커런트 미러의 화소 구성은 전류 프로그래밍 트랜지스터(11a)를 리셋함으로써, 결과적으로 구동용 트랜지스터(11b)를 리셋하는 구동 방법이다.

도 39에 나타내는 커런트 미러의 화소 구성에서, 리셋 상태에서는, 반드시 구동용 트랜지스터(11b)와 EL 소자(15) 사이를 차단할 필요는 없다. 따라서, 전류 프로그래밍용 트랜지스터 a의 드레인(D) 단자와 게이트 단자 G(또는 소스 단자 S와 게이트 단자 G, 또한 일반적으로 표현하면 전류 프로그래밍용 트랜지스터의 게이트 단자 G를 포함하는 2단자, 또는 구동용 트랜지스터의 게이트 단자 G를 포함하는 2단자) 사이를 단락하는 제 1 동작과, 상기 동작의 후, 전류 프로그래밍용 트랜지스터에 전류(전압) 프로그래밍을 행하는 제 2 동작을 실시하는 것이다. 그리고, 적어도 제 2 동작은 제 1 동작 후에 실행하는 것이다.

화상 표시 상태는(만약에 순간적인 변화를 관찰할 수 있는 것이면), 우선, 전류 프로그래밍을 행하는 화소행은 리셋 상태(흑 표시 상태)로 되어, 소정 H 후에 전류 프로그래밍이 행해진다. 화면의 위로부터 아래 방향으로, 흑 표시의 화소행이 이동하고, 이 화소행이 통과한 위치에서 화상이 오버라이트되도록 보일 수 있 다.

이상의 실시예는 전류 프로그래밍의 화소 구성을 중심으로 설명을 했지만, 본 발명의 리셋 구동은 전압 프로그래밍의 화소 구성에도 적용할 수 있다. 도 43은 전압 프로그래밍의 화소 구성에서의 리셋 구동을 실시하기 위한 본 발명의 화소 구성(패널 구성)의 설명도이다.

도 43의 화소 구성에서는, 구동용 트랜지스터(11a)를 리셋 동작시키기 위한 트랜지스터(11e)가 형성되어 있다. 게이트 신호선(17e)에 온 상태 전압이 인가됨으로써, 트랜지스터(11e)가 온 상태로 되어, 구동용 트랜지스터(11a)의 게이트 단자 G와 드레인(D) 단자 사이를 단락시킨다. 또한, EL 소자(15)와 구동용 트랜지스터(11a)의 전류 경로를 차단하

는 트랜지스터(11d)가 형성되어 있다. 이하, 도 44를 참조하면서, 전압 프로그래밍의 화소 구성에 있어서의 본 발명의 리셋 구동 방식에 대해 설명한다.

도 44(a)에 나타내는 바와 같이, 트랜지스터(11b)와 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11e)를 온 상태로 한다. 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트 단자 G는 단락 상태로 되어, 도면에 나타내는 바와 같이, 전류 Ib가 흐른다. 그 때문에, 트랜지스터(11a)의 게이트 단자 G와 드레인(D) 단자가 동일 전위로 되고, 구동용 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)된다. 또, 트랜지스터(11a)를 리셋하기 전에, 도 33 또는 도 39에서 설명한 바와 같이, HD 동기 신호에 동기하여, 최초에 트랜지스터(11d)를 온 상태로 하고, 트랜지스터(11e)를 오프 상태로 하여, 트랜지스터(11a)로 전류를 흘린다. 그 후, 도 44(a)에 나타내는 동작을 실시한다.

이 트랜지스터(11a), 트랜지스터(11b)의 리셋 상태(전류를 흘리지 않는 상태)는 도 41 등에서 설명한 전압 오프셋 제거기 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 44(a)의 상태에서는, 콘덴서(19)의 단자 사이에는, 오프셋 전압(리셋 전압)이 유지되어 있는 것으로 된다. 이 리셋 전압은 구동용 트랜지스터(11a)의 특성에 따라 다른 전압값으로 된다. 즉, 도 44(a)의 동작을 실시함으로써, 각 화소의 콘덴서(19)에는 구동용 트랜지스터(11a)가 전류를 흘리지 않는(즉, 흑 표시 전류(거의 0과 같음)) 상태가 유지되게 된다(전류가 흐르기 시작하는 개시 전압으로 리셋됨).

또, 전압 프로그래밍의 화소 구성에서도, 전류 프로그래밍의 화소 구성과 마찬가지로, 도 44(a)의 리셋의 실시 시간을 길게 할수록, Ib 전류가 흘러, 콘덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 44(a)의 실시 시간은 고정값으로 할 필요가 있다. 실시 시간은 0.2H 이상 5H(5수평 주사 기간) 이하로 하는 것이 바람직하다. 그 위에 0.5H 이상 4H 이하로 하는 것이 바람직하다. 또는, 2μsec 이상 400μsec 이하로 하는 것이 바람직하다.

또한, 게이트 신호선(17e)은 전단의 화소행의 게이트 신호선(17a)과 공통으로 해 두는 것이 바람직하다. 즉, 게이트 신호선(17e)과 전단의 화소행의 게이트 신호선(17a)을 단락 상태로 형성한다. 이 구성을 전단 게이트 제어 방식이라 한다. 또, 전단 게이트 제어 방식이란, 착안 화소행보다 적어도 1H전 이상으로 선택되는 화소행의 게이트 신호선 파형을 이용하는 것이다. 따라서, 1화소행 전에 한 정되는 것은 아니다. 예컨대, 2화소행 전의 게이트 신호선의 신호 파형을 이용해서 착안 화소행의 구동용 트랜지스터(11a)의 리셋을 실시하여도 좋다.

전단 게이트 제어 방식을 더욱 구체적으로 기재하면 아래와 같이 된다. 착안할 화소행을 (N)화소행으로 하고, 그 게이트 신호선을 게이트 신호선(17e(N)), 게이트 신호선(17a(N))으로 한다. 1H 전에 선택되는 전단의 화소행을 (N-1)화소행으로 하고, 그 게이트 신호선을 게이트 신호선(17e(N-1)), 게이트 신호선(17a(N-1))으로 한다. 또한, 착안 화소행의 다음 1H 후에 선택되는 화소행을 (N+1)화소행으로 하고, 그 게이트 신호선을 게이트 신호선(17e(N+1)), 게이트 신호선(17a(N+1))으로 한다.

제 (N-1)H 기간에는, 제 (N-1) 화소행의 게이트 신호선(17a(N-1))에 온 상태 전압이 인가되면, 제 (N) 화소행의 게이트 신호선(17e(N))에도 온 상태 전압이 인가된다. 게이트 신호선(17e(N))과 전단의 화소행의 게이트 신호선(17a(N-1))이 단락 상태로 형성되어 있기 때문이다. 따라서, 제 (N-1) 화소행 화소의 트랜지스터(11b(N-1))가 온 상태로 되어, 소스 신호선(18)의 전압이 구동용 트랜지스터(11a(N-1))의 게이트 단자 G에 기입된다. 동시에, 제 (N) 화소행 화소의 트랜지스터(11e(N))가 온 상태로 되고, 구동용 트랜지스터(11a(N))의 게이트 단자 G와 드레인(D) 단자 사이가 단락되어, 구동용 트랜지스터(11a(N))가 리셋된다.

제 (N-1)H 기간의 다음 제 (N) 기간에는, 제 (N) 화소행의 게이트 신호선(17a(N))에 온 상태 전압이 인가되면, 제 (N+1) 화소행의 게이트 신호선(17e(N+1))에도 온 상태 전압이 인가된다. 따라서, 제 (N) 화소행의 화소의 트랜지스터(11b(N))가 온 상태로 되어, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a(N))의 게이트 단자 G에 기입된다. 동시에, 제 (N+1) 화소행 화소의 트랜지스터(11e(N+1))가 온 상태로 되고, 구동용 트랜지스터(11a(N+1))의 게이트 단자 G와 드레인(D) 단자 사이가 단락되어, 구동용 트랜지스터(11a(N+1))가 리셋된다.

이하 마찬가지로, 제 (N)H 기간의 다음 제 (N+1)H 기간에, 제 (N+1) 화소행의 게이트 신호선(17a(N+1))에 온 상태 전압이 인가되면, 제 (N+2) 화소행의 게이트 신호선(17e(N+2))에도 온 상태 전압이 인가된다. 따라서, 제 (N+1) 화소행의 화소의 트랜지스터(11b(N+1))가 온 상태로 되어, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a(N+1))의 게이트 단자 G에 기입된다. 동시에, 제 (N+2) 화소행의 화소의 트랜지스터(11e(N+2))가 온 상태로 되고, 구동용 트랜지스터(11a(N+2))의 게이트 단자 G와 드레인(D) 단자 사이가 단락되어, 구동용 트랜지스터(11a(N+2))가 리셋된다.

이상의 본 발명의 전단 게이트 제어 방식에서는, 1H 기간, 구동용 트랜지스터(11a)는 리셋되고, 그 후, 전압(전류) 프로그래밍이 실시된다.

도 33(a)도 마찬가지이지만, 도 44(a)의 리셋 상태와, 도 44(b)의 전압 프로그래밍 상태를 동기시켜 실행하는 경우에는, 도 44(a)의 리셋 상태로부터, 도 44(b)의 전류 프로그래밍 상태까지의 기간이 고정값(일정값)으로 되기 때문에 문

제는 없다(고정값으로 되어 있음). 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리셋되지 않는다. 또한, 너무 길면 구동용 트랜지스터(11a)가 완전히 오프 상 태로 되어, 다음의 전류를 프로그래밍하는데 장시간이 필요하게 된다. 또한, 화면(12)의 휘도도 저하한다.

도 44(a)에 나타내는 상태를 실시 후, 도 44(b)에 나타내는 상태로 한다. 도 44(b)는 트랜지스터(11b)를 온 상태로 하고, 트랜지스터(11e)와 트랜지스터(11d)를 오프 상태로 한 것이다. 도 44(b)에 나타내는 상태는 전압 프로그래밍을 행하고 있는 상태이다. 즉, 소스 드라이버(14)로부터 프로그래밍 전압을 출력하고, 이 프로그래밍 전압을 구동용 트랜지스터(11a)의 게이트 단자 G에 기입한다(구동용 트랜지스터(11a)의 게이트 단자 G의 전위를 콘덴서(19)에 설정함). 또, 전압 프로그래밍 방식의 경우에는, 전압 프로그래밍 시에 트랜지스터(11d)를 반드시 오프 상태로 할 필요는 없다. 또한, 도 13, 도 15 등의 N배 펄스 구동 등으로 조합하는 것, 또는 이상과 같은, 간헐 N/K 배 펄스 구동(1화면으로 점등 영역을 복수 마련하는 구동 방법이다. 이 구동 방법은 트랜지스터(11e)를 온 오프 동작시킴으로써 용이하게 실현할 수 있음)을 실시할 필요가 없으면, 트랜지스터(11e)는 불필요하다. 이것은 이전에 설명을 했으므로, 설명을 생략한다.

도 43에 나타내는 구성 또는 도 44의 구동 방법으로 백 표시의 전압 프로그래밍을 행하는 경우에는, 각 화소의 구동용 트랜지스터의 특성 편차가 발생하고 있더라도, 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)으로부터 전압 프로그래밍을 완전히 실행한다. 따라서, 목표의 전류값으로 프로그래밍되는 시간이 계조에 따라 같게 된다. 그 때문에, 트랜지스터(11a)의 특성 편차에 의한 계조 오차가 없고, 양호한 화상 표시를 실현할 수 있다.

도 44(b)에 나타내는 전류 프로그래밍 후, 도 44(c)에 나타내는 바와 같이, 트랜지스터(11b)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하여, 구동용 트랜지스터(11a)로부터의 프로그래밍 전류를 EL 소자(15)로 흘려, EL 소자(15)를 발광시킨다.

이상과 같이, 도 43의 전압 프로그래밍에 있어서의 본 발명의 리셋 구동은, 우선, HD 동기 신호에 동기해서, 최초로 트랜지스터(11d)를 온 상태로 하고, 트랜지스터(11e)를 오프 상태로 하여, 트랜지스터(11a)로 전류를 흘리는 제 1 동작과, 트랜지스터(11a)와 EL 소자(15) 사이를 차단하고, 또한, 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트 단자 G(또는 소스 단자 S와 게이트 단자 G, 또한 일반적으로 표현하면, 구동용 트랜지스터의 게이트 단자 G를 포함하는 2단자) 사이를 단락시키는 제 2 동작과, 상기 동작 후, 구동용 트랜지스터(11a)에 전압 프로그래밍을 행하는 제 3 동작을 실시하는 것이다.

이상의 실시예에서는, 구동용 트랜지스터 소자(11a)(도 1의 화소 구성의 경우)로부터 EL 소자(15)로 흘리는 전류를 제어하는데, 트랜지스터(11d)를 온 오프 상태로 하여 실행한다. 트랜지스터(11d)를 온 오프 상태로 하기 위해서는, 게이트 신호선(17b)을 주사해야 하고, 주사를 위해서는, 시프트 레지스터(61)(게이트 회로(12))가 필요해진다. 그러나, 시프트 레지스터(61)는 규모가 크고, 게이트 신호선(17b)의 제어에 시프트 레지스터(61)를 이용하는 것은 좁은 프레임을 형성할 수 없다. 도 40을 참조하여 설명하는 방식은 이 과제를 해결하는 것이다.

또, 본 발명은 주로 도 1 등에 나타내는 전류 프로그래밍의 화소 구성을 예시하여 설명을 하지만, 이것에 한정되는 것이 아니라, 도 38 등에 설명한 다른 전류 프로그래밍 구성(커런트 미러의 화소 구성)이라도 적용할 수 있는 것은 물론이다. 또한, 블럭으로 온 오프하는 기술적 개념은 도 41 등의 전압 프로그래밍의 화소 구성이라도 적용할 수 있는 것은 물론이다. 또한, 본 발명은 EL 소자(15)에 흐르는 전류를 간헐적으로 행하는 방식이기 때문에, 도 50 등을 참조하여 설명하는 역바이어스 전압을 인가하는 방식과도 조합할 수 있는 것은 물론이다. 이상과 같이, 본 발명은 다른 실시예와 조합하여 실시할 수 있다.

도 40은 블럭 구동 방식의 실시예를 나타내고 있다. 우선, 설명을 쉽게 하기 위해, 게이트 드라이버(12)는 기판(71)에 직접 형성하든지, 또는 실리콘 칩의 게이트 드라이버(12)를 기판(71)에 적재한 것으로 설명을 행한다. 또한, 소스 드라이버(14) 및 소스 신호선(18)은 도면이 번잡해지기 때문에 생략한다.

도 40에서, 게이트 신호선(17a)은 게이트 드라이버(12)와 접속되어 있다. 한편, 각 화소의 게이트 신호선(17b)은 점등 제어선(401)과 접속되어 있다. 도 40에서는 네 개의 게이트 신호선(17b)이 하나의 점등 제어선(401)과 접속되어 있다.

또, 여기서는 네 개의 게이트 신호선(17b)을 정리해서 하나의 블럭으로 하고 있지만 이것에 한정되는 것이 아니라, 그 이상이라도 되는 것은 물론이다. 일반적으로 표시 영역(50)은 적어도 5 이상으로 분할하는 것이 바람직하다. 더욱 바람직하게는, 10 이상으로 분할하는 것이 바람직하다. 그 위에, 20 이상으로 분할하는 것이 바람직하다. 분할 수가 적으면, 플리커가 보이기 쉽게 된다. 한편, 분할 수 가 너무 많으면, 점등 제어선(401)의 개수가 많아져, 제어선(401)의 레이아웃이 곤란해진다.

따라서, QCIF 표시 패널의 경우에는, 수직 주사선의 개수가 220개이기 때문에, 적어도, 220/5=44개 이상으로 블럭화해야 하고, 바람직하게는, 220/10=11개 이상으로 블럭화해야 한다. 단, 기수행과 우수행으로 두 개의 블럭화를 행한 경우에는, 저프레임 레이트에서도 비교적 플리커의 발생이 적기 때문에, 두 개의 블럭화로 충분한 경우가 있다.

도 40의 실시예에서는, 점등 제어선(401a, 401b, 401c, 401d, …, 401n)에 순차적으로, 온 상태 전압 Vgl을 인가하든지, 또는 오프 상태 전압 Vgh을 인가하여, 블럭마다 EL 소자(15)에 흐르는 전류를 온 오프시킨다.

또, 도 40의 실시예에서는, 게이트 신호선(17b)과 점등 제어선(401)이 교차하는 경우가 없다. 따라서, 게이트 신호선(17b)과 점등 제어선(401)이 단락된다는 결함은 발생하지 않는다. 또한, 게이트 신호선(17b)과 점등 제어선(401)이 용량 결합하지 않기 때문에, 점등 제어선(401)으로부터 게이트 신호선(17b) 측을 보았을 때의 용량 부가가 매우 작다. 따라서, 점등 제어선(401)을 구동하기 쉽다.

게이트 드라이버(12)에는 게이트 신호선(17a)이 접속되어 있다. 게이트 신호선(17a)에 온 상태 전압을 인가함으로써, 화소행이 선택되고, 선택된 각 화소의 트랜지스터(11b, 11c)는 온 상태로 되어, 소스 신호선(18)에 인가된 전류(전압)를 각 화소의 콘덴서(19)에 프로그래밍한다. 한편, 게이트 신호선(17b)은 각 화소의 트랜지스터(11d)의 게이트 단자 G와 접속되어 있다. 따라서, 점등 제어선(401)에 온 상태 전압 Vgl이 인가되었을 때, 구동용 트랜지스터(11a)와 EL 소자(15)의 전류 경로를 형성하고, 반대로 오프 상태 전압 Vgh가 인가되었을 때에는, EL 소자(15)의 애노드 단자를 오픈 상태로 한다.

또, 점등 제어선(401)에 전압을 인가하는 온 오프 상태 전압의 제어 타이밍과, 게이트 드라이버(12)가 게이트 신호선(17a)으로 출력하는 화소행 선택 전압 Vgl의 타이밍은 1수평 주사 클럭(1H)에 동기하는 것이 바람직하다. 그러나, 이것에 한정되는 것은 아니다.

점등 제어선(401)에 전압을 인가하는 신호는 단지, EL 소자(15)로의 전류를 온 오프시킬 뿐이다. 또한, 소스 드라이버(14)가 출력하는 화상 데이터와 동기를 취할 필요도 없다. 점등 제어선(401)에 전압을 인가하는 신호는 각 화소(16)의 콘덴서(19)에 프로그래밍된 전류를 제어하는 것이기 때문이다. 따라서, 반드시, 화소행의 선택 신호와 동기를 취할 필요는 없다. 또한, 동기할 경우에도 클럭은 1H 신호에 한정되는 것이 아니라, 1/2H이라도, 1/4H이라도 좋다.

도 38에 도시하는 커런트 미러의 화소 구성의 경우에도, 게이트 신호선(17b)을 점등 제어선(401)에 접속함으로써, 트랜지스터(11e)를 온 오프 제어할 수 있다. 따라서, 블럭 구동을 실현할 수 있다.

또, 도 32에서, 게이트 신호선(17a)을 점등 제어선(401)에 접속하고, 리셋을 실시하면, 블럭 구동을 실현할 수 있다. 이 경우, 본 발명의 블럭 구동은 하나의 제어선으로, 복수의 화소행을 동시에 비점등(또는 흑 표시)으로 하는 구동 방법으로 된다.

이상의 실시예는 1화소행마다 한 개의 선택 화소행을 배치(형성)하는 구성이다. 본 발명은 이것에 한정되는 것이 아니라, 복수의 화소행으로 한 개의 선택 게이트 신호선을 배치(형성)하여도 좋다.

도 41은 그 실시예이다. 또, 설명을 쉽게 하기 위해, 화소 구성은 도 1의 경우를 주로 예시하여 설명한다. 도 41에서, 게이트 신호선(17a)은 세 개의 화소(16R, 16G, 16B)를 동시에 선택한다. 또, R의 기호는 적색의 화소 관련을 의미하고, G의 기호는 녹색의 화소 관련을 의미하며, B의 기호는 청색의 화소 관련을 의미하는 것으로 한다.

따라서, 게이트 신호선(17a)의 선택에 의해, 화소(16R), 화소(16G) 및 화소(16B)가 동시에 선택되어 데이터 기입 상태로 된다. 화소(16R)는 소스 신호선(18R)으로부터 데이터를 콘덴서(19R)에 기입하고, 화소(16G)는 소스 신호선(18G)으로부터 데이터를 콘덴서(19G)에 기입한다. 화소(16B)는 소스 신호선(18B)으로부터 데이터를 콘덴서(19B)에 기입한다.

화소(16R)의 트랜지스터(11d)는 게이트 신호선(17bR)에 접속되어 있다. 또한, 화소(16G)의 트랜지스터(11d)는 게이트 신호선(17bG)에 접속되고, 화소(16B)의 트랜지스터(11d)는 게이트 신호선(17bB)에 접속되어 있다. 따라서, 화소(16R)의 EL 소자(15R), 화소(16G)의 EL 소자(15G), 화소(16B)의 EL 소자(15B)는 각각 독립적으로 온 오프 제어할 수 있다. 즉, EL 소자(15R), EL 소자(15G), EL 소자(15B)는 게이트 신호선(17bR, 17bG, 17bB)을 각각 제어함으로써, 점등 시간, 점등 주기를 개별적으로 제어할 수 있다.

이 동작을 실현하기 위해서는, 도 6에 나타내는 구성에서, 게이트 신호선(17a)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bR)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bG)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bB)을 주사하는 시프트 레지스터 회로(61)의 네 개를 형성(배치)하는 것이 적절하다.

또, 소스 신호선(18)에 소정 전류의 N배의 전류를 흘리는 것에 의해, EL 소자(15)에 소정 전류의 N배의 전류를 1/N의 기간 흘린다고 했지만, 실용상으로는 이것을 실현할 수 없다. 실제로는 게이트 신호선(17)에 인가한 신호 펄스가 콘덴서(19)로 관통하여, 콘덴서(19)에 소망하는 전압값(전류값)을 설정할 수 없기 때문이다. 일반적으로 콘덴서(19)에는 소망 전압값(전류값)보다도 낮은 전압값(전류값)이 설정된다. 예컨대, 10배의 전류값을 설정하도록 구동하여도, 5배 정도의 전류밖에 콘덴서(19)에는 설정되지 않는다. 예컨대, N=10으로 하여도 실제로 EL 소자(15)에 흐르는 전류는 N=5의 경우와 동일해진다. 따라서, 본 발명은 N배의 전류값을 설정하고, N배에 비례한 또는 대응하는 전류를 EL 소자(15)에 흐르도록 구동하는 방법이다. 또는, 소망값보다도 큰 전류를 EL 소자(15)에 펄스 형상으로 인가하는 구동 방법이다.

또한, 소망값으로 전류(그대로, EL 소자(15)에 연속하여 전류를 흘리면 소망 휘도보다도 높게 되는 전류)를 구동용 트랜지스터(11a)(도 1을 예시하는 경우)에 전류(전압) 프로그래밍을 행하여, EL 소자(15)에 흐르는 전류를 간헐로 함으로써, 소망 EL 소자의 발광 휘도를 얻는 것이다.

또, 이 콘덴서(19)로의 관통에 의한 보상 회로는 소스 드라이버(14) 내에 도입한다. 이 사항에 대해서는 나중에 설명한다.

또한, 도 1 등의 스위칭 트랜지스터(11b, 11c) 등은 N채널로 형성하는 것이 바람직하다. 콘덴서(19)로의 관통 전압이 감소되기 때문이다. 또한, 콘덴서(19)의 오프 리크도 감소하기 때문에, 10Hz 이하의 낮은 프레임 레이트에도 적용할 수 있게 된다.

또한, 화소 구성에 따라서는, 관통 전압이 EL 소자(15)에 흐르는 전류를 증가시키는 방향으로 작용하는 경우에는, 백 피크 전류가 증가하여, 화상 표시의 컨트라스트감이 증가한다. 따라서, 양호한 화상 표시를 실현할 수 있다.

반대로, 도 1의 스위칭 트랜지스터(11b, 11c)를 P채널로 함으로써 관통을 발생시켜, 보다 흑 표시를 양호하게 하는 방법도 효과적이다. 이 경우, P채널 트랜지스터(11b)를 오프 상태로 할 때에는 Vgh 전압으로 된다. 그 때문에, 콘덴서(19)의 단자 전압이 Vdd 측으로 조금 시프트한다. 이에 따라, 트랜지스터(11a)의 게이트 단자 G 전압은 상승하여, 보다 양호한 흑 표시로 된다. 또한, 제 1 계조 표시로 하는 전류값을 크게 할 수 있기 때문에(계조 1까지 일정한 베이스 전류를 흘릴 수 있음), 전류 프로그래밍 방식으로 기입 전류 부족을 경감시킬 수 있다.

그 외, 게이트 신호선(17a)과 트랜지스터(11a)의 게이트 단자 G 사이에 적극적으로 콘덴서(19b)를 형성하여, 관통 전압을 증가시키는 구성도 효과적이다(도 42(a) 참조). 이 콘덴서(19b)의 용량은 정규의 콘덴서(19a)의 용량의 1/50 이상1/10 이하로 하는 것이 바람직하다. 이 값은 1/40 이상 1/15 이하로 하는 것 이 바람직하다. 또는, 트랜지스터(11b)의 소스-게이트(소스-드레인(SG) 또는 게이트-드레인(GD)) 용량의 1배 이상 10배 이하로 한다. 더욱 바람직하게는, SG 용량의 2배 이상 6배 이하로 하는 것이 바람직하다. 또, 콘덴서(19b)는 콘덴서(19a)의 한쪽 단자(트랜지스터(11a)의 게이트 단자 G)와 트랜지스터(11d)의 소스 단자 S 사이에 형성 또는 배치하여도 좋다. 이 경우에도 용량 등은 먼저 설명한 값과 마찬가지이다.

관통 전압 발생용 콘덴서(19b)의 용량(용량을 Cb(pF)라 함)은 전하 유지용 콘덴서(19a)의 용량(용량을 Ca(pF)라 함)과, 트랜지스터(11a)의 백 피크 전류 시(화상 표시에서 표시 최대 휘도의 백 래스터 시)의 게이트 단자 G 전압 Vw를 흑 표시에서의 전류를 흘릴(기본적으로는 전류는 0이다. 즉, 화상 표시에서 흑 표시일 경우) 때의 게이트 단자 G 전압 Vb가 관련된다. 이들의 관계는,

$$Ca/(200Cb) \leq |Vw-Vb| \leq Ca/(8Cb)$$

의 조건을 만족시키는 것이 바람직하다. 또, |Vw-Vb|는 구동용 트랜지스터의 백 표시 시의 단자 전압과 흑 표시 시의 단자 전압의 차의 절대값이다(즉, 변화하는 전압 폭).

더욱 바람직하게는,

$$Ca/(100Cb) \leq |Vw-Vb| \leq Ca/(10Cb)$$

의 조건을 만족시키는 것이 바람직하다.

트랜지스터(11b)는 P채널로 하고, 이 P채널은 적어도 더블 게이트 이상으로 한다. 또한, 바람직하게는, 트리플 게이트 이상으로 한다. 더욱 바람직하게는, 4 게이트 이상으로 한다. 그리고, 트랜지스터(11b)의 소스-게이트(SG 또는 게이트-드레인(GD)) 용량(트랜지스터가 온 상태일 때의 용량)의 1배 이상 10배 이하의 콘덴서를 병렬로 형성 또는 배치하는 것이 바람직하다.

또, 이상의 사항은, 도 1에 나타내는 화소 구성뿐만 아니라, 다른 화소 구성이라도 효과적이다. 예컨대, 도 42(b)에 나타내는 바와 같은 커런트 미러의 화소 구성에서, 관통을 발생시키는 콘덴서를 게이트 신호선(17a) 또는 게이트 신호선(17b)과 트랜지스터(11a)의 게이트 단자 G와의 사이에 배치 또는 형성한다. 스위칭 트랜지스터(11c)의 N채널은 더블 게이트 이상으로 한다. 또는, 스위칭 트랜지스터(11c, 11d)를 P채널로 하여, 트리플 게이트 이상으로 한다.

도 41에 나타내는 전압 프로그래밍의 구성에서는, 게이트 신호선(17c)과 구동용 트랜지스터(11a)의 게이트 단자 G와의 사이에 관통 전압 발생용 콘덴서(19c)를 형성 또는 배치한다. 또한, 스위칭 트랜지스터(11c)는 트리플 게이트 이상으로 한다. 관통 전압 발생용 콘덴서(19c)는 트랜지스터(11c)의 드레인(D) 단자(콘덴서(19b) 측)와 게이트 신호선(17a) 사이에 배치하여도 좋다. 또한, 관통 전압 발생용 콘덴서(19c)는 트랜지스터(11a)의 게이트 단자 G와 게이트 신호선(17a) 사이에 배치하여도 좋다. 또한, 관통 전압 발생용 콘덴서(19c)는 트랜지스터(11c)의 드레인(D) 단자(콘덴서(19b) 측)와 게이트 신호선(17c) 사이에 배치하여도 좋다.

또한, 전하 유지용 콘덴서(19a)의 용량을 Ca로 하고, 스위칭용 트랜지스터(11c) 또는 스위칭용 트랜지스터(11d)의 소스-게이트 용량을 Cc(관통용 콘덴서가 있는 경우에는, 그 용량을 부가한 값)로 하고, 게이트 신호선에 인가되는 고전압 신호를 Vgh로 하고, 게이트 신호선에 인가되는 저전압 신호를 Vgl로 한 경우, 이하의 조건을 만족하도록 구성함으로써, 양호한 흑 표시를 실현할 수 있다.

$$0.05(V) \leq (Vgh - Vgl) \times (Cc/Ca) \leq 0.8(V)$$

또한, 이하의 조건을 만족시키는 것이 바람직하다.

$$0.1(V) \leq (Vgh - Vgl) \times (CC/Ca) \leq 0.5(V)$$

이상의 사항은 도 43 등에 나타내는 화소 구성에도 효과적이다. 도 43에 나타내는 전압 프로그래밍의 화소 구성에서는, 트랜지스터(11a)의 게이트 단자 G와 게이트 신호선(17a) 사이에 관통 전압 발생용 콘덴서(19b)를 형성 또는 배치한다.

또, 관통 전압을 발생시키는 콘덴서(19b)는 트랜지스터의 소스 배선 및 게이트 배선으로 형성한다. 단, 트랜지스터(11)의 소스 폭을 확대하여, 게이트 신호선(17)과 겹쳐 형성하는 구성이기 때문에, 실용상으로는 명확하게 트랜지스터와 분리할 수 없는 구성으로 되는 경우가 있다.

또한, 스위칭 트랜지스터(11b, 11c)(도 1의 구성의 경우)를 필요 이상으로 크게 형성함으로써, 외견상, 관통 전압용 콘덴서(19b)를 구성하는 방식도 본 발명의 범주이다. 스위칭 트랜지스터(11b, 11c)는 채널 폭 W/채널 길이 L=6/6㎛로 형성하는 경우가 많다. 여기서, W와 L의 비를 크게 하는 것으로도 관통 전압용 콘덴서(19b)를 구성하는 것이 된다. 예컨대, W:L의 비를 2:1 이상 20:1 이하로 하는 구성이 예시된다. 바람직하게는, W:L의 비를 3:1 이상 10:1 이하로 하는 것이 좋다.

또한, 관통 전압용의 콘덴서(19b)는 화소가 변조하는 R, G, B에서 크기(용량)를 변화시키는 것이 바람직하다. R, G, B의 각 EL 소자(15)의 구동 전류가 다르기 때문이다. 또한, EL 소자(15)의 컷오프 상태 전압이 다르기 때문이다. 그 때문에, EL 소자(15)의 구동용 트랜지스터(11a)의 게이트 단자 G에 프로그래밍하는 전압(전류)이 다르게 한다. 예컨대, R의 화소의 콘덴서(11bR)를 0.02pF으로 한 경우, 다른 색(G, B의 화소)의 콘덴서(11bG, 11bB)를 0.025pF으로 한다. 또한, R의 화소의 콘덴서(11bR)를 0.02pF으로 한 경우, G의 화소의 콘덴서(11bG)를 0.03pF로 하고, B의 화소의 콘덴서(11bB)를 0.025pF으로 하는 등이다. 이와 같이, R, G, B의 화소마다 콘덴서(11b)의 용량을 변화시킴으로써 오프셋의 구동 전류를 RGB 마다 조정할 수 있다. 따라서, RGB의 각각에서의 흑 표시 레벨을 최적값으로 할 수 있다.

이상에서는, 관통 전압 발생용 콘덴서(19b)의 용량을 변화시키는 것으로 했지만, 관통 전압은 유지용 콘덴서(19a)와 관통 전압 발생용 콘덴서(19b)의 용량이 상대적인 것이다. 따라서, 콘덴서(19b)를 R, G, B의 화소로 변화하는 것에 한정되는 것은 아니다. 따라서, 유지용 콘덴서(19a)의 용량을 변화시켜도 좋다. 예컨대, R의 화소의 콘덴서(11aR)를 1.0pF로 한 경우, G의 화소의 콘덴서(11aG)를 1.2pF로 하고, B의 화소의 콘덴서(11aB)를 0.9pF로 하는 등이다. 이 때, 관통용 콘덴서(19b)의 용량은 R, G, B에서 공통의 값으로 한다. 따라서, 본 발명은 유지용 콘덴서(19a)와 관통 전압 발생용 콘덴서(19b)의 용량비에 대하여, R, G, B의 화소 중, 적어도 하나를 다른 것과 다르게 한 것이다. 또, 유지용 콘덴서(19a)의 용량 과, 관통 전압 발생용 콘덴서(19b)의 용량 양쪽을 R, G, B 화소로 변화시켜도 좋다.

또한, 화면(50)의 좌우에서 관통 전압용 콘덴서(19b)의 용량을 변화시켜도 좋다. 게이트 드라이버(12)에 가까운 위치에 있는 화소(16)는 신호 공급 측에 배치되어 있으므로, 게이트 신호의 상승이 빠르기 때문에(관통율이 높기 때문임), 관통 전압이 커진다. 게이트 신호선(17)의 끝에 배치(형성)되는 화소는 신호 파형이 완만해진다(게이트 신호선(17)에는 용량이 있기 때문임). 게이트 신호의 상승이 느리므로(스루 레이트가 느림), 관통 전압이 작아지기 때문이다. 따라서, 게이트 드라이버(12)와의 접속 측에 가까운 화소(16)의 관통 전압용 콘덴서(19b)를 작게 한다. 또한, 게이트 신호

선(17)의 단(端)은 콘덴서(19b)를 크게 한다. 예컨대, 화면의 좌우에서 콘덴서의 용량은 10%정도 변화시킨다.

발생하는 관통 전압은 유지용 콘덴서(19a)와 관통 전압 발생용 콘덴서(19b)의 용량비로 결정된다. 따라서, 화면의 좌우에서 관통 전압 발생용 콘덴서(19b)의 크기를 변화시키는 것으로 하고 있지만, 이것에 한정되는 것은 아니다. 관통 전압 발생용 콘덴서(19b)는 화면의 좌우에서 일정하게 하여, 전하 유지용 콘덴서(19a)의 용량을 화면의 좌우로 변화시켜도 좋다. 또한, 관통 전압 발생용 콘덴서(19b)의 용량과, 전하 유지용 콘덴서(19a)의 용량 양쪽을 화면의 좌우에서 변화시켜도 되는 것은 물론이다.

본 발명의 N배 펄스 구동에는, EL 소자(15)에 인가하는 전류가 순간 적이지만, 종래와 비교하여 N배 커진다는 문제가 있다. 전류가 크면 EL 소자의 수명을 저하시키는 경우가 있다. 이 과제를 해결하기 위해서는, EL 소자(15)에 역바이어스 전압 Vm을 인가하는 것이 효과적이다.

EL 소자(15)에서, 전자는 음극(캐소드)으로부터 전자 수송층에 주입되고, 또한 정공도 양극(애노드)으로부터 정공 수송층으로 주입된다. 주입된 전자, 정공은 인가 전계에 의해 쌍극으로 이동한다. 그 때, 유기층 중에 트랩되거나, 발광층 계면에서의 에너지 준위의 차에 의해 캐리어가 축적되거나 한다.

유기층 중에 공간 전하가 축적되면 분자가 산화 또는 환원되어, 생성된 래디컬 음이온 분자 또는 래디컬 양이온 분자가 불안정한 것에 의해, 막질의 저하에 의해 휘도의 저하 및 정전류 구동 시의 구동 전압의 상승을 초래하는 것이 알려져 있다. 이것을 막기 위해, 일례로서 장치 구조를 변화시켜, 역방향 전압을 인가하고 있다.

역바이어스 전압이 인가되면, 역방향 전류가 인가되는 것으로 되기 때문에, 주입된 전자 및 정공이 각각 음극 및 양극으로 방출된다. 이에 따라, 유기층 중의 공간 전하 형성을 해소하여, 분자의 전기 화학적 열화를 억제하는 것으로 수명을 길게 하는 것이 가능해진다.

도 45는 역바이어스 전압 Vm 및 EL 소자(15)의 단자 전압의 변화를 나타내고 있다. 여기서, 단자 전압이란, EL 소자(15)에 정격 전류를 인가했을 때의 전압이다. 도 45는 EL 소자(15)에 흘리는 전류가 전류 밀도 100A/㎡인 경우를 나타내고 있지만, 도 45에 나타내는 경향은 전류 밀도 50 100A/㎡의 경우와 거의 차가 없었다. 따라서, 넓은 범위의 전류 밀도로 적용할 수 있다고 추정된다.

종축은 초기의 EL 소자(15)의 단자 전압에 대하여, 2500시간 후의 단자 전압과의 비를 나타내고 있다. 예컨대, 경과 시간 0시간에, 전류 밀도 100A/㎡의 전류를 인가했을 때의 단자 전압을 8V라 하고, 경과 시간 2500시간에서, 전류 밀도 100A/㎡의 전류를 인가했을 때의 단자 전압을 10V라고 하면, 단자 전압비는 10/8=1.25이다.

횡축은 역바이어스 전압 Vm과 1주기로 역바이어스 전압을 인가한 시간 t1의 곱에 대한 정격 단자 전압 V0의 비를 나타내고 있다. 예컨대, 60Hz(특히, 60Hz에 의미는 없지만)이고, 역바이어스 전압 Vm을 인가한 시간이 1/2이면, t1=0.5이다. 또한, 경과 시간 0시간에, 전류 밀도 100A/㎡의 전류를 인가했을 때의 단자 전압(정격 단자 전압)을 8V로 하고, 역바이어스 전압 Vm을 8V로 하면, ｜역바이어스 전압×t1｜/(정격 단자 전압×t2)=｜-8(V)×0.5｜/(8(V)×0.5)=1.0으로 된다.

도 45에 따르면, ｜역바이어스 전압×t1｜/(정격 단자 전압×t2)가 1.0 이상으로 단자 전압비의 변화는 없어진다(초기의 정격 단자 전압으로부터 변화하지 않음). 역바이어스 전압 Vm의 인가에 의한 효과가 잘 발휘되어 있다. 그러나, ｜역바이아스 전압×t1｜/(정격 단자 전압×t2)가 1.75 이상으로 단자 전압비는 증가하는 경향이 있다. 따라서, ｜역바이어스 전압×t1｜/(정격 단자 전압×t2)가 1.0 이상으로 되도록 역바이어스 전압 Vm의 크기 및 인가 시간비 t1(또는 t2, 또는 t1과 t2의 비율)을 결정하면 좋다. 또한, 바람직하게는, ｜역바이어스 전압×t1｜/(정격 단자 전압×t2)이 1.75 이하로 되도록 역바이어스 전압 Vm의 크기 및 인가 시간비 t1 등을 결정하면 좋다.

단, 바이어스 구동을 행하는 경우에는, 역바이어스 Vm과 정격 전류를 교대로 인가해야 한다. 도 46에 나타내는 경우에서, 샘플 A와 샘플 B의 단위 시간당 평균 휘도를 같게 하고자 하면, 역바이어스 전압을 인가할 때에는, 인가하지 않을 때와 비교하여 순간적으로는 높은 전류를 흘릴 필요가 있다. 그 때문에, 역바이아스 전압 Vm을 인가하는 경우(도 46의 샘플 A)의 EL 소자(15)의 단자 전압도 높게 된다.

그러나, 도 45에서는, 역바이어스 전압을 인가하는 구동 방법에서도, 정격 단자 전압 V0은 평균 휘도를 만족하는 단자 전압(즉, EL 소자(15)를 점등하는 단자 전압)으로 한다(본 명세서의 구체예에 따르면, 전류 밀도 200A/㎡의 전류가 인가되었을 때의 단자 전압이다. 단, 1/2듀티이므로, 1주기의 평균 휘도는 전류 밀도 200A/㎡에서의 휘도로 된다).

이상의 사항은 EL 소자(15)에 백 래스터 표시시키는 경우(화면 전체의 EL 소자에 최대 전류를 인가하고 있는 경우)를 상정하고 있다. 그러나, EL 표시 장치에서 영상 표시를 행하는 경우에는, 자연 화상이며, 계조 표시를 행한다. 따라서, 늘 EL 소자(15)의 백 피크 전류(최대 백 표시에 흐르는 전류. 본 명세서의 구체예에서는, 평균 전류 밀도 100A/㎡

의 전류)가 흐르는 것은 아니다.

일반적으로, 영상 표시를 행하는 경우, 각 EL 소자(15)에 인가되는 전류(흐르는 전류)는 백 피크 전류(정격 단자 전압시에 흐르는 전류. 본 명세서의 구체예에 따르면, 전류 밀도 100A/㎡의 전류)의 약 0.2배이다.

따라서, 도 45에 나타내는 실시예에서는, 영상 표시를 행하는 경우에는 횡축의 값에 0.2를 거는 것으로 해야 한다. 따라서, |역바이어스 전압×t1|/(정격 단자 전압×t2)이 0.2 이상으로 되도록 역바이어스 전압 Vm의 크기 및 인가 시간비 t1(또는 t2, 또는 t1과 t2의 비율 등)을 결정하면 좋다. 또한, 바람직하게는, |역바이어스 전압×t1|/(정격 단자 전압×t2)가 1.75×0.2=0.35 이하로 되도록 역바이어스 전압 Vm의 크기 및 인가 시간비 t1 등을 결정하면 좋다.

즉, 도 45의 횡축(|역바이어스 전압×t1|/(정격 단자 전압×t2))에서, 1.0의 값을 0.2로 할 필요가 있다. 따라서, 표시 패널에 영상을 표시할(이 사용 상태가 통상일 것이다. 백 래스터를 상시 표시하는 것은 아닐 것임) 때에는, |역바이어스 전압×t1|/(정격 단자 전압×t2)가 0.2보다도 커지도록, 역바이어스 전압 Vm을 소정 시간 t1 전압을 인가하도록 한다. 또한, |역바이어스 전압×t1|/(정격 단자 전압×t2)의 값이 커지더라도, 도 45에서 나타내는 바와 같이, 단자 전압비의 증가는 크지 않다. 따라서, 상한값은 백 래스터 표시를 실시하는 것도 고려하여, |역바이어스 전압×t1|/(정격 단자 전압×t2)의 값이 1.75 이하를 만족하도록 하면 좋다.

이하, 도면을 참조하면서, 본 발명의 역바이어스 방식에 대하여 설명한다. 또, 본 발명은 EL 소자(15)에 전류가 흐르지 않은 기간에 역바이어스 전압 Vm(전류)를 인가하는 것을 기본으로 한다. 그러나, 이것에 한정되는 것은 아니다. 예컨대, EL 소자(15)에 전류가 흐르고 있는 상태에서, 강제적으로 역바이어스 전압 Vm을 인가하여도 좋다. 또, 이 경우에는, 결과적으로 EL 소자(15)에는 전류가 흐르지 않고, 비점등 상태(흑 표시 상태)로 될 것이다. 또한, 본 발명은 주로 전류 프로그래밍의 화소 구성으로 역바이어스 전압 Vm을 인가하는 것을 중심으로 해서 설명하지만 이것에 한정되는 것은 아니다.

역바이어스 구동의 화소 구성에서는, 도 47에 나타내는 바와 같이, 트랜지스터(11g)를 N채널로 한다. 물론, P채널이어도 좋다.

도 47에서는, 게이트 전위 제어선(473)에 인가하는 전압을 역바이어스선(471)에 인가하고 있는 전압보다도 높게 함으로써, 트랜지스터(11g(N))가 온 상태로 되어, EL 소자(15)의 애노드 전극에 역바이어스 전압 Vm이 인가된다.

또한, 도 47의 화소 구성 등에 있어서, 게이트 전위 제어선(473)을 상시, 전위 고정하여 동작시켜도 좋다. 예컨대, 도 47에서 Vk 전압을 0V로 할 때, 게이트 전위 제어선(473)의 전위를 0V 이상(바람직하게는 2V 이상)으로 한다. 또, 이 전위를 Vsg로 한다. 이 상태에서, 역바이어스선(471)의 전위를 역바이어스 전압 Vm(0V 이하, 바람직하게는 Vk보다 -5V 이상 작은 전압)으로 하면, 트랜지스터(11g(N))가 온 상태로 되어, EL 소자(15)의 애노드에, 역바이어스 전압 Vm이 인가된다. 역바이어스선(471)의 전압을 게이트 전위 제어선(473)의 전압(즉, 트랜지스터(11g)의 게이트 단자 G 전압)보다도 높게 하면, 트랜지스터(11g)는 오프 상태로 되기 때문에, EL 소자(15)에는 역바이어스 전압 Vm은 인가하지 않는다. 물론, 이 상태일 때에, 역바이어스선(471)을 하이 임피던스 상태(오픈 상태 등)로 하여도 되는 것은 물론이다.

또한, 도 48에 나타내는 바와 같이, 역바이어스선(471)을 제어하는 게이트 드라이버(12c)를 별도 형성 또는 배치하여도 좋다. 게이트 드라이버(12c)는 게이 트 드라이버(12a)와 마찬가지로 순차적으로 시프트 동작하고, 시프트 동작에 동기하여, 역바이어스 전압을 인가하는 위치가 시프트된다.

이상의 구동 방법에서는, 트랜지스터(11g)의 게이트 단자 G는 전위 고정하고, 역바이어스선(471)의 전위를 변화시키는 것만으로, EL 소자(15)에 역바이어스 전압 Vm을 인가할 수 있다. 따라서, 역바이어스 전압 Vm의 인가 제어가 용이하다. 또한, 트랜지스터(11g)의 게이트 단자 G와 소스 단자 S 사이에 인가되는 전압을 감소시킬 수 있다. 이것은 트랜지스터(11g)가 P채널일 경우에도 마찬가지이다.

또한, 역바이어스 전압 Vm의 인가는 EL 소자(15)에 전류가 흘르지 않을 때에 실행하는 것이다. 따라서, 트랜지스터(11d)가 온 상태로 되지 않은 때에, 트랜지스터(11g)를 온 상태로 함으로써 실행하면 좋다. 즉, 트랜지스터(11d)의 온 오프 논리의 역을 게이트 전위 제어선(473)에 인가하면 좋다. 예컨대, 도 47에서는, 게이트 신호선(17b)에 트랜지스터(11d) 및 트랜지스터(11g)의 게이트 단자 G를 접속하면 좋다. 트랜지스터(11d)는 P채널이며, 트랜지스터(11g)는 N채널이기 때문에, 온 오프 동작은 반대로 된다.

도 49는 역바이어스 구동의 타이밍 차트이다. 또, 챠트에서 (1)(2) 등의 첨자는 화소행을 나타내고 있다. 설명을 쉽게 하기 위해, (1)은 제 1 화소행 째를 나타내고, (2)는 제 2 화소행 째를 나타내는 것으로 설명하지만, 이것에 한정되는 것은 아니다. (1)이 N화소행 째를 나타내고, (2)가 N+1화소행 째를 나타낸다고 생각하여도 좋다. 이상의 것은 다른 실시예에서도, 특별한 예를 제외하고 마찬가지이다. 또한, 도 49 등의 실시예에서는, 도 1 등의 화소 구성을 예시하여

설명하지 만 이것에 한정되는 것은 아니다. 예컨대, 도 41, 도 38 등의 화소 구성에도 적용할 수 있는 것이다.

제 1 화소행 째의 게이트 신호선(17a(1))에 온 상태 전압 Vgl이 인가되어 있을 때에는, 제 1 화소행 째의 게이트 신호선(17b(1))에는 오프 상태 전압 Vgh가 인가된다. 즉, 트랜지스터(11d)는 오프 상태이며, EL 소자(15)에는 전류가 흐르지 않는다.

역바이어스선(471(1))에는, Vsl 전압(트랜지스터(11g)가 온 상태로 되는 전압)이 인가된다. 따라서, 트랜지스터(11g)가 온 상태로 되고, EL 소자(15)에는 역바이어스 전압이 인가되어 있다. 역바이아스 전압은 게이트 신호선(17b)에 오프 상태 전압 Vgh가 인가된 후, 소정 기간(1H의 1/200 이상의 기간, 또는, 0.5μsec) 후에, 역바이어스 전압이 인가된다. 또한, 게이트 신호선(17b)에 온 상태 전압 Vgl이 인가되는 소정 기간(1H의 1/200 이상의 기간, 또는 0.5μsec) 전에, 역바이어스 전압이 오프 상태로 된다. 이것은 트랜지스터(11d)와 트랜지스터(11g)가 동시에 온 상태로 되는 것을 피하기 위함이다.

다음 수평 주사 기간 1H에서, 게이트 신호선(17a)에는 오프 상태 전압 Vgh가 인가되어, 제 2 화소행이 선택된다. 즉, 게이트 신호선(17b(2))에 온 상태 전압이 인가된다. 한편, 게이트 신호선(17b)에는 온 상태 전압 Vgl이 인가되고, 트랜지스터(11d)가 온 상태로 되어, EL 소자(15)에 트랜지스터(11a)로부터 전류가 흘러 EL 소자(15)가 발광한다. 또한, 역바이어스선(471(1))에는 오프 상태 전압 Vsh가 인가되어, 제 1 화소행 (1)의 EL 소자(15)에는 역바이어스 전압이 인가되지 않게 된 다. 제 2 화소행의 역바이어스선(471(2))에는 Vsl 전압(역바이어스 전압)이 인가된다.

이상의 동작을 순차적으로 반복함으로써, 1화면의 화상이 오버라이트된다. 이상의 실시예에서는, 각 화소에 프로그래밍되어 있는 기간에, 역바이어스 전압을 인가한다고 하는 구성이었다. 그러나, 본 발명은 도 48에 나타내는 회로 구성에 한정되는 것은 아니다. 복수의 화소행에 연속하여 역바이어스 전압을 인가하는 것도 할 수 있는 것은 분명하다. 또한, 블럭 구동(도 40 참조), N배 펄스 구동, 리셋 구동, 더미 화소 구동 등으로 조합할 수 있는 것은 분명하다.

또한, 역바이어스 전압의 인가는 화상 표시의 도중에 실시하는 것에 한정되는 것은 아니다. EL 표시 장치의 전원 오프 후, 일정한 기간 동안, 역바이어스 전압이 인가되도록 구성하여도 좋다.

이상의 실시예는 도 1에 나타내는 화소 구성의 경우였지만, 다른 구성에서도, 도 38, 도 41 등의 역바이어스 전압을 인가하는 구성에 적용할 수 있는 것은 물론이다. 예컨대, 도 50에 나타내는 전류 프로그래밍 방식의 화소 구성에 적용하는 것도 가능하다.

도 50은 커런트 미러의 화소 구성이다. 트랜지스터(11c)는 화소 선택 소자이다. 게이트 신호선(17a1)에 온 상태 전압을 인가함으로써, 트랜지스터(11c)가 온 상태로 된다. 트랜지스터(11d)는 리셋 기능과, 구동용 트랜지스터(11a)의 드레인(D)-게이트 단자 G 사이를 단락(GD 단락)하는 기능을 갖는 스위치 소자이다. 트랜지스터(11d)는 게이트 신호선(17a2)에 온 상태 전압을 인가함으로써 온 상태로 된다.

트랜지스터(11d)는 해당 화소가 선택하는 1H(1수평 주사 기간, 즉 1화소행)이상 이전에 온 상태로 된다. 바람직하게는 3H 이전에는 온 상태로 한다. 3H 이전이라고 하면, 3H 이전에 트랜지스터(11d)가 온 상태로 되어, 트랜지스터(11a)의 게이트 단자 G와 드레인(D) 단자가 단락된다. 그 때문에, 트랜지스터(11a)는 오프 상태로 된다. 따라서, 트랜지스터(11b)에는 전류가 흐르지 않게 되어, EL 소자(15)는 비점등으로 된다.

EL 소자(15)가 비점등 상태인 경우, 트랜지스터(11g)가 온 상태로 되어, EL 소자(15)에 역바이어스 전압이 인가된다. 따라서, 역바이어스 전압은 트랜지스터(11d)가 온 상태로 되어 있는 동안 인가되게 된다. 그 때문에, 논리적으로는 트랜지스터(11d)와 트랜지스터(11g)는 동시에 온 상태로 되는 것이 된다.

트랜지스터(11g)의 게이트 단자 G는 Vsg 전압이 인가되고 고정되어 있다. 역바이어스선(471)을 Vsg 전압보다 충분히 작은 역바이어스 전압을 역바이어스선(471)에 인가함으로써 트랜지스터(11g)가 온 상태로 된다.

그 후, 상기 해당 화소에 화상 신호가 인가되는(기입되는) 수평 주사 기간이 오면, 게이트 신호선(17a1)에 온 상태 전압이 인가되어, 트랜지스터(11c)가 온 상태로 된다. 따라서, 소스 드라이버(14)로부터 소스 신호선(18)에 출력된 화상 신호 전압이 콘덴서(19)에 인가된다(트랜지스터(11d)는 온 상태가 유지되고 있음).

트랜지스터(11d)를 온 상태로 하면 흑 표시로 된다. 1필드(1프레임) 기간에 차지하는 트랜지스터(11d)의 온 상태 기간이 길게 될수록, 흑 표시 기간의 비율이 길게 된다. 따라서, 흑 표시 기간이 존재하여도 1필드(1프레임)의 평균 휘도를 소망값으로 하기 위해서는, 표시 기간의 휘도를 높게 해야 한다. 즉, 표시 기간에 EL 소자(15)에 흘리는 전류를 크게 할 필요가 있다. 이 동작은 본 발명의 N배 펄스 구동이다. 따라서, N배 펄스 구동과, 트랜지스터(11d)를 온 상태로 하여 흑 표시로 하는 구동을 조합하는 것이 본 발명의 하나의 특징 있는 동작이다. 또한, EL 소자(15)가 비점등 상태에서, 역바이어스 전압을 EL 소자(15)에 인가하는 것이 본 발명의 특징 있는 구성(방식)이다.

이상의 실시예에서는, 화상 표시를 행하는 경우에, 화소가 비점등 상태일 때에 역바이어스 전압을 인가하는 방식이지만, 역바이어스 전압을 인가하는 구성은 이것에 한정되는 것은 아니다. 화상을 비표시로 역바이어스 전압을 인가하는 것이면, 역바이어스용 트랜지스터(11g)를 각 화소에 형성할 필요는 없다. 여기서 비점등 상태란, 표시 패널의 사용을 종료한 후, 또는 사용 전에 역바이어스 전압을 인가하고 있는 상태이다.

예컨대, 도 1의 화소 구성에서, 화소(16)를 선택하여(트랜지스터(11b), 트랜지스터(11c)를 온 상태로 함), 소스 드라이버(회로)(14)로부터, 소스 드라이버가 출력할 수 있는 낮은 전압 V0(예컨대, GND 전압)을 출력하여 구동용 트랜지스터(11a)의 드레인 단자 D에 인가한다. 이 상태에서 트랜지스터(11d)도 온 상태로 하면 EL의 애노드 단자에 V0 전압이 인가된다. 동시에, EL 소자(15)의 캐소드 Vk에 V0 전압에 대하여, -5 -15V의 낮은 전압 Vm을 인가하면 EL 소자(15)에 역바이어스 전압이 인가된다. 또한, Vdd 전압도 V0 전압보다 0 -5V의 낮은 전압 을 인가함으로써, 트랜지스터(11a)도 오프 상태로 된다. 이상과 같이 소스 드라이버(14)로부터 전압을 출력하여, 게이트 신호선(17)을 제어함으로써, 역바이어스 전압을 EL 소자(15)에 인가할 수 있다.

N배 펄스 구동은 1필드(1프레임) 기간 내에, 한 번, 흑 표시를 행하여도 재차, EL 소자(15)에 소정의 전류(프로그래밍된 전류(콘덴서(19)에 유지되어 있는 전압에 의한))를 흘릴 수 있다. 그러나, 도 50에 나타내는 구성에서는, 한번, 트랜지스터(11d)가 온 상태로 되면, 콘덴서(19)의 전하는 방전(감소를 포함함)되기 때문에, EL 소자(15)에 소정 전류(프로그래밍된 전류)를 흘릴 수 없다. 그러나, 회로 동작이 용이하다고 하는 특징이 있다.

또, 이상의 실시예는 전류 프로그래밍 방식의 경우의 화소 구성이었지만, 본 발명은 이것에 한정되는 것이 아니라, 도 38, 도 50과 같은 다른 전류 방식의 화소 구성에도 적용할 수 있다. 또한, 도 51, 도 54, 도 62에 나타내는 바와 같은 전압 프로그래밍의 화소 구성이라도 적용할 수 있다.

도 51은 일반적으로 가장 간단한 전압 프로그래밍의 화소 구성을 나타내고 있다. 트랜지스터(11b)는 선택 스위칭 소자이며, 트랜지스터(11a)는 EL 소자(15)에 전류를 인가하는 구동용 트랜지스터이다. 이 구성에서, EL 소자(15)의 애노드에 역바이어스 전압 인가용 트랜지스터(스위칭 소자)(11g)를 배치(형성)하고 있다.

도 51에 나타내는 화소 구성에서는, EL 소자(15)에 흘리는 전류는 소스 신호선(18)에 공급되어, 트랜지스터(11b)가 선택됨으로써, 트랜지스터(11a)의 게이트 단자 G에 공급된다.

우선, 도 51에 나타내는 구성을 설명하기 위해, 기본 동작에 대하여 도 52를 이용해서 설명한다. 도 51에 나타내는 화소는 전압 오프셋 제거기라고 불리는 구성이며, 초기화 동작, 리셋 동작, 프로그래밍 동작, 발광 동작의 4단계로 동작한다.

수평 동기 신호 HD 후, 초기화 동작이 실시된다. 게이트 신호선(17b)에 온 상태 전압이 인가되어, 트랜지스터(11g)가 온 상태로 된다. 또한, 게이트 신호선(17a)에도 온 상태 전압이 인가되어, 트랜지스터(11c)가 온 상태로 된다. 이 때, 소스 신호선(18)에는 Vdd 전압이 인가된다. 따라서, 콘덴서(19b)의 단자 a에는 Vdd 전압이 인가되게 된다. 이 상태에서, 구동용 트랜지스터(11a)는 온 상태로 되어, EL 소자(15)에 미소한 전류가 흐른다. 이 전류에 의해 구동용 트랜지스터(11a)의 드레인 단자 D는 적어도 트랜지스터(11a)의 동작점보다도 큰 절대값의 전압값으로 된다.

다음에 리셋 동작이 실시된다. 게이트 신호선(17b)에 오프 상태 전압이 인가되어, 트랜지스터(11e)가 오프 상태로 된다. 한편, 게이트 신호선(17c)에 t1의 기간, 온 상태 전압이 인가되어, 트랜지스터(11b)가 온 상태로 된다. 이 t1의 기간이 리셋 기간이다. 또한, 게이트 신호선(17a)에는 1H의 기간, 계속하여 온 상태 전압이 인가된다. 또, t1은 1H 기간의 20% 이상 90% 이하의 기간으로 하는 것이 바람직하다. 또는, 20μsec 이상 160μsec 이하의 시간으로 하는 것이 바람직하다. 또한, 콘덴서(19b(Cb))와 콘덴서(19a(Ca))의 용량 비율은 Cb:Ca=6:1 이상 1:2 이하로 하는 것이 바람직하다.

리셋 기간에는, 트랜지스터(11b)의 온 상태에 의해, 구동용 트랜지스터(11a)의 게이트 단자 G와 드레인 단자 D 사이가 단락된다. 따라서, 트랜지스터(11a)의 게이트 단자 G 전압과 드레인 단자 D 전압이 같게 되어, 트랜지스터(11a)는 오프셋 상태(리셋 상태 : 전류가 흐르지 않는 상태)로 된다. 이 리셋 상태란, 트랜지스터(11a)의 게이트 단자 G가 전류를 흘리기 시작하는 개시 전압 근방이 되는 상태이다. 이 리셋 상태를 유지하는 게이트 전압은 콘덴서(19b)의 단자 b에 유지된다. 따라서, 콘덴서(19)에는, 오프셋 전압(리셋 전압)이 유지되어 있게 된다.

다음 프로그래밍 상태에서는, 게이트 신호선(17c)에 오프 상태 전압이 인가되어 트랜지스터(11b)가 오프 상태로 된다. 한편, 소스 신호선(18)에는, Td의 기간, DATA 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G에는 DATA 전압+오프셋 전압(리셋 전압)이 부가된 것이 인가된다. 그 때문에, 구동용 트랜지스터(11a)는 프로그래밍된 전류를 흘릴 수 있게 된다.

프로그래밍 기간 후, 게이트 신호선(17a)에는 오프 상태 전압이 인가되어, 트랜지스터(11c)는 오프 상태로 되고, 구동

용 트랜지스터(11a)는 소스 신호선(18)으로부터 차단된다. 또한, 게이트 신호선(17c)에도 오프 상태 전압이 인가되어, 트랜지스터(11b)는 오프 상태로 되고, 이 오프 상태는 1F의 기간 유지된다. 한편, 게이트 신호선(17b)에는, 필요에 따라 온 상태 전압과 오프 상태 전압이 주기적으로 인가된다. 즉, 도 13, 도 15 등에 나타내는 N배 펄스 구동 등으로 조합하는 것, 인터레이스 구동과 조합함으로써 더 양호한 화상 표시를 실현할 수 있다.

도 52에 나타내는 구동 방식에서는, 콘덴서(19)에는, 리셋 상태로, 트랜지스 터(11a)의 개시 전류 전압(오프셋 전압, 리셋 전압)이 유지된다. 그 때문에, 이 리셋 전압이 트랜지스터(11a)의 게이트 단자 G에 인가되어 있을 때가, 가장 어두운 흑 표시 상태이다. 그러나, 소스 신호선(18)과 화소(16)의 커플링, 콘덴서(19)에의 관통 전압 또는 트랜지스터의 관통에 의해, 흑 부유(계조 저하)가 발생한다. 따라서, 도 52에 나타내는 구동 방식에서는, 표시 계조를 높게 할 수가 없다.

역바이어스 전압 Vm을 EL 소자(15)에 인가하기 위해서는, 트랜지스터(11a)를 오프 상태로 할 필요가 있다. 트랜지스터(11a)를 오프 상태로 하기 위해서는, 트랜지스터(11a)의 Vdd 단자와 게이트 단자 G 사이를 단락하면 좋다. 이 구성에서는, 후에 도 53을 이용해서 설명한다.

또한, 소스 신호선(18)에 Vdd 전압 또는 트랜지스터(11a)를 오프 상태로 하는 전압을 인가해서, 트랜지스터(11b)를 온 상태로 하여 트랜지스터(11a)의 게이트 단자 G에 인가시켜도 좋다. 이 전압에 의해 트랜지스터(11a)가 오프 상태로 된다(또는, 거의 전류가 흐르지 않는 것과 같은 상태로 함(대략 오프 상태 : 트랜지스터(11a)가 고임피던스 상태)). 그 후, 트랜지스터(11g)를 온 상태로 하여, EL 소자(15)에 역바이어스 전압을 인가한다. 이 역바이어스 전압 Vm의 인가는 전체 화소 동시에 행하여도 좋다. 즉, 소스 신호선(18)에 트랜지스터(11a)를 대략 오프 상태로 하는 전압을 인가하여, 모든(복수의) 화소행의 트랜지스터(11b)를 온 상태로 한다. 따라서, 트랜지스터(11a)가 오프 상태로 된다. 그 후, 트랜지스터(11g)를 온 상태로 하여, 역바이어스 전압을 EL 소자(15)에 인가한다. 그 후, 순차적으로, 각 화소행에 화상 신호를 인가하여, 표시 장치에 화상을 표시 한다.

다음에, 도 51에 나타내는 화소 구성에서의 리셋 구동에 대하여 설명을 한다. 도 53은 그 실시예를 나타내고 있다. 도 53에 나타내는 바와 같이, 화소(16a)의 트랜지스터(11c)의 게이트 단자 G에 접속된 게이트 신호선(17a)은 다음단 화소(16B)의 리셋용 트랜지스터(11b)의 게이트 단자 G에도 접속되어 있다. 마찬가지로, 화소(16B)의 트랜지스터(11c)의 게이트 단자 G에 접속된 게이트 신호선(17a)은 다음단 화소(16c)의 리셋용 트랜지스터(11b)의 게이트 단자 G에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11c)의 게이트 단자 G에 접속된 게이트 신호선(17a)에 온 상태 전압을 인가하면, 화소(16a)가 전압 프로그래밍 상태로 되고, 또한 다음단 화소(16B)의 리셋용 트랜지스터(11b)가 온 상태로 되어, 화소(16b)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 마찬가지로, 화소(16B)의 트랜지스터(11c)의 게이트 단자 G에 접속된 게이트 신호선(17a)에 온 상태 전압을 인가하면, 화소(16B)가 전류 프로그래밍 상태로 되고, 또한 다음단 화소(16c)의 리셋용 트랜지스터(11b)가 온 상태로 되어, 화소(16c)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리셋 구동을 실현할 수 있다. 또한, 각 화소 당 게이트 신호선의 인출 수를 감소시킬 수 있다.

더욱 자세히 설명한다. 도 53(a)에 나타내는 바와 같이, 게이트 신호선(17)에 전압이 인가되어 있는 것으로 한다. 즉, 화소(16a)의 게이트 신호선(17a)에 온 상태 전압이 인가되고, 다른 화소(16)의 게이트 신호선(17a)에 오프 상태 전압이 인가되어 있는 것으로 한다. 또한, 화소(16a, 16b)의 게이트 신호선(17b)에는 오프 상태 전압이 인가되고, 화소(16c, 16d)의 게이트 신호선(17b)에는 온 상태 전압이 인가되어 있는 것으로 한다.

이 상태에서는, 화소(16a)는 전압 프로그래밍 상태에서 비점등, 화소(16B)는 리셋 상태에서 비점등, 화소(16c)는 프로그래밍 전류의 유지 상태에서 점등, 화소(16d)는 프로그래밍 전류의 유지 상태에서 점등 상태이다.

1H 후, 제어용 게이트 드라이버(12)의 시프트 레지스터 회로(61) 내의 데이터가 1비트 시프트하여, 도 53(b)에 나타내는 상태로 된다. 도 53(b)에 나타내는 상태에서는, 화소(16a)가 프로그래밍 전류 유지 상태에서 점등, 화소(16B)가 전류 프로그래밍 상태에서 비점등, 화소(16c)가 리셋 상태에서 비점등, 화소(16d)가 프로그래밍 유지 상태로 점등 상태로 된다.

이상으로부터, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 다음단의 화소의 구동용 트랜지스터(11a)가 리셋되어, 다음 수평 주사 기간에 전압 프로그래밍이 순차적으로 행해지는 것을 알 수 있다.

도 43에 나타내는 전압 프로그래밍의 화소 구성이라도 전단 게이트 제어를 실현할 수 있다. 도 54는 도 43의 화소 구성을 전단 게이트 제어 방식의 접속으로 한 실시예를 나타내고 있다.

도 54에 나타내는 바와 같이, 화소(16a)의 트랜지스터(11b)의 게이트 단자 G에 접속된 게이트 신호선(17a)은 다음단

화소(16B)의 리셋용 트랜지스터(11e)의 게이트 단자 G에 접속되어 있다. 마찬가지로, 화소(16B)의 트랜지스터(11b)의 게이 트 단자 G에 접속된 게이트 신호선(17a)은 다음단 화소(16c)의 리셋용 트랜지스터(11e)의 게이트 단자 G에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11b)의 게이트 단자 G에 접속된 게이트 신호선(17a)에 온 상태 전압을 인가하면, 화소(16a)가 전압 프로그래밍 상태로 되고, 또한 다음단 화소(16B)의 리셋용 트랜지스터(11e)가 온 상태로 되어, 화소(16B)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 마찬가지로, 화소(16B)의 트랜지스터(11b)의 게이트 단자 G에 접속된 게이트 신호선(17a)에 온 상태 전압을 인가하면, 화소(16B)가 전류 프로그래밍 상태로 되고, 또한 다음단 화소(16c)의 리셋용 트랜지스터(11e)가 온 상태로 되어, 화소(16c)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리셋 구동을 실현할 수 있다.

더욱 자세하게 설명한다. 도 55(a)에 나타내는 바와 같이, 게이트 신호선(17)에 전압이 인가되어 있는 것으로 한다. 즉, 화소(16a)의 게이트 신호선(17a)에 온 상태 전압이 인가되고, 다른 화소(16)의 게이트 신호선(17a)에 오프 상태 전압이 인가되어 있는 것으로 한다. 또한, 모든 역바이어스용 트랜지스터(11g)는 오프 상태라 한다.

이 상태에서는, 화소(16a)는 전압 프로그래밍 상태, 화소(16B)는 리셋 상태, 화소(16c)는 프로그래밍 전류의 유지 상태, 화소(16d)는 프로그래밍 전류의 유지 상태이다.

1H 후, 제어용 게이트 드라이버(12)의 시프트 레지스터 회로(61) 내의 데이 터가 1비트 시프트하여, 도 55(b)에 나타내는 상태로 된다. 도 55(b)에 나타내는 상태에서는, 화소(16a)가 프로그래밍 전류 유지 상태, 화소(16b)가 전류 프로그래밍 상태, 화소(16c)가 리셋 상태, 화소(16d)가 프로그래밍 유지 상태로 된다.

이상으로부터, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 다음단의 화소의 구동용 트랜지스터(11a)가 리셋되어, 다음 수평 주사 기간에 전압 프로그래밍이 순차적으로 행해지는 것을 알 수 있다.

전류 구동 방식에서, 완전한 흑 표시를 행하는 경우, 화소의 구동용 트랜지스터(11)에 프로그래밍되는 전류는 0이다. 즉, 소스 드라이버(14)로부터는 전류가 흐르지 않는다. 전류가 흐르지 않으면, 소스 신호선(18)에 발생한 기생 용량을 충방전할 수 없어, 소스 신호선(18)의 전위를 변화시킬 수 없다. 따라서, 구동용 트랜지스터의 게이트 전위도 변화하지 않게 되고, 1프레임(필드)(1F) 전의 전위가 콘덴서(19)에 축적된 채로 된다. 예컨대, 1프레임 전이 백 표시이고, 다음 프레임이 완전 흑 표시라도 백 표시가 유지되게 된다. 이 과제를 해결하기 위해, 본 발명에서는, 1수평 주사 기간(1H)의 최초에 흑 레벨의 전압을 소스 신호선(18)에 기입하고 나서, 소스 신호선(18)에 프로그래밍하는 전류를 출력한다. 예컨대, 영상데이터가 흑 레벨에 가까운 0계조 째 7계조 째일 경우, 1수평 기간의 처음의 일정기간에만 흑 레벨에 상당하는 전압이 기입되고, 전류 구동의 부담이 줄어, 기입 부족을 보충하는 것이 가능해진다. 여기서, 예컨대, 64계조 표시의 경우에도, 완전한 흑 표시를 0계조 째로 하고, 완전한 백 표시를 63계조 째로 한다.

또, 충전을 행하는 계조는 흑 표시 영역에 한정해야 한다. 즉, 기입 화상 데이터를 판정하여, 흑 영역 계조(저휘도, 즉, 전류 구동 방식에서는, 기입 전류가 작음(미소(微小)))를 선택하여 충전한다(선택 충전). 전체 계조 데이터에 대하여, 충전하면, 이번에는 백 표시 영역에서, 휘도의 저하(목표 휘도에 도달하지 않음)가 발생한다. 또한, 화상에 세로줄이 표시된다.

바람직하게는, 계조 데이터의 계조 0부터 1/8의 영역의 계조로, 선택 충전을 행한다(예컨대, 64계조일 때에는, 0계조 째로부터 7계조 째까지의 화상 데이터일 때, 충전을 하고 나서, 화상 데이터를 기입한다). 또한, 바람직하게는, 계조 데이터의 계조 0부터 1/16의 영역의 계조로, 선택 충전을 행한다(예컨대, 64계조일 경우, 0계조 째로부터 3계조 째까지의 화상 데이터일 때, 충전을 하고 나서, 화상 데이터를 기입한다).

특히, 흑 표시로, 계조를 높게 하기 위해서는, 계조 0만을 검출하여 충전하는 방식도 효과적이다. 이에 따라, 흑 표시가 매우 양호하게 된다. 문제는 화면 전체가 계조 1, 2일 경우, 화면에 흑 부유가 관찰되는 것이다. 따라서, 계조 데이터의 계조 0부터 1/8의 영역의 계조와, 일정한 범위에서 선택 충전을 행한다.

또, 충전의 전압, 계조 범위는 R, G, B에서 다르게 하는 것도 효과적이다. EL 표시 소자(15)는 R, G, B에서 발광 개시 전압, 발광 휘도가 다르기 때문이다. 예컨대, R은 계조 데이터의 계조 0부터 1/8의 영역의 계조로, 선택 충전을 행한다(예컨대, 64 계조일 때에는, 0계조 째로부터 7계조 째까지의 화상 데이터일 때, 충전을 하고 나서, 화상 데이터를 기입한다). 다른 색 G, B는 계조 데이터의 계조 0부터 1/16의 영역의 계조로, 선택 충전을 행한다(예컨대, 64계조일 때에는, 0계조 째로부터 3계조 째까지의 화상 데이터일 때, 충전을 하고 나서, 화상 데이터를 기입함) 등의 제어를 행한다. 또한, 충전 전압도, R이 7V이면, 다른 색 G, B는 7.5V의 전압을 소스 신호선(18)에 기입하도록 한다. 최적의 충전 전압은 EL 표시 패널의 제조 로트에 의해 다른 것이 많다. 따라서, 충전 전압은 외부 볼륨 등으로 조정할 수 있도록 구성해 두는 것이 바람직하다. 이 조정 회로도 전자 볼륨 회로를 이용함으로써 용이하게 실현할 수 있다.

이 후, 본 발명의 전류 구동 방식의 소스 드라이버(회로)(14)에 대하여 설명한다. 본 발명의 소스 드라이버는 상술한 본 발명의 구동 방법, 구동 회로를 실현하기 위해 이용한다. 또한, 본 발명의 구동 방법, 구동 회로 및 표시 장치를 조합시켜 이용한다. 또, 이하의 설명에서는, IC칩으로서 설명하지만 이것에 한정되는 것이 아니라, 저온 폴리실리콘 기술 등을 이용해서, 표시 패널 상에 제작하여도 되는 것은 물론이다.

우선, 도 72에, 본 발명의 전류 구동 방식의 드라이버 회로의 일례를 나타낸다. 도 72에서, 참조 부호 721은 D/A 변환기이다. D/A 변환기(721)에는 n비트의 데이터 신호가 입력되고, 입력된 데이터에 근거해서, D/A 변환기로부터 아날로그 신호가 출력된다. 이 아날로그 신호는 OP 앰프(722)에 입력된다. OP 앰프(722)는 N채널 트랜지스터(631a)에 입력되고, 트랜지스터(631a)에 흐르는 전류가 저항(691)으로 흐른다. 저항 R의 단자 전압은 OP 앰프(722)의 -(마이너스) 입력으로 되고, 이 - 단자의 전압과 OP 앰프(722)의 + 단자는 동일 전압으로 된다. 따라서, D/A 변환기(721)의 출력 전압은 저항(691)의 단자 전압으로 된다.

지금, 저항(691)의 저항값을 1MΩ로 하고, D/A 변환기(721)의 출력이 1V이면, 저항(691)에는 1V/1MΩ=1μA의 전류가 흐른다. 이것이 정전류 회로로 된다. 따라서, 데이터 신호의 값에 따라, D/A 변환기(721)의 아날로그 출력이 변화하고, 이 아날로그 출력값에 근거해서 저항(691)에 소정 전류가 흐른다.

트랜지스터(631p1, 631p2)는 커런트 미러 회로를 구성하고 있다. 또, 트랜지스터(631p)는 P채널형 트랜지스터이다. 한편, 참조 부호 633n은 커런트 미러를 구성하는 n채널형 트랜지스터이다. 구동용 트랜지스터(631a)의 소스-드레인(SD)에도 같은 전류가 흘러, 참조 부호 631p1과 참조 부호 631p2로 구성되는 커런트 미러 회로에도 같은 전류값이 흐르고, 각 트랜지스터(633n)로 구성되는 커런트 미러 회로에도 같은 전류값이 흐르기 때문에, 출력 단자 O1, O2, O3, O4, O5, …는 동일한 전류가 흐르는 정전류 출력 단자로 된다(커런트 배율이 같은 경우).

그러나, IC는 동일한 마스크로부터 동일한 프로세스에 근거해서 제조되어도, 반도체 칩 상에 형성되는 트랜지스터나 저항 등의 각 소자의 전기적 특성은 다르고, 가령 동일 IC라도, 정전류 출력 단자 사이에는 각 출력 전류에 편차가 존재한다. 이와 같이, 각 정전류 출력 단자의 출력 전류값에 편차가 발생하면, 발광 소자의 발광량 등에 편차가 발생하여, 디스플레이 패널에서는 표시 불균일이 발생한다. 따라서, 드라이버 IC(14)를 사용하여, 유기 EL 표시 패널 등의 발광 소자를 구동하는 경우에는, 정전류 출력 단자 사이의 편차를 될 수 있는 한 최소한으로 하는 것이 필요해진다.

그래서, 정전류 출력 단자 사이의 출력 전류의 편차를 될 수 있는 한 최소한 으로 하기 위한 회로 구성, 레이아웃 구성을 갖는 전류 구동형 드라이버 IC(회로)(14)가 요망된다.

도 63에, 본 발명의 전류 구동 방식의 소스 드라이버(회로)(14)의 구성도를 나타낸다. 도 63에서는, 일례로서 전류원을 3단 구성(631, 632, 633)으로 한 경우의 다단식 커런트 미러 회로를 나타내고 있다.

도 63에서, 제 1 단의 전류원(631)의 전류값은 N개(단, N은 임의의 정수)의 제 2 단 전류원(632)에 커런트 미러 회로에 의해 복사된다. 또한, 제 2 단 전류원(632)의 전류값은 M개(단, M은 임의의 정수)의 제 3 단 전류원(633)에 커런트 미러 회로에 의해 복사된다. 이 구성에 의해, 결과적으로 제 1 단 전류원(631)의 전류값은 N×M개의 제 3 단 전류원(633)에 복사되게 된다.

예컨대, QCIF 형식의 표시 패널의 소스 신호선(18)에 한 개의 드라이버 IC(14)로 구동하는 경우에는, 176 출력(소스 신호선이 각 RGB에서 176 출력 필요하기 때문)으로 된다. 이 경우에는, N을 16개로 하고, M은 11개로 한다. 따라서, 16×11=176으로 되어, 176 출력에 대응할 수 있다. 이와 같이, N 또는 M 중 한쪽을 8 또는 16 또는 그 배수로 함으로써, 드라이버 IC의 전류원의 레이아웃 설계가 용이하게 된다.

도 72에 나타내는 전류 구동 방식의 소스 드라이버에서는, 제 1 단 전류원(631)의 전류값을 직접 N×M개의 제 3 단 전류원에 커런트 미러 회로로 복사하고 있었기 때문에, 제 1 단 전류원(631)의 트랜지스터 특성과 제 3 단 전류원의 트랜지스터 특성에 차가 발생하면, 그것이 그대로 전류값의 편차로 되어, 표시 패 널의 표시 불균일로 되어 나타나고 있었다. 특히, 소스 드라이버(14)는 폭이 2㎜ 정도이고 길이가 20㎜ 정도인 가늘고 긴 형상을 하고 있기 때문에, 중앙부와 양단에서는 트랜지스터 특성의 편차가 크고, 이러한 문제는 현저하다고 생각된다.

이에 대하여, 도 63에 나타내는 다단식 커런트 미러 회로에 의한 전류 구동 방식의 소스 드라이버(회로)(14)에서는, 상기한 바와 같이, 제 1 단 전류원(631)의 전류값을 직접 N×M개의 제 3 단 전류원(633)에 커런트 미러 회로로 복사하는 것이 아니라, 중간에 제 2 단 전류원(632)을 구비하고 있으므로, 트랜지스터 특성의 편차를 흡수할 수 있다.

특히, 본 발명은 제 1 단의 커런트 미러 회로(전류원(631))와 제 2 단에 커런트 미러 회로(전류원(632))를 인접하게 배치하는 것에 특징이 있다. 제 1 단의 전류원(631)으로부터 제 3 단의 전류원(633)(즉, 커런트 미러 회로의 2단 구성)이면, 제 1 단의 전류원(631)과 접속되는 제 3 단의 전류원(633)의 개수가 많아, 제 1 단의 전류원(631)과 제 3 단의 전류원(633)을 인접하게 배치할 수 없다.

본 발명의 소스 드라이버(14)는 제 1 단의 커런트 미러 회로(전류원(631))의 전류를 제 2 단의 커런트 미러 회로(전류원(632))에 복사하고, 제 2 단의 커런트 미러 회로(전류원(632))의 전류를 제 3 단에 커런트 미러 회로(전류원(632))에 복사하는 구성이다. 이 구성에서는, 도 72의 경우와 비교하여, 제 1 단의 커런트 미러 회로(전류원(631))에 접속되는 제 2 단의 커런트 미러 회로(전류원(632))의 개수는 적다. 따라서, 제 1 단의 커런트 미러 회로(전류원(631))와 제 2 단의 커런트 미러 회로(전류원(632))를 인접하게 배치할 수 있다.

인접하여 커런트 미러 회로를 구성하는 트랜지스터를 배치할 수 있으면, 당연하지만, 트랜지스터의 편차는 적어지기 때문에, 복사되는 전류값의 편차도 적어진다. 또한, 제 2 단의 커런트 미러 회로(전류원(632))에 접속되는 제 3 단의 커런트 미러 회로(전류원(633))의 개수도 적어진다. 따라서, 제 2 단의 커런트 미러 회로(전류원(632))와 제 3 단의 커런트 미러 회로(전류원(633))를 인접하게 배치할 수 있다.

즉, 전체로서, 제 1 단의 커런트 미러 회로(전류원(631)), 제 2 단의 커런트 미러 회로(전류원(632)), 제 3 단의 커런트 미러 회로(전류원(633))의 전류 수취부의 트랜지스터를 인접하게 배치할 수 있다. 따라서, 인접하여 커런트 미러 회로를 구성하는 트랜지스터를 배치할 수 있기 때문에, 트랜지스터의 편차는 적어지고, 출력 단자로부터의 전류 신호의 편차는 매우 적어진다(정밀도가 높음).

또, 본 예에서는 간단하게 하기 위해 다단식 커런트 미러 회로를 3단 구성으로 설명했지만, 이 단수가 크면 클수록, 전류 구동형 표시 패널의 소스 드라이버(14)의 전류 편차가 작아지는 것은 물론이다. 따라서, 커런트 미러 회로의 단수는 3단으로 한정되는 것이 아니라, 3단 이상이라도 좋다.

본 발명에서, 전류원(631, 632, 633)으로 표현하거나, 커런트 미러 회로로 표현하기도 하지만, 이들은 동의(同義)로 이용하고 있다. 즉, 전류원이란, 본 발명의 기본적인 구성 개념이며, 전류원을 구체적으로 구성하면 커런트 미러 회로로 되기 때문이다. 따라서, 전류원은 커런트 미러 회로에만 한정되는 것이 아니라, 도 72에 나타내는 바와 같이, OP 앰프(722), 트랜지스터(631) 및 저항 R의 조합으 로 이루어지는 전류 회로라도 좋다.

도 64는 또한 구체적인 소스 드라이버(회로)(14)의 구조도이다. 도 64는 제 3 전류원(633) 부분을 나타내고 있다. 즉, 하나의 소스 신호선(18)에 접속되는 출력부이다. 최종단의 커런트 미러 구성으로서, 복수의 동일 크기의 커런트 미러 회로(전류원(634)(1단위))로 구성되어 있고, 그 개수가 화상 데이터의 비트에 대응하고, 비트 가중치 부여되어 있다.

또, 본 발명의 소스 드라이버(회로)(14)를 구성하는 트랜지스터는 MOS형에 한정되는 것이 아니라, 바이폴라형으로 하여도 좋다. 또한, 실리콘 반도체에 한정되는 것이 아니라, 갈륨 비소 반도체여도 좋다. 또한, 게르마늄 반도체라도 좋다. 또한, 기판에 저온 폴리실리콘 등의 폴리실리콘 기술, 아몰퍼스 실리콘 기술로 직접 형성한 것이라도 좋다.

도 64에서는, 도면으로부터 명백하지만, 본 발명의 일 실시예로서, 6비트의 디지털 입력의 경우를 나타내고 있다. 즉, 2의 6승이기 때문에, 64계조 표시가 가능하다. 이 소스 드라이버(14)를 어레이 기판에 적재함으로써, 빨강 R, 초록 G, 파랑 B가 각 64계조이므로, 64×64×64=대략 26만 색을 표시할 수 있게 된다. 도 64에서, D0은 LSB 입력을 나타내고, D5는 MSB 입력을 나타내고 있다. D0 입력 단자가 H레벨일 때(정 논리일 때), 스위치(641a)(온 오프 수단이다. 물론, 단체 트랜지스터로 구성하여도 좋고, P채널 트랜지스터와 N채널 트랜지스터를 조합한 아날로그 스위치 등이라도 좋음)가 온 상태로 된다. 그러면, 커런트 미러를 구성하는 전류원(1단위)(634)을 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(643)에 흐른다. 이 중간 배선(643)은 IC(14)의 단자 전극을 거쳐 소스 신호선(18)에 접속되어 있기 때문에, 이 중간 배선(643)에 흐르는 전류가 화소(16)의 프로그래밍 전류로 된다.

D1 입력 단자가 H레벨일 때(정 논리일 때), 스위치(641b)가 온 상태로 된다. 그러면, 커런트 미러를 구성하는 두 개의 전류원(1단위)(634)을 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(643)에 흐른다. 이 중간 배선(643)은 IC(14)의 단자 전극을 거쳐 소스 신호선(18)에 접속되어 있으므로, 이 중간 배선(643)에 흐르는 전류가 화소(16)의 프로그래밍 전류로 된다.

다른 스위치(641)도 마찬가지이다. D2 입력 단자가 H레벨일 때(정 논리일 때)에는, 스위치(641c)가 온 상태로 된다. 그러면, 커런트 미러를 구성하는 네 개의 전류원(1단위)(634)을 향하여 전류가 흐른다. D5 입력 단자가 H레벨일 때(정 논리일 때)에는, 스위치(641f)가 온 상태로 된다. 그러면, 커런트 미러를 구성하는 32개의 전류원(1단위)(634)을 향하여 전류가 흐른다.

이상과 같이, 외부로부터의 데이터(D0 D5)에 따라, 그에 대응하는 전류원(1단위)을 향하여 전류가 흐른다. 따라서, 데이터에 따라, 0개부터 63개의 전류원(1단위)에 전류가 흐르도록 구성되어 있다. 또, 본 발명은 설명을 쉽게 하기 위해, 전류원은 6비트의 63개로 하고 있지만, 이것에 한정되는 것은 아니다. 8비트의 경우에는, 255개의 단위 전류원(634)을 형성(배치)하면 좋다. 또한, 4비트의 경우에는, 15개의 단위 전류원(634)을 형성(배치)하면 좋다. 단위 전류원을 구성하는 트랜지스터(634)는 동일한 채널 폭 W, 채널 폭 L로 한다. 이와 같이 동일한 트랜지 스터로 구성함으로써, 편차가 적은 출력단을 구성할 수 있다.

또한, 전류원(634)은 전부가 동일한 전류를 흘리는 것에 한정되는 것은 아니다. 예컨대, 각 전류원(634)을 가중치 부여하여도 좋다. 예컨대, 1단위의 전류원(634)과, 2배의 전류원(634)과, 4배의 전류원(634) 등을 혼재시켜 전류 출력 회로를 구성하여도 좋다.

그러나, 전류원(634)을 가중치 부여하여 구성하면, 각 가중치 부여한 전류원이 가중치를 부여한 비율로 되지 않고, 편차가 발생할 가능성이 있다. 따라서, 가중치를 부여하는 경우라도, 각 전류원은 1단위의 전류원으로 되는 트랜지스터를 복수개 형성함으로써 구성하는 것이 바람직하다.

단위 전류원(634)을 구성하는 트랜지스터의 크기는 일정 이상의 크기가 필요하다. 트랜지스터 크기가 작을수록 출력 전류의 편차가 커진다. 여기서, 트랜지스터(634)의 크기란, 채널 길이 L과 채널 폭 W를 곱한 크기를 말한다. 예컨대, W=3㎛, L=4㎛이면, 하나의 단위 전류원을 구성하는 트랜지스터(634)의 크기는 W×L=12㎛ ^{2} 이다. 트랜지스터 크기가 작아질수록 편차가 크게 되는 것은 실리콘 웨이퍼의 결정 계면의 상태가 영향을 미치고 있기 때문이라고 생각된다. 따라서, 하나의 트랜지스터가 복수의 결정 계면에 걸쳐 형성되어 있으면 트랜지스터의 출력 전류 편차는 작아진다.

트랜지스터 크기와 출력 전류의 편차의 관계를 도 117에 나타낸다. 도 117의 그래프의 횡축은 트랜지스터 크기(㎛ ^{2})이다. 종축은 출력 전류의 편차(σ)를 % 로 나타낸 것이다. 단, 출력 전류의 편차 %는 단위 전류원(하나의 단위 트랜지스터)(634)를 63개의 조로 형성하고(63개 형성하고), 이 조를 다수 조 웨이퍼 상에 형성하여, 출력 전류의 편차를 구한 것이다. 따라서, 그래프의 횡축은 하나의 단위 전류원을 구성하는 트랜지스터 크기로 도시하고 있지만, 실제 병렬하는 트랜지스터는 63개인 것으로 면적은 63배이다. 그러나, 본 발명은 단위 전류원(634)의 크기를 단위로서 검토하고 있다. 따라서, 도 117에서, 30㎛ ^{2} 의 단위 트랜지스터(634)를 63개 형성했을 때, 그 때의 출력 전류의 편차는 0.5%가 되는 것을 나타내고 있다.

64계조의 경우에는, 100/64=1.5%이다. 따라서, 출력 전류 편차는 1.5% 이내로 할 필요가 있다. 도 117로부터 1.5% 이하로 하기 위해서는, 단위 트랜지스터의 크기는 2㎛ ^{2} 이상으로 해야 한다(64계조는 63개의 2㎛ ^{2} 의 단위 트랜지스터가 동작함). 한편, 트랜지스터 크기에는 제한이 있다. IC칩 크기가 커지는 점과, 1출력 당 횡 폭에 제한이 있기 때문이다. 이 점에서, 단위 전류원(634)의 크기의 상한은 300㎛ ^{2} 이다. 따라서, 64계조 표시에서는, 단위 전류원(634)의 크기는 2㎛ ^{2} 이상 300㎛ ^{2} 이하로 할 필요가 있다.

128계조의 경우에는, 100/128=1%이다. 따라서, 출력 전류 편차는 1% 이내로 할 필요가 있다. 도 117로부터 1% 이하로 하기 위해서는, 단위 트랜지스터의 크기는 8㎛ ^{2} 이상으로 해야 한다. 따라서, 128계조 표시에서는, 단위 전류원(634)의 크 기는 8㎛ ^{2} 이상 300㎛ ^{2} 이하로 할 필요가 있다.

또, 도 117은 1σ의 편차 데이터이다. 3σ를 기준과 하는 것이면, 64계조의 경우에는, (100/64)/3=0.5%이다. 따라서, 출력 전류 편차는 0.5% 이내로 할 필요가 있다. 도 117로부터 0.5% 이하로 하기 위해서는, 단위 트랜지스터의 크기는 30㎛ ^{2} 이상으로 해야 한다. 한편, 트랜지스터 크기에는 제한이 있다. 3σ를 기준으로 하면, 64계조 표시에서는, 단위 전류원(634)의 크기는, 30㎛ ^{2} 이상 300㎛ ^{2} 이하로 할 필요가 있다. 실제로는, 다소의 편차가 발생하여도 화상 표시에서 그 편차가 인식되는 일은 없다. 64계조 표시에서는, 2σ 레벨의 15㎛ ^{2} 이상 300㎛ ^{2} 이하에서 실용상으로는 충분했다.

일반적으로, 계조 수를 K로 하고, 단위 트랜지스터(634)의 크기를 St(㎛ ^{2})으로 했을 때, $40 \leq K/(St)^{1/2}$ 또한 St≤300의 관계를 만족시킨다.

더욱 바람직하게는, $120 \leq K/(St)^{1/2}$ 또한 St≤300의 관계를 만족시키는 것이 바람직하다.

이상의 예는, 64계조로 63개의 트랜지스터를 형성한 경우이다. 64계조를 127개의 단위 트랜지스터(634)로 구성하는 경우에는, 단위 트랜지스터(634)의 크기는 두 개의 단위 트랜지스터(634)를 더한 크기이다. 예컨대, 64계조로, 단위 트랜지스터(634)의 크기가 10㎛ ^{2} 이며, 127개 형성되어 있으면, 도 117에서는 단위 트랜 지스터의 크기는 10×2=20의 란(欄)을 볼 필요가 있다. 마찬가지로, 64계조에서, 단위 트랜지스터(634)의 크기가 10㎛ ^{2} 이며, 255개 형성되어 있으면, 도 117에서는 단위 트랜지스터의 크기는 10×4=40의 란을 볼 필요가 있다.

도 64의 구성은 도 63에 나타내는 제 3 단의 커런트 미러부이다. 따라서, 제 1 전류원(631)과 제 2 단의 전류원(632)이 별도 형성되어 있고, 이들이 밀집(밀접 또는 인접)하게 배치되어 있는 것이다. 또한, 제 2 단의 전류원(632) 및 제 3 단의 전류원을 구성하는 커런트 미러 회로의 트랜지스터(633a)도 밀집(밀접 또는 인접)하게 배치된다.

또, 특히 전류원(1단위)(634)은 밀집하여 배치되고, 또한 미소한 전류가 흐른다. 따라서, EL 표시 패널 등으로부터 방사되는 광(발광광)이 전류원(634)(그 외에 참조 부호 631, 632, 633도 고려해야 함)으로 조사되면, 포토 컨덕터 현상에 의해 오동작을 야기한다. 이 과제에 대응하기 위해, 칩의 이면에 차광막을 형성한다. 또한, 기판에 실장하는 부분에

서, 또한, 칩의 전류원이 형성된 부분에 차광막을 형성한다(패널 기판의 표면에 금속 박막, 유기 재료 또는 무기 재료 등으로 이루어지는 광 흡수막을 형성함). 이 차광막은 EL 소자(15)에 전류를 공급하는 애노드 배선, 캐소드 배선을 레이아웃하는(IC칩 밑으로 레이아웃함) 것에 의해, 구성하면 형성이 용이하여, 저비용화할 수 있다. 이 구성은 IC칩에 한정되는 것은 아니다. 저온 폴리실리콘, 고온 폴리실리콘 또는 고상 성장에 의해 형성된 반도체막 CGS, 아몰퍼스 실리콘 기술을 이용해서 소스 드라이버(14)에도 적용된다. 즉, 이 소스 드라이버(14)의 이면에 차광막을 형성한다.

제 2 단의 커런트 미러 회로(632)를 흐르는 전류는 제 3 단의 커런트 미러 회로를 구성하는 트랜지스터(633a)에 복사되고, 커런트 미러 배율이 1배일 때에는, 이 전류가 트랜지스터(633b)에 흐른다. 이 전류는 최종단의 트랜지스터(634)에 복사된다.

D0에 대응하는 부분은 한 개의 트랜지스터(634)로 구성되어 있기 때문에, 최종단 전류원의 트랜지스터(633)에 흐르는 전류값이다. D1에 대응하는 부분은 두 개의 트랜지스터(634)로 구성되어 있기 때문에, 최종단 전류원의 2배의 전류값이다. D2는 네 개의 트랜지스터(634)로 구성되어 있기 때문에, 최종단 전류원의 4배의 전류값이다. 이하, 마찬가지로 해서, D5에 대응하는 부분은 32개의 트랜지스터로 구성되어 있기 때문에, 최종단 전류원의 32배의 전류값이다. 따라서, 6비트의 화상 데이터 D0, D1, D2, …, D5로 제어되는 스위치를 거쳐 프로그래밍 전류 Iw는 소스 신호선에 출력된다(전류를 인입함). 따라서, 6비트의 화상 데이터 D0, D1, D2, …, D5의 ON, OFF에 따라, 출력선에는, 최종단 전류원(633)의 1배, 2배, 4배, …, 32배의 전류가 가산되어 출력된다. 즉, 6비트의 화상 데이터 D0, D1, D2, …, D5에 의해, 최종단 전류원(633)의 0 63배의 전류값이 출력선으로부터 출력된다(소스 신호선(18)으로부터 전류를 인입함).

이상과 같이, 최종단 전류원(633)의 정수배의 구성에 의해, 종래의 W/L의 비례 배분과 비교하여, 보다 고정밀도로 전류값을 제어할 수 있다(각 단자의 출력 편차가 없어짐).

단, 이 구성은 화소(16)를 구성하는 구동용 TFT(11a)가 P채널로 구성되고, 또한, 소스 드라이버(14)를 구성하는 전류원(1단위)부(634)가 N채널 트랜지스터로 구성되어 있는 경우이다. 다른 경우(예컨대, 화소(16)의 구동용 TFT(11a)가 N채널 트랜지스터로 구성되어 있는 경우 등)는 프로그래밍 전류 Iw가 토출 전류로 되는 구성도 실시할 수 있는 것은 물론이다.

또, 최종단 전류원(633)의 0 63배의 전류가 출력된다고 했지만, 이것은 최종단 전류원(633)의 커런트 미러 배율이 1배일 때이다. 커런트 미러 배율이 2배일 때에는, 최종단 전류원(633)의 0 126배의 전류가 출력되고, 커런트 미러 배율이 0.5배일 때에는, 최종단 전류원(633)의 0 31.5배의 전류가 출력된다. 이상과 같이, 본 발명은 최종단 전류원(633) 또는, 그것보다 전단의 전류원(631, 632 등)의 커런트 미러 배율을 변화시킴으로써, 출력의 전류값을 용이하게 변경할 수 있다. 또한, 이상의 사항은 R, G, B마다 커런트 미러 배율을 변경하는(다르게 하는) 것도 바람직하다. 예컨대, R만, 어느 하나의 전류원의 커런트 미러 배율을 다른 색에 대하여(다른 색에 대응하는 전류원 회로에 대하여), 변화시켜도 좋다. 특히, EL 표시 패널은 각 색(R, G, B 또는 시안색, 황색, 마젠타색)마다 발광 효율 등이 다르다. 따라서, 각 색에서 커런트 미러 배율을 변화시킴으로써, 화이트 밸런스를 양호하게 할 수 있다.

전류원의 커런트 미러 배율을 다른 색에 대하여(다른 색에 대응하는 전류원 회로에 대하여), 변화시킨다는 사항은 고정적인 것에 한정되지 않는다. 가변하는 것도 포함된다. 가변은 전류원에 커런트 미러 회로를 구성하는 트랜지스터를 복수 형성한 간격, 외부로부터의 신호에 의해 커런트 전류를 흘리는 상기 트랜지스터의 개수를 전환함으로써 실현할 수 있다. 이와 같이 구성함으로써, 제작된 EL 표시 패널의 각 색의 발광 상태를 관찰하면서, 최적의 화이트 밸런스로 조정하는 것이 가능하게 된다. 특히, 본 발명은 다수단에 전류원(커런트 미러 회로)을 연결하는 구성이다. 따라서, 제 1 단의 전류원(631)과 제 2 단의 전류원(632)의 커런트 미러 배율을 변화시키면, 적은 연결부(커런트 미러 회로 등)에 의해 용이하게 다수 출력의 출력 전류를 변화시킬 수 있다. 물론, 제 2 단의 전류원(632)과 제 3 단의 전류원(633)의 커런트 미러 배율을 변화시키는 것보다도, 적은 연결부(커런트 미러 회로 등)에 의해 용이하게 다수의 출력의 출력 전류를 변화시킬 수 있는 것은 물론이다.

또, 커런트 미러 배율을 변화시킨다고 하는 개념은 전류 배율을 변화(조정)시킨다는 것이다. 따라서, 커런트 미러 회로에만 한정되는 것은 아니다. 예컨대, 전류 출력의 OP 앰프 회로, 전류 출력의 D/A 회로 등에서도 실현할 수 있다.

이상에서 설명한 사항은 본 발명의 다른 실시예에 대해서도 적용되는 것은 물론이다.

도 65에, 3단식 커런트 미러 회로에 의한 176출력(N×M=176)의 회로도의 일례를 나타낸다. 도 65에서는, 제 1 단 커런트 미러 회로에 의한 전류원(631)을 친(親) 전류원, 제 2 단 커런트 미러 회로에 의한 전류원(632)을 자(子) 전류원, 제 3 단 커런트 미러 회로에 의한 전류원(633)을 손(孫) 전류원이라고 기재하고 있다. 최종단 커런트 미러 회로인 제 3 단 커런트 미러 회로에 의한 전류원의 정수 배의 구성에 의해, 176출력의 편차를 극력 억제하여, 고밀도인 전류 출력이 가능하다. 물론, 전류원(631, 632, 633)을 밀집하여 배치한다고 하는 구성을 잊어서는 안 된다.

또, 여기서 「밀집하여 배치한다」란, 제 1 전류원(631)과 제 2 전류원(632)을 적어도 8㎜ 이내의 거리에 배치(전류 또는 전압의 출력 측과 전류 또는 전압의 입력 측)하는 것을 말한다. 그 위에, 5㎜ 이내로 배치하는 것이 바람직하다. 이 범위이면, 검토에 의해 실리콘 칩 내에 배치되어 트랜지스터의 특성(Vt, 이동도(μ))차가 거의 발생하지 않기 때문이다. 또, 마찬가지로, 제 2 전류원(632) 및 제 3 전류원(633)(전류의 출력 측과 전류의 입력 측)도 적어도 8㎜ 이내의 거리에 배치한다. 더욱 바람직하게는, 5㎜ 이내의 위치에 배치하는 것이 바람직하다. 이상의 사항은 본 발명의 다른 실시예에서도 적용되는 것은 물론이다.

이 전류 또는 전압의 출력 측과 전류 또는 전압의 입력 측은 이하의 관계를 의미한다. 도 66의 전압 수수의 경우에는, 제 (I) 단의 전류원의 트랜지스터(631)(출력 측)와 제 (I+1) 단의 전류원의 트랜지스터(632a)(입력 측)를 밀집하여 배치하는 관계이다. 도 67의 전류 수수의 경우에는, 제 (I) 단의 전류원의 트랜지스터(631a)(출력 측)와 제 (I+1) 단의 전류원의 트랜지스터(632b)(입력 측)를 밀집하여 배치하는 관계이다.

또, 도 65, 도 66 등에서, 트랜지스터(631)는 한 개로 했지만, 이것에 한정되는 것은 아니다. 예컨대, 작은 트랜지스터(631)를 복수개 형성하고, 이 복수개의 트랜지스터의 소스 또는 드레인 단자를 저항(651)과 접속하여도 좋다. 작은 트 랜지스터를 복수개 병렬로 접속하는 것에 의해, 트랜지스터의 편차를 감소시킬 수 있다.

마찬가지로, 트랜지스터(632a)는 한 개로 했지만, 이것에 한정되는 것은 아니다. 예컨대, 작은 트랜지스터(632a)를 복수개 형성하고, 이 트랜지스터(632a)의 복수개의 게이트 단자를, 트랜지스터(631)의 게이트 단자와 접속하여도 좋다. 작은 트랜지스터(632a)를 복수개 병렬로 접속함으로써, 트랜지스터(632a)의 편차를 감소시킬 수 있다.

따라서, 본 발명의 구성으로서는, 하나의 트랜지스터(631)와 복수개의 트랜지스터(632a)를 접속하는 구성, 복수개의 트랜지스터(631)와 한 개의 트랜지스터(632a)를 접속하는 구성, 복수개의 트랜지스터(631)와 복수개의 트랜지스터(632a)를 접속하는 구성이 예시된다.

이상의 사항은 도 68의 트랜지스터(633a)와 트랜지스터(633b)와의 구성에도 적용된다. 하나의 트랜지스터(633a)와 복수개의 트랜지스터(633b)a를 접속하는 구성, 복수개의 트랜지스터(633a)와 한 개의 트랜지스터(633b)를 접속하는 구성, 복수개의 트랜지스터(633a)와 복수개의 트랜지스터(633b)를 접속하는 구성이 예시된다. 작은 트랜지스터(633)를 복수개 병렬로 접속함으로써, 트랜지스터(633)의 편차를 감소시킬 수 있기 때문이다.

또한, 이상의 사항은 도 68의 트랜지스터(632a, 632b)와의 관계에도 적용할 수 있다. 또한, 도 64의 트랜지스터(633b)도 복수개의 트랜지스터로 구성하는 것이 바람직하다. 도 73, 도 74의 트랜지스터(633)에 대해서도 마찬가지로 복수개의 트랜지스터로 구성하는 것이 바람직하다.

여기서, 실리콘 칩으로 했지만, 이것은 반도체 칩의 의미이다. 따라서, 갈륨 기판으로 형성된 칩, 게르마늄 기판 등으로 형성된 다른 반도체 칩도 마찬가지이다.

그 위에, 저온 폴리실리콘, 고온 폴리실리콘 또는 고상 성장에 의해 형성된 반도체막 CGS, 또는 아몰퍼스 실리콘 기술을 이용해서 소스 드라이버에도 적용된다. 단, 이 경우에는, 패널이 비교적 대형인 경우가 많다. 패널이 대형이고 다소의 소스 신호선(18)으로부터의 출력 편차가 있더라도 시각적으로 인식되기 어렵다. 따라서, 이상의 유리 기판 등에 화소 TFT와 동시에 소스 드라이버(14)를 형성하는 표시 패널에서는, 밀집하여 배치한다란, 제 1 전류원(631)과 제 2 전류원(632)을 적어도 30㎜ 이내의 거리에 배치(전류의 출력 측과 전류의 입력 측)하는 것을 말한다. 그 위에, 20㎜ 이내에 배치하는 것이 바람직하다. 이 범위이면, 검토에 의해 이 범위에 배치된 트랜지스터의 특성(Vt, 이동도(μ))차가 거의 발생하지 않기 때문이다. 또, 마찬가지로, 제 2 전류원(632) 및 제 3 전류원(633)(전류의 출력 측과 전류의 입력 측)도 적어도 30㎜ 이내의 거리에 배치한다. 더욱 바람직하게는, 20㎜ 이내의 위치에 배치하는 것이 바람직하다.

이상의 설명은 이해를 용이하게, 또는 설명을 쉽게 하기 위해, 커런트 미러 회로 사이에서는 전압에 의해 신호를 수수하도록 설명했다. 그러나, 전류 수수 구성으로 함으로써, 보다 편차가 작은 전류 구동형 표시 패널의 구동용 드라이버 회로(IC)(14)를 실현할 수 있다.

도 67은 전류 수수 구성의 실시예이다. 또, 도 66은 전압 수수 구성의 실시예이다. 도 66, 도 67도 회로도로는 동일하고, 레이아웃 구성, 즉 배선의 레이아웃 방향이 다르다. 도 66에서, 참조 부호 631은 제 1 단 전류원용 N채널 트랜지스터, 참조 부호 632a는 제 2 단 전류원용 N채널 트랜지스터, 참조 부호 632b는 제 2 단 전류원용 P채널 트랜지스터이다.

도 67에서, 참조 부호 631a는 제 1 단 전류원용 N채널 트랜지스터, 참조 부호 632a는 제 2 단 전류원용 N채널 트랜지스터, 참조 부호 632b는 제 2 단 전류원용 P채널 트랜지스터이다.

도 66에서는, 가변 저항(651)(전류를 변화하기 위해 이용하는 것임)과 N채널 트랜지스터(631)로 구성되는 제 1 단

전류원의 게이트 전압이 제 2 단 전류원의 N채널 트랜지스터(632a)의 게이트와 수수되고 있으므로, 전압 수수 방식의 레이아웃 구성으로 된다.

한편, 도 67에서는, 가변 저항(651)과 N채널 트랜지스터(631a)로 구성되는 제 1 단 전류원의 게이트 전압이 인접하는 제 2 단 전류원의 N채널 트랜지스터(632a)의 게이트에 인가되고, 그 결과, 트랜지스터에 흐르는 전류값이 제 2 단 전류원의 P채널 트랜지스터(632b)와 수수되고 있기 때문에, 전류 수수 방식의 레이아웃 구성으로 된다.

또, 본 발명의 실시예에서는 설명을 쉽게 하기 위해, 또는 이해를 쉽게 하기 위해, 제 1 전류원과 제 2 전류원의 관계를 중심으로 설명하고 있지만, 이것에 한정되는 것이 아니라, 제 2 전류원과 제 3 전류원의 관계, 또는 그 이외의 전류원과 의 관계에 있어서도 적용되는(적용할 수 있는) 것은 물론이다.

도 66에 나타낸 전압 수수 방식의 커런트 미러 회로의 레이아웃 구성에서는, 커런트 미러 회로를 구성하는 제 1 단의 전류원의 N채널 트랜지스터(631)와 제 2 단의 전류원의 N채널 트랜지스터(632a)가 떨어지게 되므로(떨어지게 되기 쉽다는 것임), 양자의 트랜지스터 특성에 상위가 발생하기 쉽다. 따라서, 제 1 단 전류원의 전류값이 제 2 단 전류원에 정확하게 전달되지 않고, 편차가 발생하기 쉽다.

그에 대하여, 도 67에 나타낸 전류 수수 방식의 커런트 미러 회로의 레이아웃 구성에서는, 커런트 미러 회로를 구성하는 제 1 단 전류원의 N채널 트랜지스터(631a)와 제 2 단 전류원의 N채널 트랜지스터(632a)가 인접하고 있으므로(인접하여 배치하기 쉬움), 양자의 트랜지스터 특성에 상위는 발생하기 어렵고, 제 1 단 전류원의 전류값이 제 2 단 전류원에 정확하게 전달되어, 편차가 발생하기 어렵다.

이상으로부터, 본 발명의 다단식 커런트 미러 회로의 회로 구성(본 발명의 전류 구동 방식의 소스 드라이버(IC)(14))으로서, 전압 수수가 아니라, 전류 수수으로 되는 레이아웃 구성으로 함으로써, 보다 편차를 작게 할 수 있어 바람직하다. 이상의 실시예는 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

또, 설명의 형편상, 제 1 단 전류원으로부터 제 2 단 전류원일 경우를 나타내고 있지만, 제 2 단 전류원으로부터 제 3 단 전류원, 제 3 단 전류원으로부터 제 4 단 전류원, …의 경우도 마찬가지인 것은 물론이다.

도 68은 도 65의 3단 구성의 커런트 미러 회로(3단 구성의 전류원)를, 전류 수수 방식으로 한 경우의 예를 나타내고 있다(따라서, 도 65는 전압 수수 방식의 회로 구성이다).

도 68에서는, 우선, 가변 저항(651)과 N채널 트랜지스터(631)로 기준 전류(기준 신호)가 작성된다. 또, 가변 저항(651)으로 기준 전류를 조정하도록 설명하고 있지만, 실제로는 소스 드라이버(회로)(14) 내에 형성(또는 배치)된 전자 볼륨 회로에 의해 트랜지스터(631)의 소스 전압이 설정되어, 조정되도록 구성된다. 또는, 도 64에 나타내는 바와 같은 다수의 전류원(1단위)(634)으로 구성되는 전류 방식의 전자 볼륨으로부터 출력되는 전류를 직접 트랜지스터(631)의 소스 단자에 공급함으로써 기준 전류는 조정된다(도 69 참조).

트랜지스터(631)에 의한 제 1 단 전류원의 게이트 전압이 인접하는 제 2 단 전류원의 N채널 트랜지스터(632a)의 게이트에 인가되고, 그 결과, 트랜지스터에 흐르는 전류값이 제 2 단 전류원의 P채널 트랜지스터(632b)에 수수된다. 또한, 제 2 전류원의 트랜지스터(632b)에 의한 게이트 전압이 인접하는 제 3 단 전류원의 N채널 트랜지스터(633a)의 게이트에 인가되고, 그 결과, 트랜지스터에 흐르는 전류값이 제 3 단 전류원의 N채널 트랜지스터(633b)에 수수된다. 제 3 단 전류원의 N채널 트랜지스터(633b)의 게이트에는 도 64에 나타내는 다수의 전류원(634)이 필요한 비트 수에 따라 형성(배치)된다.

도 69에서는, 상기 다단식 커런트 미러 회로의 제 1 단 전류원(631)에, 전류값 조정용 소자가 구비되어 있는 것을 특징으로 한다. 이 구성에 의해, 제 1 단 전류원(631)의 전류값을 변화시킴으로써, 출력 전류를 제어하는 것이 가능해진다.

트랜지스터의 Vt 편차(특성 편차)는 1웨이퍼 내에서 100mV 정도가 편차가 있다. 그러나, 100μ 이내에 근접하여 형성된 트랜지스터의 Vt 편차는 적어도 10mV 이하이다(실측). 즉, 트랜지스터를 근접해서 형성하여, 커런트 미러 회로를 구성함으로써, 커런트 미러 회로의 출력 전류 편차를 감소시킬 수 있다. 따라서, 소스 드라이버의 각 단자의 출력 전류 편차를 적게 할 수 있다.

도 110은 트랜지스터의 형성 면적(㎟)과, 단체 트랜지스터의 출력 전류 편차(3σ)와의 측정 결과를 나타내고 있다. 출력 전류 편차란, Vt 전압에서의 전류 편차이다. 흑점은 소정의 형성 면적 내에 제작된 평가 샘플(10-200개)의 트랜지스터출력 전류 편차이다. 도 110의 A 영역(형성 면적 0.5㎟ 이내) 내에 형성된 트랜지스터에는, 거의 출력 전류의 편차가 없다(거의, 오차 범위의 출력 전류 편차밖에 없다. 즉, 일정한 출력 전류가 출력됨). 반대로 C영역(형성 면적 2.4㎟ 이상)에서는, 형성 면적에 대한 출력 전류의 편차가 급격히 커지는 경향이 있다. B 영역(형성 면적 0.5㎟ 이상 2.4

㎟ 이하)에서는, 형성 면적에 대한 출력 전류의 편차는 거의 비례의 관계에 있다.

단, 출력 전류의 절대값은 웨이퍼마다 다르다. 그러나, 이 문제는 본 발명의 소스 드라이버(IC)(14)에서, 기준 전류를 조정하는 것 또는 소정값으로 함으로써 대응할 수 있다. 또한, 커런트 미러 회로 등의 회로 고안으로 대응할 수 있다(해결할 수 있다).

본 발명은, 입력 디지털 데이터 D에 의해, 단위 트랜지스터(634)에 흐르는 전류 수를 전환함으로써 소스 신호선(18)에 흐르는 전류량을 변화(제어)한다. 계 조 수가 64계조 이상이면, 1/64=0.015이기 때문에, 이론적으로는, 1 2% 이내의 출력 전류 편차 이내로 할 필요가 있다. 또, 1% 이내의 출력 편차는 시각적으로는 판별하는 것이 곤란하게 되고, 0.5% 이하에서는 거의 판별할 수가 없다(균일하게 보인다).

출력 전류 편차(%)를 1% 이내로 하기 위해서는, 도 110의 결과에 나타내는 바와 같이, 트랜지스터 그룹(편차의 발생을 억제해야 할 트랜지스터)의 형성 면적을 2㎟ 이내로 할 필요가 있다. 더욱 바람직하게는, 출력 전류의 편차(즉, 트랜지스터의 Vt 편차)를 0.5% 이내로 하는 것이 바람직하다. 도 110의 결과에 나타내는 바와 같이, 트랜지스터 그룹(681)의 형성 면적을 1.2㎟ 이내로 하면 좋다. 또, 형성 면적이란, 세로×가로의 길이의 면적이다. 예컨대, 일례로서, 1.2㎟에서는, 1㎜×1.2㎜이다.

또, 이상은, 특히 8비트(256계조) 이상일 경우이다. 256계조 이하일 경우, 예컨대, 6비트(64계조)의 경우에는, 출력 전류의 편차는 2% 정도라도 좋다(화상 표시 상, 실제로는 문제가 없다). 이 경우에는, 트랜지스터 그룹(681)은 5㎟ 이내로 형성하면 좋다. 또한, 트랜지스터 그룹(681)(도 68에서는, 트랜지스터 그룹(681a, 681b)의 두 개를 도시하고 있음)의 양쪽이 이 조건을 만족하는 것은 필요하지 않다. 적어도 한쪽(세 개 이상일 경우에는, 하나 이상의 트랜지스터 그룹(681))이 이 조건을 만족하도록 구성하면 본 발명의 효과가 발휘된다. 특히, 하위의 트랜지스터 그룹(681)(참조 부호 681a가 상위이고, 참조 부호 681b가 하위인 관계)에, 관해서 이 조건을 만족시키는 것이 바람직하다. 화상 표시에 문제가 발생하기 어렵 게 되기 때문이다.

이상의 사항은 본 발명의 다른 실시예에 있어서도 적용되고, 또한, 본 발명의 표시 패널, 어레이, 표시 장치 등으로 조합할 수 있다.

본 발명의 소스 드라이버(IC)(14)는, 도 68에 나타내는 바와 같이, 친(親), 자(子), 손(孫)이라 하도록 적어도 복수의 전류원을 다단 접속하고, 또한 각 전류원 친밀 배치로 하고 있다(물론, 친, 자의 2단 접속이라도 좋다). 또한, 각 전류원 사이(트랜지스터 그룹(681) 사이)를 전류 수수으로 하고 있다. 구체적으로는, 도 68의 점선으로 둘러싼 범위(트랜지스터 그룹(681))를 친밀 배치로 한다. 이 트랜지스터 그룹(681)은 전압 수수의 관계에 있다. 또한, 친의 전류원(631)과 자의 전류원(632a)은 소스 드라이버(14) 칩의 대략 중앙부에 형성 또는 배치한다. 칩의 좌우에 배치된 자의 전류원을 구성하는 트랜지스터(632a)와, 자의 전류원을 구성하는 트랜지스터(632b)의 거리를 비교적 짧게 할 수 있기 때문이다. 즉, 최상위의 트랜지스터 그룹(681a)을 IC칩의 대략 중앙부에 배치한다. 그리고, IC칩(14)의 좌우에, 하위의 트랜지스터 그룹(681b)를 배치한다. 바람직하게는, 이 하위의 트랜지스터 그룹(681b)의 개수가 IC칩의 좌우로 대략 같게 되도록 배치하거나 형성 또는 제작하는 것이다. 또, 이상의 사항은 IC칩(14)에 한정되지 않고, 저온 또는 고온 폴리실리콘 기술로 기판(71)에 직접 형성한 소스 드라이버(14)에도 적용된다. 다른 사항도 마찬가지이다.

본 발명에서는, 트랜지스터 그룹(681a)은 IC칩(14)의 대략 중앙부에 하나 구성하거나 배치, 형성 또는 제작되어 있고, 칩의 좌우에 8개씩 트랜지스터 그룹(681b)이 형성되어 있다(N=8+8, 도 63 참조). 자의 트랜지스터 그룹(681b)은 칩의 좌우와 같게 되도록, 또는, 칩 중앙의 친이 형성된 위치에 대하여, 좌측에 형성 또는 배치된 트랜지스터 그룹(681b)의 개수와, 칩의 우측에 형성 또는 배치된 트랜지스터 그룹(681b)의 개수의 차가, 네 개 이내가 되도록 구성하는 것이 바람직하다. 그 위에, 칩의 좌측에 형성 또는 배치된 트랜지스터 그룹(681b)의 개수와, 칩의 우측에 형성 또는 배치된 트랜지스터 그룹(681b)의 개수의 차가 한 개 이내가 되도록 구성하는 것이 바람직하다. 이상의 사항은 손에 대응하는 트랜지스터 그룹(도 68에서는 생략되어 있지만)에 대해서도 마찬가지이다.

친 전류원(631)과 자 전류원(632a) 사이에는 전압 수수(전압 접속)되어 있다. 따라서, 트랜지스터의 Vt 편차의 영향을 받기 쉽다. 그 때문에, 트랜지스터 그룹(681a)의 부분을 친밀 배치한다. 이 트랜지스터 그룹(681a)의 형성 면적을, 도 110에 나타내는 바와 같이, 2㎟ 이내의 면적에 형성한다. 더욱 바람직하게는 1.2㎟ 이내로 형성한다. 물론, 계조 수가 64계조 이하의 경우에는, 5㎟ 이내라도 좋다.

트랜지스터 그룹(681a)과 자 트랜지스터(632b) 사이에는 전류로 데이터를 수수(전류 수수)하고 있으므로, 다소, 거리는 떨어져 있어도 상관없다. 이 거리의 범위(예컨대, 상위의 트랜지스터 그룹(681a)의 출력단에서 하위의 트랜지스터(681b)의 입력단까지의 거리)는, 앞서 설명한 바와 같이, 제 2 전류원(자)을 구성하는 트랜지스터(632a)와 제 2 전류원(자)을 구성하는 트랜지스터(632b)를, 적어도 10㎜ 이내의 거리에 배치한다. 바람직하게는, 8㎜ 이내에 배치 또는 형성한다. 그 위에, 5㎜ 이내에 배치하는 것이 바람직하다. 이 범위이면, 검토에 의해 실리콘 칩 내에 배치되어 트랜지스터의 특성(Vt, 이동도(μ))차가 전류 수수에서는 거의 영향을 미치지 않기 때문이다. 특히, 이 관계는 하위의 트

랜지스터 그룹으로 실시하는 것이 바람직하다. 예컨대, 트랜지스터 그룹(681a)이 상위이고, 그 하위에 트랜지스터 그룹(681b), 또한 그 하위에 트랜지스터 그룹(681c)이 있으면, 트랜지스터 그룹(681b)과 트랜지스터 그룹(681c)의 전류 수수가 이 관계를 만족시킨다. 따라서, 모든 트랜지스터 그룹(681)이 이 관계를 만족시키는 것에, 본 발명이 한정되는 것은 아니다. 적어도 1조의 트랜지스터 그룹(681)이 이 관계를 만족시키도록 하면 좋다. 특히, 하위 쪽이 트랜지스터 그룹(681)의 개수가 많아지기 때문이다.

제 3 전류원(손)을 구성하는 트랜지스터(633a)와 제 3 전류원을 구성하는 트랜지스터(633b)에 대해서도 마찬가지이다. 또, 전압 수수에서도 대부분 적용할 수 있는 것은 물론이다.

트랜지스터 그룹(681b)은 칩의 좌우 방향(길이 방향, 즉, 출력 단자(761)와 대면하는 위치)으로 형성하거나 제작 또는 배치되어 있다. 이 트랜지스터 그룹(681b)의 개수 M은 본 발명에서는 11개(도 63 참조)이다.

자 전류원(632b)과 손 전류원(633a) 사이에는 전압 수수(전압 접속)되어 있다. 그 때문에, 트랜지스터 그룹(681a)과 같이 트랜지스터 그룹(681b) 부분을 친밀 배치한다. 이 트랜지스터 그룹(681b)의 형성 면적을, 도 110에 나타내는 바와 같이, 2㎟ 이내로 한다. 더욱 바람직하게는 1.2㎟ 이내로 한다. 단, 이 트랜지스 터 그룹(681b) 부분의 Vt가 조금이라도 흩어지면 화상으로서 인식되기 쉽다. 따라서, 거의 편차가 발생하지 않도록, 형성 면적은 도 110의 A 영역(0.5㎟ 이내)으로 하는 것이 바람직하다.

트랜지스터 그룹(681b)을 구성하는 손 트랜지스터(633a)와 트랜지스터(633b) 사이에는 전류로 데이터를 수수(전류 수수)하고 있으므로, 다소, 거리가 떨어져 있어도 상관없다. 이 거리의 범위에 대해서도 앞선 설명과 마찬가지이다. 제 3 전류원(손)을 구성하는 트랜지스터(633a)와 제 2 전류원(손)을 구성하는 트랜지스터(633b)를 적어도 8㎜ 이내의 거리에 배치한다. 그 위에, 5㎜ 이내에 배치하는 것이 바람직하다.

도 69에, 상기 전류값 제어용 소자로서, 전자 볼륨으로 구성한 경우를 나타낸다. 전자 볼륨은 저항(691)(전류 제한 및 각 기준 전압을 작성한다. 저항(691)은 폴리실리콘으로 형성함), 디코더(692), 레벨 시프터(693) 등으로 구성된다. 또, 전자 볼륨은 전류를 출력한다. 트랜지스터(641)는 아날로그 스위치 회로로서 기능한다.

또한, 전자 볼륨 회로는 EL 표시 패널의 색 수에 따라 형성(또는 배치)한다. 예컨대, RGB의 3원색이면, 각 색에 대응하는 세 개의 전자 볼륨 회로를 형성(또는 배치)하여, 각 색을 독립적으로 조정할 수 있도록 하는 것이 바람직하다. 그러나, 하나의 색을 기준으로 하는(고정하는) 경우에는, 색 수-1 분량의 전자 볼륨 회로를 형성(또는 배치)한다.

도 76은 RGB의 3원색을 독립적으로 기준 전류를 제어하는 저항 소자(651)를 형성(배치)한 구성이다. 물론, 저항 소자(651)는 전자 볼륨으로 대체하여도 되는 것은 물론이다. 전류원(631), 전류원(632) 등의 친 전류원, 자 전류원 등 기본(근본)으로 되는 전류원은 도 76에 나타내는 영역에 전류 출력 회로(704)에 밀집하여 배치한다. 밀집하여 배치함으로써, 각 소스 신호선(18)으로부터의 출력 편차가 저감한다. 도 76에 나타내는 바와 같이, IC칩(회로)(14)의 중앙부에 전류 출력 회로(704)를 배치함으로써, IC칩(회로)(14)의 좌우에 전류원(631, 632) 등으로부터 전류를 균등하게 분배하는 것이 용이해진다. 따라서, 좌우의 출력 편차가 발생하기 어렵다.

단, 중앙부에 전류 출력 회로(704)에 배치하는 것에 한정되는 것은 아니다. IC칩의 일단 또는 양단에 형성하여도 좋다. 또한, 출력단 회로와 평행하게 형성하여도 좋다.

전류 출력 회로(704)는, R, G, B마다 형성(배치)하고, 또한, 이 RGB의 전류 출력 회로(704R, 704G, 704B)도 근접해서 배치한다. 또한, 각 색 R, G, B에, 도 73에 나타내는 저전류 영역의 기준 전류 INL을 조정하고, 또한, 도 74에 나타내는 저전류 영역의 기준 전류 INH를 조정한다(도 79 참조). 따라서, R의 전류 출력 회로(704R)에는 저전류 영역의 기준 전류 INL을 조정하는 볼륨(또는, 전압 출력 또는 전류 출력의 전자 볼륨)(651RL)이 배치되고, 고전류 영역의 기준 전류 INH를 조정하는 볼륨(또는, 전압 출력 또는 전류 출력의 전자 볼륨)(651RH)가 배치된다. 마찬가지로, G의 전류 출력 회로(704G)에는 저전류 영역의 기준 전류 INL을 조정하는 볼륨(또는, 전압 출력 또는 전류 출력의 전자 볼륨)(651GL)이 배치되고, 고전류 영 역의 기준 전류 INH를 조정하는 볼륨(또는, 전압 출력 또는 전류 출력의 전자 볼륨)(651GH)이 배치된다. 또한, B의 전류 출력 회로(704B)에는 저전류 영역의 기준 전류 INL을 조정하는 볼륨(또는, 전압 출력 또는 전류 출력의 전자 볼륨)(651BL)이 배치되고, 고전류 영역의 기준 전류 INH를 조정하는 볼륨(또는, 전압 출력 또는 전류 출력의 전자 볼륨)(651BH)가 배치된다.

또, 볼륨(651) 등은 EL 소자(15)의 온도 특성을 보상할 수 있도록, 온도로 변화하도록 구성하는 것이 바람직하다. 또한, 도 79에 나타내는 감마 특성으로, 변곡점이 2점 이상 있을 때에는, 각 색의 기준 전류를 조정하는 전자 볼륨 또는 저항 등은 세 개 이상으로 하여도 되는 것은 물론이다.

IC칩의 출력 단자에는, 출력 패드(761)가 형성 또는 배치되어 있다. 이 출력 패드와, 표시 패널의 소스 신호선(18)이 접속된다. 출력 패드(761)는 도금 기술 또는 네일 헤드 본딩 기술에 의해 범프(돌기)가 형성되어 있다. 돌기의 높이는

10㎛ 이상 40㎛ 이하의 높이로 한다.

상기 범프와 각 소스 신호선(18)은 도전성 접합층(도시하지 않음)을 거쳐 전기적으로 접속되어 있다. 도전성 접합층은 접착제로서 에폭시계, 페놀계 등을 주제로 하여, 은(Ag), 금(Au), 니켈(Ni), 카본(C), 산화주석(SnO_2) 등의 후레이크를 섞은 물건, 또는 자외선 경화 수지 등이다. 도전성 접합층은 전사 등의 기술로 범프 상에 형성한다. 또한, 범프와 소스 신호선(18)을 ACF 수지로 열압착한다. 또, 범프 또는 출력 패드(761)와 소스 신호선(18)의 접속은 이상의 방식에 한정되는 것 은 아니다. 또한, 어레이 기판 상에 IC(14)를 적재하지 않고, 필름 캐리어 기술을 이용해도 좋다. 또한, 폴리이미드 필름 등을 이용해서 소스 신호선(18) 등으로 접속하여도 좋다.

도 69에서, 입력된 4비트의 전류값 제어용 데이터 DI는 4비트 디코더 회로(692)로 디코딩된다(분할 수가 64개 필요하면, 6비트로 하는 것은 물론이다. 여기서는 설명을 쉽게 하기 위해, 4비트로서 설명한다). 그 출력은 레벨 시프터 회로(693)에 의해, 논리 레벨의 전압값으로부터 아날로그 레벨의 전압값으로 승압되어, 아날로그 스위치(641)에 입력된다.

전자 볼륨 회로의 주구성부는 고정 저항 R0691a와 16개의 단위 저항 r691b로 구성되어 있다. 디코더 회로(692)의 출력은, 16개의 아날로그 스위치(641) 중 어느 하나에 접속되어 있고, 디코더 회로(692)의 출력에 의해, 전자 볼륨의 저항값이 정해지도록 구성되어 있다. 즉, 예컨대, 디코더 회로(692)의 출력이 4이면, 전자 볼륨의 저항값은 R0+5r로 된다. 이 전자 볼륨의 저항은 제 1 단 전류원(631)의 부하로 되고, 아날로그 전원 AVdd에 풀 업되어 있다. 따라서, 이 전자 볼륨의 저항값이 변화하면, 제 1 단 전류원(631)의 전류값이 변화하고, 그 결과, 제 2 단 전류원(632)의 전류값이 변화하며, 그 결과, 제 3 단 전류원(633)의 전류값도 변화하고, 드라이버 IC의 출력 전류는 제어되게 된다.

또, 설명의 형편 상, 전류값 제어용 데이터는 4비트로 했지만, 이것은 4비트에 고정되는 것이 아니라, 비트수가 많으면 많을수록, 전류값의 가변 수가 많아지는 것은 물론이다. 또한, 다단식 커런트 미러의 구성을 3단으로 설명했지만, 이것 도 3단으로 고정되는 것이 아니라, 임의의 단수라도 상관없다는 것은 물론이다.

또한, 온도 변화에 의해, EL 소자의 발광 휘도가 변화한다고 하는 과제에 대하여, 전자 볼륨 회로의 구성으로서, 온도에 의해 저항값이 변화하는 외부 저항(691a)을 구비시키는 것이 바람직하다. 온도에 의해 저항값이 변화하는 외부 저항으로는, 서미스터, 포지스터 등이 예시된다. 일반적으로, 소자에 흐르는 전류에 따라 휘도가 변화하는 발광 소자는 온도 특성을 가지고 있고, 같은 전류값을 흘리더라도, 그 발광 휘도는 온도에 의해 변화한다. 그래서, 온도에 의해 저항값이 변화하는 외부 저항(691a)을 전자 볼륨에 마련함으로써, 정전류 출력의 전류값을 온도에 의해 변화시킬 수 있고, 온도가 변화하여도 발광 휘도를 항상 일정하게 할 수 있다.

또, 상기 다단식 커런트 미러 회로를, 적색(R)용, 녹색(G)용, 청색(B)용의 3계통으로 분리하는 것이 바람직하다. 일반적으로 유기 EL 등의 전류 구동형 발광 소자에서는, R, G, B에서 발광 특성이 다르다. 따라서, R, G, B에서 같은 휘도로 하기 위해서는, 발광 소자에 흘리는 전류값을 R, G, B에서 각각 조정해야 한다. 또한, 유기 EL 표시 패널 등의 전류 구동형 발광 소자에서는, R, G, B에서 온도 특성이 다르다. 따라서, 온도 특성을 보정하기 위해 형성 또는 배치한 서미스터 등의 외부 보조 소자의 특성도 R, G, B에서 각각 조정해야 한다.

본 발명에서는, 상기 다단식 커런트 미러 회로가 R용, G용, B용의 3계통으로 분리되어 있으므로, 발광 특성이나 온도 특성을 R, G, B에서 각각 조정할 수 있어, 최적의 화이트 밸런스를 얻을 수 있다.

앞서도 설명하고 있지만, 전류 구동 방식에서는, 흑 표시 시에, 화소에 기입하는 전류가 작다. 그 때문에, 소스 신호선(18) 등에 기생 용량이 있으면, 1수평 주사 기간 1H에 화소(16)에 충분한 전류를 기입할 수 없다고 하는 문제점이 있었다. 일반적으로, 전류 구동형 발광 소자에서는, 흑 레벨의 전류값은 수 nA 정도로 미약하기 때문에, 그 신호값으로 수 10pF 정도라고 생각되는 기생 용량(배선 부하 용량)을 구동하는 것은 곤란하다. 이 과제를 해결하기 위해서는, 소스 신호선(18)에 화상 데이터를 기입하기 전에, 충전 전압을 인가하여, 소스 신호선(18)의 전위 레벨을 화소의 TFT(11a)의 흑 표시 전류(기본적으로는 TFT(11a)는 오프 상태)로 하는 것이 효과적이다. 이 충전 전압의 형성(작성)에는, 화상 데이터의 상위 비트를 디코딩함으로써, 흑 레벨의 정전압 출력을 하는 것이 효과적이다.

도 70에, 본 발명의 충전 기능을 갖은 전류 출력 방식의 소스 드라이버(IC)(14)의 일례를 나타낸다. 도 70에서는, 6비트의 정전류 출력 회로의 출력단에 충전 기능을 탑재한 경우를 나타내고 있다. 도 70에서, 충전 제어 신호는 화상 데이터 D0 D5의 상위 3비트 D3, D4, D5가 전부 0인 경우를 NOR 회로(702)에서 디코딩하여, 수평 동기 신호 HD에 의한 리셋 기능을 갖는 도트 클럭 CLK의 카운터 회로(701)의 출력과의 AND 회로(703)를 취하여, 일정 기간 흑 레벨 전압 Vp를 출력하도록 구성되어 있다. 다른 경우에는, 도 68 등에 설명한 전류 출력단(704)으로부터의 출력 전류가 소스 신호선(18)에 인가된다(소스 신호선(18)으로부터 프로그래밍 전류 Iw를 흡수한다). 이 구성에 의해, 화상 데이터가 흑 레벨에 가까운 0계조 째 7계조 째일 경우, 1수평 기간의 처음의 일정 기간만 흑 레벨에 상당하는 전압이 기입되어, 전류 구동의 부담이 줄어, 기입 부족을 보충하는 것이 가능해진다. 또, 완전 흑 표시를 0 계조 째에 행하고, 완전 백 표시를 63계조 째에 행한다(64계조 표시의 경우).

또, 충전을 행하는 계조는 흑 표시 영역에 한정해야 한다. 즉, 기입 화상 데이터를 판정하고, 흑 영역 계조(저휘도, 즉, 전류 구동 방식에서는, 기입 전류가 작음(미소))를 선택하여 충전한다(선택 충전). 전체 계조 데이터에 대하여, 충전하면, 이번에는 백 표시 영역에서, 휘도의 저하(목표 휘도에 도달하지 않음)가 발생한다. 또한, 화상에 세로줄이 표시된다.

바람직하게는, 계조 데이터의 계조 0부터 1/8의 영역의 계조에서, 선택 충전을 행한다(예컨대, 64계조일 때에는, 0계조 째로부터 7계조 째까지의 화상 데이터일 때, 충전을 하고 나서, 화상 데이터를 기입한다). 또한, 바람직하게는, 계조 데이터의 계조 0부터 1/16의 영역의 계조에서, 선택 충전을 행한다(예컨대, 64계조의 경우에서는, 0계조 째로부터 3계조 째까지의 화상 데이터일 때, 충전을 하고 나서, 화상 데이터를 기입한다).

특히, 흑 표시로, 계조를 높이기 위해서는, 계조 0만을 검출하여 충전하는 방식도 효과적이다. 이에 따라, 흑 표시가 매우 양호하게 된다. 문제는 화면 전체가 계조 1, 2일 경우에 화면이 흑 부유해 보이는 것이다. 따라서, 계조 데이터의 계조 0부터 1/8의 영역의 계조와, 일정한 범위에서 선택 충전을 행한다.

또, 충전의 전압, 계조 범위는 R, G, B에서 다르게 하는 것도 효과적이다. EL 표시 소자(15)는 R, G, B에서 발광 개시 전압, 발광 휘도가 다르기 때문이다. 예컨대, R은 계조 데이터의 계조 0부터 1/8의 영역의 계조에서, 선택 충전을 행한다(예컨대, 64계조의 경우에는, 01계조 째로부터 7계조 째까지의 화상 데이터일 때, 충전을 하고 나서, 화상 데이터를 기입한다). 다른 색 G, B는 계조 데이터의 계조 0부터 1/16의 영역의 계조로, 선택 충전을 하는(예컨대, 64계조의 경우에는, 0계조 째로부터 3계조 째까지의 화상 데이터일 때, 충전을 하고 나서, 화상 데이터를 기입함) 등의 제어를 행한다. 또한, 충전 전압도, R은 7V이면, 다른 색 G, B는 7.5V의 전압을 소스 신호선(18)에 기입하도록 한다. 최적의 충전 전압은 EL 표시 패널의 제조 로트에서 다른 경우가 많다. 따라서, 충전 전압은 외부 볼륨 등으로 조정할 수 있도록 구성해 두는 것이 바람직하다. 이 조정 회로도 전자 볼륨 회로를 이용함으로써 용이하게 실현할 수 있다.

또한, 전혀 충전하지 않는 제 0 모드, 계조 0만을 충전하는 제 1 모드, 계조 0부터 계조 3의 범위에서 충전하는 제 2 모드, 계조 0부터 계조 7의 범위에서 충전하는 제 3 모드, 전체 계조의 범위에서 충전하는 제 4 모드 등을 설정하고, 이들을 커맨드로 전환하도록 구성하는 것이 바람직하다. 이들은 소스 드라이버(IC)(14) 내에서 논리 회로를 구성(설계)함으로써 용이하게 실현할 수 있다.

도 75는 선택 충전 회로부의 구체화 구성도이다. 참조 부호 PV는 충전 전압의 입력 단자이다. 외부 입력 또는, 전자 볼륨 회로에 의해, R, G, B에서 개별의 충전 전압이 설정된다. 또, R, G, B에서 개별의 충전 전압을 설정한다고 했지만 이것에 한정되는 것은 아니다. R, G, B에서 공통이라도 좋다. 충전 전압은 화소(16)의 구동 TFT(11a)의 Vt에 상관한 것이고, 이 화소(16)는 R, G, B 화소에서 동일하기 때문이다. 역으로는, 화소(16)의 구동 TFT(11a)의 W/L비 등이 R, G, B에서 다르게 하고 있는(다른 설계로 되어있음) 경우에는, 충전 전압을 다른 설계에 대응해서 조정하는 것이 바람직하다. 예컨대, L이 커지면, TFT(11a)의 다이오드 특성은 나빠져, 소스-드레인(SD) 전압은 커진다. 따라서, 충전 전압은 소스 전위 Vdd에 대하여 낮게 설정해야 한다.

충전 전압 PV는 아날로그 스위치(731)에 입력되어 있다. 이 아날로그 스위치의 W(채널 폭)는 온 저항을 감소시키기 위해, 10㎛ 이상으로 해야 한다. 그러나, 너무 W가 크면, 기생 용량도 커지기 때문에 100㎛ 이하로 한다. 더욱 바람직하게는, 채널 폭 W는 15㎛ 이상 60㎛ 이하로 한다. 이상의 사항은 도 75의 스위치(641b)의 아날로그 스위치(731), 도 73의 아날로그 스위치(731)에도 적용된다.

스위치(641a)는 충전 인에이블 신호 PEN, 선택 충전 신호 PSL 및 도 74의 논리 신호의 상위 3비트 H5, H4, H3으로 제어된다. 일례로 한 논리 신호의 상위 3비트 H5, H4, H3의 의미는 상위 3비트가 '0'일 때에 선택 충전이 실시되도록 했기 때문이다. 즉, 하위 3비트가 '1'일 때(계조 0부터 계조7)를 선택하여 충전이 실시되도록 구성하고 있다.

또, 이 선택 충전은 계조 0만을 충전하든지, 계조 0부터 계조 7의 범위에서 충전하는 등과 같이 고정하여도 좋지만, 저계조 영역(도 79의 계조 0부터 계조 R1 또는 계조 (R1-1))을 선택 충전한다고 하도록, 저계조 영역과 연동시켜도 좋다. 즉, 선택 충전은 저계조 영역이 계조 0에서 계조 R1일 때에는 이 범위에서 실시하 고, 저계조 영역이 계조 0부터 계조 R2일 때에는 이 범위에서 실시하도록 연동시켜 실시한다. 또, 이 제어 방식이 다른 방식에 비교하여, 하드 규모가 작아진다.

이상의 신호의 인가 상태에 의해, 스위치(641a)가 온 오프 제어되어, 스위치(641a)가 온 상태일 때, 충전 전압 PV가 소스 신호선(18)에 인가된다. 또, 충전 전압 PV를 인가하는 시간은 별도 형성한 카운터(도시하지 않음)에 의해 설정된다. 이 카운터는 커맨드에 의해 설정할 수 있도록 구성되어 있다. 또한, 충전 전압의 인가 시간은 1수평 주사 기간(1H)의 1/100 이상 1/5 이하의 시간에 설정하는 것이 바람직하다. 예컨대, 1H가 100μsec라고 하면, 1μsec 이상 20μsec로 한다. 더욱 바람직하게는, 2μsec 이상 10μsec로 한다.

또한, 충전 인가 시간은 R, G, B에서 다르게 하는 것도 양호한 결과를 얻을 수 있다. 예컨대, R의 충전 시간을 G, B의

충전 시간보다도 길게 하는 등이다. 이것은 유기 EL 등에서는, RGB의 각 재료로 발광 개시 시 사이 등이 다르기 때문이다. 또, 다음에 소스 신호선(18)에 인가하는 화상 데이터에 의해, 충전 전압 PV 인가 시간을 가변함으로써도 양호한 결과를 얻을 수 있다. 예컨대, 완전 흑 표시의 계조 0에서는 인가 시간을 길게 하고, 계조 4에서는 그것보다도 짧게 하는 등이다. 또한, 1H 전의 화상 데이터와 다음에 인가하는 화상 데이터의 차를 고려하여, 인가 시간을 설정하는 것도 양호한 결과를 얻을 수 있다. 예컨대, 1H 전에 소스 신호선에 화소를 백 표시로 하는 전류를 기입하고, 다음 1H에, 화소에 흑 표시로 하는 전류를 기입하는 경우에는 충전 시간을 길게 한다. 흑 표시의 전류는 미소하기 때문이다. 반대로, 1H 전에 소스 신호선에 화소를 흑 표시로 하는 전류를 기입 하고, 다음 1H의 백 화소에 흑 표시로 하는 전류를 기입하는 경우에는, 충전 시간을 짧게 하든지, 또는 충전을 정지한다(실행하지 않는다). 백 표시의 기입 전류는 크기 때문이다.

또한, 인가하는 화상 데이터에 따라 충전 전압을 변화시키는 것도 효과적이다. 흑 표시의 기입 전류는 미소(微小)하며, 백 표시의 기입 전류는 크기 때문이다. 따라서, 저계조 영역으로 되는 것에 따라, 충전 전압을 높게(Vdd에 대해. 또, 화소 TFT(11a)가 P채널일 때) 하여, 고계조 영역이 됨에 따라, 충전 전압을 낮게(화소 TFT(11a)가 P채널일 때) 한다. 프로그래밍 전류 오픈 단자(PO 단자)가 '0'일 때에는, 스위치(641b)가 오프 상태로 되고, IL 단자 및 IH 단자와, 소스 신호선(18)은 차단된다(Iout 단자가 소스 신호선(18)과 접속되어 있다). 따라서, 프로그래밍 전류 Iw는 소스 신호선(18)에는 흐르지 않는다. PO단자는 프로그래밍 전류 Iw를 소스 신호선에 인가하고 있을 때에는, '1'로 하고, 스위치(641b)를 온 상태로 하여, 프로그래밍 전류 Iw를 소스 신호선(18)에 흘린다.

PO 단자에 '0'을 인가하여, 스위치(641b)를 오픈으로 할 때에는, 표시 영역의 어느 쪽의 화소행도 선택되어 있지 않을 때이다. 전류원(634)은 입력 데이터(D0 D5)에 근거해서 전류를 끊임없이 소스 신호선(18)으로부터 인입하고 있다. 이 전류가 선택된 화소(16)의 Vdd 단자로부터 TFT(11a)를 거쳐 소스 신호선(18)으로 유입되는 전류이다. 따라서, 어느 쪽의 화소행도 선택되어 있지 않을 때에는, 화소(16)로부터 소스 신호선(18)에 전류가 흐르는 경로가 아니다. 어느 쪽의 화소행도 선택되어 있지 않을 때란, 임의의 화소행이 선택되어, 다음 화 소행이 선택되기 까지의 사이에 발생한다. 또, 이러한 어느 쪽의 화소(화소행)도 선택되지 않고, 소스 신호선(18)으로 유입되는(유출되는) 경로가 없는 상태를, 전체 비선택 기간이라 부른다.

이 상태에서, IOUT 단자가 소스 신호선(18)에 접속되어 있으면, 온 상태인 단위 전류원(634)(실제로는 온 상태인 것은 D0 D5 단자의 데이터에 의해 제어되는 스위치(641)이지만)에 전류가 흐른다. 그 때문에, 소스 신호선(18)의 기생 용량에 충전된 전하가 방전하여, 소스 신호선(18)의 전위가 급격히 저하한다.

이상과 같이, 소스 신호선(18)의 전위가 저하하면, 본래 소스 신호선(18)에 기입하는 전류에 의해, 본래의 전위까지 회복하는데 시간이 필요하게 된다.

이 과제를 해결하기 위해, 본 발명은 전체 비선택 기간에, PO 단자에 '0'을 인가하여, 도 75의 스위치(641b)를 오프 상태로 하여, IOUT 단자와 소스 신호선(18)을 차단한다. 이에 따라, 소스 신호선(18)으로부터 전류원(634)에 전류가 흘러 들어오는 일은 없어지기 때문에, 전체 비선택 기간에 소스 신호선(18)의 전위 변화는 발생하지 않는다. 이상과 같이, 전체 비선택 기간에 PO 단자를 제어하여, 소스 신호선(18)으로부터 전류원을 차단함으로써, 양호한 전류 기입을 실시할 수 있다.

또한, 화면에 백 표시 영역(일정한 휘도를 갖는 영역)의 면적(백 면적)과, 흑 표시 영역(소정 이하의 휘도 영역)의 면적(흑 면적)이 혼재하고, 백 면적과 흑 면적의 비율이 일정한 범위일 때, 충전을 정지한다고 하는 기능을 부가하는 것은 효과적이다(적정 충전). 이 일정한 범위에서, 화상에 세로줄이 발생하기 때문이 다. 물론, 역으로 일정한 범위에서, 충전한다고 하는 경우도 있다. 또한, 화상이 움직였을 때, 화상이 노이즈적으로 되기 때문이다. 적정 충전은 연산 회로로 백 면적과 흑 면적에 해당하는 화소의 데이터를 카운트(연산)함으로써, 용이하게 실현할 수 있다. 또한, 적정 충전은 R, G, B에서 다르게 하는 것도 효과적이다. EL 표시 소자(15)는 R, G, B에서 발광 개시 전압, 발광 휘도가 다르기 때문이다. 예컨대, R은 소정 휘도의 백 면적과 소정 휘도의 흑 면적의 비가 1:20 이상으로 충전을 정지 또는 개시하고, G와 B는 소정 휘도의 백 면적과 소정 휘도의 흑 면적의 비가 1:16 이상으로 충전을 정지 또는 개시한다고 하는 구성이다. 또, 실험 및 검토 결과에 따르면, 유기 EL 패널의 경우, 소정 휘도의 백 면적과 소정 휘도의 흑 면적의 비가 1:100 이상(즉, 흑 면적이 백 면적의 100배 이상)으로 충전을 정지하는 것이 바람직하다. 그 위에, 소정 휘도의 백 면적과 소정 휘도의 흑 면적의 비가 1:200 이상(즉, 흑 면적이 백 면적의 200배 이상)으로 충전을 정지하는 것이 바람직하다.

충전 전압 PV는 화소(16)의 구동 TFT(11a)가 P채널일 경우, Vdd(도 1 참조)에 가까운 전압을 소스 드라이버(IC)(14)로부터 출력해야 한다. 그러나, 이 충전 전압 PV가 Vdd에 가까울수록, 드라이버 회로(IC)(14)는 고내압 프로세스의 반도체를 사용해야 한다(고내압이라 해도, 5V 10V이지만, 그러나, 5V 내압을 초과하면, 반도체 프로세스 가격은 비싸게 되는 점이 과제이다. 따라서, 5V 내압의 프로세스를 채용함으로써 고선명, 저가격의 프로세스를 사용할 수 있음).

화소(16)의 구동용 TFT(11a)의 다이오드 특성이 양호하고 백 표시의 온 상태 전류가 확보된 경우, 5V 이하이면, 소

스 드라이버(14)도 5V 프로세스를 사용할 수 있기 때문에 문제는 발생하지 않는다. 그러나, 다이오드 특성이 5V를 초과하면, 문제로 된다. 특히, 충전은 TFT(11a)의 소스 전압 Vdd에 가까운 충전 전압 PV를 인가해야 하기 때문에, IC(14)로부터 출력할 수가 없게 된다.

도 92는 이 과제를 해결하는 패널 구성이다. 도 92에서는, 어레이(71) 측에 스위치 회로(641)를 형성하고 있다. 소스 드라이버(14)로부터는, 스위치(641)의 온 오프 신호를 출력한다. 이 온 오프 신호는 어레이(71)에 형성된 레벨 시프트 회로(693)로 승압되어, 스위치(641)를 온 오프 동작시킨다. 또, 스위치(641) 및 레벨 시프트 회로(693)가 화소의 TFT를 형성하는 프로세스로 동시에, 또는 순차적으로 형성한다. 물론, 외부 부착 회로(IC)로 별도 형성하여, 어레이(71) 상에 실장 등하여도 좋다.

온 오프 신호는 앞서 설명(도 75 등)한 충전 조건에 근거해서, IC(14)의 단자(761a)로부터 출력된다. 따라서, 충전 전압의 인가, 구동 방법은 도 92의 실시예에서도 적용할 수 있는 것은 물론이다. 단자(761a)로부터 출력되는 전압(신호)은 5V 이하로 낮다. 이 전압(신호)이 레벨 시프터 회로(693)에서 스위치(641)의 온 오프 논리 레벨까지 진폭이 커지게 된다.

이상과 같이 구성함으로써, 소스 드라이버(IC)(14)는 프로그래밍 전류 Iw를 구동할 수 있는 동작 전압 범위의 전원 전압으로 충분하게 된다. 충전 전압 PV는 동작 전압이 높은 어레이 기판(71)에서 과제는 없어진다. 따라서, 충전도 Vdd 전압까지 충분히 인가할 수 있도록 된다.

도 89의 스위치 회로(641)도 소스 드라이버(IC)(14) 내에 형성(배치)하는 것으로 되면 내압이 문제로 된다. 예컨대, 화소(16)의 Vdd 전압이 IC(14)의 전원 전압보다도 높은 경우, IC(14)의 단자(761)에 IC(14)를 파괴하는 것과 같은 전압이 인가될 위험이 있기 때문이다.

이 과제를 해결하는 실시예가 도 91의 구성이다. 어레이 기판(71)에 스위치 회로(641)를 형성(배치)하고 있다. 스위치 회로(641)의 구성 등은 도 92에서 설명한 구성, 수단 등으로 동일 또는 유사하다.

스위치(641)는 IC(14)의 출력보다도 앞이고, 또한 소스 신호선(18)의 도중에 배치되어 있다. 스위치(641)가 온 상태로 됨으로써, 화소(16)를 프로그래밍하는 전류 Iw가 소스 드라이버(IC)(14)로 유입된다. 스위치(641)가 오프 상태로 됨으로써, 소스 드라이버(IC)(14)는 소스 신호선(18)으로부터 차단된다. 이 스위치(641)를 제어함으로써, 도 90에 나타내는 구동 방식 등을 실시할 수 있다.

도 92와 마찬가지로, 단자(761a)로부터 출력되는 전압(신호)은 5V 이하로 낮다. 이 전압(신호)이 레벨 시프터 회로(693)에서 스위치(641)의 온 오프 논리 레벨까지 진폭이 커지게 된다.

이상과 같이 구성함으로써, 소스 드라이버(IC)(14)는 프로그래밍 전류 Iw를 구동할 수 있는 동작 전압 범위의 전원 전압으로 충분하게 된다. 또한, 스위치(641)도 어레이(71)의 전원 전압으로 동작하기 때문에, 화소(16)로부터 Vdd 전압이 소스 신호선(18)에 인가되어도 스위치(641)가 파괴되는 일은 없고, 또한, 소스 드라이버(IC)(14)가 파괴되는 일도 없다.

또, 도 91의 소스 신호선(18)의 도중에 배치(형성)된 스위치(641)와 충전 전압 PV 인가용 스위치(641)의 쌍방을 어레이 기판(71)에 형성(배치)하여도 되는 것은 물론이다(도 91+도 92의 구성).

이전에도 설명했지만, 도 1과 같이 화소(16)의 구동용 TFT(11a), 선택 TFT(11b, 11c)가 P채널 TFT일 경우에는 관통 전압이 발생한다. 이것은 게이트 신호선(17a)의 전위 변동이 선택 TFT(11b, 11c)의 G-S 용량(기생 용량)을 거쳐, 콘덴서(19)의 단자로 관통하기 때문이다. P채널 트랜지스터(11b)가 오프 상태로 될 때에는 Vgh 전압으로 된다. 그 때문에, 콘덴서(19)의 단자 전압이 Vdd 측으로 조금 시프트한다. 그 때문에, 트랜지스터(11a)의 게이트 단자 G 전압은 상승하여, 더욱 흑 표시로 된다.

그러나, 반면, 제 1 계조의 완전 흑 표시는 실현할 수 있지만, 제 2 계조 등은 표시하기 어려운 것으로 된다. 또는, 제 1 계조로부터 제 2 계조까지 크게 계조 건너뜀이 발생하거나, 특정한 계조 범위에서 흑 파괴가 발생하거나 한다. 이 과제를 해결하는 구성이 도 71의 구성이다. 출력 전류값을 상승시키는 기능을 갖는 것을 특징으로 한다. 상승 회로(711)의 주된 목적은 관통 전압의 보상이다. 또한, 화상 데이터가 흑 레벨 0이라도, 어느 정도(수 10nA) 전류가 흐르도록 하여, 흑 레벨의 조정에도 이용할 수 있다.

기본적으로는, 도 71은 도 64의 출력단에 상승 회로(도 71의 점선으로 둘러싸인 부분)를 추가한 것이다. 도 71은 전류값 상승 제어 신호로서 3비트 K0, K1, K2를 가정한 것이고, 이 3비트의 제어 신호에 의해, 손 전류원의 전류값의 0 7배 의 전류값을 출력 전류에 가산할 수 있다.

이상이 본 발명의 소스 드라이버(IC)(14)의 기본적인 개요이다. 이 후, 더욱 상세히 본 발명의 소스 드라이버(IC)(14)에 대하여 설명한다.

EL 소자(15)에 흘리는 전류 I(A)와 발광 휘도 B(nt)는 선형의 관계가 있다. 즉, EL 소자(15)에 흘리는 전류 I(A)와 발광 휘도 B(nt)는 비례한다. 전류 구동 방식에서는, 1단계(계조 피치)는 전류(전류원(634)(1단위))이다.

인간의 휘도에 대한 시각은 2승 특성을 갖고 있다. 즉, 2승의 곡선으로 변화할 때, 밝기는 직선적으로 변화하도록 인식된다. 그러나, 도 83의 관계이면, 저휘도 영역에서도 고휘도 영역에서도, EL 소자(15)에 흘리는 전류 I(A)와 발광 휘도 B(nt)는 비례한다. 따라서, 1단계 피치씩 변화시키면, 저계조부(흑 영역)에서는, 1단계에 대한 휘도 변화가 크다(흑 건너뜀이 발생한다). 고계조부(백 영역)는 거의 2승 곡선의 직선 영역과 일치하기 때문에, 1단계에 대한 휘도 변화는 등간격으로 변화하도록 인식된다. 이상으로부터, 전류 구동 방식(1단계가 전류 피치일 경우)에서(전류 구동 방식의 소스 드라이버(IC)(14)에서), 흑 표시 영역이 과제로 된다.

이 과제에 대하여, 본 발명은, 도 79에 나타내는 바와 같이, 저계조 영역(계조 0(완전 흑 표시)부터 계조 R1)의 전류 출력의 기울기를 작게 하고, 고계조 영역(계조 R1부터 최대 계조 R)의 전류 출력의 기울기를 크게 한다. 즉, 저계조 영역에서는, 1계조 당 (1단계) 증가하는 전류량을 작게 한다. 고계조 영역에서는, 1계조 당 (1단계) 증가하는 전류량을 크게 한다. 도 79의 두 개의 계조 영역에서 1단계 당 변화하는 전류량을 다르게 함으로써, 계조 특성이 2승 곡선에 가깝게 되어, 저계조 영역에서의 흑 건너뜀의 발생은 없다. 이상의 도 79 등에 도시하는, 계조-전류 특성 곡선을 감마 곡선이라 부른다.

또, 이상의 실시예에서는, 저계조 영역 및 고계조 영역의 2단계의 전류 기울기로 했지만, 이것에 한정되는 것은 아니다. 3단계 이상이라도 좋은 것은 물론이다. 그러나, 2단계의 경우에는 회로 구성이 간단하게 되므로 바람직하다.

본 발명의 기술적 사상은 전류 구동 방식의 소스 드라이버(IC) 등에서(기본적으로는 전류 출력으로 계조 표시를 행하는 회로이다. 따라서, 표시 패널이 액티브 매트릭스형에 한정되는 것이 아니라, 단순 매트릭스형도 포함됨), 계조 1단계 당 전류 증가량을 복수 존재시키는 것이다.

EL 등의 전류 구동형 표시 패널은 인가되는 전류량에 비례하고 표시 휘도가 변화한다. 따라서, 본 발명의 소스 드라이버(IC)(14)에서는, 하나의 전류원(1단위)(634)에 흐르는 것으로 되는 기준 전류를 조정함으로써, 용이하게 표시 패널의 휘도를 조정할 수 있다.

EL 표시 패널에서는, R, G, B에서 발광 효율이 다르고, 또한, NTSC 기준에 대한 색 순도가 어긋나고 있다. 따라서, 화이트 밸런스를 최적으로 하기 위해서는 RGB의 비율을 적정하게 조정해야 한다. 조정은 RGB 각각의 기준 전류를 조정함으로써 실행한다. 예컨대, R의 기준 전류를 2μA로 하고, G의 기준 전류를 1.5μA로 하고, B의 기준 전류를 3.5μA로 한다. 또, 본 발명의 드라이버에서는, 도 67에서의 제 1 단의 전류원(631)의 커런트 미러 배율을 작게 하고(예컨대, 기준 전류가 1 μA이면, 트랜지스터(632b)에 흐르는 전류를 1/100의 10nA로 하는 등), 외부로부터 조정하는 기준 전류의 조정 정밀도를 대략적으로 할 수 있도록 하고, 또한, 칩 내의 미소 전류의 정밀도를 효율적으로 조정할 수 있도록 구성하고 있다.

도 79의 감마 곡선을 실현할 수 있도록, 본 발명의 소스 드라이버는 저계조 영역의 기준 전류의 조정 회로와 고계조 영역의 기준 전류의 조정 회로를 구비하고 있다. 또한, RGB에서 독립적으로 조정할 수 있도록, RGB마다 저계조 영역의 기준 전류의 조정 회로와 고계조 영역의 기준 전류의 조정 회로를 구비하고 있다. 물론, 1색을 고정하고, 다른 색의 기준 전류를 조정함으로써 화이트 밸런스를 조정할 때에는, 2색(예컨대, G를 고정하고 있는 경우에는 R, B)을 조정하는 저계조 영역의 기준 전류의 조정 회로 및 고계조 영역의 기준 전류의 조정 회로를 구비하면 좋다.

전류 구동 방식은, 도 83에도 도시한 바와 같이, EL에 흐르는 전류 I와 휘도의 관계는 직선의 관계에 있다. 따라서, RGB의 혼합에 의한 화이트 밸런스의 조정은 소정 휘도의 일점에서 RGB의 기준 전류를 조정하는 것만으로도 좋다. 즉, 소정 휘도의 일점에서 RGB의 기준 전류를 조정하여, 화이트 밸런스를 조정하면, 기본적으로는 전체 계조에 걸쳐 화이트 밸런스가 취해진다.

그러나, 도 79의 감마 곡선의 경우에는, 조금 주의가 필요하다. 우선, RGB의 화이트 밸런스를 취하기 위해서는, 감마 곡선의 변곡 위치(계조 R1)를 RGB에서 동일로 할 필요가 있다(역으로 말하면, 전류 구동 방식에서는, 감마 곡선이 상대적인 관계를 RGB에서 동일하게 할 수 있다는 것이 된다). 또한, 저계조 영역의 기울기와 고계조 영역의 기울기의 비율을 RGB에서, 일정하게 해야 한다(즉, 전류 구동 방식에서는, 감마 곡선이 상대적인 관계를 RGB에서 동일하게 할 수 있는 것이 된다). 예컨대, 저계조 영역에서 1계조 당 10nA 증가(저계조 영역에서의 감마 곡선의 기울기)하고, 고계조 영역에서 1계조 당 50nA 증가(고계조 영역에서의 감마 곡선의 기울기)한다(또, 고계조 영역에서 1계조 당 전류 증가량/저계조 영역에서 1계조 당 전류 증가량을 감마 전류 비율이라 한다. 본 실시예에서는, 감마 전류 비율은 50nA/10nA=5이다). 그러면, RGB에서 감마 전류 비율을 동일로 한다. 즉, RGB에서는, 감마 전류 비율을 동일로 한 상태에서

EL 소자(15)에 흐르는 전류를 조정하도록 구성한다.

도 80은 그 감마 곡선의 예이다. 도 80(a)에서는, 저계조부와 고계조부와도 1계조 당 전류 증가가 크다. 도 80(b)에서는, 저계조부와 고계조부와도 1계조 당 전류 증가는 도 80(a)에 비해 작다. 단, 도 80(a), 도 80(b)도 감마 전류 비율은 동일로 하고 있다. 이와 같이, 감마 전류 비율을 RGB에서 동일하게 유지한 채로 조정하는 것은 각 색에 저계조부에 인가하는 기준 전류를 발생시키는 정전류 회로와, 고계조부에 인가하는 기준 전류를 발생시키는 정전류 회로를 제작하여, 이들을 상대적으로 흘리는 전류를 조정하는 볼륨을 제작(배치)하면 좋기 때문이다.

도 77은 감마 전류 비율을 유지한 채로, 출력 전류를 가변으로 하는 회로 구성이다. 전류 제어 회로(772)로 저전류 영역의 기준 전류원(771L)과 고전류 영역의 기준 전류원(771H)의 감마 전류 비율을 유지한 채로, 전류원(633L, 633H)에 흐르는 전류를 변화시킨다.

또한, 도 78에 나타내는 바와 같이, IC칩(회로)(14) 내에 형성한 온도 검출 회로(781)로 상대적인 표시 패널의 온도를 검출하는 것이 바람직하다. 유기 EL 소자는 RGB를 구성하는 재료에 의해 온도 특성이 다르기 때문이다. 이 온도 검출은 바이폴라 트랜지스터의 접합부의 상태가 온도에 의해 변화하므로 출력 전류가 온도에 의해 변화하는 것을 이용한다. 이 검출한 온도를 각 색에 배치(형성)한 온도 제어 회로(782)로 피드백하여, 전류 제어 회로(772)에 의해 온도 보상을 행한다.

또, 감마 비율은 발명자 등의 검토에 따르면, 3 이상 10 이하의 관계로 하는 것이 적절하다. 더욱 바람직하게는, 4 이상 8 이하의 관계로 하는 것이 적절하다. 특히 감마 전류 비율은 5 이상 7 이하의 관계를 만족시키는 것이 바람직하다. 이것을 제 1 관계라고 부른다.

또한, 저계조부와 고계조부와의 변화 포인트(도 79의 계조 R1)는 최대 계조 수 K의 1/32 이상 1/4 이하로 설정하는 것이 적절하다(예컨대, 최대 계조 수 K가 6비트의 64계조라고 하면, 64/32=2계조 째 이상, 64/4=16계조 째 이하로 한다). 더욱 바람직하게는, 저계조부와 고계조부와의 변화 포인트(도 79의 계조 R1)는 최대 계조 수 K의 1/16 이상 1/4 이하로 설정하는 것이 적절하다(예컨대, 최대 계조 수 K가 6비트의 64계조라고 하면, 64/16=4계조 째 이상, 64/4=16계조 째 이하로 한다). 더욱 바람직하게는, 최대 계조 수 K의 1/10 이상 1/5 이하로 설정하는 것이 적절하다(또, 계산에 의해 소수점 이하가 발생하는 경우에는 무시한다. 예컨대, 최대 계조 수 K가 6비트의 64계조라고 하면, 64/10=6계조 째 이상, 64/5=12계조 째 이하로 한다). 이상의 관계를 제 2 관계라고 부른다. 또, 이상의 설명은 두 개의 전류 영역의 감마 전류 비율의 관계이다. 그러나, 이상의 제 2 관계는 세 개 이상의 전류 영역의 감마 전류 비율이 있을(즉, 변곡점이 두 부분 이상임) 경우에도 적용된다. 즉, 세 개 이상의 기울기에 대하여, 임의의 두 개의 기울기에 대한 관계에 적용하면 좋다.

이상의 제 1 관계 및 제 2 관계의 양쪽을 동시에 만족시킴으로써, 흑 건너뜀이 없고 양호한 화상 표시를 실현할 수 있다.

도 82는 본 발명의 전류 구동 방식의 소스 드라이버(IC)(14)를 하나의 표시 패널에 복수개 이용한 실시예이다. 본 발명의 소스 드라이버(14)는 복수의 드라이버 IC(14)를 이용하는 것을 상정한, 슬레이브/마스터(S/M) 단자를 구비하고 있다. S/M 단자를 H레벨로 함으로써 마스터칩으로서 동작하고, 기준 전류 출력 단자(도시하지 않음)로부터 기준 전류를 출력한다. 이 전류가 슬레이브의 IC(14:14a, 14c)의 도 73, 도 74의 INL, INH 단자에 흐르는 전류로 된다. S/M 단자를 L레벨로 함으로써 IC(14)는 슬레이브 칩으로서 동작하고, 기준 전류 입력 단자(도시하지 않음)로부터, 마스터칩의 기준 전류를 받아들인다. 이 전류가 도 73, 도 74의 INL, INH 단자에 흐르는 전류로 된다.

기준 전류 입력 단자, 기준 전류 출력 단자 사이에서 수수하는 기준 전류는 각 색의 저계조 영역과 고계조 영역의 2계통이다. 따라서, RGB의 3색으로는, 3×2로 6계통으로 된다. 또, 상기한 실시예에서는, 각 색 2계통으로 했지만 이것에 한정되는 것이 아니라, 각 색 3계통 이상이라도 좋다.

본 발명의 전류 구동 방식에서는, 도 81에 나타내는 바와 같이, 변곡점(계조 R1 등)을 변경할 수 있도록 구성하고 있다. 도 81(a)에서는, 계조 R1에서 저계조 부와 고계조부를 변화시키고, 도 81(b)에서는, 계조 R2로 저계조부와 고계조부를 변화시키고 있다. 이와 같이, 변곡 위치를 복수 부분에서 변화할 수 있도록 하고 있다.

구체적으로는, 본 발명에서는 64계조 표시를 실현할 수 있다. 변곡점(R1)은 없고, 2계조 째, 4계조 째, 8계조 째, 16계조 째로 하고 있다. 또, 완전 흑 표시를 계조 0으로 하고 있기 때문에, 변곡점은 2, 4, 8, 16으로 되는 것이고, 완전히 흑 표시의 계조를 계조 1로 하는 것이면, 변곡점은 3, 5, 9, 17, 33으로 된다. 이상과 같이, 변곡 위치를 2의 배수 부분(또는, 2의 배수 + 1의 부분 : 완전 흑 표시를 계조 1로 한 경우)으로 할 수 있도록 구성함으로써, 회로 구성이 용이하게 된다고 하는 효과가 발생한다.

도 73은 저전류 영역의 전류원 회로부의 구성도이다. 또한, 도 74는 고전류 영역의 전류원부 및 상승 전류 회로부의

구성도이다. 도 73에 나타내는 바와 같이, 저전류원 회로부는 기준 전류 INL이 인가되고, 기본적으로는 이 전류가 단위 전류로 되어, 입력 데이터 L0 L4에 의해, 전류원(634)이 필요 개수 동작하고, 그 총합으로서 저전류부의 프로그래밍 전류 IwL이 흐른다.

또한, 도 74에 나타내는 바와 같이, 고전류원 회로부는 기준 전류 INH가 인가되고, 기본적으로는 이 전류가 단위 전류로 되어, 입력 데이터 H0 L5에 의해, 전류원(634)이 필요 개수 동작하고, 그 총합으로서 저전류부의 프로그래밍 전류 IwH가 흐른다.

상승 전류 회로부도 마찬가지로서, 도 74에 나타내는 바와 같이, 기준 전류 INH가 인가되고, 기본적으로는 이 전류가 단위 전류로 되어, 입력 데이터 AK0 AK2에 의해, 전류원(634)이 필요 개수 동작하고, 그 총합으로서 상승 전류에 대응하는 전류 IwK가 흐르는 소스 신호선(18)에 흐르는 프로그래밍 전류 Iw는 Iw=IwH+IwL+IwK이다. 또, IwH와 IwL의 비율, 즉 감마 전류 비율은 앞서 설명한 제 1 관계를 만족시키도록 한다.

또, 도 73, 도 74에 나타내는 바와 같이, 온 오프 스위치(641)는 인버터(732)와 P채널 트랜지스터와 N채널 트랜지스터로 이루어지는 아날로그 스위치(731)로 구성된다. 이와 같이 스위치(641)를, 인버터(732)와 P채널 트랜지스터와 N채널 트랜지스터로 이루어지는 아날로그 스위치(731)로 구성함으로써, 온 상태 저항을 저하시킬 수 있어, 전류원(634)과 소스 신호선(18) 사이의 전압 강하를 매우 작게 할 수 있다.

도 73의 저전류 회로부와 도 74의 고전류 회로부의 동작에 대하여 설명한다. 본 발명의 소스 드라이버(IC)(14)는 저전류 회로부 L0 L4의 5비트로 구성되고, 고전류 회로부 H0 H5의 6비트로 구성된다. 또, 회로의 외부로부터 입력되는 데이터는 D0 D5의 6비트(각 색 64계조)이다. 이 6비트 데이터를 L0 L4의 5비트, 고전류 회로부 H0 H5의 6비트로 변환하여 소스 신호선에 화상 데이터에 대응하는 프로그래밍 전류 Iw를 인가한다. 즉, 입력 6비트 데이터를, 5+6=11비트 데이터로 변환하고 있다. 따라서, 고밀도의 감마 곡선을 형성할 수 있다.

이상과 같이, 입력 6비트 데이터를, 5+6=11비트 데이터로 변환하고 있다. 본 발명에서는, 고전류 영역의 회로의 비트수 H는 입력 데이터 D의 비트 수와 동일 로 하고, 저전류 영역의 회로의 비트수 L은 입력 데이터 D의 비트수-1로 하고 있다. 또, 저전류 영역의 회로의 비트수 L은 입력 데이터 D의 비트수-2로 하여도 좋다. 이와 같이 구성함으로써, 저전류 영역의 감마 곡선과, 고전류 영역의 감마 곡선이 EL 표시 패널의 화상 표시에 최적으로 된다.

이하, 저전류 영역의 회로 제어 데이터 L0 L4와 고전류 영역의 회로 제어 데이터 H0 H4의 제어 방법에 대하여, 도 84 내지 도 86을 참조하면서 설명한다.

본 발명은 도 73의 L4 단자에 접속된, 전류원(634a)의 동작에 특징이 있다. 이 참조 부호 634a는 1단위의 전류원으로 되는 하나의 트랜지스터로 구성되어 있다. 이 트랜지스터를 온 오프 상태로 함으로써, 프로그래밍 전류 Iw의 제어(온 오프 제어)가 용이하게 된다.

도 84는 저전류 영역과 고전류 영역을 계조 4로 전환하는 경우의 저전류 측 신호선 L 및 고전류 측 신호선 H의 인가 신호이다. 또, 도 84 내지 도 86에서, 계조 0부터 18까지 도시하고 있지만, 실제로는 63계조 째까지 있다. 따라서, 각 도면에서 계조 18 이상은 생략하고 있다. 또한, 표의 '1'일 때에 스위치(641)가 온 상태로 되어, 해당 전류원(634)과 소스 신호선(18)이 접속되고, 표의 '0'일 때에 스위치(641)를 오프 상태로 하고 있다.

도 84에서, 완전 흑 표시의 계조 0의 경우에는, (L0 L4)=(0, 0, 0, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 모든 스위치(641)는 오프 상태이며, 소스 신호선(18)에는 프로그래밍 전류 Iw=0이다.

계조 1에서는, (L0 L4)=(1, 0, 0, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이 다. 따라서, 저전류 영역 하나의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 2에서는, (L0 L4)=(0, 1, 0, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저전류 영역의 두 개의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 3에서는, (L0 L4)=(1, 1, 0, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저전류 영역의 두 개의 스위치(641La, 641Lb)가 온 상태로 되어, 세 개의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 4에서는, (L0 L4)=(1, 1, 0, 0, 1)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저전류 영역의 세 개의 스위치(641La, 641Lb, 641Le)가 온 상태로 되고, 네 개의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영

역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 5 이상에서는, 저전류 영역(L0 L4)=(1, 1, 0, 0, 1)은 변화가 없다. 그러나, 고전류 영역에서, 계조 5에서는 (H0 H5)=(1, 0, 0, 0, 0)이며, 스위치(641Ha)가 온 상태로 되고, 고전류 영역의 하나의 단위 전류원(641)이 소스 신호선(18)과 접속되어 있다. 또한, 계조 6에서는 (H0 H5)=(0, 1, 0, 0, 0)이며, 스위치(641Hb)가 온 상태로 되고, 고전류 영역의 두 개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 마찬가지로, 계조 7에서는 (H0 H5)=(1, 1, 0, 0, 0)이 며, 두 개의 스위치(641Ha), 스위치(641Hb)가 온 상태로 되고, 고전류 영역의 세 개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 또한, 계조 8에서는 (H0 H5)=(0, 0, 1, 0, 0)이며, 하나의 스위치(641Hc)가 온 상태로 되고, 고전류 영역의 네 개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 이 후, 도 84와 같이 순차적으로 스위치(641)가 온 오프 상태로 되어, 프로그래밍 전류 Iw가 소스 신호선(18)에 인가된다.

이상의 동작에서 특징적인 것은 변곡점(저전류 영역과 고전류 영역의 전환점, 정확하게는, 프로그래밍 전류 Iw에서는, 고전류 영역의 계조일 경우, 저전류 IwL이 가산되어 있으므로, 전환점이라는 표현은 올바르지 않다. 또한, 상승 전류 IwK도 가산된다. 즉, 고계조부의 계조에서는, 저계조부의 전류에 가산되어, 고계조부의 단계(계조)에 따른 전류가 프로그래밍 전류 Iw로 되어있는 것이다. 1단계의 계조(전류가 변화하는 점이나 포인트 또는 위치라고 할 수 있음))을 경계로 해서, 저전류 영역의 제어 비트 L이 변화하지 않는 점이다. 또한, 이 때, 도 73의 L4 단자가 '1'로 되고, 스위치(641e)가 온 상태로 되어, 트랜지스터(634a)에 전류가 흐르고 있는 점이다.

따라서, 도 84의 계조4에서는 저계조부의 단위 트랜지스터(전류원)(634)가 네 개 동작하고 있다. 그리고, 계조 5에서는, 저계조부의 단위 트랜지스터(전류원)(634)가 네 개 동작하고, 또한 고계조부의 트랜지스터(전류원)(634)가 한 개 동작하고 있다. 이 후 마찬가지로, 계조 6에서는, 저계조부의 단위 트랜지스터(전류원)(634)가 네 개 동작하고, 또한 고계조부의 트랜지스터(전류원)(634)가 두 개 동 작한다. 따라서, 변곡점인 계조 5이상에서는, 변곡점 이하의 저계조 영역의 전류원(634)이 계조만큼(이 경우, 네 개) 온 상태로 되고, 이것에 부가하여, 순차적으로, 고계조부의 전류원(634)이 계조에 따른 개수가 순차적으로 온 상태로 되어 간다.

따라서, 도 73에서의 L4 단자의 트랜지스터(634a) 중 한 개는 유용하게 작용하고 있는 것을 알 수 있다. 이 트랜지스터(634a)가 없으면, 계조 3의 다음에, 고계조부의 트랜지스터(634)가 한 개 온 상태로 되는 동작이 된다. 그 때문에, 전환 포인트가 4, 8, 16이라 하도록 2의 승수가 되지 않는다. 2의 승수는 1신호만이 '1'로 된 상태이다. 따라서, 2의 가중치를 부여한 신호 라인이 '1'로 되었다고 하는 조건 판정을 하기 쉽다. 그 때문에, 조건 판정의 하드 규모를 작게 할 수 있다. 즉, IC칩의 논리 회로가 간략화되어, 결과적으로 칩 면적이 작은 IC를 설계할 수 있는 것이다(저비용화가 가능하다).

도 85는 저전류 영역과 고전류 영역을 계조 8로 전환하는 경우의 저전류 측 신호선 L 및 고전류 측 신호선 H의 인가 신호의 설명도이다.

도 85에서, 완전 흑 표시의 계조 0의 경우에는, 도 84와 마찬가지이고, (L0 L4)=(0, 0, 0, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 모든 스위치(641)는 오프 상태이며, 소스 신호선(18)에는 프로그래밍 전류 Iw=0이다.

마찬가지로 계조 1에서는, (L0 L4)=(1, 0, 0, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저전류 영역의 하나의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 2에서는, (L0 L4)=(0, 1, 0, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저전류 영역의 두 개의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 3에서는, (L0 L4)=(1, 1, 0, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저전류 영역의 두 개의 스위치(641La, 641Lb)가 온 상태로 되고, 세 개의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

이하도 마찬가지로, 계조 4에서는, (L0 L4)=(0, 0, 1, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 또한, 계조 5에서는, (L0 L4)=(1, 0, 1, 0, 0)이고, (H0 H5)=(0, 0, 0, 0, 0)이다. 계조 6에서는, (L0 L4)=(0, 1, 1, 0, 0)이고, (H0 H5)=(0, 0, 0, 0, 0)이다. 또한, 계조 7에서는, (L0 L4)=(1, 1, 1, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다.

계조 8이 전환 포인트(변곡 위치)이다. 계조 8에서는, (L0 L4)=(1, 1, 1, 0, 1)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저전류 영역의 네 개의 스위치(641La, 641Lb, 641Lc, 641Le)가 온 상태로 되고, 8개의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 8 이상에서는, 저전류 영역 (L0 L4)=(1, 1, 1, 0, 1)은 변화가 없다. 그러나, 고전류 영역에서, 계조 9에서는(H0 H5)=(1, 0, 0, 0, 0)이며, 스위치(641Ha)가 온 상태로 되고, 고전류 영역의 하나의 단위 전류원(641)이 소스 신호선(18)과 접속되어 있다.

이하, 마찬가지로, 계조 단계에 따라, 고전류 영역의 트랜지스터(634)의 개수가 한 개씩 증가한다. 즉, 계조 10에서는 (H0 H5)=(0, 1, 0, 0, 0)이며, 스위치(641Hb)가 온 상태로 되고, 고전류 영역의 두 개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 마찬가지로, 계조 11에서는 (H0 H5)=(l, 1, 0, 0, 0)이며, 두 개의 스위치(641Ha), 스위치(641Hb)가 온 상태로 되고, 고전류 영역의 세 개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 또한, 계조 12에서는 (H0 H5)=(0, 0, 1, 0, 0)이며, 하나의 스위치(641Hc)가 온 상태로 되고, 고전류 영역의 네 개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 이 후, 도 84와 같이 순차적으로 스위치(641)가 온 오프 상태로 되어, 프로그래밍 전류 Iw가 소스 신호선(18)에 인가된다.

도 86은 저전류 영역과 고전류 영역을 계조 16에서 전환하는 경우의 저전류 측 신호선 L 및 고전류 측 신호선 H의 인가 신호의 설명도이다. 이 경우도 도 84, 도 85와 기본적인 동작은 동일하다.

즉, 도 86에서, 완전 흑 표시의 계조 0인 경우에는, 도 85와 마찬가지이고, (L0 L4)=(0, 0, 0, 0, 0)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 모든 스위치(641)는 오프 상태이며, 소스 신호선(18)에는 프로그래밍 전류 Iw=0이다. 마찬가지로 계조 1로부터 계조 16까지는, 고계조 영역의(H0 H5)=(0, 0, 0, 0, 0)이 다. 따라서, 저전류 영역의 하나의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다. 즉, 저계조 영역의 (L0 L4)만이 변화한다.

즉, 계조 1에서는, (L0 L4)=(1, 0, 0, 0, 0)이며, 계조 2에서는, (L0 L4)=(0, 1, 0, 0, 0)이며, 계조 3에서는, (L0 L4)=(1, 1, 0, 0, 0)이며, 계조 2에서는, (L0 L4)=(0, 0, 1, 0, 0)이다. 이하 계조 16까지 순차적으로 카운트된다. 즉, 계조 15에서는, (L0 L4)=(1, 1, 1, 1, 0)이며, 계조 16에서는, (L0 L4)=(1, 1, 1, 1, 1)이다. 계조 16에서는, 계조를 나타내는 D0 D5의 5비트 째 D4만이 한 개 온 상태로 되기 때문에, 데이터 D0 D5가 표현하는 내용이 16이라고 하는 것이 1데이터 신호선 D4의 판정으로 결정할 수 있다. 따라서, 논리 회로의 하드 규모를 작게 할 수 있다.

계조 16이 전환 포인트(변곡 위치)이다(또는 계조 17가 전환 포인트라고 해야 할지도 모르지만). 계조 16에서는, (L0 L4)=(1, 1, 1, 1, 1)이며, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저전류 영역의 네 개의 스위치(641La, 641Lb, 641Lc, 641Ld, 641Le)가 온 상태로 되고, 16개의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 16 이상에서는, 저전류 영역 (L0 L4)=(1, l, 1, 0, 1)은 변화가 없다. 그러나, 고전류 영역에서, 계조 17에서는 (H0 H5)=(1, 0, 0, 0, 0)이며, 스위치(641Ha)가 온 상태로 되고, 고전류 영역의 하나의 단위 전류원(641)이 소스 신호선(18)과 접속되어 있다. 이하, 마찬가지로, 계조 단계에 따라, 고전류 영역의 트랜지스터(634)의 개수가 한 개씩 증가한다. 즉, 계조 18에서는 (H0 H5)=(0, 1, 0, 0, 0)이며, 스위치(641Hb)가 온 상태로 되고, 고전류 영역의 두 개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 마찬가지로, 계조 19에서는 (H0 H5)=(1, 1, 0, 0, 0)이며, 두 개의 스위치(641Ha), 스위치(641Hb)가 온 상태로 되고, 고전류 영역의 세 개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 또한, 계조 20에서는 (H0 H5)=(0, 0, 1, 0, 0)이며, 하나의 스위치(641Hc)가 온 상태로 되어, 고전류 영역의 네 개의 단위 전류원(641)이 소스 신호선(18)과 접속된다.

이상과 같이, 전환 포인트(변곡 위치)에서, 2의 승수의 개수의 전류원(1단위)(634)이 온 상태 또는 소스 신호선(18)과 접속(역으로, 오프 상태로 되는 구성도 생각됨)하도록 구성하는 논리 처리 등이 대단히 용이하게 된다. 예컨대, 도 84에 나타내는 바와 같이, 변곡 위치가 계조 4(4는 2의 승수)이면, 네 개의 전류원(1단위)(634)이 동작하는 등과 같이 구성한다. 그리고, 그 이상의 계조에서는, 고전류 영역의 전류원(1단위)(634)이 가산되도록 구성한다. 또한, 도 85에 나타내는 바와 같이, 변곡 위치가 계조 8(8은 2의 승수)이면, 여덟 개의 전류원(1단위)(634)이 동작하는 등과 같이 구성한다. 그리고, 그 이상의 계조에서는, 고전류 영역의 전류원(1단위)(634)이 가산되도록 구성한다. 본 발명의 구성을 채용하면, 64계조에 한하지 않고(16계조:4096색, 256계조:1670만색 등), 모든 계조 표현에서, 하드 구성이 작은 감마 제어 회로를 구성할 수 있다.

또, 도 84, 도 85, 도 86에서 설명한 실시예에서는, 전환 포인트의 계조를 2의 승수로 하는 것으로 했지만, 이것은 완전 흑 표시의 계조를 0으로 한 경우이다. 계조 1을 완전 흑 표시로 하는 경우에는, +1 해야 한다. 그러나, 이들은 편의상의 사항이다. 본 발명에서 중요한 것은 복수의 전류 영역(저전류 영역, 고전류 영역 등)을 갖고, 그 전환 포인트를 신호 입력을 적게 판정(처리)할 수 있도록 구성하는 것이다. 그 일례로서, 2의 승수이면, 1신호선을 검출하는 것만으로 좋으므로 하드 규모가 매우 작아진다고 하는 기술적 사상이다. 또한, 그 처리를 쉽게 하기 위해, 전류원(634a)을 부가한다.

따라서, 부논리이면, 계조 2, 4, 8…이 아니라, 계조 1, 3, 7, 15…를 전환 포인트로 하면 좋다. 또한, 계조 0을 완전 흑

표시로 했지만, 이것에 한정되는 것은 아니다. 예컨대, 64계조 표시이면, 계조 63를 완전 흑 표시 상태로 하고, 계조 0을 최대의 백 표시로 하여도 좋다. 이 경우에는, 역방향을 고려하여, 전환 포인트를 처리하면 좋다. 따라서, 2의 승수로부터 처리 상, 다른 구성으로 되는 경우가 있다.

또한, 전환 포인트(변곡 위치)가 하나의 감마 곡선에 한정되는 것은 아니다. 변곡 위치가 복수 존재하여도 본 발명의 회로를 구성할 수 있다. 예컨대, 변곡 위치를 계조 4 및 계조 16으로 설정할 수 있다. 또한, 계조 4, 계조 16 및 계조 32로 되도록 3포인트 이상으로 설정할 수도 있다.

또한, 이상의 실시예에서는, 계조를 2의 승수로 설정하는 것으로 설명했지만, 본 발명은 이것에 한정되는 것은 아니다. 예컨대, 2의 승수의 2와 8(2+8=10계 조 째, 즉, 판정에 요하는 신호선은 두 개)로 변곡점을 설정하여도 좋다. 그 이상의 2의 승수의 2와 8과 16(2+8+16=26계조 째, 즉, 판정에 요하는 신호선은 세 개)로 변곡점을 설정하여도 좋다. 이 경우에는, 다소 판정 또는 처리에 요하는 하드 규모가 커지지만, 회로 구성 상, 충분히 대응할 수 있다. 또한, 이상에서 설명한 사항은 본 발명의 기술적 범주에 포함되는 것은 물론이다.

도 87에 나타내는 바와 같이, 본 발명의 소스 드라이버(IC)(14)는 세 개의 부분의 전류 출력 회로(704)로 구성되어 있다. 고계조 영역에서 동작하는 고전류 영역 전류 출력 회로(704a)이며, 저전류 영역 및 고계조 영역에서 동작하는 저전류 영역 전류 출력 회로(704b)이며, 상승 전류를 출력하는 전류 상승 전류 출력 회로(704b)이다.

고전류 영역 전류 출력 회로(704a)와 전류 상승 전류 출력 회로(704c)는 고전류를 출력하는 기준 전류원(771a)을 기준 전류로 해서 동작하고, 저전류 영역 전류 출력 회로(704b)는 저전류를 출력하는 기준 전류원(771b)을 기준 전류로 해서 동작한다.

또, 앞서도 설명했지만, 전류 출력 회로(704)는 고전류 영역 전류 출력 회로(704a), 저전류 영역 전류 출력 회로(704b), 전류 상승 전류 출력 회로(704c)의 세 개로 한정되는 것이 아니라, 고전류 영역 전류 출력 회로(704a) 및 저전류 영역 전류 출력 회로(704b)의 두 개라도 좋고, 또한, 세 개 이상의 전류 출력 회로(704)로 구성하여도 좋다. 또한, 기준 전류원(771)은 각각의 전류 영역 전류 출력 회로(704)에 대응하여 배치 또는 형성하여도 좋고, 또한 모든 전류 영역 전류 출력 회로(704)에 공통으로 하여도 좋다.

이상의 전류 출력 회로(704)가 계조 데이터에 대응하여, 내부의 트랜지스터(634)가 동작하고, 소스 신호선(18)으로부터 전류를 흡수한다. 상기한 트랜지스터(634)는 1수평 주사 기간(1H) 신호에 동기하여 동작한다. 즉, 1H 기간 동안, 해당하는 계조 데이터에 근거하는 전류를 입력한다(트랜지스터(634)가 N채널일 경우).

한편, 게이트 드라이버(12)도 1H 신호에 동기하여, 기본적으로는 한 개의 게이트 신호선(17a)을 순차적으로 선택한다. 즉, 1H 신호에 동기하여, 제 1H 기간에는 게이트 신호선(17a(1))을 선택하고, 제 2H 기간에는 게이트 신호선(17a(2))을 선택하고, 제 3H 기간에는 게이트 신호선(17a(3))을 선택하며, 제 4H 기간에는 게이트 신호선(17a(4))을 선택한다.

그러나, 제 1 게이트 신호선(17a)이 선택되고 나서, 다음 제 2 게이트 신호선(17a)이 선택되는 기간에는, 어떤 게이트 신호선(17a)도 선택되지 않는 기간(비선택 기간, 도 88의 t1 참조)을 마련한다. 비선택 기간은 게이트 신호선(17a)의 상승 기간, 하강 기간이 필요하고, TFT(11d)의 온 오프 제어 기간을 확보하기 위해 마련한다.

어느 하나의 게이트 신호선(17a)에 온 상태 전압이 인가되어, 화소(16)의 TFT(11b), TFT(11c)가 온 상태로 되어 있으면, Vdd 전원(애노드 전압)으로부터 구동용 TFT(11a)를 거쳐, 소스 신호선(18)에 프로그래밍 전류 Iw가 흐른다. 이 프로그래밍 전류 Iw가 트랜지스터(634)에 흐른다(도 88의 t2 기간). 또, 소스 신호선(18)에는 기생 용량 C가 발생하고 있다(게이트 신호선과 소스 신호선의 교차 포인트의 용량 등에 의해 기생 용량이 발생한다).

그러나, 어느 쪽의 게이트 신호선(17a)도 선택되어 있지 않은 기간(비선택 기간(도 88의 t1기간))에는 TFT(11a)를 흐르는 전류 경로가 없다. 트랜지스터(634)는 전류를 흘리기 때문에, 소스 신호선(18)의 기생 용량으로부터 전하를 흡수한다. 그 때문에, 소스 신호선(18)의 전위가 저하한다(도 88의 A의 부분). 소스 신호선(18)의 전위가 저하하면, 다음 화상 데이터에 대응하는 전류를 기입하는데 시간이 걸린다.

이 과제를 해결하기 위해, 도 89에 나타내는 바와 같이, 소스 단자(761)와의 출력단에 스위치(641a)를 형성한다. 또한, 상승 전류 출력 회로(704c)의 출력단에 스위치(641b)를 형성 또는 배치한다.

비선택 기간 t1에, 제어 단자 S1에 제어 신호를 인가하여, 스위치(641a)를 오프 상태로 한다. 선택 기간 t2에서는 스위치(641a)를 온 상태(도통 상태)로 한다. 온 상태일 때에는 프로그래밍 전류 Iw=IwH+IwL+IwK가 흐른다. 스위치(641a)를 오프 상태로 하면 Iw 전류는 흐르지 않는다. 따라서, 도 90에 나타내는 바와 같이, 도 88의 A와 같은 전위로 저하하지 않는다(변화는 없다). 또, 스위치(641)의 아날로그 스위치(731)의 채널 폭 W는 10㎛ 이상 100㎛ 이하로 한

다. 이 아날로그 스위치의 W(채널 폭)는 온 상태 저항을 감소시키기 위해, 10㎛ 이상으로 해야 한다. 그러나, 너무 W가 크면, 기생 용량도 커지기 때문에 100㎛ 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 채널 폭 W는 15㎛ 이상 60㎛ 이하로 한다.

스위치(641b)는 저계조 표시에만 제어하는 스위치이다. 저계조 표시(흑 표시)일 때에는, 화소(16)의 TFT(11a)의 게이트 전위는 Vdd에 가깝게 해야 한다(따라서, 흑 표시에서는, 소스 신호선(18)의 전위는 Vdd에 가깝게 해야 한다). 또한, 흑 표시에서는, 프로그래밍 전류 Iw가 작고, 도 88의 A와 같이, 한번, 전위가 저하해 버리면, 정규 전위로 복귀하는데 장시간이 필요하다.

그 때문에, 저계조 표시의 경우에는, 비선택 기간 t1이 발생하는 것을 피해야 한다. 반대로, 고계조 표시에서는, 프로그래밍 전류 Iw가 크기 때문에, 비선택 기간 t1이 발생하여도 문제가 없는 경우가 많다. 따라서, 본 발명에서는, 고계조 표시의 화상 기록에서는, 비선택 기간이라도 스위치(641a), 스위치(641b)의 양쪽을 온 상태로 하여 둔다. 또한, 상승 전류 IwK도 차단해 두어야 한다. 흑 표시를 실현하기 위함이다. 저계조 표시의 화상 기입에서는, 비선택 기간에서는 스위치(641a)를 온 상태로 하여 두고, 스위치(641b)는 오프 상태로 하도록 구동한다. 스위치(641b)는 단자 S2로 제어한다.

물론, 저계조 표시 및 고계조 표시의 양쪽에서, 비선택 기간 t1에 스위치(641a)를 오프 상태(비도통 상태), 스위치(641b)는 온 상태(도통)로 하는 구동을 실시하여도 좋다. 물론, 저계조 표시 및 고계조 표시의 양쪽에, 비선택 기간 t1에 스위치(641a), 스위치(641b)의 양쪽을 오프 상태(비도통 상태)로 하는 구동을 실시하여도 좋다.

어떻게 하여도, 제어 단자 S1, S2의 제어로 스위치(641)를 제어할 수 있다. 또, 제어 단자 S1, S2는 커맨드 제어로 제어한다.

예컨대, 제어 단자 S2는 비선택 기간 t1을 오버랩하도록 t3 기간을 '0' 논리 레벨로 한다. 이와 같이 제어함으로써, 도 88의 A의 상태는 발생하지 않는다. 또한, 계조가 일정 이상의 흑 표시 레벨일 때에는, 제어 단자 S1을 '0' 논리 레벨로 한다. 그러면, 상승 전류 IwK는 정지하여, 보다 나은 흑 표시를 실현할 수 있다.

이상의 실시예는 표시 패널에 하나의 소스 드라이버(14)를 적재하는 것을 전제로 해서 실시예로서 설명했다. 그러나, 본 발명은 이 구성에 한정되는 것은 아니다. 소스 드라이버(14)를 하나의 표시 패널에 복수 적재하는 구성이라도 좋다. 예컨대, 도 93은 세 개의 소스 드라이버(14)를 적재한 표시 패널의 실시예이다.

본 발명의 소스 드라이버(14)는, 도 73, 도 74, 도 76, 도 77 등에서 설명한 바와 같이, 적어도 저계조 영역의 기준 전류와, 고계조 영역의 기준 전류의 2계통을 구비한다. 이것은 도 82에서도 설명했다.

도 82에서도 설명한 바와 같이, 본 발명의 전류 구동 방식의 소스 드라이버(IC)(14)는 복수의 드라이버 IC(14)를 이용하는 것을 상정한, 슬레이브/마스터(S/M) 단자를 구비하고 있다. S/M 단자를 H레벨로 함으로써 마스터 칩으로서 동작하고, 기준 전류 출력 단자(도시하지 않음)로부터, 기준 전류를 출력한다. 물론, S/M 단자의 논리는 역극성이라도 좋다. 또한, 소스 드라이버(14)에의 커맨드에 의해 전환하여도 좋다. 기준 전류는 가스켓 전류 접속선(931)으로 전달된다. S/M 단자를 L레벨로 함으로써 IC(14)는 슬레이브 칩으로서 동작하고, 기준 전류 입력 단자(도시하지 않음)로부터, 마스터 칩의 기준 전류를 받아들인다. 이 전류가 도 73, 도 74의 INL, INH 단자에 흐르는 전류로 된다.

기준 전류는 IC칩(14)의 중앙부(정 중앙 부분)의 전류 출력 회로(704)에서 발생시킨다. 마스터 칩의 기준 전류는 외부로부터 외부 저항, 또는 IC 내부에 배치 또는 구성된 전류 분류 방식의 전자 볼륨에 의해, 기준 전류가 조정되어 인가된다.

또, IC칩(14)의 중앙부에는 제어 회로(커맨드 디코더 등) 등도 형성(배치)된다. 기준 전류원을 칩의 중앙부에 형성하는 것은 기준 전류 발생 회로와 프로그래밍 전류 출력 단자(761) 사이의 거리를 매우 짧게 하기 위함이다.

도 93의 구성에서는, 마스터 칩(14b)으로부터 기준 전류가 두 개의 슬레이브 칩(14a, 14c)에 전달된다. 슬레이브 칩은 기준 전류를 수취하여, 이 전류를 기준으로 해서, 친, 자, 손 전류를 발생시킨다. 또, 마스터 칩(14b)이 슬레이브 칩과 수수하는 기준 전류는 커런트 미러 회로의 전류 수수에 의해 실행한다(도 67 참조). 전류 수수를 행함으로써, 복수의 칩으로 기준 전류가 어긋나지 않게 되어, 화면의 분할선이 표시되지 않게 된다.

도 94는 기준 전류의 수수 단자 위치를 개념적으로 도시하고 있다. IC칩의 중앙부에 배치되어 신호 입력 단자(941i)에 기준 전류 신호선(932)이 접속되어 있다. 이 기준 전류 신호선(932)으로 출력되는 전류(또, 전압일 경우도 있다. 도 76 참조)는 EL 재료의 온특 보상이 되어 있다. 또한, EL 재료의 수명 열화에 의한 보상이 되어 있다.

기준 전류 신호선(932)에 인가된 전류(전압)에 근거해서, 칩(14) 내에서 각 전류원(631, 632, 633, 634)을 구동한다.

이 기준 전류가 커런트 미러 회로를 거 쳐, 슬레이브 칩으로의 기준 전류로서 출력된다. 슬레이브 칩으로의 기준 전류는 단자(941o)로부터 출력된다. 단자(941o)는 기준 전류 발생 회로(704)의 좌우에 적어도 한 개 이상 배치(형성)된다. 도 94에서는, 좌우에 두 개씩 배치(형성)되어 있다. 이 기준 전류가 캐스캐이드 신호선(931a1, 931a2, 931b1, 931b2)에 의해 슬레이브 칩(14)에 전달된다. 또, 슬레이브 칩(14a)에 인가된 기준 전류를 마스터 칩(14b)에 피드백하여, 편차량을 보정하도록 회로를 구성하여도 좋다.

유기 EL 표시 패널을 모듈화할 때, 문제로 되는 사항에, 애노드 배선(951), 캐소드 배선의 레이아웃(배치)의 저항값이 문제가 있다. 유기 EL 표시 패널은 EL 소자(15)의 구동 전압이 비교적 낮은 대신, EL 소자(15)에 흐르는 전류가 크다. 그 때문에, EL 소자(15)에 전류를 공급하는 애노드 배선, 캐소드 배선을 굵게 해야 한다. 일례로서, 2인치 클래스의 EL 표시 패널에서도 고분자 EL 재료에서는, 200mA 이상의 전류를 애노드 배선(951)에 흘릴 필요가 있다. 그 때문에, 애노드 배선(951)의 전압 강하를 방지하기 위해, 애노드 배선은 1Ω 이하로 저저항화해야 한다. 그러나, 어레이 기판(71)에서는, 배선은 박막 증착으로 형성하기 때문에, 저저항화는 곤란하다. 그 때문에, 패턴 폭을 굵게 해야 한다. 그러나, 200mA의 전류를 거의 전압 강하 없이 전달하기 위해서는, 배선 폭이 2㎜ 이상으로 된다고 하는 문제가 있었다.

도 105는 종래의 EL 표시 패널의 구성이다. 표시 영역(50)의 좌우에 내장 게이트 드라이버(12a, 12b)가 형성(배치)되어 있다. 또한, 소스 드라이버(14p)도 화소(16)의 TFT와 동일 프로세스로 형성되어 있다(내장 소스 드라이버).

애노드 배선(951)은 패널의 우측에 배치되어 있다. 애노드 배선(951)에는 Vdd 전압이 인가되어 있다. 애노드 배선(951) 폭은 일례로서 2㎜ 이상이다. 애노드 배선(951)은 화면의 하단으로부터 화면의 상단으로 분기되어 있다. 분기 수는 화소열 수이다. 예컨대, QCIF 패널에서는, 176열×RGB=528개이다. 한편, 소스 신호선(18)은 내장 소스 드라이버(14p)로부터 출력되고 있다. 소스 신호선(18)은 화면의 상단으로부터 화면의 하단으로 배치(형성)되어 있다. 또한, 내장 게이트 드라이버(12)의 전원 배선(1051)도 화면의 좌우에 배치되어 있다.

따라서, 표시 패널의 우측 프레임은 좁게 할 수가 없다. 현재, 휴대 전화 등에 이용하는 표시 패널에서는, 협프레임화가 중요하다. 또한, 화면 좌우의 프레임을 균등하게 하는 것이 중요하다. 그러나, 도 105의 구성에서는, 협프레임화가 곤란하다.

이 과제를 해결하기 위해, 본 발명의 표시 패널에서는, 도 106에 나타내는 바와 같이, 애노드 배선(951)은 소스 드라이버(14)의 이면에 위치하는 부분, 또한 어레이 표면에 배치(형성)하고 있다. 소스 드라이버(IC)(14)는 반도체 칩으로 형성(제작)하고, COG(Chip on Glass) 기술로 기판(71)에 실장하고 있다. 소스 드라이버(14)화에 애노드 배선(951)을 배치(형성)할 수 있는 것은 칩(14)의 이면에 기판에 수직 방향으로 10㎛ 30㎛의 공간이 있기 때문이다. 도 105와 같이, 소스 드라이버(14p)를 어레이 기판(71)에 직접 형성하면, 마스크 수의 문제, 또는 양품률의 문제, 노이즈의 문제로부터 소스 드라이버(14p)의 하층 또는 상층에 애노드 배선(베이스 애노드선, 애노드 전압선, 기간 애노드선)(951)을 형성하는 것은 곤란하 다.

또한, 도 106에 나타내는 바와 같이, 공통 애노드선(962)을 형성하여, 베이스 애노드선(951)과 공통 애노드선(962)을 접속 애노드선(961)에 단락시키고 있다. 특히, IC칩의 중앙부에 접속 애노드선(961)을 형성한 점이 포인트이다. 접속 애노드선(961)을 형성함으로써, 베이스 애노드선(951)과 공통 애노드선(962) 사이의 전위차가 없어진다. 또한, 애노드 배선(952)을 공통 애노드선(962)으로부터 분기하고 있는 점이 포인트이다. 이상의 구성을 채용함으로써, 도 105와 같이 애노드 배선(951)의 레이아웃이 없어져, 협프레임화를 실현할 수 있다.

공통 애노드선(962)의 길이를 20㎜로 하고, 배선 폭을 150㎛로 하며, 배선의 시트 저항을 0.05Ω/㎛라고 하면, 저항값은 20000㎛/150㎛×0.05Ω 7Ω이 된다. 공통 애노드선(962)의 양단을 접속 애노드선(961c)에서 베이스 애노드선(951)과 접속하면, 공통 애노드선(962)에는 양측으로 급전되기 때문에, 외견상 저항값은 7Ω/2=3.5Ω으로 되고, 또한, 집중 분포 승수로 치환하면, 또한, 외견상의 공통 애노드선(962)의 저항값은 1/2로 되기 때문에, 적어도 2Ω 이하로 된다. 애노드 전류가 100mA이라도, 이 공통 애노드선(962)에서의 전압 강하는 0.2V 이하로 된다. 또한, 중앙부의 접속 애노드선(961b)으로부터 단락되면, 전압 강하는 거의 발생하지 않도록 할 수 있다.

본 발명은 베이스 애노드선(951)을 IC(14) 아래에 형성하는 것, 공통 애노드선(962)을 형성하여, 이 공통 애노드선(962)과 베이스 애노드선(951)을 전기적으로 접속하는 것(접속 애노드선(961)), 공통 애노드선(962)으로부터 애노드 배선(952) 을 분기시키는 것이다. 또, 애노드선은 캐소드선으로 대체할 수 있다.

또한, 애노드선(베이스 애노드선(951), 공통 애노드선(962), 접속 애노드선(961), 애노드 배선(952) 등)을 저저항화하기 위해, 박막의 배선을 형성한 후, 또는 패터닝 전에, 무전해 도금 기술, 전해 도금 기술 등을 이용해서, 도전성 재료를 적층하여 후막화하여도 좋다. 후막화함으로써, 배선의 단면적이 넓게 되어, 저저항화할 수 있다. 이상의 사항은 캐소드에 대해서도 마찬가지이다. 또한, 게이트 신호선(17), 소스 신호선(18)에도 적용할 수 있다.

따라서, 공통 애노드선(962)을 형성하고, 이 공통 애노드선(962)을 접속 애노드선(961)으로 양측 급전하는 구성의 효과는 높고, 또한, 중앙부에 접속 애노드선(961b, 961c)을 형성함으로써 더욱 효과가 높아지게 된다. 또한, 베이스 애노드선(951), 공통 애노드선(962), 접속 애노드선(961)으로 루프를 구성하고 있기 때문에, IC(14)에 입력되는 전계를 억제할 수 있다.

공통 애노드선(962)과 베이스 애노드선(951)은 동일 금속 재료로 형성하고, 또한, 접속 애노드선(961)도 동일 금속 재료로 형성하는 것이 바람직하다. 또한, 이들 애노드선은 어레이를 형성하는 저항값이 가장 낮은 금속 재료 또는 구성으로 실현한다. 일반적으로, 소스 신호선(18)의 금속 재료 및 구성(SD 레이어)으로 실현한다. 공통 애노드선(962)과 소스 신호선(18)이 교차하는 부분은 동일 재료로 형성할 수는 없다. 따라서, 교차하는 부분은 다른 금속 재료(게이트 신호선(17)과 동일 재료 및 구성, GE 레이어)로 형성하고, 절연막으로 전기 절연한다. 물론, 애노드선은 소스 신호선(18)의 구성 재료로 이루어지는 박막과, 게이트 신호선(17)의 구성 재료로 이루어지는 박막을 적층하여 구성하여도 좋다.

또, 소스 드라이버(14)의 이면에 애노드 배선(캐소드 배선) 등의 EL 소자(15)에 전류를 공급하는 배선을 부설하는(배치하는, 형성하는) 것으로 했지만, 이것에 한정되는 것은 아니다. 예컨대, 게이트 드라이버(12)를 IC칩으로 형성하고, 이 IC를 COG 실장하여도 좋다. 이 게이트 드라이버 IC(12)의 이면에 애노드 배선, 캐소드 배선을 배치(형성)한다. 이상과 같이, 본 발명은 EL 표시 장치 등에서, 구동 IC를 반도체 칩으로 형성(제작)하고, 이 IC를 어레이 기판(71) 등의 기판에 직접 실장하며, 또한, IC칩 이면의 공간부에 애노드 배선, 캐소드 배선 등의 전원 또는 그라운드 패턴을 형성(제작)하는 것이다.

이상의 사항을 다른 도면을 참조하면서 더욱 자세히 설명한다. 도 95는 본 발명의 표시 패널의 일부의 설명도이다. 도 95에서, 점선이 IC칩(14)을 배치하는 위치이다. 즉, 베이스 애노드선(애노드 전압선, 즉 분기 전의 애노드 배선)이 IC칩(14)의 이면 또한 어레이 기판(71) 상에 형성(배치)되어 있다. 또, 본 발명의 실시예에 있어서, IC칩(12, 14)의 이면에 분기 전의 애노드 배선(951)을 형성하는 것으로 해서 설명하지만, 이것은 설명을 쉽게 하기 위함이다. 예컨대, 분기 전의 애노드 배선(951) 대신 분기 전의 캐소드 배선 또는 캐소드막을 형성(배치)하여도 좋다. 그 외, 게이트 드라이버(12)의 전원 배선(1051)을 배치 또는 형성하여도 좋다.

IC칩(14)은 COG 기술에 의해 전류 출력(전류 입력) 단자(741)와 어레이(71)에 형성된 접속 단자(953)가 접속된다. 접속 단자(953)는 소스 신호선(18)의 일단 에 형성되어 있다. 또한, 접속 단자(953)는 참조 부호 953a와 참조 부호 953b와 같이 천조 배치이다. 또, 소스 신호선의 일단에는 접속 단자(953)가 형성되고, 타단에도 체크용 단자 전극이 형성되어 있다.

또한, 본 발명은 IC칩을 전류 구동 방식의 드라이버 IC(전류로 화소에 프로그래밍하는 방식)로 했지만, 이것에 한정되는 것은 아니다. 예컨대, 도 43, 도 53 등의 전압 프로그래밍의 화소를 구동하는 전압 구동 방식의 드라이버 IC를 적재한 EL 표시 패널(장치) 등에도 적용할 수 있다.

접속 단자(953a, 953b) 사이에는 애노드 배선(952)(분기 후의 애노드 배선)이 배치된다. 즉, 굵고, 저저항 베이스 애노드선(951)으로부터 분기된 애노드 배선(952)이 접속 단자(953) 사이에 형성되고, 화소열(16)에 따라 배치되어 있다. 따라서, 애노드 배선(952)과 소스 신호선(18)은 평행하게 형성(배치)된다. 이상과 같이, 구성(형성)함으로써, 도 105와 같이 베이스 애노드선(951)을 화면 옆에 레이아웃하는 일 없이, 각 화소에 Vdd 전압을 공급할 수 있다.

도 96은 더욱 구체적으로 도시하고 있다. 도 95와의 차이는 애노드 배선을 접속 단자(953) 사이에 배치하지 않고, 별도 형성한 공통 애노드선(962)으로부터 분기시킨 점이다. 공통 애노드선(962)과 베이스 애노드선(951)은 접속 애노드선(961)으로 접속하고 있다.

도 96은 IC칩(14)을 투시하여 이면의 모양을 도시한 바와 같이 기재하고 있다. IC칩(14)은 출력 단자(761)에 프로그래밍 전류 Iw를 출력하는 전류 출력 회로(704)가 배치되어 있다. 기본적으로, 출력 단자(761)와 전류 출력 회로(704)는 규칙적으로 배치되어 있다. IC칩(14)의 중앙부에는 친 전류원의 기본 전류를 제작하는 회로, 제어 회로가 형성되어 있다. 그 때문에, IC칩의 중앙부에는 출력 단자(761)가 형성되어 있지 않다(전류 출력 회로(704)를 IC칩의 중앙부에 형성할 수 없기 때문이다).

본 발명에서는, 도 96의 중앙부(704a)에는 출력 단자(761)를 IC칩에 제작하지 않는다(출력 회로가 없기 때문이다. 또, 소스 드라이버 등의 IC칩의 중앙부에, 제어 회로 등이 형성되고, 출력 회로가 형성되어 있지 않은 사례는 많다). 본 발명의 IC칩은 이 점에 착안하여, IC칩의 중앙부에 출력 단자(761)를 형성(배치)하지 않고(소스 드라이버 등의 IC칩의 중앙부에, 제어 회로 등이 형성되고, 출력 회로가 형성되어 있지 않은 경우에도, 중앙부에 더미 패드를 하여, 출력 단자(패드)가 형성되어 있는 것이 일반적임), 이 위치에 공통 애노드선(961)을 형성하고 있다(단, 공통 애노드선(961)은 어레이 기판(71)의 면에 형성되어 있다). 접속 애노드선(961)의 폭은 50㎛ 이상 1000㎛ 이하로 한다. 또한, 길이에 대한 저항(최대 저항)값은 100Ω 이하가 되도록 한다.

접속 애노드선(961)으로 베이스 애노드선(951)과 공통 애노드선(962)을 단락함으로써, 공통 애노드선(962)에 전류가 흐르는 것에 의해 발생하는 전압 강하를 극력 억제한다. 즉, 본 발명의 구성 요소인 접속 애노드선(961)은 IC칩의 중앙부에 출력 회로가 없는 점을 효과적으로 이용하고 있는 것이다. 또한, 종래, IC칩의 중앙부에 더미 패드로서 형성되어 있는 출력 단자(761)를 삭제함으로써, 이 더미 패드와 접속 애노드선(961)이 접촉하여 IC칩이 전기적으로 영향을 부여하는 것을 방지하고 있다. 단, 이 더미 패드가 IC칩의 베이스 기판(칩의 그라운드), 다른 구성과 전기적으로 절연되어 있는 경우에는, 더미 패드가 접속 애노드선(961)과 접촉하여도 전혀 문제가 없다. 따라서, 더미 패드를 IC칩의 중앙부에 형성한 채로도 되는 것은 물론이다.

또한, 구체적으로는, 도 99와 같이, 접속 애노드선(961), 공통 애노드선(962)은 형성(배치)되어 있다. 우선, 접속 애노드선(961)은 굵은 부분(961a)과 가는 부분(961b)이 있다. 굵은 부분(961a)은 저항값을 감소시키기 위함이다. 가는 부분(961b)은 출력 단자(963) 사이에 접속 애노드선(961b)을 형성하여, 공통 애노드선(962)과 접속하기 위함이다.

또한, 베이스 애노드선(951)과 공통 애노드선(962)의 접속은 중앙부의 접속 애노드선(961b)뿐만 아니라, 좌우의 접속 애노드선(961c)에서도 단락하고 있다. 따라서, 공통 애노드선(962)과 베이스 애노드선(951)은 세 개의 접속 애노드선(961)으로 단락되어 있다. 따라서, 공통 애노드선(962)에 큰 전류가 흐르더라도 공통 애노드선(962)에 전압 강하가 발생하기 어렵다. 이것은, IC칩(14)은 통상, 폭이 2㎜ 이상이고, 이 IC(14) 아래에 형성된 베이스 애노드선(951)의 선 폭을 굵게 할 수 있기(저임피던스화할 수 있기) 때문이다. 그 때문에, 저임피던스 베이스 애노드선(951)과 공통 애노드선(962)을 복수 부분에서 접속 애노드선(961)에 의해 단락하기 때문에, 공통 애노드선(962)의 전압 강하는 작아지는 것이다.

이상과 같이, 공통 애노드선(962)에서의 전압 강하를 작게 할 수 있는 것은 IC칩(14) 아래에 베이스 애노드선(951)을 배치(형성)할 수 있다는 점, IC칩(14)의 좌우 위치를 이용해서, 접속 애노드선(961c)을 배치(형성)할 수 있는 점, IC칩(14)의 중앙부에 접속 애노드선(961b)을 배치(형성)할 수 있는 점에 있다.

또한, 도 99에서는, 베이스 애노드선(951)과 캐소드 전원선(베이스 캐소드선)(991)을 절연막(102)을 거쳐 적층시키고 있다. 이 적층한 부분이 콘덴서를 형성한다(이 구성을 애노드 콘덴서 구성이라 한다). 이 콘덴서는 전원 패스 콘덴서로서 기능한다. 따라서, 베이스 애노드선(951)의 급격한 전류 변화를 흡수할 수 있다. 콘덴서의 용량은 EL 표시 장치의 표시 면적을 S㎟로 하고, 콘덴서의 용량을 CpF으로 했을 때, $M/200 \leq C \leq M/10$ 이하의 관계를 만족시키는 것이 좋다. 그 위에, $M/100 \leq C \leq M/20$ 이하의 관계를 만족시키는 경우가 좋다. C가 작으면 전류 변화를 흡수하는 것이 곤란하며, 크면 콘덴서의 형성 면적이 지나치게 커져 실용적이지 않다.

또, 도 99 등의 실시예에서는, IC칩(14) 아래에 베이스 애노드선(951)을 배치(형성)한다고 했지만, 애노드선을 캐소드선으로 하여도 되는 것은 물론이다. 또한, 도 99에서, 베이스 캐소드선(991)과 베이스 애노드선(951)을 교체하여도 좋다. 본 발명의 기술적 사상은 드라이버를 반도체 칩으로 형성하고, 또한 반도체 칩을 어레이 기판(71) 또는 플렉서블 기판에 실장하여, 반도체 칩의 하면에 EL 소자(15) 등의 전원 또는 그라운드 전위(전류)를 공급하는 배선 등을 배치(형성)하는 점에 있다.

따라서, 반도체 칩은 소스 드라이버(14)에 한정되는 것이 아니라, 게이트 드라이버(12)라도 좋고, 또한, 전원 IC라도 좋다. 또한, 반도체 칩을 플렉서블 기판 에 실장하고, 이 플렉서블 기판면 또한 반도체 칩의 하면에 EL 소자(15) 등의 전원 또는 그라운드 패턴을 배선(형성)하는 구성도 포함된다. 물론, 소스 드라이버(14) 및 게이트 드라이버 IC(12)의 양쪽을, 반도체 칩으로 구성하여, 기판(71)에 COG 실장을 하여도 좋다. 그리고, 상기 칩의 하면에 전원 또는 그라운드 패턴을 형성하여도 좋다. 또한, EL 소자(15)에의 전원 또는 그라운드 패턴으로 했지만 이것에 한정되는 것이 아니라, 소스 드라이버(14)로의 전원 배선, 게이트 드라이버(12)로의 전원 배선이라도 좋다. 또한, EL 표시 장치에 한정되는 것이 아니라, 액정 표시 장치에도 적용할 수 있다. 그 외, FED, PDP 등 표시 패널에도 적용할 수 있다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

도 97은 본 발명의 다른 실시예이다. 도 95, 도 96, 도 99의 주된 차이는 도 95가 출력 단자(953) 사이에 애노드 배선(952)을 배치한데 대하여, 도 97에서는, 베이스 애노드 배선(951)으로부터 다수(복수)의 가는 접속 애노드선(961d)를 분기시켜, 이 접속 애노드선(961d)과 공통 애노드선(962)을 단락한 점이다. 또한, 가는 접속 애노드선(961d)과 접속 단자(953)에 접속된 소스 신호선(18)을 절연막(102)을 거쳐 적층한 점이다.

애노드선(961d)은 베이스 애노드선(951)과 콘택트 홀(971a)에서 접속을 취하고, 애노드 배선(952)은 공통 애노드선(962)과 콘택트 홀(971b)에서 접속을 취하고 있다. 다른 점(접속 애노드선(961a, 961b, 961c), 애노드 콘덴서 구성 등) 등은 도 96, 도 99와 마찬가지이기 때문에 설명을 생략한다.

도 99의 AA'선 단면도를 도 98에 도시한다. 도 98(a)에서는, 대략 동일 폭 의 소스 신호선(18)을 접속 애노드선(961d)이 절연막(102a)을 거쳐 적층되어 있다.

절연막(102a)의 막 두께는 500Å 이상 3000Å 이하로 한다. 더욱 바람직하게는, 800Å 이상 2000Å 이하로 한다. 막 두께가 얇으면, 접속 애노드선(961d)과 소스 신호선(18)의 기생 용량이 커지고, 또한, 접속 애노드선(961d)과 소스 신호선(18)의 단락이 발생하기 쉽게 되어 바람직하지 못하다. 역으로 두꺼우면 절연막의 형성 시간에 장시간이 필요하고, 제조 시간이 길게 되어 비용이 비싸지게 된다. 또한, 상측 배선의 형성이 곤란하게 된다. 또, 절연막(102)은 폴리비닐알콜(PVA) 수지, 에폭시, 폴리프로필렌 수지, 페놀 수지, 아크릴계 수지, 폴리이미드 수지 등의 유기 재료와 동일 재료가 예시되고, 그 외, SiO_2, SiNx 등의 무기 재료가 예시된다. 그 외, Al_2O_3, Ta_2O_3 등이어도 되는 것은 물론이다. 또한, 도 98(a)에 나타내는 바와 같이, 가장 표면에는 절연막(102b)을 형성하고, 배선(961) 등의 부식, 기계적 손상을 방지시킨다.

도 98(b)에서는, 소스 신호선(18) 위에 소스 신호선(18)보다도 선 폭이 좁은 접속 애노드선(961d)이 절연막(102a)을 거쳐 적층되어 있다. 이상과 같이, 구성함으로써, 소스 신호선(18)의 단차에 의한 소스 신호선(18)과 접속 애노드선(961d)의 단락을 억제할 수 있다. 도 98(b)의 구성에서는, 접속 애노드선(961d)의 선 폭은 소스 신호선(18)의 선 폭보다도 0.5㎛ 이상 좁게 하는 것이 바람직하다. 그 위에, 접속 애노드선(961d)의 선 폭은 소스 신호선(18)의 선 폭보다도 0.8㎛ 이상 좁게 하는 것이 바람직하다.

도 98(b)에서는, 소스 신호선(18)의 위에 소스 신호선(18)보다도 선 폭이 좁은 접속 애노드선(961d)이 절연막(102a)을 거쳐 적층되어 있다고 했지만, 도 98(c)에 나타내는 바와 같이, 접속 애노드선(961d) 위에 접속 애노드 신호선(961d)보다도 선 폭이 좁은 소스 신호선(18)이 절연막(102a)을 거쳐 적층한다고 해도 좋다. 다른 사항은 다른 실시예와 마찬가지이기 때문에 설명을 생략한다.

도 100은 IC칩(14)의 단면도이다. 기본적으로는 도 99의 구성을 기준으로 하고 있지만, 도 96, 도 97 등이라도 마찬가지로 적용할 수 있다. 또는 유사하게 적용할 수 있다.

도 100(b)는 도 99의 AA'에서의 단면도이다. 도 100(b)에서도 명백하듯이, IC칩(14)의 중앙부에는 출력 패드(761)가 형성(배치)되어 있지 않다. 이 출력 패드와, 표시 패널의 소스 신호선(18)이 접속된다. 출력 패드(761)는 도금 기술 또는 네일 헤드 본딩 기술에 의해 범프(돌기)가 형성되어 있다. 돌기의 높이는 10㎛ 이상 40㎛ 이하의 높이로 한다. 물론, 금도금 기술(전해, 무전해)에 의해 돌기를 형성하여도 되는 것은 물론이다.

상기 돌기와 각 소스 신호선(18)은 도전성 접합층(도시하지 않음)을 거쳐 전기적으로 접속되어 있다. 도전성 접합층은 접착제로서 에폭시계, 페놀계 등을 주제로 해서, 은(Ag), 금(Au), 니켈(Ni), 카본(C), 산화 주석(SnO_2) 등의 후레이크를 섞은 물건, 또는 자외선 경화 수지 등이다. 도전성 접합층(접속 수지)(1001)은 전사 등의 기술로 범프 상에 형성한다. 또는, 돌기와 소스 신호선(18)을 ACF 수지(1001)로 열압착한다. 또, 돌기 또는 출력 패드(761)와 소스 신호선(18)의 접속은 이상의 방식에 한정되는 것은 아니다. 또한, 어레이 기판 상에 IC(14)를 적재하지 않고, 필름 캐리어 기술을 이용해도 좋다. 또한, 폴리이미드 필름 등을 이용해서 소스 신호선(18) 등으로 접속하여도 좋다. 도 100(a)는 소스 신호선(18)과 공통 애노드선(962)이 겹쳐있는 부분의 단면도이다(도 98을 참조의 것).

공통 애노드선(962)으로부터 애노드 배선(952)이 분기되어 있다. 애노드 배선(952)은 QCIF 패널의 경우에는, 176×RGB=528개이다. 애노드 배선(952)을 거쳐, 도 1 등에 나타내는 Vdd 전압(애노드 전압)이 공급된다. 한 개의 애노드 배선(952)에는, EL 소자(15)가 저분자 재료인 경우에는, 최대로 200μA 정도의 전류가 흐른다. 따라서, 공통 애노드 배선(962)에는, 200μA×528로 대략 100mA의 전류가 흐른다.

따라서, 공통 애노드 배선(962)에서의 전압 강하를 0.2V 이내로 하기 위해서는, 전류가 흐르는 최대 경로의 저항값을 2Ω(100mA 흐르는 것으로 해서) 이하로 할 필요가 있다. 본 발명에서는, 도 99에 나타내는 바와 같이, 세 부분에 접속 애노드선(961)을 형성하고 있으므로, 집중 분포 회로에 다시 일어나면, 공통 애노드선(962)의 저항값은 용이하고 매우 작게 설계할 수 있다. 또한, 도 97과 같이 다수의 접속 애노드선(961d)을 형성하면, 공통 애노드선(962)에서의 전압 강하는 거의 없어진다.

문제로 되는 것은 공통 애노드선(962)과 소스 신호선(18)의 중첩 부분에서의 기생 용량(공통 애노드 기생 용량이라고 함)의 영향이다. 기본적으로, 전류 구동 방식에서는, 전류를 기입하는 소스 신호선(18)에 기생 용량이 있으면 흑 표시 전류를 기입하기 어렵다. 따라서, 기생 용량은 매우 작게 해야 한다.

공통 애노드 기생 용량은 적어도 1소스 신호선(18)이 표시 영역 내에서 발생하는 기생 용량(표시 기생 용량이라 함)의 1/10 이하로 할 필요가 있다. 예컨대, 표시 기생 용량이 10pF이면, 1pF 이하로 할 필요가 있다. 더욱 바람직하게는, 표시 기생 용량의 1/20 이하로 할 필요가 있다. 즉, 표시 기생 용량이 10pF이면, 0.5pF 이하로 할 필요가 있다. 이 점을 고려하여, 공통 애노드선(962)의 선 폭(도 103의 M), 절연막(102)의 막 두께(도 101 참조)를 결정한다.

베이스 애노드선(951)은 IC칩(14) 아래에 형성(배치)한다. 형성할 선 폭은 저저항화의 관점에서 매우 굵은 쪽이 되는 것은 물론이다. 그 외, 베이스 애노드 배선(951)은 차광 기능을 갖게 하는 것이 바람직하다. 이 설명도를 도 102에 도

시하고 있다. 또, 베이스 애노드 배선(951)을 금속 재료로 소정 막 두께 형성하면, 차광의 효과가 있는 것은 물론이다. 또한, 베이스 애노드선(951)을 굵게 할 수 없을 때, 또는, ITO 등의 투명 재료로 형성할 때에는, 베이스 애노드선(951)에 적층하고, 또는 다층에, 광 흡수막 또는 광 반사막을 IC칩(14) 아래(기본적으로는 어레이(71)의 표면)에 형성한다. 또한, 도 102의 차광막(베이스 애노드선(951))은 완전한 차광막인 것을 필요로 하지 않는다. 부분적으로 개구부가 있어도 좋다. 또한, 회절 효과, 산란 효과를 발휘하는 것이라도 좋다. 또한, 베이스 애노드선(951)에 적층시켜, 광학적 간섭 다층막으로 이루어지는 차광막을 형성 또는 배치하여도 좋다.

물론, 어레이 기판(71)과 IC칩(14)의 공간에, 금속박이나 판 또는 시트로 이루어지는 반사판(시트), 광 흡수판(시트)을 배치하거나 삽입 또는 형성하여도 되는 것은 물론이다. 또한, 금속박에 한정되지 않고, 유기 재료 또는 무기 재료로 이루어지는 박이나 판 또는 시트로 이루어지는 반사판(시트), 광 흡수판(시트)을 배치하거나 삽입 또는 형성하여도 되는 것은 물론이다. 또한, 어레이 기판(71)과 IC칩(14)의 공간에, 겔 또는 액체로 이루어지는 광 흡수 재료, 광 반사 재료를 주입 또는 배치하여도 좋다. 또한, 상기 겔 또는 액체로 이루어지는 광 흡수 재료, 광 반사 재료를 가열에 의해, 또는 광 조사에 의해 경화시키는 것이 바람직하다. 또, 여기서는 설명을 쉽게 하기 위해, 베이스 애노드선(951)을 차광막(반사막)으로 하는 것으로서 설명한다.

도 102와 같이, 베이스 애노드선(951)은 어레이 기판(71)의 표면(또, 표면에 한정되는 것은 아니다. 차광막/반사막이라 한다는 사상을 만족시키기 위해서는, IC칩(14)의 이면에 광이 입사되지 않으면 좋은 것이다. 따라서, 기판(71)의 내면 또는 내층에 베이스 애노드선(951) 등을 형성하여도 되는 것은 물론이다. 또한, 기판(71)의 이면에 베이스 애노드선(951)(반사막, 광 흡수막으로서 기능하는 구성 또는 구조)을 형성함으로써, IC(14)에 광이 입사되는 것을 방지 또는 억제할 수 있는 것이면, 어레이 기판(71)의 이면에도 좋음)에 차광막의 기능을 갖도록 형성 또는 배치한다.

또한, 도 102 등에서는, 차광막 등은 어레이 기판(71)에 형성한다고 했지만 이것에 한정되는 것이 아니라, IC칩(14)의 이면에 직접적으로 차광막 등을 형성하 여도 좋다. 이 경우에는, IC칩(14)의 이면에 절연막(102)(도시하지 않음)을 형성하고, 이 절연막 상에 차광막 또는 반사막 등을 형성한다. 또한, 소스 드라이버(14)가 어레이 기판(71)에 직접 형성하는 구성(저온 폴리실리콘 기술, 고온 폴리실리콘 기술, 고상 성장 기술, 아몰퍼스 실리콘 기술에 의한 드라이버 구성)의 경우에는, 차광막, 광 흡수막 또는 반사막을 기판(71)에 형성하고, 그 위에 드라이버 회로(14)를 형성(배치)하면 좋다.

IC칩(14)에는 전류원(634) 등, 미소 전류를 흘리는 트랜지스터 소자가 많이 형성되어 있다(도 102의 회로 형성부(1021)). 미소 전류를 흘리는 트랜지스터 소자에 광이 입사되면, 포토 컨덕터 현상이 발생하여, 출력 전류(프로그래밍 전류 Iw), 친 전류량, 자 전류량 등이 이상한 값(편차가 발생하는 등)으로 된다. 특히, 유기 EL 등의 자발광 소자는, 기판(71) 내에서 EL 소자(15)로부터 발생한 광이 난반사하기 때문에, 표시 영역(50) 이외의 부분에서 강한 광이 방사된다. 이 방사된 광이 IC칩(14)의 회로 형성부(1021)에 입사되면 포토 컨덕터 현상을 발생한다. 따라서, 포토 컨덕터 현상의 대책은 EL 표시 장치의 특유 대책이다.

이 과제에 대하여, 본 발명에서는, 베이스 애노드선(951)을 기판(71) 상에 구성하여, 차광한다. 베이스 애노드선(951)의 형성 영역은, 도 102에 나타내는 바와 같이, 회로 형성부(1021)를 피복하도록 한다. 이상과 같이, 차광막(베이스 애노드선(951))을 형성함으로써, 포토 컨덕터 현상을 완전히 방지할 수 있다. 특히 베이스 애노드 배선(951) 등의 EL 전원선은 화면을 오버라이트함에 따라, 전류가 흘러 다소 전위가 변화한다. 그러나, 전위 변화량은 1H 타이밍에서 조금씩 변화하 기 때문에, 그만큼, 그라운드 전위(전위가 변하지 않는다는 의미)로서 간주할 수 있다. 따라서, 베이스 애노드선(951) 또는 베이스 캐소드선은 차광 기능뿐만 아니라, 쉴드의 효과도 발휘한다.

유기 EL 등의 자발광 소자는 기판(71) 내에서 EL 소자(15)로부터 발생한 광이 난반사하기 때문에, 표시 영역(50) 이외의 부분에서 강한 광이 방사된다. 이 난반사광을 방지 또는 억제하기 위해, 도 101에 나타내는 바와 같이, 화상 표시에 유효한 광이 통과하지 않는 부분(무효 영역)에 광 흡수막(1011)을 형성한다(역으로 유효 영역이란, 표시 영역(50) 및 그 근방). 광 흡수막을 형성하는 부분은 밀봉 덮개(85)의 외면(광 흡수막(1011a), 밀봉 덮개(85)의 내면(광 흡수막(1011c)), 기판(70)의 측면(광 흡수막(1011d)), 기판의 화상 표시 영역 이외(광 흡수막(1011b)) 등이다. 또, 광 흡수막에 한정되는 것이 아니라, 광 흡수 시트를 붙여도 좋고, 또한, 광 흡수벽이라도 좋다. 또한, 광 흡수의 개념에는, 광을 산란시키는 것보다, 광을 발산시키는 방식 또는 구조도 포함되고, 또한, 광의로는 반사에 의해 광을 가두는 방식 또는 구성도 포함된다.

광 흡수막을 구성하는 물질로는, 아크릴 수지(acrylic resin) 등의 유기 재료에 카본을 함유시킨 것, 흑색의 색소 또는 안료를 유기 수지 중에 분산시킨 것, 컬러 필터와 같이 젤라틴이나 카제인을 흑색의 산성 염료로 염색한 것이 예시된다. 그 외, 단일로 흑색으로 되는 풀 올란계 색소를 발색시켜 이용한 것이라도 좋고, 녹색계 색소와 적색계 색소를 혼합한 배색 블랙을 이용하는 것으로도 할 수 있다. 또한, 스퍼터에 의해 형성된 $PrMnO_3$ 막, 플라즈마 중합에 의해 형성된 프탈로시아닌막 등이 예시된다.

이상의 재료는 전부 흑색의 재료이지만, 광 흡수막에서는, 표시 소자가 발생하는 광색에 대하여, 보색 관계의 재료를

이용해도 좋다. 예컨대, 컬러 필터용 광 흡수 재료를 바람직한 광 흡수 특성를 얻을 수 있도록 개량하여 이용하면 좋다. 기본적으로는 상기한 흑색 흡수 재료와 같이, 색소를 이용해서 천연 수지를 염색한 것을 이용해도 좋다. 또한, 색소를 합성 수지 중에 분산한 재료를 이용할 수 있다. 색소의 선택 범위는 흑색 색소보다도 오히려 폭넓게, 아조 염료, 안트라키논 염료, 프탈로시아닌 염료, 트리페닐메탄 염료 등으로부터 적절한 1종, 또는 그 중 두 가지 이상의 조합이라도 좋다.

또한, 광 흡수막에서는 금속 재료를 이용해도 좋다. 예컨대, 6가 크롬이 예시된다. 6가 크롬은 흑색이며, 광 흡수막으로서 기능한다. 그 외, 오팔 유리, 산화 티타늄 등의 광 산란 재료라도 좋다. 광을 산란시킴으로써, 결과적으로 광을 흡수하는 것과 등가로 되기 때문이다.

또, 밀봉 덮개(85)는 4㎛ 이상 15㎛ 이하의 수지 구슬(1012)을 함유시킨 밀봉 수지(1031)를 이용해서, 기판(71)과 밀봉 덮개(85)를 접착한다. 덮개(85)는 가압하지 않고서 배치하여, 고정한다.

도 99의 실시예는 공통 애노드선(962)을 IC칩(14)의 근방에 형성(배치)하도록 도시했지만, 이것에 한정되는 것은 아니다. 예컨대, 도 103에 나타내는 바와 같이, 표시 영역(50)의 근방에 형성하여도 좋다. 또한, 형성하는 것이 바람직하다. 왜냐하면, 소스 신호선(18)과 애노드 배선(952)이 단거리이고, 또한 평행해서 배치(형성)하는 부분이 감소되기 때문이다. 소스 신호선(18)과 애노드 배선(952)이 단거리이고, 또한 평행하게 배치되면, 소스 신호선(18)과 애노드 배선(952) 사이에 기생 용량이 발생하기 때문이다. 도 103과 같이, 표시 영역(50)의 근방에 공통 애노드선(962)을 배치하면 그 문제점은 없어진다. 화면 표시 영역(50)으로부터 공통 애노드선(962)의 거리 K(도 103 참조)는 1㎜ 이하로 하는 것이 바람직하다.

공통 애노드선(962)은 극력 저저항화하기 때문에, 소스 신호선(18)을 형성하는 금속 재료로 형성하는 것이 바람직하다. 본 발명에서는, Cu 박막, Al 박막 또는 Ti/A1/Ti의 적층 구조, 또는 합금 또는 아말감으로 이루어지는 금속 재료(SD 금속)로 형성하고 있다. 따라서, 소스 신호선(18)과 공통 애노드선(962)이 교차하는 부분은 단락되는 것을 방지하기 위해, 게이트 신호선(17)을 구성하는 금속 재료(GE 금속)로 대체한다. 게이트 신호선은 Mo/W의 적층 구조로 이루어지는 금속 재료로 형성하고 있다.

일반적으로, 게이트 신호선(17)의 시트 저항은 소스 신호선(18)의 시트 저항보다 높다. 이것은 액정 표시 장치에서 일반적이다. 그러나, 유기 EL 표시 패널에서, 또한 전류 구동 방식에서는, 소스 신호선(18)을 흐르는 전류는 1 5μA로 미소하다. 따라서, 소스 신호선(18)의 배선 저항이 높더라도 전압 강하는 거의 발생하지 않고, 양호한 화상 표시를 실현할 수 있다. 액정 표시 장치에 있어서는, 전압으로 소스 신호선(18)에 화상 데이터를 기입한다. 따라서, 소스 신호선(18)의 저항값이 높으면 화상을 1수평 주사 기간에 기입할 수 없다.

그러나, 본 발명의 전류 구동 방식에서는, 소스 신호선(18)의 저항값이 높아도(즉, 시트 저항값이 높음) 문제는 안 된다. 따라서, 소스 신호선(18)의 시트 저항은 게이트 신호선(17)의 시트 저항보다 높아도 좋다. 따라서, 본 발명의 EL 표시 패널에서(개념적으로는, 전류 구동 방식의 표시 패널 또는 표시 장치에서), 도 104에 나타내는 바와 같이, 소스 신호선(18)을 GE 금속으로 제작(형성)하고, 게이트 신호선(17)을 SD 금속으로 제작(형성)하여도 좋다(액정 표시 패널과 역).

도 107은 도 99, 도 103의 구성에 부가해서, 게이트 드라이버(12)를 구동하는 전원 배선(1051)을 배치한 구성이다. 전원 배선(1051)은 패널의 표시 영역(50)의 우단→하변→표시 영역(50)의 좌단에 레이아웃하고 있다. 즉, 게이트 드라이버(12a, 12b)의 전원과는 동일로 되어 있다.

그러나, 게이트 신호선(17a)을 선택하는 게이트 드라이버(12a)(게이트 신호선(17a)은 TFT(11b), TFT(11c)를 제어함)와, 게이트 신호선(17b)을 선택하는 게이트 드라이버(12b)(게이트 신호선(17b)은 TFT(11d)를 제어하고, EL 소자(15)에 흐르는 전류를 제어함)는 전원 전압을 다르게 하는 것이 바람직하다. 특히, 게이트 신호선(17a)의 진폭(온 상태 전압-오프 상태 전압)은 작은 것이 바람직하다. 게이트 신호선(17a)의 진폭이 작아질수록, 화소(16)의 콘덴서(19)에의 관통 전압이 감소하기 때문이다(도 1 등을 참조). 한편, 게이트 신호선(17b)은 EL 소자(15)를 제어해야 하기 때문에, 진폭은 작게 할 수 없다.

따라서, 도 108에 나타내는 바와 같이, 게이트 드라이버(12a)의 인가 전압은 Vha(게이트 신호선(17a)의 오프 상태 전압)와, Vla(게이트 신호선(17a)의 온 상태 전압)로 하고, 게이트 드라이버(12a)의 인가 전압은 Vhb(게이트 신호선(17b)의 오프 상태 전압)와, Vlb(게이트 신호선(17b)의 온 상태 전압)로 한다. Vla<Vlb로 되는 관계로 한다. 또, Vha와 Vhb는 대략 일치시켜도 좋다.

게이트 드라이버(12)는, 통상, N채널 트랜지스터와 P채널 트랜지스터로 구성하지만, P채널 트랜지스터만으로 형성하는 것이 바람직하다. 어레이의 제작에 필요해지는 마스크 수가 감소하여, 제조 양품률 향상, 스루풋의 향상이 예상되기 때문이다. 따라서, 도 1, 도 2 등에 예시한 바와 같이, 화소(16)를 구성하는 TFT를 P채널 트랜지스터로 하고, 또

한 게이트 드라이버(12)도 P채널 트랜지스터로 형성 또는 구성한다. N채널 트랜지스터와 P채널 트랜지스터로 게이트 드라이버를 구성하면 필요한 마스크 수는 10장으로 되지만, P채널 트랜지스터만으로 형성하면 필요한 마스크 수는 5장이 된다.

그러나, P채널 트랜지스터만으로 게이트 드라이버(12) 등을 구성하면, 레벨 시프터 회로를 어레이 기판(71)에 형성할 수 없다. 레벨 시프터 회로는 N채널 트랜지스터와 P채널 트랜지스터로 구성하기 때문이다.

이 과제에 대하여, 본 발명에서는, 레벨 시프터 회로 기능을, 전원 IC(1091)에 내장시키고 있다. 도 109는 그 실시예이다. 전원 IC(1091)은 게이트 드라이버(12)의 구동 전압, EL 소자(15)의 애노드, 캐소드 전압, 소스 드라이버(14)의 구동 전압을 발생시킨다.

전원 IC(1091)는 게이트 드라이버(12)의 EL 소자(15)의 애노드, 캐소드 전압 을 발생시키기 위해, 높은 내압의 반도체 프로세스를 사용해야 한다. 이 내압이 있으면, 게이트 드라이버(12)가 구동하는 신호 전압까지 레벨 시프트할 수 있다.

따라서, 레벨 시프트 및 게이트 드라이버(12)의 구동은 도 109의 구성으로 실시한다. 입력 데이터(화상 데이터, 커맨드, 제어 데이터)(992)는 소스 드라이버(14)에 입력된다. 입력 데이터에는 게이트 드라이버(12)의 제어 데이터도 포함된다. 소스 드라이버(14)는 내압(동작 전압)이 5V이다. 한편, 게이트 드라이버(12)는 동작 전압이 15V이다. 소스 드라이버(14)로부터 출력되는 게이트 드라이버(12)로 출력되는 신호는 5V 내지 15V로 레벨 시프트해야 한다. 이 레벨 시프트를 전원 회로(IC)(1091)로 실행한다. 도 109에서는 게이트 드라이버(12)를 제어하는 데이터 신호도 전원 IC 제어 신호(1092)로 하고 있다.

전원 회로(1091)는 입력된 게이트 드라이버(12)를 제어하는 데이터 신호(1092)를 내장하는 레벨 시프터 회로로 레벨 시프트하여, 게이트 드라이버 제어 신호(1093)로서 출력하여, 게이트 드라이버(12)를 제어한다.

이하, 기판(71)에 내장하는 게이트 드라이버(12)를 P채널의 트랜지스터만으로 구성한 본 발명의 게이트 드라이버(12)에 대하여 설명한다. 앞서도 설명한 바와 같이, 화소(16)와 게이트 드라이버(12)를 P채널 트랜지스터만으로 형성하는(즉, 기판(71)에 형성하는 트랜지스터는 전부 P채널 트랜지스터이다. 반대로 말하면, N채널의 트랜지스터를 이용하지 않는 상태) 것에 의해, 어레이의 제작에 필요해지는 마스크 수가 감소하여, 제조 양품률 향상, 스루풋의 향상이 예상된다. 또한, P채널 트랜지스터의 성능만의 향상에 몰두할 수 있기 때문에, 결과적으로 특성 개선이 용이하다. 예컨대, Vt 전압의 저감화(보다 0V에 가깝게 하는 등), Vt 편차의 감소를, CMOS 구조(P채널과 N채널 트랜지스터를 이용하는 구성)보다도 용이하게 실시할 수 있다.

일례로서, 도 106에 나타내는 바와 같이, 본 발명은 표시 영역(50)의 좌우에 1상(시프트 레지스터)씩, 게이트 드라이버(12)를 배치하거나 형성 또는 구성하고 있다. 게이트 드라이버(12) 등(화소(16)의 트랜지스터도 포함함)은 프로세스 온도가 450도(섭씨) 이하인 저온 폴리실리콘 기술로 형성 또는 구성하는 것으로 설명하지만, 이것에 한정되는 것은 아니다. 프로세스 온도가 450도(섭씨) 이상의 고온 폴리실리콘 기술을 이용해서 구성하여도 좋고, 또한, 고상(CGS) 성장시킨 반도체막을 이용해서 TFT 등을 형성한 것을 이용해도 좋다. 그 외, 유기 TFT로 형성하여도 좋다. 또한, 아몰퍼스 실리콘 기술로 형성 또는 구성한 TFT더라도 좋다.

한쪽의 게이트 드라이버(12)는 선택 측의 게이트 드라이버(12a)이다. 게이트 신호선(17a)에 온 오프 상태 전압을 인가하여, 화소 TFT(11)를 제어한다. 다른 쪽의 게이트 드라이버(12)는 EL 소자(15)에 흘리는 전류를 제어(온 오프 상태로 함)하는 게이트 드라이버(12b)이다. 본 발명의 실시예에서는, 주로 도 1의 화소 구성을 예시하여 설명하지만 이것에 한정되는 것은 아니다. 도 50, 도 51, 도 54등의 다른 화소 구성에도 적용할 수 있는 것은 물론이다. 또한, 본 발명의 게이트 드라이버(12)의 구성 또는 그 구동 방식은 본 발명의 표시 패널, 표시 장치 또는 정보 표시 장치와의 조합에 있어, 보다 특징 있는 효과를 발휘한다. 그러나, 다른 구성에서도 특징 있는 효과를 발휘할 수 있는 것은 물론이다.

또, 이하에 설명하는 게이트 드라이버(12)의 구성 또는 배치 형태는 유기 EL 표시 패널 등의 자기 발광 장치에 한정되는 것은 아니다. 액정 표시 패널 또는 전자 유동 표시 패널 등에도 채용할 수 있다. 예컨대, 액정 표시 패널에서는, 화소의 선택 스위칭 소자의 제어로서 본 발명의 게이트 드라이버(12)의 구성 또는 방식을 채용하여도 좋다. 또한, 게이트 드라이버(12)를 2상 이용하는 경우에는, 1상을 화소의 스위칭 소자의 선택용으로 이용해서, 다른 쪽을 화소에서, 유지 용량의 한 쪽의 단자에 접속하여도 좋다. 이 방식은 독립 CC 구동(용량 결합 구동법)라고 불리는 것이다. 또한, 도 111, 도 113 등에서 설명하는 구성은 게이트 드라이버(12)뿐만 아니라, 소스 드라이버(14)의 시프트 레지스터 회로 등에도 채용할 수 있는 것은 물론이다.

본 발명의 게이트 드라이버(12)는 앞서 설명한 도 6, 도 13, 도 16, 도 20, 도 22, 도 24, 도 26, 도 27, 도 28, 도 29, 도 34, 도 37, 도 40, 도 41, 도 48, 도 82, 도 91, 도 92, 도 93, 도 103, 도 104, 도 105, 도 106, 도 107, 도 108, 도 109 등의 게이트 드라이버(12)로서 실시 또는 채용하는 것이 바람직하다.

도 111은 본 발명의 게이트 드라이버(12)의 블럭도이다. 설명을 쉽게 하기 위해, 4단 분량밖에 도시하지 않지만, 기본적으로는, 게이트 신호선(17)의 수에 대응하는 단위 게이트 출력 회로(1111)가 형성 또는 배치된다.

도 111에 나타내는 바와 같이, 본 발명의 게이트 드라이버(12:l2a, 12b)에서는, 네 개의 클럭 단자 SCK0, SCK1, SCK2, SCK3과, 하나의 스타트 단자(데이터 신호 SSTA), 시프트 방향을 상하 반전 제어하는 두 개의 반전 단자 DIRA, DIRB(이들 은 역상의 신호를 인가함)의 신호 단자로 구성된다. 또한, 전원 단자로서 L 전원 단자 VBB와, H 전원 단자 Vd 등으로 구성된다.

또, 본 발명의 게이트 드라이버(12)는 전부 P채널의 TFT(트랜지스터)로 구성하고 있기 때문에, 레벨 시프터 회로(저전압의 논리 신호를 고전압의 논리 신호로 변환하는 회로)를 게이트 드라이버에 내장할 수가 없다. 그 때문에, 도 109 등에 도시한 전원 회로(IC)(1091) 내에 레벨 시프터 회로를 배치 또는 형성하고 있다. 전원 회로(IC)(1091)는 게이트 드라이버(12)로부터 게이트 신호선(17)으로 출력하는 온 상태 전압(화소(16) TFT의 선택 전압), 오프 상태 전압(화소(16) TFT의 비선택 전압)에 필요한 전위의 전압을 작성한다. 그 때문에, 전원 IC(회로)(1091)가 사용하는 반도체의 내압 프로세스는 충분한 내압이 있다. 따라서, 전원 IC(1091)로 논리 신호를 레벨 시프트 LS하면 양호하다. 따라서, 컨트롤러(도시하지 않음)로부터 출력되는 게이트 드라이버(12)의 제어 신호는 전원 IC(1091)에 입력하고, 레벨 시프트하면서, 본 발명의 게이트 드라이버(12)에 입력한다. 컨트롤러(도시하지 않음)로부터 출력되는 소스 드라이버 회로(14)의 제어 신호는 직접 본 발명의 소스 드라이버(14) 등에 입력한다(레벨 시프트의 필요가 없다).

그러나, 본 발명은 어레이 기판(71)에 형성하는 트랜지스터를 전부 P채널로 형성하는 것에 한정되는 것은 아니다. 게이트 드라이버(12)를 후에 설명하는 도 111, 도 113과 같이 P채널로 형성함으로써, 협프레임화할 수 있다. 2.2인치의 QCIF 패널의 경우, 게이트 드라이버(12)의 폭은 6㎛ 룰의 채용 시에, 600㎛로 구성할 수 있다. 공급할 게이트 드라이버(12)의 전원 배선의 레이아웃을 포함해도 700 ㎛로 구성할 수 있다. 동일한 회로 구성을 CMOS(N채널과 P채널 트랜지스터)로 구성하면, 1.2㎜으로 된다. 따라서, 게이트 드라이버(12)를 P채널로 형성함으로써, 협프레임화라는 특징 있는 효과를 발휘할 수 있다.

또한, 화소(16)를 P채널의 트랜지스터로 구성함으로써, P채널 트랜지스터로 형성한 게이트 드라이버(12)와의 매칭이 잘 된다. P채널 트랜지스터(도 1의 화소 구성에서는, TFT(11b, 11c), TFT(11d))는 L 전압에서 온 상태로 된다. 한편, 게이트 드라이버(12)도 L 전압이 선택 전압이다. P채널의 게이트 드라이버는 도 113의 구성에서도 알지만, L레벨을 선택 레벨로 하면 매칭이 양호하다. L레벨을 장기간 유지할 수 없기 때문이다. 한편, H 전압은 장시간 유지할 수 있다.

또한, EL 소자(15)에 전류를 공급하는 구동용 TFT(도 1에서는 TFT(11a))도 P채널로 구성함으로써, EL 소자(15)의 캐소드를 금속 박막의 전체 전극으로 구성할 수 있다. 또한, 애노드 전위 Vdd로부터 순방향으로 EL 소자(15)에 전류를 흘릴 수 있다. 이상의 사항으로부터, 화소(16)의 트랜지스터를 P채널로 하고, 게이트 드라이버(12)의 트랜지스터도 P채널로 하는 것이 좋다. 이상으로부터, 본 발명의 화소(16)를 구성하는 트랜지스터(구동용 TFT, 스위칭용 TFT)를 P채널로 형성하고, 게이트 드라이버(12)의 트랜지스터를 P채널로 구성한다고 하는 사항은 단순한 설계 사항이 아니다.

이 의미로, 레벨 시프터 회로 LS를, 기판(71)에 직접에 형성하여도 좋다. 즉, 레벨 시프터 회로 LS를 N채널과 P채널 트랜지스터로 형성한다. 컨트롤러(도시하지 않음)로부터의 논리 신호는 기판(71)에 직접 형성된 레벨 시프터 회로이고, P 채널 트랜지스터로 형성된 게이트 드라이버(12)의 논리 레벨에 적합하도록 승압한다. 이 승압한 논리 전압을 상기 게이트 드라이버(12)에 인가한다.

또, 레벨 시프터 회로를 반도체 칩으로 형성하여, 기판(71)에 COG 실장 등하여도 좋다. 또한, 소스 드라이버(14)는 도 109 등에도 도시하고 있지만, 기본적으로 반도체 칩으로 형성하여, 기판(71)에 COG 실장한다. 단, 소스 드라이버(14)를 반도체 칩으로 형성하는 것에 한정되는 것이 아니라, 폴리실리콘 기술을 이용해서 기판(71)에 직접 형성하여도 좋다. 화소(16)를 구성하는 트랜지스터(11)를 P채널로 구성하면, 프로그래밍 전류는 화소(16)로부터 소스 신호선(18)으로 흘러가는 방향이 된다. 그 때문에, 소스 드라이버의 단위 전류 회로(634)(도 73, 도 74 등 참조)는 N채널의 트랜지스터로 구성해야 한다. 즉, 소스 드라이버(14)는 프로그래밍 전류 Iw를 인입하도록 회로 구성해야 한다.

따라서, 화소(16)의 구동용 TFT(11a)(도 1의 경우)가 P채널 트랜지스터일 경우에는, 반드시, 소스 드라이버(14)는 프로그래밍 전류 Iw를 인입하도록, 단위 전류원(634)을 N채널 트랜지스터로 구성한다. 소스 드라이버(14)를 어레이 기판(71)에 형성하기 위해서는, N채널용 마스크(프로세스)와 P채널용 마스크(프로세스)의 양쪽을 이용할 필요가 있다. 개념적으로 말하면, 화소(16)와 게이트 드라이버(12)를 P채널 트랜지스터로 구성하여, 소스 드라이버의 인입 전류원의 트랜지스터는 N채널로 구성하는 것이 본 발명의 표시 패널(표시 장치)이다.

또, 설명을 쉽게 하기 위해, 본 발명의 실시예에서는, 도 1의 화소 구성을 예시해서 설명한다. 그러나, 화소(16)의 선택 트랜지스터(도 1에서는 TFT(11c))를 P채널로 구성하고, 게이트 드라이버(12)를 P채널 트랜지스터로 구성하는 등의 본 발명의 기술적 사상은 도 1의 화소 구성에 한정되는 것은 아니다. 예컨대, 전류 구동 방식의 화소 구성에서는 도

42에 나타내는 커런트 미러의 화소 구성에도 적용할 수 있는 것은 물론이다. 또한, 전압 구동 방식의 화소 구성에서는, 도 62에 나타내는 바와 같은 두 개의 TFT(선택 트랜지스터는 TFT(11b), 구동 트랜지스터는 TFT(11a))에도 적용할 수 있다. 물론, 도 111, 도 113의 게이트 드라이버(12)의 구성도 적용할 수 있고, 또한, 조합 장치 등을 구성할 수 있다. 따라서, 이상의 설명한 사항, 이하에 설명하는 사항은 화소 구성 등에 한정되는 것은 아니다.

또한, 화소(16)의 선택 트랜지스터를 P채널로 구성하고, 게이트 드라이버를 P채널 트랜지스터로 구성한다고 하는 구성은 유기 EL 등의 자기 발광 장치(표시 패널 또는 표시 장치)에 한정되는 것은 아니다. 예컨대, 액정 표시 장치에도 적용할 수 있다.

반전 단자 DIRA, DIRB는 각 단위 게이트 출력 회로(1111)에 대하여, 공통의 신호가 인가된다. 또, 도 113의 등가 회로도를 보면, 이해할 수 있지만, 반전 단자 DIRA, DIRB는 서로 역극성의 전압값을 입력한다. 또한, 시프트 레지스터의 주사 방향을 반전시키는 경우에는, 반전 단자 DIRA, DIRB에 인가하고 있는 전압의 극성을 반전시킨다.

또, 도 111의 회로 구성은 클럭 신호선 수는 네 개이다. 네 개가 본 발명에서는 최적의 수이지만, 본 발명은 이것에 한정되는 것은 아니다. 네 개보다 적더라도 또는 네 개보다 많더라도 좋다.

클럭 신호 SCK0, SCK1, SCK2, SCK3의 입력은 인접한 단위 게이트 출력 회로(1111)에서 다르게 하고 있다. 예컨대, 단위 게이트 출력 회로(1111a)에는, 클럭 단자의 SCK0이 OC에, SCK2가 RST에 입력되어 있다. 이 상태는 단위 게이트 출력 회로(1111c)도 마찬가지이다. 단위 게이트 출력 회로(1111a)에 인접한 단위 게이트 출력 회로(1111b)(다음 단의 단위 게이트 출력 회로)는 클럭 단자의 SCK1이 OC에, SCK3이 RST에 입력되어 있다. 따라서, 단위 게이트 출력 회로(1111)에 입력되는 클럭 단자는 SCK0이 OC에, SCK2가 RST에 입력되고, 다음 단은 클럭 단자의 SCK1이 OC에, SCK3이 RST에 입력되고, 또한 다음 단의 단위 게이트 출력 회로(1111)에 입력되는 클럭 단자는 SCK0이 OC에, SCK2가 RST에 입력되도록 교대로 다르게 하고 있다.

도 113이 단위 게이트 출력 회로(1111)의 회로 구성이다. 구성하는 트랜지스터는 P채널만으로 구성하고 있다. 도 114가 도 113의 회로 구성을 설명하기 위한 타이밍 차트이다. 또, 도 112는 도 113의 복수단 분량의 타이밍 차트를 도시한 것이다. 따라서, 도 113을 이해함으로써, 전체 동작을 이해할 수 있다. 동작의 이해는 문장으로 설명하는 것보다도, 도 113의 등가 회로도를 참조하면서, 도 114의 타이밍 차트를 이해함으로써 달성되기 때문에, 상세한 각 트랜지스터의 동작 설명은 생략한다.

P채널만으로 드라이버 회로 구성을 작성하면, 기본적으로 게이트 신호선(17)을 H레벨(도 113에서는 Vd 전압)로 유지하는 것은 가능하다. 그러나, L레벨(도 113에서는 VBB 전압)로 장시간 유지하는 것은 곤란하다. 그러나, 화소행의 선택 시 등의 단기간 유지는 충분히 할 수 있다. IN 단자에 입력된 신호와, RST 단자에 입력된 SCK 클럭에 의해, n1이 변화하고, n2는 n1의 반전 신호 상태로 된다. n2의 전위와 n4의 전위는 동일 극성이지만, OC 단자에 입력된 SCK 클럭에 의해 n4의 전위 레벨은 더욱 낮게 된다. 이 낮게 되는 레벨에 대응하여, Q 단자가 그 기간, L레벨로 유지된다(온 상태 전압이 게이트 신호선(17)으로부터 출력된다). SQ 또는 Q 단자에 출력되는 신호는 다음 단의 단위 게이트 출력 회로(1111)에 전송된다.

도 111, 도 113의 회로 구성에서, IN(INA, INb) 단자, 클럭 단자의 인가 신호 타이밍을 제어함으로써, 도 115(a)에 나타내는 바와 같이, 1게이트 신호선(17)을 선택하는 상태와, 도 115(b)에 나타내는 바와 같이, 2게이트 신호선(17)을 선택하는 상태를 동일한 회로 구성을 이용해서 실현할 수 있다. 선택 측의 게이트 드라이버(12a)에서, 도 115(a)의 상태는 1화소행(51a)을 동시에 선택하는 구동 방식이다(노멀 구동). 또한, 선택 화소행은 1행씩 시프트한다. 도 115(b)는 2화소행을 선택하는 구성이다. 이 구동 방식은 도 27, 도 28에서 설명한 복수 화소행(51a, 51b)의 동시 선택 구동 방식(더미 화소행을 구성하는 방식)이다. 선택 화소행은 1화소행씩 시프트하고, 또한 인접한 2화소행이 동시에 선택된다. 특히, 도 115(b)의 구동 방법은 최종적인 영상을 유지하는 화소행(51a)에 대하여, 화소행(51b)은 예비 충전된다. 그 때문에, 화소(16)를 기입하기 쉽게 된다. 즉, 본 발명은 단자에 인가하는 신호에 의해, 두 개의 구동 방식을 전환해서 실현할 수 있다.

또, 도 115(b)는 인접한 화소(16)행을 선택하는 방식이지만, 도 116에 나타 내는 바와 같이, 인접한 이외의 화소(16)행을 선택하여도 좋다(도 116은 3화소행 떨어진 위치의 화소행을 선택하고 있는 실시예이다). 또한, 도 113의 구성에서는, 4화소행의 조(組)로 제어된다. 4화소행 중, 1화소행을 선택할지, 연속한 2화소행을 선택할지의 제어를 실시할 수 있다. 이것은 사용하는 클럭 SCK가 네 개인 것에 의한 제약이다. 클럭 SCK이 8개로 되면, 8화소행의 조에서 제어를 실시할 수 있다.

선택 측의 게이트 드라이버(12a)의 동작은 도 115의 동작이다. 도 115(a)에 나타내는 바와 같이, 1화소행을 선택하여, 선택 위치를 1수평 동기 신호에 동기하여 1화소행씩 시프트한다. 또한, 도 115(b)에 나타내는 바와 같이, 2화소행을 선택하여, 선택 위치를 1수평 동기 신호에 동기하여 1화소행씩 시프트한다.

다음에, 본 발명의 EL 표시 패널을 구비할 전자기기에 대한 실시예에 대하여 설명한다. 도 57은 정보 단말 장치의 일례로서의 휴대형 전화기의 평면도이다. 개체(573)에 안테나(571), 턴키(572) 등이 마련되어 있다. 참조 부호 572a 참조 부호 572e가 표시색 전환키 또는 전원 온 오프, 프레임 레이트 전환키 등이다.

표시색 전환키가 한 번 눌리면 표시색은 8색 모드로, 계속해서 동일한 키가 눌리면 표시색은 256색 모드, 또한 동일한 키가 누르면 표시색은 4096색 모드로 되도록 시퀀스를 정해도 좋다. 키를 누를 때마다 표시색 모드가 변화하는 토글 스위치로 한다. 또, 별도 표시색에 대응하는 변경키를 마련하여도 좋다. 이 경우, 표시색 전환키는 세 개(이상)으로 된다.

표시색 전환키는 푸시 스위치 외에, 슬라이드 스위치 등의 다른 기계적인 스 위치라도 좋고, 또한, 음성 인식 등에 의해 전환하는 것이라도 좋다. 예컨대, 4096색을 수화기로 음성 입력하는 것, 예컨대, 「고품질 표시」, 「256색 모드」 또는 「저표시색 모드」와 수화기에 음성 입력함으로써 표시 패널의 표시 화면(50)에 표시되는 표시색이 변화하도록 구성한다. 이것은 현행의 음성 인식 기술을 채용함으로써 용이하게 실현할 수 있다.

또한, 표시색의 전환은 전기적으로 전환하는 스위치라도 좋고, 표시 패널의 표시부(21)에 표시시킨 메뉴를 접촉하는 것에 의해 선택하는 터치 패널이라도 좋다. 또한, 스위치를 누르는 회수를 전환하거나, 또는 클릭 볼과 같이 회전 또는 방향에 의해 전환하도록 구성하여도 좋다.

또한, 상술한 표시색 전환키 대신에, 프레임 레이트를 전환하는 키 등으로 하여도 좋다. 또한, 동화상과 정지 화상을 전환하는 키 등으로 하여도 좋다. 또한, 동화상과 정지 화상의 프레임 레이트 등의 복수 요건을 동시에 전환하도록 하여도 좋다. 또한, 누르기를 계속하면 서서히(연속적으로) 프레임 레이트가 변화하도록 구성되어 있어도 좋다. 이 경우에는 발진기를 구성하는 콘덴서 C, 저항 R 중, 저항 R을 가변 저항으로 하거나, 전자 볼륨으로 하거나 함으로써 실현할 수 있다. 또한, 콘덴서 C는 트리머 콘덴서로 함으로써 실현할 수 있다. 또한, 반도체 칩에 복수의 콘덴서를 형성한 간격, 하나 이상의 콘덴서를 선택하여, 이들을 회로적으로 병렬 접속함으로써 실현하여도 좋다.

또, 표시색 등에 의해 프레임 레이트를 전환한다고 하는 기술적 사상은 휴대형 전화기에 한정되는 것이 아니라, 팜톱 컴퓨터나, 휴대형 퍼스널 컴퓨터, 데스크 탑 컴퓨터, 휴대형 시계 등 표시 화면을 갖는 기기에 널리 적용할 수 있다. 또한, 유기 EL 표시 패널에 한정되는 것이 아니라, 액정 표시 패널, 트랜지스터 패널, PLZT 패널, CRT 등에도 적용할 수 있다.

도 57에서는 도시하지 않지만, 본 발명의 휴대형 전화기는 케이스(573)의 이면 측에 CCD 카메라를 구비하고 있다. 이 CCD 카메라로 촬영 화상은 즉시 표시 패널의 표시 화면(50)에 표시할 수 있다. CCD 카메라로 촬영한 데이터는 표시 화면(50)에 표시할 수 있다. CCD 카메라의 화상 데이터는 24비트(1670만색), 18비트(26만색), 16비트(6.5만색), 12비트(4096색), 8비트(256색)를 키(572) 입력으로 전환할 수 있다.

표시 데이터가 12비트 이상 일 때에는 은, 오차 확산 처리를 행하여 표시한다. 즉, CCD 카메라로부터의 화상 데이터가 내장 메모리의 용량 이상일 때에는 은, 오차 확산 처리 등을 실시하여, 표시색 수를 내장 화상 메모리의 용량 이하로 되도록 화상 처리를 행한다.

지금, 소스 드라이버(14)에는 4096색(RGB 각 4비트)으로 1화면의 내장 RAM을 구비하고 있는 것으로 설명한다. 모듈 외부로부터 전송되는 화상 데이터가 4096색일 경우에는, 직접 소스 드라이버(14)의 내장 화상 RAM에 저장하고, 이 중 내장 화상 RAM에서 화상 데이터를 판독해서, 표시 화면(50)에 화상을 표시한다.

화상 데이터가 26만색(G:6비트, R, B:5비트인 총 16비트)일 경우에는, 오차 확산 컨트롤러의 연산 메모리에 일단 저장되고, 또한 동시에 오차 확산 또는 디서 처리를 행하는 연산 회로로 오차 확산 또는 디서 처리가 행해진다. 이 오차 확산 처리 등에 의해 16비트의 화상 데이터는 내장 화상 RAM의 비트수인 12비트로 변환되어 소스 드라이버(14)에 전송된다. 소스 드라이버(14)는 RGB 각 4비트(4096색)의 화상 데이터를 출력하여, 표시 화면(50)에 화상을 표시한다.

또한, 본 발명의 EL 표시 패널 또는 EL 표시 장치 또는 구동 방법을 채용한 실시예에 대해, 도면을 참조하면서 설명한다.

도 58은 본 발명의 실시예에 있어서의 뷰파인더의 단면도이다. 단, 설명을 쉽게 하기 위해 모식적으로 나타내고 있다. 또한, 일부 확대 또는 축소한 부분이 존재하고, 또한, 생략한 부분도 있다. 예컨대, 도 58에서, 접안 커버를 생략하고 있다. 이상의 것은 다른 도면에도 해당한다.

케이스(573)의 이면은 어두운 색 또는 흑색으로 되어 있다. 이것은 EL 표시 패널(표시 장치)(574)로부터 출사한 미광이 케이스(573)의 내면으로 난반사하여 표시 계조의 저하시키는 것을 방지하기 위함이다. 또한, 표시 패널의 광출사

측에는 위상판(λ/4판 등)(108), 편광판(109) 등이 배치되어 있다. 이것은 도 10, 도 11에서도 설명하고 있다.

접안 링(581)에는 확대 렌즈(582)가 붙여져 있다. 관찰자는 접안 링(581)을 케이스(573) 내의 삽입 위치를 가변하여, 표시 패널(574)의 표시 화상(50)에 핀트가 맞도록 조정한다.

또한, 필요에 따라 표시 패널(574)의 광출사 측에 볼록 렌즈(583)를 배치하면, 확대 렌즈(582)에 입사하는 주광선을 수속시킬 수 있다. 그 때문에, 확대 렌즈(582)의 렌즈 직경을 작게 할 수 있어, 뷰파인더를 소형화할 수 있다.

도 59는 디지털 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬상) 렌즈부(592)와 디지털 카메라 본체(573)를 구비하고, 촬영 렌즈부(592)와 뷰파인더부(573)는 표리 관계로 되어있다. 또한, 뷰파인더(도 58 참조)(573)에는 접안 커버가 마련되어 있다. 관찰자(사용자)는 이 접안 커버부에서 표시 패널(574)의 표시부(50)를 관찰한다.

또한, 본 발명의 EL 표시 패널인 표시부(50)는 표시 모니터로도 사용되고 있다. 표시부(50)는 지점(591)으로 각도를 자유롭게 조정할 수 있다. 표시부(50)를 사용하지 않을 때에는, 저장부(593)에 저장된다.

스위치(594)는 이하의 기능을 실시하는 전환 또는 제어 스위치이다. 스위치(594)는 표시 모드 전환 스위치이다. 스위치(594)는 휴대형 전화기 등에도 장착하는 것이 바람직하다. 이 표시 모드 전환 스위치(594)에 대해 설명한다.

본 발명의 구동 방법의 하나에 N배의 전류를 EL 소자(15)에 흘려, 1F의 1/M의 기간만 점등시키는 방법이 있다. 이 점등시키는 기간을 변화시킴으로써, 밝기를 디지털적으로 변경할 수 있다. 예컨대, N=4로 하여, EL 소자(15)에는 4배의 전류를 흘린다. 점등 기간을 1/M으로 하고, M=1, 2, 3, 4로 전환하면, 1배로부터 4배까지의 밝기 전환이 가능해진다. 또, M=1, 1.5, 2, 3, 4, 5, 6 등으로 변경할 수 있도록 구성하여도 좋다.

이상의 전환 동작은 휴대형 전화기의 전원을 온 상태로 했을 때에, 표시 화면(50)을 매우 밝게 표시하고, 일정한 시간이 경과한 후에는, 전력을 세이브하기 위해, 표시 휘도를 저하시키는 구성에 이용한다. 또한, 사용자가 희망하는 밝기로 설정하는 기능으로도 이용할 수 있다. 예컨대, 옥외 등에서는, 화면을 매우 밝게 한다. 옥외에서는 주변이 밝아, 화면이 전혀 보이지 않기 때문이다. 그러나, 높은 휘도로 표시를 계속하면 EL 소자(15)는 급격히 열화한다. 그 때문에, 매우 밝게 하는 경우에는, 단시간에 통상의 휘도로 복귀하도록 구성해 둔다. 또한, 고휘도로 표시하는 경우에는, 사용자가 버튼을 누름으로써 표시 휘도를 높게 할 수 있도록 구성해 둔다.

따라서, 사용자가 버튼(594)으로 전환하여 할 수 있도록 하여 둘지, 설정 모드로 자동적으로 변경할 수 있을지, 외광의 밝기를 검출해서 자동적으로 전환할 수 있도록 구성해 두는 것이 바람직하다. 또한, 표시 휘도를 50%, 60%, 80% 등으로 사용자 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

또, 표시 화면(50)은 가우스 분포 표시로 하는 것이 바람직하다. 가우스 분포 표시란, 중앙부의 휘도가 밝고, 주변부를 비교적 어둡게 하는 방식이다. 시각적으로는, 중앙부가 밝으면 주변부가 어둡더라도 밝게 느껴진다. 주관 평가에 따르면, 주변부가 중앙부에 비하여 70%의 휘도를 유지하고 있으면, 시각적으로 손색없다. 더 저감시켜, 50% 휘도로 하여도 거의 문제가 없다. 본 발명의 자기 발광형 표시 패널에서는, 이전에 설명한 N배 펄스 구동(N배의 전류를 EL 소자(15)로 흘려, 1F의 1/M의 기간만 점등시키는 방법)을 이용해서 화면의 위로부터 아래 방향으로, 가우스 분포를 발생시키고 있다.

구체적으로는, 화면의 상부와 하부에서는 M의 값을 크게 하고, 중앙부에서 M의 값을 작게 한다. 이것은 게이트 드라이버(12)의 시프트 레지스터의 동작 속도 를 변조하는 것 등에 의해 실현한다. 화면 좌우의 밝기 변조는 테이블의 데이터와 영상 데이터를 승산함으로써 발생시키고 있다. 이상의 동작에 의해, 주변 휘도(화각 0.9)를 50%로 했을 때, 휘도가 100%인 경우와 비교하여 약 20%의 저소비 전력화가 가능하다. 주변 휘도(화각 0.9)를 70%로 했을 때, 휘도가 100%인 경우와 비교하여 약 15%의 저소비 전력화가 가능하다.

또, 가우스 분포 표시를 온 오프 상태로 할 수 있도록 전환 스위치 등을 마련하는 것이 바람직하다. 예컨대, 옥외 등에, 가우스 표시시키면 화면 주변부가 전혀 보이지 않기 때문이다. 따라서, 사용자가 버튼으로 전환할 수 있도록 하여 둘지, 설정 모드로 자동적으로 변경할 수 있을지, 외광의 밝기를 검출하여 자동적으로 전환할 수 있도록 구성해 두는 것이 바람직하다. 또한, 주변 휘도를 50%, 60%, 80%와 사용자 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

액정 표시 패널에서는 백라이트로 고정의 가우스 분포를 발생시키고 있다. 따라서, 가우스 분포의 온 오프 상태로 할 수는 없다. 가우스 분포를 온 오프 상태로 할 수 있는 것은 자기 발광형 표시 장치 특유의 효과이다.

또한, 프레임 레이트가 소정의 경우, 실내의 형광등 등의 점등 상태와 간섭해서 플리커가 발생하는 경우가 있다. 예컨대, 형광등이 60Hz의 교류로 점등하고 있는 경우, EL 표시 소자(15)가 프레임 레이트 60Hz에서 동작하고 있으면, 미묘한 간섭이 발생하여, 화면이 천천히 점멸하는 것처럼 느껴지는 일이 있다. 이것을 피하기 위해서는 프레임 레이트를

변경하면 좋다. 본 발명은 프레임 레이트의 변경기능을 부가하고 있다. 또한, N배 펄스 구동(N배의 전류를 EL 소자(15)로 흘려, 1F의 1/M 기간만 점등시키는 방법)에서, N 또는 M의 값을 변경할 수 있도록 구성하고 있다.

이상의 기능을 스위치(594)로 실현할 수 있도록 한다. 스위치(594)는 표시 화면(50)의 메뉴에 따라, 복수 회 누름으로써, 이상에서 설명한 기능을 전환하여 실현한다.

또, 이상의 사항은 휴대형 전화기에만 한정되는 것이 아니라, 텔레비전, 모니터 등에 이용할 수 있는 것은 물론이다. 또한, 어떠한 표시 상태에 있는지를 사용자가 곧 인식할 수 있도록, 표시 화면에 아이콘 표시를 해 두는 것이 바람직하다. 이상의 사항은 이하의 사항에 대해서도 마찬가지이다.

본 실시예의 EL 표시 장치 등은 디지털 비디오 카메라뿐만 아니라, 도 60에 나타내는 것과 같은 디지털 스틸 카메라에도 적용할 수 있다. 표시 장치는 카메라 본체(601)에 부속된 모니터(50)로서 이용한다. 카메라 본체(601)에는 셔터(603) 외에, 스위치(594)가 마련되어 있다.

이상은 표시 패널의 표시 영역이 비교적 소형의 경우이지만, 30인치 이상과 같은 대형으로 되면 표시 화면(50)이 휘기 쉽다. 그 대책을 위해, 본 발명에서는 도 61에 나타내는 바와 같이, 표시 패널에 외부 프레임(611)을 붙이고, 외부 프레임(611)을 매달 수 있도록 고정 부재(614)를 구비하고 있다. 이 고정 부재(614)를 이용해서, 벽 등에 붙인다.

그러나, 표시 패널의 화면 크기가 커지면 중량도 커진다. 그 때문에, 표시 패널의 하측에 다리 부착부(613)를 배치하여, 복수의 다리(612)로 표시 패널의 중 량을 유지할 수 있도록 하고 있다.

다리(612)는, 화살표 A로 나타내는 바와 같이, 좌우로 이동할 수 있고, 또한, 다리(612)는, 화살표 B로 나타내는 바와 같이, 신축할 수 있도록 구성되어 있다. 그 때문에, 좁은 장소에서도 표시 장치를 용이하게 설치할 수 있다.

도 61에 나타내는 텔레비전에서는, 화면의 표면을 보호 필름(보호판이라도 좋음)으로 피복하고 있다. 이것은 표시 패널의 표면에 물체가 부딪쳐 파손되는 것을 방지하는 것이 하나의 목적이다. 보호 필름의 표면에는 AIR 코팅이 형성되어 있고, 또한, 표면을 엠보싱 가공함으로써 표시 패널에 외부의 상황(외광)이 비치는 것을 억제하고 있다.

또한, 보호 필름과 표시 패널 사이에 비즈 등을 살포함으로써, 일정한 공간이 배치되도록 구성되어 있다. 또한, 보호 필름의 이면에 미세한 볼록부를 형성하고, 이 볼록부에 의해 표시 패널과 보호 필름 사이에 공간을 유지시킨다. 이와 같이 공간을 유지함으로써 보호 필름으로부터의 충격이 표시 패널에 전달되는 것을 억제한다.

또한, 보호 필름과 표시 패널 사이에 알콜, 에틸렌 글리콜 등 액체 또는 겔 형상의 아크릴 수지 또는 에폭시 등의 고체 수지 등의 광결합제를 배치 또는 주입하는 것도 효과가 있다. 계면 반사를 방지할 수 있고, 또한 상기 광결합제가 완충재로서 기능하기 때문이다.

보호 필름으로는, 폴리카보네이트 필름(판), 폴리프로필렌 필름(판), 아크릴 필름(판), 폴리에스테르 필름(판), PVA 필름(판) 등이 예시된다. 그 외 엔지니어 링 수지 필름(ABS 등) 등을 이용할 수 있는 것은 물론이다. 또한, 강화 유리 등 무기 재료로 이루어지는 것이라도 좋다. 보호 필름을 배치하는 대신, 표시 패널의 표면에 대하여, 에폭시, 페놀 수지, 아크릴 수지 등을 0.5㎜ 이상 2.0㎜ 이하의 두께로 코팅함으로써도 동일한 효과를 얻을 수 있다. 또한, 이들 수지 표면에 엠보싱 가공 등을 행하는 것도 효과적이다.

또한, 보호 필름 또는 코팅 재료의 표면을 불소 코팅하는 것도 효과가 있다. 표면에 붙은 오염을 세제 등으로 용이하게 닦아내는 것이 가능해지기 때문이다. 또, 보호 필름을 두껍게 형성하여, 프론트 광과 겸용하도록 하여도 좋다.

본 발명의 실시예에 있어서의 표시 패널은 3변 프리의 구성과 조합하는 것도 유효한 것은 물론이다. 특히, 3변 프리의 구성은 화소가 아몰퍼스 실리콘 기술을 이용해서 제작되어 있을 때에 효과적이다. 또한, 아몰퍼스 실리콘 기술로 형성된 패널에서는, 트랜지스터 소자의 특성 편차의 프로세스 제어가 불가능하기 때문에, 본 발명의 N배 펄스 구동, 리셋 구동, 더미 화소 구동 등을 실시하는 것이 바람직하다. 따라서, 본 발명에 있어서의 트랜지스터 등은 폴리실리콘 기술에 의한 것에 한정되는 것이 아니라, 아몰퍼스 실리콘에 의한 것이라도 좋다.

또, 본 발명의 N배 펄스 구동(도 13, 도 16, 도 19, 도 20, 도 22, 도 24, 도 30 등을 참조) 등은 저온 폴리실리콘 기술로 트랜지스터(11)를 형성하고 표시 패널과 같이 아몰퍼스 실리콘 기술로 트랜지스터(11)를 형성한 표시 패널에 효과적이다. 아몰퍼스 실리콘의 트랜지스터(11)에서는, 인접한 트랜지스터의 특성이 거의 일치하고 있기 때문이다. 따라서, 가산한 전류로 구동하여도 각각의 트랜지스 터의 구동 전류는 거의 목표값으로 된다(특히, 도 22, 도 24, 도 30의 N배 펄스 구동은 아몰퍼스 실리콘으로 형성한 트랜지스터의 화소 구성에서 효과적이다).

본 발명의 실시예에서 설명한 기술적 사상은 디지털 비디오 카메라, 프로젝터, 입체 텔레비전, 프로젝션 텔레비전 등에 적용할 수 있다. 또한, 뷰파인더, 휴대형 전화기의 모니터, PHS, 휴대 정보 단말 및 그 모니터, 디지털 스틸 카메라 및 그 모니터에도 적용할 수 있다.

또한, 전자 사진 시스템, 헤드 마운트 디스플레이, 직시 모니터 디스플레이, 노트북형 및 데스크탑형 퍼스널 컴퓨터에도 적용할 수 있다. 또한, 현금 자동 인출기의 모니터, 공중 전화, 텔레비전 전화, 손목 시계 및 그 표시 장치에도 적용할 수 있다.

또한, 가정 전기기기의 표시 모니터, 포켓 게임기기 및 그 모니터, 표시 패널용 백라이트 또는 가정용 또는 업무용 조명 장치 등에도 적용 또는 응용 전개할 수 있는 것은 물론이다. 조명 장치는 색 온도를 가변으로 할 수 있도록 구성하는 것이 바람직하다. 이것은 RGB의 화소를 스트라이프 형상 또는 도트 매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정함으로써 색 온도를 변경할 수 있다. 또한, 광고 또는 포스터 등의 표시 장치, RGB의 신호기, 경보 표시등 등에도 응용할 수 있다.

또한, 스캐너의 광원으로서도 유기 EL 표시 패널은 효과적이다. RGB의 도트 매트릭스를 광원으로 해서, 대상물에 광을 조사하여, 화상을 판독한다. 물론, 단색이라도 되는 것은 물론이다. 또한, 액티브 매트릭스에 한정되는 것이 아니라, 단순 매트릭스라도 좋다. 색 온도를 조정할 수 있도록 하면 화상 판독 정밀도도 향상한다.

또한, 액정 표시 장치의 백라이트에도 유기 EL 표시 장치는 효과적이다. EL 표시 장치(백라이트)의 RGB의 화소를 스트라이프 형상 또는 도트 매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정함으로써 색 온도를 변경할 수 있고, 또한, 밝기의 조정도 용이하다. 거기에, 면 광원이기 때문에, 화면의 중앙부를 밝고, 주변부를 어둡게 하는 가우스 분포를 용이하게 구성할 수 있다. 또한, R, G, B 광을 교대로 주사하는, 필드 순차 방식의 액정 표시 패널의 백라이트로서도 효과적이다. 또한, 백라이트를 점멸하여도 흑 삽입함으로써 동화상 표시용 등의 액정 표시 패널의 백라이트로서도 이용할 수 있다.

또, 도 1 등의 도면에서는, 본 발명에서의 EL 소자(15)를 OLED로서 파악하여 다이오드의 기호를 이용해 나타내고 있다. 그러나, 본 발명에서의 EL 소자(15)는 OLED에 한정되는 것은 아니고, 소자(15)에 흐르는 전류량에 의해 휘도가 제어되는 것이면 좋다. 그와 같은 소자로는 무기 EL 소자가 예시된다. 그 외, 반도체로 구성되는 백색 발광 다이오드가 예시된다. 또한, 일반적인 발광 다이오드가 예시된다. 그 외, 발광 트랜지스터라도 좋다. 또한, 소자(15)는 반드시 정류성이 요구되는 것은 아니다. 쌍방향성 다이오드라도 좋다.

상기 설명으로부터, 당업자에 있어서는, 본 발명의 많은 개량이나 다른 실시예가 명백하다. 따라서, 상기 설명은 예시로서만 해석되어야 할 것이고, 본 발명을 실행하는 최선의 형태를 당업자에게 교시할 목적으로 제공된 것이다. 본 발명 의 정신을 일탈하지 않고, 그 구조 및/또는 기능의 상세를 실질적으로 변경할 수 있다.

산업상 이용 가능성

본 발명에 따른 EL 표시 장치는, 박형 텔레비전, 디지털 비디오 카메라, 디지털 스틸 카메라, 휴대형 전화기 등의 표시부로서 유용하다.

(57) 청구의 범위

청구항 1.

복수의 소스 신호선과, 상기 소스 신호선을 거쳐 공급되는 전류에 따른 휘도로 발광하는 복수의 EL 소자와, 상기 소스 신호선을 거쳐 화상의 계조에 따른 전류를 상기 EL 소자에 공급하는 소스 드라이버를 구비하는 EL 표시 장치에 있어서,

상기 소스 드라이버는,

기준 신호를 생성하는 기준 신호 생성 수단과,

상기 기준 신호 생성 수단에 의해 생성된 기준 신호를 전류로써 출력하는 제 1 전류원과,

상기 소스 신호선에 대응하여 복수 마련되고, 각각이, 상기 제 1 전류원에 의해 출력된 기준 신호를 전압으로써 수수하도록 구성되어 있는 제 2 전류원을 구비하되,

상기 제 2 전류원의 각각이 갖고 있는 기준 신호를 이용해서 상기 화상의 계조에 따른 전류를 생성하도록 구성되어 있는

EL 표시 장치.

청구항 2.
제 1 항에 있어서,

상기 제 2 전류원의 각각에는, 선택된 경우에 상기 기준 신호를 전류로써 출력하도록 구성되어 있는 단위 트랜지스터가 복수 접속되고,

상기 소스 드라이버는, 상기 화상의 계조에 따라 하나 또는 복수의 상기 단위 트랜지스터를 선택하도록 구성되어 있고,

표시 가능한 계조 수를 K로 하고, 상기 단위 트랜지스터의 크기를 St(μm^2)로 했을 때, $40 \leq K/(St)^{1/2}$ 또한 $St \leq 300$의 관계를 만족하도록 구성되어 있는

EL 표시 장치.

청구항 3.
제 1 항에 있어서,

상기 복수의 제 2 전류원은, 2㎟ 이하의 영역 내에 형성되어 있는 EL 표시 장치.

청구항 4.
제 1 항에 있어서,

상기 소스 드라이버에는, 상기 EL 소자로부터 발생하는 광이 상기 제 1 전류원 및 제 2 전류원에 조사되는 것을 방지하기 위한 차광막이 형성되어 있는

EL 표시 장치.

청구항 5.
복수의 소스 신호선과, 상기 소스 신호선을 거쳐 공급되는 전류에 따른 휘도 로 발광하는 복수의 EL 소자와, 상기 소스 신호선을 거쳐 화상의 계조에 따른 전류를 상기 EL 소자에 공급하는 소스 드라이버를 구비하는 EL 표시 장치에 있어서,

상기 소스 드라이버는,

제 1 단위 전류를 출력하는 복수의 단위 트랜지스터를 포함하여 이루어지고, 상기 제 1 단위 전류를 조합시킴으로써 소망 전류를 상기 EL 소자로 출력하는 제 1 전류 출력 회로와,

상기 제 1 단위 전류보다도 큰 제 2 단위 전류를 출력하는 복수의 단위 트랜지스터를 포함하여 이루어지고, 상기 제 2 단위 전류를 조합시킴으로써 소망 전류를 상기 EL 소자로 출력하는 제 2 전류 출력 회로를 구비하고,

표시할 계조가 소정의 계조보다도 낮은 경우에, 해당 표시할 계조에 따른 전류를 출력하기 위한 상기 제 1 전류 출력 회로를 동작시키고, 표시할 계조가 소정 계조 이상일 경우에, 해당 표시할 계조에 따른 전류를 출력하기 위한 상기 제 2 전류 출력 회로를 동작시키고, 또한 소정 전류를 상기 제 1 전류 출력 회로로 출력시키도록 구성되어 있는

EL 표시 장치.

청구항 6.
제 5 항에 있어서,

상기 제 2 전류의 크기는, 상기 제 1 전류의 크기의 4배 이상 8배 이하인 EL 표시 장치.

청구항 7.

제 5 항에 있어서,

상기 소스 드라이버에는, 상기 EL 소자로부터 발생하는 광이 상기 제 1 전류 출력 회로 및 제 2 전류 출력 회로에 조사되는 것을 방지하기 위한 차광막이 형성되어 있는 EL 표시 장치.

청구항 8.
청구항 2에 기재된 EL 표시 장치를 구비하고, 상기 EL 표시 장치에 대하여 화상 신호를 출력하도록 구성되어 있는 전자기기.

청구항 9.
EL 소자가 매트릭스 형상으로 형성된 표시 영역과,

상기 EL 소자에 영상 신호를 전류로서 공급하는 소스 드라이버를 구비하되,

상기 소스 드라이버는,

기준 전류를 발생시키는 기준 전류 발생 수단과,

상기 기준 전류 발생 수단으로부터의 기준 전류가 입력되고, 또한 상기 기준 전류에 대응하는 제 1 전류를 출력하는 제 1 전류원과,

상기 제 1 전류원으로부터 출력되는 제 1 전류가 입력되고, 또한 상기 제 1 전류에 대응하는 제 2 전류를 출력하는 제 2 전류원과,

상기 제 2 전류원으로부터 출력되는 제 2 전류가 입력되고, 또한 상기 제 2 전류에 대응하는 제 3 전류를 출력하는 제 3 전류원과,

상기 제 3 전류원에서 출력되는 제 3 전류가 입력되고, 또한 입력 화상 데이터에 대응하여 상기 제 3 전류에 대응하는 단위 전류를 상기 EL 소자로 출력하는 복수의 단위 전류원을 갖고 있는 것을 특징으로 하는

EL 표시 장치.

청구항 10.
EL 소자가 매트릭스 형상으로 형성된 표시 영역과,

상기 EL 소자에 영상 신호를 전류로서 공급하는 소스 드라이버를 구비하되,

상기 소스 드라이버는, 복수의 단위 트랜지스터를 갖고,

상기 단위 트랜지스터는, 입력된 영상 신호의 크기에 대응하여 선택된 경우에 단위 전류를 출력하도록 구성되어 있고,

표시 가능한 계조 수를 K라 하고, 상기 단위 트랜지스터의 크기를 St(μm^2)으로 했을 때, $40 \leq K/(St)^{1/2}$ 또한 $St \leq 300$의 관계를 만족하도록 구성되어 있는 것을 특징으로 하는

EL 표시 장치.

청구항 11.
EL 소자가 매트릭스 형상으로 형성된 표시 영역과,

상기 EL 소자에 영상 신호를 전류로서 공급하는 소스 드라이버를 구비하되,

상기 소스 드라이버는, 제 1 트랜지스터와, 상기 제 1 트랜지스터와 커런트 미러 접속된 복수의 제 2 트랜지스터로 이루어지는 트랜지스터 그룹을 갖고,

상기 트랜지스터 그룹은 $2mm^2$ 이내의 범위에 형성되어 있는 것을 특징으로 하는

EL 표시 장치.

청구항 12.
제 11 항에 있어서,

상기 제 1 트랜지스터는, 복수의 단위 트랜지스터로 구성되고,

해당 복수의 단위 트랜지스터는, 2㎟ 이내의 범위에 형성되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 13.
EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 표시 영역과,

상기 화소에 형성된 트랜지스터 소자와,

상기 트랜지스터 소자를 온 오프 제어하는 게이트 드라이버와,

상기 트랜지스터 소자에 영상 신호를 공급하는 소스 드라이버를 구비하되,

상기 게이트 드라이버는, P채널 트랜지스터로 구성되어 있고, 상기 화소에 형성된 트랜지스터는, P채널 트랜지스터 소자이며,

상기 소스 드라이버는, 반도체 칩으로 구성되어 있는 것을 특징으로 하는

EL 표시 장치.

청구항 14.
EL 소자와, 구동용 트랜지스터와, 상기 구동용 트랜지스터와 상기 EL 소자 사이의 경로를 형성하는 제 1 스위칭 소자와, 상기 구동용 트랜지스터와 소스 신호선 사이의 경로를 형성하는 제 2 스위칭 소자가, 매트릭스 형상으로 형성된 표시 영역과,

상기 제 1 스위칭 소자를 온 오프 제어하는 제 1 게이트 드라이버와,

상기 제 2 스위칭 소자를 온 오프 제어하는 제 2 게이트 드라이버와,

상기 트랜지스터 소자에 영상 신호를 인가하는 소스 드라이버를 구비하되,

상기 게이트 드라이버는, P채널 트랜지스터로 구성되어 있고,

상기 화소에 형성된 트랜지스터 및 스위칭 소자는, P채널 트랜지스터 소자이며,

상기 소스 드라이버는, 반도체 칩으로 구성되어 있는 것을 특징으로 하는

EL 표시 장치.

청구항 15.
제 13 항 또는 제 14 항에 있어서,

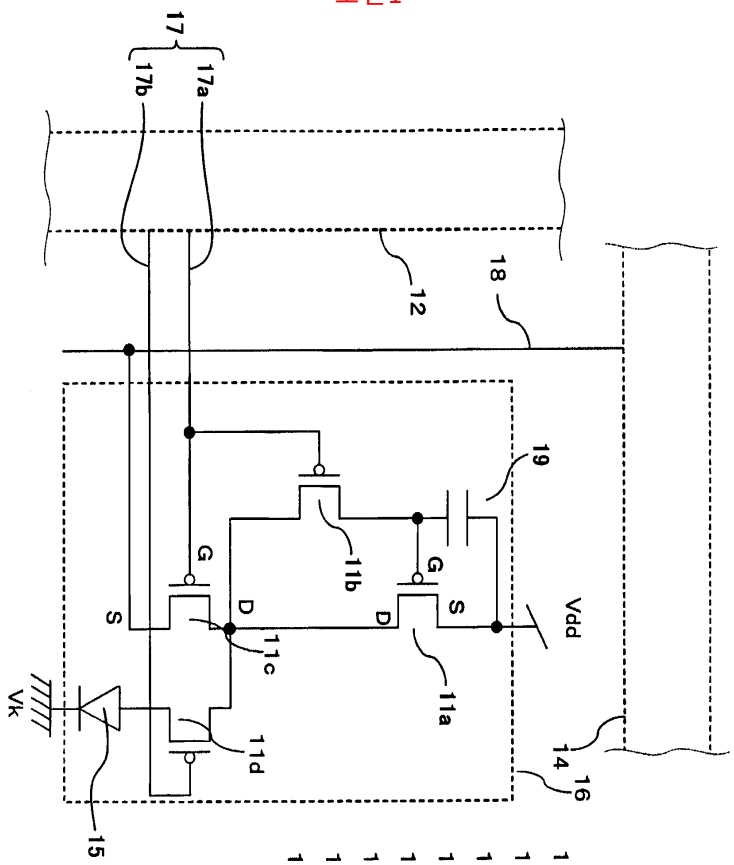
상기 소스 드라이버는, 영상 신호를 전류로 출력하는 것을 특징으로 하는 EL 표시 장치.

청구항 16.
제 13 항 또는 제 14 항에 있어서,

상기 게이트 드라이버는, 네 개의 클럭 신호에 의해, 데이터를 시프트 동작하는 것을 특징으로 하는 EL 표시 장치.

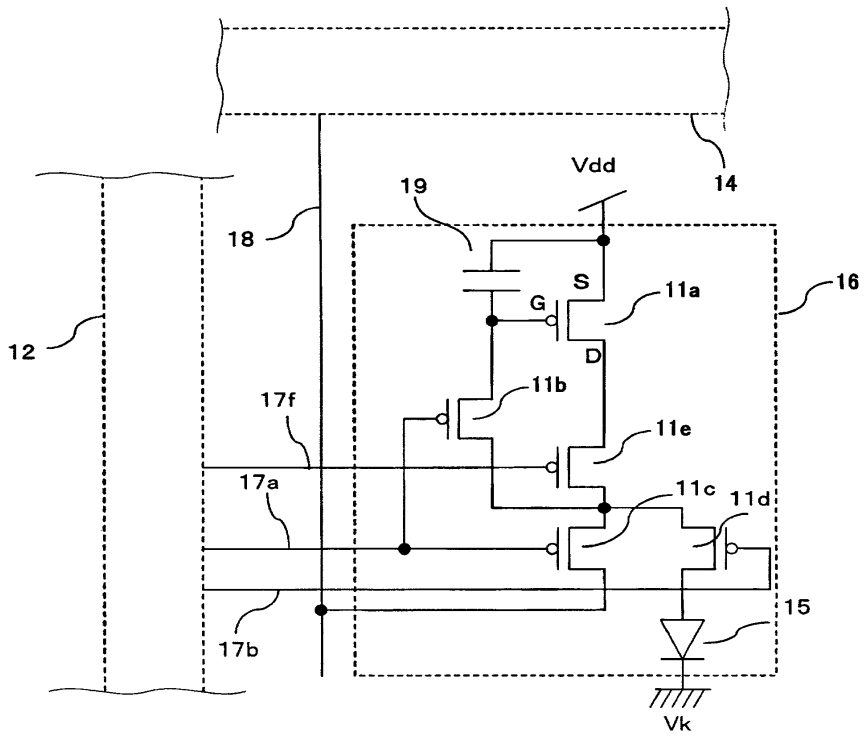
도면

도면1

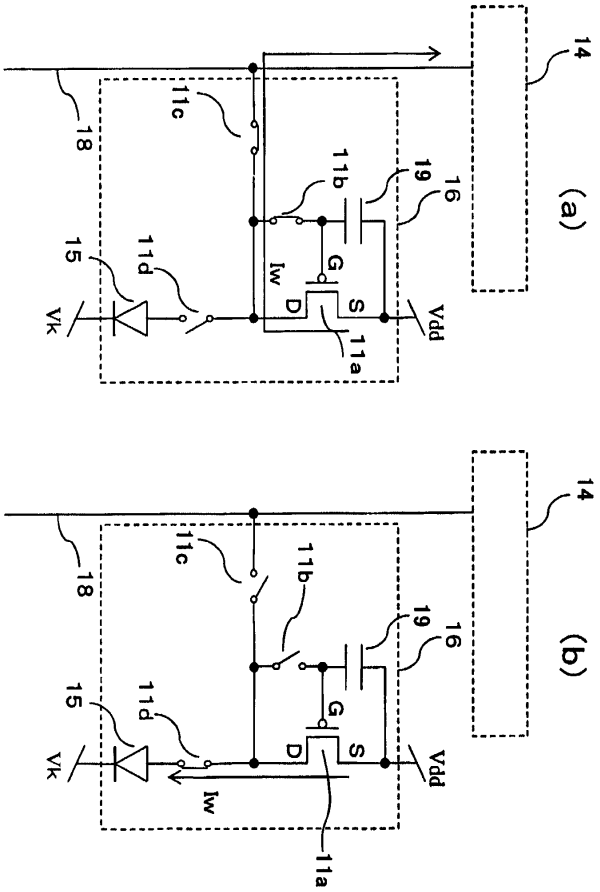


11 TFT
12 게이트 드라이버(회로)
14 소스 드라이버(회로)
15 EL(소자)
16 화소
17 게이트 신호선
18 소스 신호선
19 축적 용량(부가 용량)

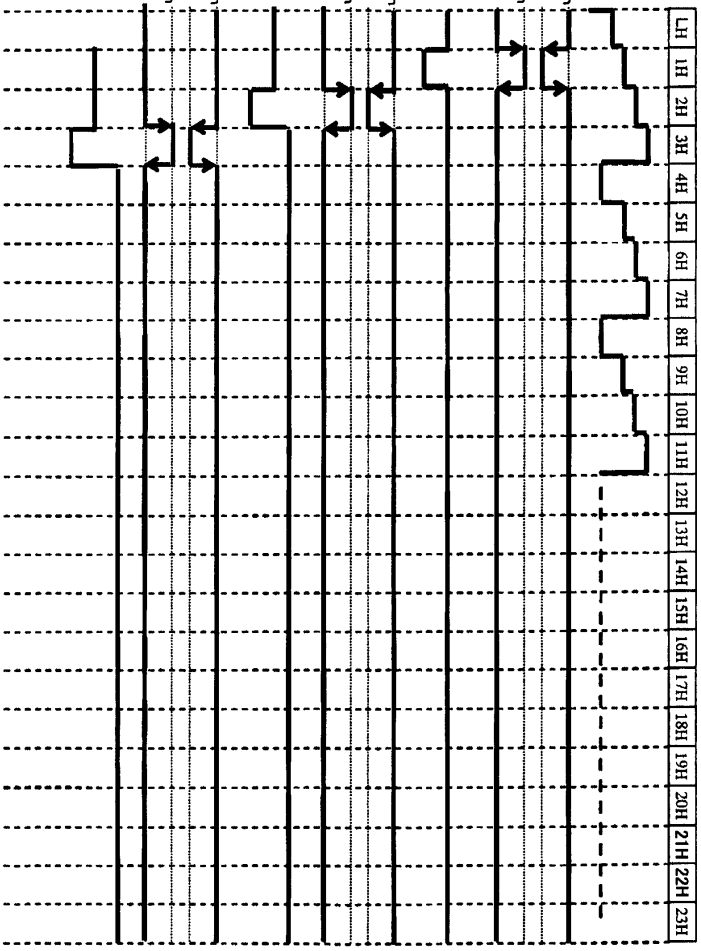
도면2



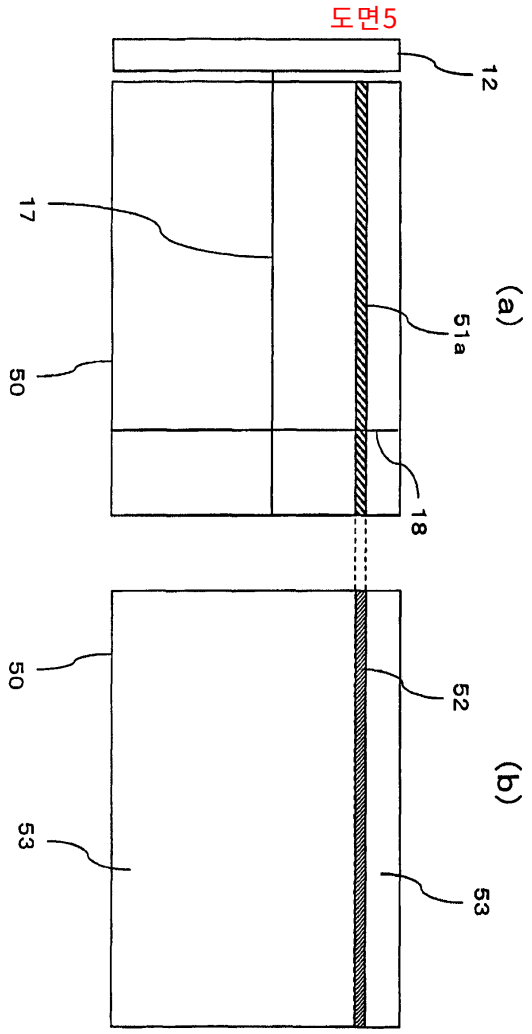
도면3


14
18
11c
11b
19
16
(a)
15
11d
Iw
G
D
S
Vk
Vdd
11a
14
18
11c
11b
19
16
(b)
15
11d
G
D
S
Vk
Vdd
Iw
11a

도면4

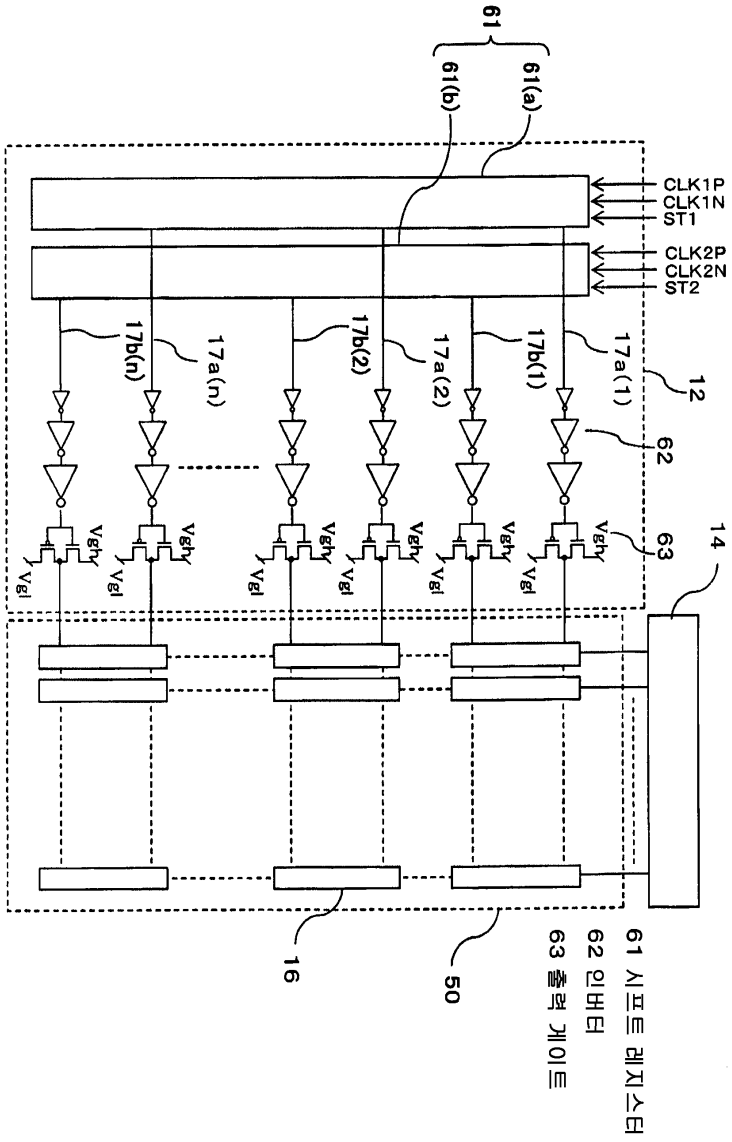

소스 신호선 18
게이트 신호선 17a(1)
게이트 신호선 17b(1)
EL(1)
게이트 신호선 17a(2)
게이트 신호선 17b(2)
EL(2)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
EL(3)
Vgh
Vgl
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
21H
22H
23H

도면5

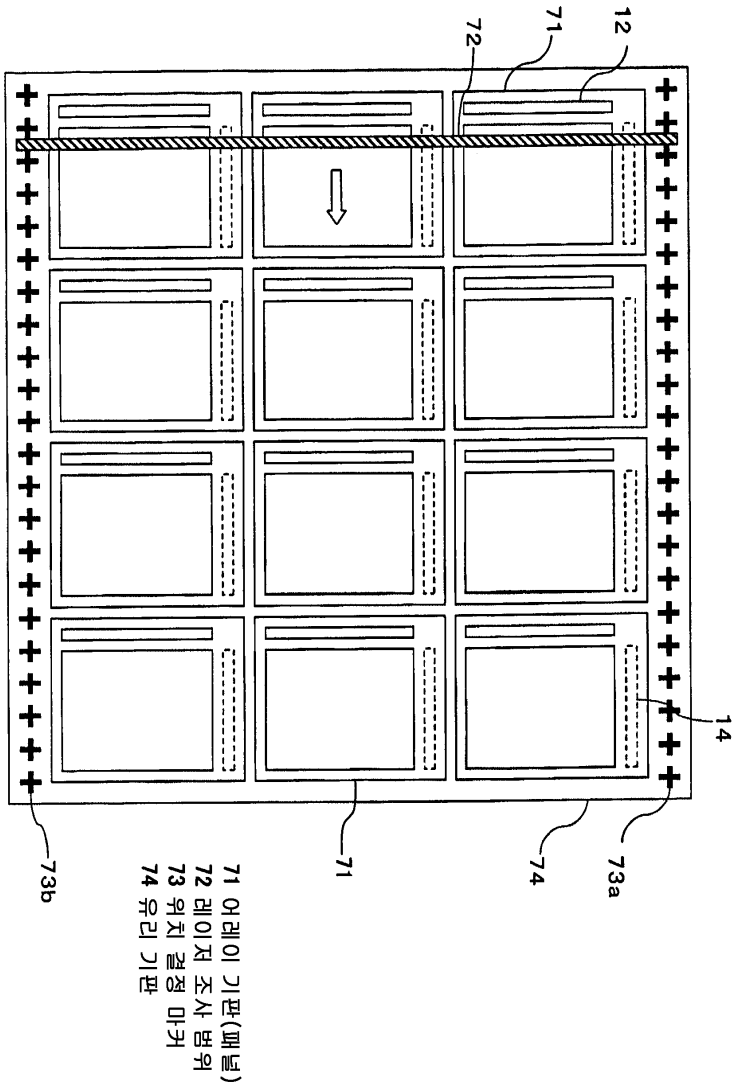


50 표시 화면
51 기입 화소(흰)
52 비표시 화소(비표시 영역, 비점등 영역)
53 표시 화소(표시 영역, 점등 영역)

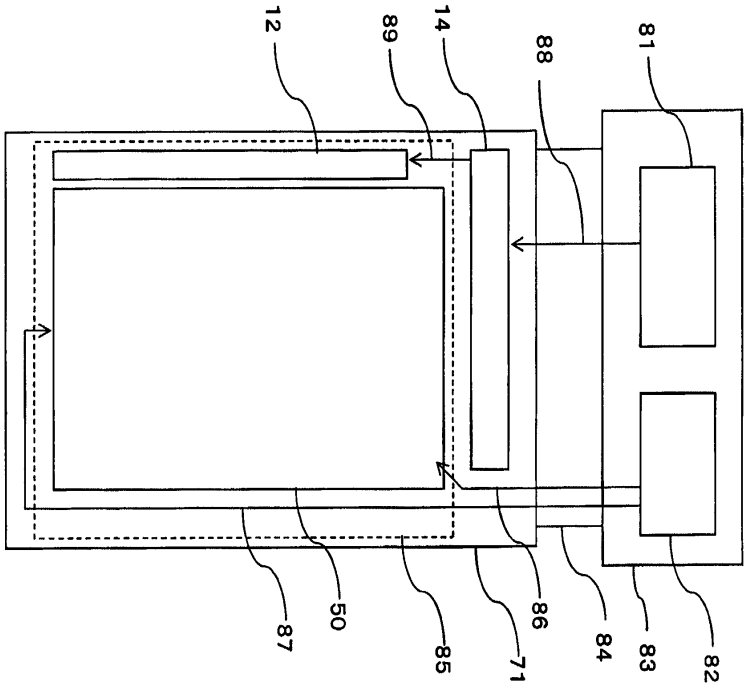
도면6


61
61(b)
61(a)
CLK1P
CLK1N
ST1
CLK2P
CLK2N
ST2
17b(n)
17a(n)
17b(2)
17a(2)
17b(1)
17a(1)
12
62
63
14
Vgh
Vgl
16
50
61 시프트 레지스터
62 인버터
63 출력 게이트

도면7

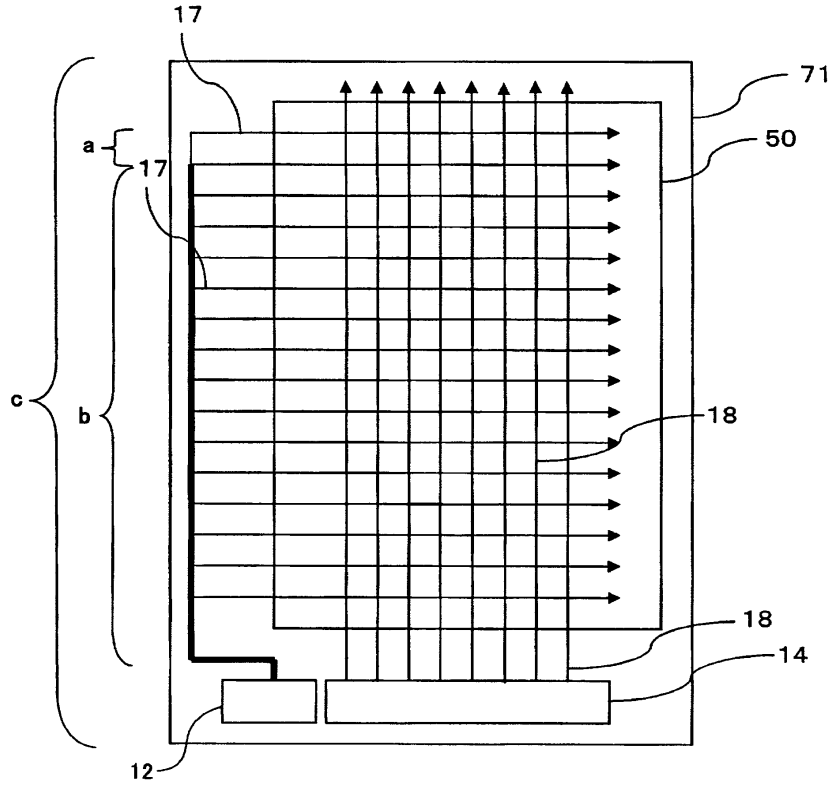

72
71
12
14
73b
71
74
73a
71 어레이 기판(패널)
72 레이저 조사 범위
73 위치 결정 마커
74 유리 기판

도면8

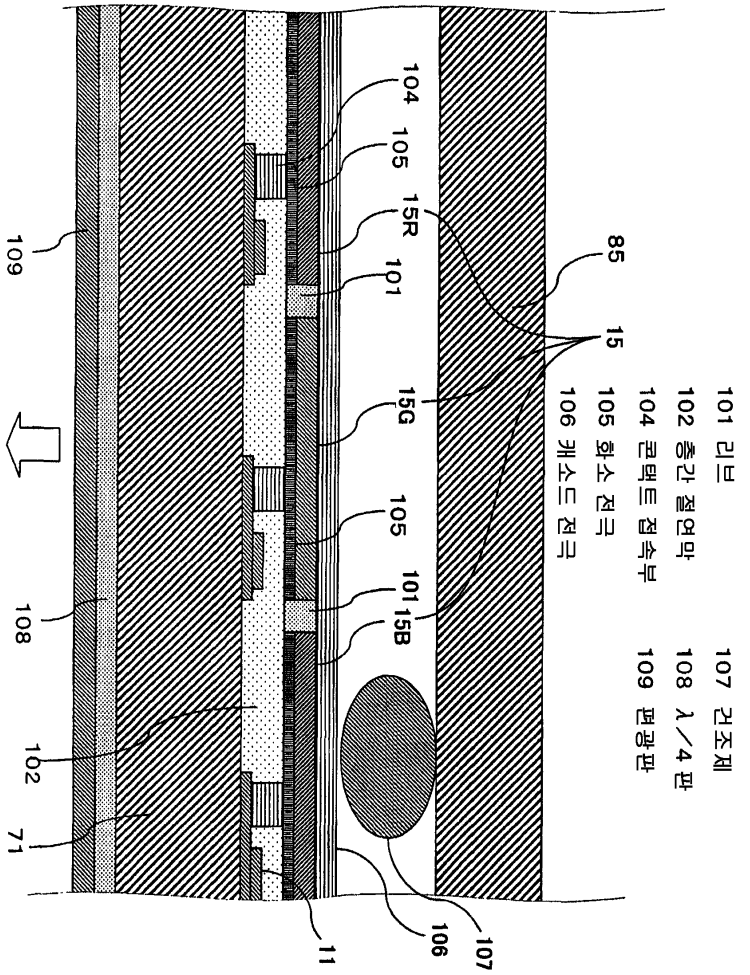


81 제어 IC(회로)
82 전원 IC(회로)
83 프린트 기판
84 플렉서블 기판
85 밀봉 덮개
86 캐소드 배선
87 애노드 배선(Vdd)
88 데이터 신호선
89 게이트 제어 신호

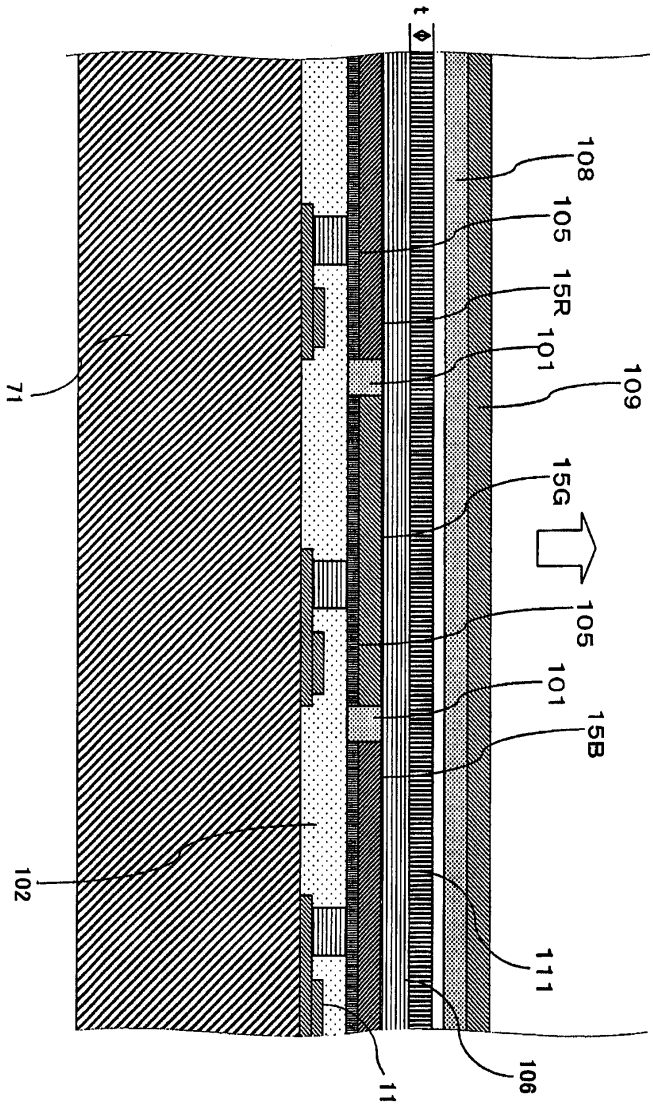
도면9



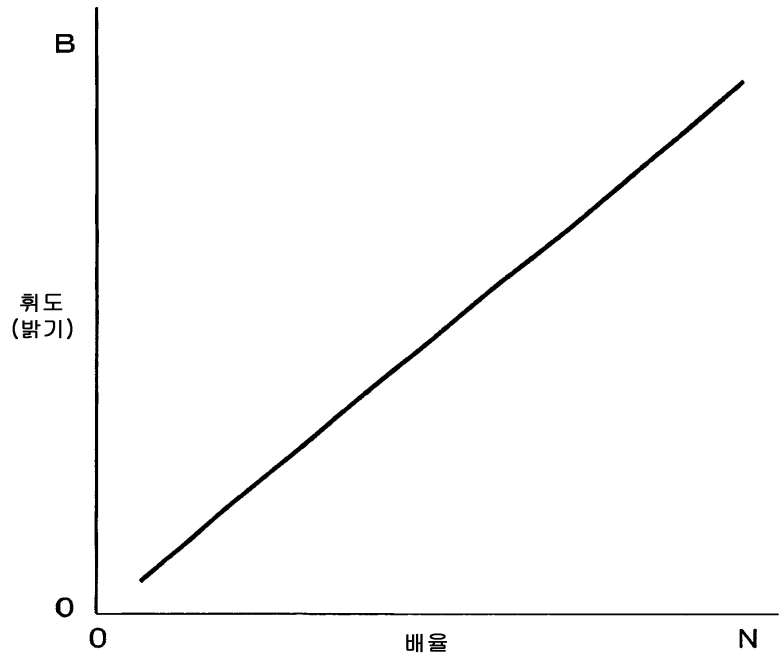
도면10


101 리브
102 층간 절연막
104 콘택트 접속부
105 화소 전극
106 캐소드 전극
107 건조제
108 λ/4 판
109 편광판
85
15
15R
15G
15B
104
105
101
109
108
102
71
11
106
107

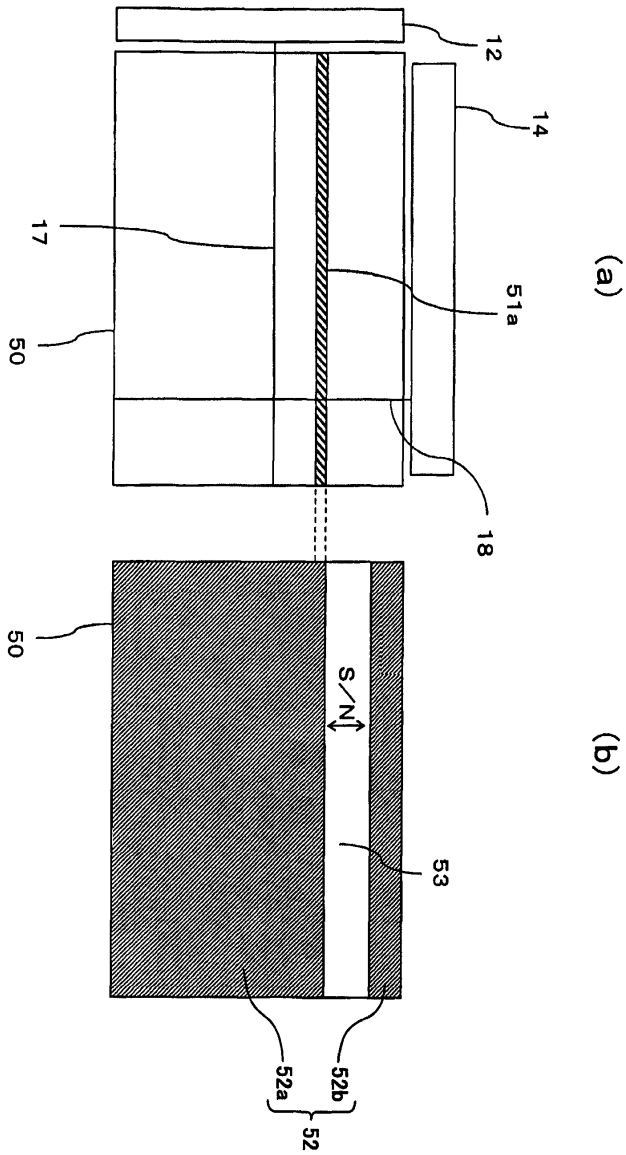
도면11


t
108
105
15R
101
109
71
15G
105
101
15B
102
111
106
11

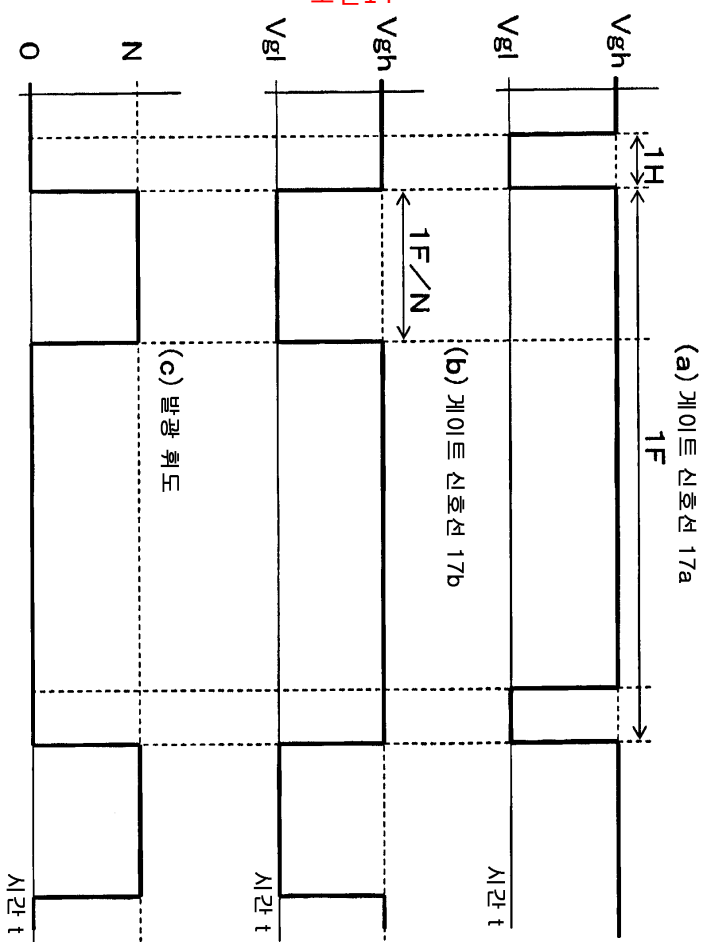
도면12


B
휘도
(밝기)
O
O
배율
N

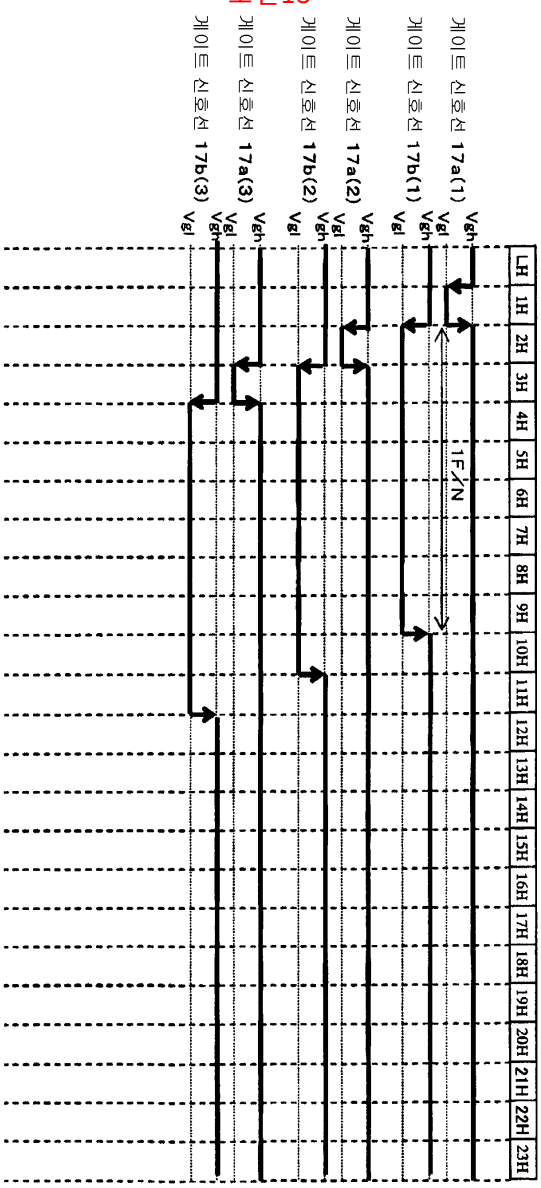
도면13



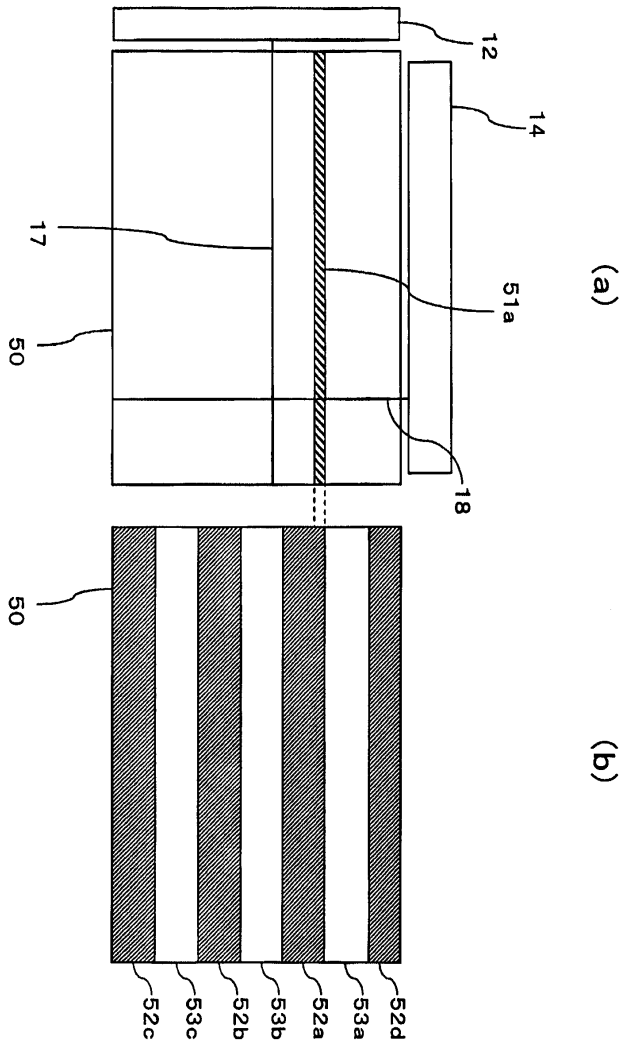
도면14


Vgh
Vgl
1H
1F
(a) 게이트 신호선 17a
시간 t
Vgh
Vgl
1F/N
(b) 게이트 신호선 17b
시간 t
N
O
(c) 발광 휘도
시간 t

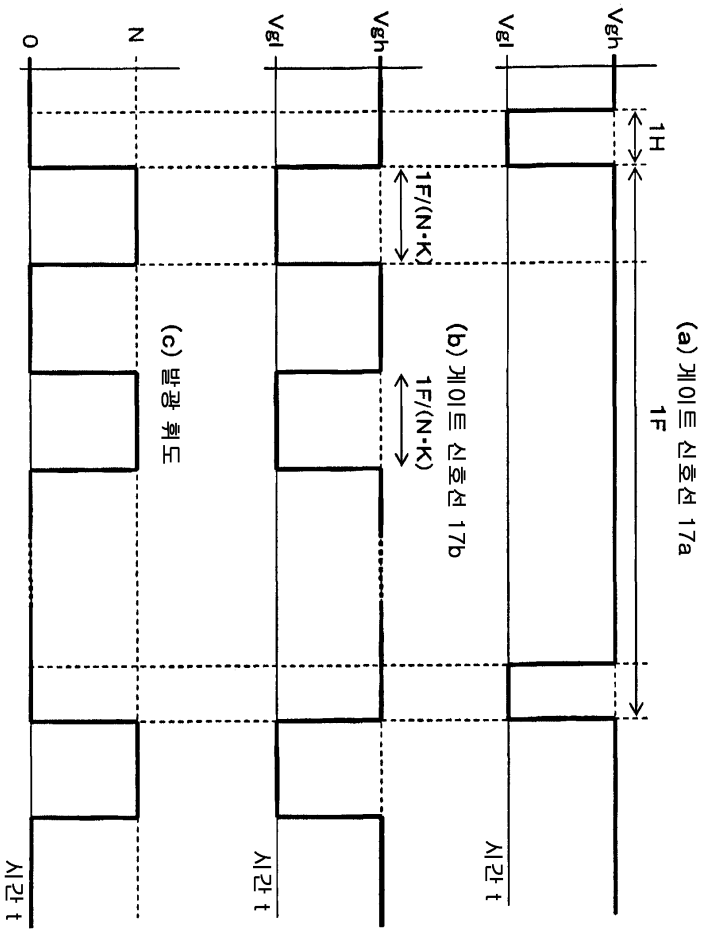
도면15


게이트 신호선 17a(1)
게이트 신호선 17b(1)
게이트 신호선 17a(2)
게이트 신호선 17b(2)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
Vgh
Vgl
1F/N
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
21H
22H
23H

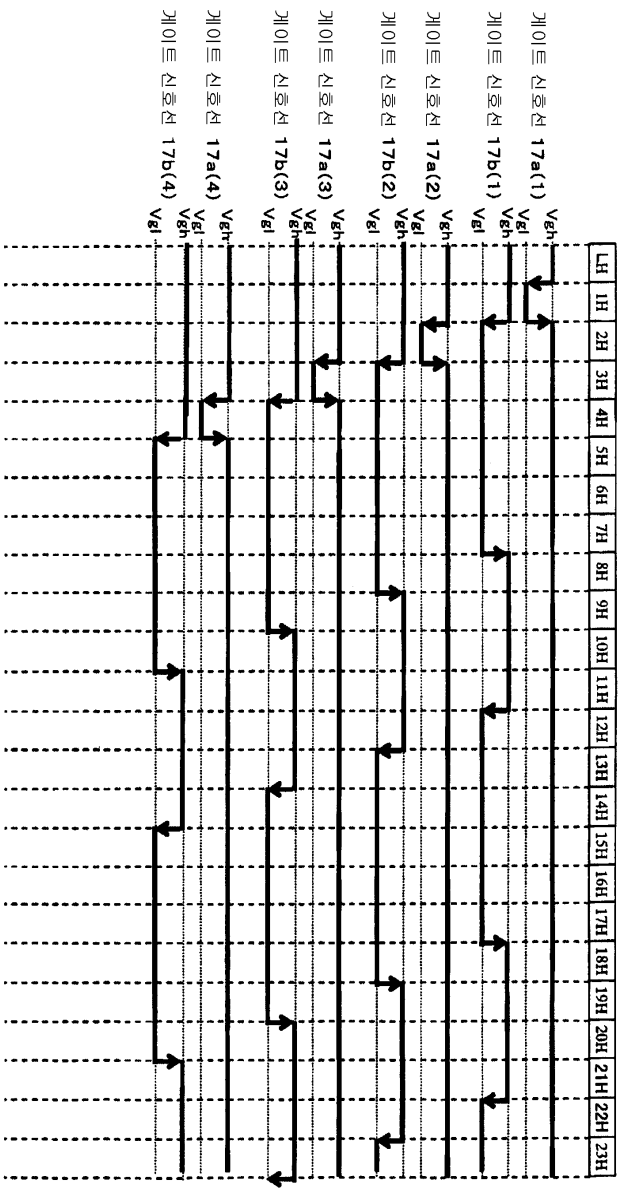
도면16



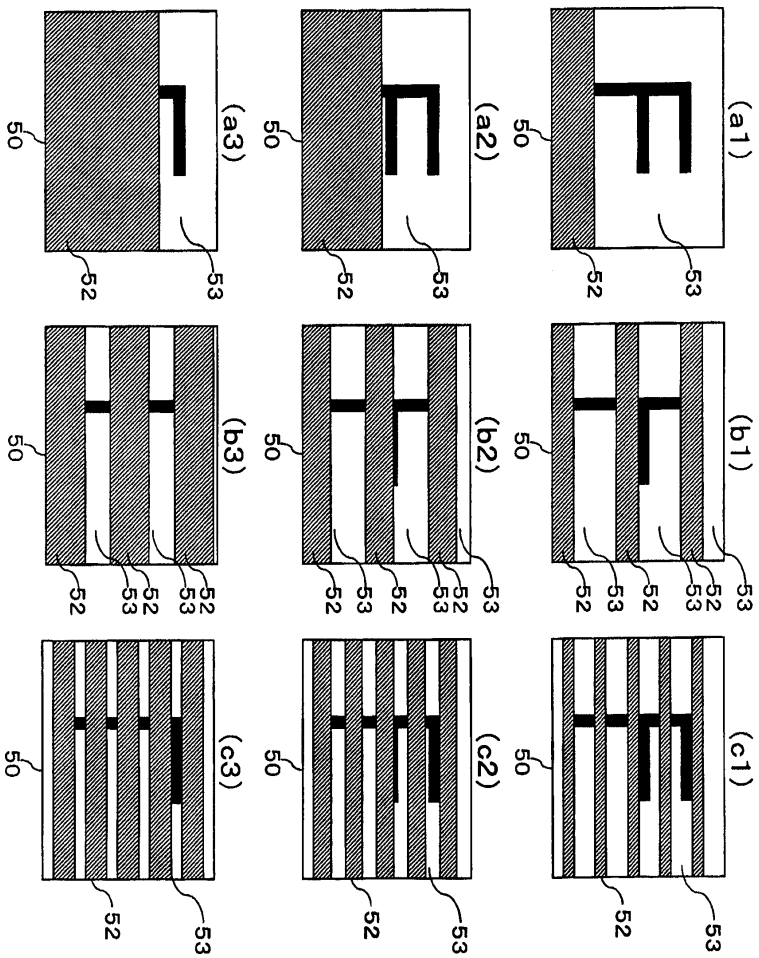
도면17


Vgh
Vgl
1H
1F
(a) 게이트 신호선 17a
시간 t
Vgh
Vgl
1F/(N·K)
(b) 게이트 신호선 17b
시간 t
N
0
(c) 발광 휘도
시간 t

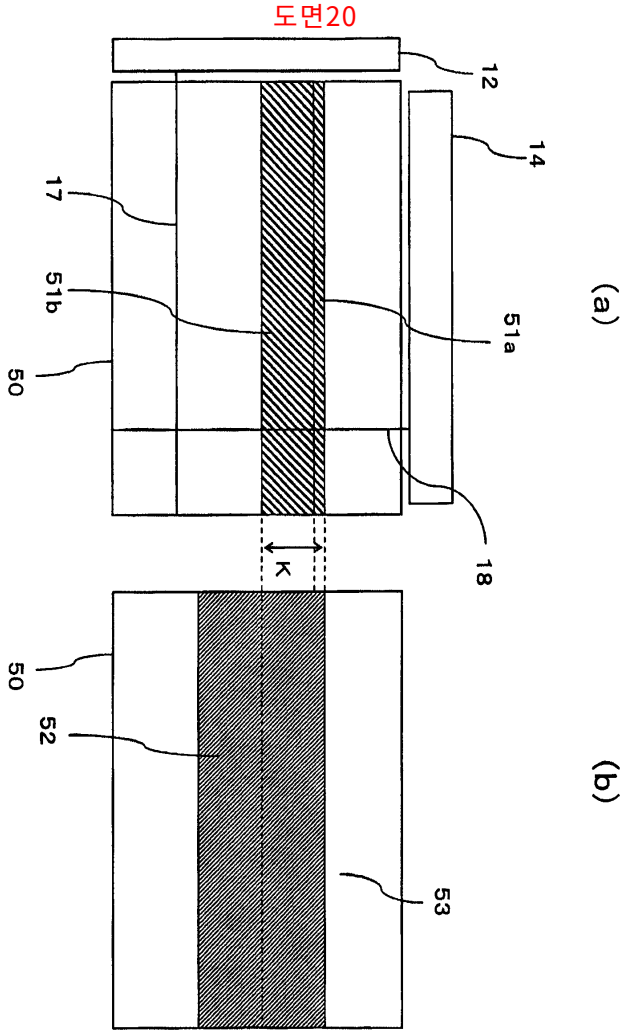
도면18


게이트 신호선 17a(1)
게이트 신호선 17b(1)
게이트 신호선 17a(2)
게이트 신호선 17b(2)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
게이트 신호선 17a(4)
게이트 신호선 17b(4)
Vgh
Vgl
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
21H
22H
23H

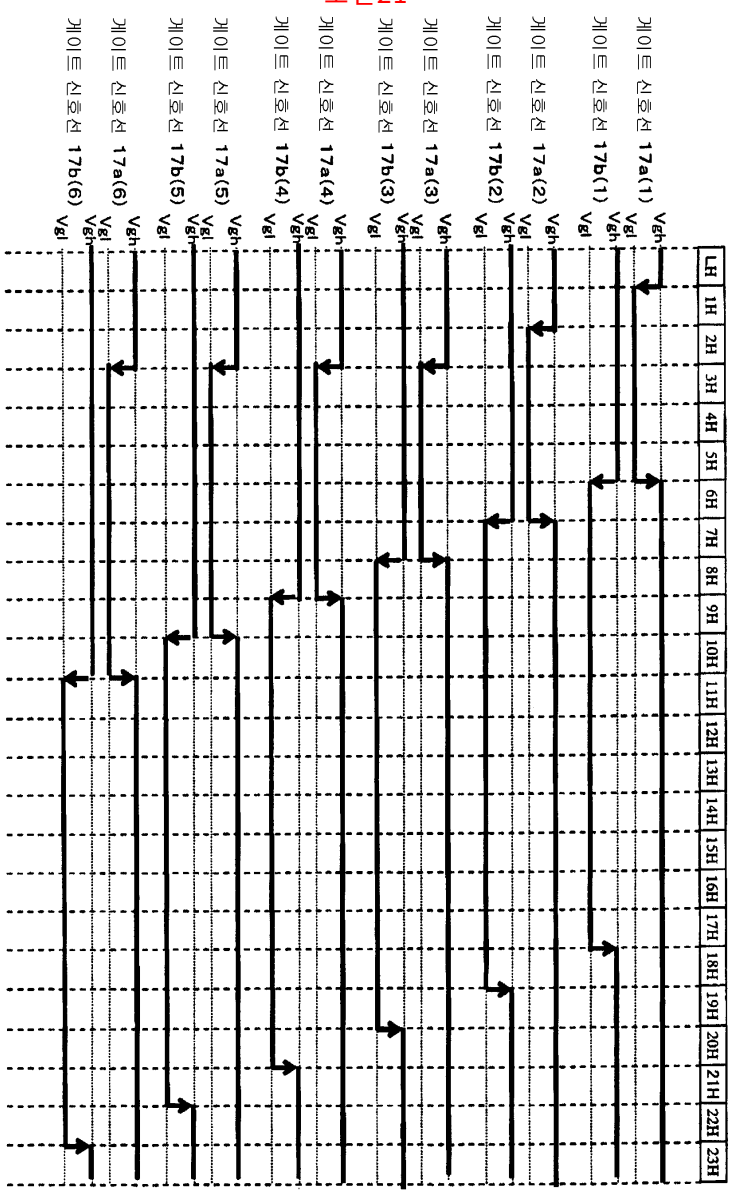
도면19



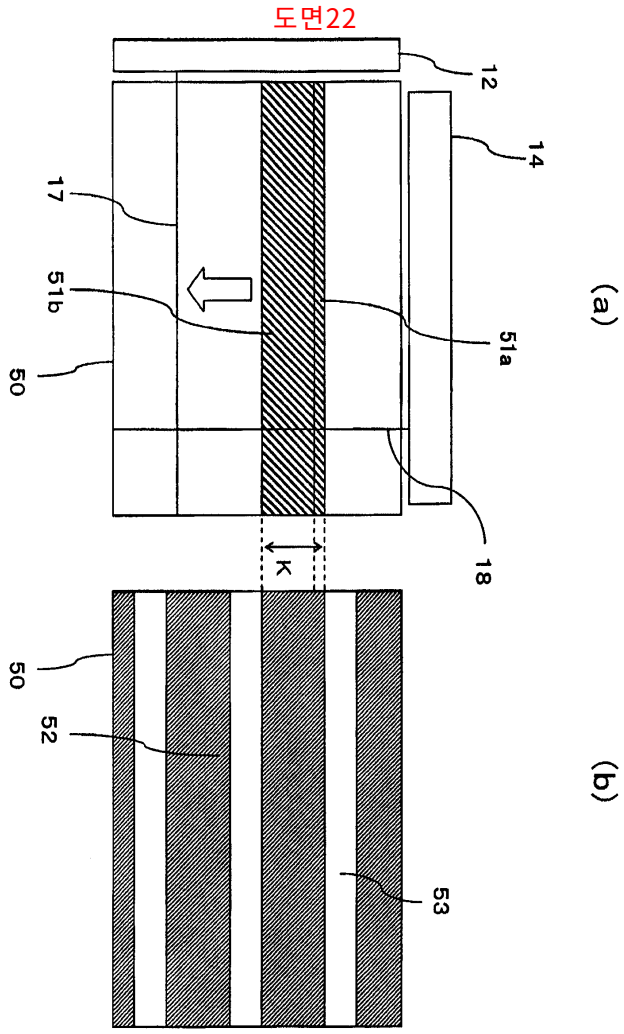
도면20



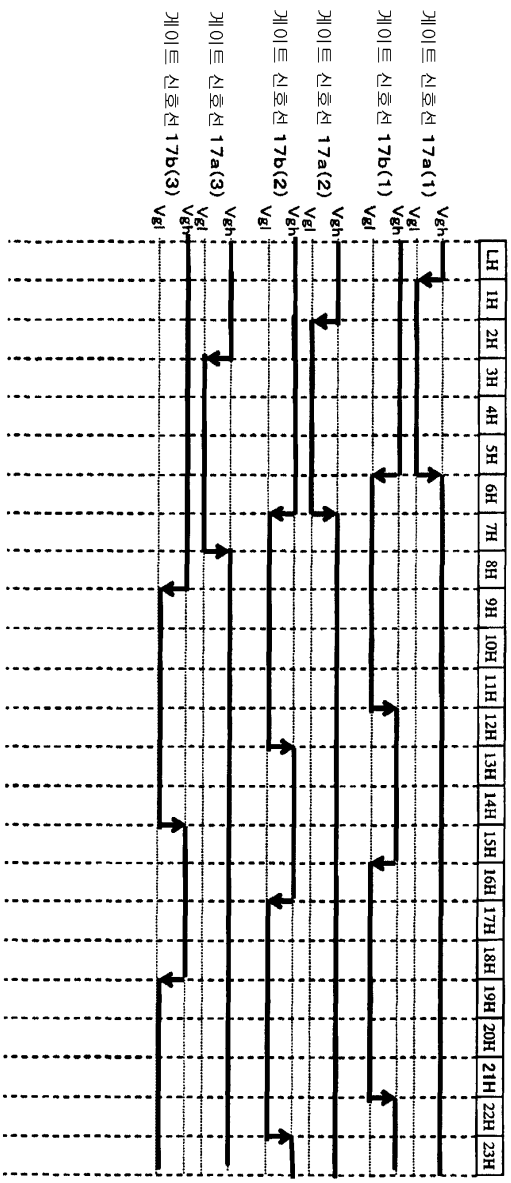
도면21


게이트 신호선 17a(1)
게이트 신호선 17b(1)
게이트 신호선 17a(2)
게이트 신호선 17b(2)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
게이트 신호선 17a(4)
게이트 신호선 17b(4)
게이트 신호선 17a(5)
게이트 신호선 17b(5)
게이트 신호선 17a(6)
게이트 신호선 17b(6)
Vgh
Vgl
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
21H
22H
23H

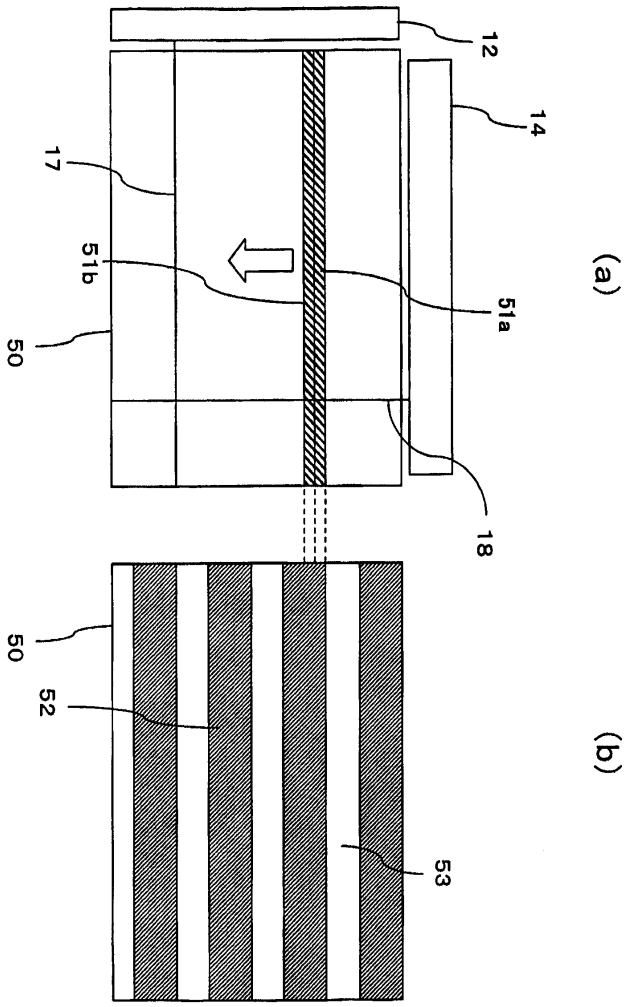
도면22



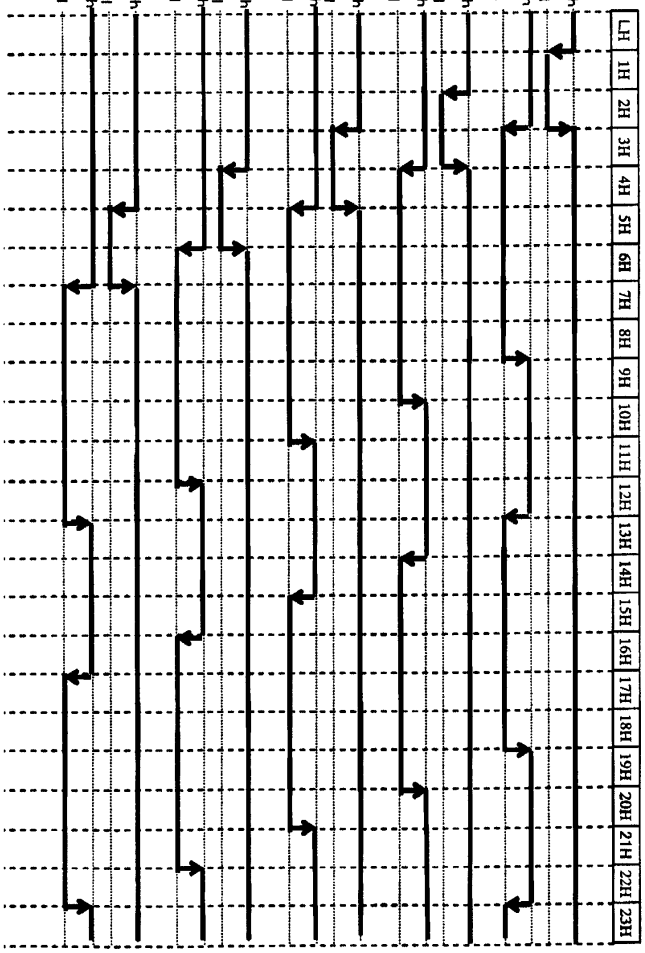
도면23


게이트 신호선 17a(1)
게이트 신호선 17b(1)
게이트 신호선 17a(2)
게이트 신호선 17b(2)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
Vgh
Vgl
LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
21H
22H
23H

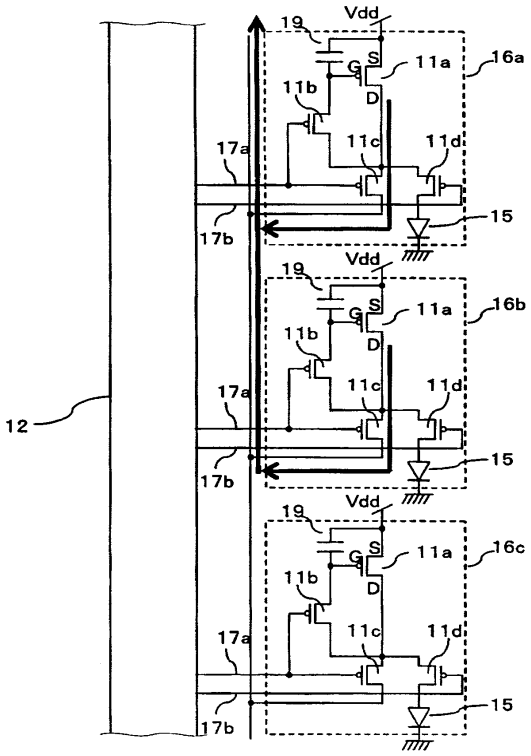
도면24



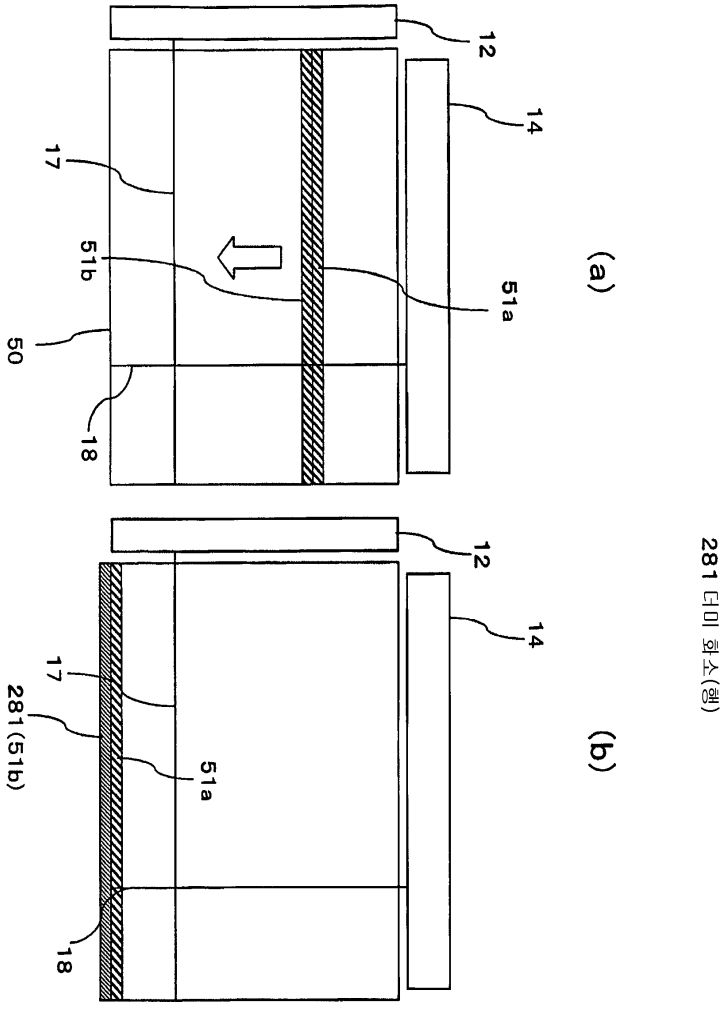
도면25


LH
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
21H
22H
23H
게이트 신호선 17a(1)
게이트 신호선 17b(1)
게이트 신호선 17a(2)
게이트 신호선 17b(2)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
게이트 신호선 17a(4)
게이트 신호선 17b(4)
게이트 신호선 17a(5)
게이트 신호선 17b(5)
Vgh
Vgl

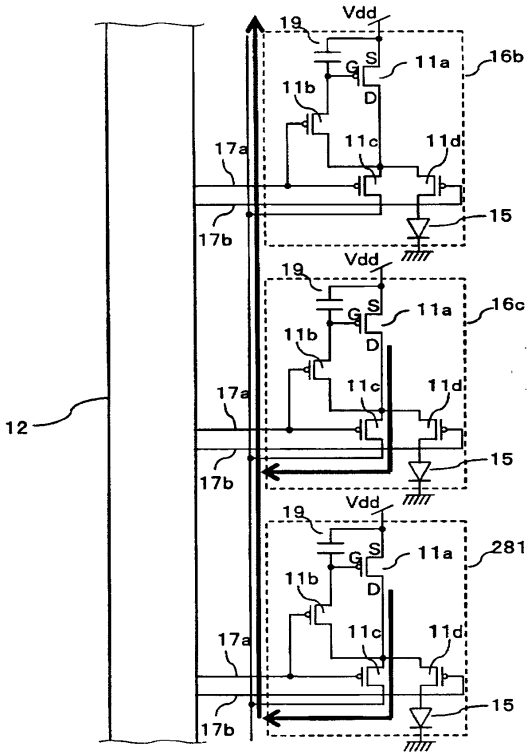
도면26


Vdd
19
S
G
D
11a
11b
11c
11d
16a
16b
16c
17a
17b
15
12

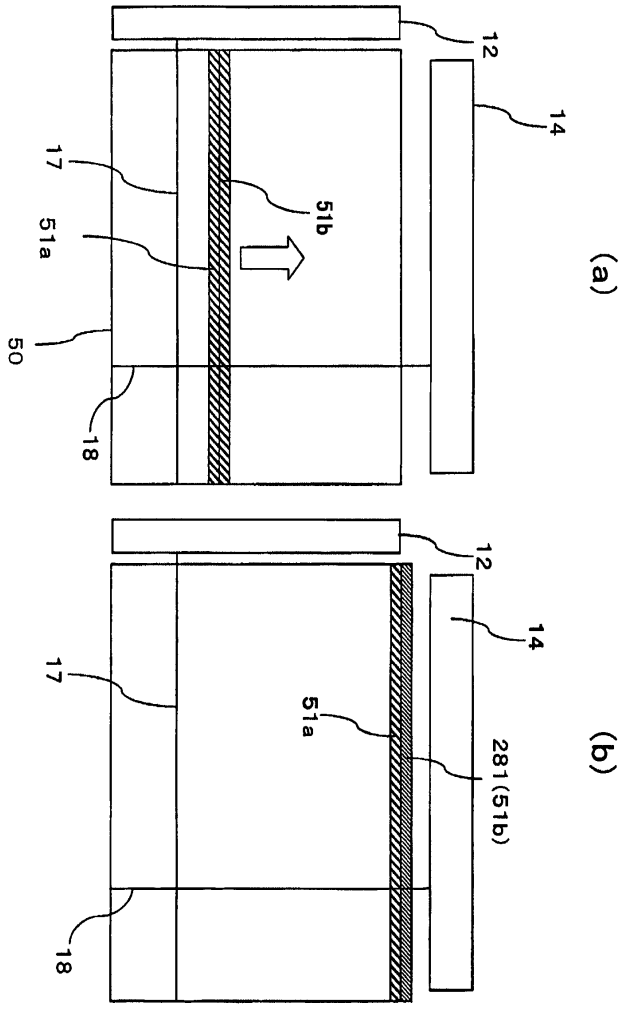
도면27


12
14
17
51b
51a
50
18
(a)
281(51b)
(b)
281 더미 화소(행)

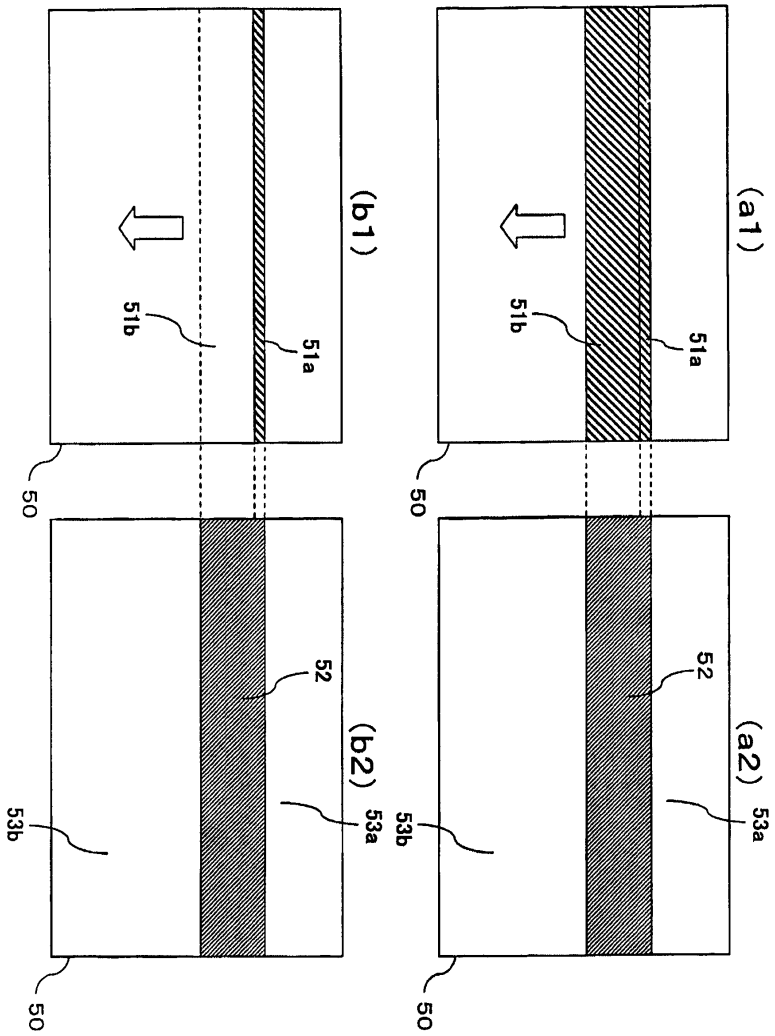
도면28


Vdd
19
S
G
D
11a
11b
11c
11d
16b
16c
281
17a
17b
15
12

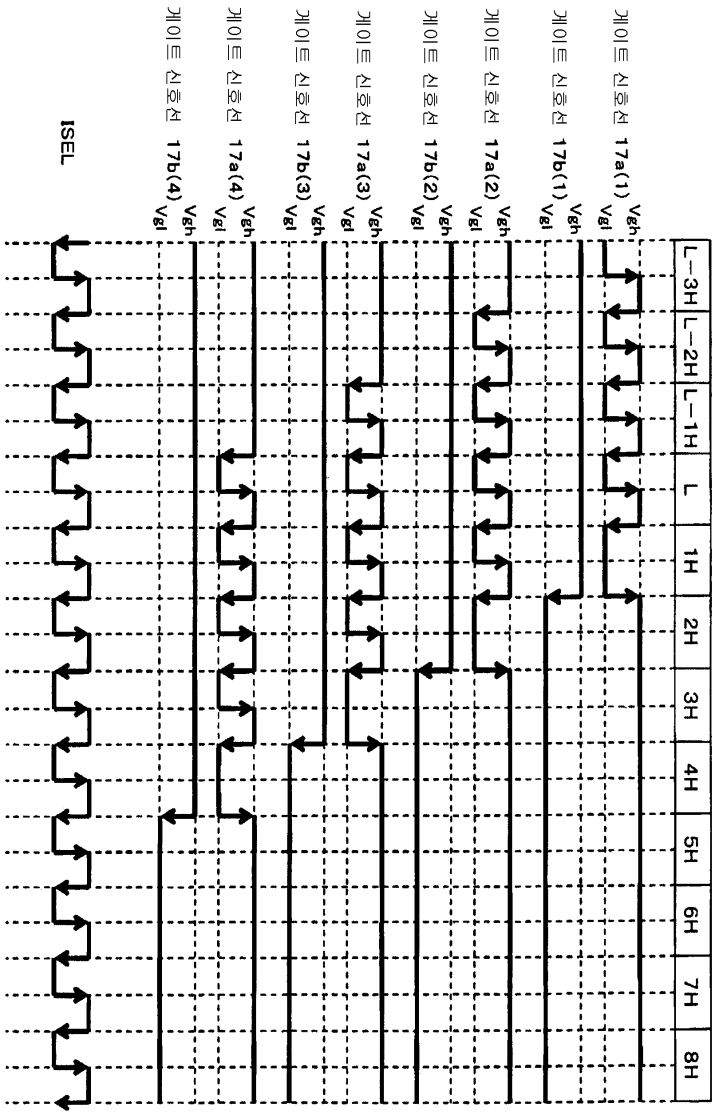
도면29


12
14
17
51b
51a
50
18
(a)
281(51b)
(b)

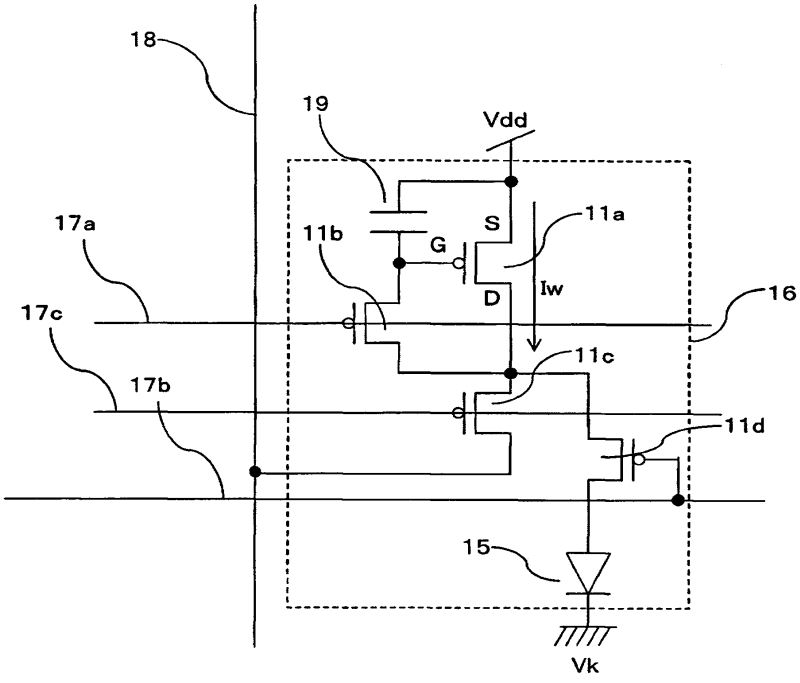
도면30



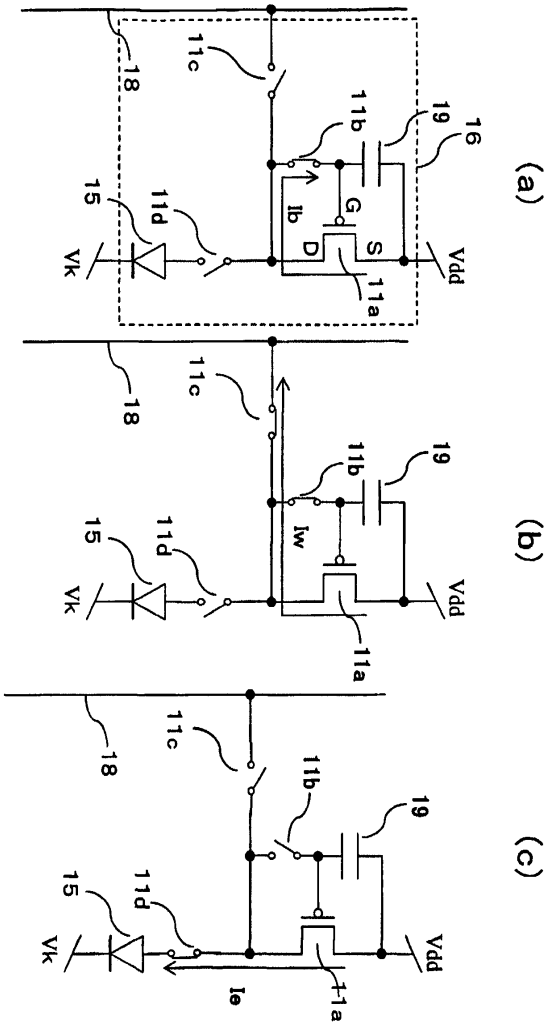
도면31


ISEL
게이트 신호선 17b(4)
게이트 신호선 17a(4)
게이트 신호선 17b(3)
게이트 신호선 17a(3)
게이트 신호선 17b(2)
게이트 신호선 17a(2)
게이트 신호선 17b(1)
게이트 신호선 17a(1)
Vgl
Vgh
L-3H
L-2H
L-1H
L
1H
2H
3H
4H
5H
6H
7H
8H

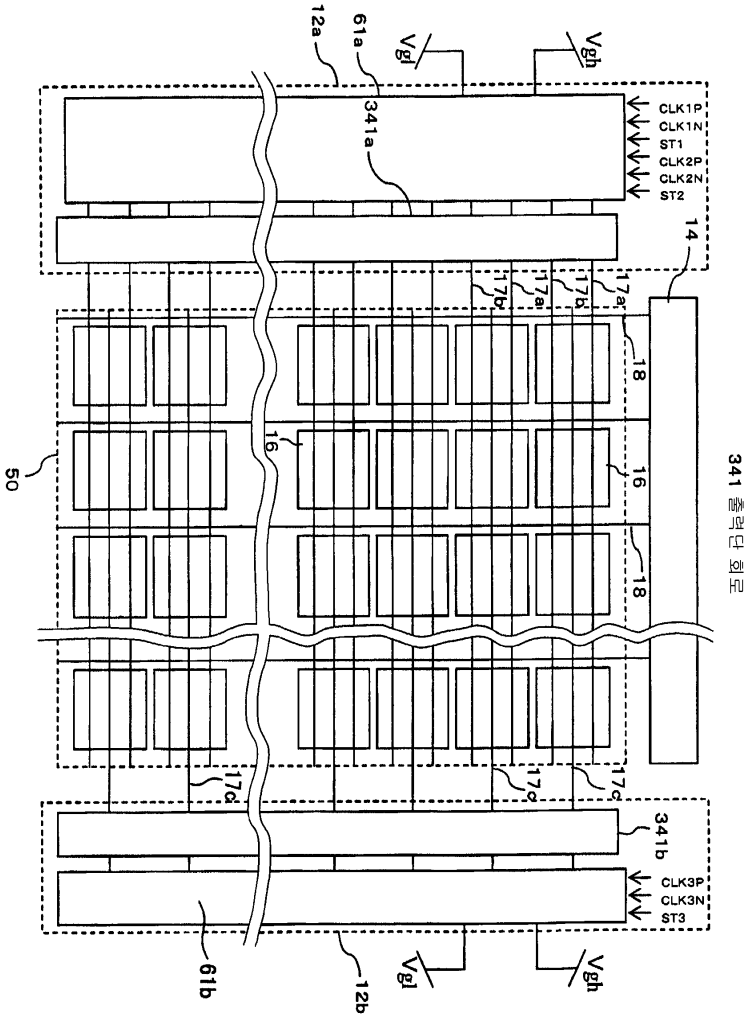
도면32


18
19
Vdd
S
G
D
11a
11b
Iw
16
17a
17c
17b
11c
11d
15
Vk

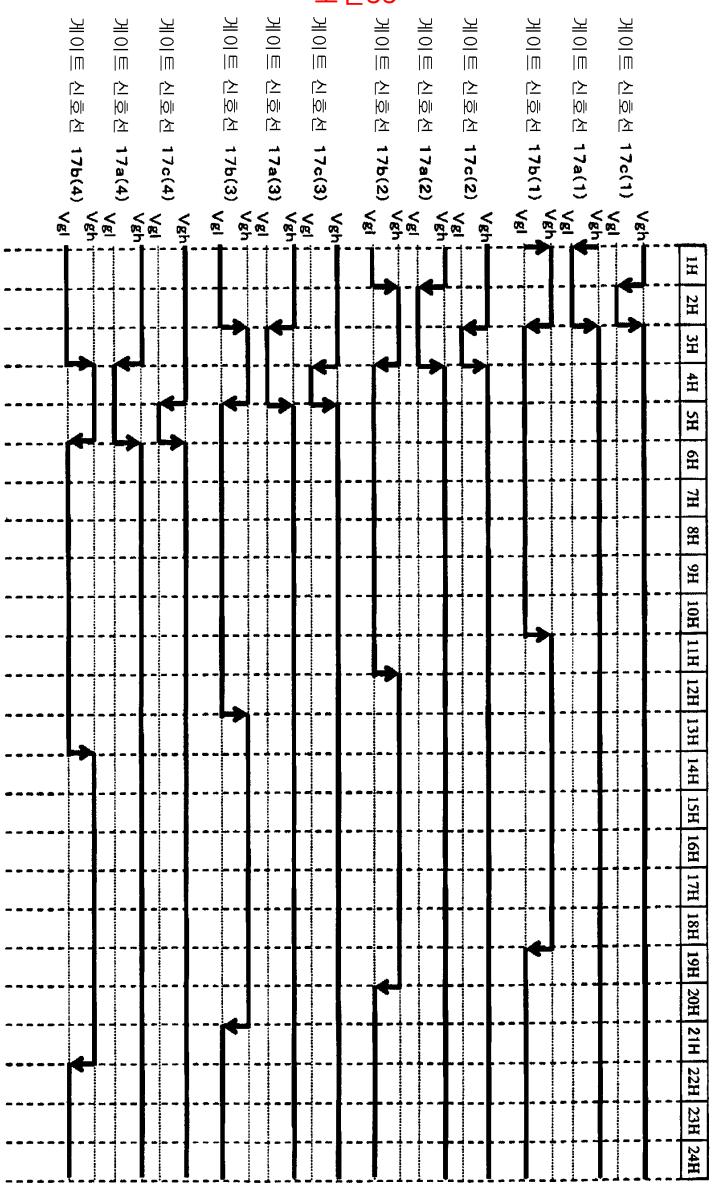
도면33


(a)
18
11c
11b
19
16
15
11d
Ib
G
S
D
Vk
Vdd
11a
(b)
18
11c
11b
19
15
11d
Iw
Vk
Vdd
11a
(c)
18
11c
11b
19
15
11d
Vk
Vdd
Ie
11a

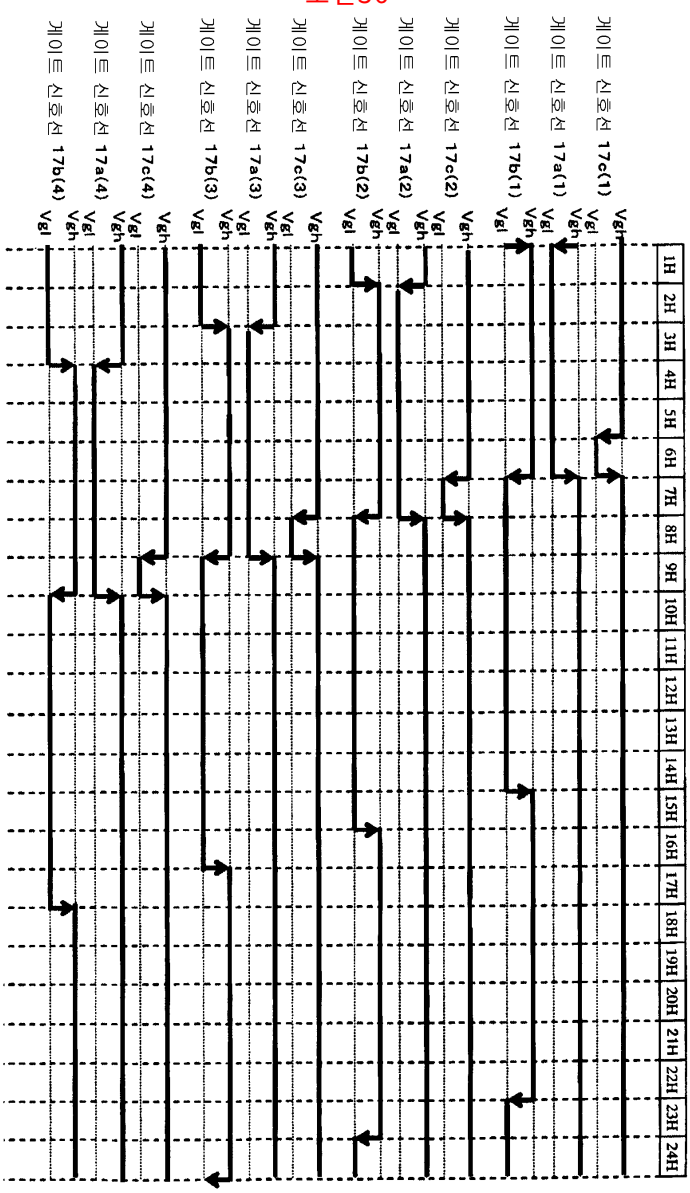
도면34


12a
61a
Vgl
Vgh
341a
CLK1P
CLK1N
ST1
CLK2P
CLK2N
ST2
14
17b
17a
17a
17b
18
16
18
50
16
341 출력단 회로
17d
17c
17c
341b
CLK3P
CLK3N
ST3
61b
12b
Vgl
Vgh

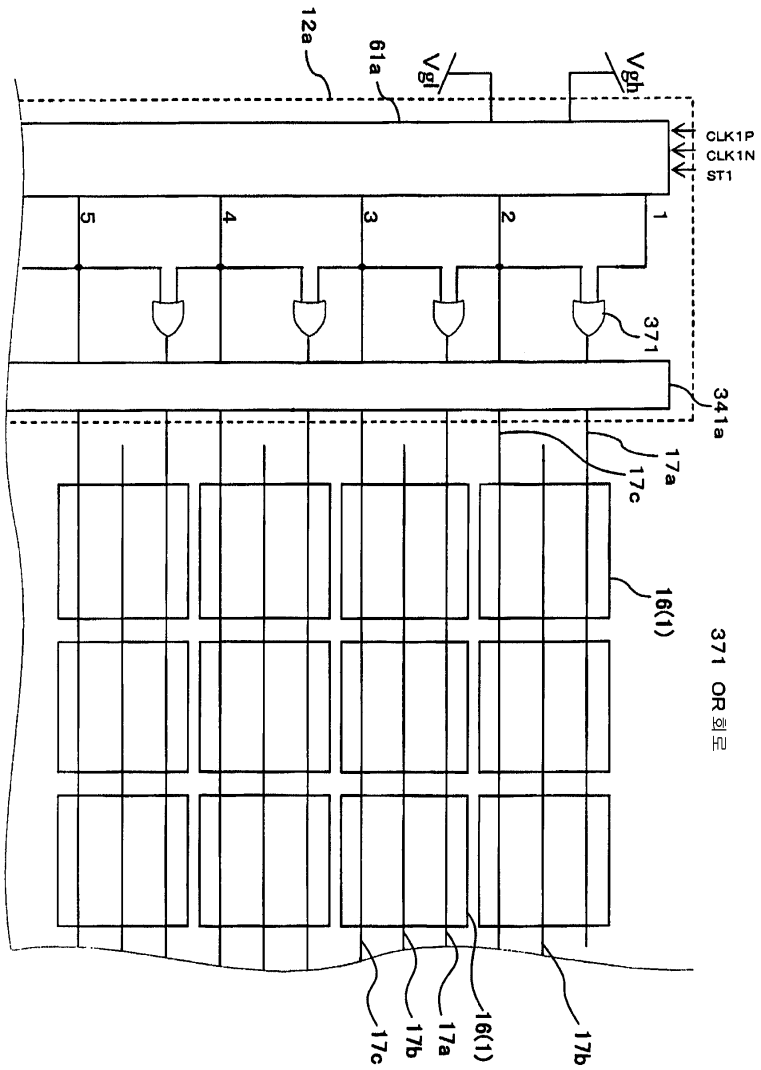
도면35


게이트 신호선 17c(1)
게이트 신호선 17a(1)
게이트 신호선 17b(1)
게이트 신호선 17c(2)
게이트 신호선 17a(2)
게이트 신호선 17b(2)
게이트 신호선 17c(3)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
게이트 신호선 17c(4)
게이트 신호선 17a(4)
게이트 신호선 17b(4)
Vgh
Vgl
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
21H
22H
23H
24H

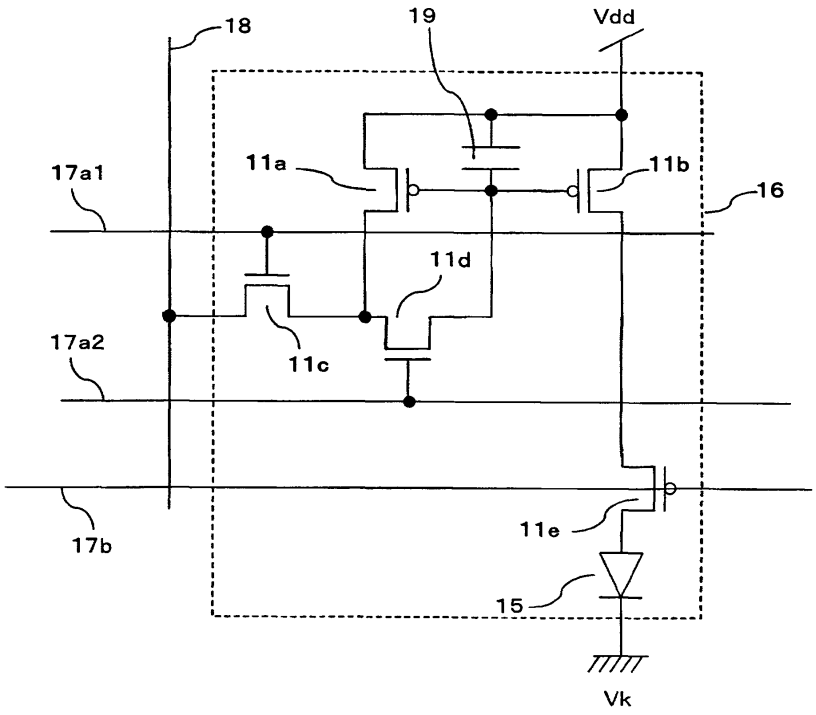
도면36


1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
13H
14H
15H
16H
17H
18H
19H
20H
21H
22H
23H
24H
게이트 신호선 17c(1)
게이트 신호선 17a(1)
게이트 신호선 17b(1)
게이트 신호선 17c(2)
게이트 신호선 17a(2)
게이트 신호선 17b(2)
게이트 신호선 17c(3)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
게이트 신호선 17c(4)
게이트 신호선 17a(4)
게이트 신호선 17b(4)
Vgh
Vgl

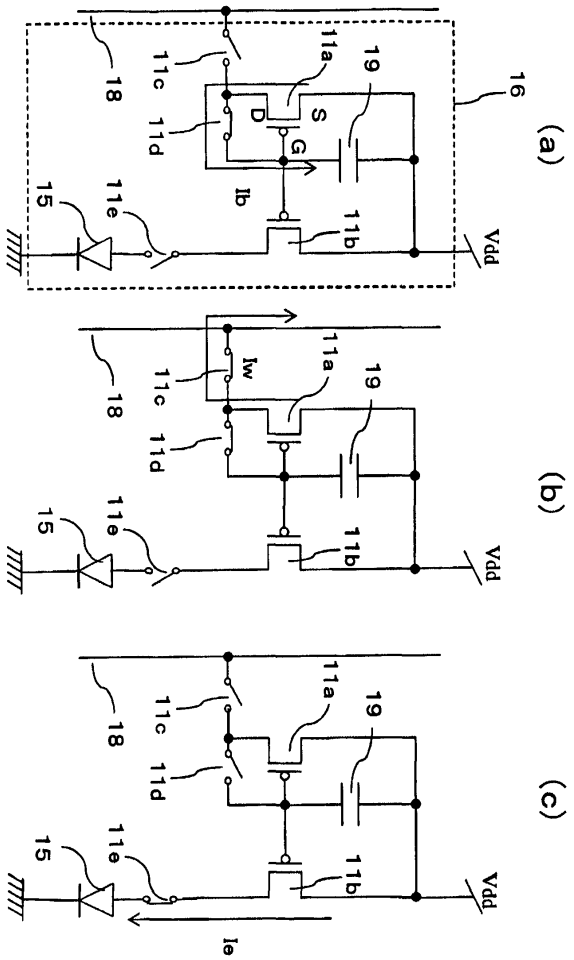
도면37


12a
61a
Vgl
Vgh
CLK1P
CLK1N
ST1
5
4
3
2
1
371
341a
17a
17c
16(1)
371 OR 회로
17c
17b
17a
16(1)
17b

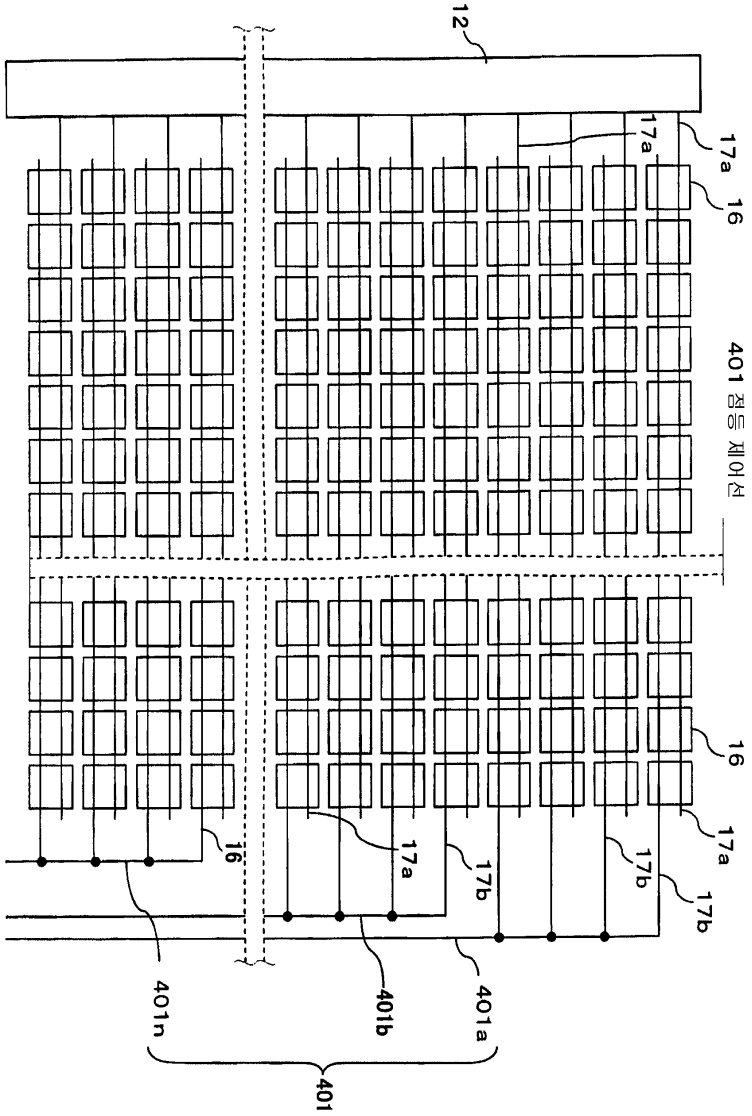
도면38


18
19
Vdd
17a1
11a
11b
16
11d
17a2
11c
17b
11e
15
Vk

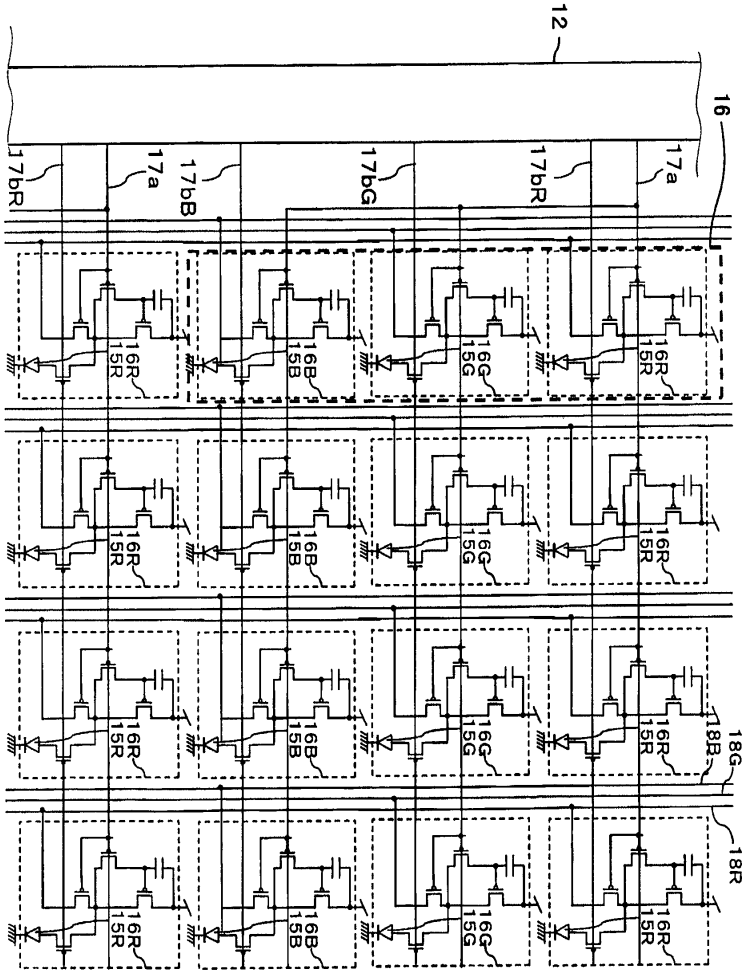
도면39



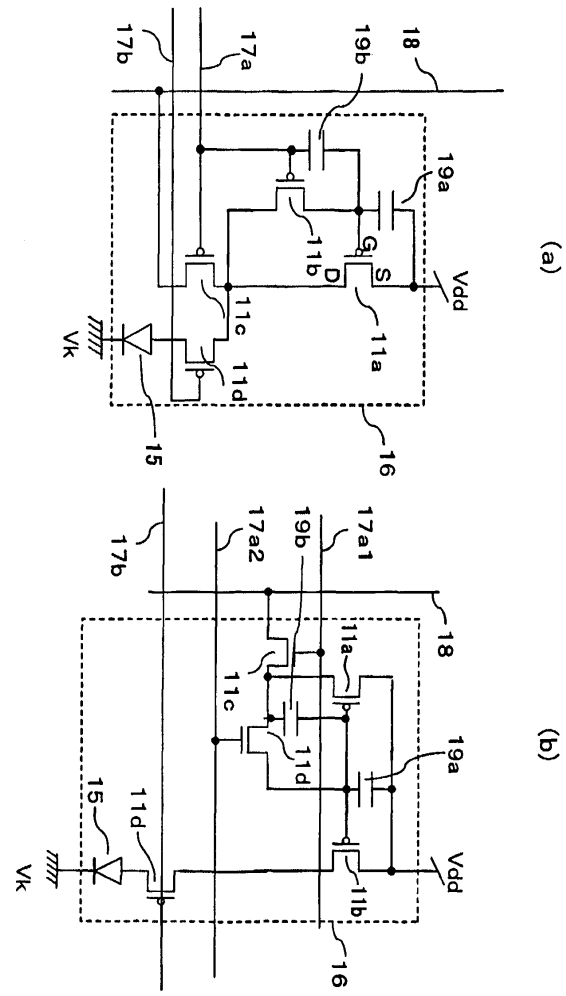
도면40



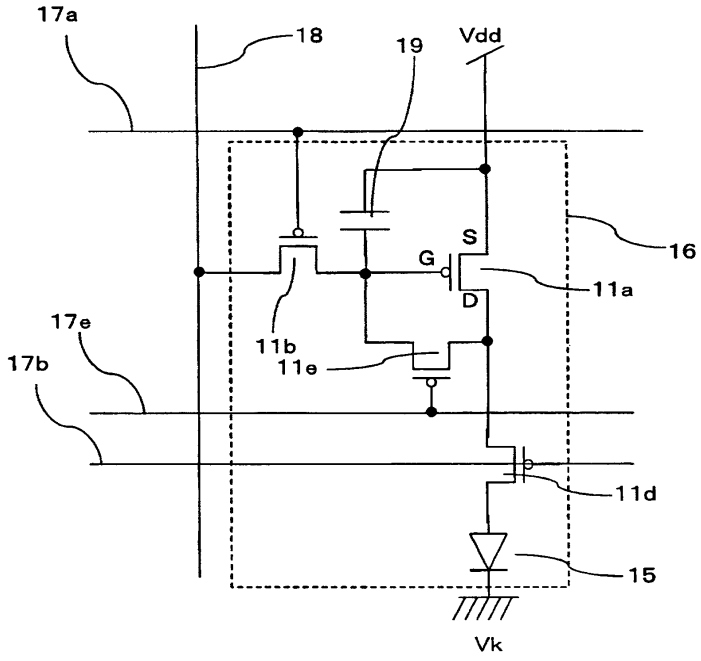
도면41


12
16
17bR
17a
17bB
17bG
17bR
17a
16R
15R
16B
15B
16G
15G
16R
15R
18B
18G
18R

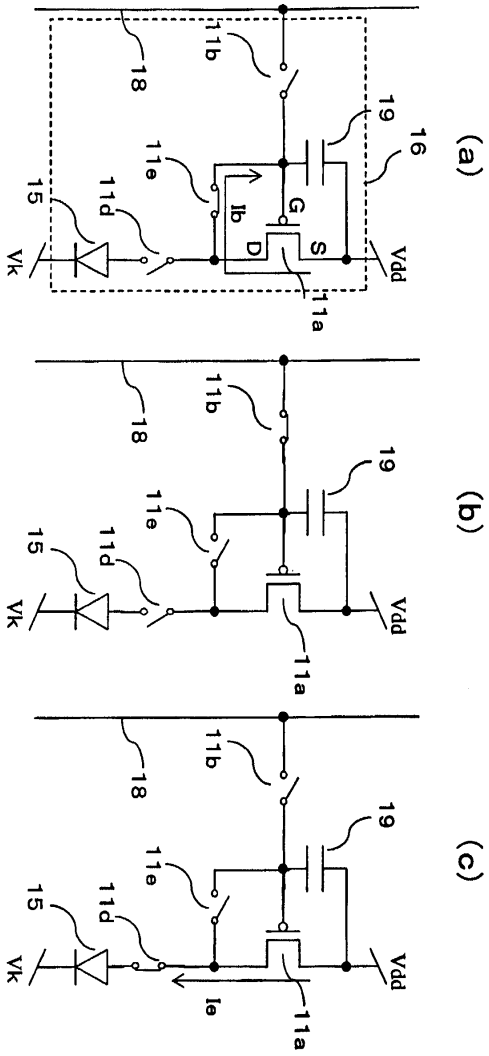
도면42


17b
17a
19b
18
19a
11b
G
D
S
Vdd
11c
11a
Vk
11d
15
16
(a)
17b
17a2
19b
17a1
18
11a
11c
11d
19a
15
11d
Vk
Vdd
11b
16
(b)

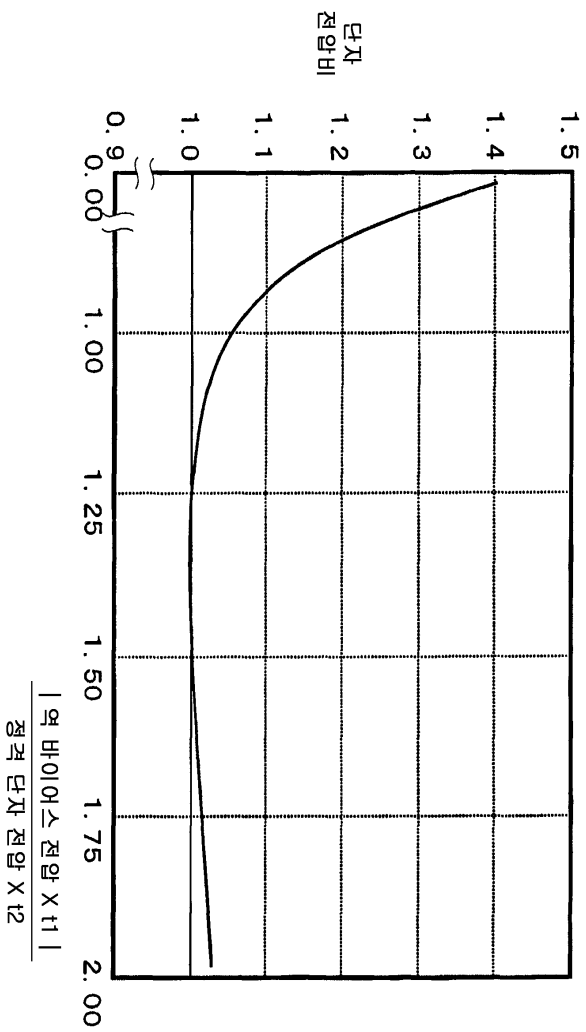
도면43


17a
18
19
Vdd
16
S
G
11a
D
17e
11b
11e
17b
11d
15
Vk

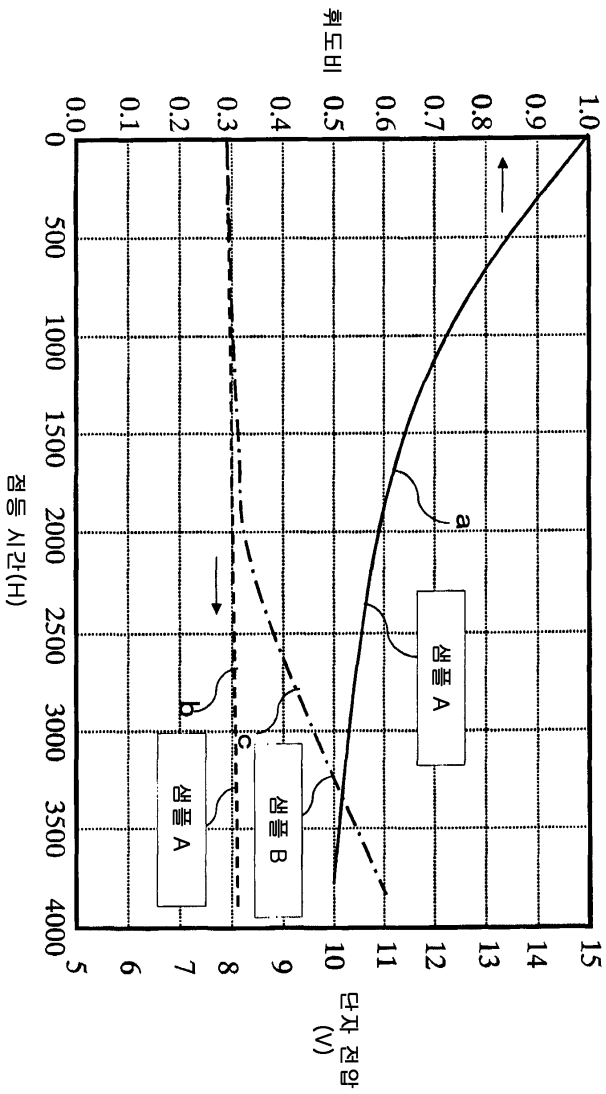
도면44



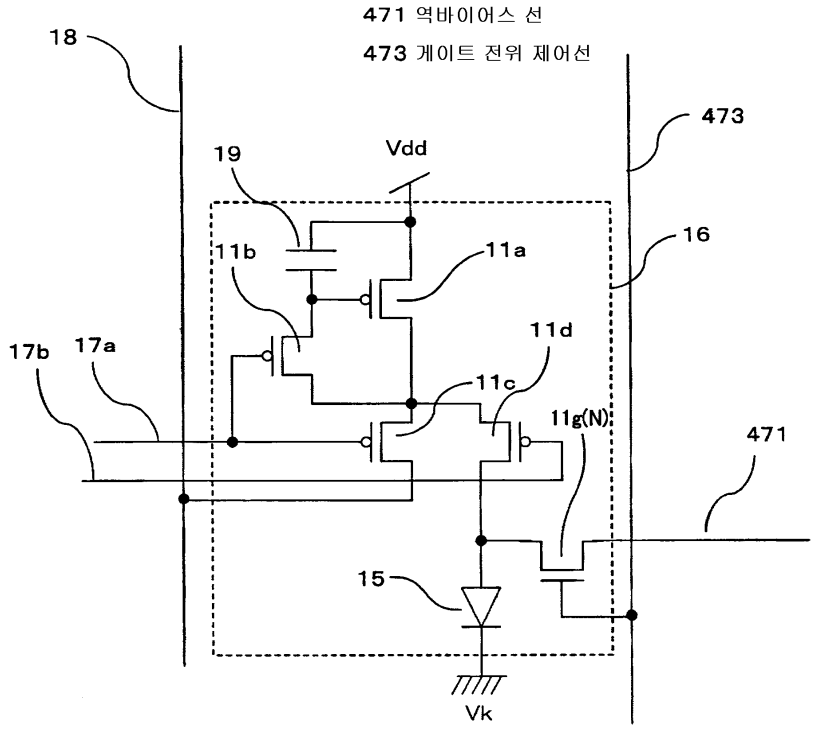
도면45


단자 전압비
1.5
1.4
1.3
1.2
1.1
1.0
0.9
0.00
1.00
1.25
1.50
1.75
2.00
| 역 바이어스 전압 X t1 |
정격 단자 전압 X t2

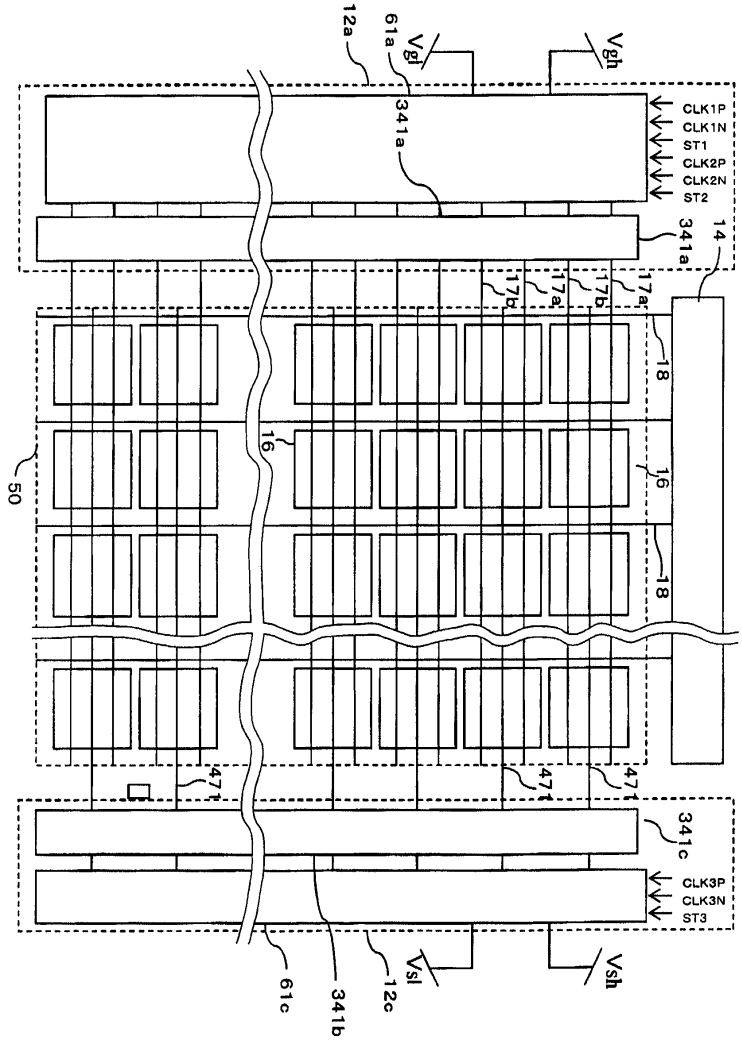
도면46


휘도비
0.0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
0.9
1.0
점등 시간(H)
0
500
1000
1500
2000
2500
3000
3500
4000
5
6
7
8
9
10
11
12
13
14
15
단자 전압 (V)
a
b
c
샘플 A
샘플 A
샘플 B

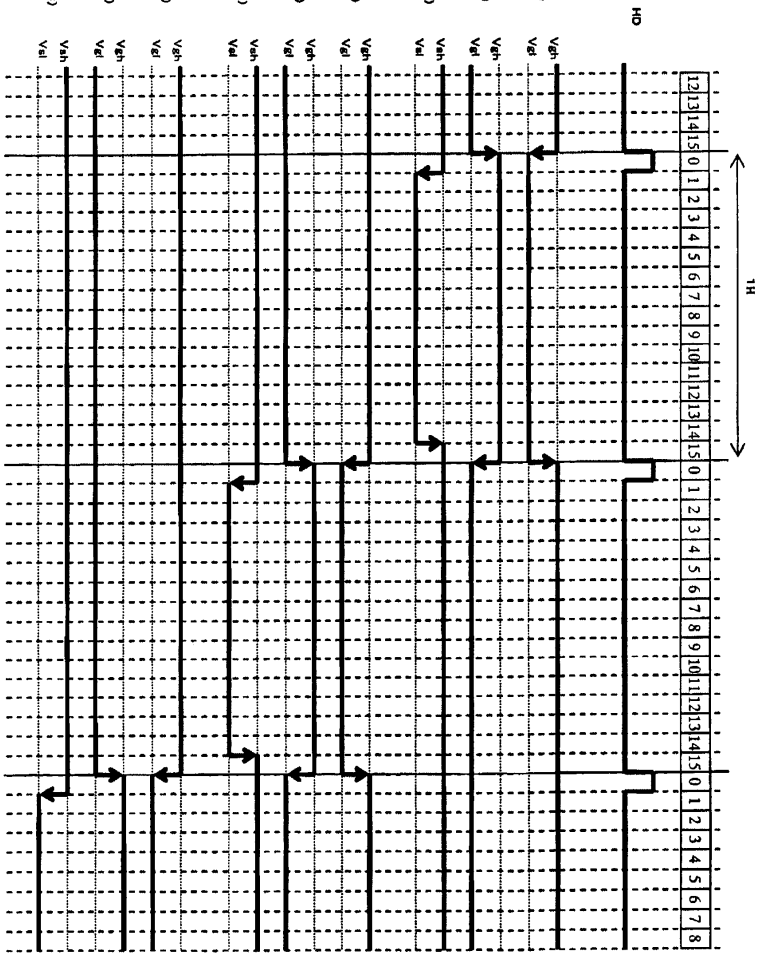
도면47


471 역바이어스 선
473 게이트 전위 제어선
18
473
19
Vdd
16
11b
11a
11d
17b
17a
11c
11g(N)
471
15
Vk

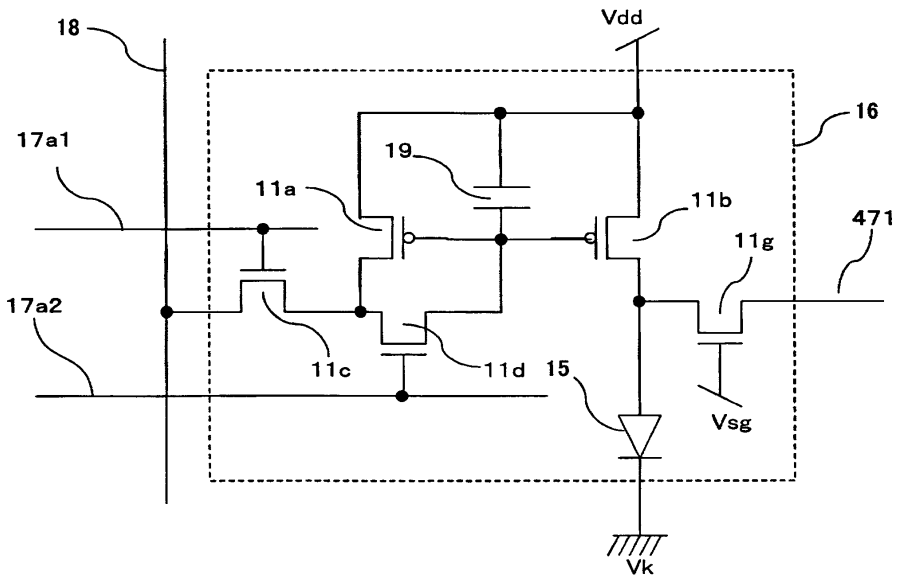
도면48


12a
61a
Vgl
Vgh
341a
CLK1P
CLK1N
ST1
CLK2P
CLK2N
ST2
341a
14
17a'
17b'
17a
17b
18
16
50
16
18
471
471
471
341c
CLK3P
CLK3N
ST3
61c
341b
12c
Vsl
Vsh

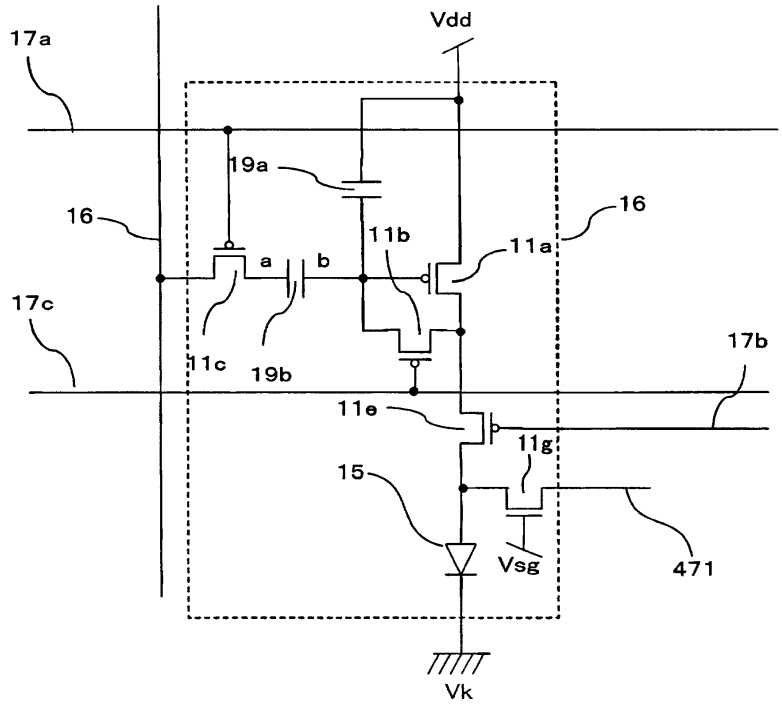
도면49


게이트 신호선 17a(1)
게이트 신호선 17b(1)
역바이어스 선 471(1)
게이트 신호선 17a(2)
게이트 신호선 17b(2)
역바이어스 선 471(2)
게이트 신호선 17a(3)
게이트 신호선 17b(3)
역바이어스 선 471(3)
HD
1H
Vgh
Vgl
Vsh

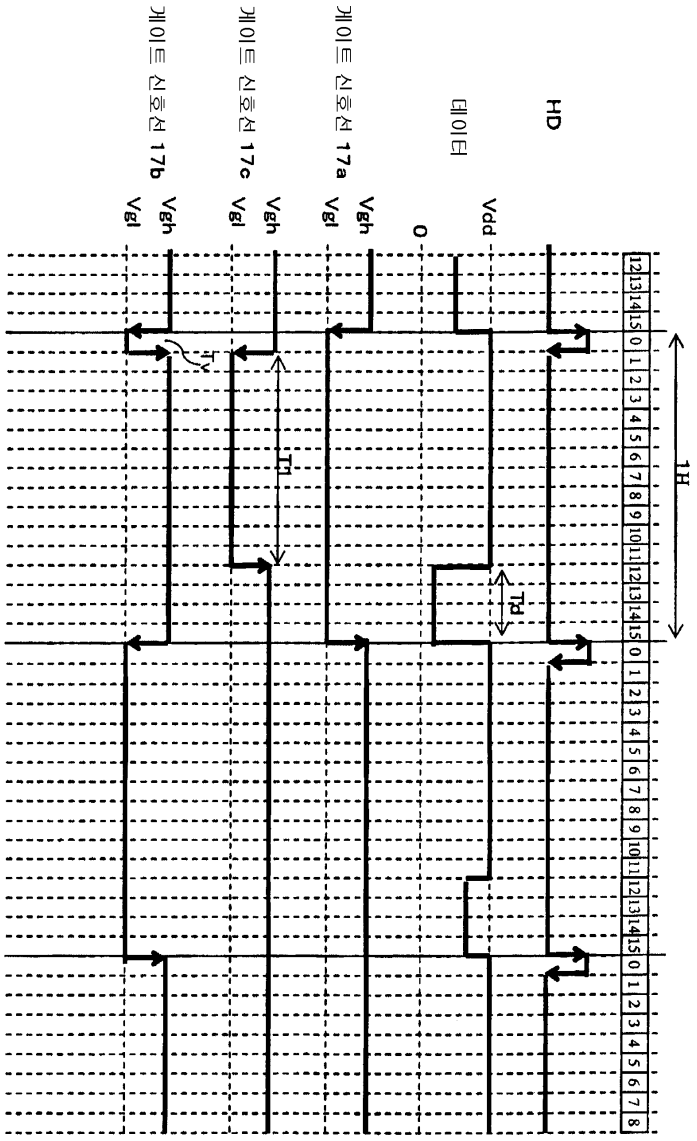
도면50


18
Vdd
16
17a1
19
11a
11b
471
11g
17a2
11c
11d
15
Vsg
Vk

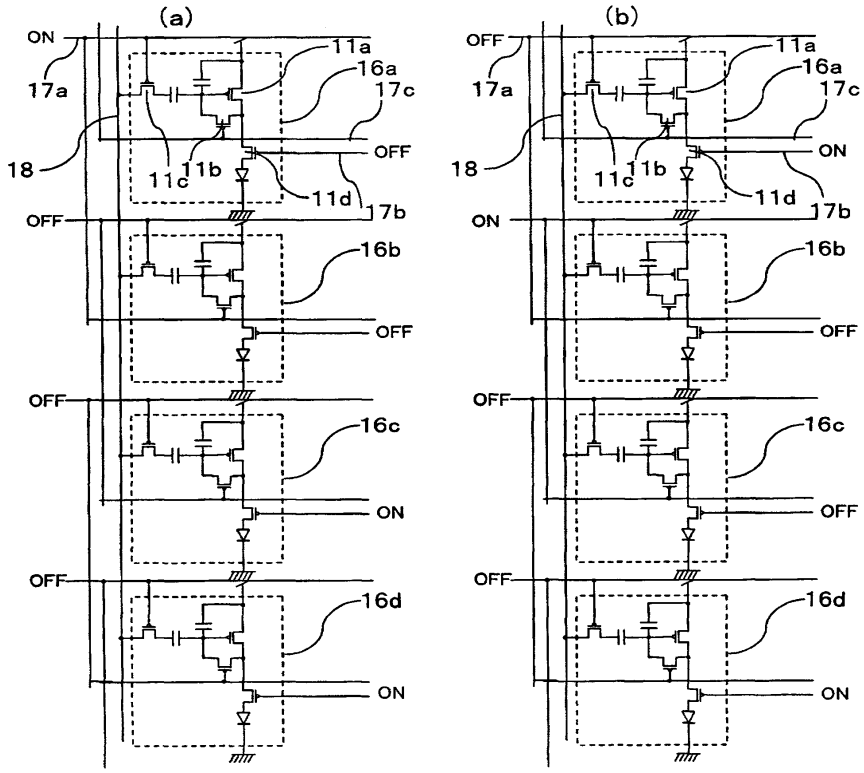
도면51


17a
Vdd
19a
16
16
11b
11a
a
b
17c
17b
11c
19b
11e
11g
15
Vsg
471
Vk

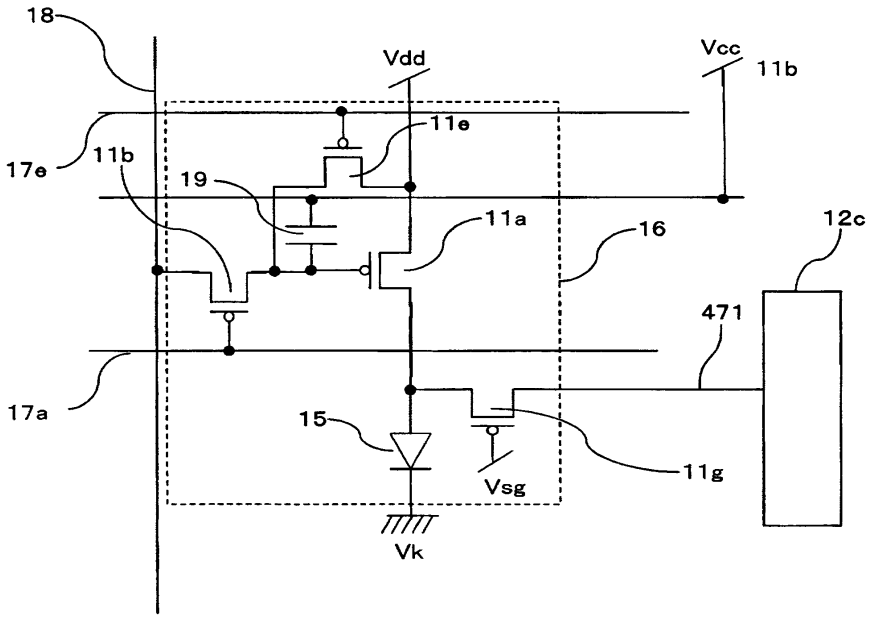
도면52


게이트 신호선 17b
게이트 신호선 17c
게이트 신호선 17a
데이터
HD
Vgl
Vgh
Vgl
Vgh
Vgl
Vgh
0
Vdd
Tr
Tf
Td
1H

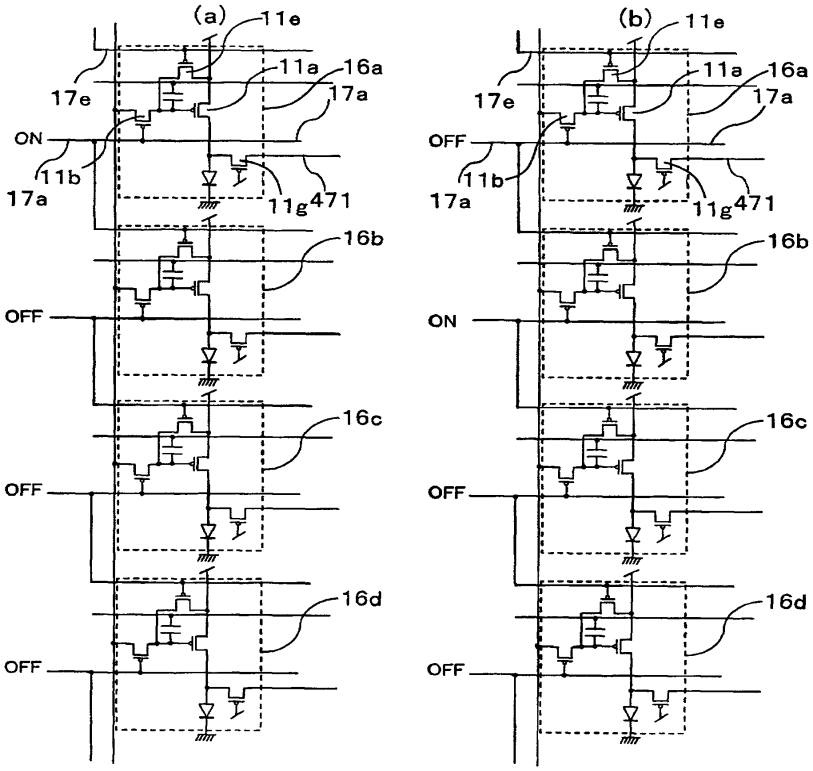
도면53


(a)
(b)
ON
OFF
17a
18
11a
16a
17c
11b
11c
11d
17b
16b
16c
16d

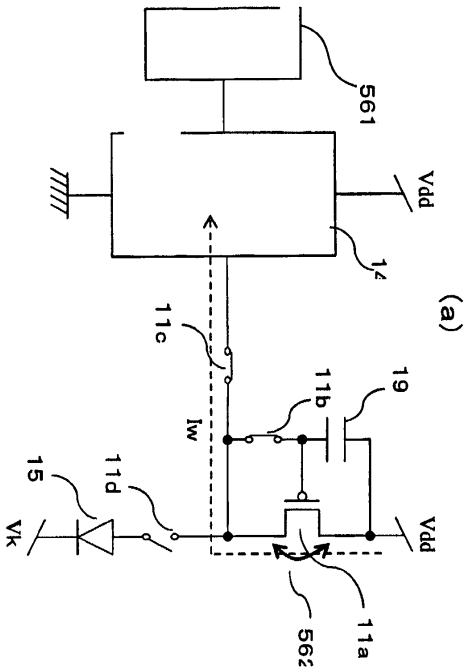
도면54


18
Vdd
Vcc
11b
17e
11b
19
11e
11a
16
12c
471
17a
15
Vsg
11g
Vk

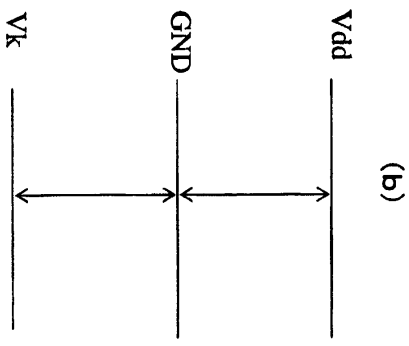
도면55



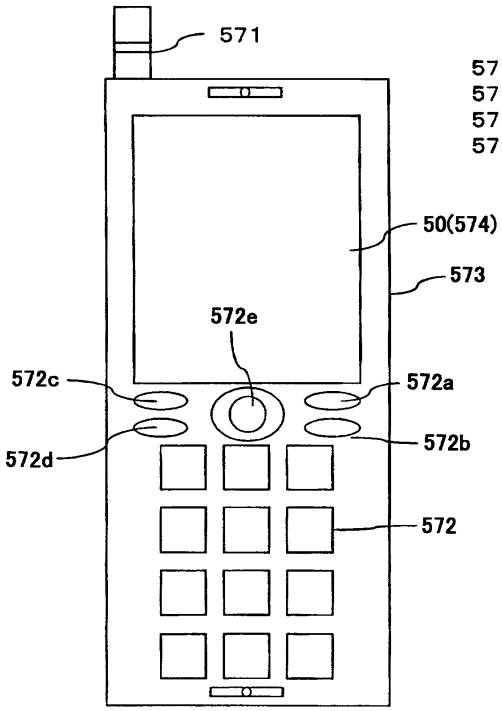
도면56



561 전자 볼륨 회로
562 TFT의 SD(소스-드레인) 쇼트

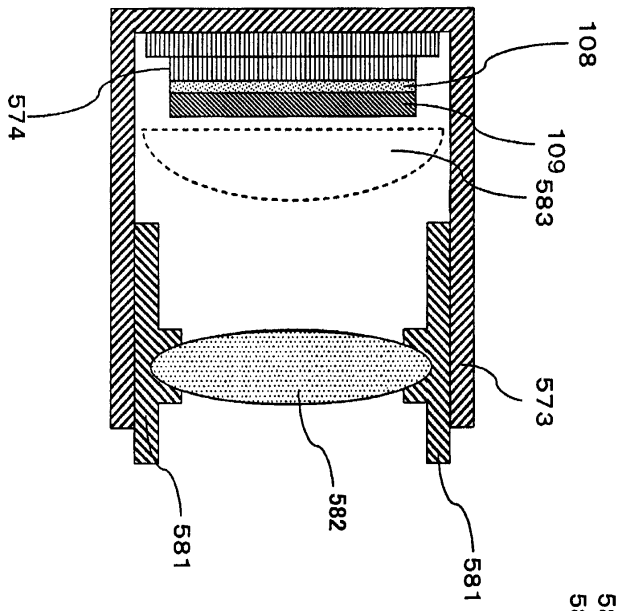


도면57



571 안테나
572 키
573 케이스
574 표시 패널

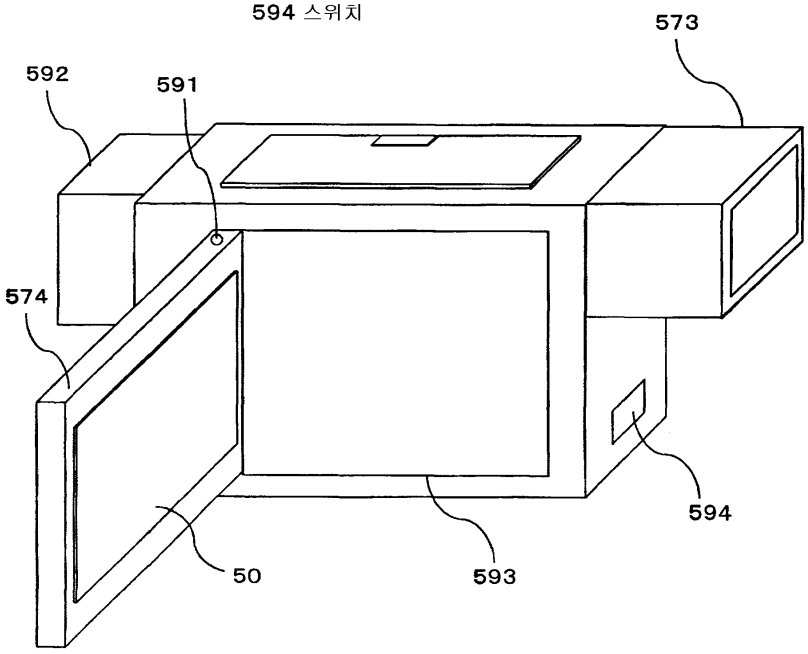
도면58



581 접안 링
582 확대 렌즈
583 볼록 렌즈

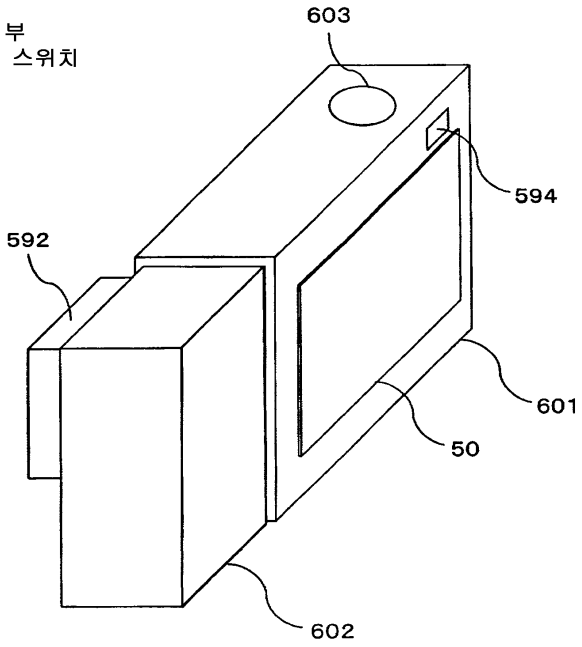
도면59

591 지지점
592 촬영 렌즈
593 걱납부
594 스위치

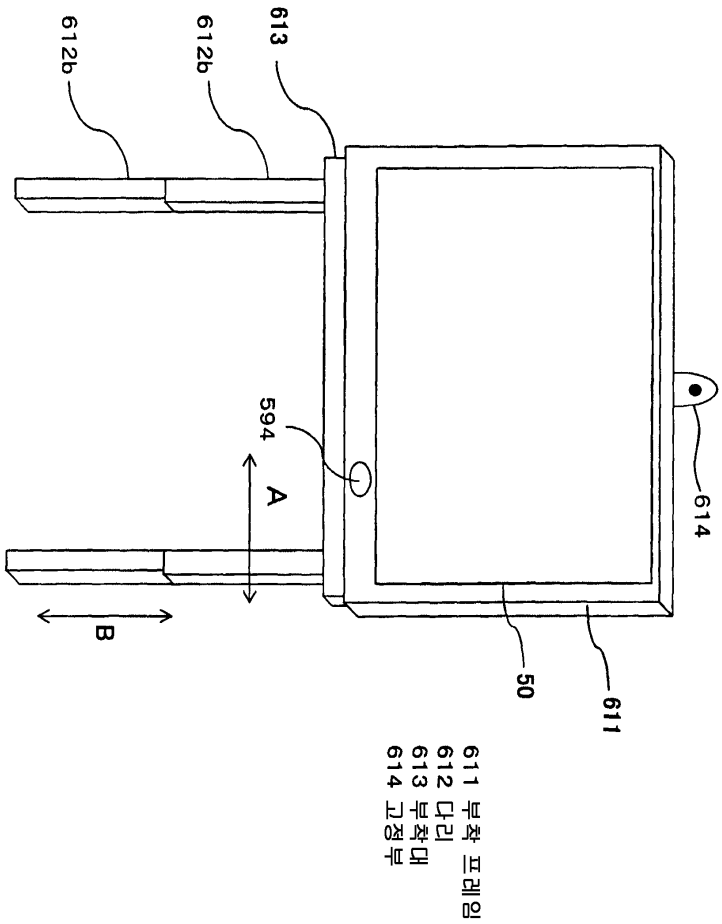


도면60

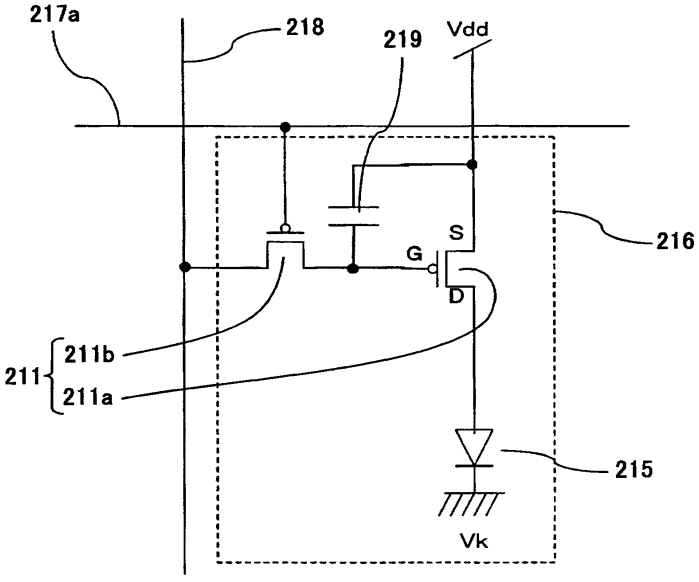
601 본체
602 촬영부
603 셔터 스위치



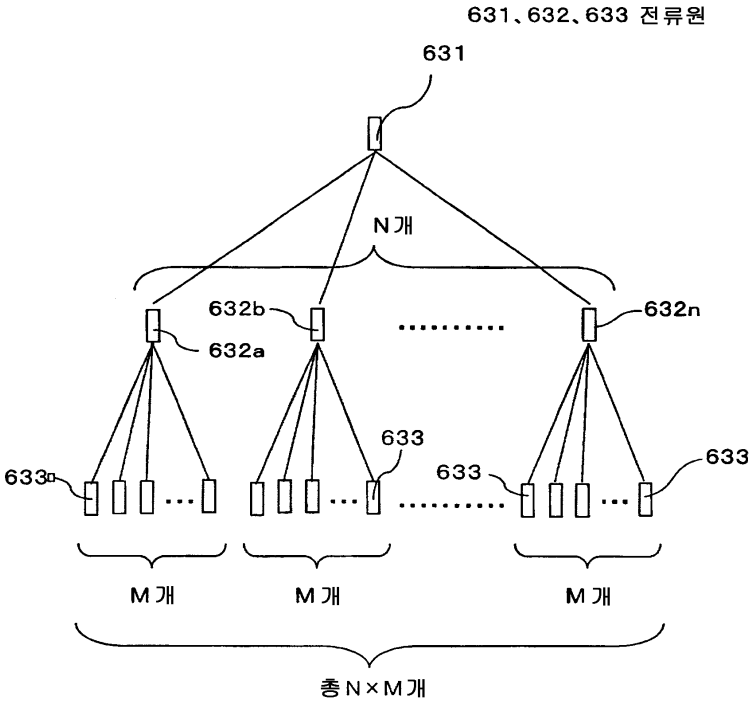
도면61


612b
612b
613
594
A
B
614
50
611
611 부착 프레임
612 다리
613 부착대
614 고정부

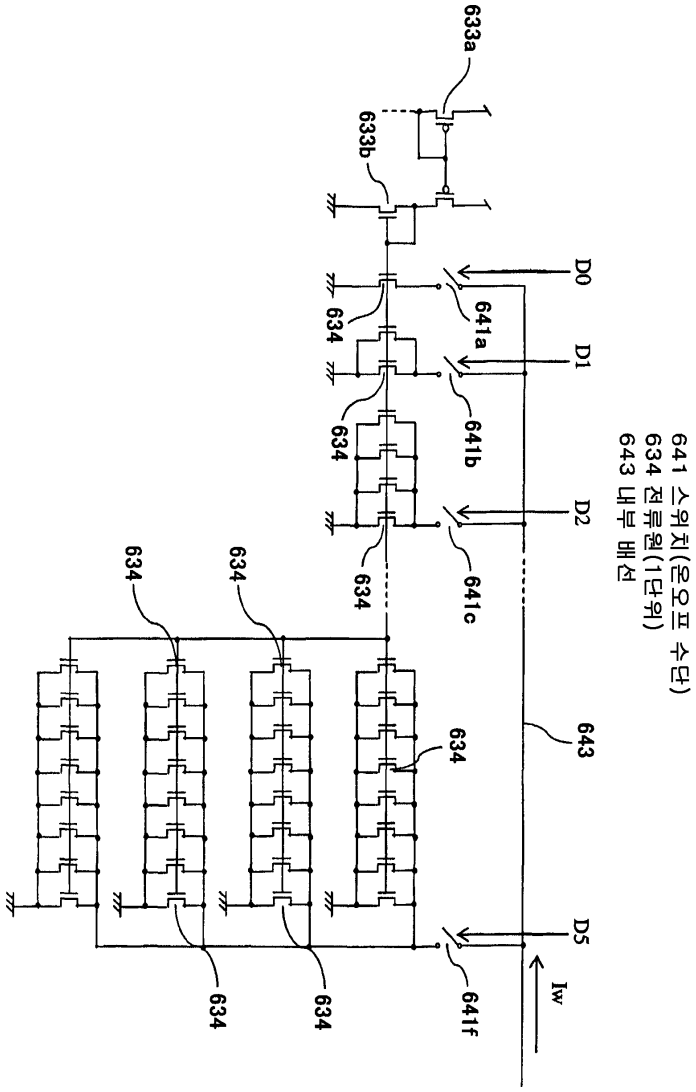
도면62


217a
218
219
Vdd
216
S
G
D
211
211b
211a
215
Vk

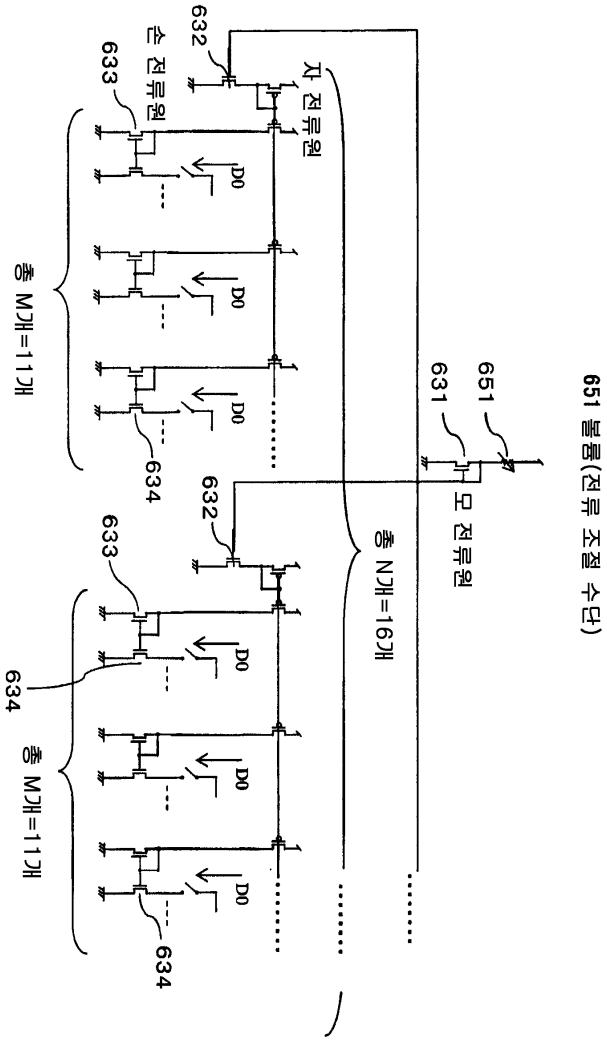
도면63


631、632、633 전류원
631
N개
632b
632a
632n
633
633
633
633
M개
M개
M개
총N×M개

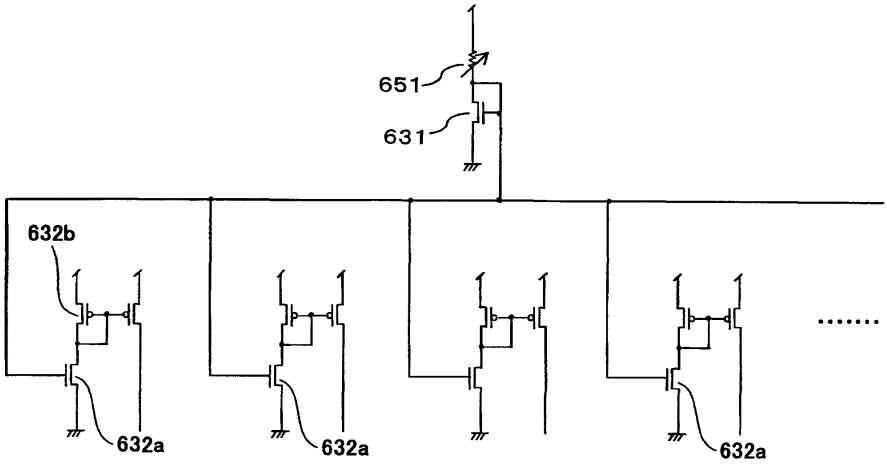
도면64


633a
633b
D0
D1
D2
D5
634
641a
641b
641c
641f
643
Iw
641 스위치(온오프 수단)
634 전류원(1단위)
643 내부 배선

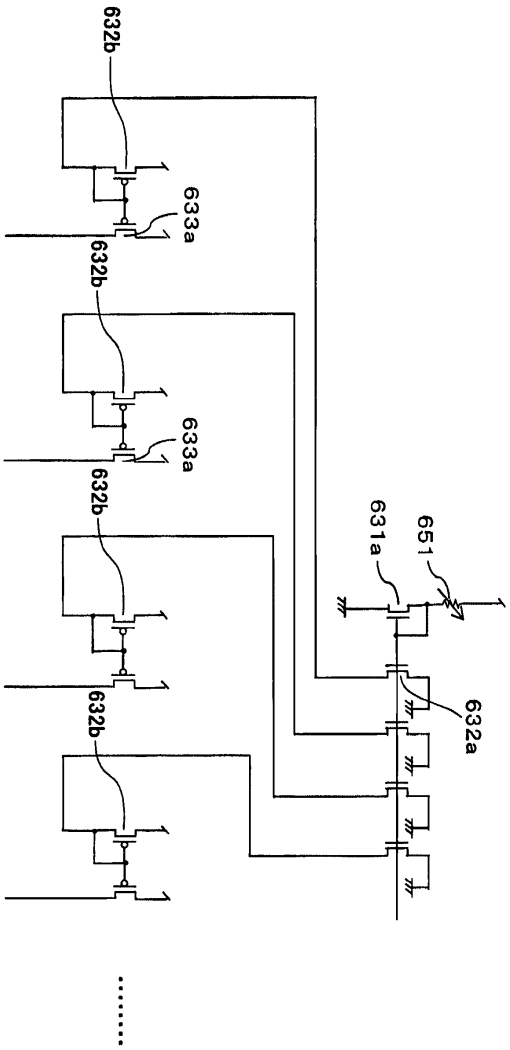
도면65


651 볼륨(전류 조절 수단)
651
631
모 전류원
632
자 전류원
633
손 전류원
634
D0
총 N개=16개
총 M개=11개

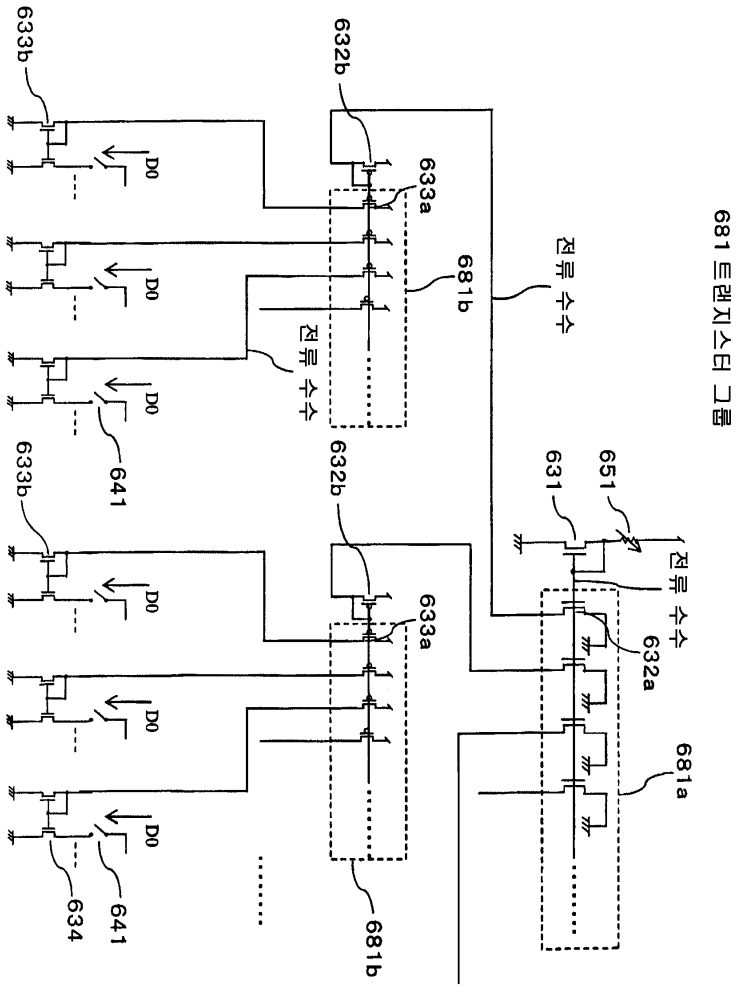
도면66


651
631
632b
632a

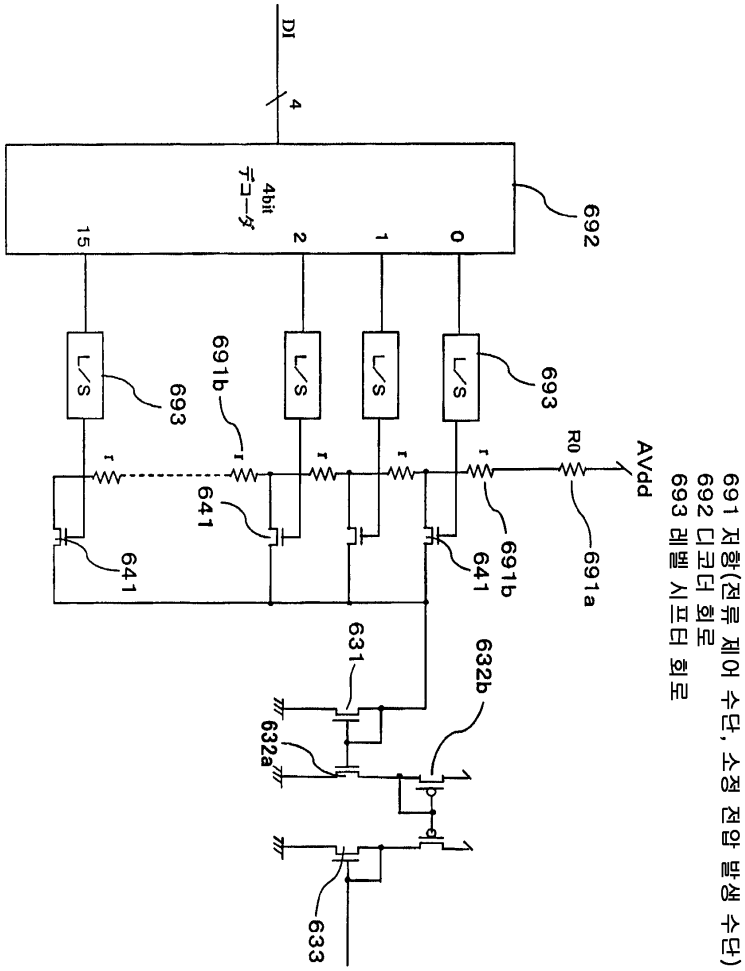
도면67



도면68


681 트랜지스터 그룹
전류 수수
전류 수수
전류 수수
631
651
632a
681a
632b
633a
681b
641
633b
634
D0

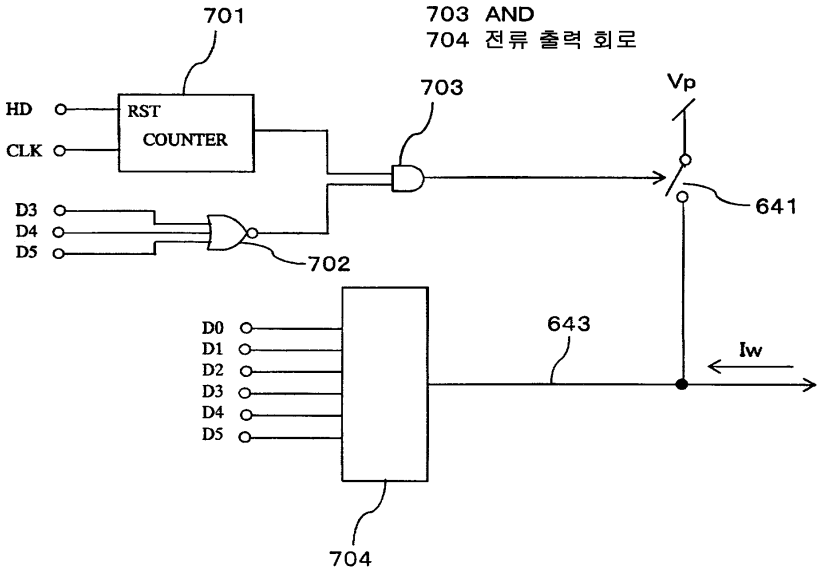
도면69



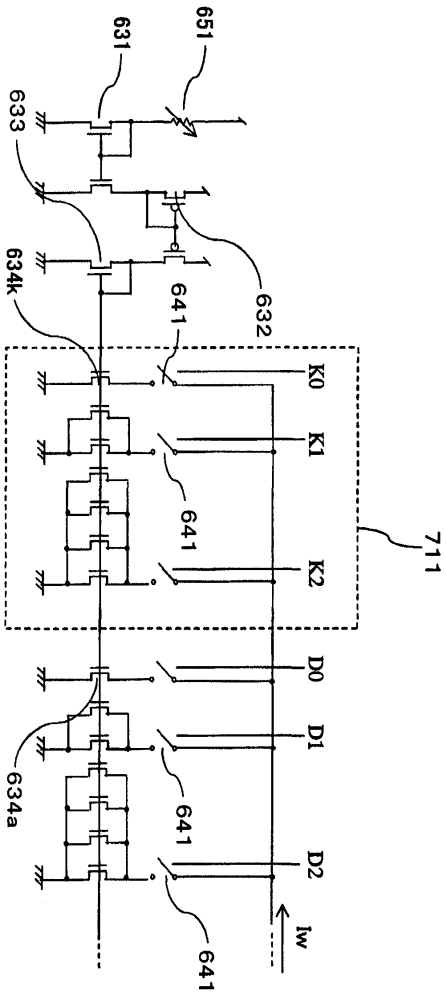
691 저항(전류 제어 수단, 소정 전압 발생 수단)
692 디코더 회로
693 레벨 시프터 회로

도면70

701 카운터(계수 수단)
702 NOR
703 AND
704 전류 출력 회로

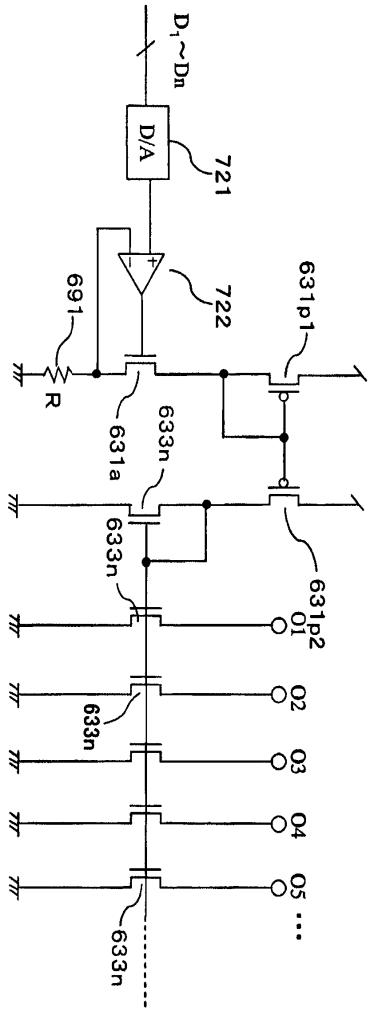


도면71



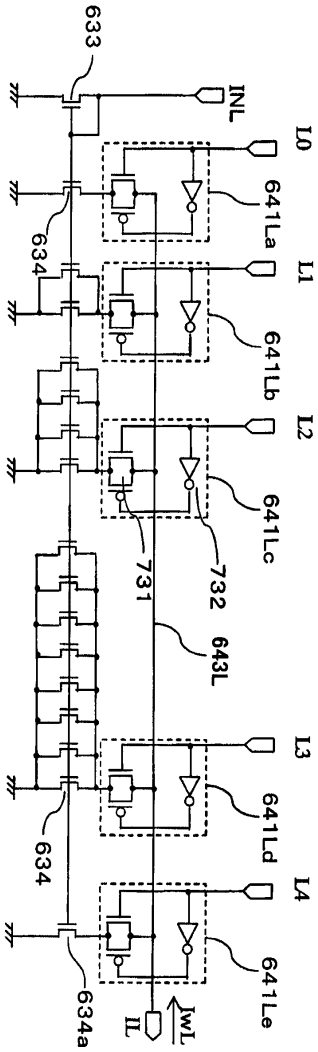
711 상승 회로

도면72



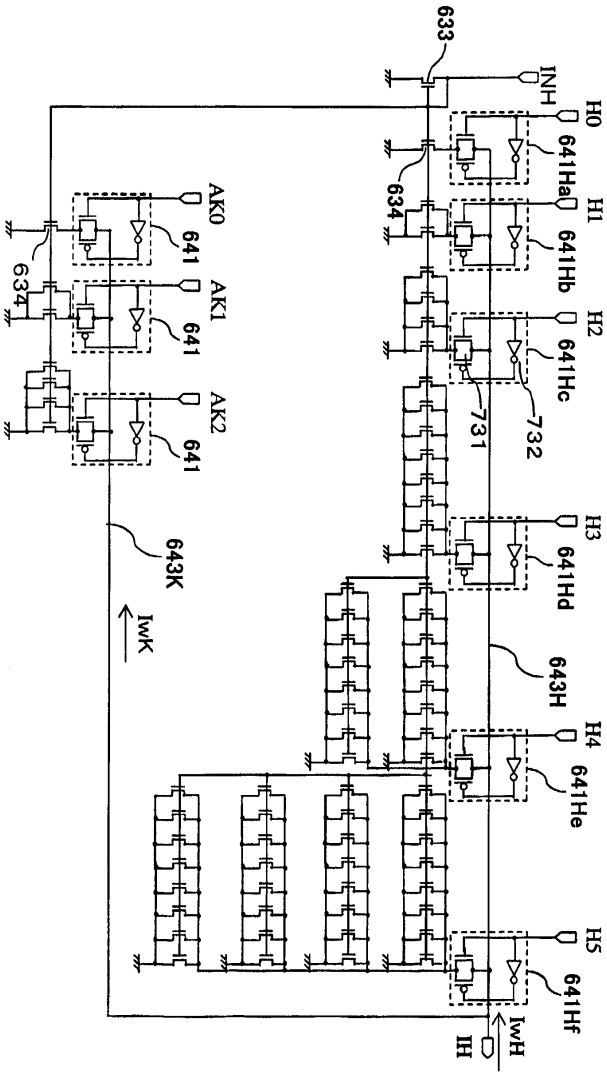
721 D/A 변환기
722 OP 앰프

도면73

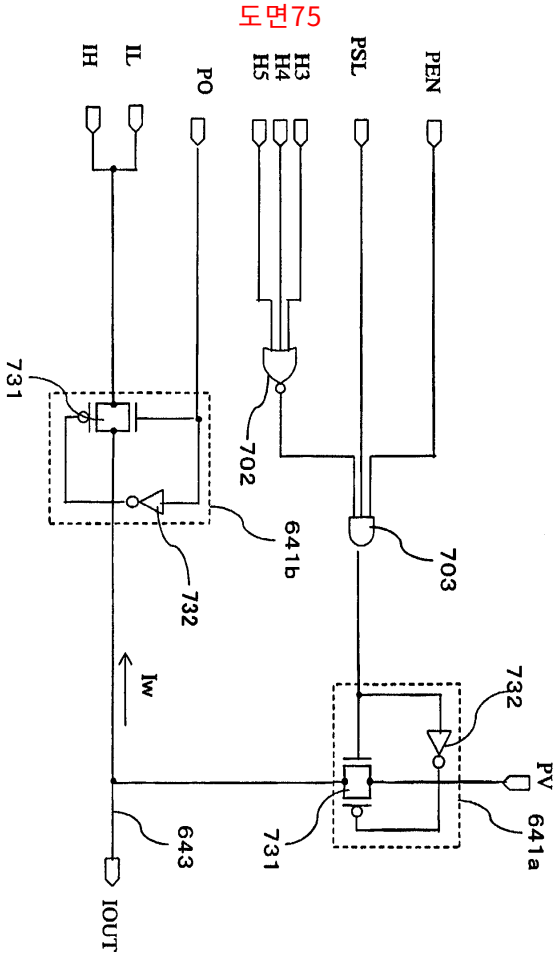


731 아날로그 스위치
732 인버터

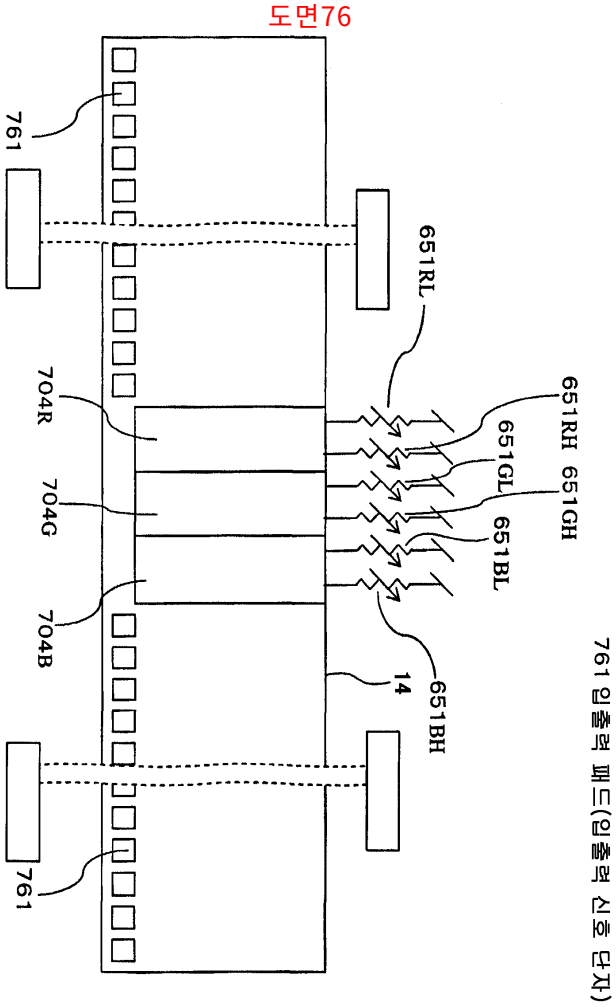
도면74


633
INH
H0
641Ha
634
H1
641Hb
AK0
641
634
AK1
641
H2
641Hc
731
732
AK2
641
H3
641Hd
643K
IwK
643H
H4
641He
H5
641Hf
IH
IwH

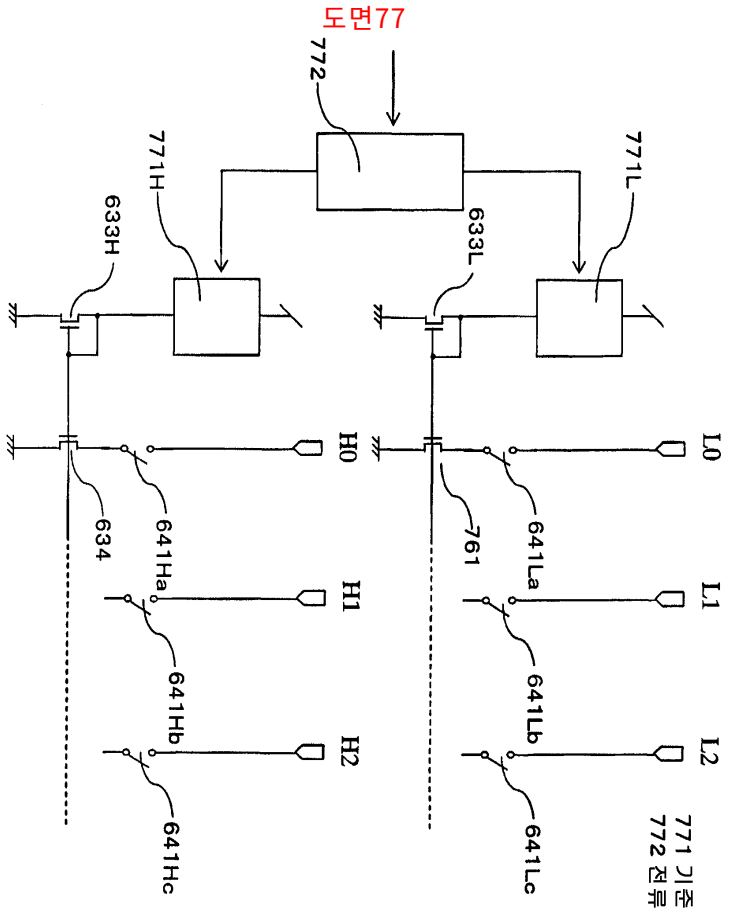
도면75


IH
IL
PO
H3
H4
H5
PSL
PEN
731
702
641b
703
732
Iw
732
PV
641a
731
643
IOUT

도면76

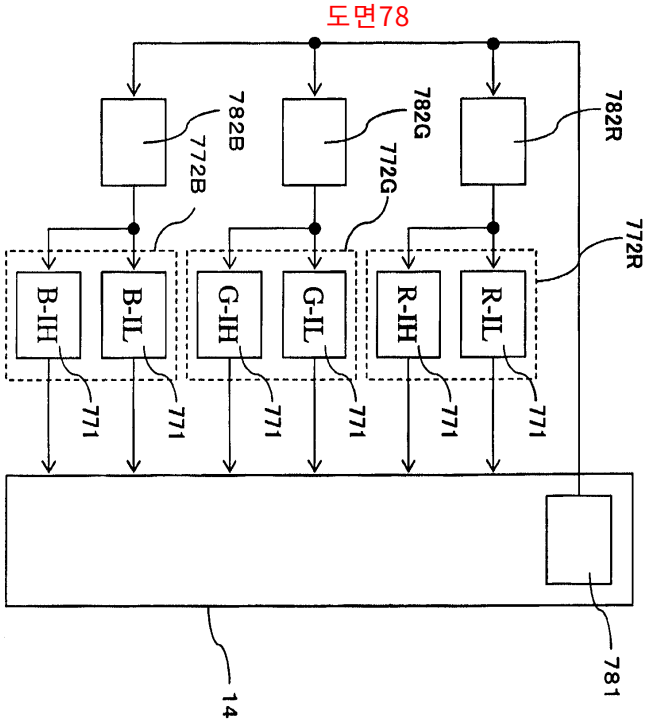

761
651RL
704R
651RH
651GL
651GH
704G
651BL
704B
14
651BH
761
761 입출력 패드(입출력 신호 단자)

도면77



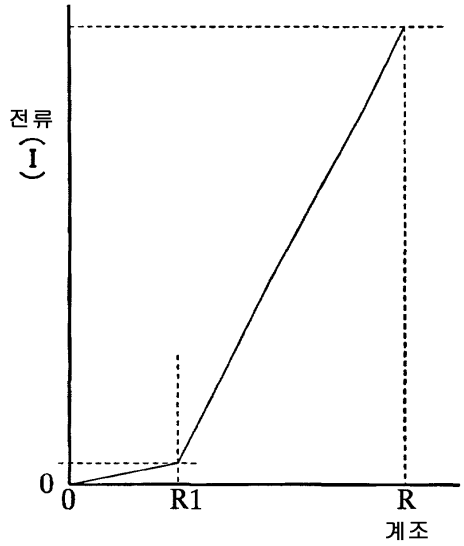
771 기준 전류원
772 전류 제어 회로

도면78

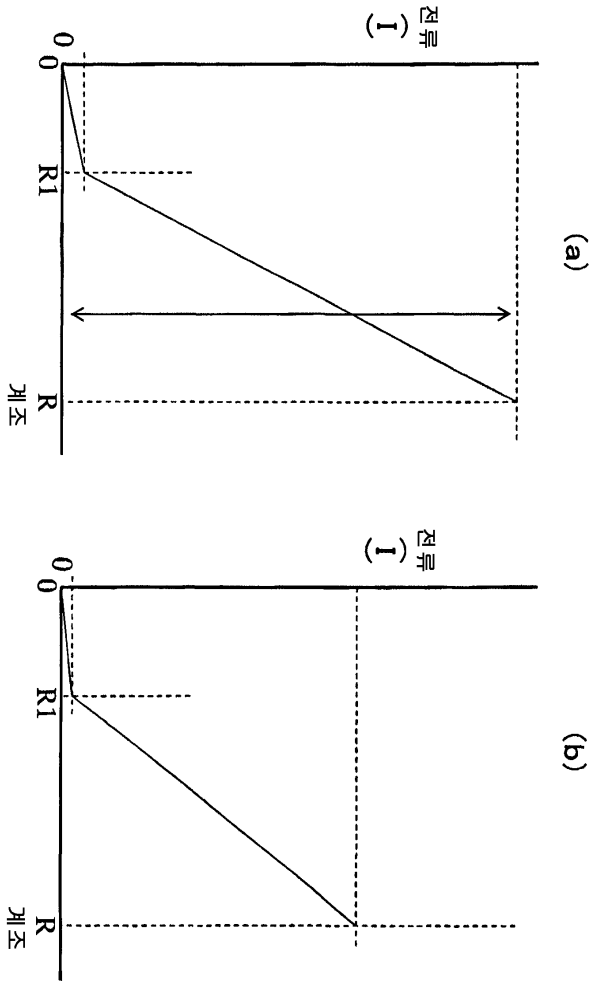


781 온도 검출 회로
782 온도 제어 회로

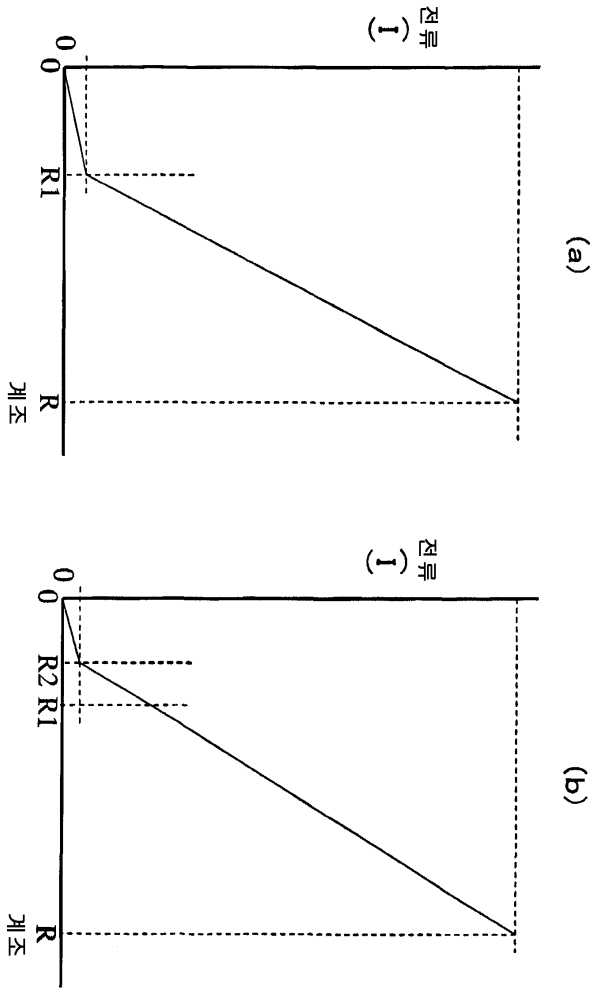
도면79



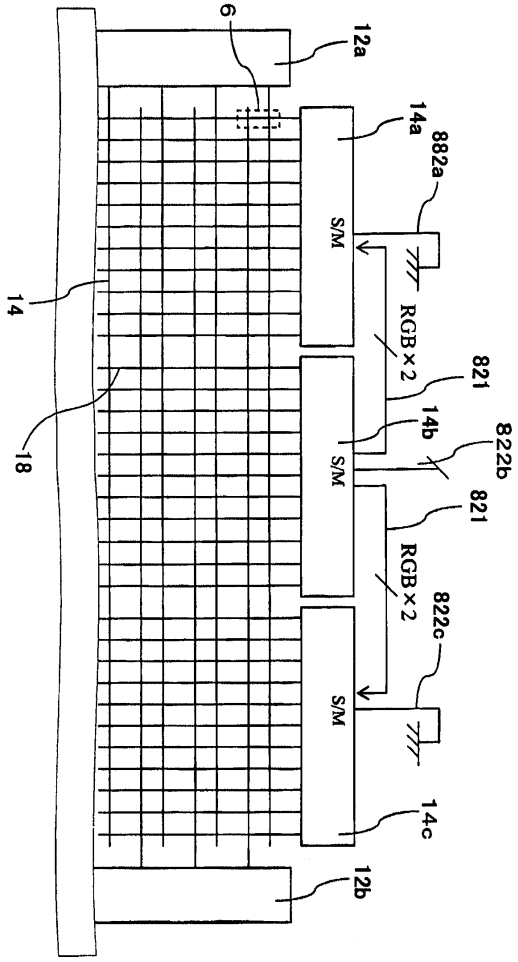
도면80



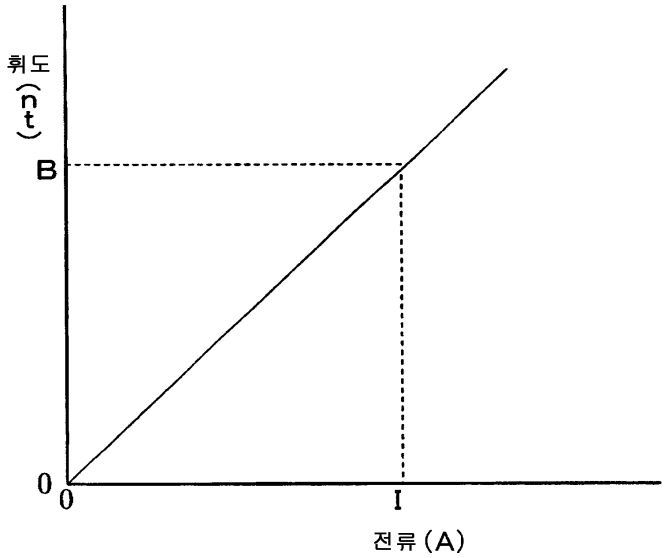
도면81



도면82


16
12a
14a
882a
S/M
14
RGB×2
821
14b
822b
S/M
18
821
RGB×2
822c
S/M
14c
12b

도면83


휘도
(cd)
B
0
0
I
전류(A)

도면84

계조	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	1	1	0	0	1	0	0	0	0	0	0
5	1	1	0	0	1	1	0	0	0	0	0
6	1	1	0	0	1	0	1	0	0	0	0
7	1	1	0	0	1	1	1	0	0	0	0
8	1	1	0	0	1	0	0	1	0	0	0
9	1	1	0	0	1	1	0	1	0	0	0
10	1	1	0	0	1	0	1	1	0	0	0
11	1	1	0	0	1	1	1	1	0	0	0
12	1	1	0	0	1	0	0	0	1	0	0
13	1	1	0	0	1	1	0	0	1	0	0
14	1	1	0	0	1	0	1	0	1	0	0
15	1	1	0	0	1	1	1	0	1	0	0
16	1	1	0	0	1	0	0	0	0	1	0
17	1	1	0	0	1	1	0	0	0	1	0
18	1	1	0	0	1	0	1	0	0	1	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

도면85

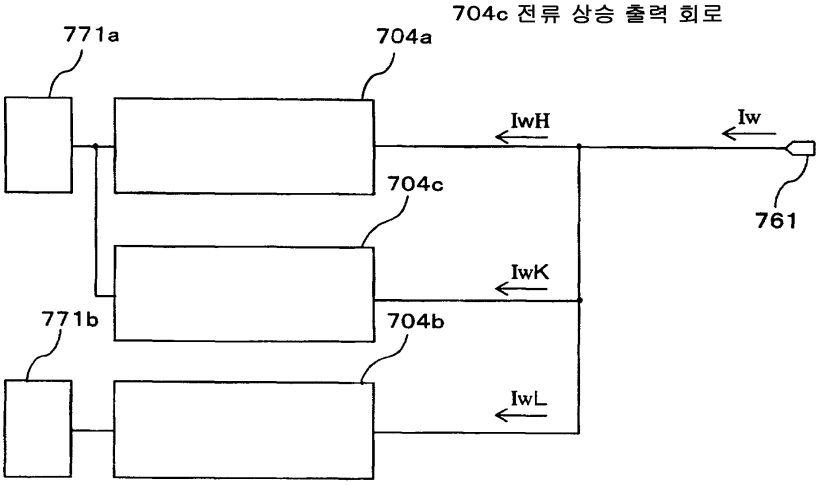
계조	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	1	1	1	0	1	0	0	0	0	0	0
9	1	1	1	0	1	1	0	0	0	0	0
10	1	1	1	0	1	0	1	0	0	0	0
11	1	1	1	0	1	1	1	0	0	0	0
12	1	1	1	0	1	0	0	1	0	0	0
13	1	1	1	0	1	1	0	1	0	0	0
14	1	1	1	0	1	0	1	1	0	0	0
15	1	1	1	0	1	1	1	1	0	0	0
16	1	1	1	0	1	0	0	0	1	0	0
17	1	1	1	0	1	1	0	0	1	0	0
18	1	1	1	0	1	0	1	0	1	0	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

도면86

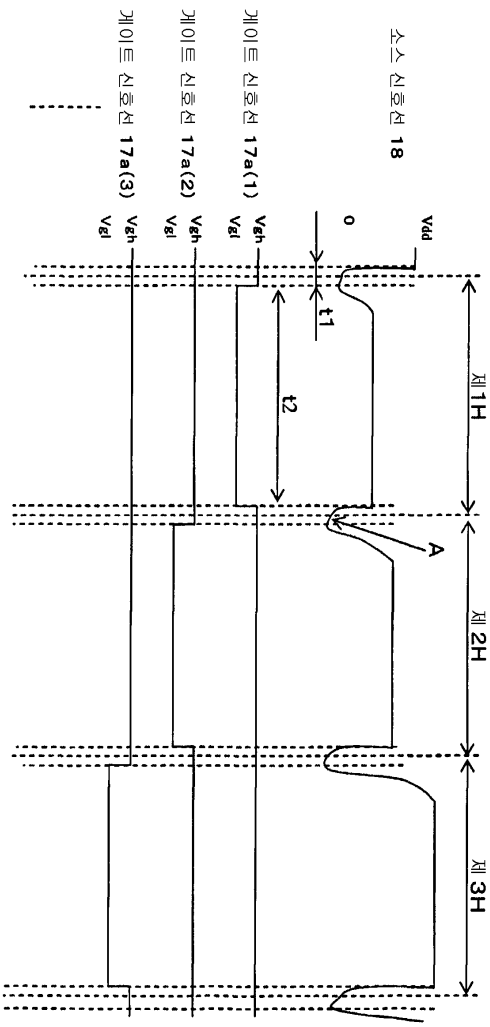
계조	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

도면87

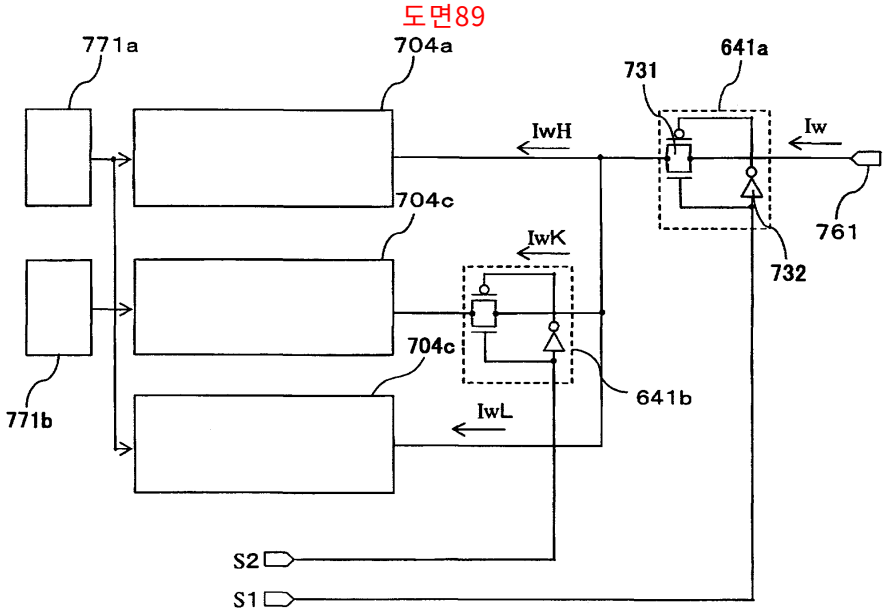
704a 고전류 영역 전류 출력 회로
704b 저전류 영역 전류 출력 회로
704c 전류 상승 출력 회로



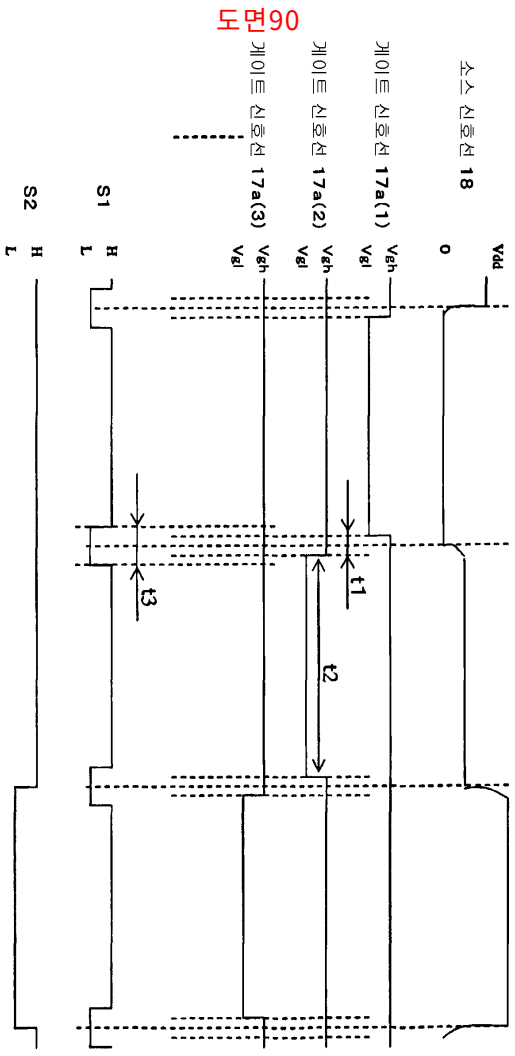
도면88


게이트 신호선 17a(3)
게이트 신호선 17a(2)
게이트 신호선 17a(1)
소스 신호선 18
Vgl
Vgh
Vgl
Vgh
Vgl
Vgh
0
Vdd
t1
t2
제1H
제2H
제3H
A

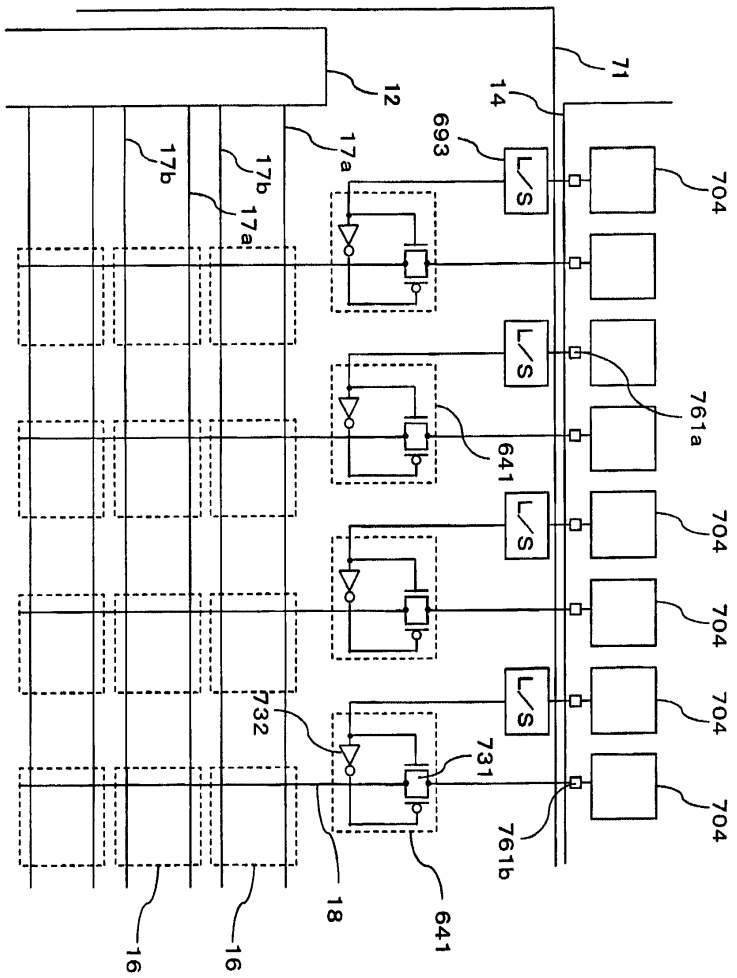
도면89


771a
704a
641a
731
IwH
Iw
704c
761
IwK
732
704c
641b
771b
IwL
S2
S1

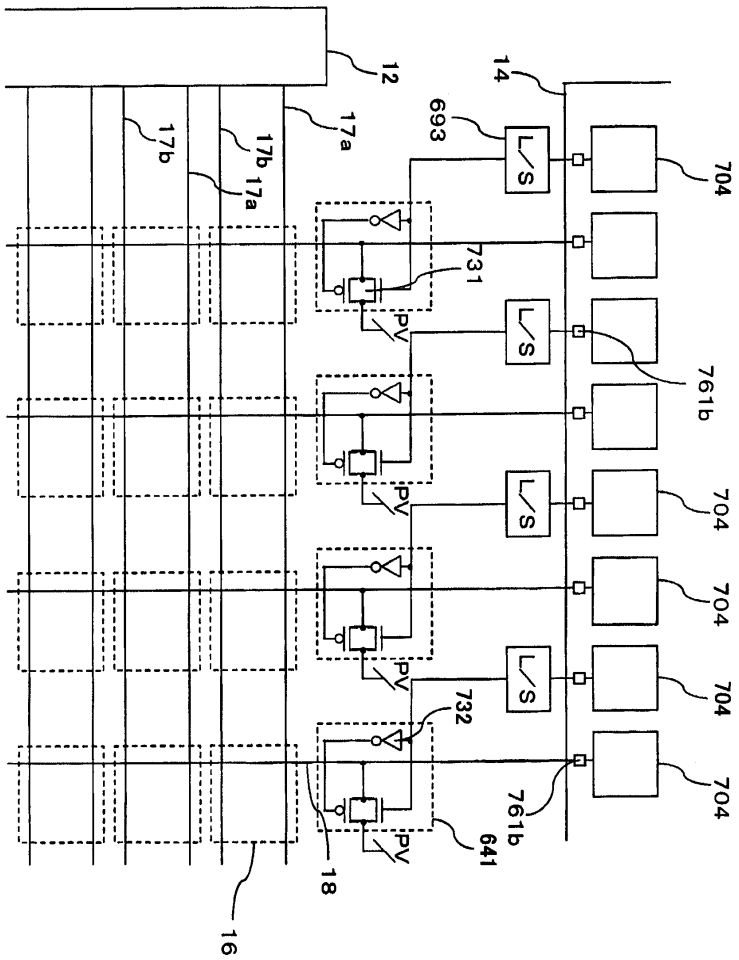
도면90


소스 신호선 18
게이트 신호선 17a(1)
게이트 신호선 17a(2)
게이트 신호선 17a(3)
Vdd
0
Vgh
Vgl
S1
S2
H
L
t1
t2
t3

도면91

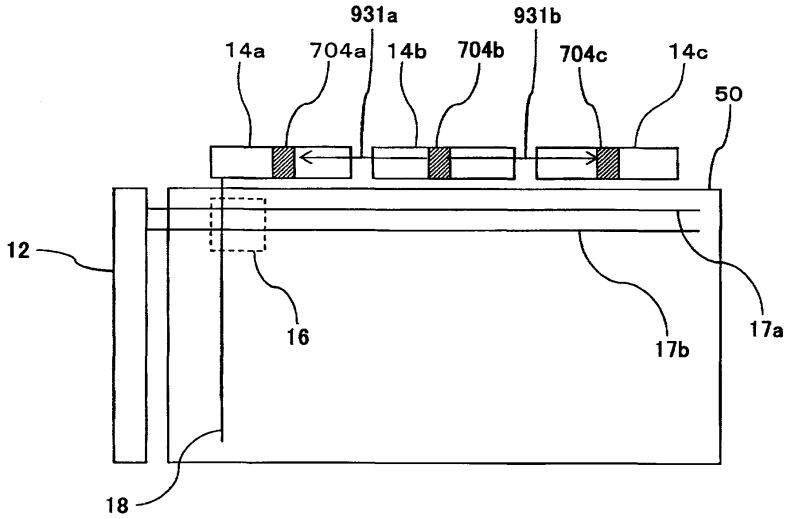


도면92

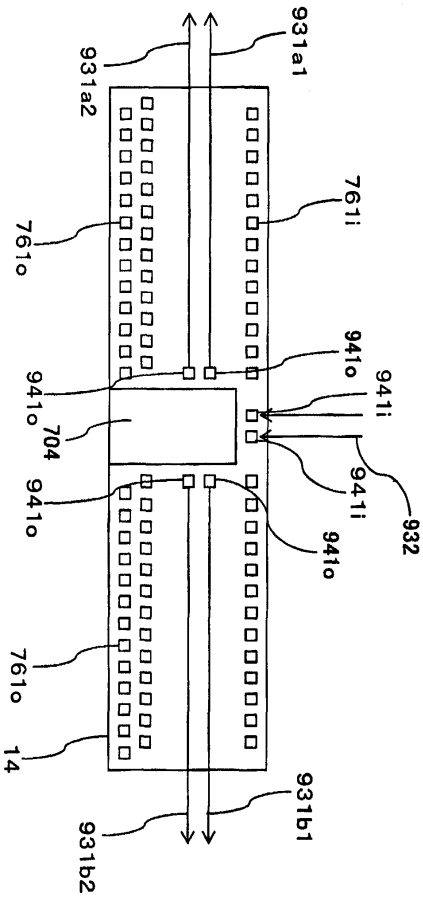


도면93

931 캐스캐이드 전류 접속선

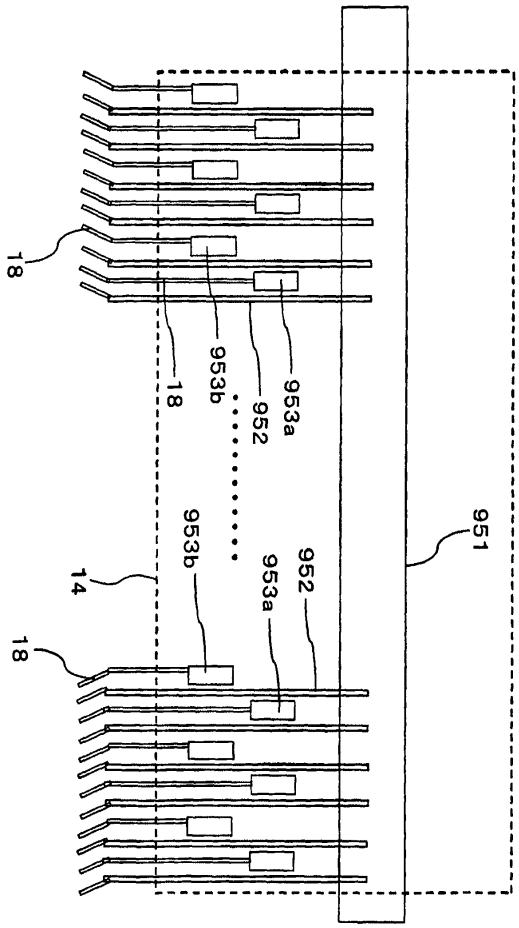


도면94



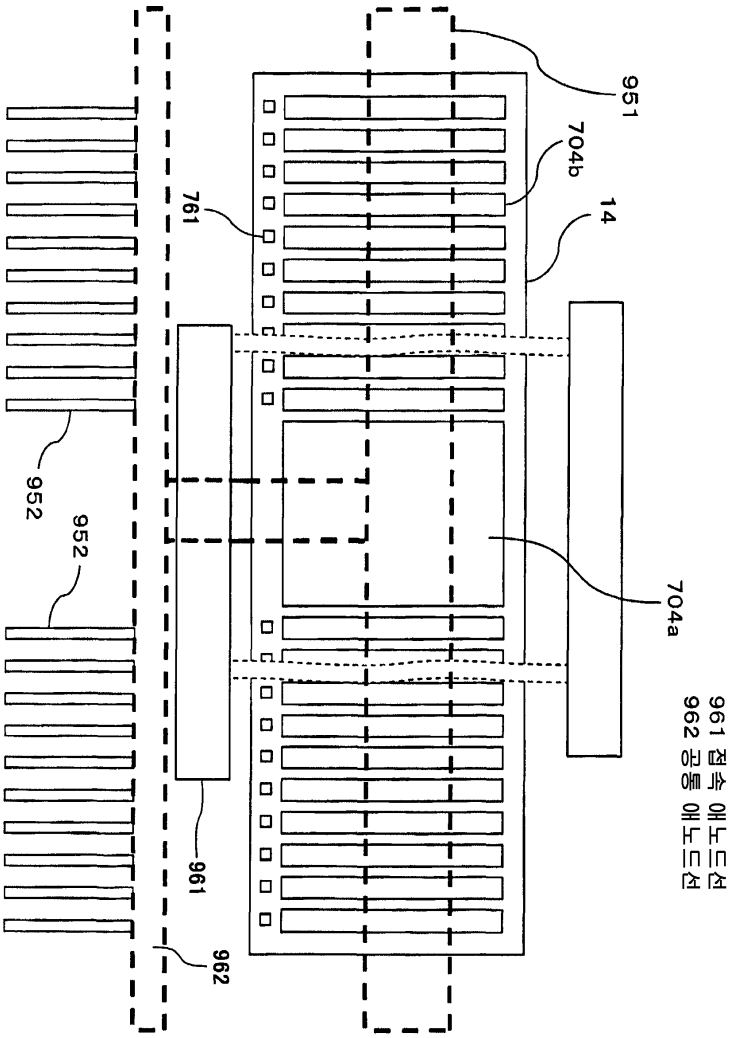
932 기준 전류 신호선
941i 전류 입력 단자
941o 전류 출력 단자

도면95

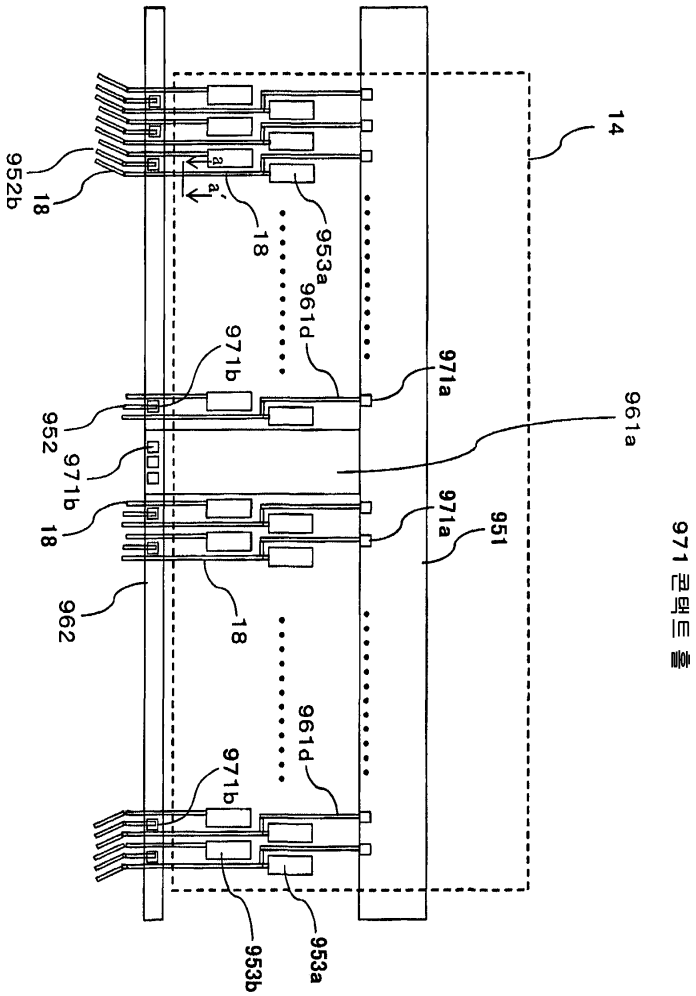


951 베이스 애노드선(애노드 전압선, 기간 애노드선)
952 애노드 배선
953 접속 단자

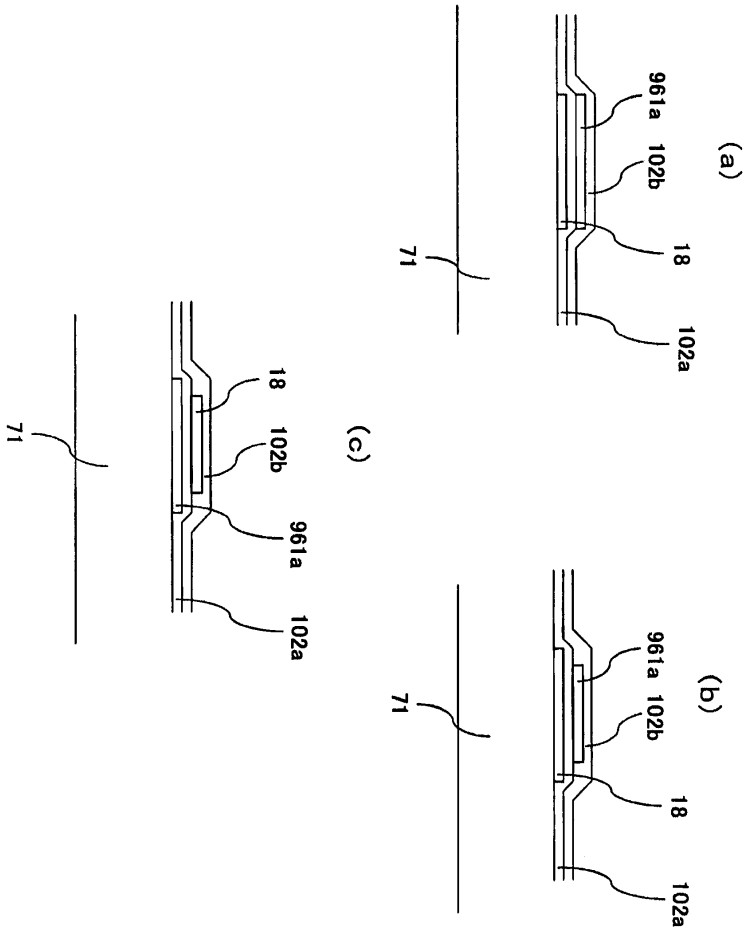
도면96



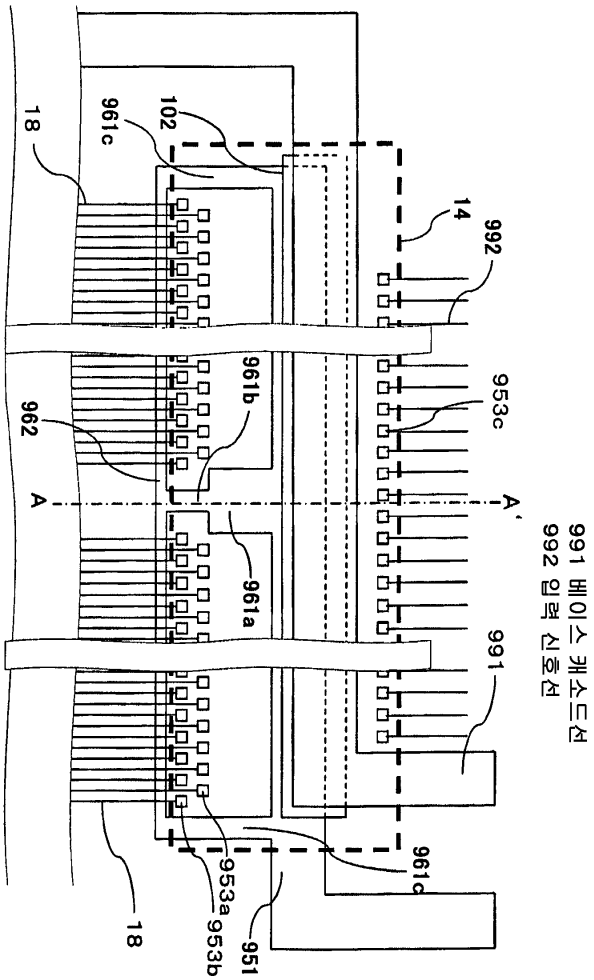
도면97


14
952b
18
a
a'
18
953a
961d
971b
971a
961a
952
971b
18
971a
951
962
18
961d
971b
953b
953a
971 콘택트 홀

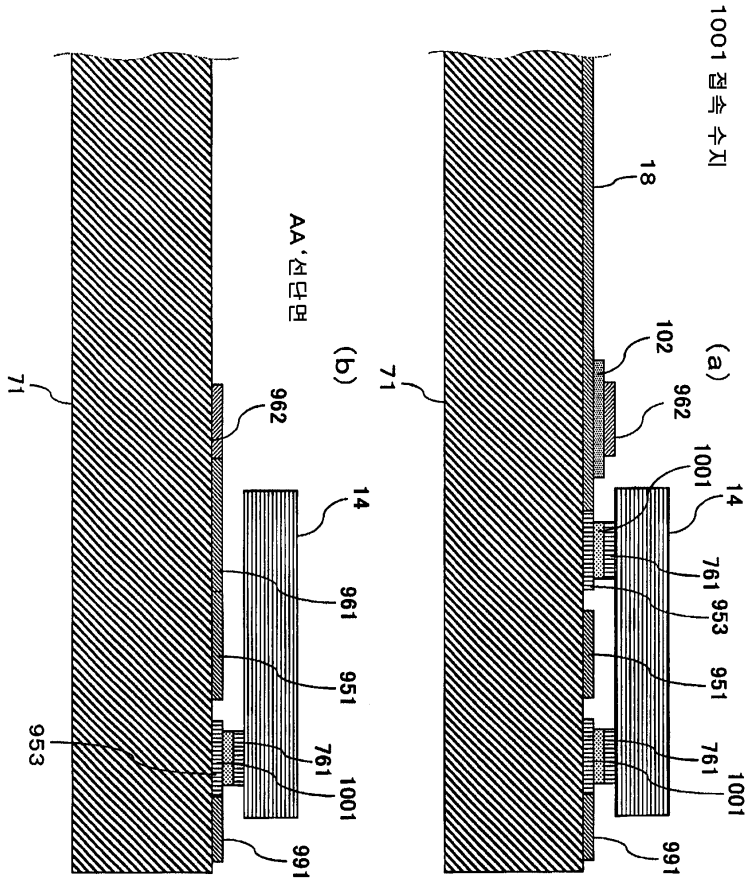
도면98


(a)
961a
102b
18
102a
71
(b)
961a
102b
18
102a
71
(c)
18
102b
961a
102a
71

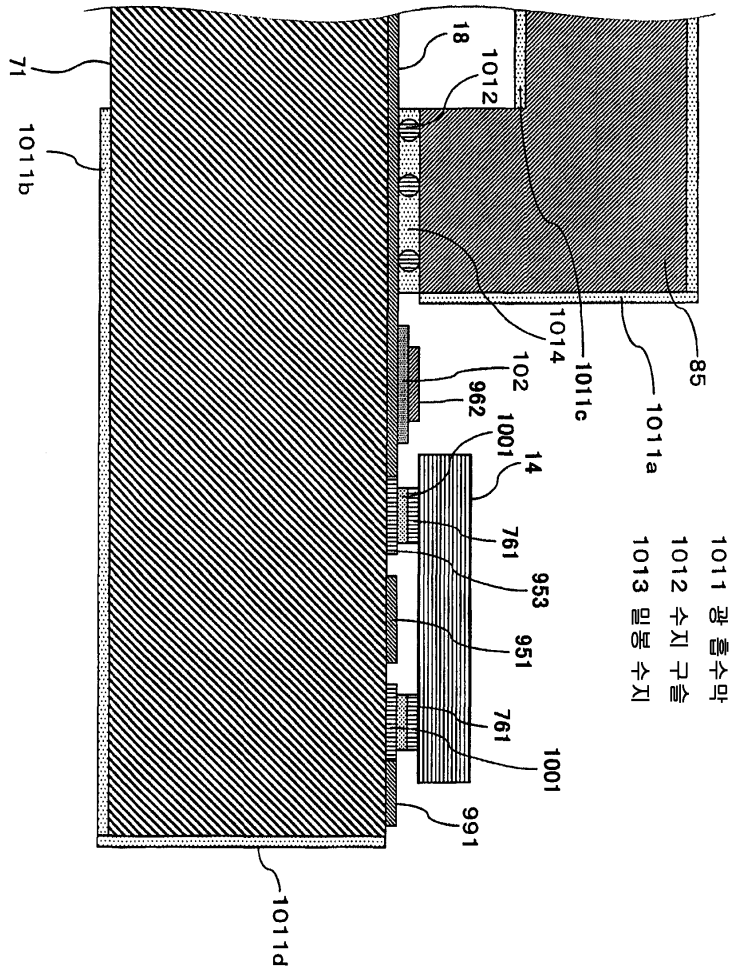
도면99


18
961c
102
14
992
953c
961b
962
A
A'
961a
991
961d
953a
953b
951
18
991 베이스 캐소드선
992 입력 신호선

도면100

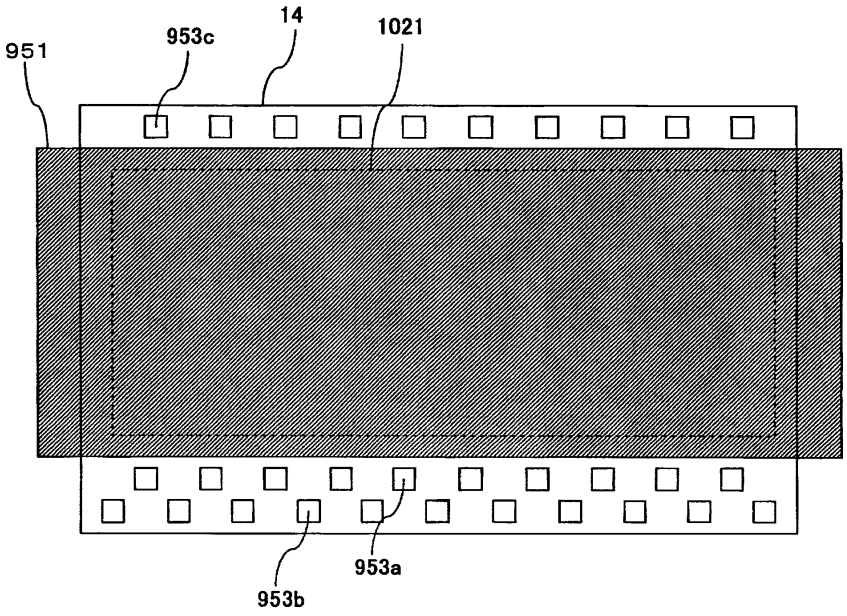

1001 절속 수지
(a)
18
102
962
1001
14
761
953
951
761
1001
991
71
(b)
AA'선단면
71
962
14
961
951
761
1001
953
991

도면101

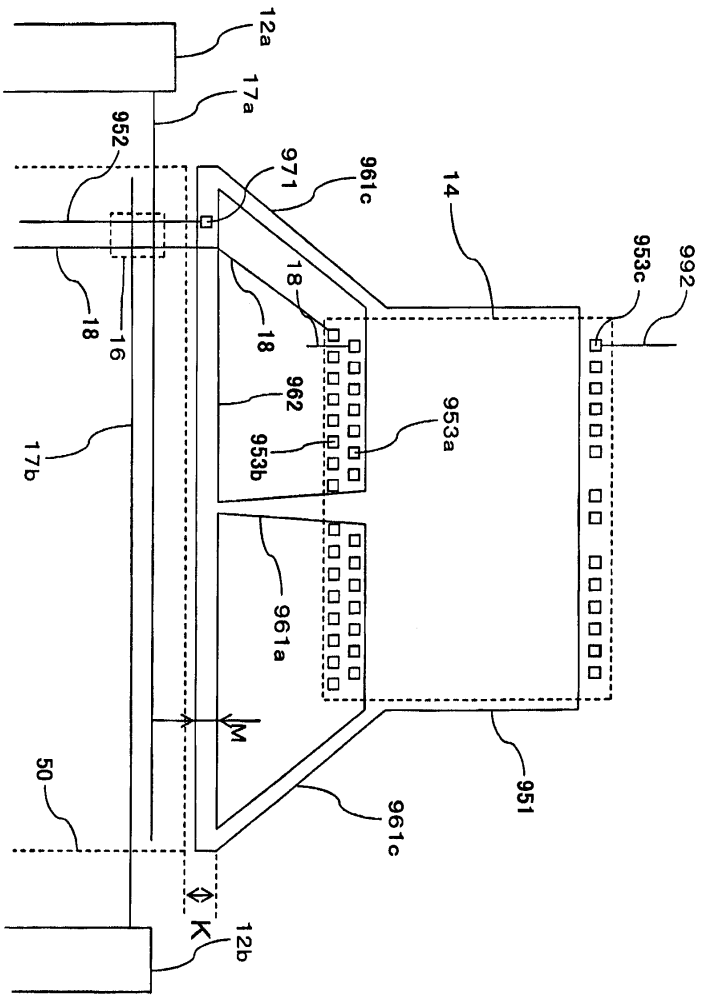


도면102

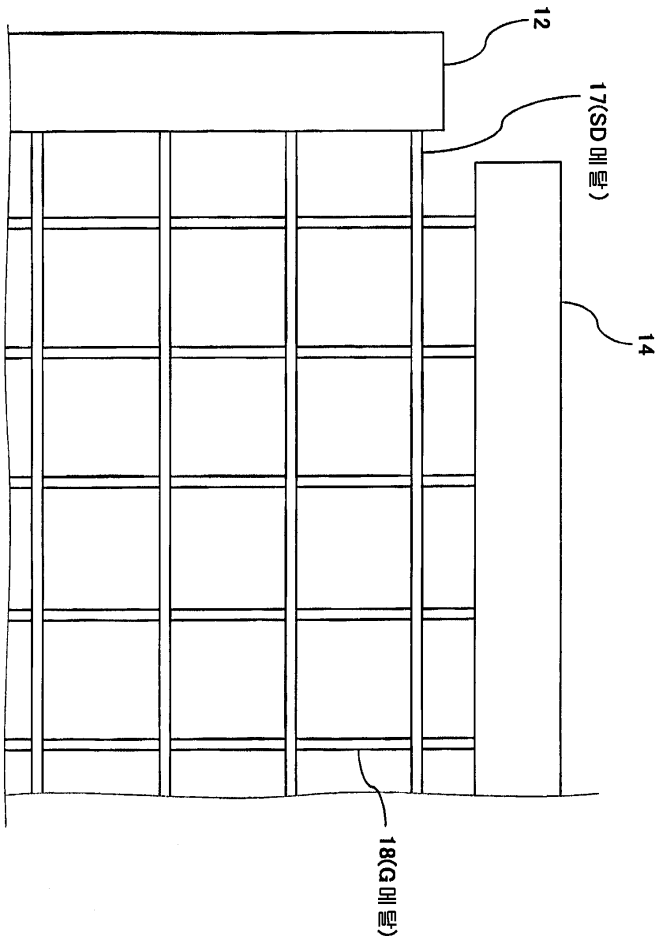
1021 회로 형성부



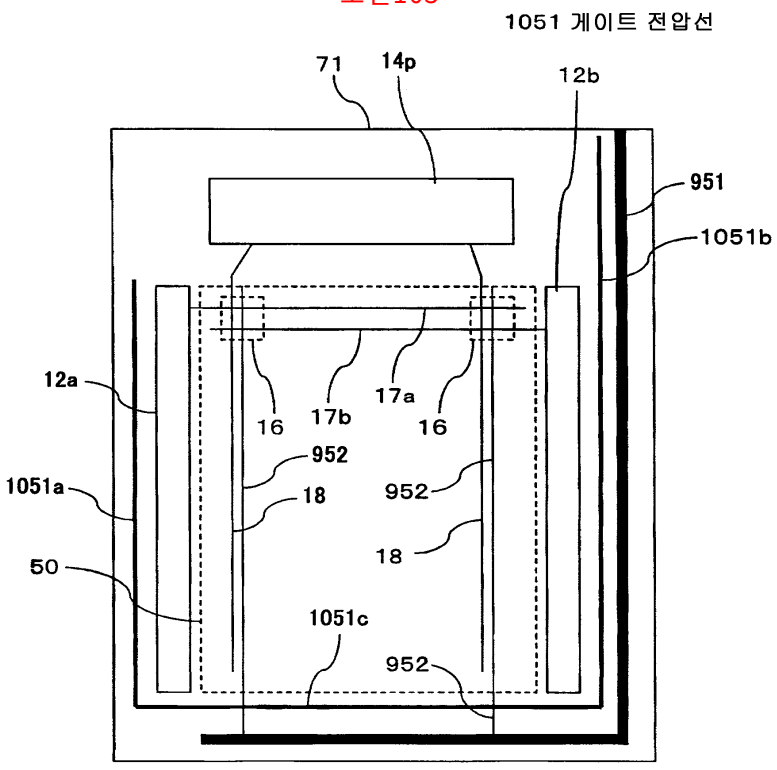
도면103


12a
17a
952
971
961c
14
953c
992
18
18
16
18
962
953a
953b
17b
961a
M
50
951
961c
K
12b

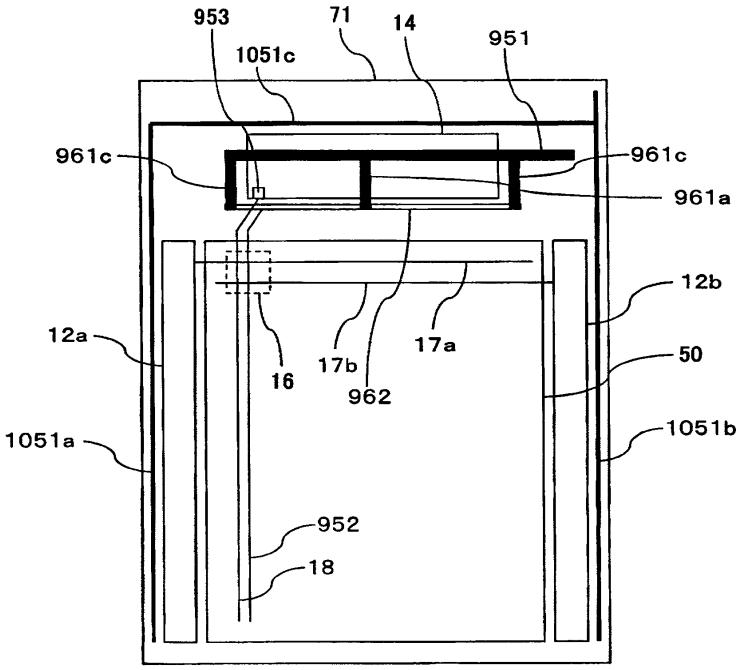
도면104


12
17(SD 메탈)
14
18(G 메탈)

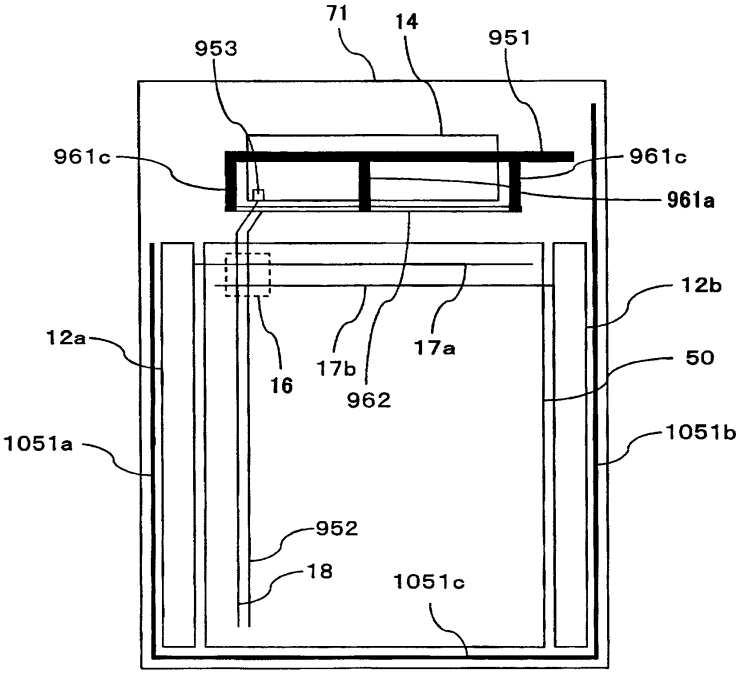
도면105


1051 게이트 전압선
71
14p
12b
951
1051b
12a
16
17b
17a
16
952
952
1051a
18
18
50
1051c
952

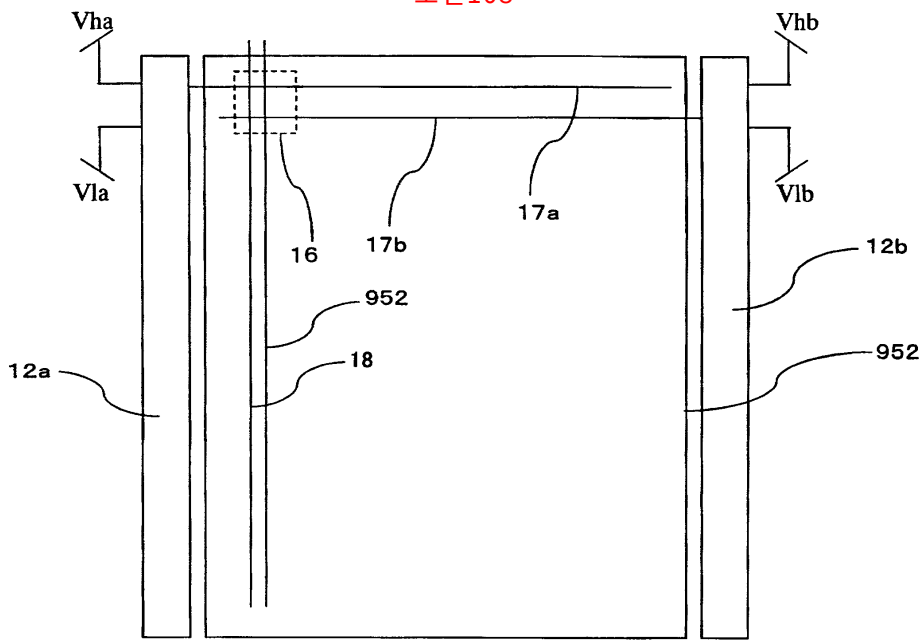
도면106


953
71
14
951
1051c
961c
961c
961a
12b
12a
17a
17b
16
962
50
1051b
1051a
952
18

도면107

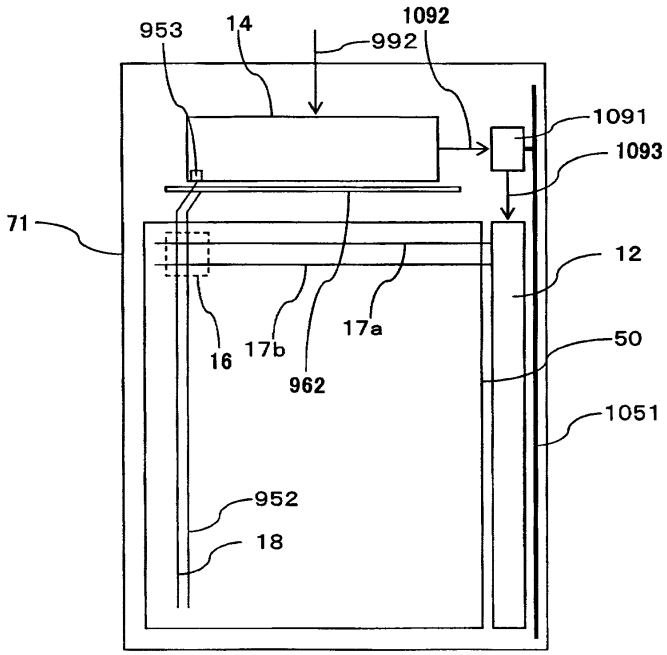

71
14
953
951
961c
961c
961a
12b
12a
17a
17b
16
962
50
1051b
1051a
952
18
1051c

도면108

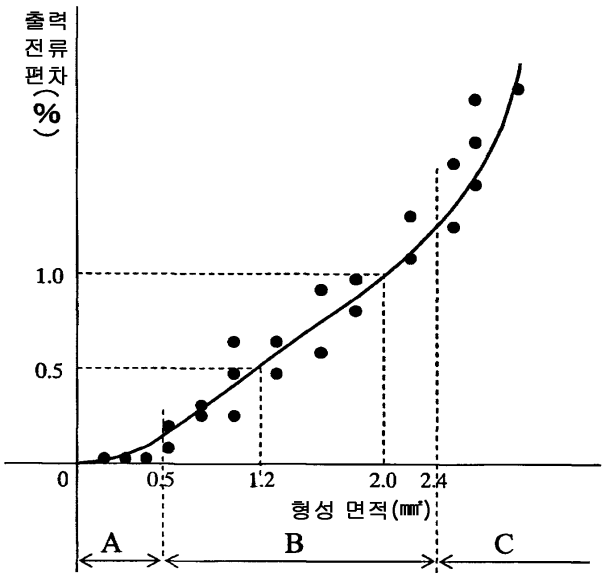


도면109

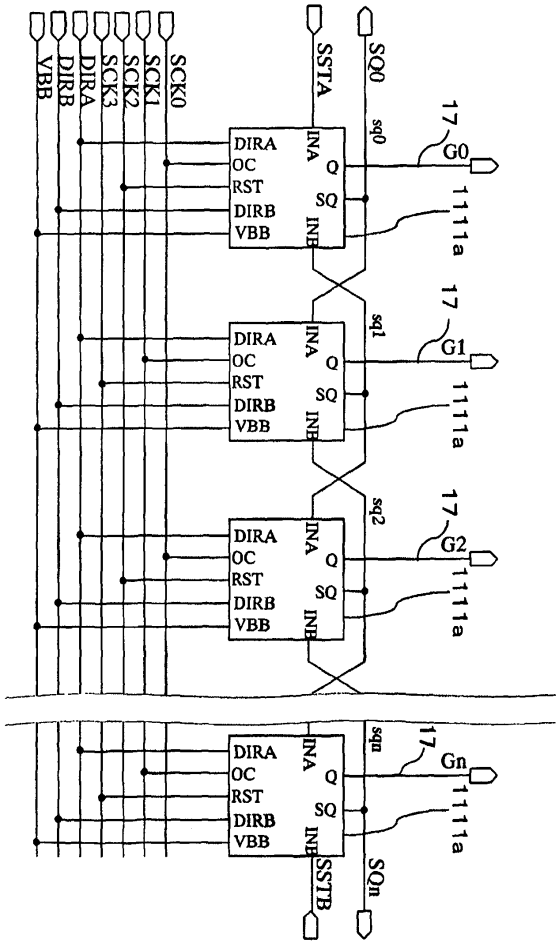
1091 전원 회로(IC)
1092 전원 IC 제어 신호
1093 게이트 드라이버 회로 제어 신호



도면110

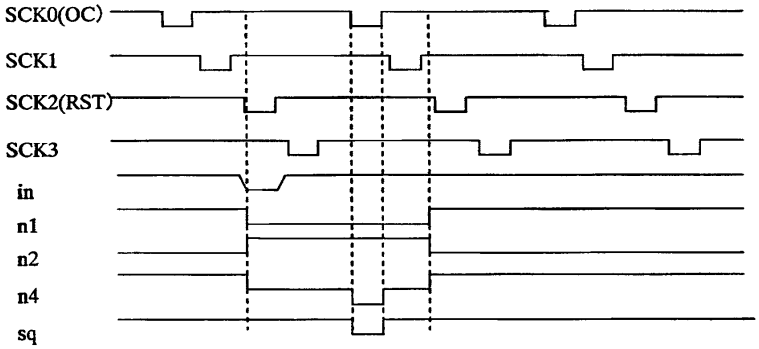


도면111

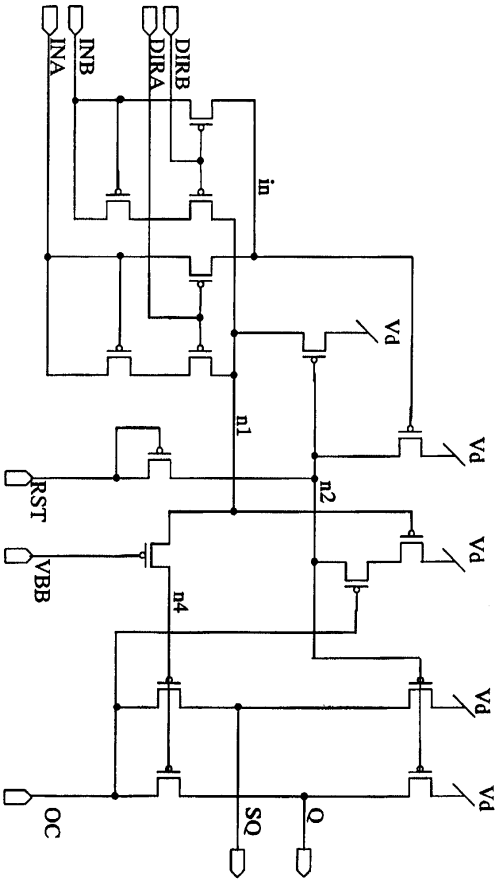


1111 단위 게이트 출력 회로

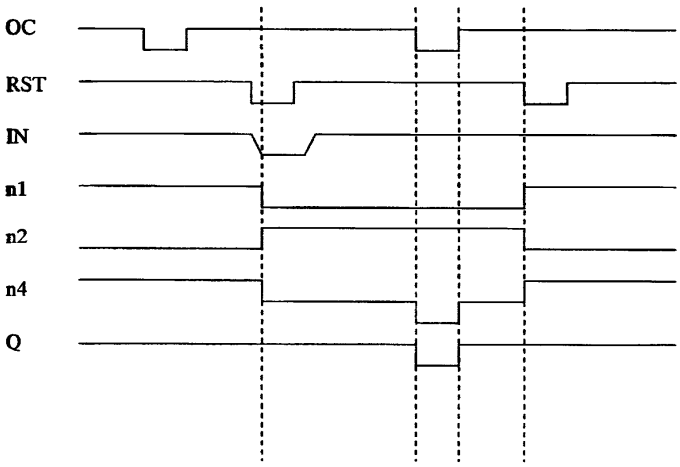
도면112



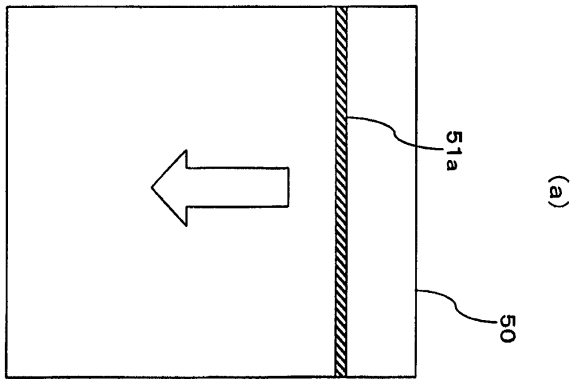
도면113

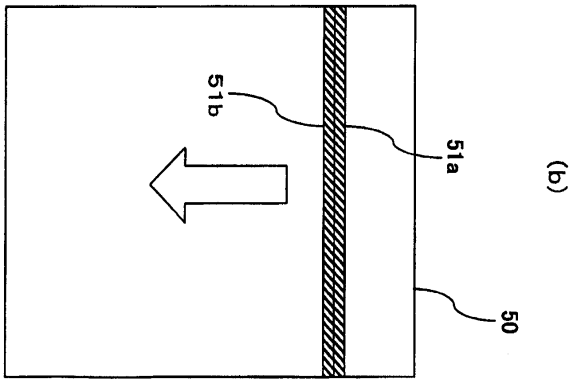


도면114

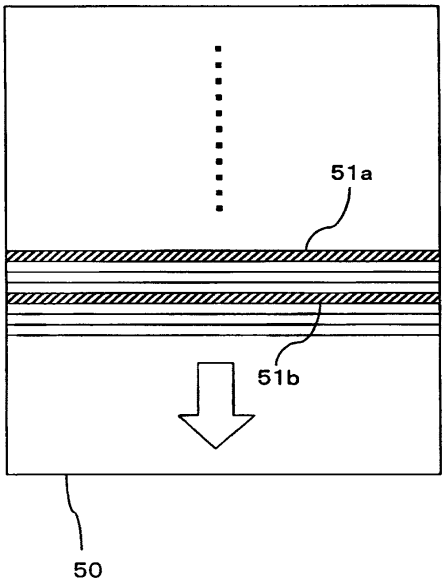


도면115

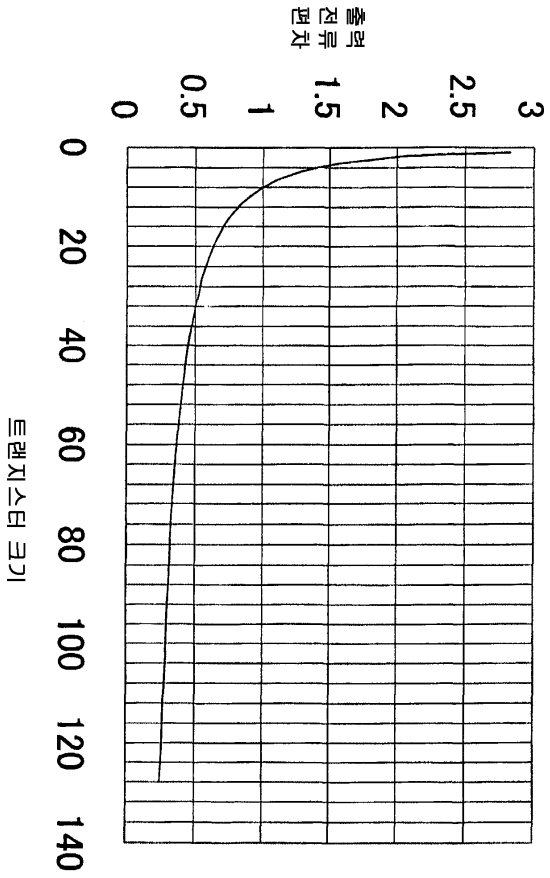




도면116



도면117



专利名称(译)	EL显示面板和使用该EL显示面板的EL显示装置		
公开(公告)号	KR1020040039408A	公开(公告)日	2004-05-10
申请号	KR1020047004291	申请日	2002-09-20
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	YAMANO ATSUHIRO 야마노아츠히로 TAKAHARA HIROSHI 다카하라히로시 TSUGE HITOSHI 츠게히토시		
发明人	야마노아츠히로 다카하라히로시 츠게히토시		
IPC分类号	G09G3/30 G09G3/32 H01L27/32		
CPC分类号	H01L27/3213 G09G2300/0842 G09G2300/0814 G09G2310/0267 H01L27/3244 G09G2310/027 G09G2320/041 G09G2310/0205 G09G2300/0426 G09G3/3283 G09G2300/0852 G09G2300/0861 G09G2320/043 G09G3/325 G09G2300/0809 G09G2310/0251 G09G3/3241 G09G3/3266 G09G2300/0819 G09G2320/0276 G09G2310/0218 G09G2320/0261 G09G2310/0256 G09G2310/0248		
代理人(译)	Gimchangse		
优先权	2001291598 2001-09-25 JP 2001332196 2001-10-30 JP 2002136157 2002-05-10 JP		
其他公开文献	KR100572429B1		
外部链接	Espacenet		

摘要(译)

在本发明的EL显示装置中包括的源极驱动器14中，通过晶体管631将第一级电流源的栅极电压施加到相邻的第二级电流源的晶体管632a的栅极，结果 然后，流过晶体管632a的电流被传递到第二级电流源的晶体管632b。 此外，第二电流源的晶体管632b的栅极电压被施加到相邻的第三级电流源的晶体管633a的栅极，结果，流过晶体管633a的电流属于第三单电流源。 传输到晶体管633b。 根据所需位数，第三级电流源的晶体管633b的栅极具有多个电流源634。