



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월15일
 (11) 등록번호 10-1344977
 (24) 등록일자 2013년12월18일

(51) 국제특허분류(Int. Cl.)
 H01L 51/50 (2006.01) H01L 51/56 (2006.01)
 (21) 출원번호 10-2011-7009893
 (22) 출원일자(국제) 2010년09월29일
 심사청구일자 2012년09월10일
 (85) 번역문제출일자 2011년04월29일
 (65) 공개번호 10-2012-0129750
 (43) 공개일자 2012년11월28일
 (86) 국제출원번호 PCT/JP2010/005846
 (87) 국제공개번호 WO 2012/042565
 국제공개일자 2012년04월05일
 (56) 선행기술조사문헌
 JP2010085866 A
 JP2006011059 A
 JP2009122652 A
 JP2009259561 A
 전체 청구항 수 : 총 16 항

(73) 특허권자
파나소닉 주식회사
 일본 오오사카후 가도마시 오오아자 가도마 1006 반치
 (72) 발명자
가네가에 아리노부
 일본 오오사카후 가도마시 오오아자 가도마 1006 반치 파나소닉 주식회사 내
 (74) 대리인
한양특허법인

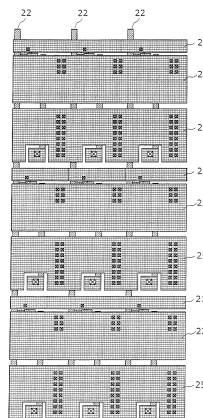
심사관 : 김홍섭

(54) 발명의 명칭 **EL 표시 패널, EL 표시 장치 및 EL 표시 패널의 제조 방법**

(57) 요약

EL 표시 패널은, EL 부와, 박막 반도체부를 구비하고, EL 부는, 양극 전극과, 음극 전극과, 발광층을 포함하고, 박막 반도체부는, 기판과, 게이트 전극과, 게이트 절연막과, 반도체층과, 제1 전극과, 제2 전극과, 층간 절연막과, 층간 절연막 상에 배치된 게이트 배선(21)과, 층간 절연막 상에 게이트 배선(21)과 동일층이며, 또한, 게이트 배선(21)과 병행하여 배치된 전원 배선(23)과, 층간 절연막 상에 게이트 배선(21) 및 전원 배선(23)과 동일층이며, 또한, 게이트 배선(21) 및 전원 배선(23)과 병행하여 배치된 보조 배선(25)을 구비하고 있다.

대표도 - 도6



특허청구의 범위

청구항 1

EL 부와, 상기 EL 부의 발광을 제어하는 박막 반도체부를 구비하는 EL 표시 패널로서,
 상기 EL 부는,
 양극 전극과, 음극 전극과, 상기 양극 전극과 상기 음극 전극 사이에 개재하는 발광층을 포함하고,
 상기 박막 반도체부는,
 기판과,
 기판 상에 형성된 게이트 전극과,
 상기 게이트 전극을 덮으며 상기 기판 상에 형성된 게이트 절연막과,
 상기 게이트 절연막 상이며 상기 게이트 전극의 윗쪽에 형성된 반도체층과,
 상기 반도체층의 윗쪽에 형성된 제1 전극과,
 상기 제1 전극과 동일층에 형성된 제2 전극과,
 상기 제1 전극 및 상기 제2 전극을 덮으며 상기 게이트 절연막의 윗쪽에 형성되고, 상기 게이트 전극이 형성된 층과는 상이한 층인 층간 절연막과,
 상기 층간 절연막 상에 배치된 게이트 배선과,
 상기 게이트 배선이 형성된 상기 층간 절연막 상에, 상기 게이트 배선과 동일층이며, 또한, 상기 게이트 배선과 병행하여 배치된 전원 배선과,
 상기 층간 절연막 상에 상기 게이트 배선 및 상기 전원 배선과 동일층이며, 또한, 상기 게이트 배선 및 상기 전원 배선과 병행하여 배치된 보조 배선을 구비하고,
 상기 게이트 전극과 상기 게이트 배선은, 상기 게이트 절연막 및 상기 층간 절연막을 관통하도록 설치된 제1 도전부를 통하여 전기적으로 접속되고,
 상기 제1 전극 및 상기 제2 전극 중 어느 한쪽과 상기 전원 배선은, 상기 층간 절연막을 관통하도록 설치된 제2 도전부를 통하여 전기적으로 접속되며,
 상기 보조 배선은, 상기 음극 전극과 전기적으로 접속되는, EL 표시 패널.

청구항 2

청구항 1에 있어서,
 상기 전원 배선 및 상기 보조 배선은, 상기 게이트 배선과 동일 또는 소정의 근사값의 높이로 형성되어 있는, EL 표시 패널.

청구항 3

청구항 1에 있어서,
 상기 전원 배선 및 상기 보조 배선은, 상기 게이트 배선과, 상기 게이트 배선과 병행하여 상기 게이트 배선에 인접하는 다른 게이트 배선 사이에 배치되고,
 상기 전원 배선 및 상기 보조 배선의 쌍방을 조합한 폭은, 상기 게이트 배선과, 상기 게이트 배선과 병행하여 배치된 상기 게이트 배선에 인접하는 다른 게이트 배선 사이의 폭에 대응하며, 인접하는 2개의 상기 게이트 배선 간을 매우도록 하여, 인접하는 2개의 상기 게이트 배선과 근접하여 배치되는, EL 표시 패널.

청구항 4

청구항 1에 있어서,

상기 게이트 배선과 상기 전원 배선, 상기 전원 배선과 상기 보조 배선, 상기 보조 배선과 상기 게이트 배선의 거리는, 각각 $4\mu\text{m}$ 이상인, EL 표시 패널.

청구항 5

청구항 1에 있어서,

상기 전원 배선 및 상기 보조 배선의 적어도 어느 하나는, 상기 게이트 배선의 폭보다 넓은 폭을 가지는, EL 표시 패널.

청구항 6

청구항 1에 있어서,

상기 반도체층은 p채널형이며,

상기 전원 배선은 상기 반도체층과 겹치도록 형성되는, EL 표시 패널.

청구항 7

청구항 1에 있어서,

상기 반도체층은 n채널형이며,

상기 전원 배선 및 상기 보조 배선은, 상기 반도체층과 겹치지 않도록 형성되는, EL 표시 패널.

청구항 8

청구항 1에 있어서,

상기 제1 전극은 소스 전극이며, 상기 제2 전극은 드레인 전극인, EL 표시 패널.

청구항 9

청구항 1에 있어서,

상기 제1 전극은 드레인 전극이며, 상기 제2 전극은 소스 전극인, EL 표시 패널.

청구항 10

청구항 1에 있어서,

상기 반도체층은, 다결정성 반도체층을 포함하는, EL 표시 패널.

청구항 11

청구항 1에 있어서,

상기 전원 배선 및 상기 보조 배선을 구성하는 재료는, Al, Cu, Ag 중 어느 하나를 포함하는, EL 표시 패널.

청구항 12

청구항 1에 있어서,

상기 EL 부는, 상기 발광층으로서 유기 발광층을 구비한 유기 EL 부인, EL 표시 패널.

청구항 13

청구항 1에 기재된 EL 표시 패널을 구비하고 있는, EL 표시 장치.

청구항 14

기판을 준비하는 제1 공정과,

상기 기관 상에 게이트 전극을 형성하는 제2 공정과,
 상기 게이트 전극을 덮으며 상기 기관 상에 게이트 절연막을 형성하는 제3 공정과,
 상기 게이트 절연막 상이며 상기 게이트 전극의 윗쪽에 반도체층을 형성하는 제4 공정과,
 상기 반도체층의 윗쪽에 제1 전극을 형성함과 함께, 제1 전극과 전기적으로 접속되는 소스 배선 및 제2 전극을 형성하는 제5 공정과,
 상기 제1 전극 및 상기 제2 전극을 덮으며 상기 게이트 절연막의 윗쪽에 제1 층간 절연막을 형성하는 제6 공정과,
 상기 게이트 절연막 및 상기 제1 층간 절연막을 관통하는 제1 콘택트 홀을 형성하는 제7 공정과,
 상기 게이트 전극의 윗쪽에 존재하는 상기 제1 층간 절연막을 관통하여 상기 제1 콘택트 홀과는 상이한 제2 콘택트 홀을 형성하는 제8 공정과,
 상기 제1 층간 절연막 상에 금속막을 성막하여 패터닝함으로써, 상기 제1 콘택트 홀을 통하여 상기 게이트 전극과 전기적으로 접속되는 게이트 배선과, 상기 게이트 배선과 병행이 되도록 상기 제2 콘택트 홀을 통하여 상기 제1 전극 또는 상기 제2 전극 중 어느 한쪽과 전기적으로 접속되는 상기 전원 배선과, 상기 게이트 배선 및 전원 배선과 병행이 되도록 음극 전극과 전기적으로 접속되는 보조 배선을 형성하는 제9 공정과,
 상기 제1 층간 절연막, 상기 전원 배선, 및 상기 보조 배선의 상면을 덮도록 제2 층간 절연막을 형성하는 제10 공정과,
 상기 제2 층간 절연막을 관통하는 제3 콘택트 홀을 형성하는 제11 공정과,
 상기 제2 층간 절연막의 윗쪽에 1세트의 양극 전극과, 음극 전극과, 상기 양극 전극과 음극 전극의 사이에 개재하는 발광층을 포함하는 EL 부를 형성하는 제12 공정을 포함하고,
 상기 제12 공정에 있어서, 상기 제3 콘택트 홀을 통하여 상기 음극 전극과 상기 보조 배선을 전기적으로 접속하는, EL 표시 패널의 제조 방법.

청구항 15

청구항 14에 있어서,
 상기 제4 공정에서 형성하는 반도체층은 비결정성 반도체층이며,
 상기 제4 공정과 상기 제5 공정 사이에, 상기 비결정성 반도체층의 윗쪽으로부터 소정의 레이저광을 조사하여, 상기 소정의 레이저 조사에 의해 상기 비결정성 반도체층의 온도를 소정의 온도 범위로 하여, 상기 비결정성 반도체층을 결정화하는 공정을 포함하는, EL 표시 패널의 제조 방법.

청구항 16

청구항 14에 있어서,
 상기 EL 부는, 상기 발광층을 유기 발광층으로 형성한 유기 EL 부인, EL 표시 패널의 제조 방법.

명세서

기술분야

[0001] 본 발명은, 박막 반도체 장치 및 그것을 이용한 EL 표시 패널, EL 표시 장치 및 EL 표시 패널의 제조 방법에 관한 것으로, 특히 액티브 매트릭스의 표시 장치에 이용되는 박막 반도체 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 종래, 액정표시 장치 또는 유기 EL 표시 장치 등의 액티브 매트릭스 구동형의 표시 장치에서는, 화소를 선택하는 스위칭 소자 또는 화소를 구동하는 구동 소자로서, 박막 트랜지스터(TFT: Thin Film Transistor)가 이용되고 있다.

- [0003] 박막 트랜지스터는, 표시 장치의 액티브 매트릭스 기판에 이용되며, 현재, 고성능화를 향한 개발이 활발히 행해지고 있다. 특히, 표시 장치의 대형화나 고정밀화에 수반하여, 박막 트랜지스터의 높은 구동 능력이 요구되는 중에, 채널층(활성층)으로서, 결정화된 반도체 박막(다결정 실리콘·미결정 실리콘)을 이용한 것이 주목되고 있다.
- [0004] 반도체 박막의 결정화 프로세스로서는, 이미 확립되어 있는 1000℃ 이상의 처리 온도를 채용한 고온 프로세스 기술 대신에, 600℃ 이하의 처리 온도를 채용한 저온 프로세스가 개발되어 있다. 저온 프로세스에서는, 내열성이 우수한 석영 등의 고가의 기판을 이용할 필요가 없어, 제조 코스트의 저감화를 도모할 수 있다.
- [0005] 저온 프로세스의 일환으로서, 레이저 빔을 이용하여 가열하는 레이저 어닐이 주목되고 있다. 이것은, 유리 등의 저내열성 절연 기판 상에 성막된 비정질 실리콘 등의 비(非)단결정성의 반도체 박막에, 레이저 빔을 조사하여 국부적으로 가열 용융한 후, 그 냉각 과정에 있어서 반도체 박막을 결정화하는 것이다. 결정화된 반도체 박막은 캐리어의 이동도가 높아지므로, 박막 트랜지스터를 고성능화할 수 있다(예를 들면, 특허 문헌 1 참조).
- [0006] 그런데, 박막 트랜지스터의 구조로서는, 게이트 전극이 채널층보다 아래에 배치된 보텀 게이트형의 구조가 주류이다. 이하, 종래의 보텀 게이트형의 박막 트랜지스터에 대해서, 도 25, 도 26a~도 26c 및 도 27을 이용하여 설명한다. 도 25는, 표시 장치의 하나의 화소에서의 종래의 표시 장치용 박막 반도체 장치의 평면도이다. 도 26a는, 도 25의 X1-X1' 선을 따라 절단한, 종래의 표시 장치용 박막 반도체 장치의 단면도이다. 도 26b는, 도 25의 X2-X2' 선을 따라 절단한, 종래에 관련된 표시 장치용 박막 반도체 장치의 단면도이다. 도 26c는, 도 25의 Y-Y' 선을 따라 절단한, 종래에 관련된 표시 장치용 박막 반도체 장치의 단면도이다. 도 27은, 도 26a에 대응하여, 도 25의 X1-X1'의 단면으로부터 보았을 때에서의 종래에 관련된 표시 장치용 박막 반도체 장치의 주요 부분을 나타낸 사시도이다.
- [0007] 도 25, 도 26a~도 26c 및 도 27에 나타내는 바와 같이, 종래에 관련된 표시 장치용 박막 반도체 장치(9)는, 화소의 행방향(가로 방향)을 따라 형성된 게이트 배선(921)과, 화소의 열방향(세로 방향)을 따라 형성된 소스 배선(922)과, 게이트 배선(921)과 소스 배선(922)이 교차하는 개소에 설치된 박막 트랜지스터(910)를 구비한다.
- [0008] 도 26a에 나타내는 바와 같이, 박막 트랜지스터(910)는, 보텀 게이트형의 박막 트랜지스터로서, 기판(900) 상에 순차적으로 형성된, 게이트 전극(910G), 게이트 절연막(930), 반도체층(911)(채널층), 및, 소스 전극(910S) 및 드레인 전극(910D)으로 이루어지는 적층 구조체이다.
- [0009] 도 25 및 도 26a에 나타내는 바와 같이, 게이트 전극(910G)은, 게이트 배선(921)으로부터 연장되어, 게이트 배선(921)과 동일층의 제1 금속층(ML1')에 형성된다. 게이트 절연막(930)은, 게이트 배선(921) 및 게이트 전극(910G)을 덮도록 하여 기판(900) 상에 형성된다. 반도체층(911)은, 게이트 전극(910G)과 중첩하도록 게이트 절연막(930) 상에 섬 형상으로 형성된다. 소스 전극(910S) 및 드레인 전극(910D)은, 반도체층(911)의 일부에 중첩하도록 형성되어 있으며, 또, 서로 대향하도록 이간하여 배치된다. 소스 전극(910S) 및 드레인 전극(910D)은, 소스 배선(922)과 동일층의 제2 금속층(ML2')에 형성된다. 또한, 박막 트랜지스터(910), 게이트 배선(921) 및 소스 배선(922)을 덮도록 하여, 층간 절연막(940)이 적층되어 있다.
- [0010] 여기서, 보텀 게이트형의 박막 트랜지스터(910)에 있어서, 반도체층(911)을, 게이트 전극(910G) 상에 비정질 실리콘을 형성하고, 이것을 레이저 어닐에 의해 결정화시킴으로써 형성하는 경우, 비정질 실리콘의 용융 시에 레이저 어닐의 열이 게이트 전극(910G)을 타고 방산된다. 따라서, 게이트 전극(910G)은, 레이저 어닐의 열의 방산을 억제하기 위해서, 열전도율이 작은 재료로 구성하는 것이 바람직하다.
- [0011] 한편, 게이트 배선(921)에 대해서는, 배선 저항이 높으면, 신호가 지연되거나 전압 강하에 의해 표시 장치의 발광 휘도에 불균일이 발생한다. 특히, 표시 장치의 패널 면적이 대형화되어 구동 주파수가 증대화되면, 배선 저항의 영향이 커진다. 따라서, 게이트 배선(921)은, 저항율(비저항)이 낮은 재료로 구성하는 것이 바람직하다.
- [0012] 게이트 전극(910G) 및 게이트 배선(921)은, 상기 서술한 대로, 동일한 층에 형성되므로, 동일한 재료로 구성되는 경우가 많다. 따라서, 상기의 반도체층(911)의 결정화의 관점에서 게이트 전극(910G)을 열전도율이 작은 재료로 구성하면, 게이트 배선(921)도 동일한 열전도가 작은 재료로 구성하게 된다. 한편, 게이트 배선(921)의 배선 저항의 관점에서 게이트 배선(921)을 저항율이 낮은 재료로 구성하면, 게이트 전극(910G)도 동일한 저항율이 낮은 재료로 구성하게 된다.
- [0013] 그러나, 열전도율이 작은 금속 재료는 저항율이 높은 물질이 대부분이며, 반도체층(911)의 결정화의 관점과 게이트 배선(921)의 배선 저항의 관점의 양쪽을 동시에 만족하는 것이 어렵다.

[0014] 그래서, 종래, 양쪽의 관점을 동시에 만족하는 표시 장치용 박막 반도체 장치가 제안되고 있다(특허 문헌 2 참조). 특허 문헌 2에는, 게이트 전극의 열전도성과 게이트 배선의 저저항화를 양립시키는 것을 목적으로 하여, 게이트 배선을 2개의 부분으로 나눈 구성으로 하는 것이 개시되어 있다.

[0015] 즉, 특허 문헌 2에 관련된 표시 장치용 박막 반도체 장치에서는, 게이트 배선이, 게이트 전극과 일체적으로 형성된 일체부와, 당해 일체부와 콘택트 홀을 통하여 접속된 별체부로 구성된다. 또, 게이트 배선의 일체부와 소스 배선은, 게이트 절연막을 사이에 두고 입체 교차시킨 구조로 되어 있다. 그리고, 게이트 전극과 게이트 배선의 일체부에 대해서는, 게이트 배선의 별체부보다도 낮은 열전도율을 가지는 재료를 이용한다. 한편, 게이트 배선의 별체부에 대해서는, 게이트 전극보다도 낮은 저항율을 가지는 재료를 이용한다.

선행기술문헌

특허문헌

[0016] (특허문헌 0001) 특허 문헌 1: 일본국 공개 특허 평07-235490호 공보
 (특허문헌 0002) 특허 문헌 2: 일본국 공개 특허 2007-047808호 공보

발명의 내용

해결하려는 과제

[0017] 그러나, 특허 문헌 2에 개시된 표시 장치용 박막 반도체 장치에 있어서, 게이트 전극과 게이트 배선의 일체부가 동일한 재료로 구성되므로, 게이트 전극을 열전도율이 낮은 재료로 구성하면, 게이트 배선의 일체부는 저항율이 높아져 고저항화되어 버린다. 이 결과, 게이트 배선의 배선 저항을 충분히 저감할 수 없어, 표시 장치의 발광 휘도에 불균일이 발생한다는 문제가 있다.

[0018] 또, 게이트 배선에서의 일체부와 별체부가, 화소마다 콘택트 홀을 통하여 접속되어 있으므로, 일체부와 별체부의 접속 부분에 있어서 IR드롭(배선 상에 발생하는 전류 I와 저항 R의 곱에 의한 전압 강하)이 발생한다는 문제도 있다. 게다가, 1라인의 게이트 배선이, 일체부와 별체부가 교호로 접속된 구조이기 때문에, 일체부와 별체부의 접속 부분 중 한 개소라도 접속 불량이면, 게이트 배선에 따른 1라인 모든 화소가 불량되어 버린다는 문제도 있다.

[0019] 또, 게이트 전극과 드레인 전극 사이의 간격은, 게이트 절연막의 막두께에 의해 규정된다. 게이트 절연막의 막두께는, 예를 들면 200nm 정도이다. 게이트 전극과 동일층에 설치된 게이트 배선으로부터 게이트 전극을 연장하고, 드레인 전극과 동일층에 설치된 전원 배선으로부터 상기 드레인 전극을 연장하면, 게이트 배선과 드레인 배선 사이의 간격도, 게이트 전극과 드레인 전극 사이의 간격과 마찬가지로, 게이트 절연막의 막두께인 200nm 정도가 된다. 이 경우, 게이트 배선과 전원 배선이 교차하는 영역에서는, 게이트 배선과 드레인 배선의 간격이 좁기 때문에, 게이트 배선과 전원 배선 사이의 기생 용량이 커진다는 문제가 있다. 이 기생 용량에 의해, 표시 장치의 발광 휘도에 불균일이 발생할 우려가 있다. 또, 기생 용량을 작게 하기 위해서, 게이트 절연막의 막두께를 두껍게 한다고 해도, 박막 반도체 장치로서의 성능을 보장하기 위해 한계가 있어, 그렇게 두껍게 할 수 없다.

[0020] 또한, 예를 들면 EL 표시 장치의 경우, 각 화소에 있어서, 발광층을 가지는 EL 부에 전원 공급하기 위한 EL 보조 전원선이 EL 부에 설치되므로, EL 전원선이 표시 장치의 패널의 개구율을 저하시켜, 결과, EL 표시 장치의 수명을 충분히 얻을 수 없다는 문제가 발생한다.

[0021] 또, 복수의 화소의 전원 배선이 화소마다 설치되어 있으므로, 박막 트랜지스터의 배치 스페이스가 배선 스페이스에 의해 제한되게 된다.

[0022] 본 발명은 상기 과제를 해결하는 것이며, 발광 휘도에 불균일이 발생하지 않고, 수명을 향상시킬 수 있으며, 박막 트랜지스터의 배치 영역이 배선 스페이스에 의해 제한되지 않는 EL 표시 패널을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0023] 본 발명의 한 형태에 관련된 EL 표시 패널은, EL 부와, 상기 EL 부의 발광을 제어하는 박막 반도체부를 구비하는 EL 표시 패널로서, 상기 EL 부는, 양극 전극과, 음극 전극과, 상기 양극 전극과 상기 음극 전극 사이에 개재하는 발광층을 포함하고, 상기 박막 반도체부는, 기판과, 기판 상에 형성된 게이트 전극과, 상기 게이트 전극을 덮으며 상기 기판 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상이며 상기 게이트 전극의 윗쪽에 형성된 반도체층과, 상기 반도체층의 윗쪽에 형성된 제1 전극과, 상기 제1 전극과 동일층에 형성된 제2 전극과, 상기 제1 전극 및 상기 제2 전극을 덮으며 상기 게이트 절연막의 윗쪽에 형성되고, 상기 게이트 전극이 형성된 층과는 상이한 층인 층간 절연막과, 상기 층간 절연막 상에 배치된 게이트 배선과, 상기 게이트 배선이 형성된 상기 층간 절연막 상에, 상기 게이트 배선과 동일층이며, 또한, 상기 게이트 배선과 병행하여 배치된 전원 배선과, 상기 층간 절연막 상에 상기 게이트 배선 및 상기 전원 배선과 동일층이며, 또한, 상기 게이트 배선 및 상기 전원 배선과 병행하여 배치된 보조 배선을 구비하고, 상기 게이트 전극과 상기 게이트 배선은, 상기 게이트 절연막 및 상기 층간 절연막을 관통하도록 설치된 제1 도전부를 통하여 전기적으로 접속되고, 상기 제1 전극 및 상기 제2 전극 중 어느 한쪽과 상기 전원 배선은, 상기 층간 절연막을 관통하도록 설치된 제2 도전부를 통하여 전기적으로 접속되며, 상기 보조 배선은, 상기 음극 전극과 전기적으로 접속된다.

발명의 효과

[0024] 본 발명에 관련된 EL 표시 패널에 의하면, 게이트 배선과 게이트 전극을 상이한 층으로 구성할 수 있으므로, 각각에 적합한 재료를 선택하여, 배선 저항을 저감시켜 EL 표시 패널의 발광 휘도를 향상시킬 수 있다.

[0025] 또, TFT 전원선으로서의 전원 배선이 게이트 배선과 동일층에 형성되므로, 전원 배선과 게이트 배선 사이에 발생했던 기생 용량을 저감시킬 수 있다. 또, EL 전원선으로서의 보조 배선이 게이트 배선과 동일층에 형성되기 때문에, EL 부에 보조 배선을 설치할 필요가 없으므로, EL 표시 패널의 개구율을 향상시켜, 수명을 향상시킬 수 있다.

[0026] 또한, 전원 배선 및 보조 배선이, 게이트 배선과 동일층에 형성되고 함께 게이트 배선과 병행하여 배치되어 있으므로, 층간 절연막 상의 게이트 배선에 의해 발생하는 요철을 전원 배선 및 보조 배선에 의해 감소시킬 수 있다. 이것에 의해, 평탄도를 향상시켜 EL 표시 패널의 수명을 향상시킬 수 있다.

[0027] 또한, 복수의 화소의 전원 배선을 공통으로 설치하고 있으므로 화소마다 설치되어 있던 전원 배선의 배치 스페이스를 삭감할 수 있다. 따라서, 박막 트랜지스터의 배치 스페이스가 배선 스페이스에 의해 제한되지 않는 EL 표시 패널을 제공할 수 있다.

도면의 간단한 설명

- [0028] 도 1은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널의 일부 절결 사시도이다.
- 도 2는, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 어레이 장치의 마더 기판을 나타낸 도이다.
- 도 3은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 한 화소의 회로 구성도이다.
- 도 4는, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 한 화소의 일부를 모식적으로 나타낸 화소 구성의 단면도이다.
- 도 5는, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 어레이 장치의 평면도이다.
- 도 6은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 어레이 장치(일부 투과)의 평면도이다.
- 도 7은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 어레이 장치(일부 투과)의 평면도이다.
- 도 8은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치의 평면도이다.
- 도 9는, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치(일부 투과)의 평면도이다.
- 도 10은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치(일부 투과)의

평면도이다.

도 11은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치의 단면도이다(도 8의 X1-X1' 선 단면도).

도 12는, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치의 단면도이다(도 8의 X2-X2' 선 단면도).

도 13은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치의 단면도이다(도 8의 X3-X3' 선 단면도).

도 14는, 도 9의 표시 장치용 박막 반도체 장치의 사시도이다.

도 15는, 도 9의 표시 장치용 박막 반도체 장치의 사시도이다.

도 16a는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 16b는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 16c는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 16d는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 16e는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 16f는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 16g는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 16h는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 16i는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 16j는, 제1 실시 형태에 관련된 EL 표시 패널의 제조 공정을 나타낸 단면도이다.

도 17은, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 장치에서의 박막 트랜지스터의 TFT 특성을 설명하기 위한 도이다.

도 18은, 본 발명의 제1 실시 형태의 변형예에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치의 단면도이다.

도 19는, 본 발명의 제2 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치의 평면도이다.

도 20은, 본 발명의 제2 실시 형태에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치의 단면도이다(도 19의 X2-X2' 선 단면도).

도 21은, 본 발명의 제2 실시 형태에 관련된 표시 장치용 박막 반도체 장치에서의 박막 트랜지스터의 TFT 특성을 설명하기 위한 도이다.

도 22는, 본 발명의 제2 실시 형태의 변형예에 관련된 EL 표시 패널에서의 표시 장치용 박막 반도체 장치의 단면도이다.

도 23a는, 본 발명에 관련된 EL 표시 패널의 일례를 나타낸 단면 사시도이다.

도 23b는, 본 발명에 관련된 EL 표시 패널의 다른 예를 나타낸 단면 사시도이다.

도 24는, 본 발명에 관련된 EL 표시 장치의 일례를 나타낸 외관 사시도이다.

도 25는, 표시 장치의 하나의 화소에서의 종래에 관련된 표시 장치용 박막 반도체 장치의 평면도이다.

도 26a는, 종래에 관련된 표시 장치용 박막 반도체 장치의 단면도이다(도 25의 X1-X1' 선 단면도).

도 26b는, 종래에 관련된 표시 장치용 박막 반도체 장치의 단면도이다(도 25의 X2-X2' 선 단면도).

도 26c는, 종래에 관련된 표시 장치용 박막 반도체 장치의 단면도이다(도 25의 Y-Y' 선 단면도).

도 27은, 도 25의 X1-X1'의 단면으로부터 보았을 때에서의 종래에 관련된 표시 장치용 박막 반도체 장치의 주

요 부분을 나타낸 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명에 관련된 EL 표시 패널의 한 형태는, EL 부와, 상기 EL 부의 발광을 제어하는 박막 반도체부를 구비하는 EL 표시 패널로서, 상기 EL 부는, 양극 전극과, 음극 전극과, 상기 양극 전극과 상기 음극 전극 사이에 개재하는 발광층을 포함하고, 상기 박막 반도체부는, 기판과, 기판 상에 형성된 게이트 전극과, 상기 게이트 전극을 덮으며 상기 기판 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상이며 상기 게이트 전극의 윗쪽에 형성된 반도체층과, 상기 반도체층의 윗쪽에 형성된 제1 전극과, 상기 제1 전극과 동일층에 형성된 제2 전극과, 상기 제1 전극 및 상기 제2 전극을 덮으며 상기 게이트 절연막의 윗쪽에 형성되고, 상기 게이트 전극이 형성된 층과는 상이한 층인 층간 절연막과, 상기 층간 절연막 상에 배치된 게이트 배선과, 상기 게이트 배선이 형성된 상기 층간 절연막 상에, 상기 게이트 배선과 동일층이며, 또한, 상기 게이트 배선과 병행하여 배치된 전원 배선과, 상기 층간 절연막 상에 상기 게이트 배선 및 상기 전원 배선과 동일층이며, 또한, 상기 게이트 배선 및 상기 전원 배선과 병행하여 배치된 보조 배선을 구비하고, 상기 게이트 전극과 상기 게이트 배선은, 상기 게이트 절연막 및 상기 층간 절연막을 관통하도록 설치된 제1 도전부를 통하여 전기적으로 접속되고, 상기 제1 전극 및 상기 제2 전극 중 어느 한쪽과 상기 전원 배선은, 상기 층간 절연막을 관통하도록 설치된 제2 도전부를 통하여 전기적으로 접속되며, 상기 보조 배선은, 상기 음극 전극과 전기적으로 접속된다.
- [0030] 본 양태에 의하면, 게이트 배선 및 전원 배선은, EL 표시 패널에서의 박막 반도체부의 특성에 영향을 주는 게이트 절연막을 개재시켜 배치되는 것이 아니라, 박막 반도체부의 특성에 영향을 주지 않는 층간 절연막 상에 배치된다. 그 때문에, 게이트 절연막의 막두께를 두껍게 설계할 수 없는 것에 기인하여 게이트 배선과 전원 배선 사이의 기생 용량이 발생하는 것을 방지할 수 있다.
- [0031] 게다가, 게이트 배선 및 전원 배선은, 각각 게이트 전극 및 제1 전극 및 제2 전극과는 상이한 층에 배치되므로, 게이트 배선과 전원 배선을 층간 절연막 상에서 평행하게 배치하는 것이 가능해진다. 그 때문에, 게이트 배선 및 전원 배선은, 동일층인 층간 절연막 상에 배치된다. 따라서, 게이트 배선과 전원 배선의 크로스 포인트는 발생하지 않는다. 그 결과, 게이트 배선과 전원 배선이 교차하는 영역이 있는 것에 기인하는 기생 용량의 발생을 완전하게 방지할 수 있다.
- [0032] 또한, 본 양태에 의하면, EL 표시 패널의 대화면화에 수반하여 표시 화면의 중앙 영역에서 발생하는 전압 강하를 방지하기 위한 보조 배선(EL 전원선)을, EL 부가 아닌, 박막 반도체부에 설치하고 있다. 게다가, 이 보조 배선을, 박막 반도체의 상부인 층간 절연막의 상면에, 게이트 배선 및 전원 배선과 함께 병행하여 배치하고 있다. 그 때문에, 게이트 배선 및 전원 배선의 배치에 이용하고 있는 기존층을 유효 활용하여, 보조 배선도 배치하게 된다. 그 결과, EL 부에 설치하고 있던 보조 배선을, 박막 반도체부의 기존층으로 옮김으로써, 박막 반도체부에 스페이스 상의 부담을 주는 일 없이, EL 부의 보조 배선을 배치하고 있던 스페이스를 개방할 수 있다. 따라서, 상기 EL 부의 설계의 자유도를 확대하여, EL 부에 포함되는 각 화소의 개구율을 증대할 수 있다.
- [0033] 또, 본 양태에 의하면, 전원 배선 및 보조 배선이, 게이트 배선과 동일층에 형성됨과 함께 게이트 배선과 병행하여 배치되어 있으므로, 층간 절연막 상의 게이트 배선에 의해 발생하는 요철을 전원 배선 및 보조 배선에 의해 감소시킬 수 있다. 이것에 의해, 평탄도를 향상시켜 EL 표시 패널의 수명을 향상시킬 수 있다.
- [0034] 또한, 본 양태에 의하면, 전원 배선을 층간 절연막 상에 공통으로 배치하고, 예를 들면, 적, 록, 청의 각각의 화소로는 공통의 전원 배선으로부터 전원 공급을 하면 되기 때문에, 예를 들면, 적, 록, 청의 각각의 화소마다 개별적으로 전원 배선을 배치할 필요가 없어져, 그 만큼, 예를 들면, 적, 록, 청의 각각의 화소마다의 전원 배선의 배치 스페이스를 삭감할 수 있다. 이것에 의해, 트랜지스터의 설계의 자유도를 확대하여, 트랜지스터의 배치 스페이스가 배선 스페이스에 의해 제한되지 않는 EL 표시 패널을 제공할 수 있다.
- [0035] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 전원 배선 및 상기 보조 배선은, 상기 게이트 배선과 동일 또는 소정의 근사값의 높이로 형성되어 있는 것이 바람직하다.
- [0036] 본 양태에 의하면, 층간 절연막 상의 게이트 배선에 의해 발생하는 요철을, 보다 감소시킬 수 있다. 이것에 의해, 평탄도를 보다 향상시켜 EL 표시 패널의 수명을 향상시킬 수 있다.
- [0037] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 전원 배선 및 상기 보조 배선은, 상기 게이트 배선과, 상기 게이트 배선과 병행하여 상기 게이트 배선에 인접하는 다른 게이트 배선 사이에 배치되고, 상기 전원 배선 및 상기 보조 배선의 쌍방을 조합한 폭은, 상기 게이트 배선과, 상기 게이트 배선과 병행하여 배치된

상기 게이트 배선에 인접하는 다른 게이트 배선 사이의 폭에 대응하며, 인접하는 2개의 상기 게이트 배선 간을 매우도록 하여, 인접하는 2개의 상기 게이트 배선과 근접하여 배치되는 것이 바람직하다.

- [0038] 게이트 배선만이 층간 절연막 상에 형성되는 경우, 박막 반도체부의 상면이 게이트 배선의 막두께분 정도, 게이트 배선이 형성되어 있지 않은 영역보다도 돌출되게 된다.
- [0039] 한편, 본 양태에 의하면, 박막 반도체부의 상면을 평탄화하기 위해서, 전원 배선 및 보조 배선을 이용하여, 전원 배선과 보조 배선의 쌍방을 조합한 폭이, 게이트 배선과, 게이트 배선과 평행이며 게이트 배선에 인접하는 다른 게이트 배선 사이의 폭에 대응하고 있기 때문에, 이 박막 반도체부 상에 EL 소자를 가지는 EL 부를 배치하고, EL 표시 패널을 구성하는 경우, EL 부는, 그 하층이 되는 박막 반도체부의 상면의 요철의 영향을 받기 어려워진다. 그 결과, 기존 재료인 전원 배선 및 보조 배선을 이용하여 간이한 구성으로 평탄성을 확보하여, 평탄성이 불충분한 것에 기인하는 수명 저하를 용이하게 방지할 수 있다.
- [0040] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 게이트 배선과 상기 전원 배선, 상기 전원 배선과 상기 보조 배선, 상기 보조 배선과 상기 게이트 배선의 거리는, 각각 4 μ m 이상인 것이 바람직하다.
- [0041] 본 양태에 의하면, 게이트 배선, 전원 배선 및 보조 배선을 서로 영향을 주는 일 없이 배치하여, 박막 반도체부의 평탄성을 향상시킬 수 있다.
- [0042] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 전원 배선 및 상기 보조 배선의 적어도 어느 하나는, 상기 게이트 배선의 폭보다 넓은 폭을 가지는 것이 바람직하다.
- [0043] 본 양태에 의하면, 전원 배선을 폭이 넓은 배선으로 함으로써, 전원 배선을 이용하여 박막 반도체부의 상면을 평탄화할 수 있다. 예를 들면, 이 박막 반도체부 상에 EL 소자를 가지는 EL 부를 배치하고, EL 표시 패널을 구성하는 경우, EL 부는, 그 하층이 되는 박막 반도체부의 상면의 요철의 영향을 받는다. 전원 배선을 폭이 넓은 배선으로 함으로써, 기존 재료인 전원 배선을 이용하여 간이한 구성으로 평탄성을 확보하여, 평탄성이 불충분한 것에 기인하는 수명 저하를 용이하게 방지할 수 있다.
- [0044] 또, 전원 배선을 폭이 넓은 대략 평판 형상의 배선으로 함으로써, 전원 배선을 저저항인 배선으로 할 수 있다. 그 때문에, 배선 저항이 낮은 전원 배선으로부터, 제1 전극 또는 제2 전극에 대해 직접, 전원 공급이 이루어지게 되므로, EL 표시 패널을 대면화하는데 수반하여 표시 영역의 중앙 영역에서 발생하는 전압 드롭(IR드롭)에 대해, 그 드롭량을 큰 폭으로 저감시킬 수 있다.
- [0045] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 반도체층은 p채널형이며, 상기 전원 배선은 상기 반도체층과 겹치도록 형성되는 것이 바람직하다.
- [0046] 박막 반도체부의 채널 영역에 있어서 반도체층 표면과 층간 절연막 표면에는, 제조 시에서의 격자 결함이 존재한다. 이 격자 결함이 발생하면 불안정한 계면 순위가 발생하여, 채널 영역의 백 채널의 전위를 불안정하게 하는 것이 된다.
- [0047] 본 양태에 의하면, 반도체층이 p채널형의 박막 반도체부의 채널 영역의 윗쪽에서, 정전위(正電位)의 전원 배선 또는 보조 배선에 의해 층간 절연막 상을 덮는 구성이다. 이것에 의해, 백 채널의 전위를 안정되게 할 수 있다. 그 결과, 박막 반도체부의 오프 리크를 억제하는 것을 실현할 수 있기 때문에, 오프 특성이 우수한 박막 반도체부를 가지는 EL 표시 패널을 실현할 수 있다.
- [0048] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 반도체층은 n채널형이며, 상기 전원 배선 및 상기 보조 배선은, 상기 반도체층과 겹치지 않도록 형성되는 것이 바람직하다.
- [0049] 반도체층이 n채널형의 박막 반도체부의 채널 영역의 윗쪽에서, 정전위의 전원 배선 및 보조 배선의 적어도 어느 한쪽이 층간 절연막 상을 덮은 경우, 채널 영역의 백 채널에는 음의 캐리어가 유기(誘起)되기 때문에, 음의 캐리어에 의해 전류가 발생하게 된다. 이와 같이 하여 발생한 캐리어에 의해, 전류는 박막 반도체부의 오프 리크 전류가 된다. 따라서, 게이트 전압을 인가하지 않아도 전류가 발생하게 되기 때문에 박막 반도체부의 오프 특성을 저하시키게 된다.
- [0050] 본 양태에 의하면, 보조 배선에 의해 n채널형 TFT의 백 채널에 캐리어가 유기되지 않게 되도록 할 수 있다. 그 결과, 박막 반도체부의 오프 리크를 억제하는 것을 실현할 수 있기 때문에, 오프 특성이 우수한 박막 반도체부를 가지는 EL 표시 패널을 실현할 수 있다.
- [0051] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 제1 전극은 소스 전극이며, 상기 제2 전극은 드

레인 전극인 것이 바람직하다.

- [0052] 본 양태에 의하면, 제1 전극은 소스 전극이며, 제2 전극은 드레인 전극으로 할 수 있다.
- [0053] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 제1 전극은 드레인 전극이며, 상기 제2 전극은 소스 전극인 것이 바람직하다.
- [0054] 본 양태에 의하면, 제1 전극은 드레인 전극이며, 제2 전극은 소스 전극으로 할 수 있다.
- [0055] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 반도체층은, 다결정성 반도체층을 포함하는 것이 바람직하다.
- [0056] 본 양태에 의하면, 다결정성 반도체층에 의해 캐리어의 이동도를 높게 할 수 있다. 이것에 의해, 온 특성이 우수한 박막 트랜지스터를 가지는 EL 표시 패널을 실현할 수 있다.
- [0057] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 전원 배선 및 상기 보조 배선을 구성하는 재료는, Al, Cu, Ag 중 어느 하나를 포함하는 것이 바람직하다.
- [0058] 본 양태에 의하면, 전원 배선 및 보조 배선은, 배선용 재료 중에서도 저항율이 작은 Al, Cu, Ag를 포함하는 재료로 구성할 수 있게 되기 때문에, 전원 배선 및 보조 배선의 전기 저항을 한층 작게 할 수 있게 된다.
- [0059] 또, 본 발명에 관련된 EL 표시 패널의 한 형태에 있어서, 상기 EL 부는, 상기 발광층으로서 유기 발광층을 구비한 유기 EL 부인 것이 바람직하다.
- [0060] 본 양태에 의하면, 표시 성능이 우수한 EL 표시 패널을 실현할 수 있다.
- [0061] 또, 본 발명에 관련된 EL 표시 장치의 한 형태는, 상기한 특징을 구비하는 EL 표시 패널을 구비하고 있다.
- [0062] 본 양태에 의하면, 상기 특징을 가지는 EL 표시 장치를 실현할 수 있다.
- [0063] 또, 본 발명의 한 형태에 관련된 EL 표시 패널의 제조 방법은, 기판을 준비하는 제1 공정과, 상기 기판 상에 게이트 전극을 형성하는 제2 공정과, 상기 게이트 전극을 덮으며 상기 기판 상에 게이트 절연막을 형성하는 제3 공정과, 상기 게이트 절연막 상이며 상기 게이트 전극의 윗쪽에 반도체층을 형성하는 제4 공정과, 상기 반도체층의 윗쪽에 제1 전극을 형성함과 함께, 제1 전극과 전기적으로 접속되는 소스 배선 및 제2 전극을 형성하는 제5 공정과, 상기 제1 전극 및 상기 제2 전극을 덮으며 상기 게이트 절연막의 윗쪽에 제1 층간 절연막을 형성하는 제6 공정과, 상기 게이트 절연막 및 상기 제1 층간 절연막을 관통하는 제1 콘택트 홀을 형성하는 제7 공정과, 상기 게이트 전극의 윗쪽에 존재하는 상기 제1 층간 절연막을 관통하여 상기 제1 콘택트 홀과는 상이한 제2 콘택트 홀을 형성하는 제8 공정과, 상기 제1 층간 절연막 상에 금속막을 성막하여 패터닝함으로써, 상기 제1 콘택트 홀을 통하여 상기 게이트 전극과 전기적으로 접속되는 게이트 배선과, 상기 게이트 배선과 병행이 되도록 상기 제2 콘택트 홀을 통하여 상기 제1 전극 또는 상기 제2 전극 중 어느 한쪽과 전기적으로 접속되는 상기 전원 배선과, 상기 게이트 배선 및 전원 배선과 병행이 되도록 음극 전극과 전기적으로 접속되는 보조 배선을 형성하는 제9 공정과, 상기 제1 층간 절연막, 상기 전원 배선, 및 상기 보조 배선의 상면을 덮도록 제2 층간 절연막을 형성하는 제10 공정과, 상기 제2 층간 절연막을 관통하는 제3 콘택트 홀을 형성하는 제11 공정과, 상기 제2 층간 절연막의 윗쪽에 1세트의 양극 전극과 음극 전극과, 상기 양극 전극과 음극 전극의 사이에 개재하는 발광층을 포함하는 EL 부를 형성하는 제12 공정을 포함하고, 상기 제12 공정에 있어서, 상기 제3 콘택트 홀을 통하여 상기 음극 전극과 상기 보조 배선을 전기적으로 접속한다.
- [0064] 본 양태에 의하면, 상기의 본 발명에 관련된 EL 표시 장치를 용이하게 제조할 수 있다.
- [0065] 또, 본 발명에 관련된 EL 표시 패널의 제조 방법의 한 형태에 있어서, 상기 제4 공정에서 형성하는 반도체층은 비결정성 반도체층이며, 상기 제4 공정과 상기 제5 공정 사이에, 상기 비결정성 반도체층의 윗쪽으로부터 소정의 레이저광을 조사하여, 상기 소정의 레이저 조사에 의해 상기 비결정성 반도체층의 온도를 소정의 온도 범위로 하여, 상기 비결정성 반도체층을 결정화하는 공정을 포함하는 것이 바람직하다.
- [0066] 본 양태에 의하면, 다결정성 반도체막을 포함하는 반도체층을 형성할 수 있다.
- [0067] 또, 본 발명에 관련된 EL 표시 패널의 제조 방법의 한 형태에 있어서, 상기 EL 부는, 상기 발광층을 유기 발광층으로 형성한 유기 EL 부인 것이 바람직하다.
- [0068] 본 양태에 의하면, 표시 성능이 우수한 EL 표시 패널을 제조할 수 있다.

- [0069] 이하, 도면을 참조하여 본 발명의 실시 형태를 상세하게 설명한다.
- [0070] (제1 실시 형태)
- [0071] 우선, 본 발명의 제1 실시 형태에 관련된 EL (ELectro Luminescence) 패널에 대해서, 도 1을 이용하여 설명한다. 도 1은, 본 발명의 제1 실시 형태에 관련된 유기 EL 표시 패널의 일부 절결 사시도이다.
- [0072] 도 1에 나타내는 바와 같이, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)은, 유기 EL 표시 패널(유기 EL 디스플레이)로서, 자발광형 표시 소자인 유기 EL 소자(10)와, 박막 트랜지스터 및 각종 배선 등이 형성된 액티브 매트릭스 기판으로 이루어지는 표시 장치용 박막 반도체 어레이 장치(20)를 구비하고 있다. 또한, 유기 EL 소자(10)가, 본 발명에서의 EL 부, 표시 장치용 박막 반도체 어레이 장치(20)가, 본 발명에서의 박막 반도체부에 상당한다.
- [0073] 유기 EL 소자(10)는, 표시 장치용 박막 반도체 어레이 장치(20) 상에 순차적으로 형성된, 하부 전극(12), 유기 EL 층(13) 및 상부 전극(14)을 구비하고 있다. 유기 EL 층(13)은, 전자 수송층, 발광층, 정공 수송층 등이 적층된 구성이다.
- [0074] 표시 장치용 박막 반도체 어레이 장치(20)는, 복수의 화소(100)가 매트릭스 형상(행렬 형상)으로 배치된 화소(100)를 구비하고, 각 화소(100)에는 박막 트랜지스터(도시하지 않음)를 포함하는 화소 회로(30)가 설치되어 있다. 또, 표시 장치용 박막 반도체 어레이 장치(20)는, 매트릭스 형상으로 배치된 게이트 배선(21) 및 소스 배선(22)을 구비하고 있다. 게이트 배선(21)은 행방향(가로 방향)으로 복수개 배열되어 있으며, 소스 배선(22)은 열방향(세로 방향)으로 복수개 배열되어 있다. 또, 게이트 배선(21)과 소스 배선(22)은 직교하도록 배치되어 있으며, 각각 각 화소 회로(30)와 제어 회로(도시하지 않음)를 접속하고 있다.
- [0075] 각 화소 회로(30)에는, 화소(100)를 선택하기 위한 스위칭 소자 및 유기 EL 소자(10)를 구동하기 위한 구동 소자로서, 적어도 2개의 박막 트랜지스터가 설치되어 있다.
- [0076] 또한, 도 1에서는 도시하지 않지만, 표시 장치용 박막 반도체 어레이 장치(20)는, 행방향으로 배열된 복수의 전원 배선(23)을 구비하고 있다. 복수의 전원 배선(23)은, 각 화소(100)의 구동 소자로서의 박막 트랜지스터에 접속되어 있다. 전원 배선(23)에 대해서는 후에 상세하게 설명한다.
- [0077] 이와 같이, 본 실시 형태에 관련된 유기 EL 표시 패널(1)에서는, 게이트 배선(21)과 소스 배선(22)으로 구획된 화소(100)마다 표시 제어를 행하는 액티브 매트릭스가 채용되어 있다.
- [0078] 다음에, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 어레이 장치의 일례에 대해서 도 2를 이용하여 설명한다. 도 2는, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 어레이 장치의 마더 기판을 나타낸 것이다.
- [0079] 도 2에 나타내는 바와 같이, 마더 기판은, 2개의 표시부(200)를 포함하고, 이 마더 기판을 2개로 절단함으로써, 2개의 표시 장치용 박막 반도체 어레이 장치(20)를 얻을 수 있다. 각 표시부(200)은, 상기 서술한 대로, 화소(100)가 매트릭스 형상(행렬 형상)으로 배치된 구성이다. 또한, 도 2에서는, 화소(100)는 화소(100)의 모서리부만의 화소를 도시하고 있다. 또, 도 2에 있어서, 마더 기판은, 2개의 표시부(200)를 포함한다고 했지만, 마더 기판은, 2개 이상의 복수의 표시부(200)를 포함하고 있어도 되며, 또, 1개뿐이어도 된다.
- [0080] 다음에, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에서의 화소의 회로 구성에 대해서 도 3을 이용하여 설명한다. 도 3은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)에서의 한 화소의 회로 구성도이다. 또, 이하, 및 도 3~도 18에 나타낸 제1 실시 형태에서는, 제1 박막 트랜지스터, 제2 박막 트랜지스터가 p채널형인 TFT에 대해서 설명한다.
- [0081] 도 3에 나타내는 바와 같이, 각 화소(100)는, 제1 박막 트랜지스터(310), 제2 박막 트랜지스터(320) 및 콘덴서(300C)를 포함하는 화소 회로(30)와, 유기 EL 소자(10)를 구비한다. 제1 박막 트랜지스터(310)는, 화소(100)를 선택하기 위한 선택 트랜지스터(스위칭 트랜지스터)이며, 제2 박막 트랜지스터(320)는, 유기 EL 소자(10)를 구동하기 위한 구동 트랜지스터이다.
- [0082] 제1 박막 트랜지스터(310)는, 제1 소스 전극(310S), 제1 드레인 전극(310D) 및 제1 게이트 전극(310G)을 가진다. 제1 소스 전극(310S)은 소스 배선(22)에 접속되고, 제1 게이트 전극(310G)는 게이트 배선(21)에 접속된다. 또, 제1 드레인 전극(310D)은, 콘덴서(300C)(커패시터) 및 제2 박막 트랜지스터(320)의 제2 게이트 전극(320G)에 접속된다. 제1 박막 트랜지스터(310)는, 게이트 배선(21) 및 소스 배선(22)에 전압이 인가되면, 소스

배선(22)에 인가된 전압값을 표시 데이터로서 콘덴서(300C)에 보존한다.

- [0083] 제2 박막 트랜지스터(320)는, 제2 소스 전극(320S), 제2 드레인 전극(320D) 및 제2 게이트 전극(320G)을 가진다. 제2 드레인 전극(320D)은, 유기 EL 소자(10)의 양극(애노드)에 접속되고, 제2 소스 전극(320S)은, 전원 배선(23)에 접속되어 있다. 또, 제2 게이트 전극(320G)은, 제1 박막 트랜지스터(310)의 제1 드레인 전극(310D)에 접속되어 있다. 제2 박막 트랜지스터(320)는, 콘덴서(300C)가 유지하고 있는 전압값에 대응하는 전류를, 전원 배선(23)으로부터 제2 소스 전극(320S), 제2 드레인 전극(320D)을 통해서 유기 EL 소자(10)의 하부 전극(12)에 공급한다.
- [0084] 이와 같이 구성되는 화소(100)에 있어서, 게이트 배선(21)에 게이트 신호가 입력되고, 제1 박막 트랜지스터(310)를 온 상태로 하면, 소스 배선(22)을 통하여 공급된 신호 전압이 콘덴서(300C)에 기록된다. 그리고, 콘덴서(300C)에 기록된 유지 전압은, 1프레임 기간을 통해서 유지된다. 이 유지 전압에 의해, 제2 박막 트랜지스터(320)의 컨덕턴스가 아날로그적으로 변화되어, 발광 계조에 대응한 구동 전류가, 유기 EL 소자(10)의 양극인 하부 전극(12)으로부터 음극인 상부 전극(14)으로 흐른다. 이것에 의해, 유기 EL 소자(10)가 발광하여, 화상으로서 표시된다.
- [0085] 다음에, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)에서의 화소의 구성에 대해서 도 4를 이용하여 설명한다. 도 4는, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)에서의 한 화소의 일부를 모식적으로 나타낸 화소 구성의 단면도이다.
- [0086] 도 4에 나타내는 바와 같이, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)에서의 각 화소는, 스위칭 트랜지스터인 제1 박막 트랜지스터(310)와, 유기 EL 소자(10)를 구동하기 위한 구동 트랜지스터인 제2 박막 트랜지스터(320)를 구비하고 있다. 상기 서술한 대로, 제1 박막 트랜지스터(310)는, 제1 소스 전극(310S), 제1 드레인 전극(310D) 및 제1 게이트 전극(310G)을 가진다. 또, 제2 박막 트랜지스터(320)는, 제2 소스 전극(320S), 제2 드레인 전극(320D) 및 제2 게이트 전극(320G)을 가진다.
- [0087] 도 4에 나타내는 바와 같이, 각 화소에 있어서, 기관(300) 상에, 제1 게이트 전극(310G) 및 제2 게이트 전극(320G)이 형성되어 있다. 또, 제1 게이트 전극(310G) 및 제2 게이트 전극(320G)을 덮도록 하여, 게이트 절연막(330)이 형성되어 있다.
- [0088] 제1 게이트 전극(310G)의 윗쪽이며 게이트 절연막(330) 상에는, 제1 반도체층(311)이 형성되어 있다. 또, 제2 게이트 전극(320G)의 윗쪽이며 게이트 절연막(330) 상에는, 제2 반도체층(321)이 형성되어 있다.
- [0089] 제1 소스 전극(310S) 및 제1 드레인 전극(310D)은, 제1 반도체층(311)의 일부를 덮도록 하여, 서로 대향하도록 이간하여 배치되어 있다. 또, 제2 드레인 전극(320D) 및 제2 소스 전극(320S)은, 제2 반도체층(321)의 일부를 덮도록 하여, 서로 대향하도록 이간하여 배치되어 있다.
- [0090] 제1 박막 트랜지스터(310)의 제1 소스 전극(310S)은, 소스 배선(22)과 전기적으로 접속되어 있다.
- [0091] 또한, 제1 박막 트랜지스터(310) 및 제2 박막 트랜지스터(320)를 덮도록 하여, 제1 층간 절연막(340)(하부 층간 절연막)이 형성되어 있다.
- [0092] 제1 층간 절연막(340) 상에는, 전원 배선(23)이 형성되어 있다. 전원 배선(23)은, 제1 층간 절연막(340)에 형성된 콘택트 홀을 통하여, 제2 소스 전극(320S)과 전기적으로 접속되어 있다.
- [0093] 또, 전원 배선(23)을 덮도록 하여, 제1 층간 절연막(340) 상에 제2 층간 절연막(350)(상부 층간 절연막)이 형성되어 있다.
- [0094] 제2 층간 절연막(350) 상에는, 하부 전극(12), 유기 EL 층(13) 및 상부 전극(14)이 순차적으로 적층된 유기 EL 소자(10)가 형성되어 있다. 제2 층간 절연막(350) 상에는, 인접하는 화소와의 경계 부분에 뱅크(15)가 형성되어 있다. 인접하는 뱅크(15)에 의해 구성되는 개구에, 하부 전극(12) 및 유기 EL 층(13)이 형성되어 있다.
- [0095] 하부 전극(12)은, 화소 단위로 배치된 양극(애노드)이며, 제2 층간 절연막(350) 상에 형성되어 있다. 하부 전극(12)은, 제1 층간 절연막(340) 및 제2 층간 절연막(350)을 관통하는 콘택트 홀을 통하여, 제2 박막 트랜지스터의 제2 드레인 전극(320D)과 전기적으로 접속되어 있다.
- [0096] 유기 EL 층(13)(유기 발광층)은, 색(서브 화소열) 단위 또는 서브 화소 단위로 형성되어 있으며, 소정의 유기 발광 재료로 구성되어 있다.

- [0097] 상부 전극(14)은, 유기 EL 층(13)의 윗쪽에 배치되어, 복수의 화소를 사이에 두고 형성된 음극(캐소드)이며, ITO 등의 투명 전극에 의해 구성되어 있다. 본 실시 형태에 있어서, 상부 전극(14)은 모든 화소에 공통인 공통 전극이다.
- [0098] 이와 같이 구성되는 EL 표시 패널(1)에 있어서, 최하층의 박막 트랜지스터가 형성되는 층을 TFT층(TFT부)(L1)으로 하고, 최상층의 유기 EL 소자(10)가 형성되는 층을 유기 EL 층(유기 EL 부)(L3)으로 하며, TFT층(L1)과 유기 EL 층(L3) 사이의 층이며 각종 배선이 형성되는 층을 배선층(배선부)(L2)으로 한다.
- [0099] 배선층(L2)에는, 도 4에 나타내는 바와 같이, 예를 들면, 전원 배선(23), 보조 배선(25)(도 6 참조), 게이트 배선(21)(도 6 참조)이 형성되어 있다. 보조 배선(25)은, 유기 EL 소자(10)의 상부 전극(14)과 전기적으로 접속되어, EL 전원선으로서 상부 전극(14)에 소정의 전압을 인가하거나, 상부 전극(14)을 접지하는 기능을 가진다. 보조 배선(25)은, EL 표시 패널의 대화면화에 수반하여, EL 표시 패널(1)의 중앙 영역에서 발생하는 전압 강하를 방지하기 위해서 설치되어 있다. 또한, TFT층(L1) 및 배선층(L2)이 본 발명에서의 박막 반도체부, 유기 EL 층(L3)이 본 발명에서의 EL 부에 상당한다.
- [0100] 또, TFT층(L1)에 있어서, 제1 게이트 전극(310G) 및 제2 게이트 전극(320G)이 형성되는 층을 제1 금속층(ML1)으로 한다. 또, 제1 소스 전극(310S) 및 제1 드레인 전극(310D)과, 제2 소스 전극(320S) 및 제2 드레인 전극(320D)이 형성되는 층을 제2 금속층(ML2)로 한다. 따라서, 도 4에 나타내는 바와 같이, 본 실시 형태에 있어서, 소스 배선(22)은 제2 금속층(ML2)에 형성된다.
- [0101] 또, 배선층(L2)에 있어서, 게이트 배선(21)(도 6 참조), 전원 배선(23), 보조 배선(25)(도 6 참조)이 형성되는 층을 제3 금속층(ML3)으로 한다.
- [0102] 이들 제1 금속층(ML1)~ 제3 금속층(ML3)에 있어서, 동일한 금속층에 형성되는 전극 및 배선 등의 금속 부재는, 동일한 금속막을 패터닝함으로써 동시에 형성할 수 있다.
- [0103] 다음에, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)에 대해서 도 5~도 7을 참조하여 설명한다. 도 5는, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)을 구성하는 표시 장치용 박막 반도체 어레이 장치(20)의 평면도이다. 또, 도 6은, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 어레이 장치(20)의 평면도이며, 유기 EL 층(L3)에 형성되는 애노드 및 제2 층간 절연막을 투과한 상태를 나타내고 있다. 또, 도 7은, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 어레이 장치(20)의 평면도이며, 배선층(L2)에 형성되는 배선 및 절연막을 투과한 상태를 나타내고 있다.
- [0104] 도 5에 나타내는 바와 같이, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 어레이 장치(20)는, 매트릭스 형상(행렬 형상)으로 배열된 화소(100)를 구비하고 있다. 도 6에 나타내는 바와 같이, 하부 전극(12) 하에는, 화소(100)의 행방향을 따라 복수의 게이트 배선(21), 복수의 전원 배선(23) 및 복수의 보조 배선(25)이 배치되어 있다.
- [0105] 전원 배선(23)은, 게이트 배선(21)과 병행하여 배치되어 있다. 또, 보조 배선(25)은, 전원 배선(23)과 인접하는 화소(100)의 게이트 배선(21)의 사이에, 전원 배선(23) 및 게이트 배선(21)과 병행하여 배치되어 있다. 즉, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)은, 행방향으로 서로 병행하여 배치되어 있다. 또, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)은, 동일층에 형성되어 있다.
- [0106] 도 6은, 도 5에 있어서, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)을 투과한 상태의 도이다.
- [0107] 도 6에 나타내는 바와 같이, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 어레이 장치(20)는, 화소(100)의 열방향을 따라 서로 평행하게 배치된 복수의 소스 배선(22)을 구비하고 있다. 소스 배선(22)은, 도 4에 나타난 TFT층(L1)의 제2 금속층(ML2)에 형성되어 있으며, 상층의 배선층(L2)에 형성된 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)과 입체 교차하도록 배치되어 있다. 또, 표시 장치용 박막 반도체 어레이 장치(20)는, 제1 박막 트랜지스터(310) 및 제2 박막 트랜지스터(320)를 구비하고 있다.
- [0108] 또, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)을 구성하는 1개의 화소(100)에 대해서 도 8~도 13을 참조하여 설명한다. 도 8은, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널의 화소(100)의 평면도이며, 애노드를 배치한 상태를 나타내고 있다. 또, 도 9는, 본 발명의 제1 실시 형태에 관련된 화소(100)의 평면도이며, 유기 EL 층(L3)에 형성되는 애노드를 투과한 상태를 나타내고 있다. 또, 도 10은, 본 발명의 제1 실시 형태에 관련된 화소(100)의 평면도이며, 배선층(L2)에 형성되는 배선 및 절연막을 투과한 상태를 나타내고 있다. 또, 도 11은, 도 8~도 10의 X1-X1' 선을 따라 절단한 화소(100)의 단면도이다. 도 12는, 도 8~도 10의 X2-X2' 선을

따라 절단한 화소(100)의 단면도이다. 도 13은, 도 8~도 10의 X3-X3' 선을 따라 절단한 화소(100)의 단면도이다.

- [0109] 도 8~도 10에 나타내는 바와 같이, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)을 구성하는 화소(100)는, 기관(300)과, 제1 박막 트랜지스터(310) 및 제2 박막 트랜지스터(320)와, 게이트 배선(21)과, 소스 배선(22)과, 전원 배선(23)과, 보조 배선(25)과, 제1 층간 절연막(340)을 구비하고 있다. 또한, 도 9~도 12에서는, 제1 층간 절연막(340)보다 위의 구성은 도시를 생략하고 있다.
- [0110] 제1 박막 트랜지스터(310)는, 제1 게이트 전극(310G)과, 게이트 절연막(330)과, 제1 반도체층(311)(채널층)과, 제1 소스 전극(310S) 및 제1 드레인 전극(310D)의 적층 구조체이다. 또, 제2 박막 트랜지스터(320)는, 제2 게이트 전극(320G)과, 게이트 절연막(330)과, 제2 반도체층(321)(채널층)과, 제2 소스 전극(320S) 및 제2 드레인 전극(320D)의 적층 구조체이다.
- [0111] 본 실시 형태에 있어서, 제1 박막 트랜지스터(310), 제2 박막 트랜지스터(320), 소스 배선(22)은, 도 4에 나타낸 TFT층(L1)에 형성된다. 또, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)은, 도 4에 나타낸 배선층(L2)에 형성된다.
- [0112] 이하, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)의 각 구성 요소에 대해서, 하층의 구성 요소로부터 순서대로 상세히 서술한다.
- [0113] 도 8~도 12에 나타내는 바와 같이, 제1 게이트 전극(310G) 및 제2 게이트 전극(320G)은, 도 4에 나타낸 기관(300) 상에 섬 형상으로 패턴 형성되어 있다.
- [0114] 또, 도 11 및 도 12에 나타내는 바와 같이, 기관(300) 상에는, 제1 게이트 전극(310G) 및 제2 게이트 전극(320G)을 덮도록, 게이트 절연막(330)이 형성되어 있다.
- [0115] 또, 도 11 및 도 12에 나타내는 바와 같이, 게이트 절연막(330) 상의 제1 게이트 전극(310G)의 윗쪽에는, 제1 반도체층(311)이 섬 형상으로 패턴 형성되어 있다. 또, 게이트 절연막(330) 상의 제2 게이트 전극(320G)의 윗쪽에는, 제2 반도체층(321)이 섬 형상으로 패턴 형성되어 있다.
- [0116] 여기서, 제1 반도체층(311) 및 제2 반도체층(321)에는, p채널형의 반도체를 이용하고 있다. 전원 배선(23)에는 양의 전위가 공급된다.
- [0117] 또, 제1 박막 트랜지스터(310)에 있어서, 제1 소스 전극(310S) 및 제1 드레인 전극(310D)은, 도 10 및 도 12에 나타내는 바와 같이, 제1 반도체층(311)의 윗쪽에 제1 반도체층(311)과 일부가 중첩하도록 형성되어 있다. 또, 제1 소스 전극(310S) 및 제1 드레인 전극(310D)은, 도 10에 나타낸 평면도에 있어서, 제1 반도체층(311)을 사이에 두고 서로 대향하는 위치에 형성되어 있다. 이러한 제1 소스 전극(310S) 및 제1 드레인 전극(310D)은, 도 4에 나타낸 TFT층(L1)이며 제2 금속층(ML2)에 형성되어 있다. 또한, 본 명세서 중에 있어서, 「중첩한다」란, 화소(100)의 상하 방향에서 보아 서로 겹치는 위치 관계에 있는 것을 의미한다.
- [0118] 또, 도 11 및 도 12에 나타내는 바와 같이, 제1 드레인 전극(310D)은, 제2 박막 트랜지스터(320)의 제2 게이트 전극(320G)과 중첩하도록 형성되어 있다. 제1 드레인 전극(310D)과 제2 게이트 전극(320G)은, 제4 콘택트부(114)(제4 도전부)에 의해 전기적으로 접속되어 있다. 제4 콘택트부(114)는, 제1 드레인 전극(310D)과 제2 게이트 전극(320G)이 중첩하는 위치에 있어서 두께 방향으로 형성된 콘택트 홀(구멍부)에, 도전 부재가 메워짐으로써 구성되어 있다. 본 실시 형태에서는, 도 12에 나타내는 바와 같이, 제4 콘택트부(114)는, 게이트 절연막(330)을 관통하도록 형성된 콘택트 홀에 제1 드레인 전극(310D)의 일부가 메워짐으로써 구성되어 있다.
- [0119] 또한, 제4 콘택트부(114)에서의 콘택트 홀은, 도 12에 나타내는 바와 같이, 게이트 절연막(330)에 형성되어 있다. 본 실시 형태에 있어서, 제4 콘택트부(114)는, 도 10에 나타내는 바와 같이, 3개소 설치되어 있다.
- [0120] 또, 제2 박막 트랜지스터(320)에 있어서, 제2 소스 전극(320S) 및 제2 드레인 전극(320D)은, 도 10 및 도 12에 나타내는 바와 같이, 제2 반도체층(321)의 윗쪽에 제2 반도체층(321)과 중첩하도록 형성되어 있다. 또, 제2 소스 전극(320S) 및 제2 드레인 전극(320D)은, 도 10에 나타낸 평면도에 있어서 제2 반도체층(321)을 사이에 두고 서로 대향하는 위치에 형성되어 있다. 이들 제2 소스 전극(320S) 및 제2 드레인 전극(320D)은, TFT층(L1)이며 제2 금속층(ML2)에 형성되어 있다.
- [0121] 또한, 도 10에 나타내는 바와 같이, 제2 드레인 전극(320D)은, 열방향을 따라 직선 형상으로 연장되어 있으며, 제2 반도체층(321)이 설치된 단부와 반대측의 단부 부근에는, 연장 부분보다도 폭이 넓은 섬 형상의 전극부

(120)가 형성되어 있다.

- [0122] 전극부(120)는, 제3 콘택트부(113)를 통하여 유기 EL 소자(10)의 하부 전극(12)과 전기적으로 접속되어 있다. 제3 콘택트부(113)는, 전극부(120)의 상층에 형성되는 제1 층간 절연막(340) 및 제2 층간 절연막(350)을 관통하도록 하여 형성된 콘택트 홀(구멍부)에 도전 재료가 메워짐으로써 구성되어 있다.
- [0123] 소스 배선(22)은, 도 8~도 10에 나타내는 바와 같이, 화소(100)의 열방향을 따라 라인 형상으로 형성되어 있다. 소스 배선(22)은, 제1 박막 트랜지스터(310)의 근방을 지나도록 배치되며, 제1 소스 전극(310S)과 전기적으로 접속되도록 구성되어 있다.
- [0124] 본 실시 형태에서는, 라인 형상의 소스 배선(22)의 일부가 제1 소스 전극(310S)로서 기능하도록, 소스 배선(22)과 제1 반도체층(311)이 중첩하도록 형성되어 있다. 본 실시 형태에 있어서, 소스 배선(22)은, 도 4에 나타낸 TFT층(L1)이며 제2 금속층(ML2)에 형성되어 있다.
- [0125] 또한, 도 12에 나타내는 바와 같이, 소스 배선(22)은, 제1 박막 트랜지스터(310)와의 중첩 부분 이외에 대해서는, 게이트 절연막(330) 상에 형성되어 있다. 또, 소스 배선(22)은, 후술하는 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)과, 제1 층간 절연막(340)을 통하여 입체 교차하도록 하여 구성되어 있다.
- [0126] 또, 도 11 및 도 12에 나타내는 바와 같이, 제1 박막 트랜지스터(310), 제2 박막 트랜지스터(320), 소스 배선(22) 및 전원 배선(23)을 덮도록, 제1 층간 절연막(340)이 형성되어 있다. 제1 층간 절연막(340)은, 도 4에 나타낸 TFT층(L1)의 최상층이며 하부에 형성되는 전극이나 배선 전체를 덮도록 구성되어 있다.
- [0127] 또한, 제1 층간 절연막(340) 상에는, 게이트 배선(21), 전원 배선(23), 보조 배선(25)이 형성되어 있다. 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)은, 모두 도 4에 나타낸 배선층(L2)의 제3 금속층(ML3)에 형성되어 있다.
- [0128] 게이트 배선(21)은, 도 9 및 도 11에 나타내는 바와 같이, 화소(100)의 행방향을 따라 라인 형상으로 형성되어 있다. 또한, 게이트 배선(21)은, 도 11에 나타내는 바와 같이, 제1 층간 절연막(340) 상에 형성되어 있고, 도 4에 나타낸 배선층(L2)이며 제3 금속층(ML3)에 형성되어 있다. 즉, 게이트 배선(21)은, 제1 게이트 전극(310G)이 형성된 층과는 상이한 층에 형성되어 있다.
- [0129] 또, 게이트 배선(21)은, 제1 박막 트랜지스터(310)의 근방을 지나도록 배치되고, 제1 게이트 전극(310G)과 전기적으로 접속되도록 구성되어 있다. 본 실시 형태에서는, 도 9 및 도 11에 나타내는 바와 같이, 게이트 배선(21)과 제1 게이트 전극(310G)은 중첩하는 위치에 배치되어 있으며, 제1 콘택트부(111)(제1 도전부)를 통하여 제1 게이트 전극(310G)과 전기적으로 접속되어 있다. 제1 콘택트부(111)는, 게이트 배선(21)과 제1 게이트 전극(310G)이 중첩하는 위치에 있어서 두께 방향으로 형성된 콘택트 홀(구멍부)에 도전 부재가 메워짐으로써 구성되어 있다. 본 실시 형태에서는, 도 11에 나타내는 바와 같이, 제1 콘택트부(111)는, 제1 층간 절연막(340) 및 게이트 절연막(330)을 관통하도록 하여 형성된 콘택트 홀(구멍부)에 게이트 배선(21)의 일부가 메워짐으로써 구성되어 있다.
- [0130] 전원 배선(23)은, 도 9 및 도 12에 나타내는 바와 같이, 화소(100)의 행방향을 따라 라인 형상으로 형성되어 있다. 도 12에 나타내는 바와 같이, 전원 배선(23)도 제1 층간 절연막(340) 상에 형성되어 있고, 도 4에 나타낸 배선층(L2)이며 제3 금속층(ML3)에 형성되어 있다. 즉, 전원 배선(23)은, 게이트 배선(21)과 동일층에 형성되어 있다.
- [0131] 또, 전원 배선(23)은, 도 9에 나타내는 바와 같이, 게이트 배선(21)과 병행하여 배치되어 있다. 또한, 전원 배선(23)은, 도 12에 나타내는 바와 같이, 제2 소스 전극(320S)과 중첩하는 위치에 배치되어 있으며, 제2 콘택트부(112)(제2 도전부)를 통하여 제2 소스 전극(320S)과 전기적으로 접속되어 있다. 제2 콘택트부(112)는, 도 12에 나타내는 바와 같이, 전원 배선(23)과 제2 소스 전극(320S)이 중첩하는 위치에 있어서 두께 방향으로 형성된 콘택트 홀(구멍부)에, 도전 재료가 메워짐으로써 구성되어 있다. 본 실시 형태에서는, 제2 콘택트부(112)는, 제1 층간 절연막(340)을 관통하도록 형성된 콘택트 홀에 전원 배선(23)의 일부가 메워짐으로써 구성되어 있다. 또, 본 실시 형태에 있어서, 제2 콘택트부(112)는, 도 9에 나타내는 바와 같이, 6개(2행 3열) 설치되어 있다.
- [0132] 보조 배선(25)은, 도 9 및 도 13에 나타내는 바와 같이, 화소(100)의 행방향을 따라 라인 형상으로 형성되어 있다. 도 12에 나타내는 바와 같이, 전원 배선(23)도 제1 층간 절연막(340) 상에 형성되어 있고, 도 4에 나타낸 배선층(L2)이며 제3 금속층(ML3)에 형성되어 있다. 즉, 보조 배선(25)은, 게이트 배선(21) 및 전원 배선(23)과 동일층에 형성되어 있다.

- [0133] 또, 보조 배선(25)은, 도 9에 나타내는 바와 같이, 게이트 배선(21) 및 전원 배선(23)과 병행하여 배치되어 있다. 또한, 보조 배선(25) 상에는, 제2 층간 절연막(350)과, 도 4에 나타낸 유기 EL 층(L3)이 형성되어 있다. 즉, 제2 층간 절연막(350) 상에는, 하부 전극(12), EL 층(13) 및 상부 전극(14)이 형성되어 있다. 그리고, 도 13에 나타내는 바와 같이, 상부 전극(14)과 보조 배선(25)은, 제5 콘택트부(115)(제3 도전부)를 통하여 전기적으로 접속되어 있다. 제5 콘택트부(115)는, 도 13에 나타내는 바와 같이, 상부 전극(14)과 보조 배선(25)이 중첩하는 위치에 있어서 두께 방향으로 형성된 콘택트 홀(구멍부)에, 도전 재료가 메워짐으로써 구성되어 있다. 본 실시 형태에서는, 제5 콘택트부(115)는, 제2 층간 절연막(350)을 관통하도록 형성된 콘택트 홀에 상부 전극(14)의 일부가 메워짐으로써 구성되어 있다. 또, 본 실시 형태에 있어서, 제5 콘택트부(115)는, 도 9에 나타내는 바와 같이, 14개(2행 7열) 설치되어 있다.
- [0134] 또한, 본 실시 형태에 있어서, 전원 배선(23) 및 보조 배선(25)을 구성하는 재료는, Al(알루미늄), Cu(구리), Ag(은)으로부터 선택되는 어느 하나를 포함하는 재료에 의해 형성되어 있다. 또, 전원 배선(23) 및 보조 배선(25)을 다층 배선으로 하고, 전원 배선(23) 및 보조 배선(25)을 구성하는 주배선이, Al, Cu, Ag로부터 선택되는 어느 하나를 포함하는 구성으로 해도 된다. 또한, 전원 배선(23) 및 보조 배선(25)은, 이들 금속의 복수를 포함해도 되고, 그 외의 재료에 의해 구성되어도 된다.
- [0135] 도 14는, 도 9에 나타낸 표시 장치용 박막 반도체 장치(2)를, 전극부(120)가 배치된 측의 단부로부터 보았을 때의 사시도이다. 도 15는, 도 10에 나타낸 표시 장치용 박막 반도체 장치(2)를, 전극부(120)가 배치된 측의 단부로부터 보았을 때의 사시도이다.
- [0136] 도 14에 나타내는 바와 같이, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)은 동일층에 형성되어 있다. 즉, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)은, 제1 층간 절연막(340) 상의 배선층(L2)에 형성되어 있으며, TFT층(L1)에 형성되는 소스 배선(22)과는 상이한 층에 형성되어 있다. 또, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)은, 소스 배선(22)과 직교함과 함께 입체 교차하도록 배치되어 있다. 또, 도 15에 나타내는 바와 같이, 소스 배선(22), 제2 소스 전극(320S), 제2 드레인 전극(320D)은 TFT층(L1)에 형성되어 있다.
- [0137] 다음에, 실시의 형태 1에 관련된 EL 표시 패널(1)의 표시 장치용 박막 반도체 장치(2)를 제조하는 방법에 대해서, 도 16a~도 16j를 참조하여 설명한다. 또한, 도 16a~도 16j는, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 장치의 제조 방법의 각 공정을 모식적으로 나타낸 단면도이다. 또한, 도 16a~도 16j의 단면도는, 도 9의 X2-X2' 단면에 대응한다.
- [0138] 우선, 도 16a에 나타내는 바와 같이, 기판(300)을 준비한다. 기판(300)에는, 일반적으로, 유리, 석영 등에 의해 구성된 절연성을 가지는 재료를 사용한다. 기판(300)의 상면에는, 기판(300)으로부터의 불순물의 확산을 방지하기 위해서, 도시하지 않는 산화규소막 혹은 질화규소막으로 이루어지는 언더 코트층을 형성해도 된다. 언더 코트층의 막두께는, 일례로서 100nm 정도이다.
- [0139] 다음에, 순수 등으로 세정한 후, 기판(300) 상에 내열성을 가지는 제1 금속층을 성막한다. 이어서, 도 16b에 나타내는 바와 같이, 포토리소그래피법, 에칭 등에 의해, 제1 금속층을 소정의 형상으로 패터닝하여, 게이트 전극(310G, 320G)을 형성한다. 제1 금속막의 재료로서는, 내열성이 있는 Mo, W, Ta, Ti, Ni 중 어느 하나의 금속, 또는, 이들의 합금을 들 수 있다. 본 실시 형태에서는, 일례로서, Mo를 이용하여 100nm 정도의 막두께의 제1 금속막을 성막하고 있다.
- [0140] 이어서, 도 16c에 나타내는 바와 같이, 제1 게이트 전극(310G) 및 제2 게이트 전극(320G)을 덮도록, 기판(300) 상의 전체면에 게이트 절연막(330)을 형성한다. 게이트 절연막(330)의 재료로서는, 산화규소막(SiO₂), 질화규소막(SiN), 또는 이들의 복합막을 들 수 있다. 본 실시 형태에서는, 일례로서, 플라즈마 CVD에 의해, 200nm 정도의 막두께의 산화규소막으로 이루어지는 게이트 절연막(330)을 성막하고 있다.
- [0141] 또한, 도 16d에 나타내는 바와 같이, 게이트 절연막(330) 상에 비결정성 반도체막(301)을 형성한다. 본 실시 형태에서는, 비결정성 반도체막(301)으로서 비정질 실리콘막(아몰퍼스 실리콘막)을 이용하여, 플라즈마 CVD에 의해, 50nm 정도의 막두께의 비정질 실리콘막을 성막한다. 게이트 절연막(330) 및 비결정성 반도체막(301)은, 플라즈마 CVD법 등에 의해, 진공을 유지하여 연속적으로 형성해도 된다.
- [0142] 이 후, 도 16d의 화살표로 나타내는 바와 같이, 비결정성 반도체막(301)에 대해 엑시머 레이저 등에 의한 레이저 광을 조사함으로써, 비결정성 반도체막(301)을 결정화하여 다결정성 반도체막으로 개질한다. 구체적으로는, 예를 들면, 비정질 실리콘막에 엑시머 레이저 등을 조사하여, 비정질 실리콘막의 온도를 소정의 온도 범위까지 상승시킴으로써 비정질 실리콘막을 결정화하여 결정 입경을 확대시켜 다결정성 반도체막으로 한다. 여기서, 소

정의 온도 범위란, 예를 들면, 1100℃~1414℃이다. 또, 다결정성 반도체층 내의 평균 결정 입경은, 20nm~60nm이다.

- [0143] 여기서, 제1 게이트 전극(310G) 및 제2 게이트 전극(320G)은, 이 레이저광 조사 공정에 있어서 고온에 노출되므로, 상기의 온도 범위의 상한값(1414℃)보다도 용점이 높은 금속으로 구성하는 것이 바람직하다. 한편, 이후의 공정에 있어서 제2 금속층(ML2) 및 제3 금속층(ML3)에 형성되는 배선 및 전극은, 상기의 온도 범위의 하한값(1100℃)보다도 용점이 낮은 금속으로 형성해도 된다.
- [0144] 또한, 레이저광의 조사 전에, 전처리로서, 400℃~500℃에서 30분 간의 어닐 처리를 행하는 것이 바람직하다. 또, 레이저광의 조사 후는, 진공 중에서 몇 초~수 10초의 수소 플라즈마 처리를 행하는 것이 바람직하다.
- [0145] 다음에, 도 16e에 나타내는 바와 같이, 포토리소그래피법, 에칭법 등에 의해, 비결정성 반도체막(301)을 섬 형상으로 패터닝하여, 제1 반도체층(311), 제2 반도체층(321)을 형성한다.
- [0146] 다음에, 도 16f에 나타내는 바와 같이, 제1 드레인 전극(310D)과 제2 게이트 전극(320G)을 전기적으로 접속하기 위해서, 포토리소그래피 및 웨트 에칭 등에 의해, 게이트 절연막(330)을 관통하는 제4 콘택트 홀(CH4)을 형성한다.
- [0147] 그 후, 도 16g에 나타내는 바와 같이, 게이트 절연막(330), 제1 반도체층(311) 및 제2 반도체층(321)을 덮도록 제2 금속막을 성막한다. 이어서, 제2 금속막을 포토리소그래피 및 웨트 에칭 등에 의해 소정의 형상으로 패터닝함으로써, 소스 배선(22), 제1 소스 전극(310S) 및 제1 드레인 전극(310D), 제2 소스 전극(320S) 및 제2 드레인 전극(320D)을 형성한다. 이 때, 제2 금속막을 구성하는 재료가 제4 콘택트 홀(CH4)에도 충전되어, 제4 콘택트부(114)가 형성된다.
- [0148] 제2 금속층의 재료로서는, 저저항 금속인 것이 바람직하며, Al, Cu, Ag 중 어느 하나의 금속, 또는, 이들의 합금을 들 수 있다. 본 실시 형태에서는, 일례로서 Al를 사용하여, 300nm 정도의 막두께의 제2 금속층을 성막하고 있다.
- [0149] 또한, Al의 상부, 하부, 혹은 양쪽에 Mo 등의 고내열성의 금속을 배리어 메탈로서 형성하는 것이 바람직하다. 배리어 메탈의 두께는 50nm 정도이다. 또, 배선의 저저항화가 보다 요구되는 경우는, Al가 아닌 Cu를 이용하는 것이 바람직하다. 또한, 재료를 바꾸는 것이 아니라 제2 금속막의 두께를 증가시키는 것으로도 저저항화를 실현할 수 있다.
- [0150] 또, 제1 소스 전극(310S)과 제1 반도체층(311) 사이, 및, 제1 드레인 전극(310D)과 제1 반도체층(311) 사이에는, 저저항 반도체막을 형성하는 것이 바람직하다. 이 저저항 반도체막은, 일반적으로, 불순물로서 인 등의 n형 도펀트가 도핑된 비정질 실리콘막, 혹은 불순물로서 붕소 등의 p형 도펀트가 도핑된 비정질 실리콘막이 이용된다. 저저항 반도체막의 막두께로서는 20nm 정도로 할 수 있다. 또한, 결정화된 제1 반도체층(311)과 저저항 반도체막(불순물이 도핑된 비정질 실리콘막) 사이에, 비정질 실리콘으로 이루어지는 언도프(의도적으로 불순물을 도프하지 않는다)의 반도체층을 형성해도 상관없다. 이들 막을 형성함으로써, TFT 특성을 향상시키는 등, 원하는 TFT 특성을 얻을 수 있다. 또한, 제2 박막 트랜지스터(320)에 대해서도 마찬가지이다.
- [0151] 다음에, 도 16h에 나타내는 바와 같이, 제1 소스 전극(310S), 제1 드레인 전극(310D), 제2 소스 전극(320S) 및 제2 드레인 전극(320D) 등의 노출되는 전극 및 배선을 덮도록 하여, 기판(300) 상의 전체면에 제1 층간 절연막(340)을 형성한다. 제1 층간 절연막(340)은, 산화규소막, 질화규소막, 또는 이들 막의 적층막으로 구성할 수 있다.
- [0152] 다음에, 도 16i에 나타내는 바와 같이, 전원 배선(23)과 제2 소스 전극(320S)을 접속하기 위해서, 포토리소그래피 및 에칭 등에 의해, 제1 층간 절연막(340)을 관통하는 제2 콘택트 홀(CH2)을 형성한다. 이 때, 제1 게이트 전극(310G)과 게이트 배선(21)을 접속하기 위해서, 제1 층간 절연막(340) 및 게이트 절연막(330)을 연속적으로 관통하는 제1 콘택트 홀(도 11 참조)도 형성한다.
- [0153] 다음에, 도 16j에 나타내는 바와 같이, 제1 층간 절연막(340) 상에 제3 금속막을 형성하고, 포토리소그래피 및 에칭 등에 의해 제3 금속막을 소정 형상으로 패터닝함으로써, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)을 형성한다. 이 때, 제3 금속막을 구성하는 재료가 제2 콘택트 홀(CH2) 및 제1 콘택트 홀(도 11 참조)에도 충전되어, 제2 콘택트부(112) 및 제1 콘택트부(111)가 형성된다.
- [0154] 또한, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)을 구성하는 제3 금속막의 재료는, 저저항인 것이 바람직하고, 제2 금속층과 동일한 금속 재료로 구성해도 된다. 예를 들면, 배리어 메탈로서 Mo를 50nm 형성한

후에, Al를 300nm 형성함으로써, 제3 금속막을 구성해도 된다.

- [0155] 이상에 의해, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 장치(2)를 제조할 수 있다.
- [0156] 그 후, 도 13에 나타내는 바와 같이, 게이트 배선(21), 전원 배선(23) 및 보조 배선(25)을 덮도록 제1 층간 절연막(340) 상에 제2 층간 절연막(350)을 성막한다. 제2 층간 절연막(350)은, 제1 층간 절연막(340)과 동일한 재료로 구성할 수 있어, 예를 들면, 산화규소막, 질화규소막, 또는 이들 막의 적층막으로 구성할 수 있다.
- [0157] 이어서, 제2 층간 절연막(350) 상에, 도 4에 나타낸 유기 EL 층(L3)을 형성한다. 구체적으로는, 제2 층간 절연막(350) 상에, 하부 전극(12), बैं크(15), 유기 EL 층(13), 및 상부 전극(14)을 순차적으로 적층한다.
- [0158] 우선, 포토리소그래피법, 에칭법에 의해, 제2 층간 절연막(350)을 관통하는 콘택트 홀(도시하지 않음)을 형성한다. 이 콘택트 홀은, 도 13에 나타낸 제5 콘택트부(115)가 된다.
- [0159] 다음에, 하부 전극(12)은, 제2 층간 절연막(350) 상에 형성된다. बैं크(15)는, 제2 층간 절연막(350) 상의 각 화소(100)의 경계에 대응하는 위치에 형성된다. 또, 유기 EL 층(13)은, 하부 전극(12) 상에서, बैं크(15)의 개구부 내에 화소(100)마다 형성된다.
- [0160] 또한, 상부 전극(14)은, बैं크(15), 유기 EL 층(13)을 덮도록, 제2 층간 절연막(350) 상에 형성된다. 이 때, 상부 전극(14)을 구성하는 재료가 제2 층간 절연막(350)에 형성된 콘택트 홀에 충전되어, 제5 콘택트부(115)가 형성된다. 이 제5 콘택트부(115)를 통하여, 상부 전극(14)과 보조 배선(25)이 전기적으로 접속된다.
- [0161] 하부 전극(12)의 재료는, 예를 들면, Mo, Al, Au, Hg, Cu 등의 도전성 금속 중 어느 하나, 또는, 이들의 합금, PEDOT : PSS 등의 유기 도전성 재료, 산화아연, 또는, 납첨가 산화인듐 중 어느 하나의 재료이다. 이들 재료로 이루어지는 막을 진공 증착법, 전자빔 증착법, RF스퍼터법, 또는, 인쇄법 등에 의해 작성하여, 전극 패턴을 형성한다.
- [0162] 유기 EL 층(13)은, 하부 전극(12) 상에서, बैं크(15)의 개구부 내에 색(서브 화소열)마다 또는 서브 화소마다 형성된다. 이 유기 EL 층(13)은, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층 등의 각 층이 적층되어 구성된다. 예를 들면, 정공 주입층으로서 구리 프탈로시아닌을, 정공 수송층으로서 α -NPD(Bis[N-(1-Naphthyl)-N-Phenyl]benzidine)를, 발광층으로서 Alq_3 (tris(8-hydroxyquinoline)aluminum)를, 전자 수송층으로서 옥사졸 유도체를, 전자 주입층으로서 Alq_3 를 이용할 수 있다. 또한, 이들 재료는, 어디까지나 일례이며 다른 재료를 이용해도 된다.
- [0163] 상부 전극(14)은, 유기 EL 층(13) 상에 연속적으로 형성되는 투과성을 가지는 전극이다. 상부 전극(14)의 재료는, 예를 들면, ITO(Indium Tin Oxide), SnO_2 , In_2O_3 , ZnO 또는 이들의 조합 등이다.
- [0164] 이상에 의해, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)을 제조할 수 있다.
- [0165] 이상, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)에 의하면, EL 표시 패널(1)의 표시 장치용 박막 반도체 장치(2)의 게이트 배선(21)은, 제1 층간 절연막(340) 상의 배선층(L2)에 형성되어 있으며, 제1 게이트 전극(310G)(및 제2 게이트 전극(320G))과는 별층(상이한 층)에 배치되어 있다. 이것에 의해, 게이트 배선(21)과 제1 게이트 전극(310G)(및 제2 게이트 전극(320G))은, 각각 적합한 재료를 선택할 수 있다.
- [0166] 또, 본 실시 형태에 관련된 EL 표시 패널(1)에 의하면, 전원 배선(23)은, 제1 층간 절연막(340) 상에서 게이트 배선(21)과 동일층에 형성됨과 함께, 게이트 배선(21)과 병행하여 배치되어 있다. 또, 보조 배선(25)은, 제1 층간 절연막(340) 상에서 게이트 배선(21) 및 전원 배선(23)과 동일층에 형성됨과 함께, 게이트 배선(21) 및 전원 배선(23)과 병행하여 배치되어 있다. 이것에 의해, 제1 층간 절연막(340) 상에 게이트 배선(21)을 배치함으로써 형성되는 요철의 오목부를, 전원 배선(23) 및 보조 배선(25)에 의해 메울 수 있다. 즉, 전원 배선(23) 및 보조 배선(25)에 의해, 제1 층간 절연막(340) 상의 요철을 경감시켜, 표시 장치용 박막 반도체 장치(2)의 상면의 평탄도를 향상시킬 수 있다. 이 결과, 표시 장치용 박막 반도체 장치(2) 상에, 예를 들면, 배선층(L2) 또는 유기 EL 층(L3)을 구성하는 경우, 제1 층간 절연막(340) 상의 요철이 배선층(L2) 또는 유기 EL 층(L3)에 주는 영향을 경감시킬 수 있어, 평탄성이 불충분한 경우에 발생하는 수명 저하 등을 억제할 수 있다.
- [0167] 또, 본 실시 형태에 관련된 표시 장치용 박막 반도체 장치(2)에 있어서, 전원 배선(23)은, 도 12에 나타내는 바와 같이, 제1 반도체층(311) 및 제2 반도체층(321)을 덮도록 구성되어 있으므로, 제1 반도체층(311) 및 제2 반도체층(321)은, 모두 p채널형이 되도록 구성하는 것이 바람직하다.

- [0168] 박막 트랜지스터의 반도체층(채널 영역)에서는, 반도체층의 표면과 박막 트랜지스터를 피복하는 층간 절연막의 표면에는, 제조 시에서 격자 결함이 발생하는 경우가 있다. 이 격자 결함이 발생하면 불안정한 계면 순위가 발생하여, 반도체층의 백 채널의 전위가 불안정해진다.
- [0169] 본 실시 형태에서는, p채널형인 제1 반도체층(311) 및 제2 반도체층(321)이, 정전위가 되는 전원 배선(23)과 겹치도록 구성되므로, 백 채널의 전위를 안정되게 할 수 있다.
- [0170] 도 17은, 본 발명의 제1 실시 형태에 관련된 표시 장치용 박막 반도체 장치에서의 박막 트랜지스터의 TFT 특성을 설명하기 위한 도이다. 본 실시 형태에서는, p채널형인 제1 반도체층(311) 및 제2 반도체층(321)이, 정전위가 되는 전원 배선(23)과 겹치도록 구성되어 있어, 백 게이트 있음의 p채널 TFT를 구성할 수 있으므로, 백 채널의 전위를 안정되게 할 수 있다. 이 결과, 도 17에 나타내는 바와 같이, 백 게이트 있음의 p채널 TFT인 제1 박막 트랜지스터(310) 및 제2 박막 트랜지스터(320)에 대해서는, 백 게이트 없음의 p채널 TFT와 동등하게 오프 시의 리크 전류(오프 리크 전류)를 억제하면서, 또한 외부 노이즈로부터의 영향을 저감한다는 강하를 실현할 수 있다. 상기 백 게이트가 채널 영역의 윗쪽을 덮기 때문에, 외부 노이즈에 대한 전자와 섀드의 작용을 하기 때문이다. 따라서, 오프 특성도 우수하여 외부 노이즈에 대해서도 강한 박막 트랜지스터를 가지는 표시 장치용 박막 반도체 장치를 실현할 수 있다.
- [0171] 또, 본 실시 형태에 관련된 표시 장치용 박막 반도체 장치(2)에 있어서, 전원 배선(23) 및 보조 배선(25)은, 게이트 배선(21)과 대략 동일한 높이, 즉, 동일한 높이 또는 근사값의 높이로 형성됨과 함께, 인접하는 2개의 게이트 배선(21) 사이의 폭에 대응하는 폭을 가지도록 형성하는 것이 바람직하다. 또한, 전원 배선(23) 및 보조 배선(25)과 인접하는 2개의 게이트 배선(21)의 거리, 즉, 게이트 배선(21)과 전원 배선(23), 전원 배선(23)과 보조 배선(25), 보조 배선(25)과 게이트 배선(21)의 거리는, 4 μ m 이상으로 하는 것이 바람직하다.
- [0172] 본 실시 형태에서는, 게이트 배선(21)이 제1 층간 절연막(340) 상에 형성되어 있으므로, 이 상태에서는, 게이트 배선(21)의 막두께 분만큼, 게이트 배선(21)이 형성되어 있지 않은 영역보다도 돌출되게 되어, 인접하는 게이트 배선(21) 간에 오목부가 형성된다.
- [0173] 이에 반해, 상기 서술한 바와 같이, 전원 배선(23) 및 보조 배선(25)을, 게이트 배선(21)과 대략 동일한 높이로 함과 함께, 인접하는 2개의 게이트 배선(21) 사이의 폭에 대응하는 폭으로 함으로써, 전원 배선(23) 및 보조 배선(25)에 의해 표시 장치용 박막 반도체 장치(2)의 상면의 평탄성을 확보할 수 있다. 이것에 의해, 유기 EL 소자(10)를 형성하는 경우에 있어서, 배선층(L2) 상면의 평탄성이 불충분한 것에 기인하는 수명 저하를 용이하게 방지할 수 있다.
- [0174] 또, 본 실시 형태에 관련된 표시 장치용 박막 반도체 장치(2)에 있어서, 전원 배선(23) 및 보조 배선(25)은, 게이트 배선(21)과 대략 동일한 높이로 형성됨과 함께, 인접하는 2개의 게이트 배선(21) 사이를 매우도록 하여, 인접하는 2개의 게이트 배선(21)과 근접하여 배치되는 것이 바람직하다.
- [0175] 이것에 의해, 인접하는 게이트 배선(21) 간에 오목부를 전원 배선(23) 및 보조 배선(25)에 의해 메울 수 있으므로, 표시 장치용 박막 반도체 장치(2)의 상면의 평탄성을 확보할 수 있다. 또한, 전원 배선(23) 및 보조 배선(25)을 저저항화할 수 있다.
- [0176] (제1 실시 형태의 변형예)
- [0177] 다음에, 본 발명의 제1 실시 형태의 변형예에 관련된 EL 표시 패널의 표시 장치용 박막 반도체 장치 2'에 대해서 도 18을 이용하여 설명한다. 도 18은, 본 변형예에 관련된 EL 표시 패널에 설치된 표시 장치용 박막 반도체 장치 2'의 단면도이다. 또한, 도 18은, 도 12에 나타난 제1 실시 형태에 관련된 EL 표시 패널에 설치된 표시 장치용 박막 반도체 장치 2의 단면도에 대응한다.
- [0178] 표시 장치용 박막 반도체 장치 2'는, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)의 표시 장치용 박막 반도체 장치 2와 기본적인 구성은 동일하다. 따라서, 도 18에 있어서, 도 12에 나타난 구성 요소와 동일한 구성 요소에 대해서는, 동일한 부호를 붙이고 있으며, 상세한 설명은 생략 또는 간략화한다. 또, 도 12에 나타난 구성 이외의 구성은, 제1 실시 형태와 동일하다.
- [0179] 표시 장치용 박막 반도체 장치 2'가, 표시 장치용 박막 반도체 장치 2와 상이한 점은, 제1 박막 트랜지스터(310)의 제1 반도체층 및 제2 박막 트랜지스터(320)의 제2 반도체층의 구성이다.
- [0180] 도 18에 나타내는 바와 같이, 표시 장치용 박막 반도체 장치 2'는, 제1 박막 트랜지스터(310)의 제1 반도체층이, 다결정성 반도체막으로 이루어지는 제1 채널층(311A)과 비결정성 반도체막으로 이루어지는 제2 채널층

(311B)으로 구성되어 있다. 또, 제2 박막 트랜지스터(320)의 제2 반도체층도, 다결정성 반도체막으로 이루어지는 제1 채널층(321A)과 비결정성 반도체막으로 이루어지는 제2 채널층(321B)으로 구성되어 있다.

- [0181] 제1 채널층(311A) 및 제1 채널층(321A)는, 비정질 실리콘막(아몰퍼스 실리콘막)을 결정화함으로써 형성된 다정질 실리콘막으로 구성할 수 있다.
- [0182] 제2 채널층(311B) 및 제2 채널층(321B)는, 도 12에 나타난 제1 반도체층(311) 및 제2 반도체층(321)과 마찬가지로, 비결정성 반도체막으로 구성할 수 있다.
- [0183] 이와 같이 구성되는 제1 반도체층 및 제2 반도체층은, 비정질 실리콘막(아몰퍼스 실리콘막)의 상층부를 레이저 조사에 의해 결정화함으로써 형성할 수 있다. 또, 제1 채널층(311A)(또는 제1 채널층(321A))과, 제2 채널층(311B)(또는 제2 채널층(321B))은, 평면에서 보았을 때에 동일한 형상으로 되어 있으며, 모두 게이트 절연막(330) 상에 섬 형상으로 형성된다.
- [0184] 표시 장치용 박막 반도체 장치 2'는, 상기 서술한 본 발명의 제1 실시 형태에 관련된 EL 표시 패널(1)에 설치된 표시 장치용 박막 반도체 장치 2와 동일한 작용 효과를 나타낸다.
- [0185] 또한, 표시 장치용 박막 반도체 장치 2'는, 박막 트랜지스터에서의 제1 반도체층 및 제2 반도체층이, 비정질 실리콘막으로 이루어지는 제2 채널층(311B)(또는 제2 채널층(321B))과, 제2 채널층(311B)(또는 제2 채널층(321B)) 하에 형성된 다결정성 반도체막으로 이루어지는 제1 채널층(311A)(또는 제1 채널층(321A))에 의해 구성되어 있다. 이것에 의해, 제1 박막 트랜지스터 및 제2 박막 트랜지스터에 있어서, 오프 전류를 저감시킬 수 있음과 함께, 온 전류를 크게 할 수 있다.
- [0186] (제2 실시 형태)
- [0187] 다음에, 본 발명의 제2 실시 형태에 관련된 EL 표시 패널에 대해서, 도 19~도 21을 이용하여 설명한다. 도 19는, 본 발명의 제2 실시 형태에 관련된 EL 표시 패널에 설치된 표시 장치용 박막 반도체 장치의 평면도이다. 도 20은, 도 19의 X2-X2' 선을 따라 절단한 표시 장치용 박막 반도체 장치의 단면도이다. 도 21은, 본 실시 형태에 관련된 표시 장치용 박막 반도체 장치에서의 박막 트랜지스터의 TFT 특성을 설명하기 위한 도이다.
- [0188] 본 발명의 제2 실시 형태에 관련된 EL 표시 패널에 설치된 표시 장치용 박막 반도체 장치(3)는, 본 발명의 제1 실시 형태에 관련된 EL 표시 패널에 설치된 표시 장치용 박막 반도체 장치(2)와 기본적인 구성은 동일하다. 따라서, 도 19 및 도 20에 있어서, 도 8~도 13에 나타난 구성 요소와 동일한 구성 요소에 대해서는, 동일한 부호를 붙이고 있으며 상세한 설명은 생략 또는 간략화한다.
- [0189] 표시 장치용 박막 반도체 장치(3)가, 본 발명의 제1 실시 형태에 관련된 EL 표시 장치에 설치된 표시 장치용 박막 반도체 장치(2)와 상이한 점은, 제1 반도체층(311) 및 제2 반도체층(321)의 채널형이 모두 n채널형인 것, 그 결과, 제1 실시 형태에서의 소스 전극과 드레인 전극 각각은 제2 실시 형태에서는 반대로 드레인 전극과 소스 전극 각각이 되는 것, 및 전원 배선(23)의 구성인 것이다. 또한, 이외의 구성은, 제1 실시 형태와 동일하다.
- [0190] 도 19 및 도 20에 나타내는 바와 같이, 표시 장치용 박막 반도체 장치(3)에 있어서, 전원 배선(23)은, 제1 반도체층(311) 및 제2 반도체층(321)과 겹치지 않도록 구성되어 있으며, 제1 반도체층(311) 상에 형성된 제1 개구부(131)와 제2 반도체층(321) 상에 형성된 제2 개구부(132)를 구비하고 있다.
- [0191] 또, 제1 반도체층(311) 및 제2 반도체층(321)은, 모두 n채널형이 되도록 구성되어 있다.
- [0192] 이와 같이 구성되는 표시 장치용 박막 반도체 장치(3)는, 제1 실시 형태와 동일하게 하여 제조할 수 있다. 단, 본 실시 형태에서는, 전원 배선(23)에 제1 개구부(131) 및 제2 개구부(132)를 형성할 필요가 있다. 제1 개구부(131) 및 제2 개구부(132)는, 제3 금속막을 패터닝할 때에, 전원 배선(23)에 형성된다.
- [0193] 이상, 표시 장치용 박막 반도체 장치(3)에 의하면, 제1 실시 형태와 마찬가지로, 게이트 배선(21)과 제1 게이트 전극(310G)을 상이한 층으로 구성할 수 있으므로, 각각 적합한 재료를 선택할 수 있다.
- [0194] 또한, 전원 배선(23) 및 보조 배선(25)이, 게이트 배선(21)과 동일층에 형성됨과 함께 게이트 배선(21)과 병행하여 배치되어 있으므로, 제1 층간 절연막(340) 상에 형성한 게이트 배선(21)에 의해 발생하는 요철을 경감시킬 수 있어, 평탄도를 향상시킬 수 있다.
- [0195] 또한, 표시 장치용 박막 반도체 장치(3)에 의하면, 이하의 작용 효과를 나타낸다.
- [0196] n채널형인 제1 반도체층(311) 및 제2 반도체층(321)의 윗쪽에서, 정전위인 전원 배선(23)이 제1 층간 절연막

(340) 상을 덮은 경우, 제1 반도체층(311) 및 제2 반도체층(321)의 백 채널에는 음의 캐리어가 유기되고, 이것에 의해 오프 리크 전류가 발생한다. 따라서, 게이트 전압을 인가하지 않아도 전류가 발생하게 되므로, 제1 박막 트랜지스터(310) 및 제2 박막 트랜지스터(320)의 오프 특성을 저하시키게 된다.

[0197] 이에 반해, 표시 장치용 박막 반도체 장치(3)는, n채널형인 제1 반도체층(311) 및 제2 반도체층(321)이, 정전위의 전원 배선(23)과 겹치지 않도록 구성되어 있다. 즉, 백 게이트 없음의 구성으로 되어 있다. 이것에 의해, 도 21에 나타내는 바와 같이, 백 게이트 있음 시와 비교하여, 정전위인 전원 배선(23)에 의해, n채널형 TFT인 제1 박막 트랜지스터(310) 및 제2 박막 트랜지스터(320)에 있어서 백 채널에 캐리어가 유기되는 것을 억제할 수 있다. 이 결과, 제1 박막 트랜지스터(310) 및 제2 박막 트랜지스터(320)에 오프 리크 전류가 발생하는 것을 억제할 수 있으므로, 오프 특성이 우수한 EL 표시 패널을 실현할 수 있다.

[0198] (제2 실시 형태의 변형예)

[0199] 다음에, 본 발명의 제2 실시 형태의 변형예에 관련된 EL 표시 패널에 대해서, 도 22를 이용하여 설명한다. 도 22는, 본 발명의 제2 실시 형태의 변형예에 관련된 EL 표시 패널에 설치된 표시 장치용 박막 반도체 장치 3'의 단면도이다. 또한, 도 22는, 도 20의 본 발명의 제2 실시 형태에 관련된 EL 표시 패널에 설치된 표시 장치용 박막 반도체 장치 3의 단면도에 대응한다.

[0200] 표시 장치용 박막 반도체 장치 3'는, 본 발명의 제2 실시 형태에 관련된 표시 장치용 박막 반도체 장치 3과 기본적인 구성은 동일하다. 따라서, 도 22에 있어서, 도 20에 나타낸 구성 요소와 동일한 구성 요소에 대해서는, 동일한 부호를 붙이고 있으며, 상세한 설명은 생략 또는 간략화한다. 또, 도 22에 나타낸 구성 이외의 구성은, 제2 실시 형태와 동일하다.

[0201] 표시 장치용 박막 반도체 장치 3'가, 표시 장치용 박막 반도체 장치 3과 상이한 점은, 제1 박막 트랜지스터(310)의 제1 반도체층 및 제2 박막 트랜지스터(320)의 제2 반도체층의 구성이다.

[0202] 도 22에 나타내는 바와 같이, 표시 장치용 박막 반도체 장치 3'는, 제1 박막 트랜지스터(310)의 제1 반도체층이, 다결정성 반도체막으로 이루어지는 제1 채널층(311A)과 비결정성 반도체막으로 이루어지는 제2 채널층(311B)으로 구성되어 있다. 또, 제2 박막 트랜지스터(320)의 제2 반도체층도, 다결정성 반도체막으로 이루어지는 제1 채널층(321A)과 비결정성 반도체막으로 이루어지는 제2 채널층(321B)으로 구성되어 있다.

[0203] 제1 채널층 311A 및 제1 채널층 321A는, 비정질 실리콘막(아몰퍼스 실리콘막)을 결정화함으로써 형성된 다정질 실리콘막으로 구성할 수 있다.

[0204] 제2 채널층 311B 및 제2 채널층 321B는, 비결정성 반도체막으로 구성할 수 있다.

[0205] 이와 같이 구성되는 제1 반도체층 및 제2 반도체층은, 비정질 실리콘막(아몰퍼스 실리콘막)을 레이저 조사에 의해 결정화한 다음에 비정질 실리콘막을 형성함으로써 형성할 수 있다. 또, 제1 채널층(311A)(또는 제1 채널층(321A))과, 제2 채널층(311B)(또는 제2 채널층(321B))은, 평면에서 보았을 때에 동일한 형상으로 되어 있으며, 모두 게이트 절연막(330) 상에 섬 형상으로 형성된다.

[0206] 본 실시 형태에 관련된 EL 표시 패널은, 상기 서술한 본 발명의 제2 실시 형태에 관련된 표시 장치용 박막 반도체 장치 3을 가지는 EL 표시 패널과 동일한 작용 효과를 나타낸다.

[0207] 또한, 표시 장치용 박막 반도체 장치 3'는, 박막 트랜지스터에서의 제1 반도체층 및 제2 반도체층이, 비정질 실리콘막으로 이루어지는 제2 채널층(311B)(또는 제2 채널층(321B))과, 비정질 실리콘막으로 이루어지는 제2 채널층(311B)(또는 제2 채널층(321B)) 하에 형성된 다결정성 반도체막으로 이루어지는 제1 채널층(311A)(또는 제1 채널층(321A))에 의해 구성되어 있다. 이것에 의해, 제1 박막 트랜지스터 및 제2 박막 트랜지스터에 있어서, 오프 전류를 저감시킬 수 있음과 함께, 온 전류를 크게 할 수 있다.

[0208] 또한, 본 발명은, 상기한 실시의 형태에 한정되는 것은 아니며, 본 발명의 요지를 일탈하지 않는 범위 내에서 다양한 개량, 변형을 행해도 된다.

[0209] 예를 들면, 유기 EL 표시 패널(1)의 각 화소(100)는, 도 23a 및 도 23b에 나타내는 바와 같이, 3색(적색, 녹색, 청색)의 서브 화소(100R, 100G, 100B)에 의해 구성되어 있어도 된다. 서브 화소(100R, 100G, 100B)는, 각각 도 23a의 안쪽 방향으로 복수개 늘어 놓아져 있다(이것을 「서브 화소열」이라고 표기한다).

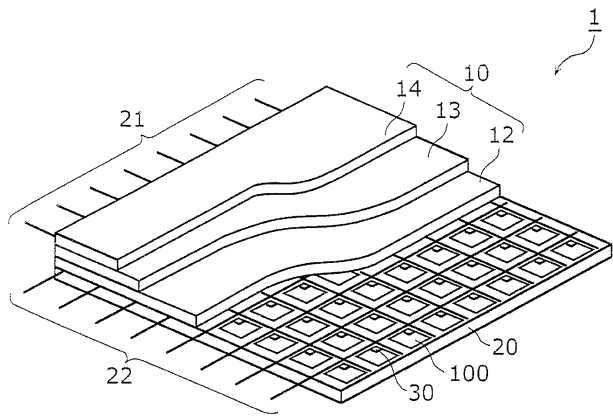
[0210] 도 23a는, 라인 बैं크의 예를 나타낸 도이다. 도 23a에 나타내는 바와 같이, 각 서브 화소열은, बैं크(15)에 의해 서로 분리되어 있어도 된다. 도 23a에 나타낸 बैं크(15)는, 서로 인접하는 서브 화소열의 사이를 소스 배선

(22)과 평행한 방향으로 연장되는 라인형 돌출부이며, 박막 반도체 어레이 장치(20) 상에 형성되어 있다. 바꾸어 말하면, 각 서브 화소열은, 서로 인접하는 라인형 돌출부의 사이(즉, बैं크(15)의 개구부)에 각각 형성되어 있다.

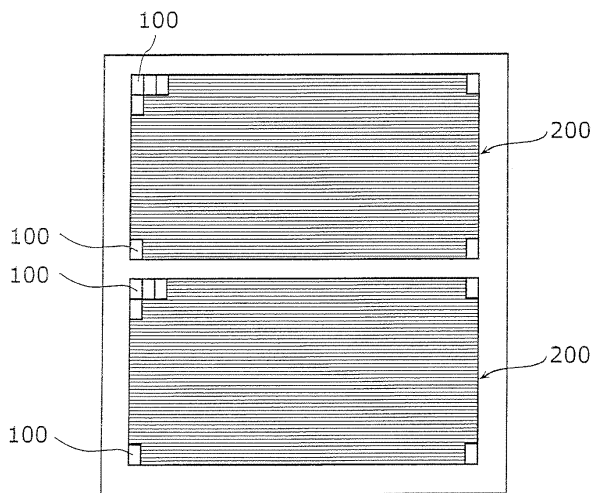
- [0211] 하부 전극(12)은, 박막 반도체 어레이 장치(20) 상(보다 구체적으로는, 상부 층간 절연막(11) 상)이며 또한 बैं크(15)의 개구부 내에, 서브 화소(100R, 100G, 100B)마다 형성되어 있다. 유기 EL 층(13)은, 하부 전극(12) 상이며 또한 बैं크(15)의 개구부 내에, 서브 화소열마다(즉, 각 열의 복수의 하부 전극(12)을 덮도록) 형성되어 있다. 상부 전극(14)은, 복수의 유기 EL 층(13) 및 बैं크(15)(복수의 라인형 돌출부) 상이며, 또한 모든 서브 화소(100R, 100G, 100B)를 덮도록, 연속적으로 형성되어 있다.
- [0212] 또, 도 23b는 픽셀 बैं크의 예를 나타낸 도이며, 각 서브 화소(100R, 100G, 100B)는, बैं크(15)에 의해 서로 분리되어 있다. 도 23b에 나타내는 बैं크(15)는, 게이트 배선(21)에 평행하게 연장되는 라인형 돌출부와, 소스 배선(22)에 평행하게 연장되는 라인형 돌출부가 서로 교차하도록 형성되어 있다. 그리고, 이 라인형 돌출부로 둘러싸이는 부분(즉, बैं크(15)의 개구부)에 서브 화소(100R, 100G, 100B)가 형성되어 있다.
- [0213] 하부 전극(12)은, 박막 반도체 어레이 장치(20) 상(보다 구체적으로는, 상부 층간 절연막(11) 상)이며 또한 बैं크(15)의 개구부 내에, 서브 화소(100R, 100G, 100B)마다 형성되어 있다. 마찬가지로, 유기 EL 층(13)은, 하부 전극(12) 상이며 또한 बैं크(15)의 개구부 내에, 서브 화소(100R, 100G, 100B)마다 형성되어 있다. 상부 전극(14)은, 복수의 유기 EL 층(13) 및 बैं크(15)(복수의 라인형 돌출부) 상이며, 또한 모든 서브 화소(100R, 100G, 100B)를 덮도록, 연속적으로 형성되어 있다.
- [0214] 또한, 도 23a 및 도 23b에서는 도시를 생략하지만, 박막 반도체 어레이 장치(20)에는, 각 서브 화소(100R, 100G, 100B)마다 화소 회로(30)가 형성되어 있다. 그리고, 각 서브 화소(100R, 100G, 100B)와, 대응하는 화소 회로(30)는, 전기적으로 접속되어 있다.
- [0215] 또한, 서브 화소(100R, 100G, 100B)는, 유기 EL 층(13)의 특성(발광색)이 상이한 것을 제외하고 동일한 구성이다.
- [0216] 또, 상기한 실시 형태에 있어서, 제1 소스 전극(310S)과 제1 드레인 전극(310D)을 바꾸어 구성해도 상관없다. 구체적으로는, 도 3, 도 4의 310S가 제1 드레인 전극이 되고, 310D가 제1 소스 전극인 구성이다. 마찬가지로, 제2 드레인 전극(320D)과 제2 소스 전극(320S)을 바꾸어 구성해도 상관없다. 구체적으로는, 도 3, 도 4의 320S이 제1 드레인 전극이 되고, 320D이 제1 소스 전극인 구성이다.
- [0217] 또, 상기한 실시 형태에 있어서, 제1 소스 전극(310S)은 라인 형상의 소스 배선(22)의 일부로 했지만, 이것에 한정되지 않는다. 예를 들면, 소스 배선(22)의 패턴 형성 시에, 소스 배선(22)의 일부로부터 행방향으로 연장한 연장부를 패턴 형성하고, 당해 연장부와 별도 형성한 제1 소스 전극(310S)을 전기적으로 접속하도록 구성해도 상관없다.
- [0218] 마찬가지로, 상기한 실시 형태에 있어서, 제2 소스 전극(320S)은 라인 형상의 제1 전원 배선(23)의 일부로 했지만, 이것에 한정되지 않는다. 예를 들면, 제1 전원 배선(23a)의 패턴 형성 시에, 제1 전원 배선(23a)의 일부로부터 행방향으로 연장한 연장부를 패턴 형성하고, 당해 연장부와 별도 형성한 제2 소스 전극(320S)을 전기적으로 접속하도록 구성해도 상관없다.
- [0219] 또, 상기한 실시 형태에 있어서, 전원 배선(23)은, 인접하는 게이트 배선(21) 간에서 1개 배열했지만, 이것에 한정되지 않는다. 예를 들면, 인접하는 게이트 배선(21) 간에서, 복수개의 전원 배선(23)을 배열해도 상관없다.
- [0220] 또, 상기한 실시 형태에 있어서, 1화소에 2개의 박막 트랜지스터를 형성했지만, 이것에 한정되지 않는다. 예를 들면, 1화소에 3개 이상의 박막 트랜지스터를 형성해도 상관없다. 이 경우, 박막 트랜지스터의 개수에 맞추어 전원 배선(23)을 복수개 배열해도 상관없다. 이것에 의해, 복수의 전원 배선(23)을 통해서, 전력 공급이 필요한 박막 트랜지스터에 대해 원하는 전력을 공급할 수 있다.
- [0221] 또, 상기한 실시 형태에 있어서, 본 발명에 관련된 EL 표시 패널은, 유기 EL 표시 패널을 예로서 나타냈지만, 이것에 한정되지 않는다. 예를 들면, 본 발명에 관련된 EL 표시 패널은, 무기 EL 패널 또는 액정 표시 소자 등, 액티브 매트릭스 기판이 이용되는 다른 표시 소자를 구비한 디스플레이에도 적용할 수도 있다.
- [0222] 또, 본 발명의 취지를 일탈하지 않는 한, 당업자가 생각할 수 있는 각종 변형을 본 실시의 형태에 행한 것이나, 상이한 실시의 형태에서의 구성 요소를 조합하여 구축되는 형태도, 본 발명의 범위 내에 포함된다. 예를 들면,

도면

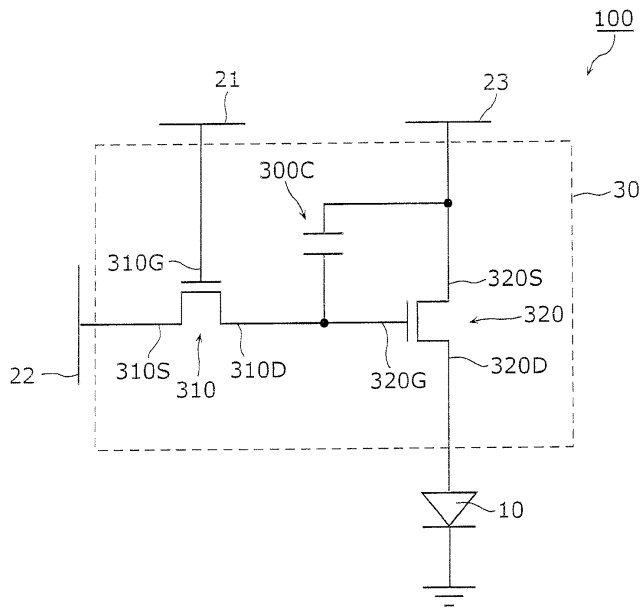
도면1



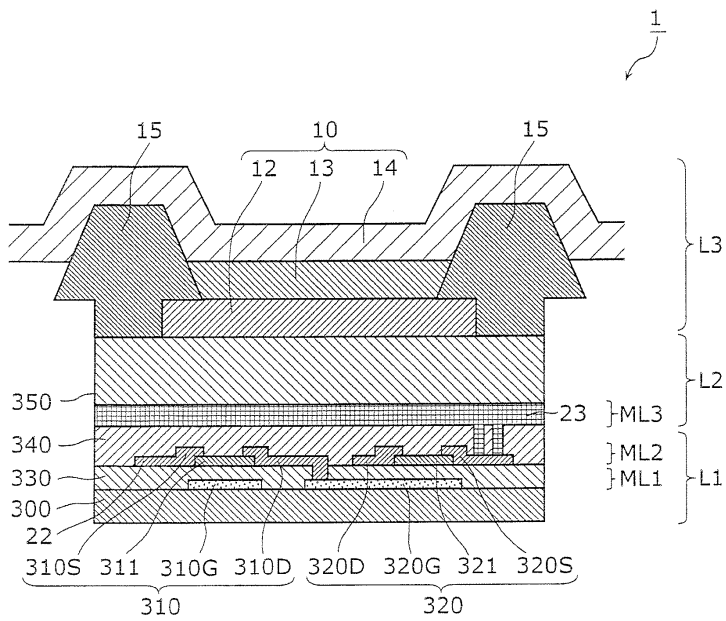
도면2



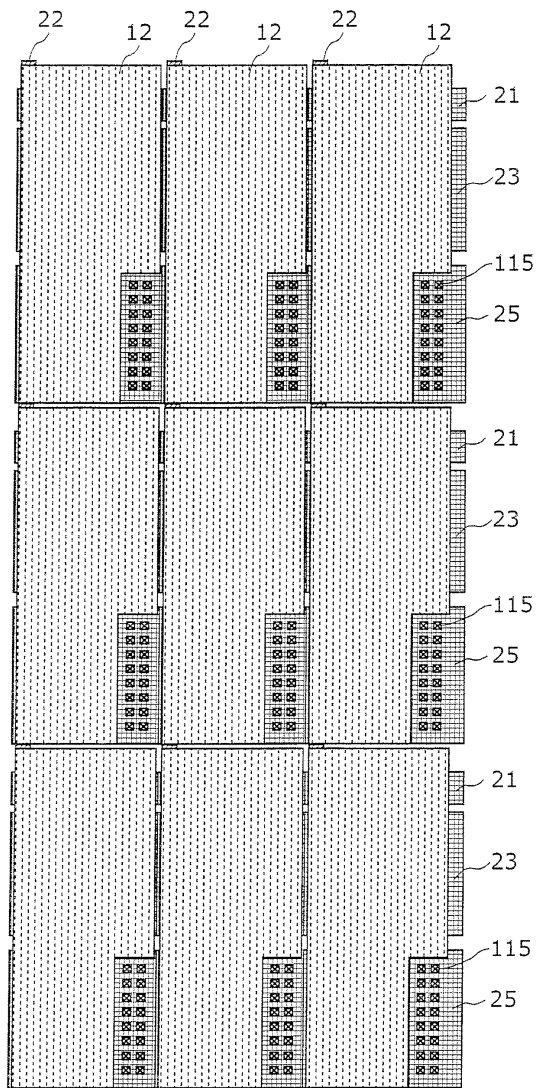
도면3



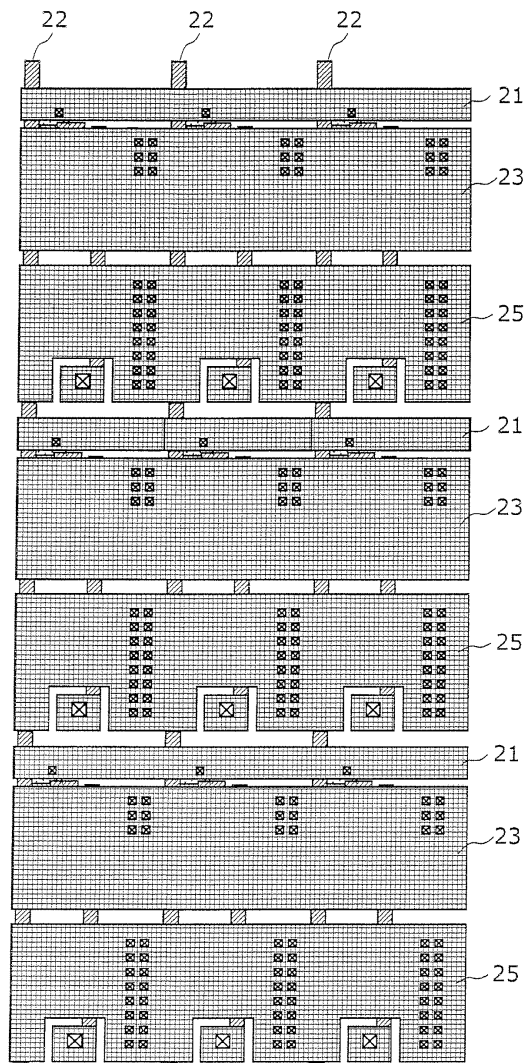
도면4



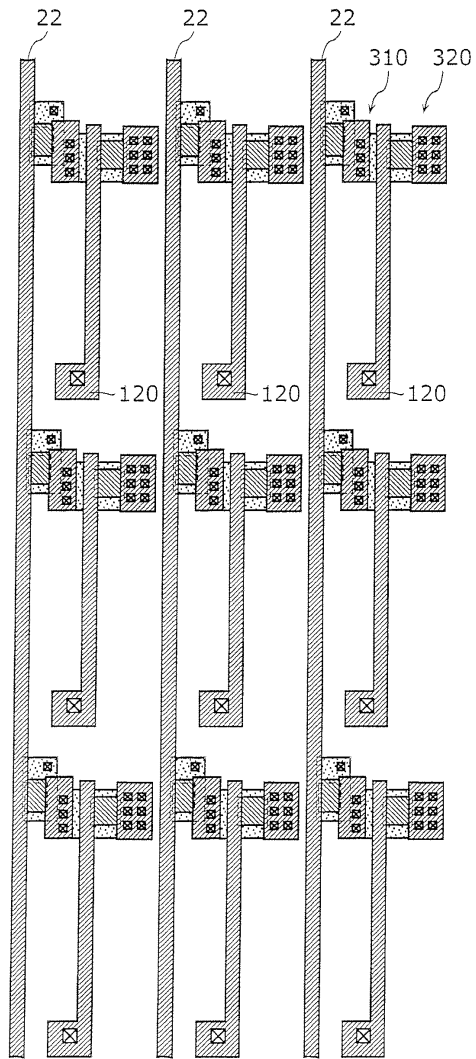
도면5



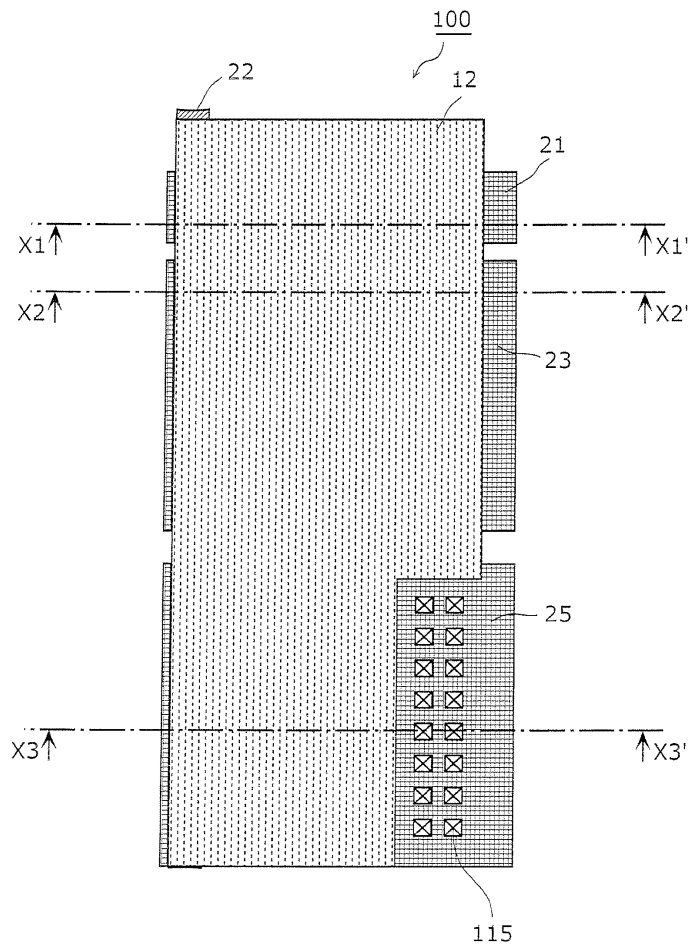
도면6



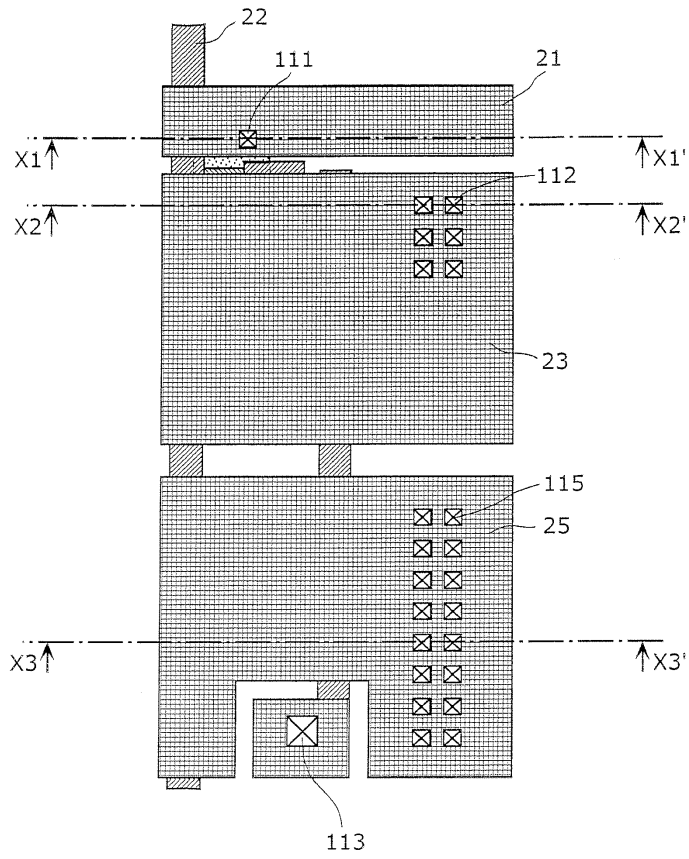
도면7



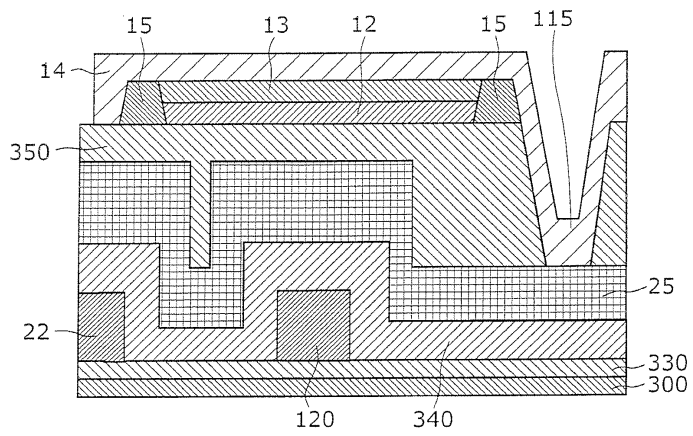
도면8



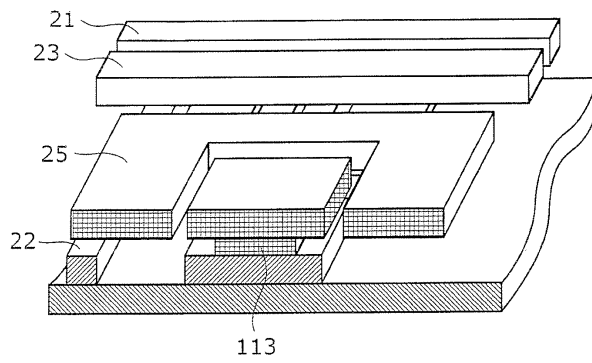
도면9



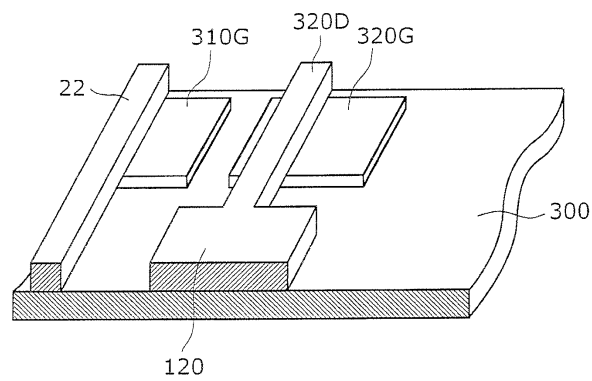
도면13



도면14



도면15



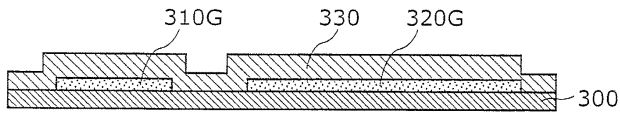
도면16a



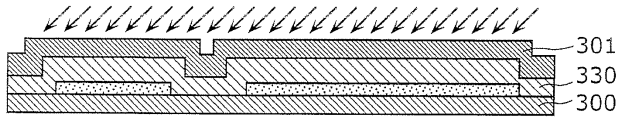
도면16b



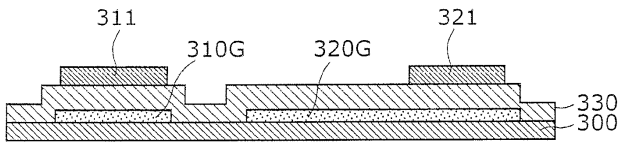
도면16c



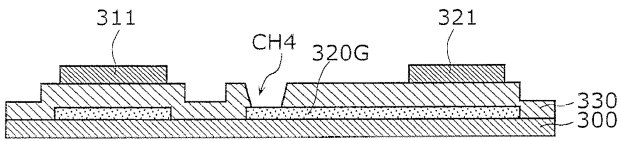
도면16d



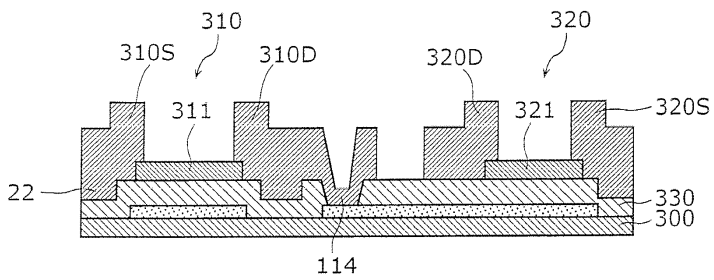
도면16e



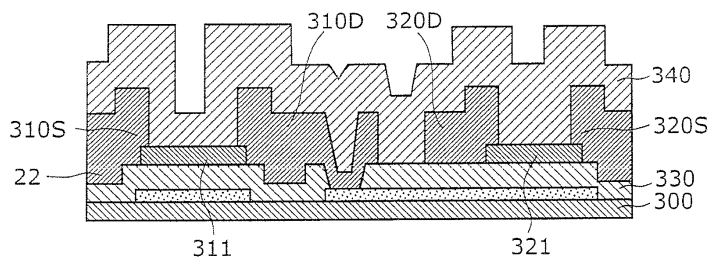
도면16f



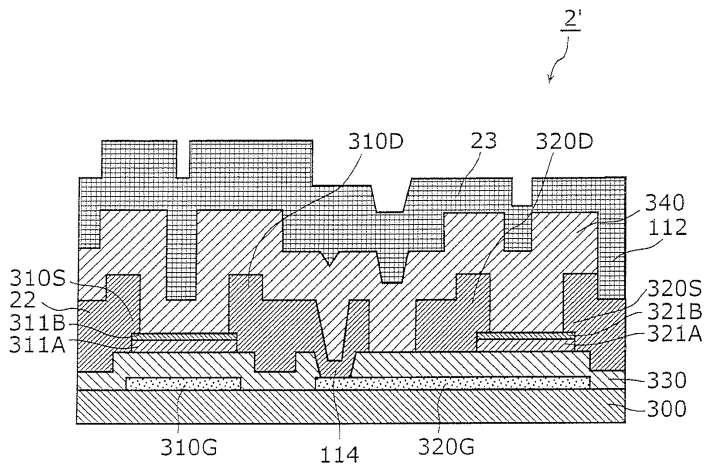
도면16g



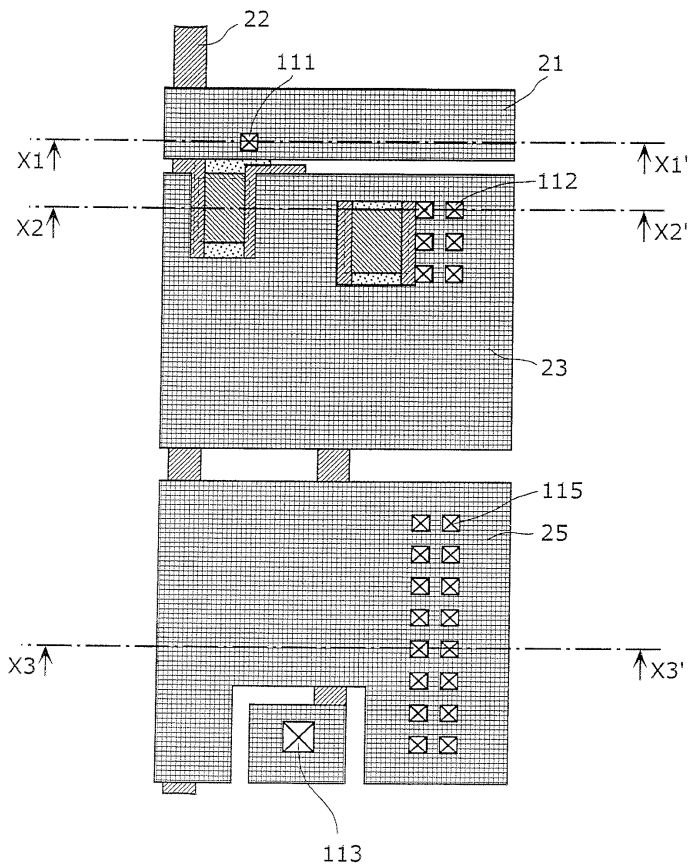
도면16h



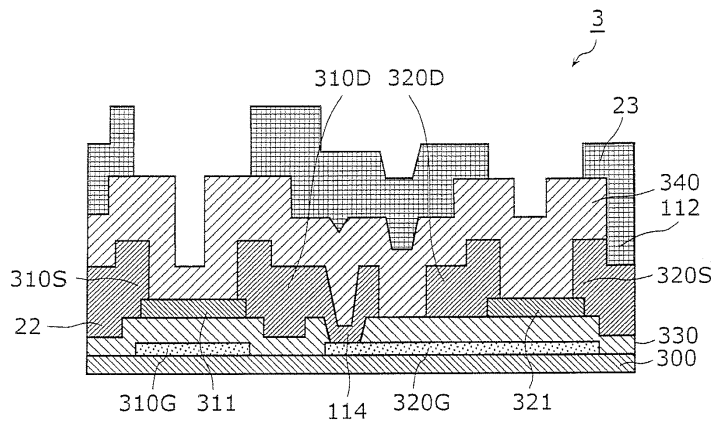
도면18



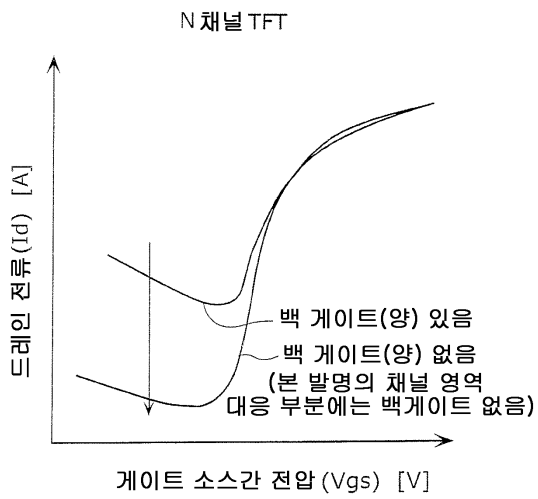
도면19



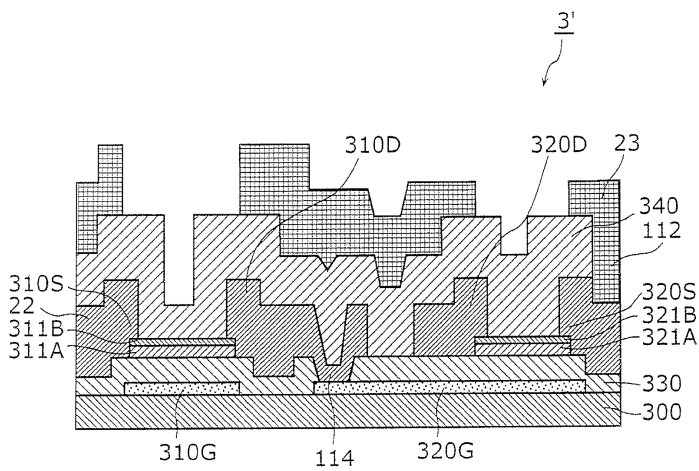
도면20



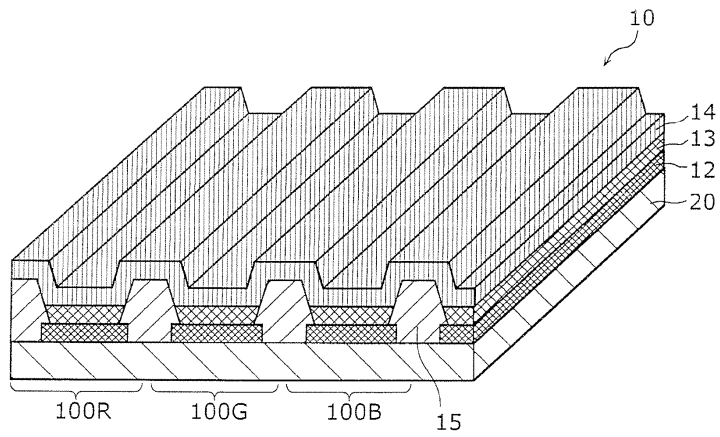
도면21



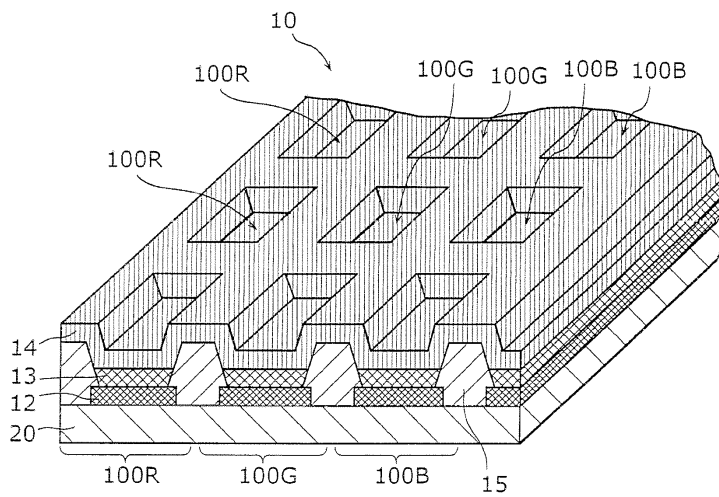
도면22



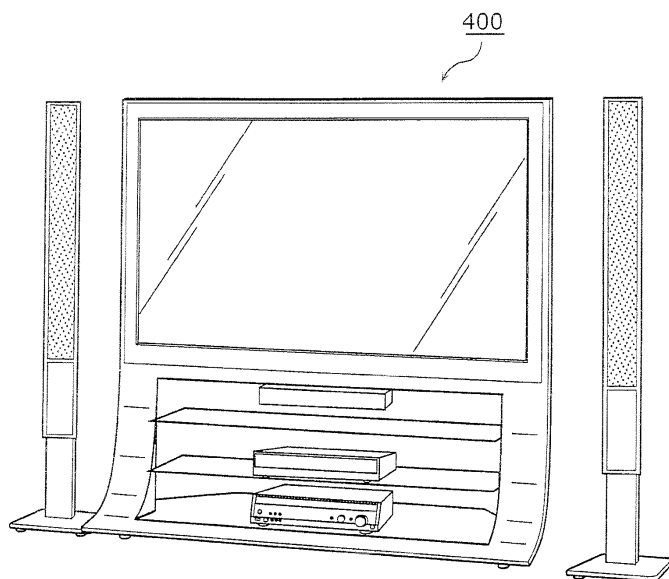
도면23a



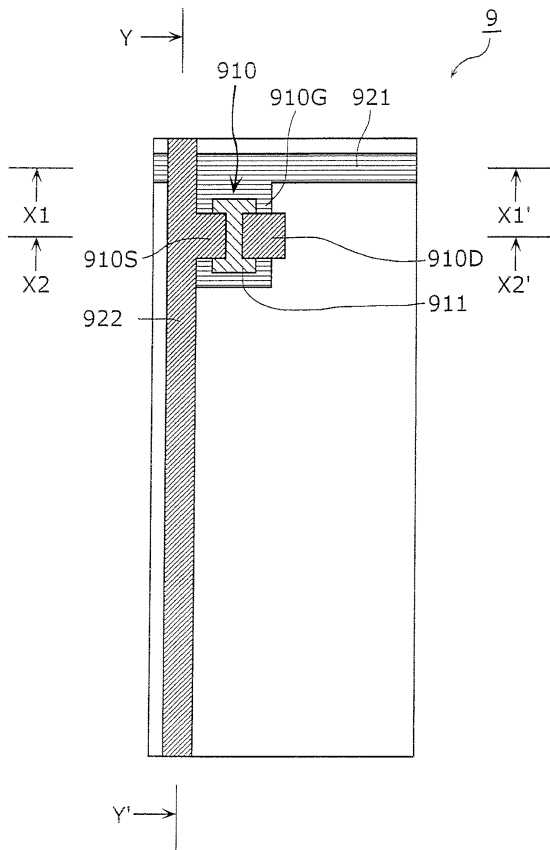
도면23b



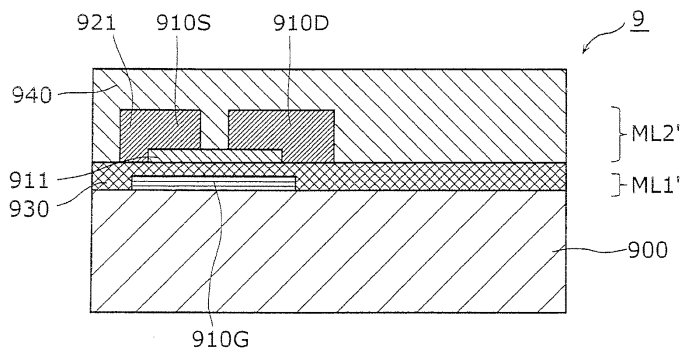
도면24



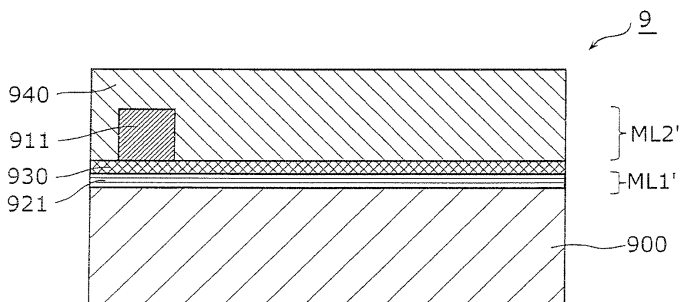
도면25



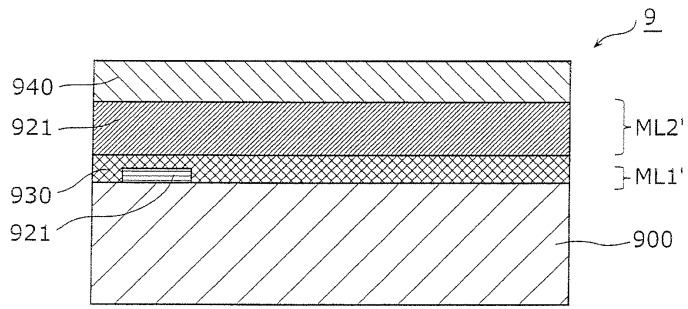
도면26a



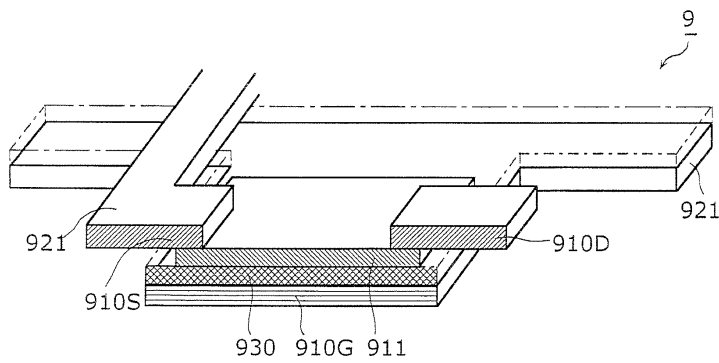
도면26b



도면26c



도면27



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 14, 19번째줄

【변경전】

상기 음극 전극

【변경후】

음극 전극

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 14, 18번째줄

【변경전】

상기 전원 배선

【변경후】

전원 배선

专利名称(译)	标题：EL显示板，EL显示装置和制造EL显示板的方法		
公开(公告)号	KR101344977B1	公开(公告)日	2014-01-15
申请号	KR1020117009893	申请日	2010-09-29
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	KANEGAE ARINOBU		
发明人	KANEGAE, ARINOBU		
IPC分类号	H01L51/50 H01L51/56		
CPC分类号	H01L27/3276		
代理人(译)	汉阳专利事务所		
其他公开文献	KR1020120129750A		
外部链接	Espacenet		

摘要(译)

一种EL显示面板，包括EL单元和薄膜半导体单元，其中EL单元包括阳极，阴极和发光层，薄膜半导体单元包括基板，栅电极，栅极绝缘膜，半导体层，第一电极，第二电极，层间绝缘膜，形成在层间绝缘膜上方的栅极线，形成在层间绝缘膜上方的电源线，与栅极相同的层线，并且与栅极线并排，以及形成在层间绝缘膜上方的辅助线，与栅极线和电源线在同一层中，并且与栅极线并排，并且电源线。

