



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월14일
 (11) 등록번호 10-1021083
 (24) 등록일자 2011년03월03일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2005-7009867
 (22) 출원일자(국제출원일자) 2003년11월25일
 심사청구일자 2008년11월20일
 (85) 번역문제출일자 2005년06월01일
 (65) 공개번호 10-2005-0087818
 (43) 공개일자 2005년08월31일
 (86) 국제출원번호 PCT/IB2003/005432
 (87) 국제공개번호 WO 2004/051616
 국제공개일자 2004년06월17일

(30) 우선권주장
 02102680.2 2002년12월04일
 유럽특허청(EPO)(EP)

(56) 선행기술조사문헌

KR1020020025984 A

전체 청구항 수 : 총 21 항

(73) 특허권자

코닌클리케 필립스 일렉트로닉스 엔.브이.
 네델란드왕국, 아인드호펜, 그로네보르스베그 1

(72) 발명자

존슨, 마크, 토마스
 독일, 아헨 52066, 바이스하우스스트라체 2, 필립스 인텔렉추얼프로퍼티 앤 스탠다즈 게엠베하

후이버츠, 요하네스, 니콜라스

독일, 아헨 52066, 바이스하우스스트라체 2, 필립스 인텔렉추얼프로퍼티 앤 스탠다즈 게엠베하

베이에르, 페테르

독일, 아헨 52066, 바이스하우스스트라체 2, 필립스 인텔렉추얼프로퍼티 앤 스탠다즈 게엠베하

(74) 대리인

문경진

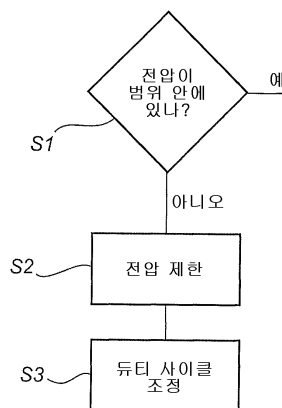
심사관 : 조기덕

(54) 유기 LED 디스플레이 디바이스와 그러한 디바이스를 구동하는 방법

(57) 요약

제 1 전극과 제 2 전극을 가지고, 그 사이에 복수의 발광 소자를 한정하는 유기층이 끼워진 유기 LED 디스플레이 디바이스를 구동하는 방법이 제공된다. 이 방법은 지정된 전압 범위 내의 전압을 발광 소자에 인가하는 단계로서, 상기 지정된 전압 범위 내에서 상기 전극 사이의 단락 회로의 위험은 감소하는, 인가 단계와, 원하는 광 세기가 상기 발광 소자로부터 방출되도록, 상기 발광 소자의 듀티 사이클을 제어하는 단계를 포함한다. 그러므로 유기 LED 디스플레이 디바이스의 픽셀에서의 단락 회로의 확률은, 단락 회로의 가능성이 큰 전압 범위 내에서 디스플레이 픽셀을 동작시키는 것을 회피함으로써 감소한다. 이러한 인가된 전압의 한계는 발광 소자의 듀티 사이클을 제어함으로써 보상된다.

대표도 - 도6



특허청구의 범위

청구항 1

제 1 전극(1)과 제 2 전극(2)을 가지고, 그 사이에 복수의 발광 소자(15)를 한정하는 유기 층(3)이 끼워진 유기 LED 디스플레이 디바이스를 구동하는 방법으로서, 상기 방법은

일정한 전압(V_{FUSE})으로부터 임계 전압(V_{th})까지의 지정된 전압 범위 내의 전압을 발광 소자(15)에 인가하는 단계 (S1, S2)로서, 상기 일정한 전압(V_{FUSE}) 위에서는 불안정성이 사라지고 누설 전류는 감소하며, 상기 임계 전압 (V_{th})위에서는 누설 전류가 높아지는 경향이 있고 단락 회로가 초래되는 경향이 높으며, 상기 지정된 전압 범위 내에서 상기 전극(1, 2) 사이의 단락 회로의 위험은 감소하는, 인가 단계(S1, S2)와,

원하는 광 세기가 상기 발광 소자(15)로부터 방출되도록, 상기 발광 소자(15)의 듀티 사이클을 제어하는 단계 (S3)를

포함하는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 2

제 1항에 있어서, 상기 발광 소자의 듀티 사이클은, 지정된 더 낮은 한계 아래의 인가된 전압을 필요로 하지 않고 원하는 세기의 광을 방출하기 위해, 감소하는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 3

제 1항에 있어서, 상기 발광 소자의 디폴트(default) 듀티 사이클은 100% 미만이고, 상기 듀티 사이클은 지정된 상한 위의 인가된 전압을 필요로 하지 않고 원하는 세기의 광을 방출하기 위해 증가하는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 4

제 2항 또는 제 3항에 있어서, 상기 발광 소자에서 일정한 구동 전류를 유지하기 위해 필요한, 시간에 따라 예상되는 전압 변화를 결정하는 단계와, 그에 따라 상기 발광 소자의 상기 듀티 사이클을 조정하는 단계를 더 포함하는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 5

제 2항 또는 제 3항에 있어서, 상기 디스플레이에서 평균 픽셀 전압을 감시하는 단계와, 이러한 평균 전압에 따라 각 발광 소자의 상기 듀티 사이클을 조정하는 단계를 더 포함하는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 6

제 2항 또는 제 3항에 있어서, 발광 소자의 전압을 감시하는 단계와, 상기 전압에 따라 상기 발광 소자의 듀티 사이클을 조정하는 단계를 더 포함하는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 7

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 듀티 사이클은 각 프레임에 걸쳐 제어되는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 8

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 듀티 사이클은 복수의 프레임에 걸쳐 제어되는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 9

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 디스플레이 디바이스는 액티브 매트릭스 타입인, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 10

제 9항에 있어서, 상기 듀티 사이클은 각각의 발광 소자에 관해서 개별적으로 제어되는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 11

제 9항에 있어서, 상기 듀티 사이클은 복수의 발광 소자에 관해서 공동으로 제어되는, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 12

제 8항에 있어서, 상기 디스플레이 디바이스는 패시브 매트릭스 타입인, 유기 LED 디스플레이 디바이스 구동 방법.

청구항 13

제 1항 내지 제 3항 중 어느 한 항에 기재된 유기 LED 디스플레이 디바이스 구동 방법에 따라 구동되도록 배치된 유기 디스플레이 디바이스.

청구항 14

제 1 전극(1)과 제 2 전극(2)을 가지고, 그 사이에 복수의 발광 소자(15)를 한정하는 유기 층(3)이 끼워진 유기 디스플레이 디바이스로서, 발광 소자(15)에 전압을 인가하는 수단(13, 14)으로서, 상기 전압은 상기 전극(1, 2) 사이의 단락 회로의 위험이 감소하는 지정된 전압 범위에 있는, 전압 인가 수단(13, 14)과, 원하는 세기의 광이 상기 발광 소자(15)로부터 방출되도록, 상기 발광 소자(15)의 듀티 사이클을 제어하는 수단(16, 17; 21; 22)을 더 포함하는, 유기 디스플레이 디바이스.

청구항 15

제 14항에 있어서, 상기 제어 수단(16, 17; 21; 22)은 지정된 하한 아래의 인가된 전압을 필요로 하지 않고 원하는 세기의 광을 방출하기 위해, 상기 듀티 사이클을 감소시키도록 배치되는, 유기 디스플레이 디바이스.

청구항 16

제 14항에 있어서, 상기 제어 수단(16, 17; 21; 22)은 상기 발광 소자의 디폴트 듀티 사이클을 100% 미만으로 유지하고, 지정된 상한 위의 인가된 전압을 필요로 하지 않고 원하는 세기의 광을 방출하기 위해, 상기 듀티 사이클을 증가시키도록 배치되는, 유기 디스플레이 디바이스.

청구항 17

제 14항 내지 제 16항 중 어느 한 항에 있어서, 상기 제어 수단은 상기 발광 소자(15)와 상기 전압 인가 수단(13, 14) 사이에 연결된 트랜지스터(16)와, 상기 트랜지스터(16)의 게이트에 연결된 듀티 사이클 제어기(17)를 포함하는, 유기 디스플레이 디바이스.

청구항 18

제 14항 내지 제 16항 중 어느 한 항에 있어서, 상기 제어 수단은 상기 전압 인가 수단(14)에 연결된 듀티 사이클 제어기(21)를 포함하는, 유기 디스플레이 디바이스.

청구항 19

제 14항 내지 제 16항 중 어느 한 항에 있어서, 상기 제어 수단은 상기 전압 인가 수단(13, 14)에 관련하여 상기 발광 소자(15)의 다른 쪽에 연결된 듀티 사이클 제어기(22)를 포함하는, 유기 디스플레이 디바이스.

청구항 20

제 14항 내지 제 16항 중 어느 한 항에 있어서, 상기 전압 인가 수단은 전력선(14)과, 상기 전력선(14)과 상기 발광 소자(15) 사이에 연결된 구동 트랜지스터(13)를 포함하는, 유기 디스플레이 디바이스.

청구항 21

제 14항 내지 제 16항 중 어느 한 항에 있어서, 상기 제어 수단(16, 17; 21; 22)은 복수의 발광 소자에 관한 상기 듀티 사이클을 공동으로 제어하도록 배치되는, 유기 디스플레이 디바이스.

명세서

기술분야

[0001] 본 발명은 유기 LED 디스플레이 디바이스를 구동하는 방법에 관한 것으로, 상기 디바이스는 제 1 및 제 2 전극을 가지고, 그 사이에 폴리머(PLED)나 작은 유기 분자(OLED) 층과 같은 유기층을 가진다.

배경기술

[0002] 유기 디스플레이에 있어서 단락 회로는, 단락 회로가 직접 픽셀 고장을 유도하기 때문에 특히 심각하다. 유기 LED 디바이스에서, 유기층은 2개의 전극 사이에 전기적인 절연을 제공하고, 동작 중에는 이 층이 높은 전계를 받게 된다. 동시에, 유기 층(입자, 핀 홀 등)의 국부 교란이 발생하고, 국부 누설 전류가 이들 교란으로 인한 전극 사이의 직접적인 접촉의 결과로서 생성된다.

[0003] 단락 회로의 발생은 국부 누설 전류에 의해 소비된 전기 에너지에 의해 구동된다. 에너지 소비는 일정한 디바이스 전류를 유지하기 위해 필요한 전압 증가로 인해, 디스플레이의 수명 기간 동안 증가한다. 그러한 수명에 따른 전압 증가는 유기 LED 디스플레이에 아주 특유한 것으로, 일정한 디바이스 전류가 선호되는 구동 방식이다.

[0004] 에너지 소비가 분해 온도(존재하는 물질의 녹는 점 및 심지어 끓는 점을 포함)보다 높은 국부 온도를 유도하게 되면, 국부적인 손상이 일어난다. 통상 그러한 손상의 결과는 2배가 된다. 이는 훨씬 더 높은 국부 누설 전류를 발생시킬 수 있고, 그에 따른 새로운 손상이 일어난다. 층은 "퓨즈(fuse)"로서 작용하고, 이는 이러한 높은 누설 전류를 유지할 수 없다. 반면에, 손상은 누설 전류의 감소를 가져올 수 있고, 따라서 국부 온도의 감소가 발생한다. 결점은 인가된 전압의 증가가 다시 새로운 손상을 초래할 때까지 중화된다(neutralized).

발명의 상세한 설명

[0005] 본 발명의 목적은 유기 LED 디스플레이에서 단락 회로의 위험을 감소시키는 것이다.

[0006] 이것과 기타 목적은 지정된 전압 범위 내의 전압을 발광 소자에 인가하고, 지정된 전압 범위 내에서 전극 사이의 단락 회로의 위험이 감소되고, 원하는 세기의 광이 상기 발광 소자로부터 방출되도록, 상기 발광 소자의 듀티 사이클을 제어함으로써 달성된다.

[0007] 그러므로 본 발명에 따르면, 유기 LED 디스플레이 디바이스의 픽셀의 단락 회로의 확률은 단락 회로의 가능성이 큰 전압 범위 내의 디스플레이 픽셀을 동작시키는 것을 회피함으로써 감소한다. 이러한 인가된 전압의 한계는 발광 소자의 듀티 사이클을 제어함으로써 보상된다. 유기 LED의 듀티 사이클 제어는 본질적으로 US 6,023,259호에 알려져 있다.

[0008] 본 발명은 디스플레이에서의 픽셀의 인식된 휘도는 방출 동안의 픽셀의 휘도와, 각 픽셀이 광을 방출하는 시간의 비율(픽셀의 "듀티 사이클")의 함수라는 이해에 의지한다. 그러므로 듀티 사이클이 계속해서 가변적임을 제공하는 임의의 주어진 실제 휘도를 구비한 픽셀로부터 임의의 인지된 휘도의 픽셀을 생성하는 것이 이론적으로 가능하다. 따라서, 이러한 실현은 듀티 사이클을 제어함으로써 임의의 주어진 픽셀의 실제 동작 전압을 선택하는 것을 허용한다.

[0009] 연구를 통해 그 범위 내에서 통상 단락의 위험이 감소하는, 위쪽과 아래쪽이 모두 제한된 일정한 전압 범위만 존재한다는 것을 알게 된다. 디스플레이에서 발광 소자의 듀티 사이클을 제어함으로써, 방출된 광 세기의 범위를 제한하지 않고 그러한 범위 내에 전압이 유지될 수 있다.

[0010] 예를 들어 어두운 이미지가 디스플레이되는 일부 상황에서는, 인가된 전압이 때때로 임계치 아래에 있고, 이로 인해 단락 회로의 위험이 상당히 증가한다. 그러한 경우, 픽셀의 동작 전압이 픽셀의 듀티 사이클을 감소시킴으로써, 임계치 위로 유지되도록 제어될 수 있다.

[0011] 다른 애플리케이션에서는, 100%보다 적은 듀티 사이클이 디폴트 동작 방법으로서 선택된다. 일 예로는 비디오 애플리케이션용 액티브 매트릭스 PLED/OLED 디스플레이로, 동작 불선명(motion blur) 아티팩트{소위 "샘플-홀드

(sample-hold)" 아티팩트}를 감소시키기 위해 듀티 사이클이 감소된다. 또 다른 좀더 일반적인 예는, 액티브 매트릭스 디스플레이에 걸친 휘도 균일성을 증가시키기 위해 듀티 사이클을 감소시키는 것이다(균일성에 대해 폴리-Si TFT에서의 트랜지스터-트랜지스터 변동 효과를 감소시킨다).

- [0012] 그러한 상황에서, 디스플레이 성능에 이익을 가져오면서 너무 작은 듀티 사이클의 선택은, 임계치 위의 전압에서 디스플레이 내의 일정한 픽셀(예를 들어, 착색된 픽셀의 한 가지 타입)이 동작하게 할 수 있고, 이를 통해 단락 회로의 위험이 상당히 증가한다. 이러한 경우, 픽셀의 듀티 사이클을 증가시킴으로써 픽셀의 동작 전압이 임계치 아래로 유지되도록 제어될 수 있다(이것이 디스플레이의 성능을 약간 감소시킬지라도).
- [0013] 100% 미만의 디폴트 듀티 사이클을 선택하는 것은 또한 시간에 따른 듀티 사이클의 점진적인 증가를 허용한다. 이는, 인가된 전압이 종종 변하고, 특히 유기 디스플레이의 수명 기간 동안에 증가할 때, 유리할 수 있다. 전압 증가의 비율이 알려지면{또는 룩-업(look-up) 테이블이나 분석 기능으로부터 유도될 수 있다면}, 대신 듀티 사이클이 따라서 증가될 수 있고, 이를 통해 동작 전압이 단락 형성기간 동안 임의의 임계치 아래로 유지될 수 있게 한다.
- [0014] 일 실시예에 따르면, 이는 디스플레이 내의 픽셀의 평균 전압을 감시함으로써, 예를 들어 디스플레이의 전력 소비를 감시함으로써 행해질 수 있다. 이 경우, 실제 (평균) 전압이 감시되고, 듀티 사이클이 필요한 만큼 조정된다.
- [0015] 또 다른 실시예에 따르면, 디스플레이에서의 개별적인 또는 대표적인 픽셀의 전압이 감시되고, 이를 통해 각 픽셀의 듀티 사이클은 임계 전압이 실제로 도달될 때에만 증가될 필요가 있다. 이는 단락 회로 형성의 위험을 증가시키지 않고, 디스플레이가 항상 그것의 가장 높은 가능한 성능 레벨에서 동작하는 것을 보장한다.
- [0016] 듀티 사이클은 각 프레임(단일 프레임 듀티 사이클) 또는 여러 개의 프레임(멀티 프레임 듀티 사이클)에 걸쳐 제어될 수 있다. 여러 개의 프레임 대안은 액티브 매트릭스 디스플레이 디바이스에서뿐만 아니라 패시브 매트릭스 디스플레이 디바이스에서도 구현될 수 있다.
- [0017] 액티브 매트릭스 디스플레이에서, 듀티 사이클은 각 발광 소자에 관해 개별적으로 또는 여러 개의 소자(예: 모든 소자)에 관해 공동으로 제어될 수 있다. 전자의 구현은 최적의 조정 가능성을 허용하고, 후자의 구현은 덜 복잡하고 좀더 비용면에서 효율적이다.
- [0018] 본 발명의 이들 및 다른 양태는 첨부된 도면을 참조하여 좀더 명확히 기술된 바람직한 실시예로부터 명백해진다.

실시예

- [0024] 전술한 바와 같이, 본 발명은 디스플레이에서 발광 소자의 전압을 제어하는 것에 기초하여, 발광 소자가 단락의 위험을 감소시키는 지정된 전압 범위 내로 유지되도록 한다. 다음에서, 그러한 범위가 어떻게 지정되는지에 관해 좀더 상세히 논의된다. 도 1에 대한 참조가 이루어지는데, 도 1은 상부 전극(1)과 하부 전극(2), 및 중간 유기{폴리머(PPV)나 작은 유기 분자}층(3)을 가진 유기 디스플레이 디바이스에서의 픽셀을 도시한다.
- [0025] 상부 전극(1)과 하부 전극(2) 사이의 정전기 인력은 유기 층(3)의 초기 손상 이후에 물리적인 접촉을 유발한다. 이 힘은 인가된 전압(통상 50 내지 100MV/m)과 유기 층(3)의 두께(통상 PLED 디바이스의 경우 60 내지 120nm)에 직접적으로 관련된다. 이러한 층 두께가 본질적으로 일정하므로, 전압은 단락 회로의 전개에 있어 중요한 역할을 한다.
- [0026] 또한, 국부적인 방전으로 인한 손상은 구성 층 간의 접촉이 불량할 때 좀더 광범위한 것으로 발견된다. 인가된 전압에 의해 생긴 정전기력은 층이 함께 압착될 때, 접촉의 인위적인 개선을 초래한다. 다시, 전압(정전기력)과 단락 확률 사이의 상관성이 확인된다.
- [0027] 전압 외에도, 디바이스 전류 또는 좀더 구체적으로 세그먼트 전류가 중요한 역할을 한다. 통상 단락 회로는 픽셀보다 훨씬 작은 국부적인 현상(통상 1 내지 10 μ m)이다. 단락 회로는 세그먼트 전류 정도의 지속적인(sustained) 안정한 또는 불안정한 높은 누설 전류에 지나지 않는다. 따라서 일정한 전류를 단락 회로를 구비한 세그먼트에 공급하는 것은, 안정하거나 불안정하거나(깜박임), 광의 손실을 초래한다.
- [0028] 하지만, LED 층이 얼마나 높은 누설 전류를 지속할 수 있는가에 대한 제한이 있고, 따라서 이것은 누설 채널을 통해 흐를 수 있는 최대 전류를 제한하게 된다{이러한 현상은 "퓨징(fusing)"이라고 부른다}. 따라서, 가능한 단락 회로에 관해서 일정한 양의 광을 방출하는 DC 전류 대신, 더 짧고, 더 높은 전류 펄스를 가지는 것이 바람

직하다. 단락 회로의 영향은, 픽셀에서의 최대 누설 전류에 대한 펄스 전류의 비율

수학식 1

$$R_{OLED}^{DRIVING} = \frac{I_{dev}^{pulse}}{I_{leakage}^{MAX}}$$

[0029]

이 높을 때 작다.

[0030]

실험 상의 증거는 또한 단락 회로로의 초기 국부적인 손상의 전개가 사용된 전압뿐만 아니라 디바이스 전류에 의존한다는 사실을 보여준다.

[0031]

이는

[0032]

수학식 2

$$P_{short} = a A_{dev}$$

[0033]

와 같이 표현될 수 있고, 여기서 a는 단락 확률(P_{short})과 디바이스 면적(A_{dev}) 사이의 비례 상수이다.

[0034]

도 2에서는, 4개의 다른 양식(regime)(I 내지 IV)이, 각각 인가된 전압(파선, 11)과 단락 확률 사이, 및 펄스 전류(점선, 12)와 단락 확률 사이의 상호 관계로 구별될 수 있다. 다른 양식 사이의 경계(13)(그늘진 부분)는 다른 폴리머일 경우 변하고 정확한 층 구성에도 의존한다.

[0035]

위에서 스케치 된 측정값과 모델에 기초하여, 4개의 양식은 다음과 같은 특징을 가질 수 있다.

[0036]

I) 전압에 관한 작은 값으로, 누설 전류에 있어서의 불안정성은 실험상 작은 것으로 발견된다. 정전기 인력은 여전히 직접적인 접촉을 유발하기에는 너무 적다. 이는 구성 층의 탄력성과 직접적으로 관련이 있다. 또한, 소비된 에너지($\sim V_{app1}/R_{channel}$, 여기서, V_{app1} 은 인가된 전압이고, $R_{channel}$ 은 국부 누설 경로의 저항이다)는 손상을 일으키기에는 너무 작다.

[0037]

II) 이러한 전압 양식에서, "퓨징"은 강한 전류 불안정성을 초래한다. 전압에 의해 생긴 정전기력은 애노드에 대해 캐소드를 압착시킨다. 하지만, 그 결과 생기는 손상은 새로운 접촉과 그로 인한 손상 등을 초래하고, 단락 회로가 확장한다. 또한, 단락 회로 확률은 통상 손상된 구역(누설 채널)의 주변 길이에 따라 증가하고, 이러한 전압 양식에서 발생하는 손상이 증가하면, 이러한 둘레의 주변 길이의 증가를 가져오므로, 단락 확률 또한 증가한다.

[0038]

III) 5V와 10V 사이의 전압에서, 재차 단락 회로 확률의 강한 감소가 관찰된다. 일정한 전압(V_{FUSE}) 위에서는 불안정성이 사라지고, 누설 전류는 감소한다. 전술한 층간 접착의 인위적인 증가는 치유 확률(손상시 $R_{channel}$ 의 증가)을 촉진한다. 이러한 제 3 양식은 LED 구동에 관한 바람직한 양식이다.

[0039]

IV) 일정한 임계치 위의 전압(통상적인 70nm 두께의 유기 디바이스에 관해 $\sim 10V$)에 관해, 모든 디바이스가 누설 전류가 대단히 높은 상황으로 되는 경향이 있다는 것이 실험적으로 관찰되었다. 그 결과는 단락 회로이다. 명백히, 국부 온도(소비 전력 $\sim V_{app1}/R_{channel}$ 과 직접적으로 관련)가 전극 중의 하나가 분해되는, 또한 층간 접착이 일부 다른 방식으로(예를 들어, 기체 형성) 깨지는 높은 수치에 도달한다. 실험적으로, 이러한 효과는 전압의 함수로서 매우 갑자기 시작하는 것으로 또한 발견되었다. 임계 전압(V_{th})은 폴리머 타입과 디바이스 구성의 함수로서 변하는 것이 발견된다.

[0040]

결론으로서, 일반적으로 인가된 전압에 있어서, 다음 수학식 3의 조건이 충족되어야 한다:

[0041]

수학식 3

$$V_{FUSE} < V_{app1} < V_{th}$$

[0042]

여기서, 낮은 단락 회로 확률을 달성하기 위해 요구되는, 수학식 1에서 언급된 디바이스 전류 비율에 대한 조건인 $R_{OLED}^{DRIVING} \gg 1$ 가 충족되어야 한다.

[0043]

본 발명에 따른 방법의 일 실시예가 도 6에 도시되어 있다. 먼저, 단계 S1에서, 발광 소자에 인가된 전압이 지

[0044]

정된 범위(수학식 3) 내에 있는지가 확립된다. 만약 그렇지 않다면, 단계 S2에서 전압이 제한되고, 그에 따라 단계 S3에서 듀티 사이클이 조정된다.

- [0045] 도 3 내지 도 5를 참조하면, 상기 상황은 액티브 매트릭스 폴리머 LED 디바이스의 구동 체계(driving scheme)에 적용된다. 상기 목적은 그러한 디스플레이에서의 픽셀(발광 소자)의 듀티 사이클이 자유롭게 선택될 수 있으므로, 액티브 매트릭스 애플리케이션에서 달성될 수 있다. 그 이유는 픽셀이 실제로 광을 방출하지 않고 픽셀(어드레싱)의 휘도 레벨을 설정할 수 있기 때문이다.
- [0046] 도 3은 예를 들어, 본 발명에 따른 PLED나 OLED와 같은 유기 발광 소자(15)를 구동하기에 적합한 액티브 매트릭스 회로를 도시한다. 회로는 저장 포인트(12)로의 데이터 전압($V_{\text{데이터}}$)의 기입을 허용하는 어드레싱 트랜지스터(11)를 가진다. 이 전압은 전력선(14)에 관한 구동 트랜지스터(13)의 게이트 전압을 결정한다. 게이트 전압이 구동 트랜지스터(13)의 임계 전압보다 크다면, 전류가 전력선(14)으로부터 캐소드(18)로, 그 사이에 제공된 PLED/OLED(15)를 경유하여 흐른다. 이후 PLED/OLED(15)는 광을 생성한다.
- [0047] 도 3의 회로는 또한 PLED/OLED(15)와 구동 트랜지스터(13) 사이에 연결된 추가 트랜지스터(16)를 포함한다. 이 트랜지스터는 OLED/PLED의 듀티 사이클을 한정한다. 픽셀은 이 트랜지스터가 전도성이 되도록 될 때에만 광을 방출한다. 이 실시예에서, 듀티 사이클은 추가 트랜지스터(16)가 전도성인 상태에 있는 기간을 한정함으로써 수정될 수 있다. 트랜지스터(16)의 게이트는 듀티 사이클, 즉 트랜지스터(16)가 열려져 있는 프레임의 기간을 제어하는 회로(17)에 연결된다. 회로(17)는 예를 들어 펄스 폭 변조기일 수 있다.
- [0048] 디스플레이에서 모든 듀티 사이클 트랜지스터(16)가 단일 제어기(17)에 연결되면, 안전한 픽셀 전압을 보장하기 위해 전체 디스플레이에서의 모든 픽셀의 듀티 사이클을 공동으로 수정할 수 있다. 바람직한 실시예에 따르면, 디스플레이의 부분은, 개별적으로 어드레싱된 듀티 사이클 트랜지스터(16)를 제공(예를 들어, 각각의 채색된 픽셀에 관해 하나의 세트)함으로써, 그들의 듀티 사이클이 개별적으로 설정되고 수정되게 할 수 있다.
- [0049] 이제 도 4를 참조하면, 이 도 4는 본 발명을 실현하기에 적합한 픽셀 회로의 제 2 실시예를 도시한다. 도 3의 소자와 유사한 소자는 동일한 참조 번호가 주어진다. 이 실시예에 따르면, 고 전압으로 전력선이 설정되는 프레임의 기간 조정을 가능하게 하기 위해, 전력선(14)에는 도 3의 회로(17)와 유사한 회로(21)가 제공된다. 이러한 "전력선 듀티 사이클"은 번갈아 PLED/OLED 픽셀의 듀티 사이클을 한정하는데, 이는 전력 공급이 고 전압으로 설정될 때에만 픽셀이 광을 방출하기 때문이다. 따라서 이 실시예에 따르면, 듀티 사이클은 전력선이 고 전압으로 변하는 프레임의 기간을 조정함으로써 수정될 수 있다.
- [0050] 모든 픽셀이 단일 전력 라인(14)에 연결되면, 안전한 픽셀 전압을 보장하기 위해 전체 디스플레이의 듀티 사이클을 수정하는 것이 가능하다. 바람직한 실시예에 따르면, 다수의 전력선을 제공함으로써(예를 들어 채색된 픽셀의 각 세트에 대해 하나의 전력선), 디스플레이의 부분은 그들의 듀티 사이클이 개별적으로 설정되고 수정되게 할 수 있다.
- [0051] 본 발명을 실현하는 픽셀 회로의 제 3 실시예는 도 5에 도시되어 있고, 도 5에서는 재차 도 3에서의 소자와 유사한 소자는 동일한 참조 번호가 주어진다. 도 3의 회로(17)와 유사한 회로(22)는 PLED/OLED(15)의 캐소드(18)에 연결된다. 이러한 배치를 통해, 픽셀의 듀티 사이클은 PLED/OLED 캐소드(18)에 대한 전압을 조정함으로써 수정될 수 있다. 캐소드 전압이 높게 설정되면(일반적으로 전력선 전압보다 높게), 다이오드가 역 전압으로 설정되므로, 픽셀은 광을 방출할 수 없다. 그러므로 이러한 실시예에 따르면, 듀티 사이클은 캐소드가 낮은 전압으로 설정되는 프레임의 기간을 조정함으로써, 수정될 수 있다.
- [0052] 일반적으로 액티브 매트릭스 PLED/OLED 디스플레이에 있어서, 모든 픽셀은 단일 캐소드 연결부에 연결되고, 안전한 픽셀 전압을 유지하기 위해 전체 디스플레이의 듀티 사이클을 수정할 수 있다. 또한, 다수의 캐소드(예를 들어, 채색된 픽셀의 각 세트에 관해 하나의 캐소드)를 제공할 수 있고, 이를 통해 디스플레이의 다른 부분이 그들의 듀티 사이클을 개별적으로 설정하고 수정하는 것을 가능하게 한다.
- [0053] 도 3 내지 도 5에 가장 간단한 전압 어드레싱된 액티브 매트릭스 PLED/OLED 픽셀 회로가 일 예로서 도시되었지만, 관련 분야에 알려진 다수의 전압 및 전류 모두 어드레싱된 픽셀 회로에 유사한 방식을 적용하는 것이 가능하다. 또한, 유기 LED 디스플레이에서 듀티 사이클을 생성하기 위해, 종래 기술로부터 알려진 바와 같은 다른 방법도 유리하게 적용될 수 있는데, 이러한 방법에는 예를 들어 디스플레이에서의 픽셀이 각 프레임에서 두번 이상 어드레싱되고, 제 1 하위 프레임 기간에서 광을 생성하는데 픽셀이 어드레싱되며, 다음 하위 프레임 기간에서 광을 생성하지 않도록 어드레싱되는 방법이 있다.

- [0054] 전술한 실시예에서, "듀티 사이클"이란 표현은 한번에 하나의 프레임에 관해서만 사용되었다. 하지만, 본 발명은 이러한 해석에 제한되지 않고, 추가적인 바람직한 실시예는 여러 개의 프레임에 걸친 "듀티 사이클"의 구현을 포함하는데, 즉 전체 방출된 광 세기를 감소시키기 위해, 선택된 프레임 동안에 선택된 픽셀이 켜지지 않도록 제어한다.
- [0055] 이는 예를 들어 실제로 프레임 듀티 사이클을 더 감소시키기 위해 비합리적인, 예를 들어 전자 회로가 전자 회로의 동작을 안정화하기 위해 적어도 일정한 시간을 필요로 하는 상황에서 유리할 수 있다. 그러한 상황에서, 원하는 감지된 휘도 레벨에 도달하기 위해서, 일부 덜 밝은 픽셀은 전술한 임계치 중 하나 아래에 있는 전압을 요구할 수 있다. 이는 이들 픽셀에서의 단락 회로의 위험을 증가시킨다.
- [0056] 그러한 상황에서, 디스플레이는 그러한 픽셀이 더 이상 모든 프레임마다 어드레싱되지 않는 식으로 구동될 수 있다. 예를 들어, 이들 픽셀을 매 2개의 프레임마다 어드레싱함으로써, 픽셀이 동일한 감지된 휘도를 달성하기 위해 활성화될 때, 휘도가 2배나 더 밝은 펄스가 프레임에서 요구된다. 이러한 식으로, 픽셀은 임계치 위의 더 높은 전압에서 활성 프레임 동안에 동작하고, 단락의 위험은 재차 감소한다. 다른 비활성 프레임에서, 픽셀은 전혀 구동되지 않고 단락 회로화 시키지 않는다.
- [0057] 물론, 여전히 동작 전압에서의 추가 증가가 요구된다면, 픽셀은 훨씬 덜 자주 어드레싱될 수 있다. 오직 적은 감소만이 요구된다면, 픽셀은 예를 들어 3개의 프레임 중 2개의 프레임마다 어드레싱될 것이다.
- [0058] 디스플레이를 이러한 식으로 동작시키기 위해, 그러한 다수의 프레임 구동과 그에 따른 구동 신호의 조정을 필요로 하는 픽셀을 식별하기 위해, 소량의 데이터 처리가 요구된다.
- [0059] 본 발명의 이러한 실시예는 액티브 매트릭스 디스플레이에 제한되지 않고, 재차 너무 낮은 전압에서 동작하는 덜 밝은 픽셀을 회피하기 위해, 패시브 매트릭스 디스플레이에서도 유리하게 사용될 수 있다는 점을 주목해야 한다. 이는 패시브 매트릭스가 진폭 변조 구동을 사용하여 그레이 레벨을 생성할 때 더 적절한 경향이 있다. 구현에는 액티브 매트릭스 애플리케이션에 관해 전술한 구현예와 유사할 수 있다.

산업상 이용 가능성

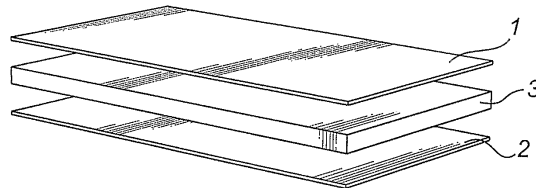
- [0060] 본 발명은 제 1 및 제 2 전극을 가지고, 그 사이에 폴리머(PLED)나 작은 유기 분자(OLED) 층과 같은 유기층을 가지는 유기 LED 디스플레이 디바이스를 구동하는 데 이용 가능하다.

도면의 간단한 설명

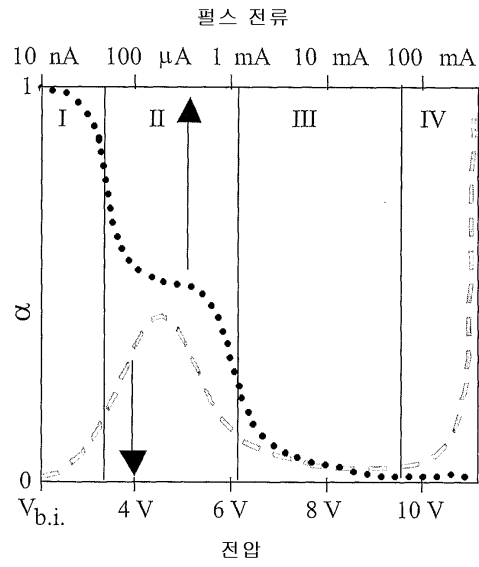
- [0019] 도 1은 유기 LED 디스플레이에서의 픽셀의 개략 사시도.
- [0020] 도 2는 도 1에서의 디스플레이의 4개의 전압 양식을 도시하는 도면.
- [0021] 도 3은 본 발명의 제 1 실시예에 따른 픽셀 구동의 개략 회로도.
- [0022] 도 4는 본 발명의 제 2 실시예에 따른 픽셀 구동의 개략 회로도.
- [0023] 도 5는 본 발명의 제 3 실시예에 따른 픽셀 구동의 개략 회로도.

도면

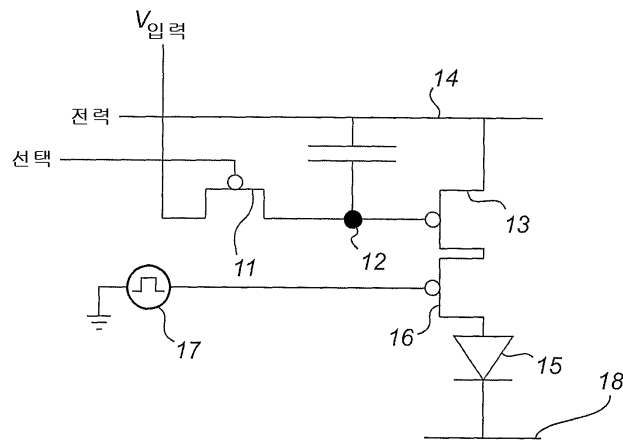
도면1



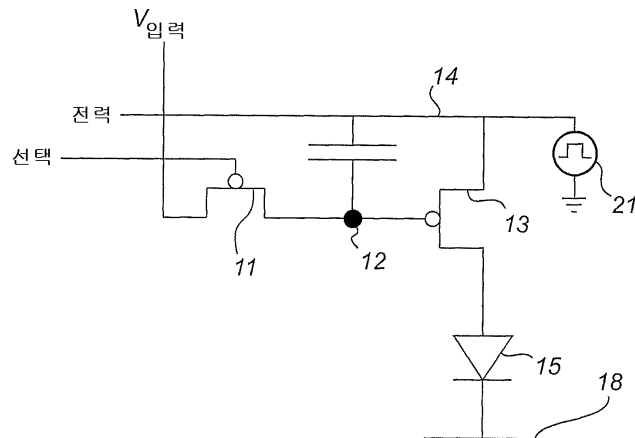
도면2



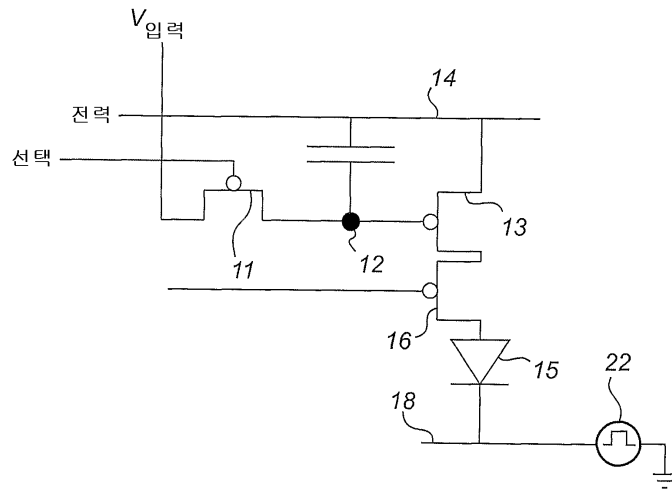
도면3



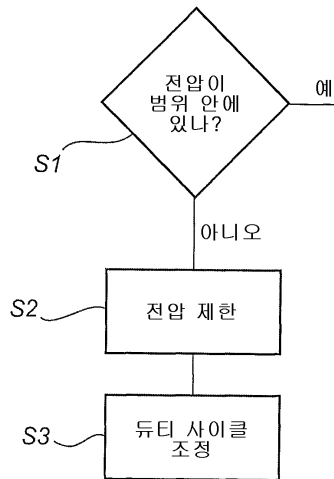
도면4



도면5



도면6



专利名称(译)	有机LED显示装置和驱动这种装置的方法		
公开(公告)号	KR101021083B1	公开(公告)日	2011-03-14
申请号	KR1020057009867	申请日	2003-11-25
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	JOHNSON MARK THOMAS 존슨마크토마스 HUIBERTS JOHANNES NICOLAAS 후이버츠요하네스니콜라스 WEIJER PETER 베이에르삐테르		
发明人	존슨,마크,토마스 후이버츠,요하네스,니콜라스 베이에르,삐테르		
IPC分类号	G09G3/30 G09G3/20 G09G3/32		
CPC分类号	G09G3/3216 G09G3/2014 G09G3/2077 G09G3/3233 G09G3/3291 G09G2300/0842 G09G2320/043		
代理人(译)	文京的		
优先权	2002102680 2002-12-04 EP		
其他公开文献	KR1020050087818A		
外部链接	Espacenet		

摘要(译)

提供一种驱动有机LED显示装置的方法，该有机LED显示装置具有第一电极和第二电极，其间夹有有机层并限定多个发光元件。该方法包括将指定电压范围内的电压施加到发光器件的步骤，其中电极之间短路的风险在指定的电压范围内降低;并控制发光器件的占空比。因此，通过避免在短路可能性大的电压范围内操作显示像素，降低了有机LED显示装置的像素中的短路概率。通过控制发光元件的占空比来补偿施加电压的这种限制。

