



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01) G09G 3/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월18일 10-0719671 2007년05월11일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0031638 2006년04월06일 2006년04월06일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	신동용 서울특별시 관악구 봉천1동 969-37
(74) 대리인	신영무
(56) 선행기술조사문헌	
JP10011011 A KR1020020079585 A	JP2000276108 A KR1020060089934 A

심사관 : 천대식

전체 청구항 수 : 총 32 항

(54) 데이터 구동부 및 이를 이용한 유기 전계발광 표시장치

(57) 요약

본 발명의 실시예에 의한 데이터 구동부는, 제 1클럭신호, 제 2클럭신호 및 스타트펄스를 공급받아 순차적으로 샘플링 펄스를 생성하는 쉬프트 레지스터부와; 디지털 데이터의 각 비트 입력받고, 상기 샘플링 펄스와 차징 신호에 대응하여 상기 입력받은 디지털 데이터의 각 비트를 임시 저장함과 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시키는 샘플링 래치부와; 제 1인에이블 신호 및 제 2인에이블 신호에 대응하여 상기 샘플링 래치부로부터 출력되는 각각의 데이터 비트 및 반전 비트를 입력받아 이를 출력하는 홀딩 래치부와; 상기 홀딩 래치부로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 디지털-아날로그 컨버터가 포함됨을 특징으로 한다.

이와 같은 본 발명에 의하면, 데이터 구동부에 포함되는 쉬프트 레지스터들, 샘플링 래치들, 홀딩 래치들, 디지털-아날로그 컨버터를 PMOS 트랜지스터들로만 구성하기 때문에 패널에 실장 가능하고, 이에 따라 제조비용을 절감할 수 있는 장점이 있다.

대표도

도 4

특허청구의 범위

청구항 1.

제 1클럭신호, 제 2클럭신호 및 스타트펄스를 공급받아 순차적으로 샘플링 펄스를 생성하는 쉬프트 레지스터부와;

디지털 데이터의 각 비트 입력받고, 상기 샘플링 펄스와 차징 신호에 대응하여 상기 입력받은 디지털 데이터의 각 비트를 임시 저장함과 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시키는 샘플링 래치부와;

제 1인에이블 신호 및 제 2인에이블 신호에 대응하여 상기 샘플링 래치부로부터 출력되는 각각의 데이터 비트 및 반전 비트를 입력받아 이를 출력하는 홀딩 래치부와;

상기 홀딩 래치부로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 디지털-아날로그 컨버터가 포함됨을 특징으로 하는 데이터 구동부.

청구항 2.

제 1항에 있어서,

상기 쉬프트 레지스터부는 각 채널마다 하나의 쉬프트 레지스터를 구비함을 특징으로 하는 데이터 구동부.

청구항 3.

제 1항에 있어서,

상기 샘플링 래치부는 각 채널마다 입력되는 디지털 데이터의 비트수*2개의 샘플링 래치를 구비함을 특징으로 하는 데이터 구동부.

청구항 4.

제 3항에 있어서,

상기 각 채널에 구비되는 다수의 샘플링 래치들 중 기수번째 샘플링 래치들은 입력받은 데이터의 각 비트에 대응되는 전압을 출력함을 특징으로 하는 데이터 구동부.

청구항 5.

제 3항에 있어서,

상기 각 채널에 구비되는 다수의 샘플링 래치들 중 우수번째 샘플링 래치들은 입력받은 데이터(Data) 비트의 극성에 대응하여 이를 반전시킨 전압을 출력함을 특징으로 하는 데이터 구동부.

청구항 6.

제 1항에 있어서,

상기 홀딩 래치부는 각 채널마다 입력되는 디지털 데이터의 비트수*2개의 홀딩 래치를 구비함을 특징으로 하는 데이터 구동부.

청구항 7.

제 1항에 있어서,

상기 디지털-아날로그 컨버터는 다수의 PMOS 트랜지스터만으로 구현되어 상기 홀딩 래치로부터 출력되는 디지털 데이터의 각 비트 및 반전된 비트를 입력받아 이에 대응하여 복수의 계조전압들 중 어느 하나를 선택함을 특징으로 하는 데이터 구동부.

청구항 8.

제 1항에 있어서,

상기 차징 신호는 상기 데이터의 각 비트 및 반전 비트가 입력되는 기간 동안 하이 레벨로 제공됨을 특징으로 하는 데이터 구동부.

청구항 9.

제 1항에 있어서

상기 제 1클럭신호 및 제 2클럭신호는 위상이 반대인 것을 특징으로 하는 데이터 구동부.

청구항 10.

제 9항에 있어서

상기 제 1클럭신호 및 제 2클럭신호가 하이 레벨에서 소정부분 오버랩됨을 특징으로 하는 데이터 구동부.

청구항 11.

제 2항, 3항, 6항 중 어느 한 항에 있어서,

상기 쉬프트 레지스터, 각 채널에 구비되는 기수번째 샘플링 래치 및 홀딩 래치 각각은

제 2입력단자에 게이트전극이 접속되고 제 1노드에 제 2전극이 접속되며, 제 1전극이 외부 입력단자와 접속되는 제 1트랜지스터와;

게이트전극이 상기 제 1노드에 접속되고 제 1전극이 제 1입력단자에 접속되며, 제 2전극이 출력단자에 접속되는 제 2트랜지스터와;

게이트전극이 상기 제 2입력단자에 접속되고 제 2노드에 제 1전극이 접속되며, 제 1전극이 제 4전원과 접속되는 제 3트랜지스터와;

게이트전극이 상기 제 1노드에 접속되고 제 1전극이 상기 제 2입력단자에 접속되며, 제 2전극이 상기 제 2노드에 접속되는 제 4트랜지스터와;

게이트전극이 상기 제 2노드에 접속되고 제 1전극이 제 3전원이 접속되며, 제 2전극이 상기 출력단자에 접속되는 제 5트랜지스터와;

상기 제 2트랜지스터의 게이트전극과 상기 제 2전극 사이에 접속되는 커패시터를 구비하는 것을 특징으로 하는 데이터 구동부.

청구항 12.

제 11항에 있어서,

상기 제 1트랜지스터 내지 제 5트랜지스터는 PMOS로 형성되는 것을 특징으로 하는 데이터 구동부.

청구항 13.

제 11항에 있어서,

상기 제 3전원은 상기 제 4전원 보다 높은 전압값으로 설정되는 것을 특징으로 하는 데이터 구동부.

청구항 14.

제 11항에 있어서,

상기 쉬프트 레지스터들 중 기수번째 쉬프트 레지스터들의 제 1입력단자로는 상기 제 1클럭신호가 공급되고, 제 2입력단자로는 제 2클럭신호가 공급되는 것을 특징으로 하는 데이터 구동부.

청구항 15.

제 11항에 있어서,

상기 쉬프트 레지스터들 중 우수번째 쉬프트 레지스터들의 제 1입력단자로는 상기 제 2클럭신호가 공급되고, 제 2입력단자로는 제 1클럭신호가 공급되는 것을 특징으로 하는 데이터 구동부.

청구항 16.

제 11항에 있어서,

상기 쉬프트 레지스터들은 상기 제 2입력단자로 로우레벨의 전압이 공급될 때 상기 커패시터에 상기 외부 입력단자로부터 공급되는 전압에 대응되는 전압을 충전하고, 상기 제 2입력단자로 하이레벨의 전압이 공급될 때 상기 커패시터에 저장 전압에 대응되는 전압을 상기 출력단자로 공급하는 것을 특징으로 하는 데이터 구동부.

청구항 17.

제 11항에 있어서,

상기 기수번째 샘플링 래치들은 상기 제 2입력단자로 상기 샘플링펄스를 공급받고, 상기 제 1입력단자로 상기 차징 신호를 공급받는 것을 특징으로 하는 데이터 구동부.

청구항 18.

제 17항에 있어서,

상기 기수번째 샘플링 래치들은 상기 샘플링펄스가 로우레벨로 공급될 때 상기 데이터의 각 비트 또는 반전 비트를 입력받고, 상기 샘플링펄스 및 상기 차징 신호의 공급이 중단될 때 상기 데이터의 각 비트 및 반전 비트를 출력하는 것을 특징으로 하는 데이터 구동부.

청구항 19.

제 11항에 있어서,

상기 홀딩 래치들은 상기 제 2입력단자로 제 1인에이블 신호를 공급받고, 상기 제 1입력단자로 상기 제 2인에이블 신호를 공급받는 것을 특징으로 하는 데이터 구동부.

청구항 20.

제 19항에 있어서,

상기 제 1인에이블 신호 및 제 2인에이블 신호는 위상이 반대인 것을 특징으로 하는 데이터 구동부.

청구항 21.

제 19항에 있어서,

상기 홀딩 래치들은 상기 제 1인에이블 신호가 로우레벨로 설정될 때 상기 샘플링 래치들로부터의 출력 신호를 입력받고, 상기 제 1인에이블 신호가 하이레벨로 설정될 때 이를 출력함을 특징으로 하는 데이터 구동부.

청구항 22.

제 19항에 있어서,

상기 제 1인에이블 신호는 상기 샘플링 래치들로부터 출력 신호가 입력되는 기간 동안 하이레벨을 유지하고, 상기 샘플링 래치들로부터 출력 신호가 모두 입력된 후 로우레벨로 변경되는 것을 특징으로 하는 데이터 구동부.

청구항 23.

제 5항에 있어서,

상기 각 채널에 구비되는 우수번째 샘플링 래치들 각각은,

제 3입력단자로 입력되는 데이터의 각 비트에 대응하여 출력부로 공급될 전압을 제어하는 입력부와,

상기 제 3입력단자로 입력되는 상기 데이터의 각 비트와 상기 입력부로부터 공급되는 전압에 대응하여 상기 출력 신호의 출력여부를 제어하는 출력부를 구비함을 특징으로 하는 데이터 구동부

청구항 24.

제 23항에 있어서,

상기 제 1입력단자로 샘플링 펄스를 공급받고, 제 2입력단자로 차징 신호를 공급받는 것을 특징으로 하는 데이터 구동부.

청구항 25.

제 23항에 있어서,

상기 출력부는

제 1전극이 제 3전원에 접속되고 제 2전극이 출력단자에 접속되는 제 11트랜지스터와;

제 1전극이 상기 출력단자에 접속되고 제 2전극이 상기 제 3전원보다 낮은 전압값을 가지는 제 4전원에 접속되는 제 12트랜지스터와;

게이트전극이 상기 제 11트랜지스터의 게이트전극에 접속되고 제 1전극이 상기 제 11트랜지스터의 제 2전극에 접속되는 제 13트랜지스터와;

상기 제 13트랜지스터의 제 2전극에 제 1전극이 접속되고 제 2전극이 상기 제 4전원에 접속되며, 게이트전극이 상기 입력부에 접속되는 제 14트랜지스터와;

상기 제 3입력단자에 제 1전극이 접속되고 제 2전극이 상기 제 11트랜지스터의 게이트전극에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 15트랜지스터와,

상기 제 11트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 12커패시터와,

상기 제 12트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 11커패시터를 구비하는 것을 특징으로 하는 데이터 구동부.

청구항 26.

제 25항에 있어서,

상기 출력단자와 상기 제 4전원 사이에 접속되는 제 14커패시터를 더 구비하는 것을 특징으로 하는 데이터 구동부.

청구항 27.

제 23항에 있어서,

상기 입력부는

제 1전극이 상기 제 14트랜지스터의 게이트전극에 접속되고 제 2전극이 상기 제 1입력단자에 접속되는 제 16트랜지스터와;

제 1전극이 상기 제 16트랜지스터의 게이트전극에 접속되고, 게이트전극 및 제 2전극이 제 2입력단자에 접속되는 제 17트랜지스터와;

상기 제 3입력단자에 게이트전극이 접속되고 상기 제 3전원에 제 1전극이 접속되며, 제 2전극이 상기 제 16트랜지스터의 게이트전극에 접속되는 제 18트랜지스터와;

상기 제 16트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 13커패시터를 구비하는 것을 특징으로 하는 데이터 구동부.

청구항 28.

제 1클럭신호, 제 2클럭신호 및 스타트펄스를 공급받아 순차적으로 샘플링 펄스를 생성하는 쉬프트 레지스터부와;

상기 제 1클럭신호, 제 2클럭신호 및 샘플링펄스를 공급받아 순차적으로 컨버전 신호를 생성하기 위한 컨버전부와;

디지털 데이터의 각 비트 입력받고, 상기 샘플링 펄스와 컨버전 신호에 대응하여 상기 입력받은 디지털 데이터의 각 비트를 임시 저장함과 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시키는 샘플링 래치부와;

제 1인에이블 신호 및 제 2인에이블 신호에 대응하여 상기 샘플링 래치부로부터 출력되는 각각의 데이터 비트를 동시에 입력받아 이를 출력하는 홀딩 래치부와;

상기 홀딩 래치부로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 디지털-아날로그 컨버터가 포함됨을 특징으로 하는 데이터 구동부.

청구항 29.

제 28항에 있어서,

상기 컨버전부는 각 채널마다 하나의 컨버전 회로를 구비함을 특징으로 하는 데이터 구동부.

청구항 30.

제 29항에 있어서,

상기 컨버전 회로는

제 3입력단자로 입력되는 상기 샘플링펄스에 대응하여 출력부로 공급될 전압을 제어하는 입력부와,

상기 제 3입력단자로 입력되는 상기 샘플링펄스와 상기 입력부로부터 공급되는 전압에 대응하여 상기 컨버전신호의 출력 여부를 제어하는 출력부를 구비하는 것을 특징으로 하는 데이터 구동부.

청구항 31.

주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와,

데이터선들 각각으로 데이터신호를 공급하기 위한 데이터 구동부와,

상기 주사신호가 공급될 때 선택되며 상기 데이터신호를 공급받아 발공여부가 제어되는 화소들을 구비하며,

상기 데이터 구동부는,

제 1클럭신호, 제 2클럭신호 및 스타트펄스를 공급받아 순차적으로 샘플링 펄스를 생성하는 쉬프트 레지스터부와;

디지털 데이터의 각 비트 입력받고, 상기 샘플링 펄스와 차징 신호에 대응하여 상기 입력받은 디지털 데이터의 각 비트를 임시 저장함과 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시키는 샘플링 래치부와;

제 1인에이블 신호 및 제 2인에이블 신호에 대응하여 상기 샘플링 래치부로부터 출력되는 각각의 데이터 비트 및 반전 비트를 입력받아 이를 출력하는 홀딩 래치부와;

상기 홀딩 래치부로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 디지털-아날로그 컨버터가 포함됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 32.

주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와,

데이터선들 각각으로 데이터신호를 공급하기 위한 데이터 구동부와,

상기 주사신호가 공급될 때 선택되며 상기 데이터신호를 공급받아 발광여부가 제어되는 화소들을 구비하며,

상기 데이터 구동부는,

제 1클럭신호, 제 2클럭신호 및 스타트펄스를 공급받아 순차적으로 샘플링 펄스를 생성하는 쉬프트 레지스터부와;

상기 제 1클럭신호, 제 2클럭신호 및 샘플링펄스를 공급받아 순차적으로 컨버전 신호를 생성하기 위한 컨버전부와;

디지털 데이터의 각 비트 입력받고, 상기 샘플링 펄스와 컨버전 신호에 대응하여 상기 입력받은 디지털 데이터의 각 비트를 임시 저장함과 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시키는 샘플링 래치부와;

제 1인에이블 신호 및 제 2인에이블 신호에 대응하여 상기 샘플링 래치부로부터 출력되는 각각의 데이터 비트를 동시에 입력받아 이를 출력하는 홀딩 래치부와;

상기 홀딩 래치부로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 디지털-아날로그 컨버터가 포함됨을 특징으로 하는 유기 전계발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터 구동부 및 이를 이용한 유기 전계발광 표시장치에 관한 것으로, 특히 피모스 형태의 트랜지스터들로 구성되는 데이터 구동부 및 이를 이용한 유기 전계발광 표시장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 전계발광 표시장치(Organic Light Emitting Display) 등이 있다.

평판표시장치 중 유기 전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다. 이러한, 유기 전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

이와 같은 유기 전계발광 표시장치는 매트릭스 형태로 배열된 화소들과, 화소들과 접속된 데이터선들을 구동하기 위한 데이터 구동부와, 화소들과 접속된 주사선들을 구동하기 위한 주사 구동부를 구비한다.

데이터 구동부는 수평기간마다 데이터에 대응하는 데이터신호를 공급함으로써 화소들에서 소정의 화상이 표시되게 한다. 주사 구동부는 수평기간마다 주사신호를 순차적으로 공급함으로써 데이터신호가 공급될 화소들을 선택한다.

한편, 유기 전계발광 표시장치가 대형 패널로 갈수록 사이즈, 무게 및 제조비용을 절감하기 위하여 데이터 구동부가 패널에 실장되어야 한다. 하지만, 종래의 데이터 구동부는 피모스(PMOS) 트랜지스터 및 엔모스(NMOS) 트랜지스터로 구성되어 때문에 패널에 실장되기 곤란했다. 따라서, 피모스(PMOS)로 구성되어 패널에 실장될 수 있는 데이터 구동부가 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 피모스 형태의 트랜지스터들로 구성되는 데이터 구동부 및 이를 이용한 유기 전계발광 표시장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 제 1측면은, 제 1클럭신호, 제 2클럭신호 및 스타트펄스를 공급받아 순차적으로 샘플링 펄스를 생성하는 쉬프트 레지스터부와; 디지털 데이터의 각 비트 입력받고, 상기 샘플링 펄스와 차징 신호에 대응하여 상기 입력받은 디지털 데이터의 각 비트를 임시 저장함과 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시키는 샘플링 래치부와; 제 1인에이블 신호 및 제 2인에이블 신호에 대응하여 상기 샘플링 래치부로부터 출력되는 각각의 데이터 비트 및 반전 비트를 입력받아 이를 출력하는 홀딩 래치부와; 상기 홀딩 래치부로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 디지털-아날로그 컨버터가 포함되는 데이터 구동부를 제공한다.

또한, 본 발명의 제 2측면은, 제 1클럭신호, 제 2클럭신호 및 스타트펄스를 공급받아 순차적으로 샘플링 펄스를 생성하는 쉬프트 레지스터부와; 상기 제 1클럭신호, 제 2클럭신호 및 샘플링펄스를 공급받아 순차적으로 컨버전 신호를 생성하기 위한 컨버전부와; 디지털 데이터의 각 비트 입력받고, 상기 샘플링 펄스와 컨버전 신호에 대응하여 상기 입력받은 디지털 데이터의 각 비트를 임시 저장함과 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시키는 샘플링 래치부와; 제 1인에이블 신호 및 제 2인에이블 신호에 대응하여 상기 샘플링 래치부로부터 출력되는 각각의 데이터 비트를 동시에 입력받아 이를 출력하는 홀딩 래치부와; 상기 홀딩 래치부로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 디지털-아날로그 컨버터가 포함됨을 특징으로 하는 데이터 구동부를 제공한다.

또한, 본 발명의 제 3측면은, 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와, 데이터선들 각각으로 데이터신호를 공급하기 위한 데이터 구동부와, 상기 주사신호가 공급될 때 선택되며 상기 데이터신호를 공급받아 발광여부가 제어되는 화소들을 구비하며, 상기 데이터 구동부는, 제 1클럭신호, 제 2클럭신호 및 스타트펄스를 공급받아 순차적으로 샘플링 펄스를 생성하는 쉬프트 레지스터부와; 디지털 데이터의 각 비트 입력받고, 상기 샘플링 펄스와 차징 신호에 대응하여 상기 입력받은 디지털 데이터의 각 비트를 임시 저장함과 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시키는 샘플링 래치부와; 제 1인에이블 신호 및 제 2인에이블 신호에 대응하여 상기 샘플링 래치부로부터 출력되는 각각의 데이터 비트 및 반전 비트를 입력받아 이를 출력하는 홀딩 래치부와; 상기 홀딩 래치부로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 디지털-아날로그 컨버터가 포함되는 유기 전계발광 표시장치를 제공한다.

또한, 본 발명의 제 4측면은, 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부와, 데이터선들 각각으로 데이터신호를 공급하기 위한 데이터 구동부와, 상기 주사신호가 공급될 때 선택되며 상기 데이터신호를 공급받아 발광여부가 제어되는 화소들을 구비하며, 상기 데이터 구동부는, 제 1클럭신호, 제 2클럭신호 및 스타트펄스를 공급받아 순차적으로 샘플링 펄스를 생성하는 쉬프트 레지스터부와; 상기 제 1클럭신호, 제 2클럭신호 및 샘플링펄스를 공급받아 순차적으로 컨버전 신호를 생성하기 위한 컨버전부와; 디지털 데이터의 각 비트 입력받고, 상기 샘플링 펄스와 컨버전 신호에 대응하여 상기 입력받은 디지털 데이터의 각 비트를 임시 저장함과 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시키는

샘플링 래치부와; 제 1인에이블 신호 및 제 2인에이블 신호에 대응하여 상기 샘플링 래치부로부터 출력되는 각각의 데이터 비트를 동시에 입력받아 이를 출력하는 홀딩 래치부와; 상기 홀딩 래치부로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 디지털-아날로그 컨버터가 포함되는 유기 전계발광 표시장치를 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 1 내지 도 14을 참조하여 상세히 설명하면 다음과 같다.

도 1은 본 발명의 실시예에 의한 유기 전계발광 표시장치를 나타내는 도면이다.

도 1을 참조하면, 본 발명의 실시예에 의한 유기 전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속된 복수의 화소들(40)을 포함하는 화소부(30)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(20)와, 주사 구동부(10) 및 데이터 구동부(20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.

타이밍 제어부(50)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(50)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(20)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(10)로 공급된다. 그리고, 타이밍 제어부(50)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(20)로 공급한다.

데이터 구동부(20)는 타이밍 제어부(50)로부터 데이터 구동제어신호(DCS)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동회로(20)는 데이터신호를 생성하고, 생성된 데이터신호를 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 공급한다.

화소부(30)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받아 각각의 화소들(40)로 공급한다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(40) 각각은 데이터신호에 대응하여 제 1전원(ELVDD)으로부터 발광 소자를 경유하여 제 2전원(ELVSS)으로 흐르는 전류를 제어함으로써 데이터신호에 대응되는 빛을 생성한다.

또한, 주사 구동부(10)는 타이밍 제어부(50)로부터 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사 구동회로(10)는 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다.

도 2는 도 1에 도시된 화소의 구조를 나타내는 도면이다. 도 2에서는 설명의 편의성을 위하여 n번째 주사선(Sn) 및 m번째 데이터선(Dm)과 접속된 화소(40)를 도시하기로 한다.

도 2를 참조하면, 본 발명의 화소는 유기 발광 다이오드(OLED)와, 데이터선(Dm) 및 주사선(Sn)에 접속되어 유기 발광 다이오드(OLED)의 발광여부를 제어하기 위한 화소회로(42)를 구비한다.

유기 발광 다이오드(OLED)의 애노드전극은 화소회로(42)에 접속되고, 캐소드전극은 제 2전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(42)로부터 공급되는 전류에 대응하여 발광된다.

화소회로(42)는 주사선(Sn)에 주사신호가 공급될 때 데이터선(Dm)으로 공급되는 데이터신호에 대응되어 유기 발광 다이오드(OLED)의 발광 여부를 제어한다. 이를 위해, 화소회로(42)는 제 1전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속된 제 2트랜지스터(M2)와, 제 2트랜지스터(M2), 데이터선(Dm) 및 주사선(Sn)의 사이에 접속되는 제 1트랜지스터(M1)와, 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 접속된 스토리지 커패시터(C)를 구비한다.

제 1트랜지스터(M1)의 게이트전극은 주사선(Sn)에 접속되고, 제 1전극은 데이터선(Dm)에 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극은 스토리지 커패시터의 일측단자에 접속된다. 이와 같은 제 1트랜지스터(M1)는 주사선(Sn)으로 주사신호가 공급될 때 턴-온되어 데이터선(Dm)으로 공급되는 데이터신호를 스토리지 커패시터(C)로 공급한다. 한편, 제 1전극은 소오스전극 및 드레인전극 중 어느 하나로 설정되고, 제 2전극은 제 1전극과 다른 전극으로 설정된다. 예를 들어, 제 1전극이 소오스전극으로 설정되면 제 2전극은 드레인전극으로 설정된다.

제 2트랜지스터(M2)의 게이트전극은 스토리지 커패시터(C)의 일측단자에 접속되고, 제 1전극은 스토리지 커패시터(C)의 다른측단자 및 제 1전원(ELVDD)에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 2전극은 유기 발광 다이오드(OLED)에

접속된다. 이와 같은 제 2트랜지스터(M2)는 스토리지 커패시터(C)에 저장된 전압에 대응하여 유기 발광 다이오드(OLED)의 발광 여부를 제어한다. 즉, 상기 제 2트랜지스터(M2)는 스토리지 커패시터(C)에 데이터 신호에 해당하는 소정의 전압이 충전되면 이에 대응하는 전류를 상기 유기 발광 다이오드(OLED)에 흐르도록 하여 이를 발광시키는 것이다.

도 3은 도 1에 도시된 데이터 구동부를 개략적으로 나타내는 도면이다.

단, 상기 데이터 구동부는 m개의 채널을 갖는 것으로 가정하여 설명토록 한다.

도 3을 참조하면, 본 발명의 실시예에 의한 데이터 구동부(20)는 쉬프트 레지스터부(100), 샘플링 래치부(300), 홀딩 래치부(400), 디지털-아날로그 컨버터(DAC)(500)를 구비한다.

쉬프트 레지스터부(100)는 스타트 펄스(SP), 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)를 공급받아 샘플링 펄스(Sap)를 순차적으로 생성한다. 이를 위해, 쉬프트 레지스터부(100)는 m개의 쉬프트 레지스터를 구비한다.

샘플링 래치부(300)는 샘플링 펄스(Sap) 및 차징 신호(CH)를 공급받는다. 샘플링 펄스(Sap) 및 차징 신호(CH)를 공급받은 샘플링 래치부(300)는 입력되는 디지털 데이터의 각 비트를 공급받아 이를 임시 저장하고, 이와 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시킨다.

이를 위해, 샘플링 래치부(300)는 각 채널마다 입력되는 디지털 데이터의 비트수*2개의 샘플링 래치를 구비한다. 일 예로 6비트 디지털 데이터를 입력받는 경우 각 채널마다 샘플링 래치는 6*2 즉, 12개가 구비된다.

즉, 각 채널에 다수 구비된 샘플링 래치에 있어서, 기수번째 샘플링 래치들은 입력되는 디지털 데이터의 각 비트를 공급받아 이를 임시 저장하는 역할을 하고, 우수번째 샘플링 래치들은 상기 디지털 데이터의 각 비트를 반전시켜 출력하는 역할을 한다.

결과적으로 상기 샘플링 래치에서 출력되는 신호는 상기 디지털 데이터의 각 비트 및 상기 각 비트의 반전된 비트가 되는 것이다.

홀딩 래치부(400)는 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)를 공급받는다. 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)를 공급받은 홀딩 래치부(400)는 샘플링 래치부(300)로부터 출력되는 각각의 데이터(Data) 비트 및 반전 비트를 입력 받아 이를 DAC로 출력한다.

이에 따라 상기 홀딩 래치부(400) 또한 샘플링 래치부(300)와 동일하게 각 채널마다 입력되는 디지털 데이터의 비트수*2개의 홀딩 래치를 구비한다. 일 예로 6비트 디지털 데이터를 입력받는 경우 각 채널마다 홀딩 래치는 6*2 즉, 12개가 구비된다.

DAC(500)는 상기 홀딩 래치부(400)로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 것으로 상기 홀딩 래치부(400)로부터 공급되는 데이터(Data)의 비트 값에 대응하여 복수의 계조전압들 중 어느 하나를 선택함으로써 그에 대응하는 아날로그 데이터 신호를 생성하여 이를 데이터선들(D1 내지 Dm)로 공급한다.

도 4는 도 3에 도시된 데이터 구동부를 상세히 나타내는 도면이고, 도 5은 도 4에 도시된 데이터 구동부의 구동방법을 나타내는 파형도이다.

단, 상기 데이터 구동부는 m개의 채널을 갖으며, 6비트 디지털 데이터가 입력되는 것으로 가정하여 설명토록 한다. 또한, 도 5는 각 채널 별 디지털 데이터의 MSB 및 반전된 MSB가 입력되는 경우에 대한 파형도이다.

도 4를 참조하면, 쉬프트 레지스터부(100)는 각 채널마다 하나의 쉬프트 레지스터(S/R1 내지 S/Rm)를 구비한다. 그리고, 샘플링 래치부(300)는 각 채널마다 12개의 샘플링 래치(SAL1_1 내지 SAL1_12 ~ SALm_1 내지 SALm_12)를 구비하고, 홀딩 래치부(400) 또한 각 채널마다 12개의 홀딩 래치(SAL1_1 내지 SAL1_12 ~ SALm_1 내지 SALm_12)를 구비한다. 단, 도 4에서는 첫번째 채널에 대한 구성을 중심으로 도시되어 있다.

쉬프트 레지스터(S/R1 내지 S/Rm)들 중 기수번째 쉬프트 레지스터(S/R1, S/R3, ...)는 제 1입력단자(clk)로 제 1클럭신호(CLK1)를 입력받고, 제 2입력단자(/clk)로 제 2클럭신호(CLK2)를 입력받는다. 쉬프트 레지스터(S/R1 내지 S/Rm)들 중 우수번째 쉬프트 레지스터(S/R2, ..., S/Rm)는 제 1입력단자(clk)로 제 2클럭신호(CLK2)를 입력받고, 제 2입력단자(/clk)

로 제 1클럭신호(CLK1)를 입력받는다. 여기서, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)는 180도의 위상차를 갖는다. 단, 상기 실시예의 경우 상기 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)가 하이 레벨에서 소정부분 오버랩되어 제공됨을 특징으로 한다.

쉬프트 레지스터(S/R1 내지 S/Rm)들 중 제 1쉬프트 레지스터(S/R1)는 제 1클럭신호(CLK1), 제 2클럭신호(CLK2) 및 스타트펄스(SP)를 공급받아 제 1샘플링펄스(sap1)를 생성한다. 그리고, 제 2쉬프트 레지스터(S/R2)는 제 1클럭신호(CLK1), 제 2클럭신호(CLK2) 및 제 1샘플링펄스(sap1)를 공급받아 제 2샘플링펄스(sap2)를 생성한다. 실제로, 쉬프트 레지스터(S/R1 내지 S/Rm)들은 스타트펄스(SP) 또는 이전단의 샘플링펄스(sap)를 공급받아 도 5와 같이 샘플링펄스(sap)를 순차적으로 생성한다.

이에 샘플링 래치들(SAL1_1 내지 SAL1_12 ~ SALm_1 내지 SALm_12)은 제 1입력단자(clk)로 차징 신호(CH) 또는 샘플링 펄스(sap)를 입력받고, 제 2입력단자(/clk)로 샘플링 펄스(sap) 또는 차징 신호(CH)를 입력받는다.

단, 상기 샘플링 래치들(SAL1_1 내지 SAL1_12 ~ SALm_1 내지 SALm_12)은 각 채널 별로 기수번째 샘플링 래치들과 우수번째 샘플링 래치들의 역할이 상이한데, 상기 기수번째 샘플링 래치들은 입력되는 디지털 데이터의 각 비트를 공급받아 이를 임시 저장하는 역할을 하고, 우수번째 샘플링 래치들은 상기 디지털 데이터의 각 비트를 반전시켜 출력하는 역할을 한다.

결과적으로 상기 샘플링 래치에서 출력되는 신호는 상기 디지털 데이터의 각 비트 및 상기 각 비트의 반전된 비트가 되는 것이다.

일 예로 첫번째 채널에 해당하는 샘플링 래치들(SAL1_1 내지 SAL1_12)에 있어서, 기수번째 샘플링 래치들(SAL1_1, SAL1_3, ..., SAL1_11)들은 제 1입력단자(clk)로 차징 신호(CH)를 입력받고, 제 2입력단자(/clk)로 제 1샘플링 펄스(sap1)를 입력받으며, 이는 첫번째 채널에 해당하는 디지털 데이터의 각 비트를 입력받아 이를 임시 저장한다.

또한, 우수번째 샘플링 래치들(SAL1_2, SAL1_4, ..., SAL1_12)들은 제 1입력단자(clk)로 제 1샘플링 신호(sap1)를 입력받고, 제 2입력단자(/clk)로 차징 신호(CH)를 입력받으며, 이는 첫번째 채널에 해당하는 디지털 데이터의 각 비트를 입력받아 이를 반전시켜 출력하는 역할을 한다.

즉, 첫번째 채널에 구비된 제 1샘플링 래치(SAL1_1)는 제 1샘플링펄스(sap1) 및 차징 신호(CH)가 공급될 때 디지털 데이터의 MSB 즉 D[5](도 5의 a1)를 입력받아 이를 임시 저장하고, 제 2샘플링 래치(SAL1_2)는 제 1샘플링펄스(sap1) 및 차징 신호(CH)가 공급될 때 디지털 데이터의 MSB 즉 D[5](도 5의 a1)를 입력받아 이를 반전시켜(도의 /a1) 출력한다.

첫번째 채널에 구비된 나머지 샘플링 래치들(SAL1_3 내지 SAL1_12)의 경우도 이와 마찬가지로 제 1샘플링펄스(sap1) 및 차징 신호(CH)가 공급될 때 디지털 데이터의 각 비트(D[4], D[3], D[2], D[1], D[0])를 입력받아 이를 임시 저장하거나(기수번째 샘플링 래치들) 상기 각 비트를 반전시켜 출력한다.

여기서, 상기 차징 신호(CH)는 도 5에 도시된 바와 같이 상기 데이터(Data)가 입력되는 기간 동안 하이 레벨로 제공됨을 특징으로 한다.

또한, 홀딩 래치들(HOL1_1 내지 HOL1_12 ~ HOLm_1 내지 HOLm_12)은 제 1입력단자(clk)로 제 2인에이블 신호(EN2)를 입력받고, 제 2입력단자(/clk)로 제 1인에이블 신호(EN1)를 입력받는다. 상기 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)를 입력받은 홀딩 래치들(HOL1_1 내지 HOL1_12 ~ HOLm_1 내지 HOLm_12)은 샘플링 래치들(SAL1_1 내지 SAL1_12 ~ SALm_1 내지 SALm_12)에 임시 저장된 디지털 데이터(Data)의 각 비트를 입력 받는다. 그리고, 상기 홀딩 래치들은 상기 입력받은 디지털 데이터의 각 비트 및 반전 비트를 DAC로 출력하게 된다.

일 예로 첫번째 채널에 해당하는 홀딩 래치들(HOL1_1 내지 HOL1_12)의 경우, 제 1입력단자(clk)로 제 2인에이블 신호(EN2)를 입력받고, 제 2입력단자(/clk)로 제 1인에이블 신호(EN1)를 입력받으며, 이는 상기 첫번째 채널에 해당하는 샘플링 래치(SAL1_1 내지 SAL1_12)에 임시 저장된 디지털 데이터의 각 비트 또는 반전된 비트를 동시에 입력받아 이를 DAC로 출력하는 것이다.

여기서, 첫번째 채널에 구비된 제 1홀딩 래치(HOL1_1)는 제 1샘플링 래치(SAL1_1)에 임시 저장된 D[5](도 5의 a1)를 공급받고, 제 2홀딩 래치(HOL1_2)는 제 2샘플링 래치(SAL1_2)에 반전시킨 /D[5](도 5의 /a1)를 공급받는다.

첫번째 채널에 구비된 나머지 홀딩 래치들(HOL1_3 내지 HOL1_12)의 경우도 이와 마찬가지로 샘플링 래치(SAL1_3 내지 SAL1_12)에 임시 저장되거나 반전되어 출력되는 디지털 데이터의 각 비트 또는 반전된 비트(D[4], /D[4], D[3], /D[3], D[2], /D[2], D[1], /D[1], D[0], /D[0])를 입력받아 이를 DAC로 출력한다.

또한, 상기 홀딩 래치로부터 출력되는 디지털 데이터의 비트 및 반전 비트는 각 채널별로 구비된 DAC의 각각 해당 단자에 입력되고, 상기 DAC는 상기 홀딩 래치들로부터 공급되는 데이터(Data)의 비트 값에 대응하여 복수의 계조전압들 중 어느 하나를 선택함으로써 그에 대응하는 아날로그 데이터 신호를 생성하여 이를 데이터선들(D1 내지 Dm)로 공급한다.

도 6은 도 4에 도시된 쉬프트 레지스터의 실시예를 나타내는 회로도이다.

도 6을 참조하면, 본 발명의 실시예에 의한 쉬프트 레지스터(S/R)는 스타트펄스(SP) 또는 이전단 샘플링펄스(sap)를 공급받으며 게이트전극이 제 2입력단자(/clk)와 접속되는 제 1트랜지스터(M1)와, 제 1트랜지스터(M1)와 출력단자(out) 사이에 접속되는 제 2트랜지스터(M2)와, 제 2입력단자(/clk)와 제 4전원(VSS) 사이에 접속되는 제 4트랜지스터(M4) 및 제 3트랜지스터(M3)와, 제 3전원(VDD)과 출력단자(out) 사이에 접속되는 제 5트랜지스터(M5)와, 제 2트랜지스터(M2)의 게이트전극과 제 2전극 사이에 접속되는 커패시터(C1)를 구비한다. 여기서, 제 1트랜지스터(M1) 내지 제 5트랜지스터(M5)는 PMOS로 형성된다. 그리고, 제 3전원(VDD)은 제 4전원(VSS)보다 높은 전압값으로 설정된다.

제 1트랜지스터(M1)의 제 1전극은 스타트펄스(SP) 또는 이전단 샘플링펄스(sap)를 공급받는다.(즉, 제 1전극은 외부 입력단자와 접속된다) 그리고, 제 1트랜지스터(M1)의 게이트전극은 제 2입력단자(/clk)에 접속되고, 제 2전극은 제 1노드(N1)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 제 2입력단자(/clk)로 공급되는 제 1클럭신호(CLK1) 또는 제 2클럭신호(CLK2)에 대응하여 턴-온 또는 턴-오프된다.

제 2트랜지스터(M2)의 게이트전극은 제 1노드(N1)에 접속되고, 제 1전극은 제 1입력단자(clk)에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 2전극은 출력단자(out)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 제 1노드(N1)에 인가되는 전압에 대응하여 턴-온 또는 턴-오프된다.

제 3트랜지스터(M3)의 제 1전극은 제 2노드(N2)에 접속되고, 제 2전극은 제 4전원(VSS)에 접속된다. 그리고, 제 3트랜지스터(M3)의 게이트전극은 제 2입력단자(/clk)에 접속된다. 이와 같은 제 3트랜지스터(M3)는 제 2입력단자(/clk)로 공급되는 제 1클럭신호(CLK1) 또는 제 2클럭신호(CLK2)에 대응하여 턴-온 또는 턴-오프된다.

제 4트랜지스터(M4)의 제 1전극은 제 2입력단자(/clk)에 접속되고, 제 2전극은 제 2노드(N2)에 접속된다. 그리고, 제 4트랜지스터(M4)의 게이트전극은 제 1노드(N1)에 접속된다. 이와 같은 제 4트랜지스터(M4)는 제 1노드(N1)에 인가되는 전압에 대응하여 턴-온 또는 턴-오프된다.

제 5트랜지스터(M5)의 제 1전극은 제 3전원(VDD)에 접속되고, 제 2전극은 출력단자(out)에 접속된다. 그리고, 제 5트랜지스터(M5)의 게이트전극은 제 2노드(N2)에 접속된다. 이와 같은 제 5트랜지스터(M5)는 제 2노드(N2)에 인가되는 전압에 대응하여 턴-온 또는 턴-오프된다.

커패시터(C1)는 제 2트랜지스터(M2)의 게이트전극과 제 2전극 사이에 접속된다. 이와 같은 커패시터(C1)는 제 1트랜지스터(M1)가 턴-온되었을 때 제 1노드(N1)로 인가되는 스타트 펄스(SP) 또는 이전단 샘플링 펄스(sap)에 대응되는 전압을 충전한다.

도 6에 도시된 쉬프트 레지스터(S/R)가 제 1쉬프트 레지스터(S/R1)가 가정하여 동작과정을 설명하기로 한다. 그리고, 설명의 편의성을 위하여 클럭신호(CLK1, CLK2)의 로우레벨의 전압은 제 4전원(VSS)으로 설정되고, 하이레벨의 전압은 제 3전원(VDD)으로 설정된다고 가정하기로 한다. 여기서 제 4전원(VSS)은 제 3전원(VDD)보다 낮은 전압으로 예를 들면 그라운드 전압(GND)으로 설정될 수 있다.

먼저, 도 5에 도시된 바와 같이 제 1클럭신호(CLK1)가 하이레벨, 제 2클럭신호(CLK2)가 로우레벨이고 스타트펄스(SP) (로우레벨)가 입력되면, 로우레벨의 제 2클럭신호(CLK2)를 입력받는 제 1트랜지스터(M1) 및 제 3트랜지스터(M3)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 스타트펄스(SP)가 제 1노드(N1)로 공급된다. 이 경우, 제 2트랜지스터(M2) 및 제 4트랜지스터(M4)가 턴-온된다.

제 4트랜지스터(M4)가 턴-온되면 로우레벨의 제 2클럭신호(CLK2)가 제 2노드(N2)로 입력된다. 그리고, 제 3트랜지스터(M3)가 턴-온되면 제 4전원(VSS)이 제 2노드(N2)로 입력된다. 이 경우, 제 5트랜지스터(M5)가 턴-온되어 제 3전원(VDD)의 전압이 출력단자(out)로 공급된다. 한편, 제 2트랜지스터(M2)가 턴-온되면 하이레벨의 제 1클럭신호(CLK1)가 출력단자(out)로 공급된다.

이때, 커패시터(C1)에는 제 1노드(N1)와 출력단자(out)의 차에 대응되는 전압이 충전된다. 다시 말하여, 스타트 펄스(SP)의 로우전압과 제 3전원(VDD)의 차에 대응되는 전압이 커패시터(C1)에 충전된다.

이후, 제 1클럭신호(CLK1)가 로우레벨, 제 2클럭신호(CLK2)가 하이레벨로 전환되고 스타트펄스(SP)의 공급이 중단된다. 그러면, 하이레벨의 제 2클럭신호(CLK2)를 입력받는 제 1트랜지스터(M1) 및 제 3트랜지스터(M3)가 턴-오프된다. 이때, 제 1노드(N1)는 커패시터(C1)에 충전된 전압에 대응하여 로우레벨로 설정된다. 그러면, 제 2트랜지스터(M2)가 턴-온되어 출력단자(out)의 전압이 제 1클럭신호(CLK1)의 로우레벨의 전압으로 하강된다. 즉, 도 5에 도시된 바와 같이 제 1샘플링펄스(sap1)가 생성된다.

한편, 제 1노드(N1)의 전압이 로우레벨로 설정되면 제 4트랜지스터(M4)가 턴-온된다. 제 4트랜지스터(M4)가 턴-온되면 하이레벨의 제 2클럭신호(CLK2)가 제 2노드(N2)로 공급되어 제 5트랜지스터(M5)가 턴-오프된다.

이후, 제 1클럭신호(CLK1)가 하이레벨, 제 2클럭신호(CLK2)가 로우레벨로 전환되고 스타트펄스(SP)는 공급되지 않는다. 그러면, 로우레벨의 제 2클럭신호(CLK2)를 입력받는 제 1트랜지스터(M1) 및 제 3트랜지스터(M3)가 턴-온된다. 제 3트랜지스터(M3)가 턴-온되면 제 2노드(N2)로 제 4전원(VSS)의 전압이 공급되어 제 5트랜지스터(M5)가 턴-온되고, 이에 따라 출력단자(out)로 제 3전원(VDD)의 전압이 공급된다.

그리고, 제 1트랜지스터(M1)가 턴-온되면 하이레벨의 전압이 제 1노드(N1)로 공급된다. 그러면, 커패시터(C1)는 전압을 충전하지 않는다. 따라서, 다음번 클럭신호들(CLK1, CLK2)의 위상이 반전되어도 제 2트랜지스터(M2) 및 제 4트랜지스터(M4)는 턴-오프 상태를 유지하고, 이에 따라 쉬프트 레지스터(S/R)는 하이 상태의 출력을 유지한다.

즉, 본 발명의 쉬프트 레지스터(S/R)는 외부 입력단자로부터 로우레벨의 전압이 입력될 때 클럭신호들(CLK1, CLK2)의 반주기 동안 로우레벨의 전압을 커패시터(C1)에 저장하고, 클럭신호들(CLK1, CLK2)의 나머지 반주기 동안 로우레벨의 전압, 즉 샘플링펄스(sap)를 출력한다.

한편, 제 2쉬프트 레지스터(S/R2)는 제 1클럭신호(CLK1)가 로우레벨, 제 2클럭신호(CLK2)가 하이레벨로 설정되고 제 1샘플링펄스(sap1)가 입력될 때 제 1샘플링펄스(sap1)에 대응되는 전압을 커패시터(C1)에 충전한다. 그리고, 제 2쉬프트 레지스터(S/R2)는 제 1클럭신호(CLK1)가 하이레벨, 제 2클럭신호(CLK2)가 로우레벨로 반전될 때 제 2샘플링펄스(sap2)를 출력한다. 실제로, 본 발명의 쉬프트 레지스터들(S/R1 내지 S/Rn)은 위와 같은 과정을 반복하면서 샘플링펄스(sap1 내지 sapn)를 순차적으로 출력한다.

단, 상기 제 1, 2클럭신호(CLK1, CLK2)가 모두 하이 레벨일 경우에는 이전에 제 1클럭신호(CLK1)가 로우 레벨, 제 2클럭신호(CLK2)가 하이 레벨로 제공된 경우에는 이전 출력을 유지하고, 반대로 제 1클럭신호(CLK1)가 하이 레벨, 제 2클럭신호(CLK2)가 로우 레벨로 제공된 경우에는 출력이 하이 레벨이 되므로, 제 1, 2클럭신호(CLK1, CLK2)의 하이 레벨이 오버랩된 만큼 인접한 쉬프트 레지스터(S/R)의 출력 펄스 사이에 간격이 발생한다.

도 7은 도 4에 도시된 각 채널의 기수번째 샘플링 래치의 실시예를 나타내는 회로도이다.

단, 도 7은 각 채널에 구비된 다수의 기수번째 샘플링 래치들 중 디지털 데이터의 MSB 즉 D[5]를 입력받는 제 1샘플링 래치(SAL1_1, SAL2_1, ..., SALm_1)을 그 예로 설명하도록 한다.

도 7을 참조하면, 도 4에 도시된 기수번째 샘플링 래치들 각각은 도 6에 도시된 쉬프트 레지스터(S/R)와 동일한 회로로 형성된다. 다만, 상기 기수번째 샘플링 래치들은 제 1입력단자(clk)로 차징 신호(CH)를 입력받고, 제 2입력단자(/clk)로 샘플링펄스(sap)를 입력받는다.

도 5의 과형도와 결부하여 첫번째 채널에 구비된 제 1샘플링 래치(SAL1_1)의 동작과정을 설명하면, 먼저 제 1샘플링 래치(SAL1_1)는 제 1샘플링펄스(sap1)가 로우레벨로 설정되고, 차징 신호(CH)가 하이레벨로 설정될 때 디지털 데이터의

MSB 즉, D[5](도 5의 a1, 하이 또는 로우)를 입력받는다. 여기서, 제 1샘플링 래치(SAL1_1)로 입력된 D[5](도 5의 a1)는 커패시터(C1)에 저장된다. 한편, 제 1샘플링 펄스(sap1)가 로우레벨로 설정되기 때문에 제 5트랜지스터(M5)가 턴-온되어 출력단자(out)로는 하이레벨의 전압이 출력된다.

이후, 제 1샘플링 펄스(sap1)의 공급이 중단되고(하이레벨), 차징 신호(CH)의 공급이 중단되면(로우레벨) 출력단자(out)로는 상기 D[5] 즉, a1에 대응되는 전압이 출력된다. 예를 들어, 상기 D[5] 즉, a1이 로우레벨 전압인 경우 출력단자(out)로 로우레벨의 전압이 출력되고, 하이레벨 전압인 경우 출력단자(out)로 하이레벨의 전압이 출력된다.

이와 마찬가지로 두번째 채널에 구비된 제 1샘플링 래치(SAL2_1)의 경우 마찬가지로 제 2샘플링 펄스(sap2)가 로우레벨로 설정되고, 차징 신호(CH)가 하이레벨로 설정될 때 디지털 데이터의 MSB 즉, D[5](도 5의 a2, 하이 또는 로우)를 입력받으며, 이는 커패시터(C1)에 저장되고, 이후 상기 제 2샘플링 펄스(sap2)의 공급이 중단되고(하이레벨), 차징 신호(CH)의 공급이 중단되면(로우레벨) 출력단자(out)로는 상기 D[5] 즉, a2에 대응되는 전압이 출력되는 것이다.

이는 각 채널에 구비된 나머지 기수번째 샘플링 래치들에도 동일하게 적용되어 각 샘플링 펄스(sap1, sap2, ..., sapm)가 로우레벨로 설정되고, 차징 신호(CH)가 하이레벨로 설정될 때 각각의 디지털 데이터 비트(D[4], D[3], D[2], D[1], D[0])를 입력받아, 커패시터(C1)에 임시 저장되고, 이후 상기 각 샘플링 펄스(sap1, sap2, ..., sapm)의 공급이 중단되고(하이레벨), 차징 신호(CH)의 공급이 중단되면(로우레벨) 출력단자(out)로는 상기 임시 저장된 디지털 데이터 비트(D[4], D[3], D[2], D[1], D[0])에 대응되는 전압이 출력된다.

실제로, 본 발명의 기수번째 샘플링 래치들은 샘플링 펄스(sap) 및 차징 신호(CH)에 대응하여 디지털 데이터의 각 비트를 입력받고, 입력받은 비트에 대응되는 전압을 출력단자(out)로 출력한다.

도 8은 도 4에 도시된 각 채널의 우수번째 샘플링 래치의 실시예를 나타내는 회로도이다.

단, 도 8은 각 채널에 구비된 다수의 우수번째 샘플링 래치들 중 디지털 데이터의 MSB 즉 D[5]를 입력받는 제 2샘플링 래치(SAL1_2, SAL2_2, ..., SALm_2)을 그 예로 설명하도록 한다.

도 8을 참조하면, 상기 우수번째 샘플링 래치들은 앞서 도 7에 도시된 기수번째 샘플링 래치와 달리 제 1입력단자(clk)로 샘플링 펄스(sap)를 입력받고, 제 2입력단자(/clk)로 차징 신호(CH)를 입력받는다.

또한, 상기 우수번째 샘플링 래치들 각각은 입력부(202)와 출력부(204)를 구비한다. 여기서, 입력부(202) 및 출력부(204) 각각에 포함되는 트랜지스터들(M11 내지 M18)은 PMOS 형으로 형성된다.

출력부(204)는 입력부(202)로부터 입력되는 하이레벨 또는 로우레벨 전압과 제 1입력단자(clk)로 입력되는 샘플링 펄스(sap)의 상태 및 제 3입력단자(in)로 입력되는 데이터(Data)에 대응하여 이를 반전한 데이터로서 홀딩 래치로 출력할 지 여부를 제어한다. 이 때 제 2입력단자(/clk)로는 차징 신호(CH)가 입력된다.

이를 위하여, 출력부(204)는 제 3전원(VDD)과 출력단자(out) 사이에 접속되는 제 11트랜지스터(M11)와, 출력단자(out)와 제 4전원(VSS) 사이에 접속되는 제 12트랜지스터(M12) 및 제 14커패시터(C14)와, 제 12트랜지스터(M12)의 게이트전극과 제 1전극 사이에 접속되는 제 13트랜지스터(M13) 및 제 11커패시터(C11)와, 제 12트랜지스터(M12)의 게이트전극 및 입력부(202)의 출력단에 접속되는 제 14트랜지스터(M14)와, 제 3입력단자(in)와 제 11트랜지스터(M11) 사이에 접속되는 제 15트랜지스터(M15)와, 제 11트랜지스터(M11)의 게이트전극과 제 1전극 사이에 접속되는 제 12커패시터(C12)를 구비한다.

제 11트랜지스터(M11)의 게이트전극은 제 15트랜지스터(M15)의 제 2전극 및 제 12커패시터(C12)의 일측단에 접속되고, 제 1전극은 제 3전원(VDD)에 접속된다. 그리고, 제 11트랜지스터(M11)의 제 2전극은 출력단자(out)에 접속된다. 이와 같은 제 11트랜지스터(M11)는 제 15트랜지스터(M15)가 턴-온되었을 때 제 3입력단자(in)로부터 입력되는 전압 또는 제 12커패시터(C12)에 저장된 전압에 대응하여 턴-온 또는 턴-오프된다.

제 12커패시터(C12)는 제 11트랜지스터(M11)의 제 1전극 및 게이트전극 사이에 접속된다. 이와 같은 제 12커패시터(C12)는 제 11트랜지스터(M11)의 턴-온 또는 턴-오프에 대응되는 전압을 충전한다. 예를 들어, 제 11트랜지스터(M11)가 턴-온되는 경우 제 12커패시터(C12)는 제 11트랜지스터(M11)가 턴-온될 수 있는 전압을 충전하고, 제 11트랜지스터(M11)가 턴-오프되는 경우 제 12커패시터(C12)는 제 11트랜지스터(M11)가 턴-오프될 수 있는 전압을 충전한다.

제 12트랜지스터(M12)의 게이트전극은 제 14트랜지스터(M14)의 제 1전극, 제 11커패시터(C11)의 일측단자 및 제 13트랜지스터(M12)의 제 2전극에 접속된다. 그리고, 제 12트랜지스터(M12)의 제 1전극은 출력단자(out)에 접속되고, 제 2전극은 제 4전원(VSS)에 접속된다. 이와 같은 제 12트랜지스터(M12)는 자신의 게이트전극에 인가되는 전압에 대응하여 턴-온 또는 턴-오프된다.

제 11커패시터(C11)는 제 12트랜지스터(M12)의 제 1전극 및 게이트전극 사이에 접속된다. 이와 같은 제 11커패시터(C11)는 제 12트랜지스터(M12)의 턴-온 또는 턴-오프에 대응되는 전압을 충전한다. 예를 들어, 제 12트랜지스터(M12)가 턴-온되는 경우 제 11커패시터(C11)는 제 12트랜지스터(M12)가 턴-온될 수 있는 전압을 충전하고, 제 12트랜지스터(M12)가 턴-오프되는 경우 제 11커패시터(C11)는 제 12트랜지스터(M12)가 턴-오프될 수 있는 전압을 충전한다.

제 13트랜지스터(M13)의 게이트전극은 제 11트랜지스터(M11)의 게이트전극에 접속되고, 제 1전극은 제 11트랜지스터(M11)의 제 2전극에 접속된다. 그리고, 제 13트랜지스터(M13)의 제 2전극은 제 12트랜지스터(M12)의 게이트전극에 접속된다. 이와 같은 제 13트랜지스터(M13)는 제 11트랜지스터(M11)와 동시에 턴-온 또는 턴-오프되면서 제 12트랜지스터(M12)의 게이트전극으로 공급되는 전압을 제어한다.

제 14트랜지스터(M14)의 게이트전극은 입력부(202)의 출력단에 접속되고, 제 1전극은 제 12트랜지스터(M12)의 게이트전극에 접속된다. 그리고, 제 14트랜지스터(M14)의 제 2전극은 제 4전원(VSS)에 접속된다. 이와 같은 제 14트랜지스터(M14)는 입력부(202)의 출력단으로부터 공급되는 전압에 대응하여 턴-온 또는 턴-오프되면서 제 12트랜지스터(M12)의 게이트전극으로 공급되는 전압을 제어한다.

제 15트랜지스터(M15)의 게이트전극은 제 1입력단자(clk)에 접속되고, 제 1전극은 제 3입력단자(in)와 접속된다. 그리고, 제 15트랜지스터(M15)의 제 2전극은 제 11트랜지스터(M11)의 게이트전극에 접속된다. 이와 같은 제 15트랜지스터(M15)는 제 1입력단자(clk)에 입력되는 샘플링 펄스(sap)에 대응하여 턴-온 또는 턴-오프되면서 제 3입력단자(in)의 전압을 제 11트랜지스터(M11)의 게이트전극으로 공급한다.

제 14커패시터(C14)는 출력단자(out)와 제 4전원(VSS) 사이에 접속된다. 이와 같은 제 14커패시터(C14)는 출력단자(out)의 전압을 안정화하기 위하여 사용된다.

입력부(202)는 제 1입력단자(clk), 제 2입력단자(/clk) 및 제 3입력단자(in)로 공급되는 전압에 대응하여 출력부(204)로 하이레벨 또는 로우레벨의 전압을 공급한다.

이를 위하여, 제 3전원(VDD)과 제 3입력단자(in)와 접속되는 제 18트랜지스터(M18)와, 제 18트랜지스터(M18)와 출력부(204) 사이에 접속되는 제 16트랜지스터(M16)와, 제 18트랜지스터(M18)와 제 2입력단자(/clk) 사이에 접속되는 제 17트랜지스터(M17)를 구비한다.

제 16트랜지스터(M16)의 제 1전극은 출력부(204)의 입력단에 접속되고 제 2전극은 제 1입력단자(clk)에 접속된다. 그리고, 제 16트랜지스터(M16)의 게이트전극은 제 18트랜지스터(M18)의 제 2전극 및 제 17트랜지스터(M17)의 제 1전극에 접속된다. 이와 같은 제 16트랜지스터(M16)는 제 3입력단자(in), 제 2입력단자(/clk) 또는 제 13커패시터(C13)에 저장된 전압에 대응하여 턴-온 또는 턴-오프된다.

제 13커패시터(C13)는 제 16트랜지스터(M16)의 제 1전극 및 게이트전극 사이에 접속된다. 이와 같은 제 13커패시터(C13)는 제 16트랜지스터(M16)가 턴-온 또는 턴-오프에 대응되는 전압을 충전한다. 예를 들어, 제 16트랜지스터(M16)가 턴-온되는 경우 제 13커패시터(C13)는 제 16트랜지스터(M16)가 턴-온될 수 있는 전압을 충전하고, 제 16트랜지스터(M16)가 턴-오프되는 경우 제 13커패시터(C13)는 제 16트랜지스터(M16)가 턴-오프될 수 있는 전압을 충전한다.

제 17트랜지스터(M17)의 게이트전극 및 제 2전극은 제 2입력단자(/clk)에 접속되고, 제 1전극은 제 18트랜지스터(M18)의 제 2전극에 접속된다. 이와 같은 제 17트랜지스터(M17)는 다이오드 형태로 접속되어 제 2입력단자(/clk)로 공급되는 차징 신호(CH)에 대응하여 턴-온 또는 턴-오프된다.

제 18트랜지스터(M18)의 게이트전극은 제 3입력단자(in)에 접속되고, 제 1전극은 제 3전원(VDD)에 접속된다. 그리고, 제 18트랜지스터(M18)의 제 2전극은 제 16트랜지스터(M16)의 게이트전극에 접속된다. 이와 같은 제 18트랜지스터(M18)는 제 3입력단자(in)로 공급되는 전압에 대응하여 턴-온 또는 턴-오프된다.

도 9는 도 8에 도시된 우수번째 샘플링 래치 회로의 동작과정을 설명하기 위한 파형도.

단, 도 9에서 상기 제 1입력단자(clk)로 제 1클럭신호(CLK1)가 공급되고, 제 2입력단자(/clk)로 제 2클럭신호(CLK2)가 공급된다고 가정하기로 한다.

도 8 및 도 9를 결부하여 동작과정을 상세히 설명하면, 먼저 제 1기간(T1) 동안 제 1입력단자(clk)로 로우레벨의 전압, 제 2입력단자(/clk)로 하이레벨의 전압 및 제 3입력단자(in)로 하이레벨의 전압이 입력된다.

제 3입력단자(in) 및 제 2입력단자(/clk)로 하이레벨의 전압이 입력되면 제 17트랜지스터(M17) 및 제 18트랜지스터(M18)가 턴-오프된다. 이때, 제 16트랜지스터(M16)는 제 13트랜지스터(C13)에 기 저장된 전압에 의하여 턴-온된다. 그러면, 제 1입력단자(clk)로 입력된 로우레벨의 전압이 입력부(202)의 출력단으로 출력된다.

한편, 입력부(202)의 출력단으로 로우레벨의 전압이 출력되면 제 14트랜지스터(M14)가 턴-온된다. 또한, 제 1입력단자(clk)로 공급된 로우레벨의 전압에 대응하여 제 15트랜지스터(M15)가 턴-온된다. 제 15트랜지스터(M14)가 턴-온되면 제 3입력단자(in)로 공급된 하이레벨의 전압이 제 11트랜지스터(M11) 및 제 13트랜지스터(M13)의 게이트전극으로 공급된다. 이 경우, 제 11트랜지스터(M11) 및 제 13트랜지스터(M13)가 턴-오프되고, 이에 따라 제 12커패시터(C12)에는 턴-오프에 대응되는 전압이 충전된다.

그리고, 제 14트랜지스터(M14)가 턴-온되면 제 4전원(VSS)의 전압이 제 12트랜지스터(M12)의 게이트전극으로 공급된다. 제 4전원(VSS)의 전압이 제 12트랜지스터(M12)의 게이트전극으로 공급되면 제 12트랜지스터(M12)가 턴-온되고, 이에 따라 제 11커패시터(C11)에는 턴-온에 대응되는 전압이 충전된다. 한편, 제 12트랜지스터(M12)가 턴-온되면 제 1기간(T1) 동안 출력단자(out)로는 로우레벨의 전압이 출력된다.

제 2기간(T2) 동안 제 1입력단자(clk)로 하이레벨의 전압, 제 2입력단자(/clk)로 로우레벨의 전압 및 제 3입력단자(in)로 로우레벨의 전압이 입력된다.

제 2입력단자(/clk)로 로우레벨의 전압이 입력되면 제 17트랜지스터(M17)가 턴-온된다. 그리고, 제 3입력단자(in)로 로우레벨의 전압이 입력되면 제 18트랜지스터(M18)가 턴-온된다. 이 경우, 제 16트랜지스터(M16)가 턴-온되어 제 1입력단자(clk)로 입력된 하이레벨의 전압이 입력부(202)의 출력단으로 출력된다. 이때, 제 13커패시터(C13)는 제 16트랜지스터(M16)의 턴-온 상태에 대응되는 전압을 충전한다.

한편, 입력부(202)의 출력단으로 하이레벨의 전압이 출력되면 제 14트랜지스터(M14)가 턴-오프된다. 그리고, 제 1입력단자(clk)로 공급된 하이레벨의 전압에 대응되어 제 15트랜지스터(M15)가 턴-오프된다.

제 15트랜지스터(M15)가 턴-오프되면 제 12커패시터(C12)에 저장된 턴-오프 전압에 대응되어 제 11트랜지스터(M11) 및 제 13트랜지스터(M13)가 턴-오프된다. 그리고, 제 14트랜지스터(M14)가 턴-오프되면 제 11커패시터(C11)에 저장된 턴-온 전압에 대응되어 제 12트랜지스터(M12)가 턴-온된다. 그러면, 출력단자(out)로 로우레벨의 전압이 출력된다. 즉, 제 2기간(T2) 동안에는 이전상태(즉, 제 1기간(T1))의 전압을 유지한다.

제 3기간(T3) 동안 제 1입력단자(clk)로 로우레벨의 전압, 제 2입력단자(/clk)로 하이레벨의 전압 및 제 3입력단자(in)로 로우레벨의 전압이 입력된다.

제 2입력단자(/clk)로 하이레벨의 전압이 입력되면 제 17트랜지스터(M17)가 턴-오프된다. 그리고, 제 3입력단자(in)로 로우레벨의 전압이 입력되면 제 18트랜지스터(M18)가 턴-온된다. 그러면, 제 16트랜지스터(M16)의 게이트전압이 제 3전원(VDD)의 전압으로 상승된다. 제 16트랜지스터(M16)의 게이트전압이 제 3전원(VDD)의 전압으로 상승되면 제 16트랜지스터(M16)의 제 1전극의 전압은 제 3전원(VDD)의 전압 이하로 하강되지 못하고, 이에 따라 제 14트랜지스터(M14)가 턴-오프된다.

한편, 제 1입력단자(clk)로 공급된 로우레벨의 전압에 대응되어 제 15트랜지스터(M15)가 턴-온된다. 제 15트랜지스터(M15)가 턴-온되면 제 3입력단자(in)로 입력된 로우레벨의 전압이 제 11트랜지스터(M11) 및 제 13트랜지스터(M13)의 게이트전극으로 공급된다. 그러면, 제 11트랜지스터(M11) 및 제 13트랜지스터(M13)가 턴-온된다. 이 경우, 제 12커패시터(C12)에는 제 11트랜지스터(M11)의 턴-온에 대응되는 전압이 충전된다.

제 11트랜지스터(M11)가 턴-온되면 제 3전원(VDD)의 전압이 출력단자(out)로 공급된다. 즉, 출력단자(out)로는 하이레벨의 전압이 출력된다. 그리고, 제 13트랜지스터(M13)가 턴-온되면 제 12트랜지스터(M12)의 게이트전극으로 제 3전원(VDD)이 공급되어 제 12트랜지스터(M12)가 턴-오프된다. 이 경우, 제 11커패시터(C11)에는 턴-오프에 대응되는 전압이 저장된다.

제 4기간(T4) 동안 제 1입력단자(clk)로 하이레벨의 전압, 제 2입력단자(/clk)로 로우레벨의 전압 및 제 3입력단자(in)로 하이레벨의 전압이 입력된다.

제 2입력단자(/clk)로 로우레벨의 전압이 입력되면 제 17트랜지스터(M17)가 턴-온된다. 그리고, 제 3입력단자(in)로 하이레벨의 전압이 입력되면 제 18트랜지스터(M18)가 턴-오프된다. 그러면, 제 2입력단자(/clk)로 입력된 로우레벨의 전압이 제 16트랜지스터(M16)로 공급되어 제 16트랜지스터(M16)가 턴-온된다. 제 16트랜지스터(M16)가 턴-온되면 제 1입력단자(clk)로 공급된 하이레벨의 전압이 제 14트랜지스터(M14)로 공급되어 제 14트랜지스터(M14)가 턴-오프된다.

한편, 제 1입력단자(clk)로 공급된 하이레벨의 전압에 대응되어 제 15트랜지스터(M15)가 턴-오프된다. 제 15트랜지스터(M15)가 턴-오프되면 제 12커패시터(C12)에 저장된 전압에 의하여 제 11트랜지스터(M11) 및 제 13트랜지스터(M13)가 턴-온된다. 그리고, 제 14트랜지스터(M14)가 턴-오프되면 제 11커패시터(C11)에 저장된 전압에 대응하여 제 12트랜지스터(M12)가 턴-오프된다. 즉, 제 4기간(T4) 동안에는 제 3기간(T3)의 출력과 동일한 하이레벨의 전압을 출력한다.

이와 같은 본 발명의 실시예에 의한 우수번째 샘플링 래치 회로의 동작과정을 정리해보면, 제 1입력단자(clk)로 로우레벨의 전압이 입력되면 제 3입력단자(in)의 전압과 반대 레벨의 전압을 출력하고, 제 1입력단자(clk)로 하이레벨의 전압이 입력되면 이전 기간의 출력을 유지한다.

즉, 도 4 및 도 5을 참조할 경우, 도 8에 도시된 본 발명의 실시예에 의한 각 채널의 우수번째 샘플링 래치는 제 1입력단자(clk)로 입력되는 샘플링 펄스(Sap)가 로우 레벨로 입력되고, 제 2입력단자(/clk)로 입력되는 차징 신호(CH)가 하이 레벨로 입력될 때, 상기 제 3입력단자(in)로 입력되는 데이터(Data) 비트의 반전된 값을 출력하게 되고, 입력단자(clk)로 입력되는 샘플링 펄스(Sap)가 하이 레벨로 입력되면 상기 반전된 비트 값의 출력이 유지된다.

결과적으로 상기 각 채널의 우수번째 샘플링 래치들은 입력받은 데이터(Data) 비트의 극성에 대응하여 이를 반전시킨 비트 값을 홀딩 래치로 공급하게 되는 것이다.

도 10은 도 4에 도시된 홀딩 래치의 실시예를 나타내는 회로도이다.

도 10을 참조하면, 도 4에 도시된 홀딩 래치들(HOL1_1 내지 HOL1_12 ~ HOLm_1 내지 HOLm_12) 각각은 도 6에 도시된 쉬프트 레지스터(S/R)와 동일한 회로로 형성된다. 다만, 홀딩 래치들(HOL1_1 내지 HOL1_12 ~ HOLm_1 내지 HOLm_12)은 제 1입력단자(clk)로 제 2인에이블 신호(EN2)를 입력받고, 제 2입력단자(/clk)로 제 1인에이블 신호(EN1)를 입력받는다.

도 5의 파형도와 결부하여 동작과정을 설명하면 다음과 같다. 먼저 샘플링 래치들(SAL1 내지 SALm)로부터 출력되는 디지털 데이터 비트, 일 예로 도 5에 도시된 바와 같이 D[5] 또는 /D[5]의 입력이 완료된 후 제 1인에이블 신호(EN1)가 로우레벨로 설정되고 제 2인에이블 신호(EN2)가 하이레벨로 설정된다. 그러면, 홀딩 래치들 각각은 샘플링 래치들(SAL1 내지 SALm) 각각에서 출력되는 데이터 비트를 입력받는다. 여기서, 홀딩 래치들로 입력된 데이터 비트들은 홀딩 래치들 각각에 포함되는 커패시터(C1)에 저장된다.

이후, 제 1인에이블 신호(EN1)가 하이레벨로 설정되고, 제 2인에이블 신호(EN2)가 로우레벨로 설정되면, 홀딩 래치들 각각은 자신에게 저장된 데이터 비트에 해당하는 전압(하이 또는 로우)을 DAC로 출력한다.

즉, 첫번째 채널에 구비된 제 1홀딩 래치(HOL1_1)는 상기 제 1인에이블 신호(EN1)가 로우레벨로 설정되고, 제 2인에이블 신호(EN2)가 하이레벨로 설정되면, 제 1샘플링 래치(SAL1_1)에서 출력된 D[5](도 5의 a1)를 입력 받아 커패시터(C1)에 저장된다.

이후, 제 1인에이블 신호(EN1)가 하이레벨로 설정되고, 제 2인에이블 신호(EN2)가 로우레벨로 설정되면, 제 1홀딩 래치(HOL1_1)는 상기 저장된 D[5] 즉, a1에 해당하는 전압(하이 또는 로우)을 DAC로 출력한다.

이와 마찬가지로 두번째 채널에 구비된 제 1홀딩 래치(HOL2_1)의 경우 마찬가지로 제 1인에이블 신호(EN1)가 로우레벨로 설정되고, 제 2인에이블 신호(EN2)가 하이레벨로 설정될 때, 제 1샘플링 래치(SAL2_1)에서 출력된 D[5](도 5의 a2)를 입력 받아 커패시터(C1)에 저장되며, 상기 제 1인에이블 신호(EN1)가 하이레벨로 설정되고, 제 2인에이블 신호(EN2)가 로우레벨로 설정되면, 제 1홀딩 래치(HOL1_1)는 상기 저장된 D[5] 즉, a2에 해당하는 전압(하이 또는 로우)을 DAC로 출력한다.

이는 각 채널에 구비된 제 2홀딩 래치(SAL1_2, SAL2_2, ..., SALm_2)에 동일하게 적용되어 /D[5] 즉, /a1, /a2, ..., /an에 해당하는 전압을 상기 동작을 거쳐 DAC로 출력한다.

도 11는 도 4에 도시된 디지털-아날로그 컨버터(DAC)의 실시예에 대한 회로도이다.

단, 이는 6비트 디지털 데이터를 입력 받는 DAC를 그 예로 설명한다.

도 11에 도시된 바와 같이, 본 발명에 의한 DAC는 모두 PMOS 트랜지스터로 구현되며, 홀딩 래치를 통해 출력되는 6비트 디지털 데이터의 각 비트 및 반전된 비트를 입력받아 이에 대응하여 복수의 계조전압들 중 어느 하나를 선택함으로써 그에 대응하는 아날로그 데이터 신호를 생성하여 이를 데이터선들(D1 내지 Dm)로 공급하는 역할을 한다.

즉, 입력되는 디지털 데이터가 [000000]인 경우에는 계조전압 중 V0가 선택되어 출력되고, [000001]이 입력되는 경우에는 계조전압 중 V1이 선택되어 출력되며, [111111]인 경우에는 계조전압 중 V63이 선택되어 출력되는 것으로, 6비트 디지털 데이터가 입력되면 총 64가지의 계조전압을 표현할 수 있게 되며, 특정 디지털 데이터에 대응되는 계조전압이 선택되면 이는 해당되는 데이터선으로 공급된다.

상술한 쉬프트 레지스터들(S/R), 샘플링 래치들(SAL), 홀딩 래치들(HOL) 및 디지털-아날로그 컨버터(DAC)의 동작과정을 참조하여 도 5의 과정을 설명하면 아래와 같이 설명하기로 한다.

단, 도 5는 각 채널 별 디지털 데이터의 MSB 및 반전된 MSB가 입력되는 경우에 대한 과정도이다.

먼저, 기수번째 쉬프트 레지스터들(S/R1, S/R3, ...)은 제 2클럭신호(CLK2)의 로우레벨 기간에 스타트펄스(SP) 또는 이전단 샘플링펄스(sap)에 대응되는 전압을 충전한다. 그리고, 제 2클럭신호(CLK2)의 하이레벨 기간에 충전된 스타트펄스(SP) 또는 이전단 샘플링펄스(sap)에 대응하여 로우레벨 전압을 출력한다. 그리고, 우수번째 쉬프트 레지스터들(S/R2, S/R4, ...)은 제 1클럭신호(CLK1)의 로우레벨 기간에 이전단 샘플링펄스(sap)에 대응되는 전압을 충전한다. 그리고, 제 1클럭신호(CLK1)의 하이레벨 기간에 충전된 샘플링펄스(sap)에 대응하여 로우레벨의 전압을 출력한다. 따라서, 쉬프트 레지스터들(S/R1 내지 S/Rm)은 도 6에 도시된 바와 같이 샘플링펄스(sap1 내지 sapm)를 순차적으로 생성하게 된다.

단, 앞서 설명한 바와 같이 상기 제 1, 2클럭신호(CLK1, CLK2)가 모두 하이 레벨일 경우에는 이전에 제 1클럭신호(CLK1)가 로우 레벨, 제 2클럭신호(CLK2)가 하이 레벨로 제공된 경우에는 이전 출력을 유지하고, 반대로 제 1클럭신호(CLK1)가 하이 레벨, 제 2클럭신호(CLK2)가 로우 레벨로 제공된 경우에는 출력이 하이 레벨이 되므로, 제 1, 2클럭신호(CLK1, CLK2)의 하이 레벨이 오버랩된 만큼 인접한 쉬프트 레지스터(S/R)의 출력 펄스 사이에 간격이 발생한다.

이에 각 채널별 구비된 기수번째 샘플링 래치, 일 예로 각 채널별 제 1샘플링 래치들(SAL1_1, ..., SALm_1) 각각은 차징 신호(CH)가 하이 레벨로 제공되고, 자신에게 샘플링펄스(sap1 내지 sapm 중 어느 하나)가 공급될 때(로우레벨 기간) 디지털 데이터의 MSB 즉, D[5]를 입력받아 이를 임시 저장하고, 샘플링펄스(sap1 내지 sapm 중 어느 하나)의 공급이 중단(하이레벨 기간)되고 차징 신호(CH)가 로우 레벨로 제공될 때, 상기 임시 저장된 데이터 비트에 대응하는 전압을 출력한다.

또한, 각 채널별 구비된 우수번째 샘플링 래치, 일 예로 각 채널별 제 2샘플링 래치들(SAL1_1, ..., SALm_1) 각각은 제 1 입력단자(clk)로 입력되는 샘플링 펄스(Sap)가 로우 레벨로 입력되고, 제 2입력단자(/clk)로 입력되는 차징 신호(CH)가 하이 레벨로 입력될 때, 상기 제 3입력단자(in)로 입력되는 데이터(Data) 비트의 반전된 값을 출력하게 되고, 입력단자(clk)로 입력되는 샘플링 펄스(Sap)가 하이 레벨로 입력되면 상기 반전된 비트 값의 출력이 유지된다.

결과적으로 상기 각 채널의 우수번째 샘플링 래치들은 입력받은 데이터(Data) 비트의 극성에 대응하여 이를 반전시킨 비트 값을 홀딩 래치로 공급한다.

이에 각 채널별 구비된 제 1 및 제 2홀딩 래치들(HOL1_1, HOL1_2, ..., HOLm_1, HOLm_2) 각각은 제 1인에이블 신호(EN1)가 로우레벨로 설정되고, 제 2인에이블 신호(EN2)가 하이레벨로 설정될 때 각 채널별 구비된 제 1 및 제 2샘플링 래치들(SAL1_1, SAL1_2, ..., SALm_1, SALm_2)로부터 출력된 데이터 비트를 입력받는다. 그리고, 각 채널별 구비된 제 1 및 제 2홀딩 래치들(HOL1_1, HOL1_2, ..., HOLm_1, HOLm_2) 각각은 상기 제 1인에이블 신호(EN1)가 하이레벨로 설정되고, 제 2인에이블 신호(EN2)가 로우레벨로 설정될 때 자신에게 저장된 데이터(Data)에 대응하여 하이레벨 또는 로우레벨의 전압을 DAC로 출력하게 된다.

또한, 상기 홀딩 래치로부터 출력되는 디지털 데이터의 비트 및 반전 비트는 각 채널별로 구비된 DAC의 각각 해당 단자에 입력되고, 상기 DAC는 상기 홀딩 래치들로부터 공급되는 데이터(Data)의 비트 값에 대응하여 복수의 계조전압들 중 어느 하나를 선택함으로써 그에 대응하는 아날로그 데이터 신호를 생성하여 이를 데이터선들(D1 내지 Dm)로 공급한다.

즉, 본 발명에서는 상술한 바와 같이 PMOS 트랜지스터들만을 이용하여 데이터 구동부(20)를 구현할 수 있다. 이와 같이 데이터 구동부(20)를 구현하게 되면 패널에 실장될 수 있고, 이에 따라 제조비용을 절감할 수 있다.

도 12는 도 1에 도시된 데이터 구동부의 다른 실시예를 나타내는 도면이다.

단, 상기 데이터 구동부는 m개의 채널을 갖는 것으로 가정하여 설명토록 한다.

도 12에 도시된 데이터 구동부는(20)는 쉬프트 레지스터부(100), 컨버전부(200), 샘플링 래치부(300) 및 홀딩 래치부(400)를 구비한다.

즉, 도 3에 도시된 본 발명의 실시예와 비교할 때 컨버전부(200)가 추가 구성되고, 차징 신호(CH) 대신 상기 컨버전부(200)에서 출력되는 컨버전 신호(CV)가 출력됨을 그 특징으로 한다.

이에 쉬프트 레지스터부(100)는 스타트 펄스(SP), 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)를 공급받아 샘플링 펄스(Sap)를 순차적으로 생성한다. 이를 위해, 쉬프트 레지스터부(100)는 m개의 쉬프트 레지스터를 구비한다.

컨버전부(200)는 제 1클럭신호(CLK1), 제 2클럭신호(CLK2) 및 샘플링 펄스(Sap)를 공급받아 컨버전 신호(CV)를 순차적으로 생성한다. 이를 위해, 컨버전부(200)는 m개의 컨버전 회로를 구비한다.

샘플링 래치부(300)는 상기 샘플링 펄스(Sap) 및 컨버전 신호(CV)를 공급받는다. 샘플링 펄스(Sap) 및 컨버전 신호(CV)를 공급받은 샘플링 래치부(300)는 입력되는 디지털 데이터의 각 비트를 공급받아 이를 임시 저장하고, 이와 함께 상기 입력받은 디지털 데이터의 각 비트를 반전시킨다.

이를 위해, 샘플링 래치부(300)는 각 채널마다 입력되는 디지털 데이터의 비트수*2개의 샘플링 래치를 구비한다. 일 예로 6비트 디지털 데이터를 입력받는 경우 각 채널마다 샘플링 래치는 6*2 즉, 12개가 구비된다.

즉, 각 채널에 다수 구비된 샘플링 래치에 있어서, 기수번째 샘플링 래치들은 입력되는 디지털 데이터의 각 비트를 공급받아 이를 임시 저장하는 역할을 하고, 우수번째 샘플링 래치들은 상기 디지털 데이터의 각 비트를 반전시켜 출력하는 역할을 한다.

결과적으로 상기 샘플링 래치에서 출력되는 신호는 상기 디지털 데이터의 각 비트 및 상기 각 비트의 반전된 비트가 되는 것이다.

홀딩 래치부(400)는 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)를 공급받는다. 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)를 공급받은 홀딩 래치부(400)는 샘플링 래치부(300)로부터 출력되는 각각의 데이터(Data) 비트 및 반전 비트를 입력 받아 이를 DAC로 출력한다.

이에 따라 상기 홀딩 래치부(400) 또한 샘플링 래치부(300)와 동일하게 각 채널마다 입력되는 디지털 데이터의 비트수*2개의 홀딩 래치를 구비한다. 일 예로 6비트 디지털 데이터를 입력받는 경우 각 채널마다 홀딩 래치는 6*2 즉, 12개가 구비된다.

DAC(500)는 상기 홀딩 래치부(400)로부터 출력되는 디지털 데이터(Data)의 각 비트 값에 대응하는 아날로그 신호를 생성하는 것으로 상기 홀딩 래치부(400)로부터 공급되는 데이터(Data)의 비트 값에 대응하여 복수의 계조전압들 중 어느 하나를 선택함으로써 그에 대응하는 아날로그 데이터 신호를 생성하여 이를 데이터선들(D1 내지 Dm)로 공급한다.

도 13은 도 12에 도시된 데이터 구동부의 구체적인 구성을 나타내는 도면이고, 도 14는 도 13에 도시된 데이터 구동부의 구동방법을 나타내는 파형도이다.

단, 상기 데이터 구동부는 m개의 채널을 갖으며, 6비트 디지털 데이터가 입력되는 것으로 가정하여 설명토록 한다. 또한, 도 13은 각 채널 별 디지털 데이터의 MSB 및 반전된 MSB가 입력되는 경우에 대한 파형도이다.

이는 앞서 도 4 및 도 5에 도시된 본 발명의 실시예의 구성 및 구성방법과 비교할 때, 쉬프트 레지스터부와 샘플링 래치부 사이에 컨버전부가 추가 구성되고, 그에 따라 차징 신호(CH) 대신 상기 컨버전부에서 출력되는 컨버전 신호(CV)가 사용됨을 차이로 하며, 구체적인 동작은 앞서 설명한 실시예와 동일하다.

도 13을 참조하면, 쉬프트 레지스터부(100) 및 컨버전부(200)는 각 채널마다 하나의 쉬프트 레지스터(S/R1 내지 S/Rm) 및 컨버전 회로(CC1 내지 CCm)를 구비한다. 그리고, 샘플링 래치부(300)는 각 채널마다 12개의 샘플링 래치(SAL1_1 내지 SAL1_12 ~ SALm_1 내지 SALm_12)를 구비하고, 홀딩 래치부(400) 또한 각 채널마다 12개의 홀딩 래치(SAL1_1 내지 SAL1_12 ~ SALm_1 내지 SALm_12)를 구비한다. 단, 도 13에서는 첫번째 채널에 대한 구성을 중심으로 도시되어 있다.

쉬프트 레지스터(S/R1 내지 S/Rm)들 중 기수번째 쉬프트 레지스터(S/R1, S/R3, ...)는 제 1입력단자(clk)로 제 1클럭신호(CLK1)를 입력받고, 제 2입력단자(/clk)로 제 2클럭신호(CLK2)를 입력받는다. 쉬프트 레지스터(S/R1 내지 S/Rm)들 중 우수번째 쉬프트 레지스터(S/R2, ..., S/Rm)는 제 1입력단자(clk)로 제 2클럭신호(CLK2)를 입력받고, 제 2입력단자(/clk)로 제 1클럭신호(CLK1)를 입력받는다. 여기서, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)는 180도의 위상차를 갖는다. 단, 도 14에 도시된 실시예의 경우 상기 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)가 하이 레벨에서 소정부분 오버랩되어 제공됨을 특징으로 한다.

쉬프트 레지스터(S/R1 내지 S/Rm)들 중 제 1쉬프트 레지스터(S/R1)는 제 1클럭신호(CLK1), 제 2클럭신호(CLK2) 및 스타트펄스(SP)를 공급받아 제 1샘플링펄스(sap1)를 생성한다. 그리고, 제 2쉬프트 레지스터(S/R2)는 제 1클럭신호(CLK1), 제 2클럭신호(CLK2) 및 제 1샘플링펄스(sap1)를 공급받아 제 2샘플링펄스(sap2)를 생성한다. 실제로, 쉬프트 레지스터(S/R1 내지 S/Rm)들은 스타트펄스(SP) 또는 이전단의 샘플링펄스(sap)를 공급받아 도 12와 같이 샘플링펄스(sap)를 순차적으로 생성한다.

이에 상기 컨버전 회로(CC1 내지 CCm)들 중 기수번째 컨버전 회로(CC1, CC3, ...)는 제 1입력단자(clk)로 제 1클럭신호(CLK1)를 입력받고, 제 2입력단자(/clk)로 제 2클럭신호(CLK2)를 입력받는다. 컨버전 회로(CC1 내지 CCm)들 중 우수번째 컨버전 회로(CC2, ..., CCm)는 제 1입력단자(clk)로 제 2클럭신호(CLK2)를 입력받고, 제 2입력단자(/clk)로 제 1클럭신호(CLK1)를 입력받는다.

이와 같은 컨버전 회로(CC1 내지 CCm)는 제 1클럭신호(CLK1), 제 2클럭신호(CLK2) 및 쉬프트 레지스터부에서 출력되는 샘플링펄스(sap)를 공급받아 컨버전 신호(CV)를 생성한다. 다시 말하여, 제 1컨버전 회로(CC1)는 제 1샘플링펄스(sap1), 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)를 공급받아 제 1컨버전 신호(CV1)를 생성한다. 그리고, 제 2컨버전 회로(CC2)는 제 2샘플링펄스(sap2), 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)를 공급받아 제 2컨버전 신호(CV2)를 생성한다. 여기서, 제 2컨버전 신호(CV2)는 도 12에 도시된 바와 같이 제 1컨버전 신호(CV1)와 소정기간 중첩되도록 생성된다.

즉, 상기 컨버전 회로(CC)는 제 1입력단자(clk)로 로우레벨의 전압이 입력되면 제 3입력단자(in)의 전압과 반대 레벨의 전압을 출력하고, 제 1입력단자(clk)로 하이레벨의 전압이 입력되면 이전 기간의 출력을 유지하는 것으로, 이는 앞서 도 8을 통해 설명한 각 채널의 우수번째 샘플링 래치와 그 구성 및 동작이 동일하므로 구체적인 설명은 생략토록 한다.

이에 각 채널별 구비된 기수번째 샘플링 래치, 일 예로 각 채널별 제 1샘플링 래치들(SAL1_1, ..., SALm_1) 각각은 제 1컨버전 신호(CV)가 하이 레벨로 제공되고, 자신에게 샘플링펄스(sap1 내지 sapm 중 어느 하나)가 공급될 때(로우레벨 기

간) 디지털 데이터의 MSB 즉, D[5]를 입력받아 이를 임시 저장하고, 샘플링펄스(sap1 내지 sapm 중 어느 하나)의 공급이 중단(하이레벨 기간)되고 제 1컨버전 신호(CV)가 로우 레벨로 제공될 때, 상기 임시 저장된 데이터 비트에 대응하는 전압을 출력한다.

또한, 각 채널별 구비된 우수번째 샘플링 래치, 일 예로 각 채널별 제 2샘플링 래치들(SAL1_1, ..., SALm_1) 각각은 제 1 입력단자(clk)로 입력되는 샘플링 펄스(Sap)가 로우 레벨로 입력되고, 제 2입력단자(/clk)로 입력되는 제 1컨버전 신호(CV)가 하이 레벨로 입력될 때, 상기 제 3입력단자(in)로 입력되는 데이터(Data) 비트의 반전된 값을 출력하게 되고, 입력단자(clk)로 입력되는 샘플링 펄스(Sap)가 하이 레벨로 입력되면 상기 반전된 비트 값의 출력이 유지된다.

결과적으로 상기 각 채널의 우수번째 샘플링 래치들은 입력받은 데이터(Data) 비트의 극성에 대응하여 이를 반전시킨 비트 값을 홀딩 래치로 공급한다.

또한, 홀딩 래치들(HOL1_1 내지 HOL1_12 ~ HOLm_1 내지 HOLm_12)은 제 1입력단자(clk)로 제 2인에이블 신호(EN2)를 입력받고, 제 2입력단자(/clk)로 제 1인에이블 신호(EN1)를 입력받는다. 상기 제 1인에이블 신호(EN1) 및 제 2인에이블 신호(EN2)를 입력받은 홀딩 래치들(HOL1_1 내지 HOL1_12 ~ HOLm_1 내지 HOLm_12)은 샘플링 래치들(SAL1_1 내지 SAL1_12 ~ SALm_1 내지 SALm_12)로부터 출력된 디지털 데이터(Data)의 각 비트를 입력 받는다. 그리고, 상기 홀딩 래치들은 상기 입력받은 디지털 데이터의 각 비트를 DAC로 출력하게 된다.

일 예로 첫번째 채널에 해당하는 홀딩 래치들(HOL1_1 내지 HOL1_12)의 경우, 제 1입력단자(clk)로 제 2인에이블 신호(EN2)를 입력받고, 제 2입력단자(/clk)로 제 1인에이블 신호(EN1)를 입력받으며, 이는 상기 첫번째 채널에 해당하는 샘플링 래치(SAL1_1 내지 SAL1_12)에서 출력된 디지털 데이터의 각 비트 또는 반전된 비트를 입력받아 이를 DAC로 출력하는 것이다.

여기서, 첫번째 채널에 구비된 제 1홀딩 래치(HOL1_1)는 제 1샘플링 래치(SAL1_1)에서 출력된 D[5]를 공급받고, 제 2홀딩 래치(HOL1_2)는 제 2샘플링 래치(SAL1_2)에서 출력된 /D[5]를 공급받는다.

첫번째 채널에 구비된 나머지 홀딩 래치들(HOL1_3 내지 HOL1_12)의 경우도 이와 마찬가지로 샘플링 래치(SAL1_3 내지 SAL1_12)에 임시 저장된 디지털 데이터의 각 비트 또는 반전된 비트(D[4], /D[4], D[3], /D[3], D[2], /D[2], D[1], /D[1], D[0], /D[0])를 입력받아 이를 DAC로 출력한다.

또한, 상기 홀딩 래치로부터 출력되는 디지털 데이터의 비트 및 반전 비트는 각 채널별로 구비된 DAC의 각각 해당 단자에 입력되고, 상기 DAC는 상기 홀딩 래치들로부터 공급되는 데이터(Data)의 비트 값에 대응하여 복수의 계조전압들 중 어느 하나를 선택함으로써 그에 대응하는 아날로그 데이터 신호를 생성하여 이를 데이터선들(D1 내지 Dm)로 공급한다.

상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다.

따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여 져야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 데이터 구동부 및 이를 이용한 유기 전계발광 표시장치에 의하면 데이터 구동부에 포함되는 쉬프트 레지스터들, 샘플링 래치들, 홀딩 래치들, 디지털-아날로그 컨버터를 PMOS 트랜지스터들로만 구성하기 때문에 패널에 실장 가능하고, 이에 따라 제조비용을 절감할 수 있는 장점이 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 의한 유기 전계발광 표시장치를 나타내는 도면.

도 2는 도 1에 도시된 화소의 실시예를 나타내는 도면.

도 3은 도 1에 도시된 데이터 구동부의 실시예를 나타내는 도면.

도 4는 도 3에 도시된 데이터 구동부의 구체적인 구성을 나타내는 도면.

도 5는 도 4에 도시된 데이터 구동부의 구동방법을 나타내는 파형도.

도 6은 도 4에 도시된 쉬프트 레지스터의 실시예를 나타내는 회로도.

도 7은 도 4에 도시된 각 채널의 기수번째 샘플링 래치의 실시예를 나타내는 회로도.

도 8은 도 4에 도시된 각 채널의 우수번째 샘플링 래치의 실시예를 나타내는 회로도.

도 9는 도 8에 도시된 샘플링 래치 회로의 동작과정을 설명하기 위한 파형도.

도 10은 도 4에 도시된 홀딩 래치의 실시예를 나타내는 회로도.

도 11은 도 4에 도시된 디지털-아날로그 컨버터의 실시예를 나타내는 회로도.

도 12는 도 1에 도시된 데이터 구동부의 다른 실시예를 나타내는 도면.

도 13은 도 12에 도시된 데이터 구동부의 구체적인 구성을 나타내는 도면.

도 14는 도 13에 도시된 데이터 구동부의 구동방법을 나타내는 파형도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 주사 구동부 20 : 데이터 구동부

30 : 화소부 40 : 화소

42 : 화소회로 50 : 타이밍 제어부

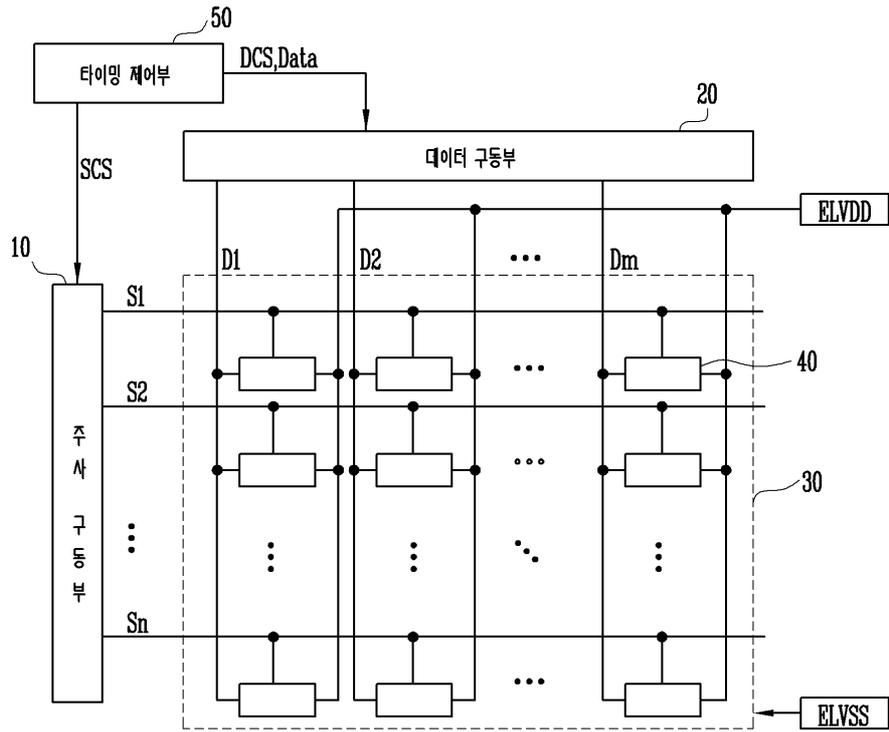
100 : 쉬프트 레지스터부 200 : 컨버전부

202 : 입력부 204 : 출력부

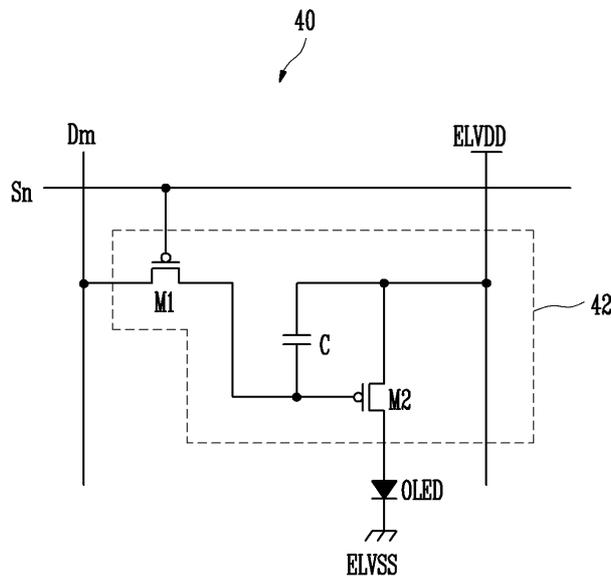
300 : 샘플링 래치부 400, 500, 600 : 홀딩 래치부

도면

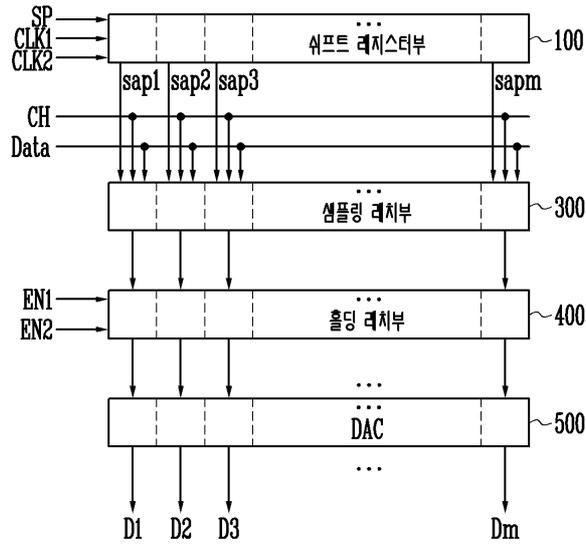
도면1



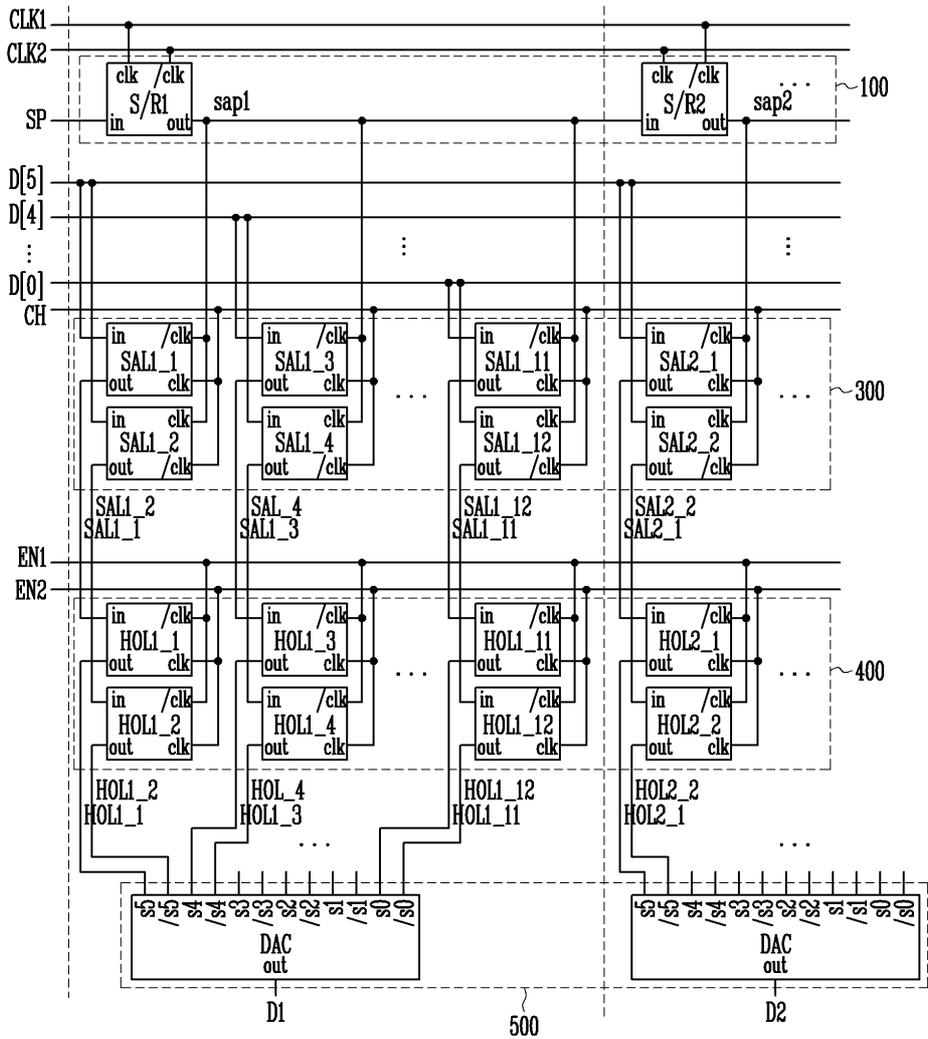
도면2



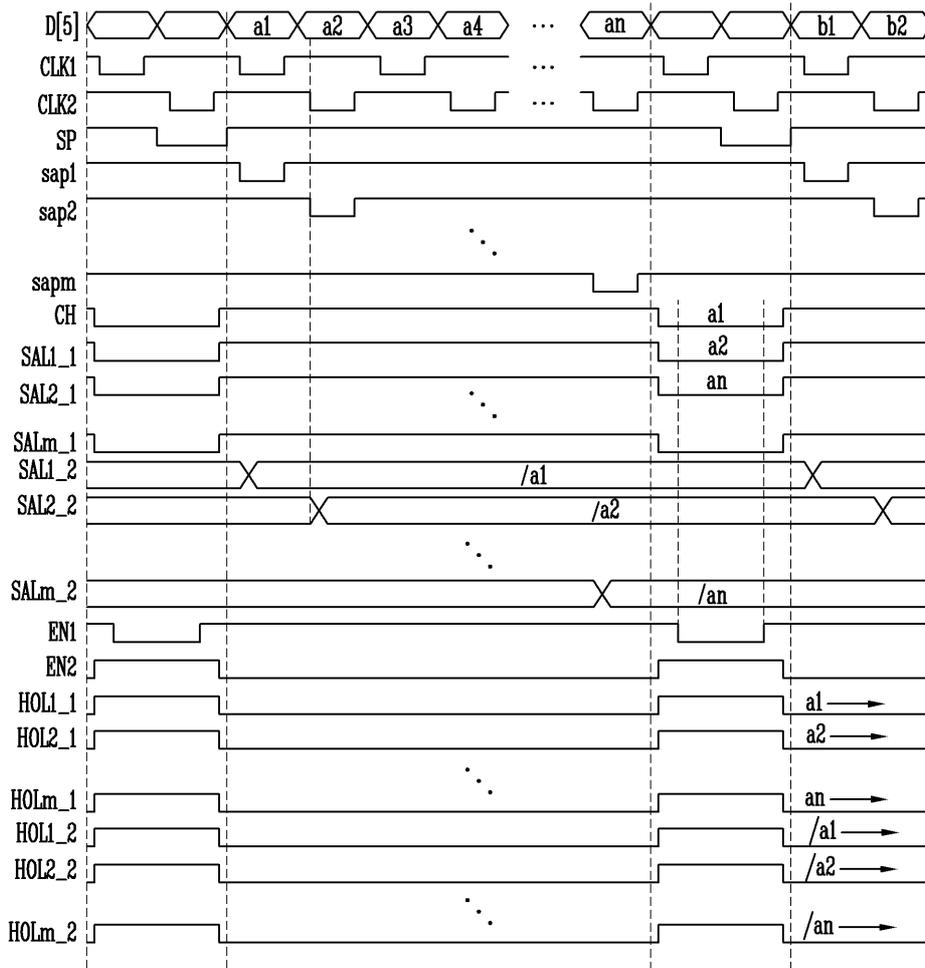
도면3



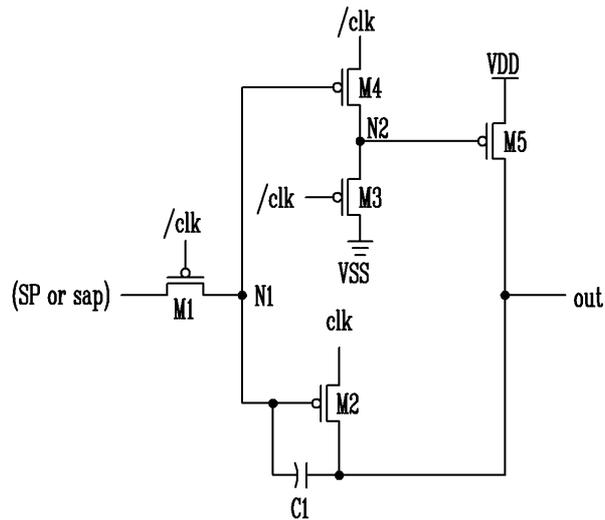
도면4



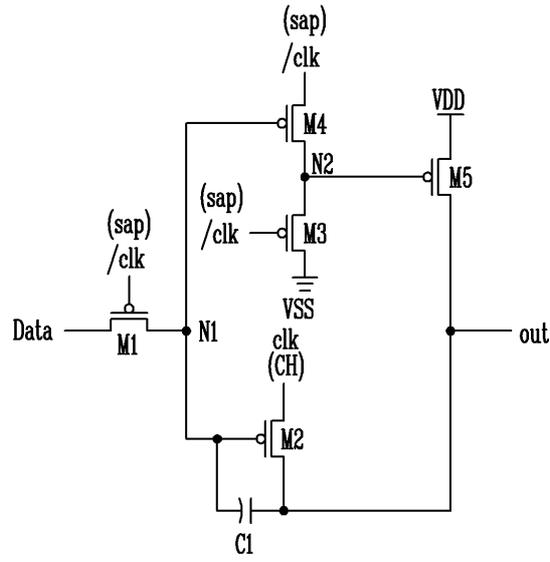
도면5



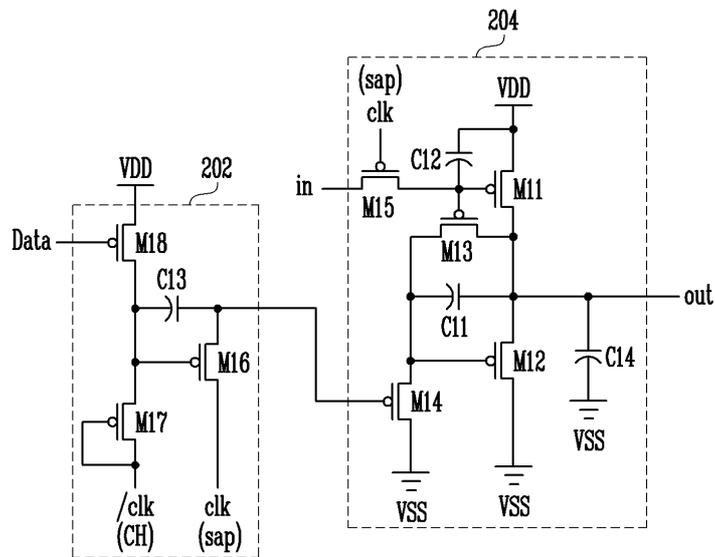
도면6



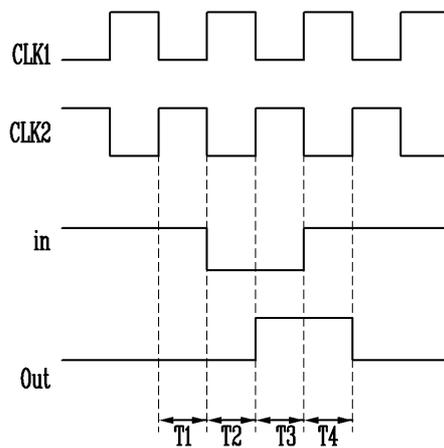
도면7



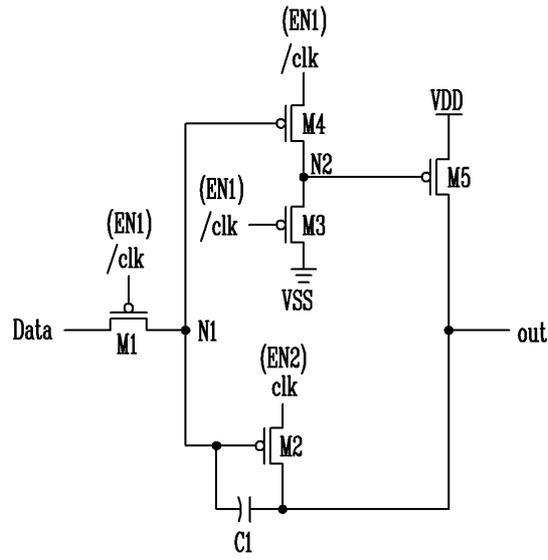
도면8



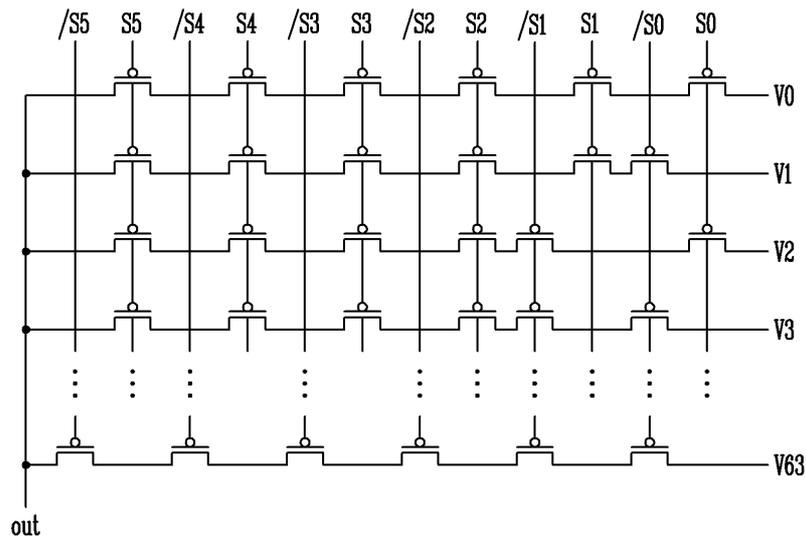
도면9



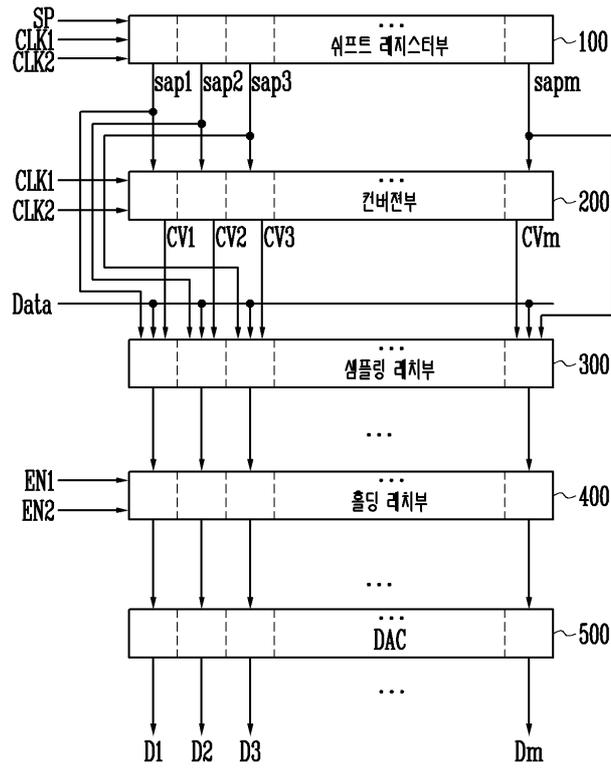
도면10



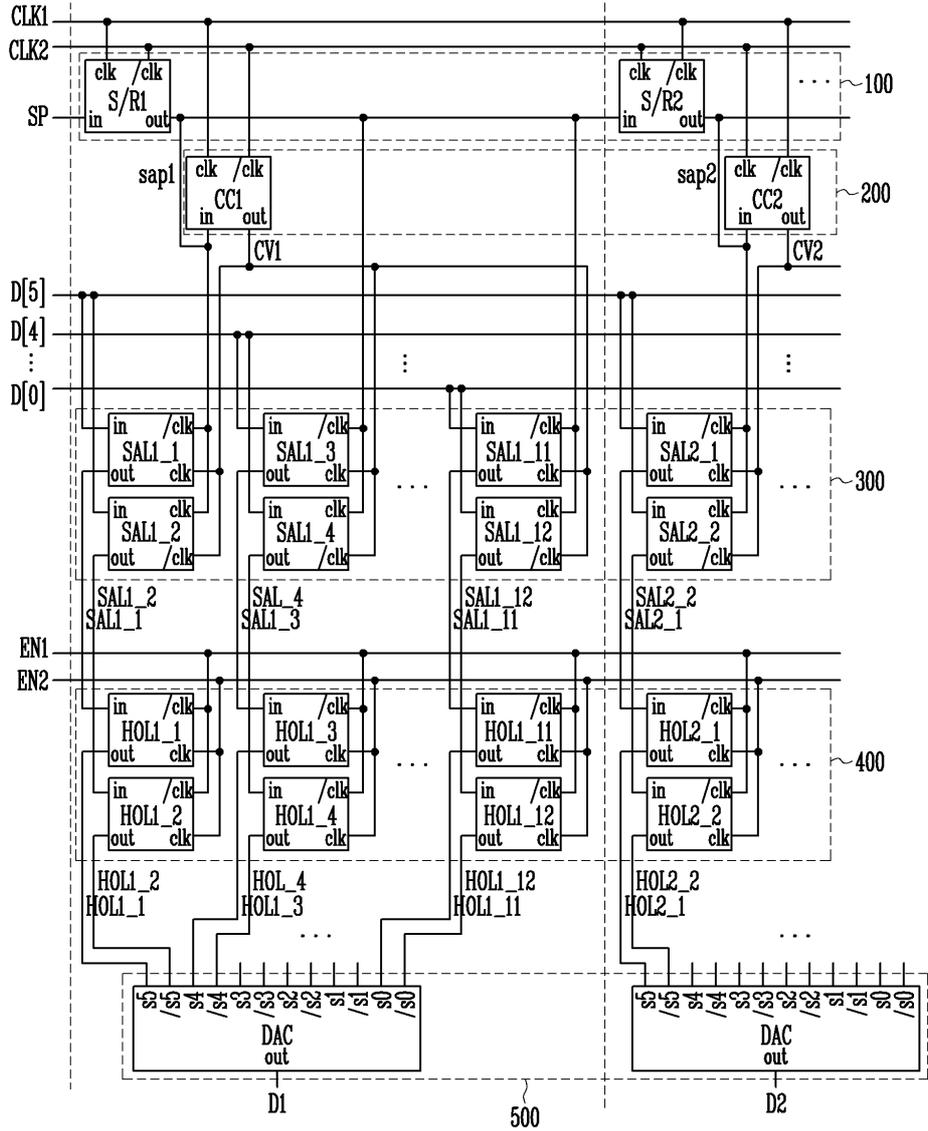
도면11



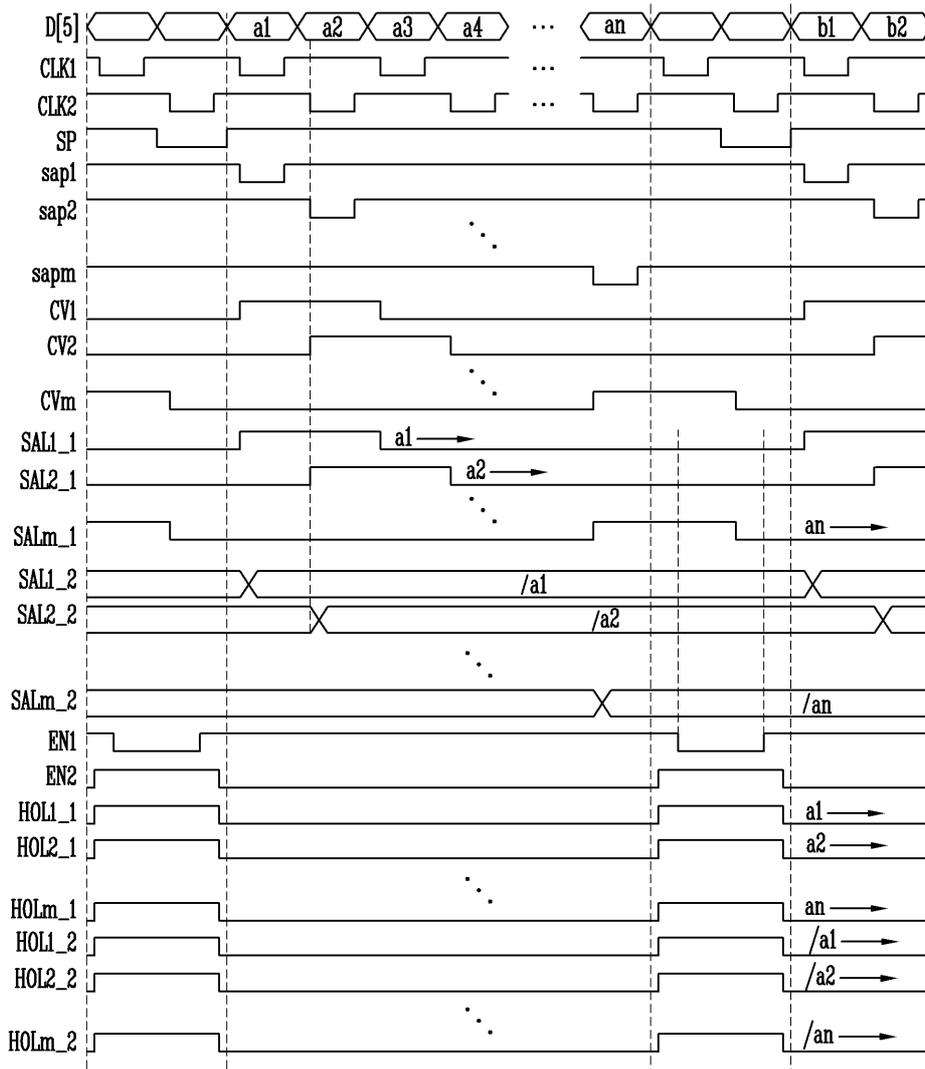
도면12



도면13



도면14



专利名称(译)	数据驱动器和使用其的有机发光显示器		
公开(公告)号	KR100719671B1	公开(公告)日	2007-05-18
申请号	KR1020060031638	申请日	2006-04-06
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	DONGYONG SHIN 신동용		
发明人	신동용		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/2022 G09G3/3275 G09G2310/0254 G09G2310/0286 G09G2310/08 H01L27/3211 H01L27/3248 H01L27/3265		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的数据驱动器包括：移位寄存器单元，用于顺序接收第一时钟信号，第二时钟信号和起始脉冲并产生采样脉冲；采样锁存单元接收数字数据的每一位，临时存储对应于采样脉冲和充电信号的输入数字数据的每一位，并反转输入的数字数据的每一位；保持锁存单元，接收从与第一使能信号和第二使能信号对应的采样锁存单元输出的数据位和反转位，并输出接收的数据和反转位；以及数模转换器，用于产生对应于从保持锁存单元输出的数字数据 (Data) 的每个比特值的模拟信号。能够安装到模拟转换器到面板，因为只有PMOS晶体管，从而降低了制造成本的结构 - 这，根据本发明，包括在数据驱动器的移位寄存器，取样锁存器，保持锁存器，数字有优势。

