



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

*H05B 33/00* (2006.01)*H05B 33/26* (2006.01)

(45) 공고일자

2007년02월20일

(11) 등록번호

10-0683676

(24) 등록일자

2007년02월09일

(21) 출원번호

10-2004-0050478

(65) 공개번호

10-2006-0001373

(22) 출원일자

2004년06월30일

(43) 공개일자

2006년01월06일

심사청구일자

2004년06월30일

(73) 특허권자

삼성에스디아이 주식회사  
경기 수원시 영통구 신동 575

(72) 발명자

박문희  
부산광역시 사상구 덕포1동 426-9 7/2서창수  
경기도 수원시 권선구 권선동 1188번지 성지아파트 105-605강태옥  
경기도 성남시 분당구 분당동(샛별마을) 우방아파트 302동 1103호

(74) 대리인

리엔목특허법인  
이해영

(56) 선행기술조사문헌

JP2003031657 A

KR1019990060895 A

KR1020020030258 A \*

KR1020060001377 A

14287663 \*

\* 심사관에 의하여 인용된 문헌

**심사관 : 임동우**

전체 청구항 수 : 총 15 항

**(54) 개선된 비어홀구조를 갖는 유기전계 발광표시장치****(57) 요약**

본 발명은 콘택홀과 비어홀이 오버랩되는 구조에서 콘택홀보다 비아홀을 크게 형성하여 공정 안정성 및 소자의 신뢰성을 향상시킬 수 있는 유기전계 발광표시장치를 개시한다.

본 발명의 유기전계 발광표시장치는 절연기판상에 형성된 반도체층과; 기판상에 형성되어 상기 반도체층의 일부를 노출시키는 콘택홀을 구비한 제1절연막과; 상기 제1절연막상에 형성되어 상기 반도체층과 연결되는 소오스/드레인 전극과; 상기 제1절연막상에 형성되어 상기 소오스/드레인 전극중 하나의 전극의 일부를 노출시키는 비어홀을 구비한 제2절연막과; 상기 제2절연막상에 형성되어 상기 하나의 전극에 연결되는 화소전극을 구비한다.

상기 콘택홀은 상기 반도체층과 소오스/드레인 전극을 전기적으로 콘택시켜 주고, 상기 비어홀은 상기 소오스/드레인 전극 중 하나의 전극과 화소전극을 전기적으로 콘택시켜 준다. 상기 비어홀은 상기 콘택홀과 오버랩되어 형성되며, 상기 비어홀의 크기는 상기 콘택홀의 크기보다 크게 형성된다.

## 대표도

도 3

### 특허청구의 범위

#### 청구항 1.

절연기판상에 형성된 반도체층과;

기판상에 형성되어 상기 반도체층의 일부를 노출시키는 콘택홀을 구비한 제1절연막과;

상기 제1절연막상에 형성되어 상기 반도체층과 연결되는 소오스/드레인 전극과;

상기 제1절연막상에 형성되어 상기 소오스/드레인 전극 중 하나의 전극의 일부를 노출시키는 비어홀을 구비한 제2절연막과;

상기 제2절연막상에 형성되어 상기 하나의 전극에 연결되는 화소전극을 구비하며,

상기 콘택홀은 상기 반도체층과 소오스/드레인 전극을 전기적으로 콘택시켜 주고, 상기 비어홀은 상기 소오스/드레인 전극 중 하나의 전극과 화소전극을 전기적으로 콘택시켜 주며,

상기 비어홀은 상기 콘택홀과 오버랩되어 형성되며, 상기 비어홀의 크기는 상기 콘택홀의 크기보다 큰 것을 특징으로 하는 평판표시장치.

#### 청구항 2.

제1항에 있어서,

제2절연막은 보호막과 평탄화막을 포함하며, 상기 비어홀은 보호막과 평탄화막에 걸쳐 형성되는 것을 특징으로 하는 평판표시장치.

#### 청구항 3.

제1항에 있어서,

제2절연막은 상기 제1절연막상에 형성되어, 상기 소오스/드레인 전극 중 하나의 전극을 노출시키는 제1개구부를 구비하는 보호막과;

상기 보호막상에 형성되어, 상기 하나의 전극을 노출시키는 제2개구부를 구비하는 평탄화막을 포함하며,

상기 비어홀은 상기 제1개구부와 제2개구부를 포함하며, 상기 제1개구부와 제2개구부는 상기 콘택홀의 크기보다 큰 크기를 갖는 것을 특징으로 하는 평판표시장치.

#### 청구항 4.

제3항에 있어서,

제1개구부와 제2개구부는 동일한 크기를 갖거나, 또는 제1개구부의 크기가 제2개구부의 크기보다 큰 것을 특징으로 하는 평판표시장치.

#### 청구항 5.

제1항에 있어서,

제2절연막은 상기 제1절연막상에 형성되어, 상기 소오스/드레인 전극중 하나의 전극을 노출시키는 개구부를 구비하는 평탄화막을 포함하며,

상기 비어홀은 상기 개구부를 포함하며, 상기 개구부는 상기 콘택홀의 크기보다 큰 크기를 갖는 것을 특징으로 하는 평판표시장치.

#### 청구항 6.

제1항에 있어서,

상기 하부전극은 제2절연막상에 형성된 반사막과;

상기 반사막상에 형성된 투명도전막을 포함하고,

상기 반사막은 상기 소오스/드레인전극중 하나의 전극을 노출시키는 제3개구부를 구비하며, 투명도전막이 상기 소오스/드레인 전극중 하나의 전극과 제3개구부를 통해 전기적으로 콘택되는 것을 특징으로 하는 평판표시장치.

#### 청구항 7.

절연기판상에 형성된 반도체층과;

기판상에 형성되어 상기 반도체층의 일부를 노출시키는 콘택홀을 구비한 제1절연막과;

상기 제1절연막상에 형성되어 상기 반도체층과 연결되는 소오스/드레인 전극과;

상기 제1절연막상에 형성되어 상기 소오스/드레인전극중 하나의 전극의 일부를 노출시키는 비어홀을 구비한 제2절연막과;

상기 제2절연막상에 형성되어 상기 하나의 전극에 연결되는 화소전극을 구비하며,

상기 콘택홀은 상기 반도체층과 소오스/드레인 전극을 전기적으로 콘택시켜 주고, 상기 비어홀은 상기 소오스/드레인 전극 중 하나의 전극과 화소전극을 전기적으로 콘택시켜 주며,

상기 화소전극은 상기 하나의 전극의 일부분을 노출시키는 제3개구부를 구비하는 금속막을 적어도 구비하며,

상기 비어홀은 상기 콘택홀과 부분적으로 오버랩되어 형성되어 상기 비어홀의 크기는 상기 콘택홀의 크기보다 크며, 제3개구부는 상기 콘택홀 및 비어홀과 오버랩되도록 형성되는 것을 특징으로 하는 평판표시장치.

## 청구항 8.

제7항에 있어서,

제2절연막은 보호막과 평탄화막을 포함하며, 제2개구부는 보호막과 평탄화막에 걸쳐 형성되는 것을 특징으로 하는 평판 표시장치.

## 청구항 9.

제7항에 있어서,

제2절연막은 상기 제1절연막상에 형성되어, 상기 소오스/드레인 전극중 하나의 전극을 노출시키는 제1개구부를 구비하는 보호막과;

상기 보호막상에 형성되어, 상기 하나의 전극을 노출시키는 제2개구부를 포함하며,

상기 비어홀은 상기 제1개구부와 제2개구부를 포함하며, 상기 제1개구부와 제2개구부는 상기 콘택홀의 크기보다 큰 크기를 갖는 것을 특징으로 하는 평판표시장치.

## 청구항 10.

제9항에 있어서,

제1개구부와 제2개구부는 동일한 크기를 갖거나, 또는 제1개구부의 크기가 제2개구부의 크기보다 큰 것을 특징으로 하는 평판표시장치.

## 청구항 11.

제7항에 있어서,

상기 하부전극은 제2절연막상에 형성된 반사막과;

상기 반사막상에 형성된 투명도전막을 포함하고,

상기 반사막은 상기 소오스/드레인전극중 하나의 전극을 노출시키는 제3개구부를 구비하며, 투명도전막이 상기 소오스/드레인 전극중 하나의 전극과 제3개구부를 통해 전기적으로 콘택되는 것을 특징으로 하는 평판표시장치.

## 청구항 12.

절연기판상에 형성된 제1도전막과;

기판상에 형성되고, 상기 제1도전막의 일부분을 노출시키는 제1개구부를 구비하는 제1절연막과;

상기 제1절연막상에 형성되어 제1도전막과 전기적으로 콘택되는 제2도전막과;

기판상에 형성되고, 상기 제2도전막의 일부분을 노출시키는 제2개구부를 구비한 제2절연막과;

상기 제2절연막상에 형성되고, 상기 제2도전막의 일부분을 노출시키는 제3개구부를 구비하는 금속막을 적어도 포함하며, 상기 제2도전막과 전기적으로 콘택되는 제3도전막을 구비하며,

제1개구부는 제1도전막과 제2도전막을 전기적으로 콘택시켜 주기 위한 것이고, 제2개구부는 제2도전막과 제3도전막을 전기적으로 콘택시켜 주기 위한 것이며.

제1개구부와 제2개구부는 오버랩되도록 형성되고, 상기 제1개구부의 크기보다 제2개구부의 크기가 크도록 형성되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 13.

제12항에 있어서,

제1절연막은 층간 절연막을 포함하고, 제2절연막은 보호막과 평탄화막을 포함하는 것을 특징으로 하는 평판표시장치.

### 청구항 14.

제12항에 있어서,

상기 제2개구부는 제1개구부와 부분적으로 오버랩되고, 제3개구부는 제1 및 제2개구부와 오버랩되어 제2도전막의 일부분을 노출시키는 것을 특징으로 하는 평판표시장치.

### 청구항 15.

제12항에 있어서, 제1개구부는 콘택홀이고, 제2개구부는 비어홀인 것을 특징으로 하는 평판표시장치.

**명세서**

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 자발광형 평판표시장치에 관한 것으로서, 보다 구체적으로는 콘택홀과 비어홀이 오버랩되는 구조에서 콘택홀보다 비어홀을 크게 형성하여 공정안정성과 소자의 신뢰성을 향상시킬 수 있는 유기전계 발광표시장치에 관한 것이다.

평판표시장치인 유기전계 발광표시장치는 해상도가 증가함에 따라 셀크기가 감소하게 되고, 이에 따라 스위칭 소자인 박막 트랜지스터의 소오스/드레인 전극과 소오스/드레인 영역을 연결하기 위한 콘택홀과 박막 트랜지스터의 소오스/드레인 전극과 유기전계 발광소자(EL)의 애노드전극 즉, 하부전극과의 연결을 위한 비어홀의 크기가 작아지게 되었다.

비어홀의 크기가 작아지면 하부전극의 패터닝시 패턴불량이 발생되어 소자의 신뢰성이 감소하게 된다. 이는 비어홀과 콘택홀이 서로 오버랩되어 형성되는 구조에서는 콘택홀의 형성에 따른 단차로 인하여 하부전극의 패턴불량이 발생할 확률이 더욱 더 증가하게 된다.

도 1은 종래의 유기전계 발광표시장치의 단면구조를 도시한 것이다.

도 1을 참조하면, 절연기판(100)상에 버퍼층(105)이 형성되고, 버퍼층(110)상에 소오스/드레인영역(111), (115)을 구비한 반도체층(110)이 형성된다. 반도체층(110)의 채널영역(117)에 대응하는 게이트 절연막(120)상에 게이트전극(125)이 형성되고, 층간 절연막(130)상에 콘택홀(131), (135)을 통해 소오스/드레인 영역(111), (115)과 전기적으로 콘택되는 소오스/드레인전극(141), (145)이 형성된다.

충간 절연막(130)상에 보호막(150)과 평탄화막(160)이 순차 형성된다. 상기 보호막(150)은 상기 소오스/드레인 전극(141), (145)중 드레인 전극(145)의 일부분을 노출시키는 제1개구부(155)를 구비하고, 상기 평탄화막(160)은 상기 드레인 전극(145)의 일부분을 노출시키는 제2개구부(165)를 구비한다.

평탄화막(160)상에 비어홀(167)을 통해 상기 드레인 전극(145)과 전기적으로 콘택트되는 하부전극(170)이 형성된다. 상기 하부전극(170)은 화소전극으로서 금속물질로 된 반사막(171)과 투명도전막(175)을 포함한다. 상기 반사막(171)은 상기 드레인 전극(145)의 일부분을 노출시키는 제3개구부(177)를 구비한다.

상기 평탄화막(160)상에 화소분리막(180)이 형성된다. 상기 화소분리막(180)은 상기 하부전극(170)의 일부분을 노출시키는 제4개구부(185)를 구비한다. 제4개구부(185)내의 하부전극(170)상에 발광층을 구비하는 유기막층(190)이 형성되고, 기판상에 캐소드전극인 상부전극(195)이 형성된다.

도 2A는 도 1에 도시된 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀에 대응하는 부분의 단면도이고, 도 2B는 도 1에 도시된 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀의 평면도를 도시한 것이다. 도 2A는 도 2B의 IIA-IIA에 따른 단면도이다.

도 2A 및 도 2B를 참조하면, 종래의 유기전계 발광표시장치는 콘택홀(135)과 비어홀(167)이 원형의 구조를 갖으며, 콘택홀(135)이 비어홀(167)과 완전히 오버랩된 구조를 갖는다. 콘택홀(135)은 드레인전극(145)과의 연결을 위하여 반도체층(110)의 드레인영역(115)을 노출시켜 주기 위한 것으로서, 게이트 절연막(120)과 충간 절연막(130)에 형성되어 크기(d11)을 갖는다. 비어홀(167)은 하부전극(170)과의 연결을 위하여 드레인전극(145)을 노출시켜 주기 위한 것으로서, 보호막(150)에 형성되어 크기(d12)를 갖는 제1개구부(155)와 평탄화막(160)에 형성되어 크기(d13)를 갖는 제2개구부(165)를 구비한다.

이때, 콘택홀(135)의 크기라 함은 드레인영역(115)중 상기 콘택홀(135)에 의해 노출되는 부분의 단면길이 d11를 의미하고, 제1개구부(155)의 크기라 함은 드레인전극(145)중 제1개구부(155)에 의해 노출되는 부분의 단면길이 d12를 의미하며, 제2개구부(165)의 크기라 함은 드레인 전극(145)중 제2개구부(165)에 의해 노출되는 부분의 단면길이 d13을 의미한다. 또한, 비어홀(167)의 크기는 드레인 전극(145)중 비어홀(167)에 의해 노출되는 부분의 단면길이를 의미한다. 그러므로, 제2개구부(165)의 크기(d13)가 제1개구부(155)의 크기(d12)보다 큰 값을 갖도록 형성되어 보호막(155)이 평탄화막(160)에 의해 완전히 덮혀지게 되므로, 비어홀(167)의 크기는 제2개구부(d13)의 크기에 의해 결정된다.

종래의 전면발광형 유기전계 발광표시장치에서는, 애노드전극인 하부전극(170)이 AlNd 등과 같은 반사막(171)과 투명도전막(175)의 적층구조를 갖는다. 그러나, 하부전극으로 AlNd와 같은 Al 합금막을 사용하는 경우에는 드레인전극(145)과 하부전극(170)간의 계면에 Al2O3와 같은 산화막이 형성되기 때문에 콘택저항의 증가를 초래한다.

이러한 콘택저항의 증가문제를 해결하기 위하여, 비어홀(157)내에서는 투명도전막(175)과 드레인 전극(145)이 전기적으로 콘택트되도록 반사막(171)을 패터닝한다. 즉, 반사막(171)을 기판상에 증착하고, 반사막(171)상에 포토레지스트막(도면상에는 도시되지 않음)을 도포한 다음 사진식각공정을 수행하여 포토레지스트막을 패터닝한다. 이때, 상기 비어홀(157)에 대응하는 부분의 포토레지스트막도 제거되도록 패터닝한다. 이어서, 패터닝된 포토레지스트막을 이용하여 비어홀내의 드레인 전극(145)을 노출시키는 제3개구부(177)를 구비하도록 반사막(171)을 패터닝한다.

이와같이, 하부전극(170)중 드레인 전극(145)과 콘택트되는 부분에서의 반사막을 제거하여 줌으로써, 콘택저항 문제를 해결할 수 있었다. 그러나, 콘택홀과 비어홀이 오버랩되고, 하부전극의 하부에 평탄화막이 형성되는 전면발광구조에서, 비어홀의 크기가 콘택홀의 크기보다 작게 형성되는 경우에 평탄화막(160)에 비어홀(167)이 형성되므로 비어홀의 깊이가 증가하고, 또한 비어홀(167)의 반경은 점점 감소하여 종횡비가 증가함에 따라, 포토레지스트막의 패터닝시 비어홀내의 포토레지스트막이 완전히 노광되지 않는다.

따라서, 패터닝공정후에도 비어홀(167)내에 포토레지스트막이 잔존하게 되고, 후속의 반사막 패터닝공정에서 비어홀(167)내에 남아있는 포토레지스트막으로 인하여 반사막(171)이 비어홀(167)내에서 제거되지 않게 되어 하부전극의 패턴불량을 초래하는 문제점이 있었다. 또한, 비어홀의 크기가 작은 경우 콘택불량 및 콘택저항의 증가를 초래하는 문제점이 있었다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 종래기술의 문제점을 해결하기 위한 것으로서, 콘택홀과 비어홀이 오버랩되는 구조에서 비어홀의 크기를 콘택홀의 크기보다 크게 형성하여 하부전극의 패턴불량을 방지하고, 공정 안정성과 소자의 신뢰성을 향상시킬 수 있는 유기전계 발광표시장치를 제공하는 데 그 목적이 있다.

## 발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 평판표시장치는 절연기판상에 형성된 반도체층과; 기판상에 형성되어 상기 반도체층의 일부를 노출시키는 콘택홀을 구비한 제1절연막과; 상기 제1절연막상에 형성되어 상기 반도체층과 연결되는 소오스/드레인 전극과; 상기 제1절연막상에 형성되어 상기 소오스/드레인전극중 하나의 전극의 일부를 노출시키는 비어홀을 구비한 제2절연막과; 상기 제2절연막상에 형성되어 상기 하나의 전극에 연결되는 화소전극을 구비한다.

상기 콘택홀은 상기 반도체층과 소오스/드레인 전극을 전기적으로 콘택시켜 주고, 상기 비어홀은 상기 소오스/드레인 전극 중 하나의 전극과 화소전극을 전기적으로 콘택시켜 준다. 상기 비어홀은 상기 콘택홀과 오버랩되어 형성되며, 상기 비어홀의 크기는 상기 콘택홀의 크기보다 크게 형성된다.

제2절연막은 보호막과 평탄화막을 포함하며, 상기 비어홀은 보호막과 평탄화막에 걸쳐 형성된다. 또는 제2절연막은 평탄화막을 포함하며, 상기 비어홀은 평탄화막에 형성된 개구부를 구비한다. 게다가, 제2절연막은 상기 제1절연막상에 형성되어, 상기 소오스/드레인 전극중 하나의 전극을 노출시키는 제1개구부를 구비하는 보호막과; 상기 보호막상에 형성되어, 상기 하나의 전극을 노출시키는 제2개구부를 구비하는 평탄화막을 포함하며, 상기 비어홀은 상기 제1개구부와 제2개구부를 포함하며, 상기 제1개구부와 제2개구부는 상기 콘택홀의 크기보다 큰 크기를 갖는다. 제1개구부와 제2개구부는 동일한 크기를 갖거나, 또는 제1개구부의 크기가 제2개구부의 크기보다 크다.

상기 하부전극은 제2절연막상에 형성된 반사막과; 상기 반사막상에 형성된 투명도전막을 포함하고, 상기 반사막은 상기 소오스/드레인전극중 하나의 전극을 노출시키는 제3개구부를 구비하며, 투명도전막이 상기 소오스/드레인 전극중 하나의 전극과 제3개구부를 통해 전기적으로 콘택된다.

또한, 본 발명의 유기전계 발광표시장치는 절연기판상에 형성된 반도체층과; 기판상에 형성되어 상기 반도체층의 일부를 노출시키는 콘택홀을 구비한 제1절연막과; 상기 제1절연막상에 형성되어 상기 반도체층과 연결되는 소오스/드레인 전극과; 상기 제1절연막상에 형성되어 상기 소오스/드레인전극중 하나의 전극의 일부를 노출시키는 비어홀을 구비한 제2절연막과; 상기 제2절연막상에 형성되어 상기 하나의 전극에 연결되며, 상기 하나의 전극의 일부분을 노출시키는 제3개구부를 구비하는 금속막을 적어도 구비하는 화소전극을 구비한다.

상기 콘택홀은 상기 반도체층과 소오스/드레인 전극을 전기적으로 콘택시켜 주고, 상기 비어홀은 상기 소오스/드레인 전극 중 하나의 전극과 화소전극을 전기적으로 콘택시켜 준다. 상기 비어홀은 상기 콘택홀과 부분적으로 오버랩되어 형성되어 상기 비어홀의 크기는 상기 콘택홀의 크기보다 크며, 제3개구부는 상기 콘택홀 및 비어홀과 오버랩되도록 형성된다.

또한, 본 발명은 절연기판상에 형성된 제1도전막과; 기판상에 형성되고, 상기 제1도전막의 일부분을 노출시키는 제1개구부를 구비하는 제1절연막과; 상기 제1절연막상에 형성되어 제1도전막과 전기적으로 콘택되는 제2도전막과; 기판상에 형성되고, 상기 제2도전막의 일부분을 노출시키는 제2개구부를 구비한 제2절연막과; 상기 제2절연막상에 형성되고, 상기 제2도전막의 일부분을 노출시키는 제3개구부를 구비하는 금속막을 적어도 포함하며, 상기 제2도전막과 전기적으로 콘택되는 제3도전막을 구비한다.

제1개구부는 제1도전막과 제2도전막을 전기적으로 콘택시켜 주기 위한 것이고, 제2개구부는 제2도전막과 제3도전막을 전기적으로 콘택시켜 주기 위한 것이다. 제1개구부와 제2개구부는 오버랩되도록 형성되고, 상기 제1개구부의 크기보다 제2개구부의 크기가 크도록 형성된다.

제1절연막은 충간 절연막을 포함하고, 제2절연막은 보호막과 평탄화막을 포함한다. 상기 제2개구부는 제1개구부와 부분적으로 오버랩되고, 제3개구부는 제1 및 제2개구부와 오버랩되어 제2도전막의 일부분을 노출시킨다. 제1개구부는 콘택홀이고, 제2개구부는 비어홀이다.

이하 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 3은 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 단면구조를 도시한 것이다.

도 3을 참조하면, 절연기판(200)상에 벼퍼층(205)을 형성한 다음, 벼퍼층(205)상에 폴리실리콘막 등으로 된 반도체층(210)을 형성한다. 상기 벼퍼층(205)은 기판내의 불순물 등이 반도체층(210)으로 침투하는 것을 방지하기 위한 것으로서, 산화막과 질화막으로부터 선택되는 하나이상의 막으로 구성된다.

반도체층(210)과 벼퍼층(205)상에 게이트 절연막(220)을 증착하고, 게이트 절연막(220)상에 게이트 전극물질을 증착한 다음 패터닝하여 상기 반도체층(210)상부의 게이트 절연막(220)상에 게이트 전극(225)을 형성한다. 이어서, n형 또는 p형의 불순물, 예를 들어 p형 불순물을 반도체층(210)으로 주입하여 소오스/드레인 영역(211), (215)을 형성한다. 상기 소오스/드레인 영역(211), (215)사이의 불순물이 도핑되지 않은 영역은 박막 트랜지스터의 채널영역(217)으로 작용한다.

반도체층(210)과 게이트 절연막(220)상에 층간 절연막(230)을 증착한 다음, 상기 층간 절연막(230)과 게이트 절연막(220)을 식각하여 상기 반도체층(210)의 소오스/드레인 영역(211), (215)을 노출시키는 콘택홀(231), (235)을 형성한다. 상기 콘택홀(231), (235)을 포함한 층간 절연막(230)상에 MoW 등과 같은 소오스/드레인 전극물질을 증착한 다음 패터닝하여 소오스/드레인 전극(241), (245)을 형성한다. 상기 소오스/드레인 전극(241), (245)은 콘택홀(231), (235)을 통해 각각 소오스/드레인영역(211), (215)과 전기적으로 콘택된다.

층간 절연막(230)과 소오스/드레인전극(241), (245)상에 보호막(250)을 증착한 다음, 패터닝하여 상기 소오스/드레인 전극(241), (245)중 하나, 예를 들어 드레인 전극(245)의 일부분을 노출시키는 제1개구부(255)을 형성한다. 상기 보호막(250)은 질화막 및 산화막 등과 같은 무기 절연막을 사용한다. 상기 제1개구부(255)를 포함한 보호막(250)상에 평탄화막(260)으로 BCB(benzocyclobutene)등과 같은 유기절연막을 증착한 다음 패터닝하여 상기 드레인 전극(245)의 일부분을 노출시키는 제2개구부(266)를 형성한다.

비어홀(267)을 포함한 평탄화막(260)상에 AlNd 등과 같은 반사막(271)을 증착한 다음 패터닝하여, 비어홀(267)내의 상기 드레인 전극(245)의 일부분을 노출시키는 제3개구부(277)를 구비한 반사막(271)을 형성한다. 반사막(271)과 평탄화막(260)상에 ITO 등과 같은 투명도전막(275)을 증착한 다음 패터닝하여 하부전극(270)을 형성한다. 상기 하부전극(270)은 반사막(271)과 투명도전막(275)을 구비하며, 반사막(271)에 형성된 제3개구부(277)에 의해 투명도전막(275)이 비어홀(267)을 통해 드레인 전극(245)과 전기적으로 콘택된다.

하부전극(270)과 평탄화막(260)상에 상기 화소전극(270)의 일부분을 노출시키는 제4개구부(285)를 구비한 화소분리막(280)을 형성한다. 상기 제4개구부(285)내의 하부전극(270)과 평탄화막(260)상에 발광층을 적어도 구비하는 유기막층(290)을 형성하고, 기판상에 캐소드전극인 상부전극(295)을 형성한다.

도 4A는 도 3 도시된 본 발명의 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀에 대응하는 부분의 단면도이고, 도 4B는 도 3에 도시된 본 발명의 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀의 평면구조를 도시한 것이다. 도 4A는 도 4B의 IVA-IVA에 따른 단면도이다.

도 4A 및 도 4B를 참조하면, 본 발명의 일 실시예에 따른 유기전계 발광표시장치는 콘택홀(235)과 비어홀(267)은 모두 원형의 구조를 갖으며, 콘택홀(235)이 비어홀(267)에 완전히 오버랩된 구조를 갖는다. 콘택홀(235)은 드레인전극(245)과 반도체층(210)의 드레인영역(215)을 전기적으로 콘택시켜 주기 위한 것으로서, 크기(d21)을 갖는다. 또한, 비어홀(267)은 하부전극(270)과 드레인전극(245)을 전기적으로 콘택시켜 주기 위한 것으로서, 보호막(250)에 형성되어 크기(d22)를 갖는 제1개구부(255)와 평탄화막(260)에 형성되어 크기(d23)를 갖는 제2개구부(265)를 구비한다.

여기서, 콘택홀(235)의 크기라 함은 드레인영역(215)중 상기 콘택홀(235)에 의해 노출되는 부분의 단면길이 d21를 의미하고, 제1개구부(255)의 크기라 함은 드레인전극(245)중 제1개구부(255)에 의해 노출되는 부분의 단면길이 d22를 의미하며, 제2개구부(265)의 크기라 함은 드레인 전극(245)중 제2개구부(265)에 의해 노출되는 부분의 단면길이 d23을 의미한다.

또한, 비어홀(267)의 크기는 드레인 전극(245)중 비어홀(267)에 의해 노출되는 부분의 단면길이를 의미한다. 이때, 제2개구부(265)의 크기(d23)가 제1개구부(255)의 크기(d22)보다 작은 값을 갖도록 형성되어 보호막(250)이 평탄화막(260)에 의해 완전히 덮혀지게 되므로, 비어홀(267)의 크기는 제2개구부(d23)의 크기에 의해 결정된다.

도 4A 및 도 4B를 참조하면, 콘택홀(235)의 크기(d21)보다 제2개구부(265)의 크기(d23)가 크고, 제2개구부(265)의 크기(d23)보다 제1개구부(255)의 크기(d22)가 크도록 형성되어 상기 콘택홀(255)보다 비어홀(267)의 크기가 더 큰 값을 갖도록 형성된다.

또한, 비어홀(267)이 콘택홀(235)의 크기보다 크게 형성되어 하부전극(270)이 비어홀(267)의 깊이가 낮은 부분 즉, 충간 절연막(230)에 대응하는 부분에서 드레인 전극(245)과 콘택된다. 그러므로, 하부전극(270)의 반사막(271)의 패터닝공정 시 공정안정성이 확보할 수 있을 뿐만 아니라 비어홀의 콘택불량을 방지하고 콘택저항의 증가를 방지할 수 있다.

도 5A는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 단면도를 도시한 것이고, 도 5B는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 평면구조를 도시한 것이다. 도 5A는 도 5B의 VA-VA선에 따른 단면구조이다.

본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 구조는 도 3의 일실시예에 따른 유기전계 발광표시장치의 구조와 동일하다. 다만, 일 실시예에서는 콘택홀과 비어홀이 완전히 오버랩되는 구조를 갖는 반면에, 다른 실시예에서는 비어홀이 콘택홀과 일부분만 오버랩되는 구조에 대하여 예시한 것이다. 그러므로, 다른 실시예에서는 비어홀과 콘택홀의 구조에 국한시켜 설명한다.

도 5A 및 도 5B를 참조하면, 게이트 절연막(220)과 충간 절연막(230)에 반도체층(210)의 드레인 영역(215)을 노출시키는 d31의 크기를 갖는 콘택홀(235)이 형성된다. 비어홀(267)은 보호막(250)에 형성되어 상기 드레인 전극(245)의 일부분을 노출시키는 d32의 크기를 갖는 제1개구부(255)와 상기 드레인 전극(245)의 일부분을 노출시키는 d33의 크기를 갖는 제2개구부(265)를 구비한다.

상기 제1개구부(255)는 콘택홀(235)의 크기(d31)보다 큰 크기(d32)를 갖으며 콘택홀(235)과는 부분적으로 오버랩되고, 제2개구부(265)는 콘택홀(235)의 크기(d31)보다 크고 제1개구부(265)의 크기(d32)보다는 작은 크기(d33)를 갖으며 상기 콘택홀(235)과는 부분적으로 오버랩되도록 형성된다.

도 6A는 본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀에 대응하는 부분의 단면도이고, 도 6B는 본 발명의 또 다른 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀의 평면구조를 도시한 것이다. 도 6A는 도 6B의 VIA-VIA에 따른 단면도이다.

본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치의 구조는 도 3의 일실시예에 따른 유기전계 발광표시장치의 구조와 동일하다. 다만, 일 실시예에서는 소오스/드레인 전극과 화소전극사이에 무기 절연막의 보호막과 유기절연막의 평탄화막이 적층되는 구조를 갖는 반면에, 또 다른 실시예에서는 소오스/드레인 전극과 화소전극사이에 평탄화막만이 존재하는 구조에 대하여 예시한 것이다. 그러므로, 다른 실시예에서는 비어홀과 콘택홀의 구조에 국한시켜 설명한다.

도 6A 및 도 6B를 참조하면, 본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치는 콘택홀(235)과 비어홀(267)은 모두 원형의 구조를 갖으며, 콘택홀(235)이 비어홀(267)에 완전히 오버랩된 구조를 갖는다. 콘택홀(235)은 드레인전극(245)과 반도체층(210)의 드레인영역(215)을 전기적으로 콘택시켜 주기 위한 것으로서, 크기(d41)를 갖는다. 또한, 비어홀(267)은 하부전극(270)과 드레인전극(245)을 전기적으로 콘택시켜 주기 위한 것으로서, 평탄화막(260)에 형성되어 크기(d43)를 갖는 제1개구부(265)를 구비한다.

상기 비어홀(267)은 상기 콘택홀(235)의 크기(d41)보다 큰 개구부(d43)를 제1개구부(265)의 크기(d43)를 갖는다. 따라서, 비어홀(267)이 콘택홀(235)보다 크게 형성되어 하부전극(270)이 비어홀(267)의 깊이가 낮은 부분 즉, 충간 절연막(230)에 대응하는 부분에서 드레인 전극(245)과 콘택된다.

도 6a 및 도 6b에 도시된 또 다른 실시예에 따른 유기전계 발광표시장치는 도 5a 및 도 5b에 도시된 바와같이 콘택홀과 비어홀이 부분적으로 오버랩되는 구조에도 적용가능하다.

본 발명의 실시예에서는 하부전극(270)의 반사막(271)에 형성되는 제3개구부(277)가 콘택홀(235)과 오버랩 또는 부분적으로 오버랩되는 것이 가능하고, 제3개구부의 크기는 콘택홀의 크기와 무관하게 형성할 수 있다. 이때, 제3개구부는 상기 콘택홀 및 비어홀과 오버랩되도록 형성되는 것이 바람직하다.

본 발명의 실시예에서는 보호막을 증착하고 패터닝하여 제1개구부를 형성한 다음 평탄화막을 증착하고 패터닝하여 제2개구부를 형성하여 2번의 식각공정으로 각각의 크기를 갖는 제1 및 제2개구부를 구비하는 비어홀을 형성하는 것에 대하여 설명하였으나, 2번의 식각공정에 의해 동일한 크기를 갖는 제1개구부와 제2개구부를 구비하는 비어홀을 형성하는 경우 그리고 보호막과 평탄화막을 순차 증착한 다음 동시에 한번의 식각공정으로 패터닝하여 단일의 개구부를 구비하는 비어홀을 형성하는 경우에도 모두 적용가능하다.

본 발명의 실시예에서는 비어홀과 콘택홀이 오버랩되고 하부전극이 비어홀과 오버랩되는 개구부를 갖는 경우에 적용하였으나, 다른 실시예로서 다층의 도전막을 구비하고 도전막들을 연결하기 위한 개구부가 서로 오버랩되고 도전막사이에 평탄화막이 형성되며, 평탄화막상에 형성되는 도전막을 패터닝하는 경우에도 적용가능하다.

또한, 본 발명의 실시예에서는 비어홀과 콘택홀이 원형구조를 갖는 경우에 대하여 설명하였으나, 비어홀과 콘택홀의 구조에 관계없이 콘택홀과 비어홀이 오버랩되고 비어홀에 의해 상기 소오스/드레인 전극중 하나가 노출되는 구조에서 비어홀의 크기를 콘택홀의 크기보다 크게 형성하여 패턴불량을 방지하고자 하는 구조에는 모두 적용가능하다.

### 발명의 효과

상기한 바와 같은 본 발명의 유기전계 발광표시장치는 비어홀과 콘택홀이 서로 오버랩되는 구조에서 콘택홀의 크기보다 비어홀의 크기를 크게 형성하여 줌으로써, 콘택불량 및 콘택저항의 증가를 방지할 수 있다. 또한, 하부전극의 패터닝공정 시 공정안정성을 확보하여 하부전극의 패턴불량을 방지할 수 있으며, 이에 따라 소자의 신뢰성을 향상시킬 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

도 1은 종래의 유기전계 발광표시장치의 단면도,

도 2a는 종래의 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀에 대응하는 부분의 단면도,

도 2b는 종래의 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀의 평면도,

도 3은 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 단면도,

도 4a는 도 3에 도시된 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀에 대응하는 부분의 단면도,

도 4b는 도 3에 도시된 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀의 평면도,

도 5a는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀에 대응하는 부분의 단면도,

도 5b는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀의 평면도,

도 6a는 본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀에 대응하는 부분의 단면도,

도 6b는 본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치에 있어서, 콘택홀과 비어홀의 평면도,

\* 도면의 주요 부분에 대한 부호의 설명 \*

200 : 유리기판 210 : 반도체층

211, 215 : 소오스/드레인영역 225 : 게이트전극

231, 235 : 콘택홀 241, 245 : 소오스/드레인 전극

250 : 보호막 260 : 평탄화막

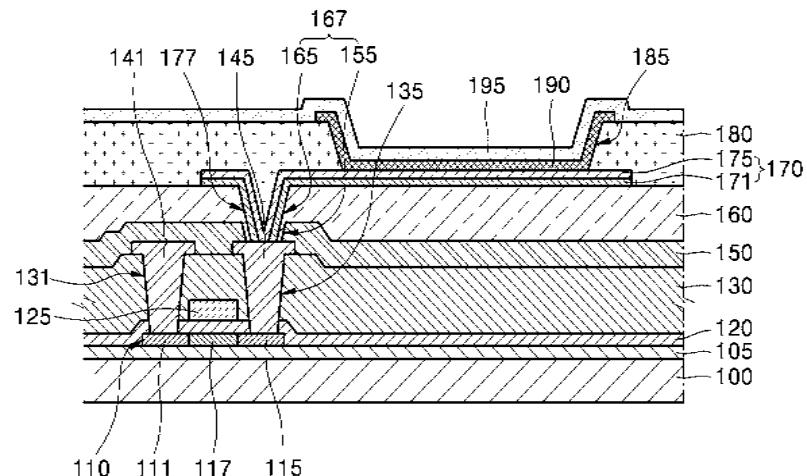
255, 265 : 비어홀 270 : 애노드전극

280 : 화소분리막 285 : 개구부

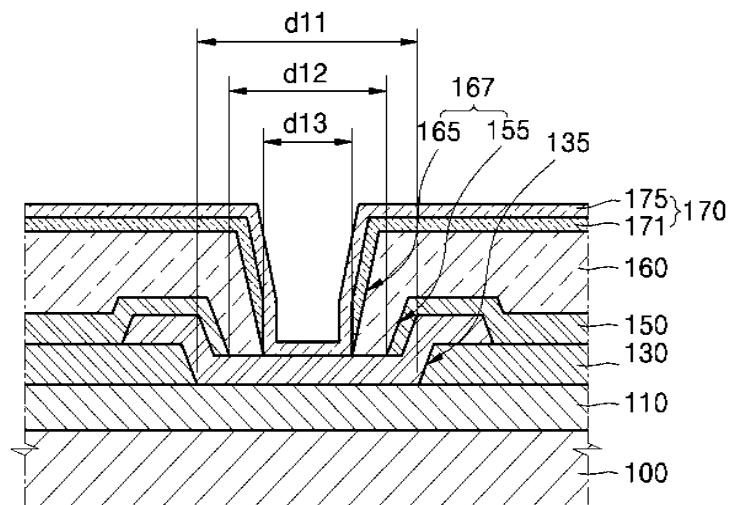
290 : 유기막층 295 : 캐소드전극

도면

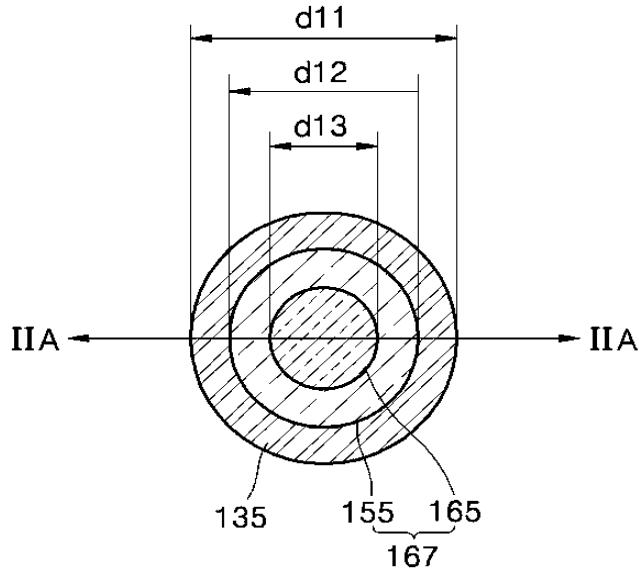
도면1



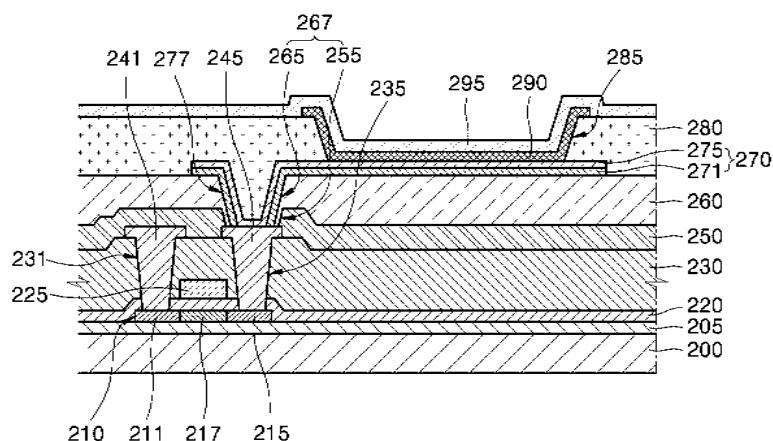
도면2a



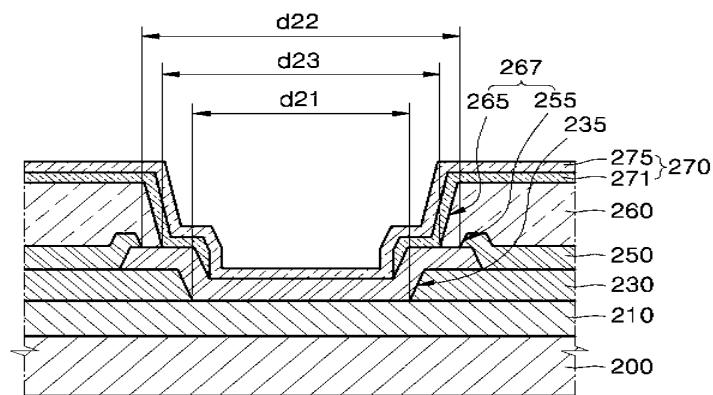
도면2b



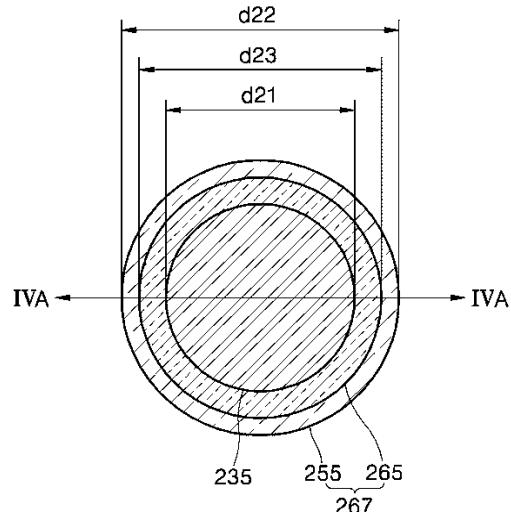
도면3



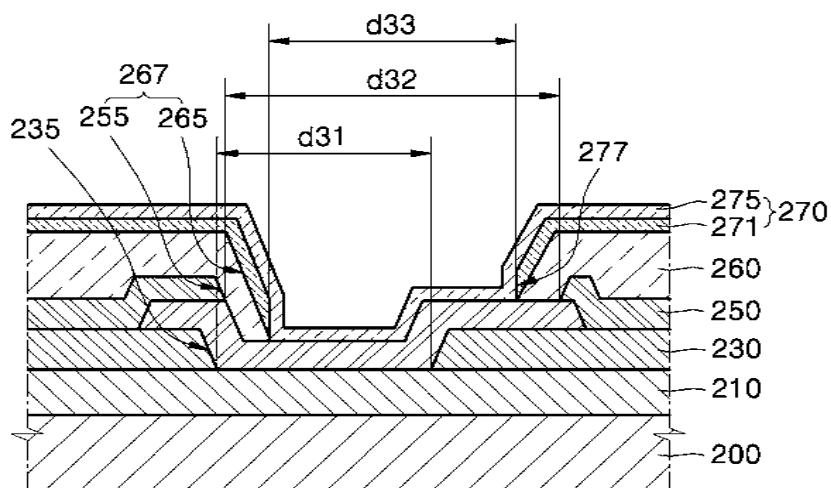
도면4a



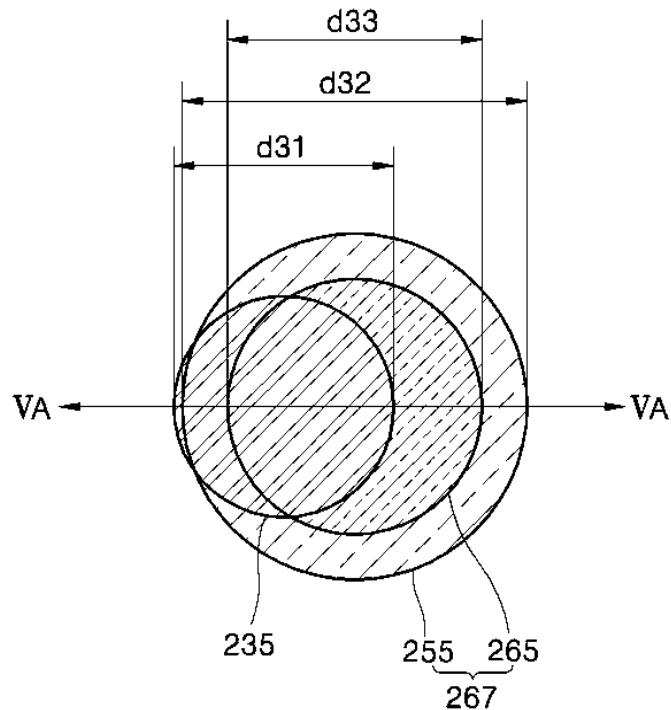
도면4b



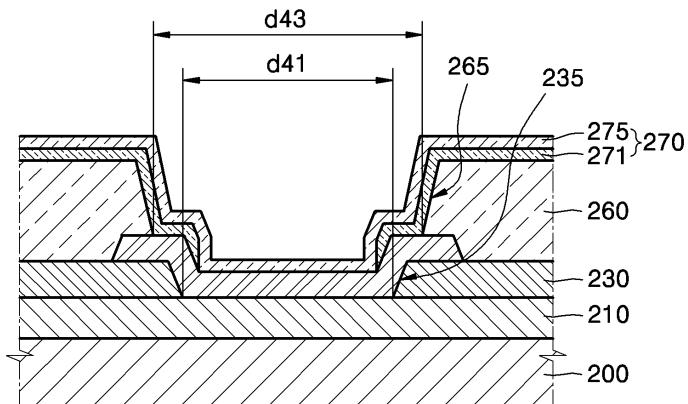
도면5a



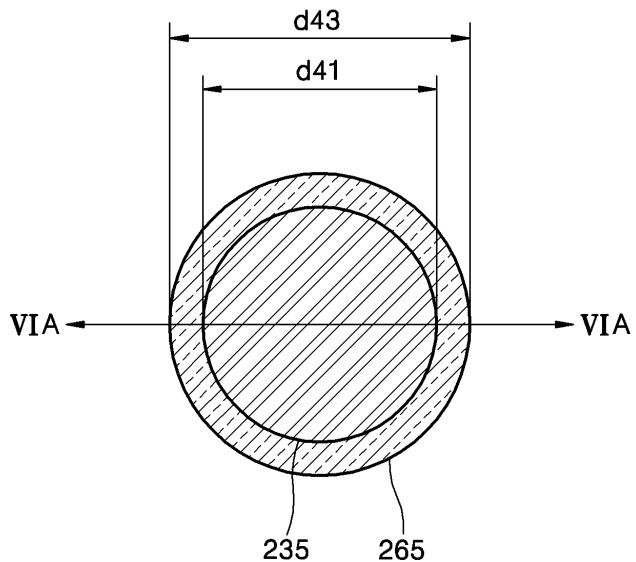
도면5b



도면6a



도면6b



专利名称(译)	一种具有改进的通孔结构的有机发光显示装置		
公开(公告)号	<a href="#">KR100683676B1</a>	公开(公告)日	2007-02-20
申请号	KR1020040050478	申请日	2004-06-30
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PARK MOONHEE 박문희 SEO CHANGSU 서창수 KANG TAEWOOK 강태욱		
发明人	박문희 서창수 강태욱		
IPC分类号	H05B33/00 H05B33/26		
CPC分类号	H01L51/5271 H01L27/3248		
代理人(译)	李 , 杨 HAE		
其他公开文献	KR1020060001373A		
外部链接	<a href="#">Espacenet</a>		

**摘要(译)**

用途：提供一种具有改进通孔的有机发光二极管（OLED），通过形成通孔的尺寸大于通孔的结构中的接触孔的尺寸来防止接触失效和接触电阻增加并且接触孔彼此重叠。

