



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2009-0093826  
 (43) 공개일자 2009년09월02일

(51) Int. Cl.  
*G09G 3/30* (2006.01) *G09G 3/20* (2006.01)  
 (21) 출원번호 10-2009-0014727  
 (22) 출원일자 2009년02월23일  
 심사청구일자 없음  
 (30) 우선권주장 JP-P-2008-047180 2008년02월28일 일본(JP)

(71) 출원인  
 소니 가부시키 가이샤  
 일본국 도쿄도 미나토쿠 코난 1-7-1  
 (72) 발명자  
 야마모토 테츠로  
 일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
 까 가이샤 나이  
 우치노 카쓰히데  
 일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
 까 가이샤 나이  
 (74) 대리인  
 이화익, 김홍두

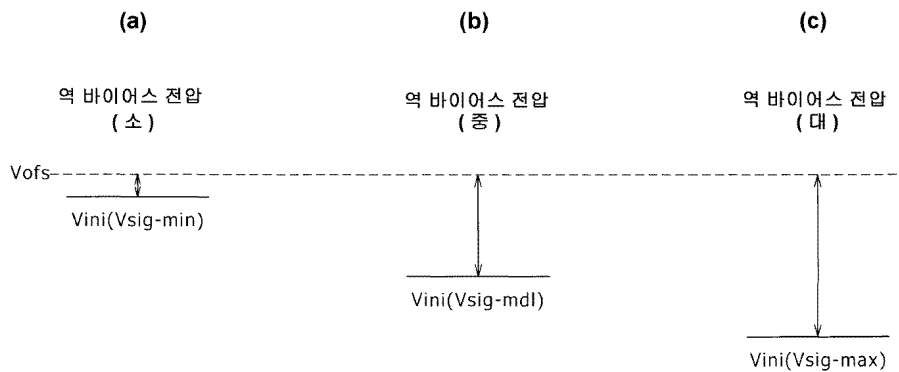
전체 청구항 수 : 총 8 항

**(54) EL 표시 패널, 전자기기 및 EL 표시 패널의 구동 방법**

**(57) 요약**

액티브 매트릭스 구동 방식에 대응한 화소 구조를 갖는 EL 표시 패널로서, 각 화소의 계조값을 반영한 역 바이어스 전위를 발생하는 역 바이어스 전위 발생부와, 비발광 기간에 동작하는 화소 회로를 구성하는 구동 트랜지스터의 게이트 전극에, 역 바이어스 전위를 인가하는 전압 인가부를 구비한 EL 표시 패널이 제공된다.

**대표도**



**특허청구의 범위**

**청구항 1**

액티브 매트릭스 구동 방식에 대응한 화소 구조를 갖는 EL 표시 패널로서,  
 각 화소의 계조값을 반영한 역 바이어스 전위를 발생하는 역 바이어스 전위 발생부와,  
 비발광 기간에 동작하는 화소 회로를 구성하는 구동 트랜지스터의 게이트 전극에, 상기 역 바이어스 전위를 인가하는 전압 인가부를 구비한 것을 특징으로 하는 EL 표시 패널.

**청구항 2**

제 1항에 있어서,  
 상기 역 바이어스 전위 발생부는, 고휘도에 대응하는 역 바이어스 전압이, 저휘도에 대응하는 역 바이어스 전압보다도 커지도록 상기 역 바이어스 전위를 발생하는 것을 특징으로 하는 EL 표시 패널.

**청구항 3**

제 1항에 있어서,  
 상기 전압 인가부는, 상기 역 바이어스 전위 또는 신호 전위를 각 신호선에 시분할로 인가하는 것을 특징으로 하는 EL 표시 패널.

**청구항 4**

제 1항에 있어서,  
 1 프레임 기간 내에 차지하는 발광 기간 길이의 비율이 변환 가능할 경우, 상기 역 바이어스 전위 발생부는, 발광 기간의 비율에 반비례하도록, 역 바이어스 전위의 변동 폭을 설정하는 것을 특징으로 하는 EL 표시 패널.

**청구항 5**

제 1항에 있어서,  
 상기 역 바이어스 전위를  $V_{ini}$ , EL 발광 소자의 임계값 전위를  $V_{thel}$ , 상기 EL 발광 소자의 캐소드 전위를  $V_{cat}$ , 신호 전위를  $V_{sig}$ 로 나타낼 때,

상기 역 바이어스 전압이, 다음 식으로 주어지는 것을 특징으로 하는 EL 표시 패널:

$$V_{ini} = V_{thel} + V_{cat} - (\alpha V_{sig} + \beta) \quad (\alpha > 0 \text{ 그리고 } \beta \geq 0).$$

**청구항 6**

액티브 매트릭스 구동 방식에 대응한 화소 구조와, 각 화소의 계조값을 반영한 역 바이어스 전위를 발생하는 역 바이어스 전위 발생부와, 비발광 기간에 동작하는 화소 회로를 구성하는 구동 트랜지스터의 게이트 전극에, 상기 역 바이어스 전위를 인가하는 전압 인가부를 갖는 EL 표시 패널과,

시스템 전체의 동작을 제어하는 시스템 제어부와,

상기 시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부를 구비한 것을 특징으로 하는 전자기기.

**청구항 7**

액티브 매트릭스 구동 방식에 대응한 화소 구조를 갖는 EL 표시 패널의 구동 방법으로서,

각 화소의 계조값을 반영한 역 바이어스 전위를 발생하는 단계와,

비발광 기간에 동작하는 화소 회로를 구성하는 구동 트랜지스터의 게이트 전극에, 상기 역 바이어스 전압을 인가하는 단계를 구비한 것을 특징으로 하는 EL 표시 패널의 구동 방법.

**청구항 8**

액티브 매트릭스 구동 방식에 대응한 화소 구조를 갖는 EL 표시 패널로서,  
 각 화소의 제조값을 반영한 역 바이어스 전위를 발생하는 역 바이어스 전위 발생 수단과,  
 비발광 기간에 동작하는 화소 회로를 구성하는 구동 트랜지스터의 게이트 전극에, 상기 역 바이어스 전위를 인가하는 전압 인가 수단을 구비한 것을 특징으로 하는 EL 표시 패널.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 2008년 2월 8일에 일본 특허청에 출원된 일본 특허 JP 2008-047180에 관한 주제를 포함하며, 그 모든 내용은 여기에 참조로 포함된다.

<2> 본 발명은 EL(Electro Luminescence) 표시 패널, 전자기기 및 EL 표시 패널의 구동방법에 관한 것으로, 특히 액티브 매트릭스 구동방식으로 구동 제어되는 EL 표시 패널, 전자기기, EL 표시 패널의 구동 방법에 관한 것이다.

**배경기술**

<3> 도 1에, 액티브 매트릭스 구동형의 유기 EL 표시 패널에 일반적인 회로 블록 구성을 나타낸다. 도 1에 나타내는 바와 같이, 유기 EL 표시 패널(1)은, 화소 어레이부(3)와, 그 구동 회로인 신호 기록 제어선 구동부(5) 및 수평 셀렉터(7)로 구성된다. 이 때, 화소 어레이부(3)에는, 신호선 DTL과 기록 제어선 WSL의 각 교점에 화소 회로(9)가 배치된다.

<4> 그런데, 유기 EL 소자는 전류발광 소자이다. 이 때문에, 유기 EL 표시 패널에서는, 각 화소에 대응하는 유기 EL 소자에 흐르는 전류량의 제어에 의해 계조를 제어하는 구동 방식이 채용된다.

<5> 도 2에, 이 종류의 화소 회로(9) 중 가장 단순한 회로 구성의 하나를 나타낸다. 이 화소 회로(9)는, 박막 트랜지스터 T1, T2 및 보유 용량 Cs로 구성된다. 이하, 박막 트랜지스터 T1을 "샘플링 트랜지스터 T1"이라고 하고, 박막 트랜지스터 T2를 "구동 트랜지스터 T2"라고 한다.

<6> 샘플링 트랜지스터 T1은, 대응 화소의 계조에 대응하는 신호 전위 Vsig의 보유 용량 Cs로의 기록을 제어하는 N 채널형의 박막 트랜지스터이다. 또한, 구동 트랜지스터 T2는, 보유 용량 Cs에 유지된 신호 전위 Vsig에 따라 정해지는 게이트·소스 간 전압 Vgs에 근거하여 구동 전류 Ids를 유기 EL 소자 OLED에 공급하는 P채널형의 박막 트랜지스터이다.

<7> 도 2의 경우, 구동 트랜지스터 T2의 소스 전극은, 전원전위 Vcc가 고정적으로 인가되고 있는 전원선에 접속되어, 항상 포화 영역에서 동작한다. 다시 말해, 구동 트랜지스터 T2는, 신호 전위 Vsig에 따른 크기의 구동 전류를 유기 EL 소자 OLED에 공급하는 정전류원으로서 동작한다. 이 때, 구동 전류 Ids는 다음 식 (1)로 주어진다.

<8> 
$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2 \quad \dots(1)$$

<9> 이 때,  $\mu$ 는 구동 트랜지스터 T2의 다수 캐리어의 이동도이고,  $V_{th}$ 는 구동 트랜지스터 T2의 임계값 전압이고, k는  $(W/L) \cdot C_{ox}$ 로 주어지는 계수이며, 여기에서, W는 채널 폭, L은 채널 길이,  $C_{ox}$ 는 단위 면적당 게이트 용량이다.

<10> 한편, 이 구성의 화소 회로의 경우, 도 3에 나타내는 유기 EL 소자의 I-V특성의 경시 변화에 따라, 구동 트랜지스터 T2의 드레인 전압이 변화하는 특성이 있음이 알려져 있다. 그러나, 게이트·소스 간 전압 Vgs는 일정하게 유지되므로, 유기 EL 소자에 공급되는 전류량에는 변화가 없다. 따라서 발광 휘도를 일정하게 유지할 수 있다.

<11> 액티브 매트릭스 구동 방식을 채용하는 유기 EL 표시 패널 디바이스에 대해 예를 들면, 일본국 특개 2003-255856, 2003-271095, 2004-133240, 2004-029791, 2004-093682호 공보에 기재되어 있다.

**발명의 내용**

**해결 하고자하는 과제**

- <12> 그런데, 박막 프로세스의 종류에 따라서는 도 2에 나타내는 회로 구성을 채용할 수 없는 경우가 있다. 다시 말해, 현재의 박막 프로세스에서는, P채널형의 박막 트랜지스터를 채용할 수 없는 경우가 있다. 이러한 경우, 구동 트랜지스터 T2를 N채널형 박막 트랜지스터로 치환하게 된다.
- <13> 도 4에, 이 종류의 화소 회로의 구성을 나타낸다. 이 경우, 구동 트랜지스터 T12의 소스 전극은 유기 EL 소자 OLED의 애노드 단자에 접속된다. 그런데, 이 화소 회로(11)의 경우에는, 유기 EL 소자의 I-V특성의 시간 변화에 따라 게이트·소스 간 전압 Vgs가 변동하는 문제가 있다. 이 게이트·소스 간 전압 Vgs의 변동은, 구동 전류량을 변화시켜, 발광 휘도를 변화시키게 된다.
- <14> 이밖에, 각 화소 회로(11)를 구성하는 구동 트랜지스터 T12의 임계값 및 이동도는, 화소마다 다르다. 이 구동 트랜지스터 T12의 임계값이나 이동도의 차이는, 구동 전류값의 불균일(dispersion)로 나타나고, 발광 휘도가 화소마다 변화하는 원인이 된다.
- <15> 따라서, N채널형 박막 트랜지스터로 구성되는 구동 트랜지스터의 특성 불균일을 방지하는 회로 구성을 채용하는 유기 EL 표시 패널(1)의 화소 회로(21)와 그 구동 회로와의 접속 관계를 도 5에 나타낸다.
- <16> 화소 회로(21)는, N채널형의 박막 트랜지스터 T21, T22, T23, T24, T25와 보유 용량 Cs로 구성된다.
- <17> 이 때, 박막 트랜지스터 T21(이하, "제1의 샘플링 트랜지스터 T21"이라고 한다.)은, 신호 전위 Vsig를 보유 용량 Cs에 기록하는 동작을 제어하는 스위치로서 동작한다. 박막 트랜지스터 T22(이하, "제2의 샘플링 트랜지스터 T22"라고 한다.)는, 오프셋 신호 전위 Vofs를 박막 트랜지스터 T25의 게이트 전극에 기록하는 동작을 제어하는 스위치로서 동작한다.
- <18> 박막 트랜지스터 T23(이하, "제1의 스위칭 트랜지스터 T23"이라고 한다.)은, 박막 트랜지스터 T25에 대한 전원 전위 Vcc의 공급을 제어하는 스위치로서 동작한다. 박막 트랜지스터 T24(이하, "제2의 스위칭 트랜지스터 T24"라고 한다.)는, 박막 트랜지스터 T25에 대한 초기화 전위 Vss의 공급을 제어하는 스위치로서 동작한다.
- <19> 박막 트랜지스터 T25(이하, "구동 트랜지스터 T25"라고 한다.)는, 온 동작시에, 유기 EL 소자 OLED에 구동 전류를 공급하는 정전류원으로서 동작한다.
- <20> 화소 회로(21)의 구동에는, 신호 기록 제어선 구동부(23), 오프셋 신호선 구동부(25), 급전 제어 스위치 구동부(27), 초기화 제어 스위치 구동부(29), 수평 셀렉터(31)가 이용된다.
- <21> 신호 기록 제어선 구동부(23)는, 제1의 샘플링 트랜지스터 T21을 온·오프 제어하는 구동 회로이다.
- <22> 오프셋 신호선 구동부(25)는, 제2의 샘플링 트랜지스터 T22를 온·오프 제어하는 구동 회로이다.
- <23> 급전 제어 스위치 구동부(27)는, 제1의 스위칭 트랜지스터 T23을 온·오프 제어하는 구동 회로이다.
- <24> 초기화 제어 스위치 구동부(29)는, 제2의 스위칭 트랜지스터 T24를 온·오프 제어하는 구동 회로이다.
- <25> 수평 셀렉터(31)는, 각 신호선 DTL에 화소 데이터 Din에 따른 신호 전위 Vsig를 인가하는 구동 회로이다.
- <26> 도 6a 내지 6g에, 이들 구동 회로(23, 25, 27, 29, 31)를 사용한 화소 회로의 구동 동작을 설명하는 타이밍 차트를 나타낸다.
- <27> 우선, 발광 상태에 있어서의 화소 회로(21) 내의 동작 상태를 도 7에 나타낸다. 이 때, 제1의 스위칭 트랜지스터 T23만이 온 상태이다(도 6(t1)). 한편, 구동 트랜지스터 T25는 포화 영역에서 동작하고, 그 게이트·소스 간 전압 Vgs에 의해 정해지는 크기의 구동 전류 Ids를 유기 EL 소자 OLED에 공급한다.
- <28> 다음에, 비발광 상태에 있어서의 화소 회로(21) 내의 동작 상태를 설명한다. 비발광 상태는, 제1의 스위칭 트랜지스터 T23이 오프 제어되는 것으로 개시된다(도 6(t2)). 다시 말해, 박막 트랜지스터 T21~T24가 모두 오프 제어되는 것으로 비발광 상태가 개시된다. 이 동작에 의해, 유기 EL 소자 OLED에 대한 구동 전류 Ids의 공급이 차단되어, 유기 EL 소자 OLED의 애노드 전위 Vel(구동 트랜지스터 T25의 소스 전위 Vs)이 저하한다.
- <29> 유기 EL 소자 OLED의 애노드 전위 Vel의 저하는, 유기 EL 소자 OLED의 임계값 전압 Vthel과 캐소드 전위 Vcat의 합에 대응하는 전위에 달한 시점에서 정지한다. 덧붙여서, 구동 트랜지스터 T25의 게이트 전극은 자유단이므로, 구동 트랜지스터 T25의 게이트 전위 Vg도 유기 EL 소자 OLED의 애노드 전위 Vel의 저하에 연동해서 마찬가지로

저하한다.

- <30> 그 후, 제2의 샘플링 트랜지스터 T22와 제2의 스위칭 트랜지스터 T24가 오프 상태에서 온 상태로 전환됨으로써, 임계값 보정 준비 동작이 개시된다(도 6(t3)).
- <31> 도 8에, 이 시점에서의 화소 회로(21) 내의 접속 상태를 나타낸다. 이 경우, 구동 트랜지스터 T25의 게이트 전위  $V_g$ 는 오프셋 신호 전위  $V_{ofs}$ , 소스 전위  $V_s$ 는 초기화 전위  $V_{ss}$ 로 제어된다. 다시 말해, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 는  $V_{ofs}-V_{ss}$ 로 제어된다. 이 전압 ( $V_{ofs}-V_{ss}$ )는, 임계값 전압  $V_{th}$ 보다 큰 값으로 설정되어 있다. 따라서,  $V_{ofs}-V_{ss}$ 에 해당하는 크기의 구동 전류  $I_{ds}$ '가 전원선( $V_{cc}$ )에서 초기화 전위선  $V_{ss}$ 로 흐른다.
- <32> 그런데, 이 구동 전류  $I_{ds}$ '가 유기 EL 소자 OLED에 흐르게 되면, 유기 EL 소자 OLED는 신호 전위  $V_{sig}$ 와는 관계 없는 휘도로 발광하게 된다. 그래서, 유기 EL 소자 OLED의 비발광 상태가 유지되도록, 오프셋 신호 전위  $V_{ofs}$ 와 초기화 전위  $V_{ss}$ 를 설정한다.
- <33> 다시 말해, 유기 EL 소자 OLED의 애노드 전위  $V_{el}$ 이 유기 EL 소자 OLED의 임계값 전압  $V_{thel}$ 과 캐소드 전압  $V_{cat}$ 의 합보다도 작아지도록 초기화 전위  $V_{ss}$ 를 설정한다. 이 때, 제2의 샘플링 트랜지스터 T22와 제2의 스위칭 트랜지스터 T24 중 어느 것을 먼저 온 제어해도 상관없다.
- <34> 다음에, 제2의 샘플링 트랜지스터 T22를 온 제어한 상태에서, 제2의 스위칭 트랜지스터 T24만을 오프 제어하고, 계속해서 제1의 스위칭 트랜지스터 T23을 온 제어한다(도 6(t4)). 도 9에, 이 시점에 있어서의 화소 회로(21) 내의 동작 상태를 나타낸다. 이 때 도 9에서는, 유기 EL 소자 OLED를 다이오드와 용량의 등가 회로로 나타낸다.
- <35> 이 때,  $V_{el} \leq V_{cat} + V_{thel}$ (유기 EL 소자 OLED의 리크 전류가 구동 트랜지스터 T25에 흐르는 전류에 비해 상당히 작음)의 관계가 유지되는 한, 구동 트랜지스터 T25의 전류는, 보유 용량  $C_s$ 와 유기 EL 소자 OLED의 기생 용량  $C_{el}$ 을 충전하는 데 사용된다.
- <36> 이 충전 동작에 의해, 애노드 전위  $V_{el}$ 은 시간의 경과와 함께 상승한다. 도 10에, 이 충전 동작 동안의 구동 트랜지스터 T25의 소스 전위  $V_s$ 의 시간변화를 나타낸다.
- <37> 이 때, 구동 트랜지스터 T25의 소스 전위  $V_s$ 의 상승은, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 가 그 임계값 전압  $V_{th}$ 에 달한 시점에서 종료한다. 이 때, 애노드 전위  $V_{el}$ 은,  $V_{el} = V_{ofs} - V_{th} \leq V_{cat} + V_{thel}$ 을 만족시킨다. 이 동작이, 구동 트랜지스터 T25의 임계값 보정 동작이다. 그 후, 제1의 스위칭 트랜지스터 T23이 먼저 오프 제어되고, 이어서 제2의 샘플링 트랜지스터 T22가 오프 제어된다.
- <38> 오프 제어를 제1의 스위칭 트랜지스터 T23 다음에 제2의 샘플링 트랜지스터 T22의 순으로 실행함으로써, 구동 트랜지스터 T25의 게이트 전위  $V_g$ 의 변동을 억제할 수 있다.
- <39> 다음에, 제1의 샘플링 트랜지스터 T21만을 온 제어함으로써, 신호 기록 겸 이동도 보정 동작을 시작한다(도 6(t5)). 도 11에, 이 시점에 있어서의 화소 회로(21) 내의 동작 상태를 나타낸다. 이 때, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 는, 다음 식으로 주어진다.
- <40> 
$$V_{gs} = \{C_{el} / (C_{el} + C_s + C_{tr})\} \cdot (V_{sig} - V_{ofs}) + V_{th}$$
- <41> 이 때,  $C_{el}$ 은 유기 EL 소자 OLED의 기생 용량이며,  $C_{tr}$ 은 구동 트랜지스터 T25의 기생 용량이며,  $C_s$ 는 보유 용량의 용량이다.
- <42> 이 경우, 기생 용량  $C_{el}$ 은 기생 용량  $C_s$ 나  $C_{tr}$ 에 비해 크다. 따라서, 게이트·소스 간 전압  $V_{gs}$ 는, 대략  $V_{sig} + V_{th}$ 로 주어진다.
- <43> 이 상태에서, 제1의 스위칭 트랜지스터 T23을 온 제어한다(도 6(t6)). 이 경우에도, 구동 트랜지스터 T25의 소스 전위  $V_s$ 가 유기 EL 소자 OLED의 임계값 전압  $V_{thel}$ 과 캐소드 전위  $V_{cat}$ 의 합을 초과하지 않으면(유기 EL 소자 OLED의 리크 전류가 구동 트랜지스터 T25에 흐르는 전류보다 상당히 작으면), 구동 트랜지스터 T25에 흐르는 전류는 보유 용량  $C_s$ 와 유기 EL 소자 OLED의 기생 용량  $C_{el}$ 의 충전에 사용된다.
- <44> 도 12에, 이 시점에 있어서의 화소 회로(21) 내의 동작 상태를 나타낸다. 이 때, 이 시점에서, 구동 트랜지스터 T25의 임계값 보정 동작은 이미 완료되어 있다. 이 때문에, 구동 트랜지스터 T25에 흐르는 전류는, 이동도  $\mu$ 를 반영한 값이 된다.
- <45> 구체적으로는, 이동도  $\mu$ 가 큰 구동 트랜지스터 T25의 전류량은 커지고, 이에 따라 그 소스 전위  $V_s$ 의 상승도

빨라진다.

- <46> 한편, 이동도가 작은 구동 트랜지스터 T25의 전류량은 작아지고, 이에 따라 구동 트랜지스터 T25의 소스 전위  $V_s$ 의 상승은 느려진다.
- <47> 도 13에, 구동 트랜지스터 T25의 소스 전압  $V_s$ 와 시간과의 관계를 나타낸다. 결과적으로, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 는, 이동도  $\mu$ 를 반영하여 작아진다. 따라서 일정 시간 경과 후에는, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 는 완전히 이동도  $\mu$ 를 보정한 게이트·소스 간 전압  $V_{gs}$ 에 수렴한다.
- <48> 이 신호 기록 겸 이동도 보정 동작의 종료 후, 제1의 샘플링 트랜지스터 T21을 오프 제어하고, 구동 트랜지스터 T25의 게이트 전극을 자유단으로 제어한다. 이에 따라, 구동 트랜지스터 T25의 구동 전류  $I_{ds}$ '는 유기 EL 소자 OLED에 흐르고, 유기 EL 소자 OLED는 구동 전류값에 따른 휘도로 발광하기 개시된다. 이 때, 구동 트랜지스터 T25의 소스 전위  $V_s$ 는, 유기 EL 소자 OLED에 흐르는 구동 전류값에 따른 전압  $V_x$ 까지 상승한다(도 6(t7)).
- <49> 도 14에, 이 시점에 있어서의 화소 회로(21)의 동작 상태를 나타낸다.
- <50> 이 때, 설명한 화소 회로(21) 예의 경우에도, 유기 EL 소자 OLED의 I-V특성 자체는, 발광 시간이 길어짐에 따라 변화한다. 즉, 전압  $V_x$ 도 변화된다.
- <51> 그러나, 이 회로 구성의 경우에는, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 가 일정하게 유지되므로, 유기 EL 소자 OLED에 흐르는 전류값이 변화하지 않는다.
- <52> 다시 말해, 시간 변화에 따라 유기 EL 소자 OLED의 I-V특성이 변화되어도, 일정 전류  $I_{ds}$ '가 항상 계속해서 흐르게 된다. 따라서 유기 EL 소자 OLED의 휘도를 일정하게 유지할 수 있다.
- <53> 분명히, 도 5에 나타내는 화소 회로(21)는, 유기 EL 소자 OLED의 특성 변동에 대하여 유효하게 기능한다.
- <54> 그러나, 다른 이유에 의해, 시간 변화에 의한 휘도 변화의 가능성이 있다. 그것은, 화소 회로(21)를 구성하는 박막 트랜지스터 T21~T25의 임계값 전압의 변동이다.
- <55> 도 15a는 양의 바이어스를 박막 트랜지스터의 게이트 전극에 계속해서 인가했을 경우의 박막 트랜지스터의 임계값 전압이 갖는 일반적인 바이어스 특성의 변화를 나타낸다. 또한 도 15b는 음의 바이어스를 박막 트랜지스터의 게이트 전극에 계속해서 인가했을 경우의 박막 트랜지스터의 임계값 전압이 갖는 일반적인 바이어스 특성의 변화를 나타낸다.
- <56> 도 15a에 나타난 바와 같이, 박막 트랜지스터에는, 양의 바이어스의 계속되는 인가시, 임계값 전압  $V_{th}$ 가 양의 방향으로 이동하는 특성이 인정된다. 한편 도 15b에 나타난 바와 같이, 음의 바이어스의 계속되는 인가시에 임계값 전압  $V_{th}$ 가 음의 방향으로 이동하는 특성이 인정된다.
- <57> 도 5에 나타내는 회로 구성의 경우, 박막 트랜지스터 T21~T24에는, 1 프레임 내에 양의 바이어스와 음의 바이어스가 교대로 인가된다. 따라서, 박막 트랜지스터 T21~T24의 임계값 전압  $V_{th}$ 의 변동은 크지 않다.
- <58> 그러나, 구동 트랜지스터 T25만은, 항상 양의 바이어스가 인가된 상태로 구동된다. 결과적으로, 구동 트랜지스터 T25의 임계값 전압  $V_{th}$ 만은 양의 방향으로 크게 변동하게 된다. 특히, 구동 트랜지스터 T25의 형성에 아모퍼스 실리콘 프로세스가 이용되는 경우, 시간의 경과에 따라 임계값 전압  $V_{th}$ 의 변동량이 매우 커지기 쉽다.
- <59> 한편, 도 5에 나타내는 화소 회로(21)의 경우, 구동 트랜지스터 T25의 임계값 보정 동작에 앞서, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 를 임계값 전압  $V_{th}$  이상으로 제어할 필요가 있다.
- <60> 왜냐하면, 게이트·소스 간 전압  $V_{gs}$ 가 임계값 전압 이하이면, 전류는 리크 전류밖에 흐르지 않게 되므로, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 는  $V_{ofs}-V_{ss}$ 로부터 거의 변화하지 않기 때문이다. 그런데, 이와 같이 임계값 전압  $V_{th}$ 가 크게 변동하면, 임계값 보정의 전체 조건을 만족시키지 않게 될 우려가 있다. 그 결과 구동 트랜지스터 T25의 임계값 보정 동작을 정상적으로 실행할 수 없게 된다.
- <61> 이에 대처하기 위해, 도 16(t2)에 나타내는 바와 같이, 비발광 기간의 시작시의 구동 트랜지스터 T25에 음의 바이어스를 인가하여, 임계값 전압의 변동을 조금이라도 작게 하는 구동 방식의 적용을 생각해 볼 수 있다. 이 때, 도 16a 내지 16g의 경우에는, 이 기간 t2에 제2의 샘플링 트랜지스터 T22를 온 제어하여 구동 트랜지스터 T25의 게이트 전위  $V_g$ 를 오프셋 전위  $V_{ofs}$ 로 제어함으로써, 위의 구동 방식의 동작을 실행한다.
- <62> 단, 도 16a 내지 16g에 나타내는 구동 방식에서는, 화이트 표시시나 블랙 표시시에도 역 바이어스의 값은 항상 같은 값으로 고정된다. 다시 말해, 블랙 표시시의 임계값 전압  $V_{th}$ 의 음의 방향으로의 변동량과 화이트 표시시

의 임계값 전압  $V_{th}$ 의 음의 방향으로의 변동량이 같다. 한편, 화이트 표시시의 임계값 전압  $V_{th}$ 의 양의 방향으로의 변동량과 블랙 표시시의 임계값 전압  $V_{th}$ 의 양의 방향으로의 변동량은 서로 다르다. 이 때문에, 도 5에 나타내는 화소 회로(21)의 경우에도, 시간의 경과에 따르는 번인(burn-in)의 발생을 원리적으로는 피할 수 없는 문제가 있다.

**과제 해결수단**

- <63> 이를 감안하여, 화소 회로의 특성 열화가 적은 EL 표시 패널과, 그 EL 표시 패널을 구비한 전자기기와, 그 EL 표시 패널의 구동 방법을 제공하는 것이 바람직하다.
- <64> 이를 실현하기 위해, 본 발명의 일 실시예에 따르면, 액티브 매트릭스 구동 방식에 대응한 화소 구조를 갖는 EL 표시 패널로서, 각 화소의 계조값을 반영한 역 바이어스 전위를 발생하는 역 바이어스 전위 발생부와, 비발광 기간에 동작하는 화소 회로를 구성하는 구동 트랜지스터의 게이트 전극에, 역 바이어스 전위를 인가하는 전압 인가부를 구비한 EL 표시 패널이 제공된다.
- <65> 여기에서, 고휘도에 대응하는 역 바이어스 전압은, 저휘도에 대응하는 역 바이어스 전압보다도 큰 전압으로 설정되는 것이 바람직하다. 고휘도일수록 임계값 전압의 양의 방향으로의 이동량이 커지기 때문에, 이것을 캔슬하기 위해서는 음의 방향으로의 이동량을 크게 할 필요가 있기 때문이다.
- <66> 이 때, 역 바이어스 전위의 인가는, 전용선을 통해 실행해도 되고, 신호 전위를 인가하는 신호선을 공용해서 실행해도 된다. 덧붙여서, 신호선을 공용해서 역 바이어스 전위를 인가하는 경우에는, 신호선에 역 바이어스 전위와 신호 전위를 시분할로 공급하면 된다.
- <67> 또한, 1 프레임 기간 내에 차지하는 발광 기간 길이의 비율이 변환 가능할 경우, 역 바이어스 전위의 변동 폭이, 발광 기간의 비율에 반비례하도록 설정되는 것이 바람직하다. 즉, 발광 기간의 비율이 길 경우(소등 기간이 짧을 경우)에는 역 바이어스 전위의 변동 폭을 크게 하고, 발광 기간의 비율이 짧을 경우(소등 기간이 길 경우)에는 역 바이어스 전위의 변동 폭을 작게 하는 것이 바람직하다. 이러한 제어를 실행하면, 임계값 전압  $V_{th}$ 의 양의 방향으로의 변동량과 음의 방향으로의 변동량을 균형되게 할 수 있다.
- <68> 본 발명의 또 다른 실시예에 따르면, 액티브 매트릭스 구동 방식에 대응한 화소 구조와, 각 화소의 계조값을 반영한 역 바이어스 전위를 발생하는 역 바이어스 전위 발생부와, 비발광 기간에 동작하는 화소 회로를 구성하는 구동 트랜지스터의 게이트 전극에, 역 바이어스 전위를 인가하는 전압 인가부를 구비한 EL 표시 패널과, 시스템 전체의 동작을 제어하는 시스템 제어부와, 상기 시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부를 구비한 전자기기가 제공된다.
- <69> 본 발명의 또 다른 실시예에 따르면, 액티브 매트릭스 구동 방식에 대응한 화소 구조를 갖는 EL 표시 패널의 구동 방법이 제공되고, 상기 방법은, 각 화소의 계조값을 반영한 역 바이어스 전위를 발생하는 단계와, 비발광 기간에 동작하는 화소 회로를 구성하는 구동 트랜지스터의 게이트 전극에, 상기 역 바이어스 전압을 인가하는 단계를 포함한다.

**효과**

- <70> 발명자들이 제안하는 발명에서는, 각 화소의 계조값을 반영하여 역 바이어스 전위(결과적으로, 역 바이어스 전압)를 설정한다. 따라서 1 프레임 내에 있어서의 양의 방향으로의 임계값 전압의 변동량과 1 프레임 내에 있어서의 음의 방향으로의 임계값 전압의 변동량을 서로 상쇄하도록 설정할 수 있다. 다시 말해, 구동 트랜지스터의 임계값 전압에 시간 변화가 일어나지 않거나 또는 시간 변화가 극히 작아지도록 제어할 수 있다. 결과적으로, 화소간에서의 휘도 편차가 잘 생기지 않는 EL 표시 패널을 실현할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <71> 이하, 발명의 실시예를 액티브 매트릭스 구동형의 유기 EL 표시 패널에 적용할 경우에 대해 설명한다.
- <72> 이 때, 본 명세서에서 특별히 도시 또는 기재되지 않은 부분에는, 해당 기술분야의 주지 또는 공지 기술을 적용한다. 또 이하에 설명하는 실시예는, 본 발명의 예시일 뿐이며, 따라서 본 발명이 이에 한정되는 것은 아니다.
- <73> (A) 외관 구성
- <74> 여기에서, 본 명세서에서는, 화소 어레이부와 구동 회로를 같은 반도체 프로세스를 사용하여 같은 기판 위에 형

성한 표시 패널뿐만 아니라, 예를 들면 특정 용도용 IC로서 제조된 구동 회로를 화소 어레이부가 형성된 기판 위에 실장한 것도 유기 EL 표시 패널이라고 한다.

- <75> 도 17에, 유기 EL 표시 패널의 외관 구성예를 나타낸다.
- <76> 유기 EL 표시 패널(41)은, 지지 기판(43) 중 화소 어레이부의 형성 영역에 대향부(45)를 부착한 구조를 갖고 있다.
- <77> 지지 기판(43)은, 유리, 플라스틱 등의 기초재로 구성되고, 그 표면에 유기 EL 층이나 보호막 등을 적층한 구조를 갖고 있다. 대향부(45)는, 유리, 플라스틱 등의 투명 부재를 기초재로 한다. 이 때, 유기 EL 표시 패널(41)에는, 외부로부터 지지 기판(43)에 신호 등을 입출력하기 위한 FPC(Flexible Printed Circuit)(47)가 배치된다.
- <78> (B) 실시예 1
- <79> (B-1) 시스템 구성
- <80> 이하에서는, 신호 전위  $V_{sig}$ 에 따라 역 바이어스 전압을 가변할 수 있는 유기 EL 표시 패널(41)의 실시예 1을 설명한다.
- <81> 도 18에, 실시예 1의 유기 EL 표시 패널(41)의 시스템 구성예를 나타낸다. 도 18에 나타내는 유기 EL 표시 패널(41)은, 화소 어레이부(51)와, 그 구동 회로인 신호 기록 제어선 구동부(53), 오프셋 신호선 구동부(55), 급전 제어 스위치 구동부(57), 초기화 제어 스위치 구동부(59), 수평 셀렉터(61)와, 타이밍 제너레이터(63)로 구성된다.
- <82> 화소 어레이부(51)는, 신호선 DTL과 기록 제어선 WSL과의 각 교점 위치에 서브 화소를 배치한 매트릭스 구조를 갖고 있다. 덧붙여서, 서브 화소는 1화소를 구성하는 화소 구조의 최소 단위이다. 예를 들면, 화이트 유닛(white unit)으로서의 1화소는, 유기 EL 재료가 다른 3개의 서브 화소(삼원색 R(적색), G(녹색), B(청색)에 해당)로 구성된다.
- <83> 도 19에, 각각 서브 화소에 대응하는 화소 회로(71)들과 각 구동 회로(53, 55, 57, 59, 61)와의 접속 관계를 나타낸다. 또 도 20에, 실시예 1의 유기 EL 표시 패널(41)에 있어서의 화소 회로(71)의 내부 구성을 나타낸다. 이 때 화소 회로(71)는, 5개의 N채널형의 박막 트랜지스터 T21, T22, T23, T24, T25와 보유 용량 Cs와, 유기 EL 소자 OLED로 구성되는 점에 있어서, 도 5에 나타내는 화소 회로(21)와 같다.
- <84> 신호 기록 제어선 구동부(53)는, 박막 트랜지스터 T21(이하, "제1의 샘플링 트랜지스터 T21"이라고 한다.)을 온·오프 제어하는 구동 회로이다. 제1의 샘플링 트랜지스터 T21의 온 제어시에는, 구동 트랜지스터 T25의 게이트 전극에 신호선 DTL의 신호 전위(본 명세서에서는, "신호선 전위"라고 한다.)가 인가된다.
- <85> 오프셋 신호선 구동부(55)는, 박막 트랜지스터 T22(이하, "제2의 샘플링 트랜지스터 T22"라고 한다.)를 온·오프 제어하는 구동 회로이다. 제2의 샘플링 트랜지스터 T22의 온 제어시에는, 구동 트랜지스터 T25의 게이트 전극에 오프셋 전위  $V_{ofs}$ 가 인가된다.
- <86> 급전 제어 스위치 구동부(57)는, 박막 트랜지스터 T23(이하, "제1의 스위칭 트랜지스터 T23"이라고 한다.)을 온·오프 제어하는 구동 회로이다. 제1의 스위칭 트랜지스터 T23의 온 제어시에는, 구동 트랜지스터 T25의 드레인 전극에 고전위의 구동 전위(즉, 전원전위  $V_{cc}$ )가 인가된다.
- <87> 초기화 제어 스위치 구동부(59)는, 박막 트랜지스터 T24(이하, "제2의 스위칭 트랜지스터 T24"이라고 한다.)를 온·오프 제어하는 구동 회로이다. 제2의 스위칭 트랜지스터 T24의 온 제어시에는, 구동 트랜지스터 T25의 소스 전극에 저전위의 구동 전위(즉, 초기화 전위  $V_{ss}$ )가 인가된다.
- <88> 이들 각 구동부(53, 55, 57, 59)는, 모두 수직 해상도 수만큼의 출력단 수를 갖는 시프트 레지스터로 구성된다. 따라서 각 구동부(53, 55, 57, 59)는 타이밍 제너레이터(63)로부터 주어지는 타이밍 신호에 따라 각 제어선에 필요한 구동 펄스를 출력한다.
- <89> 수평 셀렉터(61)는, 1 프레임 내에, 각 신호선 DTL에 화소 데이터 Din에 대응하는 신호 전위  $V_{sig}$  또는 신호 전위  $V_{sig}$ 에 대응하는 크기의 역 바이어스 전위  $V_{ini}$ 를 시분할로 인가하는 구동 회로이다.
- <90> 타이밍 제너레이터(63)는, 기록 제어선 WSL, 신호선 DTL, 급전 제어선 VSSL, 초기화 제어선 RSL의 구동에 필요한 타이밍 펄스를 생성한다.

- <91> (B-2) 수평 셀렉터의 구성
- <92> 도 21에, 실시예 1의 유기 EL 표시 디바이스에 있어서의 키 디바이스(key device)인 수평 셀렉터(61)의 회로 구성예를 나타낸다.
- <93> 수평 셀렉터(61)는, 프로그래머블 로직 디바이스(programmable logic device)(81)와, 메모리(83)와, 시프트 레지스터(91, 101)와, 래치 회로(93, 103)와, D/A 변환 회로(95, 105)와, 버퍼 회로(97, 107)와, 셀렉터(111)로 구성된다.
- <94> 이들 중, 프로그래머블 로직 디바이스(81)와 Vini계의 회로(101, 103, 105, 107)가, 특허청구범위에 있어서의 "역 바이어스 전위 발생부"에 대응한다. 또한, 셀렉터(111)가, 특허청구범위에 있어서의 "전압 인가부"에 대응한다.
- <95> 프로그래머블 로직 디바이스(81)는, 역 바이어스 전위 Vini에 대응하는 화소 데이터 Din'(계조값)을 발생하는 회로 디바이스이다.
- <96> 실시예 1의 경우, 메모리(83)는, 비발광 기간이 복수의 수평주사 기간에 걸치는 경우에 이용된다. 따라서, 비발광 기간 내에 실행되는 소등 동작으로부터 각종 보정 동작이 1 수평주사 기간 내에 모두 실행될 경우에는, 수평 셀렉터(61)에 메모리(83)를 탑재하지 않는 경우도 생각할 수 있다.
- <97> 프로그래머블 로직 디바이스(81)는, 화소 데이터 Din을 메모리(83)로부터 읽어내는 것에 의해, 역 바이어스 전위 Vini의 인가 타이밍과 신호 전위 Vsig의 인가 타이밍의 시간차를 조정하면서 동작한다.
- <98> 여기에서, 프로그래머블 로직 디바이스(81)는, 신호 전위계(Vsig계)에 대해서는, 대응 영역으로부터 읽어낸 화소 데이터 Din을 그대로 출력한다. 한편, 프로그래머블 로직 디바이스(81)는, 역 바이어스 전위계(Vini계)에 대해서는, 대응 영역으로부터 읽어낸 화소 데이터 Din에 근거하여 발생한 화소 데이터 Din'(계조값)을 출력한다.
- <99> 단, 발생하는 역 바이어스 전위 Vini는, 캐소드 전위 Vcat과, 유기 EL 소자 OLED의 임계값 전압 Vthel과, 구동 트랜지스터 T25의 임계값 전압 Vth의 총 합(Vcat+Vthel+Vth) 이하일 것이 요구된다. 이것은, 유기 EL 소자 OLED의 발광을 정지하기 위함이다.
- <100> 또한, 발생하는 역 바이어스 전위 Vini는, 고휘도일수록 역 바이어스 전압이 커질 것이 요구된다. 다시 말해, 유기 EL 소자 OLED의 발광 휘도가 높을수록 역 바이어스 전위 Vini가 작아질 것이 요구된다. 도 22a 내지 22c에, 신호 전위 Vsig와 대응하는 역 바이어스 전위 Vini의 대응 관계를 나타낸다.
- <101> 도 22a는, 블랙 표시(신호 전위 Vsig의 최소값)에 대응하는 역 바이어스 전위 Vini의 발생예다. 도 22b는, 중간 휘도표시(신호 전위 Vsig의 중간값)에 대응하는 역 바이어스 전위 Vini의 발생예다. 도 22c는, 화이트 표시(신호 전위 Vsig의 최대값)에 대응하는 역 바이어스 전위 Vini의 발생예다.
- <102> 실시예 1의 경우, 프로그래머블 로직 디바이스(81)는, 역 바이어스 전위 Vini에 대응하는 화소 데이터 Din'를 다음 식 (3)에 근거하여 발생한다.
- <103> 
$$Din' = Dthel + Dcat - (aDin + \beta) \quad \dots(3)$$
- <104> 이 때, Dthel은 유기 EL 소자 OLED의 임계값 전압 Vthel에 대응하는 데이터값이며, Dcat은 캐소드 전위 Vcat에 대응하는 데이터값이다. 이 경우, 계수 a 및  $\beta$ 는,  $a > 0$  및  $\beta \geq 0$ 을 만족시키는 값이 사전에 설정되는 것으로 한다.
- <105> 프로그래머블 로직 디바이스(81)는, 입력되거나 또는 판독되는 화소 데이터 Din을 식 (3)에 대입함으로써, 각 신호 전위 Vsig에 대응하는 역 바이어스 전위 Vini용의 화소 데이터 Din'를 산출한다.
- <106> 결과적으로, 신호선 DTL에 인가되는 역 바이어스 전위 Vini는, 이하의 식 (4)를 만족하게 된다.
- <107> 
$$Vini = Vthel + Vcat - (aVsig + \beta) \quad (\text{단, } a > 0 \text{ 그리고 } \beta \geq 0) \quad \dots(4)$$
- <108> 물론, Vini는, Vcat+Vthel+Vth보다 작기 때문에 전술한 조건을 만족하고 있다. 또한, 신호 전위 Vsig가 클수록 역 바이어스 전위 Vini가 작아진다는 조건도 만족하고 있다.
- <109> 시프트 레지스터(91, 101)는, 화소 데이터 Din 및 Din'의 출력 타이밍을 부여하는 회로 디바이스이다.
- <110> 래치 회로(93, 103)는, 출력 타이밍의 조정용으로 화소 데이터 Din 및 Din'를 유지하는 기억 디바이스이다.

- <111> D/A 변환 회로(95, 105)는, 입력된 디지털 신호를 아날로그 신호로 변환하는 회로 디바이스이다. 이 때, Vini 계의 D/A 변환 회로(105)에는 음 전원을 사용한다.
- <112> 버퍼 회로(97, 107)는, D/A 변환 회로(95, 105)로부터의 아날로그 신호를 화소 회로의 구동에 적합한 신호 레벨을 갖는 아날로그 신호로 변환하는 회로 디바이스이다.
- <113> 셀렉터(111)는, 1 수평주사 기간 내에, 역 바이어스 전위 Vini와 신호 전위 Vsig를 시간 순차로 출력하는 회로 디바이스이다.
- <114> (B-3) 구동 동작예
- <115> 도 23a 내지 23g는, 도 20에 나타내는 화소 회로의 구동 동작을 나타내는 타이밍 차트다.
- <116> 우선, 발광 상태에 있어서의 화소 회로(71) 내의 동작 상태를 도 24에 나타낸다. 이 때, 제1의 스위칭 트랜지스터 T23만이 온 상태이다(도 23(t1)). 한편, 구동 트랜지스터 T25는 포화 영역에서 동작하고, 그 게이트·소스 간 전압 Vgs에 의존하는 크기의 구동 전류 Ids를 유기 EL 소자 OLED에 공급한다.
- <117> 그 다음에, 비발광 상태의 화소 회로(71)의 동작 상태를 설명한다. 비발광 상태는, 제1의 스위칭 트랜지스터 T23을 온 제어한 상태로, 제1의 샘플링 트랜지스터 T21이 새롭게 온 제어됨으로써 개시된다(도 23(t2)). 이 때, 대응하는 신호선 DTL에는 역 바이어스 전위 Vini가 인가된다.
- <118> 이 동작에 의해, 구동 트랜지스터 T25의 게이트 전위 Vg는 역 바이어스 전위 Vini로 제어된다. 이 시점에 있어서의 화소 회로(71) 내의 동작 상태를 도 25에 나타낸다.
- <119> 이 때, 구동 트랜지스터 T25의 소스 전위 Vs는, 보유 용량 Cs의 커플링(coupling) 동작을 통해서 저하한다. 이 소스 전위 Vs 변동 중에, 구동 트랜지스터 T25의 게이트·소스 간 전압 Vgs가 임계값 전압 Vth 이하가 된다. 그 결과 유기 EL 소자 OLED는 발광 상태에서 비발광 상태로 전환된다.
- <120> 이 때, 커플링 동작 후의 구동 트랜지스터 T25의 소스 전위 Vs(유기 EL 소자 OLED의 애노드 전위 Vel)가, 유기 EL 소자 OLED의 임계값 전압 Vthel과 캐소드 전위 Vcat의 합 이하인 경우에는, 그 전위가 그대로 유지된다.
- <121> 한편, 커플링 동작 후의 구동 트랜지스터 T25의 소스 전위 Vs가, 유기 EL 소자 OLED의 임계값 전압 Vthel과 캐소드 전위 Vcat의 합보다 클 경우에는, 유기 EL 소자 OLED의 방전에 의해 Vthel+Vcat로 수렴한다. 도 25는, 구동 트랜지스터 T25의 소스 전위 Vs가, Vthel+Vcat로 수렴한 상태를 나타내고 있다.
- <122> 다시 말해, 구동 트랜지스터 T25의 드레인 전극에는 전원전위 Vcc가 인가되고, 구동 트랜지스터 T25의 게이트 전위 Vg에는 역 바이어스 전위 Vini가 인가되고, 구동 트랜지스터 T25의 소스 전위 Vs에는 Vthel+Vcat이 인가된 상태가 생성된다. 이것은, 구동 트랜지스터 T25에 역 바이어스 전압이 인가된 것을 의미한다.
- <123> 또한, 전술한 것 같이, 여기에서의 역 바이어스 전위 Vini는, 후에 화소 회로(71)에 기록되는 신호 전위 Vsig의 크기를 반영하고 있다. 다시 말해, 후에 화소 회로(71)에 기록되는 신호 전위 Vsig가 블랙 표시 전위이면 역 바이어스 전압도 작아지고, 신호 전위 Vsig가 화이트 표시 전위이면 역 바이어스 전압도 커진다.
- <124> 결과적으로, 발광 기간 동안에 생기는 임계값 전압 Vth의 양의 방향으로의 변동량분을 같은 1 프레임 내의 비발광 기간 동안에 구동 트랜지스터 T25의 게이트 전극에 인가하는 역 바이어스 전압에 의해 보정할 수 있다.
- <125> 이 때, 이 화소 회로(71)의 경우에는, 제1의 스위칭 트랜지스터 T23의 온·오프 제어에 의해, 1 프레임 기간 동안의 발광 시간의 비율을 가변하는 것이 가능하다. 또한, 이러한 발광 기간 길이의 적극적인 가변 제어를 행하지 않아도, 표시 시스템에 따라서는 1 프레임 기간 동안의 발광 시간의 비율이 다른 것이 상정된다.
- <126> 물론, 1 프레임 기간 동안에 있어서의 발광 시간의 비율이 크면, 임계값 전압 Vth의 양의 방향으로의 변동량도 커진다. 따라서, 이 경우에는, 역 바이어스 전위 Vini를 작게 해서, 보다 큰 역 바이어스 전압이 구동 트랜지스터 T25의 게이트 전극에 인가되도록 하는 것이 바람직하다.
- <127> 한편, 발광 시간의 비율이 낮아지면 임계값 전압 Vth의 변동량도 적어진다. 따라서, 이 경우에는, 역 바이어스 전위 Vini를 크게 하여, 보다 작은 역 바이어스 전압이 구동 트랜지스터 T25의 게이트 전극에 인가되도록 하는 것이 바람직하다. 도 26a 내지 26c에, 발광 시간의 비율에 따른 역 바이어스 전위 Vini의 설정 관계를 예시한다. 각 도면에서, 실선은 발광 시간이 짧은 경우의 역 바이어스 전위 Vini의 발생예를 나타낸다. 또한, 파선은 발광 시간이 긴 경우의 역 바이어스 전위 Vini의 발생예를 나타낸다.

- <128> 그 후, 제1의 샘플링 트랜지스터 T21과 제1의 스위칭 트랜지스터 T23을 오프 제어하는 동시에, 제2의 샘플링 트랜지스터 T22와 제2의 스위칭 트랜지스터 T24를 온 상태로 전환한다. 이 동작에 의해, 임계값 보정 준비 동작이 개시된다(도 23(t3)).
- <129> 도 27에, 이 시점에서의 화소 회로(71) 내의 접속 상태를 나타낸다. 이 때, 구동 트랜지스터 T25의 게이트 전위 Vg는 오프셋 전위 Vofs, 소스 전위 Vs는 초기화 전위 Vss로 제어된다. 다시 말해, 구동 트랜지스터 T25의 게이트·소스 간 전압 Vgs는 Vofs-Vss로 제어된다. 이 전압은, 임계값 전압 Vth보다 큰 값으로 설정되어 있다. 따라서, Vofs-Vss에 해당하는 크기의 구동 전류 Ids'가 전원 전위선 Vcc에서 초기화 전위선 Vss로 흐른다.
- <130> 단, 이 구동 전류 Ids'가 유기 EL 소자 OLED에 흐르게 되면, 신호 전위 Vsig 와는 관계없는 휘도로 발광하게 된다. 그래서, 유기 EL 소자 OLED를 비발광 상태로 유지하기 위해, 오프셋 전압 Vofs와 초기화 전압 Vss를 설정한다.
- <131> 다시 말해, 유기 EL 소자 OLED의 애노드 전위 Vel이 유기 EL 소자 OLED의 임계값 전압 Vthel과 캐소드 전압 Vcat의 합보다도 작아지도록 설정된다. 이 때, 제2의 샘플링 트랜지스터 T22와 제2의 스위칭 트랜지스터 T24 중 어느 것을 먼저 온 제어해도 상관없다.
- <132> 그 다음에, 제2의 샘플링 트랜지스터 T22를 온 제어한 상태에서, 제2의 스위칭 트랜지스터 T24만을 오프 제어한다(도 23(t4)). 도 28에, 이 시점에 있어서의 화소 회로 내의 동작 상태를 나타낸다. 이 때 도 28에서는, 유기 EL 소자 OLED를 다이오드와 용량의 등가 회로로 나타낸다.
- <133> 이 때,  $V_{el} \leq V_{cat} + V_{thel}$  (유기 EL 소자 OLED의 리크 전류가 구동 트랜지스터 T25에 흐르는 전류보다도 상당히 작음)을 유지하는 한, 구동 트랜지스터 T25의 전류는, 보유 용량 Cs와 유기 EL 소자 OLED의 기생 용량 Cel을 충전하기 위해 사용된다.
- <134> 이 충전 동작에 의해, 애노드 전위 Vel은 시간의 경과와 함께 상승한다.
- <135> 이 때, 이 전위의 상승은, 구동 트랜지스터 T25의 게이트·소스 간 전압 Vgs가 그 임계값 전압 Vth에 달한 시점에 종료한다. 이 때, 애노드 전위 Vel은,  $V_{el} = V_{ofs} - V_{th} \leq V_{cat} + V_{thel}$  을 만족시킨다. 이 동작이, 구동 트랜지스터 T25의 임계값 보정 동작이다. 이 후, 제1의 스위칭 트랜지스터 T23이 먼저 오프 제어되고, 계속해서 제2의 샘플링 트랜지스터 T22가 오프 제어된다.
- <136> 오프 제어를 제1의 스위칭 트랜지스터 T23 다음에 제2의 샘플링 트랜지스터 T22의 순으로 실행하는 것에 의해, 구동 트랜지스터 T25의 게이트 전위 Vg의 변동을 억제할 수 있다.
- <137> 그 다음에, 제1의 샘플링 트랜지스터 T21만을 새롭게 온 제어하고, 신호 기록 겸 이동도 보정 동작을 시작한다(도 23(t5)). 도 29에, 이 시점에 있어서의 화소 회로(71) 내의 상태를 나타낸다. 이 때, 구동 트랜지스터 T25의 게이트·소스 간 전압 Vgs는, 다음 식 (5)로 주어진다.
- <138> 
$$V_{gs} = \{C_{el} / (C_{el} + C_s + C_{tr})\} \cdot (V_{sig} - V_{ofs}) + V_{th} \quad \dots (5)$$
- <139> 이 때, Cel은 유기 EL 소자 OLED의 기생 용량이며, Ctr은 구동 트랜지스터 T25의 기생 용량이며, Cs는 보유 용량이다.
- <140> 이 경우, 기생 용량 Cel은 기생 용량 Cs나 Ctr에 비해 크다. 따라서, 게이트·소스 간 전압 Vgs는, 대략  $V_{sig} + V_{th}$ 로 주어진다.
- <141> 이 상태에서, 제1의 스위칭 트랜지스터 T23을 새롭게 온 제어한다(도 23(t6)). 이 경우에도, 구동 트랜지스터 T25의 소스 전위 Vs가 유기 EL 소자 OLED의 임계값 전압 Vthel과 캐소드 전위 Vcat의 합을 초과하지 않으면(유기 EL 소자 OLED의 리크 전류가 구동 트랜지스터 T25에 흐르는 전류보다 상당히 작으면), 구동 트랜지스터 T25에 흐르는 전류는 보유 용량 Cs와 유기 EL 소자 OLED의 기생 용량 Cel의 충전에 사용된다.
- <142> 도 30에, 이 시점에 있어서의 화소 회로(71) 내의 동작 상태를 나타낸다. 이 때, 이 시점에서, 구동 트랜지스터 T25의 임계값 보정 동작은 이미 완료되어 있다. 이 때문에, 구동 트랜지스터 T25에 흐르는 전류는, 이동도  $\mu$ 를 반영한 값이 된다.
- <143> 구체적으로는, 이동도  $\mu$ 가 큰 구동 트랜지스터 T25의 전류량은 커지고, 따라서 구동 트랜지스터 T25의 소스 전위 Vs의 상승도 빨라진다.
- <144> 한편, 이동도가 작은 구동 트랜지스터 T25의 전류량은 작아지고, 따라서 구동 트랜지스터 T25의 소스 전위 Vs의

상승은 느려진다.

- <145> 결과적으로, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 는, 이동도  $\mu$ 를 반영하여 작아진다. 따라서 일정 시간 경과 후에는 완전히 이동도를 보정한 게이트·소스 간 전압  $V_{gs}$ 에 수렴한다.
- <146> 이 신호 기록 겸 이동도 보정 동작의 종료 후, 제1의 샘플링 트랜지스터 T21을 오프 제어하여, 구동 트랜지스터 T25의 게이트 전극을 자유단으로 제어한다. 이에 따라, 구동 트랜지스터 T25의 구동 전류  $I_{ds}$ '는 유기 EL 소자 OLED로 흐르고, 구동 전류값에 따른 휘도로 발광을 시작한다. 이 때, 구동 트랜지스터 T25의 소스 전위  $V_s$ 는, 유기 EL소자 OLED에 흐르는 구동 전류값에 따른 전압  $V_x$ 까지 상승한다(도 23(t7)).
- <147> 도 31에, 이 시점에 있어서의 화소 회로(71)의 동작 상태를 나타낸다.
- <148> 이 때, 여기에서 설명하는 화소 회로(71)의 경우에도, 유기 EL 소자 OLED의 I-V 특성 자체는, 발광 시간이 길어짐에 따라 변화한다. 다시 말해, 전압  $V_x$ 도 변화된다.
- <149> 그러나, 이 회로 구성의 경우에는, 구동 트랜지스터 T25의 게이트·소스 간 전압  $V_{gs}$ 가 일정하게 유지되기 때문에, 유기 EL 소자 OLED에 흐르는 전류값이 변화하지 않는다.
- <150> 다시 말해, 시간 변화에 따라 유기 EL 소자 OLED의 I-V특성이 변화되어도, 일정 전류  $I_{ds}$ '가 구동 트랜지스터 T25를 항상 계속해서 흐르게 된다. 그 결과, 유기 EL 소자 OLED의 휘도를 일정하게 유지할 수 있다.
- <151> (B-4) 정리
- <152> 이상과 같이, 역 바이어스 전압을 신호 전위  $V_{sig}$ 의 크기에 따라서 설정함으로써, 1 프레임 기간 내에 있어서의 임계값 전압  $V_{th}$ 의 양의 방향으로의 변동량과 음의 방향으로의 변동량을 같게 할 수 있다.
- <153> 그 결과, 구동 트랜지스터 T25의 임계값 전압에 발생하는 변동을 작게 할 수 있고, 화소마다 임계값 전압  $V_{th}$ 의 불균일을 작게 할 수 있다. 이것은 화소간에 휘도차가 발생하는 현상(번인(burn-in) 현상)을 효과적으로 억제할 수 있다는 것을 의미한다. 결과적으로, 사용 시간이 길어져도, 휘도 편차가 발생하기 어려운 유기 EL 표시 패널을 실현할 수 있다.
- <154> 또한, 이 구동 방식의 경우에는, 임계값 보정 준비 전에 구동 트랜지스터 T25의 소스 전위  $V_s$ 를 높일 필요가 없다. 이 때문에, 유기 EL 표시 패널의 저가격화에도 효과적이다.
- <155> 또한, 이 구동 방식의 경우에는, 유기 EL 표시 패널의 제조에, 임계값 전압  $V_{th}$ 의 변동량이 큰 아모퍼스 실리콘 계의 프로세스를 적용하는 데에 유리하다.
- <156> (C) 실시예 2
- <157> (C-1) 시스템 구성
- <158> 실시예 2에서는, 화소 회로를 2개의 N채널형 박막 트랜지스터와, 보유 용량  $C_s$ 와, 유기 EL 소자 OLED로 구성하는 유기 EL 표시 패널에 대해 설명한다.
- <159> 도 32에, 유기 EL 표시 패널(41)의 시스템 구성예를 나타낸다. 도 32에 나타내는 유기 EL 표시 패널(41)은, 화소 어레이부(121)와, 그 구동 회로인 신호 기록 제어선 구동부(123), 전류 공급선 구동부(125), 수평 셀렉터(127)와, 타이밍 제너레이터(129)로 구성된다.
- <160> 실시예 2에 관련되는 화소 어레이부(121)도, 신호선 DTL과 기록 제어선 WSL의 각 교점 위치에 서브 화소를 배치하는 매트릭스 구조를 갖고 있다. 단, 서브 화소(화소 회로)를 구성하는 N채널형 박막 트랜지스터의 수가 2개인 점이 실시예 1과 다르다.
- <161> 도 33에, 서브 화소에 대응하는 화소 회로(131)와 각 구동 회로(123, 125, 127)와의 접속 관계를 나타낸다. 또한, 도 34에, 실시예 2에서 제안하는 화소 회로(131)의 내부 구성을 나타낸다. 화소 회로(131)는, 2개의 N채널형의 박막 트랜지스터 T31, T32와, 보유 용량  $C_s$ 와, 유기 EL 소자 OLED로 구성된다.
- <162> 이 중, 박막 트랜지스터 T31(이하, "샘플링 트랜지스터 T31"이라고 한다.)은, 신호선 DTL의 전위(실시예 2에서는, 신호 전위  $V_{sig}$ , 역 바이어스 전위  $V_{ini}$ , 오프셋 신호 전위  $V_{ofs}$ )의 기록을 제어하는 스위치로서 동작한다.
- <163> 박막 트랜지스터 T32(이하, "구동 트랜지스터 T32"라고 한다.)는, 온 동작시에, 유기 EL 소자 OLED에 구동 전류량을 공급하는 정전류원으로서 동작한다.

- <164> 실시예 2의 경우, 화소 회로(131)의 구동에는, 신호 기록 제어선 구동부(123), 전류 공급선 구동부(125), 수평 셀렉터(127)가 이용된다.
- <165> 신호 기록 제어선 구동부(123)는, 샘플링 트랜지스터 T31을 온·오프 제어하는 구동 회로이다. 샘플링 트랜지스터 T31의 온 제어시에는, 구동 트랜지스터 T32의 게이트 전극에 신호선 DTL의 전위가 인가된다.
- <166> 전류 공급선 구동부(125)는, 전류 공급선 DSL을 고전위 Vcc와 저전위 Vss의 2종류의 전원 전위로 구동하는 구동 회로이다. 실시예 2의 경우, 1 프레임 기간 내에 적어도 1회는 저전위 기간이 배치된다.
- <167> 이들 각 구동부(123, 125)는, 모두 수직 해상도 수만개의 출력 단수를 갖는 시프트 레지스터로 구성된다. 따라서 각 구동부(123, 125)는 타이밍 제너레이터(129)로부터 주어지는 타이밍 신호에 의해 각 제어선에 필요한 구동 펄스를 출력한다.
- <168> 수평 셀렉터(127)는, 1 수평주사 기간을 1 주기로 하여, 화소 데이터 Din에 대응하는 신호 전위 Vsig, 신호 전위 Vsig에 대응하는 역 바이어스 전위 Vini, 및 오프셋 신호 전위 Vofs 중의 하나를 각 신호선 DTL에 출력하는 구동 회로이다. 출력 순서는 임의이지만, 여기서는 역 바이어스 전위 Vini, 오프셋 신호 전위 Vofs, 신호 전위 Vsig의 순으로 출력한다.
- <169> 타이밍 제너레이터(129)는, 기록 제어선 WSL 및 전류 공급선 DSL의 구동에 필요한 타이밍 펄스를 생성하는 회로 디바이스이다.
- <170> (C-2) 수평 셀렉터의 구성
- <171> 도 35에, 실시예 2의 유기 EL 표시 패널(41)에 있어서 키 디바이스인 수평 셀렉터(127)의 회로 구성예를 나타낸다. 수평 셀렉터(127)의 기본적인 구성은 실시예 1에서 설명한 수평 셀렉터(61)와 같다. 따라서, 도 35에는 도 21과의 대응 부분에 동일 부호를 붙여 나타낸다.
- <172> 수평 셀렉터(127)는, 프로그래머블 로직 디바이스(81)와, 메모리(83)와, 시프트 레지스터(91, 101)와, 래치 회로(93, 103)와, D/A 변환 회로(95, 105)와, 버퍼 회로(97, 107)와, 셀렉터(141)로 구성된다.
- <173> 이들 중 수평 셀렉터(127)에서 신규인 구성 부분은, 셀렉터(141)뿐이다. 실시예 2에 관련된 셀렉터(141)는, 1 수평주사 기간 내에, 역 바이어스 전위 Vini와, 오프셋 신호 전위 Vofs, 신호 전위 Vsig를 미리 설정된 타이밍으로 시간 순차로 출력하는 점에서 실시예 1의 셀렉터(111)와는 다르다. 이 때, 오프셋 신호 전위 Vofs는, 외부의 전압원으로부터 공급되는 고정 전압이다.
- <174> (C-3) 구동 동작예
- <175> 도 36a 내지 36e에, 도 34에 나타내는 화소 회로(131)의 구동 동작예를 나타낸다. 이와 관련해서, 전류 공급선 DSL에 인가하는 2종류의 전원 전위 중 고전위(발광 전위) 쪽을 Vcc로 나타내고, 저전위(비발광 전위) 쪽을 Vss로 나타내고 있다.
- <176> 이 때, 도 36a는 기록 제어선 WSL에 인가되는 구동 펄스의 파형을 나타낸다. 여기에서, 도 36a 내지 36e의 경우, 임계값 보정 준비 동작이나 임계값 보정 동작이 복수의 수평주사 기간에 분할 실행되는 예를 나타내고 있다. 도 36b는 전류 공급선 DSL에 인가되는 구동 펄스의 파형을 나타낸다. 도 36c는 신호선 DTL에 인가되는 전위의 파형을 나타낸다. 도 36d는 구동 트랜지스터 T32의 게이트 전위 Vg의 전위의 파형을 나타낸다. 도 36e는 구동 트랜지스터 T32의 소스 전위 Vs의 파형을 나타낸다.
- <177> 우선, 발광 상태에 있어서의 화소 회로(131) 내의 동작 상태를 도 37에 나타낸다. 이 때, 전류 공급선 DSL은 고전위 Vcc에 유지되고 있고, 샘플링 트랜지스터 T31은 오프 상태로 제어되고 있다(도 36(t1)).
- <178> 물론, 발광시의 구동 트랜지스터 T32는 포화 영역에서 동작한다. 따라서 유기 EL 소자 OLED에는, 게이트·소스 간 전압 Vgs에 따라 정해지는 전류 Ids가 구동 트랜지스터 T32로부터 공급된다.
- <179> 그 다음에, 비발광 상태에 있어서의 화소 회로(131) 내의 동작 상태를 설명한다. 비발광 기간은, 전류 공급선 DSL을 고전위 Vcc에 유지한 상태에서, 샘플링 트랜지스터 T31을 새롭게 온 제어하는 것으로 개시된다(도 36(t2)). 이 때, 신호선 DTL에는 역 바이어스 전위 Vini가 인가되고 있다.
- <180> 이 동작에 의해, 구동 트랜지스터 T32의 게이트 전위 Vg는 역 바이어스 전위 Vini와 동일해지도록 제어된다. 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 도 38에 나타낸다.

- <181> 이 때, 구동 트랜지스터 T32의 소스 전위  $V_s$ 는, 보유 용량  $C_s$ 의 커플링 동작을 통해 저하한다. 이 구동 트랜지스터 T32의 소스 전위  $V_s$ 의 변동 중에, 구동 트랜지스터 T32의 게이트·소스 간 전압  $V_{gs}$ 가 임계값 전압  $V_{th}$  이하가 되어, 유기 EL 소자 OLED는 발광 상태에서 비발광 상태로 전환된다.
- <182> 이 화소 회로(131)의 경우에도, 커플링 동작 후의 구동 트랜지스터 T32의 소스 전위  $V_s$ (유기 EL 소자 OLED의 애노드 전위  $V_{e1}$ )가, 유기 EL 소자 OLED의 임계값 전압  $V_{thel}$ 과 캐소드 전위  $V_{cat}$ 의 합 이하인 경우에는, 구동 트랜지스터 T32의 소스 전위  $V_s$ 가 그대로 유지된다.
- <183> 반면에, 커플링 동작 후의 구동 트랜지스터 T32의 소스 전위  $V_s$ 가, 유기 EL 소자 OLED의 임계값 전압  $V_{thel}$ 과 캐소드 전위  $V_{cat}$ 의 합보다 클 경우에는, 유기 EL 소자 OLED의 방전에 의해 구동 트랜지스터 T32의 소스 전위  $V_s$ 는  $V_{thel}+V_{cat}$ 로 수렴한다. 도 38은, 구동 트랜지스터 T32의 소스 전위  $V_s$ 가,  $V_{thel}+V_{cat}$ 로 수렴한 상태를 나타내고 있다.
- <184> 다시 말해, 구동 트랜지스터 T32는, 역 바이어스 전압의 인가 상태로 제어된다. 물론, 여기에서의 역 바이어스 전압은, 후에 구동 트랜지스터 T32의 게이트 전위에 기록되는 신호 전위  $V_{sig}$ 의 크기를 반영하도록 제어되고 있다. 예를 들면 후에 구동 트랜지스터 T32의 게이트 전위에 기록되는 신호 전위  $V_{sig}$ 가 블랙 표시 전위이면, 역 바이어스 전압은 작은 값으로 제어되는 반면에, 후에 구동 트랜지스터 T32의 게이트 전위에 기록되는 신호 전위  $V_{sig}$ 가 화이트 표시 전위이면, 역 바이어스 전압도 큰 값으로 제어된다.
- <185> 따라서, 실시예 2에 관련되는 화소 회로(131)의 경우에도, 발광 기간 동안에 발생하는 임계값 전압  $V_{th}$ 의 양의 방향으로의 변동량 분을 같은 1 프레임 내의 비발광 기간 동안에 인가하는 역 바이어스 전압에 의해 보정 할 수 있다.
- <186> 물론, 이 경우에도, 1 프레임 기간에 차지하는 발광 시간의 비율 등을 고려하여 역 바이어스 전압의 크기를 최적으로 설정하는 것이 바람직하다.
- <187> 이 때, 구동 트랜지스터 T32의 게이트 전극에 역 바이어스 전위  $V_{ini}$ 를 기록한 후에는, 도 39에 나타내는 바와 같이, 신호선 DTL의 또 다른 전위가 기록되기 전에 샘플링 트랜지스터 T31이 오프 제어된다(도 36(t3)). 이것에 의해, 구동 트랜지스터 T32의 역 바이어스 상태가 유지된다.
- <188> 이 역 바이어스 상태의 일정 기간 경과 후에, 전류 공급선 DSL의 전원전위가 고전위  $V_{cc}$ 에서 저전위  $V_{ss}$ 로 변환 제어된다(도 36(t4)). 이 시점에서의 화소 회로(131) 내의 동작 상태를 도 40에 나타낸다.
- <189> 여기에서의 저전위  $V_{ss}$ 는, 후에 실행되는 임계값 보정 동작을 정상으로 행하기 위해,  $V_{ofs}-V_{ss}>V_{th}$ 를 만족시키는 전위로 설정되어 있다. 이 저전위  $V_{ss}$ 의 인가에 의해, 전원선 DSL의 전위가 구동 트랜지스터 T32의 소스 전위  $V_s$ 와 동일해진다. 결과적으로, 유기 EL 소자 OLED의 애노드 전위는 저하한다.
- <190> 그 다음에, 신호선 DTL의 전위가 오프셋 신호 전위  $V_{ofs}$ 로 설정되는 타이밍에 샘플링 트랜지스터 T31이 온 상태로 제어된다(도 36(t5)). 이 때, 전류 공급선 DSL은 저전위  $V_{ss}$  상태로 한다. 이 시점에서의 화소 회로(131) 내의 동작 상태를 도 41에 나타낸다.
- <191> 한편, 구동 트랜지스터 T32의 게이트 전위  $V_g$ 는, 오프셋 신호 전위  $V_{ofs}$ 로 제어된다. 이 동작이, 임계값 보정 준비 동작이다. 이 때, 게이트 전위  $V_g$ 의 변동을 피하기 위해, 신호선 DTL의 전위가 오프셋 신호 전위  $V_{ofs}$  이외에 신호 전위  $V_{sig}$ 나 역 바이어스 전위  $V_{ini}$ 로 설정되는 기간에는, 도 42에 나타내는 바와 같이, 샘플링 트랜지스터 T31이 오프 제어된다.
- <192> 머지않아, 임계값 보정 동작의 실행 타이밍이 도래한다. 이 보정 동작은, 신호선 DTL에 오프셋 신호 전위  $V_{ofs}$ 가 인가되고 있는 기간 동안에, 샘플링 트랜지스터 T31을 온 제어하는 것과 함께 전류 공급선 DSL을 고전위  $V_{cc}$ 로 제어함으로써 실행된다(도 36(t6)). 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 도 43에 나타낸다.
- <193> 구동 트랜지스터 T32가 온 동작한 상태에서 전류 공급선 DSL에 고전위  $V_{cc}$ 가 인가되는 것에 의해, 구동 트랜지스터 T32의 임계값 보정 동작이 개시된다. 이에 따라, 구동 트랜지스터 T32의 게이트 전위  $V_g$ 가 오프셋 신호 전위  $V_{ofs}$ 로 제어된 상태에서, 소스 전위  $V_g$ 만이 상승을 시작한다.
- <194> 이 때, 실시예 2의 경우, 신호선 DTL에는 1 수평주사 기간 내에 3개의 전위, 즉, 역 바이어스 전위  $V_{ini}$ , 오프셋 신호 전위  $V_{ofs}$ , 신호 전위  $V_{sig}$ 가 반복해서 출현한다. 따라서, 오프셋 신호 전위  $V_{ofs}$ 의 공급 기간이 종료 되면, 샘플링 트랜지스터 T31은, 오프셋 신호 전위  $V_{ofs}$ 의 다음번 공급 타이밍까지 다시 오프 제어된다(도

36(t7)). 도 44에, 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 나타낸다.

- <195> 이 때, 이 기간에는, 구동 트랜지스터 T32의 게이트 전극은 자유단으로 사용된다. 따라서, 소스 전위 Vs의 상승에 따르는 부트스트랩 동작에 의해 게이트 전위 Vg도 소스 전위 Vs의 상승에 연동해서 상승한다.
- <196> 머지않아, 신호선 DTL에 오프셋 신호 전위 Vofs가 공급되는 타이밍이 되면, 샘플링 트랜지스터 T31은 다시 온 제어된다. 이 온 동작에 의해, 구동 트랜지스터 T32의 게이트 전위 Vg는, 오프셋 신호 전위 Vofs로 하강한다. 이 때, 구동 트랜지스터 T32의 소스 전위 Vs는, 보유 용량 Cs에 의한 커플링 양만큼 하강하게 되고, 그 하강한 후의 상태에서부터 전위의 상승을 재개한다(도 36(t8)).
- <197> 이 재개 후의 임계값 보정 동작에 있어서, 구동 트랜지스터 T32의 게이트·소스 간 전압 Vgs가 임계값 전압 Vth가 되면, 구동 트랜지스터 T32는 물론 자동으로 컷오프 동작한다. 그러나, 도 36a 내지 36e의 구동 동작의 경우에는, 2회째의 임계값 보정 동작 종료 후에도, 임계값 보정 동작이 완료되지 않는다. 따라서 오프셋 신호 전위 Vofs의 공급 기간이 종료된 후, 샘플링 트랜지스터 T31은, 오프셋 신호 전위 Vofs가 다음번에 구동 트랜지스터 T32의 게이트 전극에 공급되는 타이밍까지 다시 오프 제어된다(도 36(t9)).
- <198> 그리고, 3회째의 임계값 보정 동작 기간에, 임계값 보정 동작은 완료되고, 구동 트랜지스터 T32는 자동으로 컷오프 동작한다(도 36(t10)). 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 도 45에 나타낸다. 이 때, 구동 트랜지스터 T32의 소스 전위 Vs는,  $V_s = V_{ofs} - V_{th} \leq V_{cat} + V_{thel}$ 을 만족시키고 있다. 이에 따라, 유기 EL 소자 OLED는 온 동작하도록 제어될 수 없고, 따라서 이 시점에서 발광하지 않는다.
- <199> 이 후 바로 또는 도 36(t11)의 기간을 넘은 후, 구동 트랜지스터 T32의 게이트 전극에는 신호 전위 Vsig가 인가된다(도 36(t12)). 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 도 46에 나타낸다.
- <200> 전술한 것 같이, 신호 전위 Vsig는, 각 화소의 계조에 따른 전압이다. 이 때, 구동 트랜지스터 T32의 게이트 전위 Vg는, 샘플링 트랜지스터 T31을 통해 신호 전위 Vsig와 동일해지도록 제어된다. 또한, 구동 트랜지스터 T32의 소스 전위 Vs는, 전류 공급선 DSL로부터 흘러들어 오는 전류에 의해 시간과 함께 상승한다.
- <201> 이 때, 구동 트랜지스터 T25의 게이트·소스 간 전압 Vgs는, 다음 식 (6)으로 주어진다.
- <202> 
$$V_{gs} = \{C_{el} / (C_{el} + C_s + C_{tr})\} \cdot (V_{sig} - V_{ofs}) + V_{th} \quad \dots(6)$$
- <203> 실시예 1에서도 설명한 것처럼, 유기 EL 소자 OLED의 기생 용량 Cel은 구동 트랜지스터 T32의 보유 용량 Cs나 기생 용량 Ctr에 비해 크다. 따라서 구동 트랜지스터 T32의 게이트·소스 간 전압 Vgs는, 거의 Vsig+Vth로 수렴한다.
- <204> 이 동작이, 신호 전위의 기록 동작 겸 이동도 보정 동작이다. 실시예 1에서 설명한 바와 같이, 여기에서의 게이트·소스 간 전압 Vgs는, 구동 트랜지스터 T32의 이동도  $\mu$ 를 반영한 값이 된다.
- <205> 이 기록 동작 겸 이동도 보정 동작의 완료 후, 샘플링 트랜지스터 T31이 오프 제어되는 것으로 새로운 발광 기간이 개시된다(도 32(t13)). 이 때, 구동 트랜지스터 T32의 구동 전류 Ids'는 유기 EL 소자 OLED로 흐르고, 이로써 구동 전류 Ids'의 값에 따른 발광이 개시된다. 도 47에, 이 시점에 있어서의 화소 회로(131)의 동작 상태를 나타낸다.
- <206> (C-4) 정리
- <207> 이상과 같이, 각 화소 회로가 2개의 N채널형 박막 트랜지스터로 구성될 경우라도, 실시예 1의 경우와 마찬가지로 구동 트랜지스터 T32에 임계값 전압 Vth의 시간 변동이 거의 나타나지 않는 구동 기술을 실현할 수 있다.
- <208> 물론, 여기에서의 화소 회로의 경우에도, 임계값 보정 동작과 이동도 보정 동작을 모두 실행할 수 있다. 따라서 구동 트랜지스터 T32의 특성 편차로 인한 화면 불균일의 발생을 효과적으로 억제할 수 있다.
- <209> (D) 실시예 3
- <210> (D-1) 시스템 구성
- <211> 실시예 3에서는, 실시예 2에서 설명한 화소 회로(131)를 갖는 유기 EL 표시 패널(41)에 대해, 이동도 보정 동작의 정밀도를 더 높일 수 있는 구동 방법을 설명한다.
- <212> 도 48에, 유기 EL 표시 패널(41)의 시스템 구성예를 나타낸다. 이 때, 도 48에는, 도 32와의 대응 부분에 동일 부호를 붙여 나타내고 있다.

- <213> 도 48에 나타내는 유기 EL 표시 패널(41)은, 화소 어레이부(121)와, 그 구동 회로인 신호 기록 제어선 구동부(153), 전류 공급선 구동부(155), 수평 셀렉터(157)와, 타이밍 제너레이터(159)로 구성된다.
- <214> 실시예 3의 유기 EL 표시 패널(41)에 있어서의 화소 어레이부(121)는, 실시예 2의 유기 EL 표시 패널(41)에 있어서의 화소 어레이부(121)와 같은 구성으로 되어 있다. 다시 말해, 화소 회로(131)는, 스위칭 트랜지스터 T31과, 구동 트랜지스터 T32와, 보유 용량 Cs와, 유기 EL 소자 OLED로 구성된다.
- <215> 도 49에, 서브 화소에 대응하는 화소 회로(131)와 각 구동 회로(153, 155, 157)와의 접속 관계를 나타낸다. 또한 도 50에, 실시예 3의 유기 EL 표시 패널(41)에 있어서의 화소 회로(131)에 공급하는 신호선 DTL의 전위들 사이의 관계를 나타낸다.
- <216> 신호 기록 제어선 구동부(153)는, 샘플링 트랜지스터 T31을 온·오프 제어하는 구동 회로이다. 샘플링 트랜지스터 T31의 온 제어시에는, 구동 트랜지스터 T32의 게이트 전극에 신호선 DTL의 전위가 인가된다.
- <217> 전류 공급선 구동부(155)는, 전류 공급선 DSL을 고전위 Vcc와 저전위 Vss의 2종류의 전원 전위로 구동하는 구동 회로이다. 실시예 3의 경우, 1 프레임 기간 내에 적어도 1회에는 저전위 기간이 배치된다.
- <218> 이들 각 구동 회로(153, 155)는, 모두 수직 해상도 수만개의 출력단 수를 갖는 시프트 레지스터로 구성된다. 따라서 각 구동 회로(153, 155)는 타이밍 제너레이터(159)로부터 주어지는 타이밍 신호에 의해 각 제어선에 필요한 구동 펄스를 출력한다.
- <219> 수평 셀렉터(157)는, 1 수평주사 기간을 1 주기로 하여, 화소 데이터 Din에 대응하는 신호 전위 Vsig, 신호 전위 Vsig를 반영하는 역 바이어스 전위 Vini, 제1의 오프셋 신호 전위 Vofs1, 제2의 오프셋 신호 전위 Vofs2 중 어느 하나를 각 신호선 DTL에 출력하는 구동 회로이다.
- <220> 이 때, 제1의 오프셋 신호 전위 Vofs1은, 실시예 2의 오프셋 신호 Vofs에 대응한다. 실시예 3의 경우, 제2의 오프셋 신호 전위 Vofs2는, 신호 전위 Vsig와 제1의 오프셋 신호 전위 Vofs1의 중간전위로 주어진다. 수평 셀렉터(157)는, 신호 전위 Vsig에 대응하는 화소 데이터 Din에 따라 제2의 오프셋 신호 전위 Vofs2를 발생한다.
- <221> 출력 순서는 임의이지만, 여기에서는 역 바이어스 전위 Vini, 제1의 오프셋 신호 전위 Vofs1, 제2의 오프셋 신호 전위 Vofs2, 신호 전위 Vsig의 순서로 한다.
- <222> 타이밍 제너레이터(159)는, 기록 제어선 WSL 및 전류 공급선 DSL의 구동에 필요한 타이밍 펄스를 생성하는 회로 디바이스이다.
- <223> (D-2) 수평 셀렉터의 구성
- <224> 도 51에, 실시예 3의 유기 EL 표시 패널(41)에 있어서 키 디바이스인 수평 셀렉터(157)의 회로 구성예를 나타낸다. 이 때, 수평 셀렉터(157)의 기본적인 구성은 앞서 실시예 2에서 설명한 수평 셀렉터(127)와 같다. 따라서, 도 51에는 도 35와의 대응 부분에 동일 부호를 붙여 나타낸다.
- <225> 수평 셀렉터(157)는, 프로그래머블 로직 디바이스(81)와, 메모리(83)와, 시프트 레지스터(91, 101)와, 래치 회로(93, 103)와, D/A 변환 회로(95, 105)와, 버퍼 회로(97, 107)와, 셀렉터(161)로 구성된다.
- <226> 이들 중 수평 셀렉터(157)에서 신규인 구성 부분은, 셀렉터(161)뿐이다. 실시예 3에 관련된 셀렉터(161)는, 1 수평 주사 기간 내에, 역 바이어스 전위 Vini와, 제1의 오프셋 신호 전위 Vofs1과, 제2의 오프셋 신호 전위 Vofs2와, 신호 전위 Vsig를 미리 설정된 타이밍에 시간 순차로 출력하는 점에서 실시예 2의 셀렉터(141)와 다르다.
- <227> 이 때, 제1의 오프셋 신호 전위 Vofs1은, 실시예 2의 오프셋 전위 Vofs에 대응한다. 한편, 제2의 오프셋 신호 전위 Vofs2는, 신호 전위 Vsig의 최대 전위와 제1의 오프셋 전위 Vofs1과의 중간 계조 전위로서 주어진다. 실시예 3에서는, 제2의 오프셋 신호 전위 Vofs2를  $(Vsig - Vofs1) / 2$ 로서 규정한다.
- <228> (D-3) 구동 동작예
- <229> 도 52a 내지 52e에, 실시예 3의 유기 EL 표시 패널(41)에 있어서의 화소 회로(131)의 구동 동작을 나타내는 타이밍 차트다.
- <230> 우선, 발광 상태에 있어서의 화소 회로(131) 내의 동작 상태를 도 53에 나타낸다. 이 때, 전류 공급선 DSL의 전위는 고전위 Vcc이며, 따라서 샘플링 트랜지스터 T31은 오프 상태에 있다(도 52(t1)).

- <231> 이 때, 구동 트랜지스터 T32는 포화 영역에서 동작하도록 설정되어 있다. 이 때문에, 유기 EL 소자 OLED에 흐르는 전류  $I_{ds}$ 는, 구동 트랜지스터 T32의 게이트·소스 간 전압  $V_{gs}$ 에 따른 값을 취한다.
- <232> 다음에, 비발광 기간의 동작 상태를 설명한다. 비발광 기간은, 신호선 DTL에 역 바이어스 전위  $V_{ini}$ 가 인가된 상태에서 샘플링 트랜지스터 T31이 온 제어되는 것에 의해 시작된다(도 52(t2)). 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 도 54에 나타낸다.
- <233> 이 때, 구동 트랜지스터 T32의 소스 전위  $V_s$ 는 보유 용량  $C_s$ 를 통한 커플링 동작에 의해 저하한다. 이 때, 유기 EL 소자 OLED는, 구동 트랜지스터 T32의 게이트·소스 전압  $V_{gs}$ 가 임계값 전압  $V_{th}$  이하가 된 시점에서 소등한다.
- <234> 덧붙여서, 커플링 동작 완료 후의 구동 트랜지스터 T32의 소스 전위  $V_s$ (유기 EL 소자 OLED의 애노드 전위  $V_{el}$ )가, 유기 EL 소자 OLED의 임계값 전압  $V_{thel}$ 과 캐소드 전위  $V_{cat}$ 의 합 이하이면, 구동 트랜지스터 T32의 소스 전위  $V_s$ 는 그대로 유지된다.
- <235> 반면에, 커플링 동작 완료 후의 구동 트랜지스터 T32의 소스 전위  $V_s$ 가, 유기 EL 소자 OLED의 임계값 전압  $V_{thel}$ 과 캐소드 전위  $V_{cat}$ 의 합보다 크면, 구동 트랜지스터 T32의 소스 전위  $V_s$ 는 유기 EL 소자 OLED의 방전에 의해  $V_{thel}+V_{cat}$ 로 수렴한다. 도 54는, 구동 트랜지스터 T32의 소스 전위  $V_s$ 가,  $V_{thel}+V_{cat}$ 로 수렴한 상태를 나타내고 있다.
- <236> 이 때, 구동 트랜지스터 T32의 드레인 전극에는 고전위  $V_{cc}$ 가 인가되고, 구동 트랜지스터 T32의 게이트 전극에는 역 바이어스 전위  $V_{ini}$ 가 인가된다. 다시 말해, 구동 트랜지스터 T32에는 역 바이어스 전압이 인가된다. 이 때, 역 바이어스 전위  $V_{ini}$ 는 신호 기록시의 신호 전위  $V_{sig}$ 를 반영하고 있기 때문에, 전술한 것처럼, 역 바이어스 전위  $V_{ini}$ 는 신호 전위  $V_{sig}$ 의 인가에 의한 임계값 전압  $V_{th}$ 의 변동을 캔슬하도록 작용한다.
- <237> 그 후, 신호선 DTL의 전위가 전환되기 전에 샘플링 트랜지스터 T31이 오프 제어된다(도 52(t3)). 이 때, 역 바이어스 전압의 인가 상태는 계속된다.
- <238> 이 역 바이어스 상태가 일정 기간 경과 한 후, 전류 공급선 DSL의 전위 전위가 고전위  $V_{cc}$ 에서 저전위  $V_{ss}$ 로 전환 제어된다(도 52(t4)). 이 시점에서의 화소 회로(131) 내의 동작 상태를 도 55에 나타낸다.
- <239> 이 때, 역 바이어스 전위  $V_{ini}$ 와 전류 공급선 DSL의 전위(저전위  $V_{ss}$ ) 사이의 전위차가, 구동 트랜지스터 T32의 게이트·소스 간 전압  $V_{gs}$ 와 같아진다.
- <240> 여기에서, 역 바이어스 전위  $V_{ini}$ 가  $V_{ss}+V_{th}$ 보다 작으면, 구동 트랜지스터 T32는 컷오프 상태이다.
- <241> 실시예 3에서는, 역 바이어스 전위  $V_{ini}$ 가  $V_{ss}+V_{th}$ 보다 작다고 가정하고 있다. 하지만 역 바이어스 전위  $V_{ini}$ 가 반드시  $V_{ss}+V_{th}$ 보다 작을 필요는 없다.
- <242> 그 후에, 신호선 DTL의 전위가 제1의 오프셋 전위  $V_{ofs1}$ 로 설정되는 타이밍에 샘플링 트랜지스터 T31을 온 상태로 제어한다(도 52(t5)). 이 제어에 의해, 구동 트랜지스터 T32의 게이트 전위  $V_g$ 는 제1의 오프셋 전위  $V_{ofs1}$ 로 천이한다.
- <243> 도 56에, 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 나타낸다.
- <244> 이 때, 구동 트랜지스터 T32의 게이트·소스 간 전압  $V_{gs}$ 는,  $V_{ofs1}-V_{ss}$ 로 주어진다.
- <245> 이 시점의 게이트·소스 간 전압  $V_{gs}$ 는, 임계값 보정 동작의 실행을 확보하기 위해, 구동 트랜지스터 T32의 임계값 전압  $V_{th}$ 보다 큰 값으로 설정되어 있다.
- <246> 머지않아, 임계값 보정 동작의 실행 타이밍이 도래한다. 임계값 보정 동작은, 신호선 DTL에 제1의 오프셋 신호 전위  $V_{ofs1}$ 이 인가되고 있는 기간 동안에, 샘플링 트랜지스터 T31을 온 제어하는 것과 함께 전류 공급선 DSL을 고전위  $V_{cc}$ 로 제어하는 것에 의해 실행된다(도 52(t7)). 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 도 57에 나타낸다.
- <247> 구동 트랜지스터 T32가 온 동작한 상태로 전류 공급선 DSL에 고전위  $V_{cc}$ 가 인가되는 것에 의해, 구동 트랜지스터 T32의 임계값 보정 동작이 개시된다. 이에 따라, 구동 트랜지스터 T32의 게이트 전위  $V_g$ 가 오프셋 신호 전위  $V_{ofs1}$ 로 제어된 상태에서, 소스 전위  $V_g$ 만이 상승을 시작한다.
- <248> 이 때, 구동 트랜지스터 T32의 소스 전위  $V_s$ (유기 EL 소자 OLED의 애노드 전위  $V_{el}$ )가  $V_{cat}+V_{thel}$  이하인 한(유

기 EL 소자 OLED의 리크 전류가 구동 트랜지스터 T32에 흐르는 전류보다도 상당히 작은 상태에 있는 한), 구동 트랜지스터 T32의 전류는 보유 용량 Cs와 유기 EL 소자 OLED의 기생 용량 Cel을 충전하기 위해 사용된다.

- <249> 구동 트랜지스터 T32의 소스 전위 Vs는, 시간의 경과와 함께 상승을 시작한다.
- <250> 일정 시간 경과 후, 샘플링 트랜지스터 T31은 오프 제어된다. 단, 이 시점에 있어서의 구동 트랜지스터 T32의 게이트·소스 간 전압 Vgs는 구동 트랜지스터 T32의 임계값 전압 Vth보다 크다. 따라서, 전류 공급선 DSL로부터 화소 회로(131)로 흘러들어 오는 전류는 보유 용량 Cs를 충전하도록 흐른다.
- <251> 이 동작에 따라, 구동 트랜지스터 T32의 게이트 전위 Vg는, 소스 전위 Vs에 연동하여 상승한다. 이 때, 유기 EL 소자 OLE에 역 바이어스가 인가되므로, 유기 EL 소자 OLED는 발광하지 않는다.
- <252> 머지않아, 신호선 DTL에 제1의 오프셋 신호 전위 Vofs1이 공급되는 타이밍이 되면, 샘플링 트랜지스터 T31은 다시 온 제어된다. 이 온 동작에 의해, 구동 트랜지스터 T32의 게이트 전위 Vg는, 제1의 오프셋 신호 전위 Vofs1로 하강한다.
- <253> 이 동작을 반복해서 실행함으로써, 구동 트랜지스터 T32의 게이트·소스 간 전압 Vgs는 구동 트랜지스터 T32의 임계값 전압 Vth로 수렴한다(도 52(t9, t11)).
- <254> 이 때 이 시점에서, 구동 트랜지스터 T32의 소스 전위 Vs는, Vcat+Vthel 이하를 만족한다.
- <255> 임계값 보정 동작이 종료되면, 샘플링 트랜지스터 T31이 일단 오프 제어된다.
- <256> 그 후, 신호선 DTL의 전위가 제2의 오프셋 신호 전위 Vofs2가 된 시점에서, 샘플링 트랜지스터 T31이 다시 온 제어된다(도 52(t13)). 이 샘플링 트랜지스터 T31의 온 상태는, 신호선 DTL의 전위가 제2의 오프셋 신호 전위 Vofs2에서 신호 전위 Vsig로 전환된 후에도 계속된다(도 52(t14)). 도 58에, 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 나타낸다.
- <257> 이 기간 t14에, 구동 트랜지스터 T32의 게이트 전위 Vg는, 제2의 오프셋 신호전위 Vofs2에서 신호 전위 Vsig로 변화한다. 이 때, 구동 트랜지스터 T32의 소스 전위 Vs는, 전류 공급선 DSL에서 구동 트랜지스터 T32로의 전류의 공급이 계속되므로, 시간의 경과와 함께 상승해 간다.
- <258> 물론, 구동 트랜지스터 T32의 소스 전위 Vs가 Vthel+Vcat을 초과하지 않으면(유기 EL 소자 OLED의 리크 전류가 구동 트랜지스터 T32에 흐르는 전류보다 상당히 작으면), 구동 트랜지스터 T32를 흐르는 전류는 보유 용량 Cs와 유기 EL 소자 OLED의 기생 용량 Cel을 충전하는 데에 사용된다.
- <259> 이 때, 구동 트랜지스터 T32의 임계값 보정 동작은 이미 완료되어 있기 때문에, 구동 트랜지스터 T32에 흐르는 전류는 이동도  $\mu$ 를 반영한 값이 된다.
- <260> 그런데, 이 종류의 이동도 보정 방식에서는, 일반적으로 화이트 표시시의 이동도 보정 시간에 비해 중간 계조 표시시의 이동도 보정 시간이 길어진다. 특히, 신호 전위 Vsig를 구동 트랜지스터 T32의 게이트 전극에 인가함으로써 이동도 보정을 실행하는 실시예 2의 구동 방식의 경우에는, 화이트 표시시의 이동도 보정과 중간 계조 표시시의 이동도 보정 사이의 시간차가 크다. 그 결과 화이트 표시 화소에 대한 이동도 보정과 중간 계조 화소에 대한 이동도 보정을 같은 기록 시간 내에 완료할 수 없다.
- <261> 그러나 실시예 3과 같이 신호 전위 Vsig를 구동 트랜지스터 T32의 게이트 전극에 입력하기 전에 제2의 오프셋 신호 전위 Vofs2를 입력함으로써, 화이트 표시에서의 이동도 보정 시간과 중간 계조 표시에서의 이동도 보정 시간을 일정하게 할 수 있다.
- <262> 이하, 이 동작과 관련하여 구체적으로 설명한다. 도 59a 및 59b에 화이트 표시시의 이동도 보정 시간을 나타내고, 도 60a 및 60b에 중간 계조 표시시(블랙 표시 근처 예)의 이동도 보정 시간을 나타낸다.
- <263> 이 때, 도 59a 및 도 60a는, 실시예 2에 대응하는 이동도 보정 동작을 나타내고, 도 59b 및 도 60b에 실시예 3에 대응하는 이동도 보정 동작을 나타낸다. 이들 도면에 있어서, 실시예 2에 대응하는 이동도 보정 시간을 t1로 나타내고, 실시예 3에 대응하는 이동도 보정 시간을 t1'로 나타낸다.
- <264> 우선, 화이트 표시시에 대해서 생각한다. 도 59a 및 59b에 나타내는 바와 같이, 제2의 오프셋 신호 전위 Vofs2를 사용할 경우, 사용하지 않는 경우에 비해 이동도 보정에 요구되는 시간을 길게 할 수 있다.
- <265> 한편, 중간 계조 표시시에 대해서 생각한다. 도 60a 및 60b에 나타내는 바와 같이, 제2의 오프셋 신호 전위

Vofs2를 사용할 경우, 사용하지 않는 경우에 비해 이동도 보정에 요구되는 시간을 짧게 할 수 있다.

- <266> 다시 말해, 본래는 보정 시간이 짧게 끝나는 화이트 표시시의 보정 시간을 길게 하는 한편, 본래는 보정 시간이 긴 중간 계조 표시시의 보정 시간을 짧게 할 수 있다. 이것은, 표시 계조에 관계없이, 화이트 표시시의 이동도 보정에 요구되는 시간과 중간 계조 표시시의 이동도 보정에 요구되는 시간을 거의 일정하게 같게 할 수 있다는 것을 의미한다.
- <267> 그리고, 이상의 동작 종료 후, 샘플링 트랜지스터 T31을 오프 제어하여 기록 동작을 종료하면, 유기 EL 소자 OLED에 구동 전류가 흐르게 되어 발광 기간이 시작된다(도 52(t15)). 도 61에, 이 시점에 있어서의 화소 회로(131) 내의 동작 상태를 나타낸다.
- <268> 이 때, 구동 트랜지스터 T32의 게이트·소스 간 전압 Vgs는 일정하다. 따라서, 구동 트랜지스터 T32는 일정 전류 Ids'를 유기 EL 소자 OLED에 흐르게 한다.
- <269> 또한, 유기 EL 소자 OLED의 애노드 전위 Ve1은, 전류 Ids'가 흐르는 전압 Vx까지 상승한다.
- <270> (D-4) 정리
- <271> 이상과 같이, 실시예 3에서 설명한 유기 EL 표시 패널의 경우에는, 실시예 2의 효과에 더하여, 이하의 효과를 실현할 수 있다.
- <272> 다시 말해, 계조값의 차이에 관계없이, 화이트 표시시의 이동도 보정에 요구되는 시간과 중간 계조 표시시의 이동도 보정에 요구되는 시간을 거의 일정하게 같게 할 수 있다. 다시 말해, 모든 화소 회로에 대해서 이동도 보정 동작을 같게 할 수 있다. 이것은, 각 화소의 이동도  $\mu$ 를 결정된 시간 내에 과부족 없이 보정할 수 있음을 의미한다. 결과적으로, 유기 EL 표시 패널의 고선명화나 고속화가 진행되어도, 불균일이나 띠가 잘 나타나지 않는 구동 기술을 실현할 수 있다.
- <273> (E) 다른 실시예
- <274> (E-1) 다른 화소 회로예
- <275> 전술한 실시예 1 내지 실시예 3에서는, 화소 회로가 5개의 N채널 박막 트랜지스터로 구성되는 경우(실시예 1)나 2개의 N채널 박막 트랜지스터로 구성될 경우(실시예 2, 3)에 대해 설명했다.
- <276> 그러나, 화소 회로의 구성은 이들에 한정되지 않는다. 예를 들면 도 62에 나타내는 바와 같이, 화소 회로(171)가 3개의 N채널 박막 트랜지스터로 구성되는 경우에도 적용할 수 있다. 이 때, 도 62는, 도 20 및 도 34와의 대응 부분에 동일 부호를 붙여 나타낸다.
- <277> 화소 회로(171)는, 실시예 1의 화소 회로(71)와 실시예 2의 화소 회로(131)의 중간형이다. 또한 화소 회로(171)는 구동 트랜지스터 T32의 게이트 전극으로의 오프셋 신호 전위 Vofs의 인가를 전용의 박막 트랜지스터 T33로 제어하는 것을 특징으로 한다. 다시 말해, 실시예 2의 경우에는, 신호선 DTL을 통해서 인가하고 있었던 오프셋 신호 전위 Vofs의 인가를 실시예 1의 경우와 마찬가지로 독립적으로 구동 트랜지스터 T32의 게이트 전극에 인가하는 것을 특징으로 한다. 이 때, 오프셋 신호 전위 Vofs의 인가 타이밍 등은 실시예 2의 경우와 동일하게 된다.
- <278> (E-2) 역 바이어스 전위의 발생 방법
- <279> 실시예 1의 경우에는, 기본적으로 사전에 설정된 식 (3)에 근거하여 화소 데이터 Din(신호 전위 Vsig)에 따른 크기의 화소 데이터 Din'를 생성할 경우에 대해 설명했다.
- <280> 그러나 1 프레임 기간 동안에 차지하는 발광 기간의 비율(duty)을, 표시 내용이나 주변 휘도에 따라서 가변할 수 있는 유기 EL 표시 패널에 있어서는, 이 가변정보에 근거하여 역 바이어스 전위 Vini의 생성에 적용하는 관계식 또는 테이블을 적응적으로 전환하는 기구(mechanism)를 채용해도 된다.
- <281> 도 63에, 이 기구에 대응한 수평 셀렉터(181)의 구성예를 나타낸다. 이 때, 도 63에는, 도 21과의 대응 부분에 동일 부호를 붙여 나타내고 있다. 도 63에서는, 프로그래머블 로직 디바이스(183) 내에, 역 바이어스 전위발생 특성 전환부(185)를 탑재하는 구성예를 나타내고 있다. 이 경우, 역 바이어스 전위발생 특성 전환부(185)는, 외부로부터 주어지는 듀티 정보(1 프레임 기간 내의 발광 시간비율을 주는 정보)에 따라서 관계식(예를 들면 계수의 변경)이나 참조 테이블을 전환하는 처리를 실행시키면 된다.

- <282> (E-3) 제2의 오프셋 신호 전위 Vofs2의 발생예
- <283> 전술한 실시예 3의 경우에는, 제2의 오프셋 신호 전위 Vofs2를 고정 값으로서 주는 경우에 대해서 설명했다. 그러나, 제2의 오프셋 신호 전위 Vofs2를 화소 데이터 Din(신호 전위 Vsig)에 따른 크기의 화소 데이터 Din"로서 생성할 수도 있다.
- <284> 도 64에, 이 기구에 대응한 수평 셀렉터(191)의 구성예를 나타낸다. 이 때, 도 64에는, 도 21과의 대응 부분에 동일 부호를 붙여 나타낸다. 도 64에 나타내는 수평 셀렉터(191) 중 신규인 구성 부분은, 프로그래머블 로직 디바이스(193)와, 제2의 오프셋 신호 전위 Vofs2계의 회로 부분(시프트 레지스터(201), 래치 회로(203), D/A회로(205), 버퍼 회로(207))과, 셀렉터(211)의 부분이다.
- <285> 이들 중, 프로그래머블 로직 디바이스(193)에는, 신호 전위 Vsig와 제1의 오프셋 전위 Vofs1의 중간 전위를 발생시키는 기능을 새롭게 추가한다. 예를 들면 (Vsig-Vofs1)/2에 해당하는 화소 데이터 Din"를, 메모리(83)로부터 판독되는 화소 데이터 Din에 의거하여 생성한다.
- <286> 도 65a 및 65b는 각각 이 구동 방식에 따른 전위 변화, 즉 화이트 표시시의 이동도 보정 동작을 나타낸다. 또한 도 66a 및 66b는 각각 이 구동 방식에 따른 전위 변화, 즉 중간 계조 표시시(블랙 표시 근처 예)의 이동도 보정 동작을 나타낸다.
- <287> 도 65a 및 65b 및 도 66a 및 66b 중, 도 65a 및 도 66a는, 실시예 2에 대응하는 이동도 보정 동작을 나타내고, 도 65b 및 도 66b는, 이 설명에 대응하는 이동도 보정 동작을 나타낸다. 덧붙여서, 실시예 2에 대응하는 이동도 보정 시간을 t1로 나타내고, 이 설명에 대응하는 이동도 보정시간을 t1'로 나타낸다.
- <288> 이 구동 방식의 경우에도, 화이트 표시시의 이동도 보정 시간은, 제2의 오프셋 신호 전위 Vofs2의 사용에 의해 연장할 수 있다. 또한, 중간 계조 표시시의 이동도 보정 시간도 제2의 오프셋 신호 전위 Vofs2의 사용에 의해 연장할 수 있다. 단, 중간 계조 표시시의 시간의 연장은, 계조값이 큰(신호 전위 Vsig가 큰) 경우에 비해 작아진다.
- <289> 따라서, 이 구동 방식의 채용에 의해, 화이트 표시시와 중간 계조 표시시의 보정 시간의 차를 압축할 수 있다. 이 시간차가 충분히 작으면, 실시예 2의 경우보다도, 화이트 표시시의 이동도 보정에 요구되는 시간과 중간 계조 표시시의 이동도 보정에 요구되는 시간을 같게 하는 효과를 높일 수 있다. 결과적으로, 이동도 보정의 과부족에 의한 화질 열화를 억제하여, 시인되는 화질을 향상시킬 수 있다.
- <290> (E-4) 역 바이어스 전위 Vini의 다른 인가 예
- <291> 전술한 실시예 1 내지 실시예 3의 경우에는, 모두 수평 셀렉터가 구동 제어하는 신호선 DTL을 통해 역 바이어스 전위 Vini를 구동 트랜지스터 T25 또는 T32의 게이트 전극에 인가할 경우에 대해 설명했다.
- <292> 그러나, 역 바이어스 전위 Vini는, 다른 배선을 통해서 구동 트랜지스터의 게이트 전극에 인가해도 된다. 또한, 이 경우는 물론, 역 바이어스 전위 발생부는 수평 셀렉터의 외부에 배치할 수 있다.
- <293> (E-5) 제품예
- <294> (a) 전자기기
- <295> 지금까지 유기 EL 표시 패널의 실시예 1 내지 실시예 3을 기초로 본 발명을 설명했다. 그러나 전술한 유기 EL 표시 패널은, 각종 전자기기에 실장한 상품형태로도 유통된다. 이하, 유기 EL 표시 패널을 다른 전자기기에 실장한 예를 나타낸다.
- <296> 도 67에, 전자기기(221)의 개념 구성예를 나타낸다. 전자기기(221)는, 전술한 유기 EL 표시 패널(223), 시스템 제어부(225) 및 조작 입력부(227)로 구성된다. 시스템 제어부(225)에서 실행되는 처리 내용은, 전자기기(221)의 상품형태에 따라 다르다. 또한, 조작 입력부(227)는, 시스템 제어부(225)에 대한 조작 입력을 접수하는 디바이스이다. 조작 입력부(227)에는, 예를 들면 스위치, 버튼 등의 기계식 인터페이스, 그래픽 인터페이스 등이 이용된다.
- <297> 이 때, 전자기기(221)는, 기기 내에서 생성되거나 외부로부터 입력되는 화상이나 영상을 표시하는 기능을 탑재하고 있으면, 특정한 분야의 기기에 한정되지 않는다.
- <298> 도 68에, 그 밖의 전자기기가 텔레비전 수상기인 경우의 외관예를 나타낸다. 텔레비전 수상기(231)의 케이싱 정면에는, 프론트 패널(233) 및 필터 유리(235) 등으로 구성되는 표시 화면(237)이 배치된다. 표시 화면(237)의

부분이, 실시예 1 내지 실시예 3 중 어느 하나에서 설명한 유기 EL 표시 패널에 대응한다.

- <299> 또한, 이 종류의 전자기기(221)에는, 예를 들면 디지털 카메라가 상정된다. 도 69a 및 69b에, 디지털 카메라(241)의 외관예를 나타낸다. 여기에서, 도 69a가 디지털 카메라(241)의 정면측(피사체측)의 외관예이다. 또한 도 69b가 디지털 카메라(241)의 배면측(촬영자측)의 외관예이다.
- <300> 디지털 카메라(241)는, 보호 커버(243), 촬상 렌즈부(245), 표시 화면(247), 콘트롤 스위치(249) 및 셔터 버튼(251)으로 구성된다. 이들 중, 표시 화면(247)의 부분이, 실시예 1 내지 실시예 3 중 어느 하나에서 설명한 유기 EL 표시 패널에 대응한다
- <301> 또한, 이 종류의 전자기기(221)에는, 예를 들면 비디오 카메라가 상정된다. 도 70에, 비디오 카메라(261)의 외관예를 나타낸다.
- <302> 비디오 카메라(261)는, 촬상 렌즈(265), 촬상의 스타트/스톱 스위치(267) 및 표시 화면(269)으로 구성된다. 여기에서 피사체는 본체(263)의 앞쪽에 설치된 촬상 렌즈(265)를 통해 촬상된다. 이들 중, 표시 화면(269)의 부분이, 실시예 1 내지 실시예 3 중 어느 하나에서 설명한 유기 EL 표시 패널에 대응한다.
- <303> 또한, 이 종류의 전자기기(221)에는, 예를 들면 휴대 단말장치가 상정된다. 도 71a 내지 71g에, 휴대 단말장치로서의 휴대 전화기(271)의 외관예를 나타낸다. 도 71a 내지 71g에 나타내는 휴대 전화기(271)는 폴더식이다. 여기에서, 도 71a 및 71b가 케이싱을 연 상태의 외관예이며, 도 71c 내지 71g가 케이싱을 접은 상태의 외관예이다.
- <304> 휴대 전화기(271)는, 상측 케이싱(273), 하측 케이싱(275), 연결부(본 예에서는 힌지부)(277), 표시 화면(279), 보조 표시 화면(281), 픽처 라이트(283) 및 촬상 렌즈(285)로 구성된다. 이들 중, 표시 화면(279) 및 보조 표시 화면(281)의 부분이, 실시예 1 내지 실시예 3 중 어느 하나에서 설명한 유기 EL 표시 패널에 대응한다.
- <305> 또한, 이 종류의 전자기기(221)에는, 예를 들면 컴퓨터가 상정된다. 도 72에, 노트북형 컴퓨터(291)의 외관예를 나타낸다.
- <306> 노트북형 컴퓨터(291)는, 하측 케이싱(293), 상측 케이싱(295), 키보드(297) 및 표시 화면(299)으로 구성된다. 이들 중, 표시 화면(299)의 부분이, 실시예 1 내지 실시예 3 중 어느 하나에서 설명한 유기 EL 표시 패널에 대응한다.
- <307> 이들 외에, 전자기기(221)에는, 오디오 재생장치, 게임기, 전자서적, 전자사전 등이 상정된다.
- <308> (E-5) 다른 표시 디바이스 예
- <309> 전술한 각각의 실시예 1 내지 실시예 3에서는, 본 발명을 유기 EL 표시 패널에 적용할 경우에 대해 설명했다.
- <310> 그러나 전술한 구동 기술은 그 외의 EL 표시장치에 대해서도 적용할 수 있다. 예를 들면 전술한 구동 기술은 LED(Light Emitting Diode)를 배열하는 표시장치나 다이오드 구조를 갖는 발광 소자를 화면 위에 배열한 표시장치에 대해서도 적용할 수 있다. 예를 들면 전술한 구동 기술은 무기 EL 패널에도 적용할 수 있다.
- <311> (E-6) 기타
- <312> 전술한 실시예 1 내지 실시예 3은, 본 발명의 취지의 범위 내에서 여러 가지로 변형이 가능하다. 또한, 본 명세서의 기재에 근거하여 창작되거나 조합되는 각종 변형예 및 응용예도 생각해 볼 수 있다.

**도면의 간단한 설명**

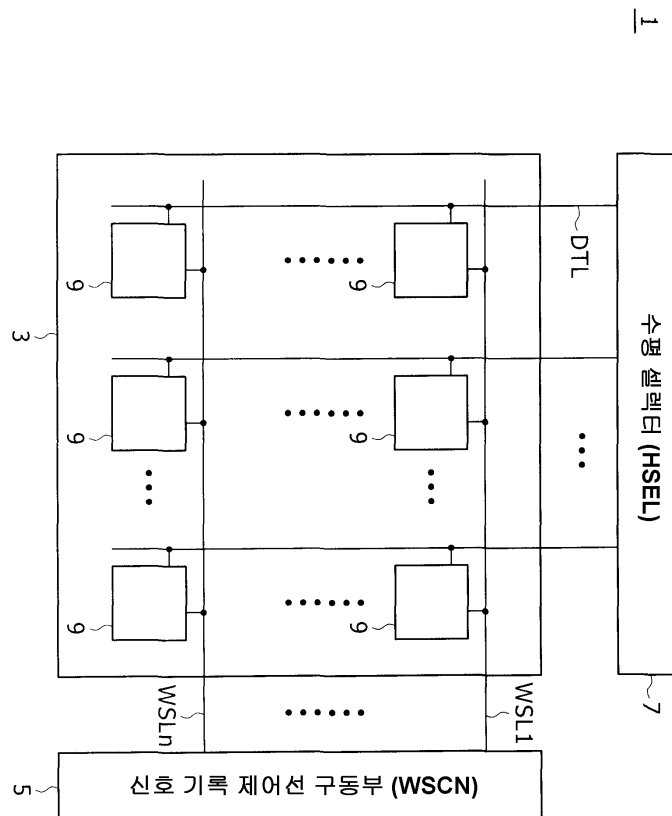
- <313> 도 1은 종래의 유기 EL 표시 패널의 기능 블록 구성을 설명하는 도다.
- <314> 도 2는 종래의 화소 회로와 구동 회로와의 접속 관계를 설명하는 도다.
- <315> 도 3은 종래의 유기 EL 소자의 I-V특성의 시간 변화를 설명하는 도다.
- <316> 도 4는 종래의 화소 회로와 구동 회로와의 또 다른 접속 관계를 설명하는 도다.
- <317> 도 5는 종래의 화소 회로와 구동 회로와의 또 다른 접속 관계를 설명하는 도다.
- <318> 도 6a 내지 6g는 종래의 도 5에 나타낸 화소 회로의 구동 동작을 나타내는 타이밍 차트다.
- <319> 도 7 내지 도 9는 화소 회로의 동작 상태를 설명하는 회로도다.

- <320> 도 10은 구동 트랜지스터의 소스 전위의 경시 변화를 나타내는 그래프다.
- <321> 도 11 및 도 12는 도 5에 나타난 화소 회로의 동작 상태를 설명하는 회로도다.
- <322> 도 13은 이동도의 차이에 의한 구동 트랜지스터의 소스 전위의 경시 변화의 차이를 나타내는 그래프다.
- <323> 도 14는 도 5에 나타난 화소 회로의 동작 상태를 설명하는 회로도다.
- <324> 도 15a 및 15b는 각각 음의 바이어스 인가시의 구동 트랜지스터의 임계값 전압의 경시 변화에 따른 변동 현상을 설명하는 그래프, 및 양의 바이어스 인가시의 구동 트랜지스터의 임계값 전압의 경시 변화에 따른 변동 현상을 설명하는 그래프다.
- <325> 도 16a 내지 16g는 고정량의 역 바이어스 전압을 인가하는 구동 방법을 설명하는 타이밍 차트다.
- <326> 도 17은 유기 EL 표시 패널의 외관 구성예를 나타내는 도다.
- <327> 도 18은 본 발명의 실시예 1에 따른 유기 EL 표시 패널의 시스템 구성예를 나타내는 블록도다.
- <328> 도 19는 도 18에 나타난 유기 EL 표시 패널에 있어서의 화소 회로들과 각 구동 회로와의 접속 관계를 설명하는 블록도다.
- <329> 도 20은 본 발명의 실시예 1에 관련된 화소 회로의 구성예를 나타내는 도다.
- <330> 도 21은 본 발명의 실시예 1의 유기 EL 표시 패널에 있어서의 수평 셀렉터의 구성예를 나타내는 블록도다.
- <331> 도 22a 내지 22c는 각각 신호 전위에 따라 발생하는 역 바이어스 전위와 역 바이어스 전압의 크기와의 관계를 나타내는 도다.
- <332> 도 23a 내지 23g는 도 20에 나타난 화소 회로의 구동 동작을 나타내는 타이밍 차트다.
- <333> 도 24 및 도 25는 도 20에 나타난 화소 회로의 구동 상태를 설명하는 회로도다.
- <334> 도 26a 내지 26c는 각각 1 프레임 기간 내의 발광 기간 길이의 비율에 따른 역 바이어스 전위의 설정예를 나타내는 도다.
- <335> 도 27 내지 도 31은 도 20에 나타난 화소 회로의 구동 상태를 설명하는 회로도다.
- <336> 도 32는 본 발명의 실시예 2에 관련된 유기 EL 표시 패널의 구성예를 나타내는 블록도다.
- <337> 도 33은 도 32에 나타난 유기 EL 표시 패널에 있어서의 화소 회로들과 각 구동 회로와의 접속 관계를 설명하는 블록도다.
- <338> 도 34는 본 발명의 실시예 2에 관련된 화소 회로의 구성예를 나타내는 도다.
- <339> 도 35는 본 발명의 실시예 2에 관련된 유기 EL 표시 패널에 있어서의 수평 셀렉터의 구성예를 나타내는 블록도다.
- <340> 도 36a 내지 36e는 도 34에 나타난 화소 회로의 구동 동작을 나타내는 타이밍 차트다.
- <341> 도 37 내지 도 47은 도 34에 나타난 화소 회로의 동작 상태를 설명하는 회로도다.
- <342> 도 48은 본 발명의 실시예 3에 관련된 유기 EL 표시 패널의 구성예를 나타내는 블록도다.
- <343> 도 49는 도 48에 나타난 유기 EL 표시 패널에 있어서의 화소 회로들과 각 구동 회로와의 접속 관계를 설명하는 블록도다.
- <344> 도 50은 본 발명의 실시예 3에 관련된 화소 회로의 구성예를 나타내는 도다.
- <345> 도 51은 본 발명의 실시예 3에 관련된 유기 EL 표시 패널에 있어서의 수평 셀렉터의 구성예를 나타내는 블록도다.
- <346> 도 52a 내지 52e는 도 50에 나타난 화소 회로의 구동 동작을 나타내는 타이밍 차트다.
- <347> 도 53 내지 도 58은 도 50에 나타난 화소 회로의 동작 상태를 설명하는 회로도다.
- <348> 도 59a 내지 도 60b는 각각 이동도 보정을 2단계로 실행할 경우의 효과를 설명하는 그래프다.

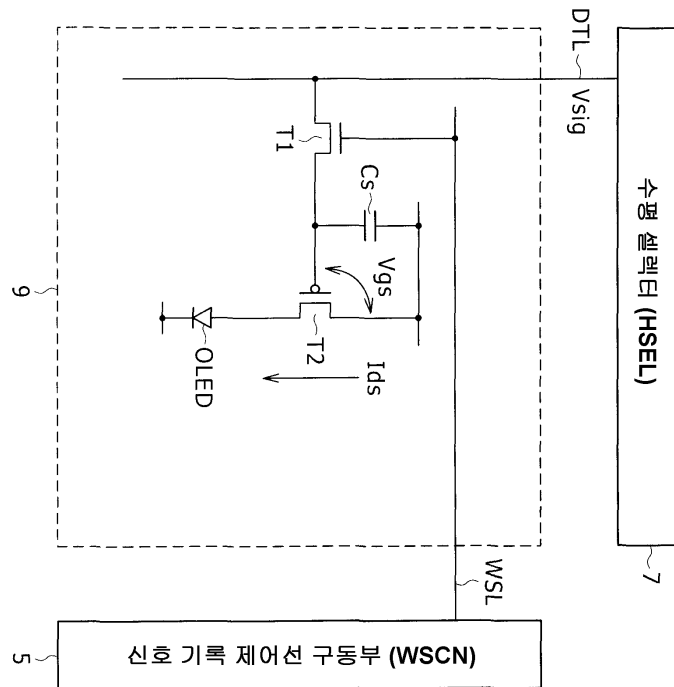
- <349> 도 61은 도 50에 나타낸 화소 회로의 동작 상태를 설명하는 회로도다.
- <350> 도 62는 본 발명의 다른 실시예에 따른 유기 EL 표시 패널의 화소 회로의 구성을 나타내는 도다.
- <351> 도 63은 본 발명의 다른 실시예에 따른 유기 EL 표시 패널에 있어서의 수평 셀렉터의 구성을 나타내는 블록도다.
- <352> 도 64는 본 발명의 또 다른 실시예에 따른 유기 EL 표시 패널에 있어서의 수평 셀렉터의 구성을 나타내는 블록도다.
- <353> 도 65a 및 65b는 이동도 보정을 2단계로 실행할 경우의 실시예 2에 따른 구동 동작을 설명하는 그래프다.
- <354> 도 66a 및 66b는 이동도 보정을 2단계로 실행할 경우의 상세한 설명에 따른 구동 동작을 설명하는 그래프다.
- <355> 도 67은 전자기기의 개념 구성예를 나타내는 블록도다.
- <356> 도 68은 전자기기의 상품예를 나타내는 사시도다.
- <357> 도 69a 및 69b는 각각 전자기기를 앞쪽에서 보았을 때의 다른 상품예를 나타내는 사시도와, 전자기기를 뒤쪽에서 보았을 때의 다른 상품예를 나타내는 사시도다.
- <358> 도 70은 전자기기의 또 다른 상품예를 나타내는 사시도다.
- <359> 도 71a 내지 71g는 각각 전자기기의 또 다른 상품예에 있어서의, 연 상태의 정면도, 연 상태의 측면도, 닫은 상태의 정면도, 닫은 상태의 좌측면도, 닫은 상태의 우측면도, 닫은 상태의 상면도, 닫은 상태의 하면도를 나타낸다.
- <360> 도 72는 전자기기 또 다른 상품예를 나타내는 사시도다.

도면

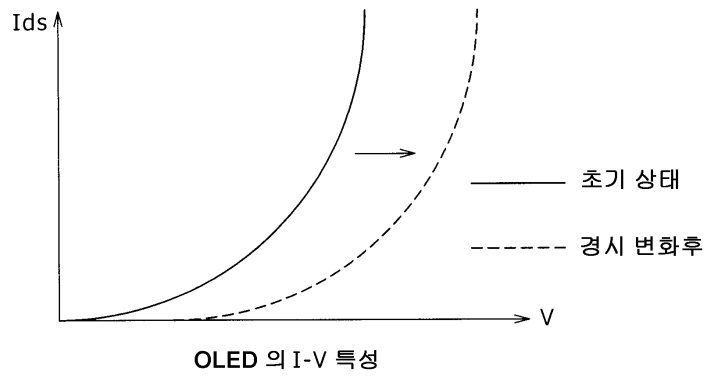
도면1



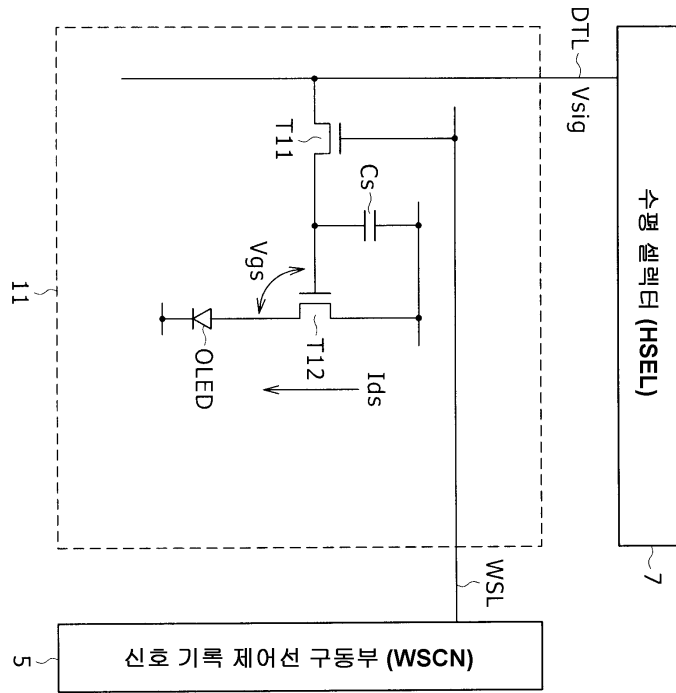
도면2



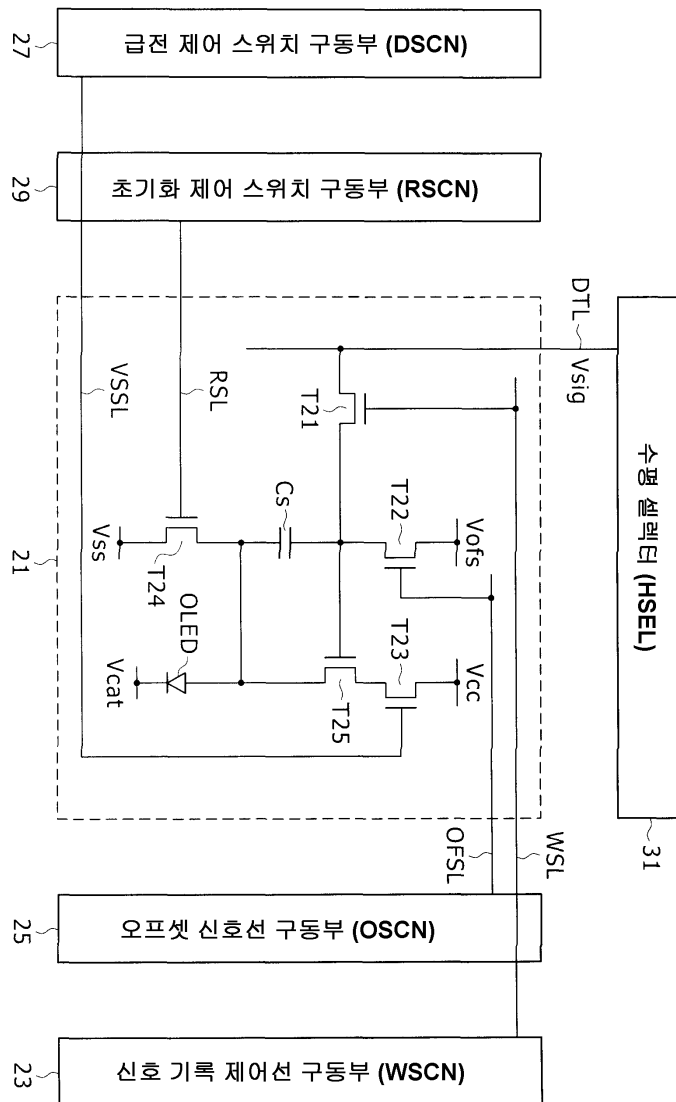
도면3



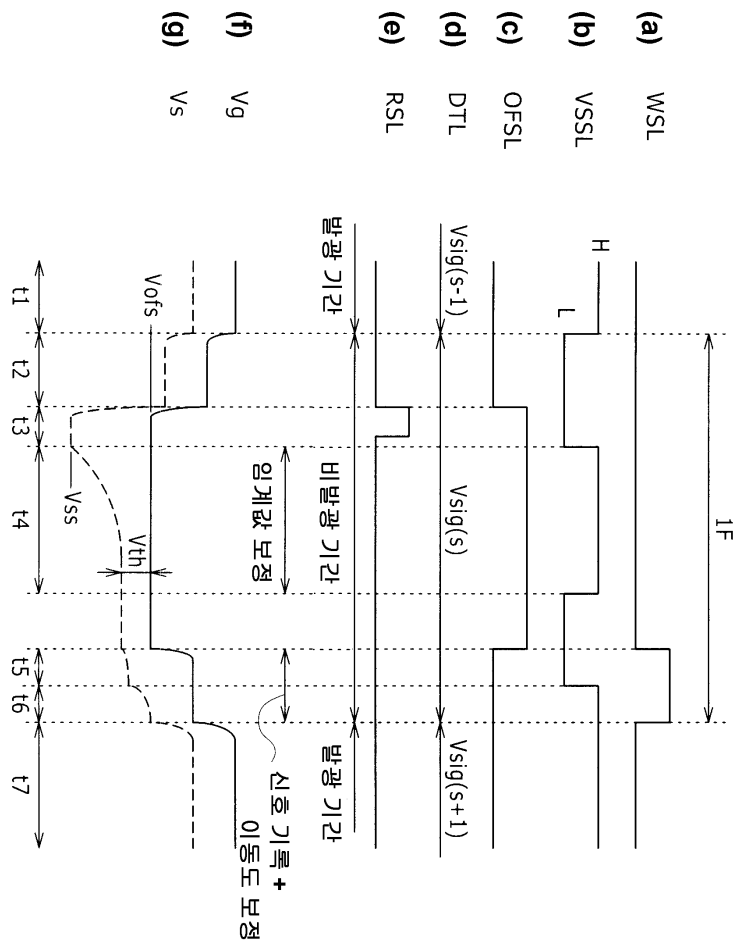
도면4



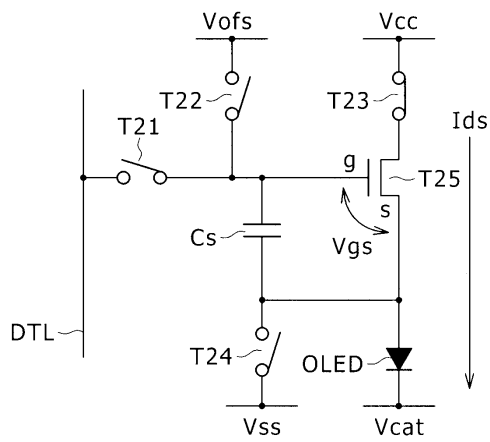
도면5



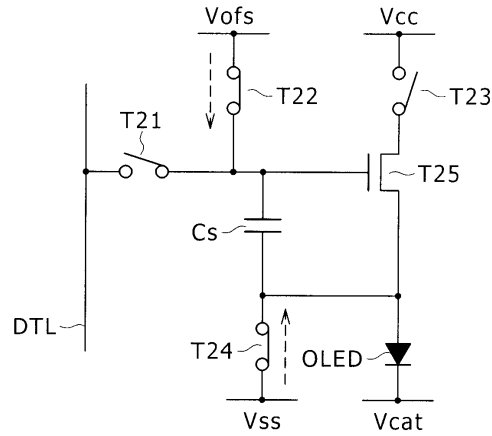
도면6



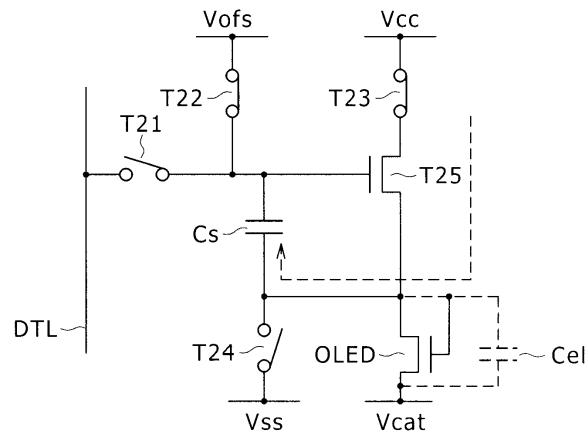
도면7



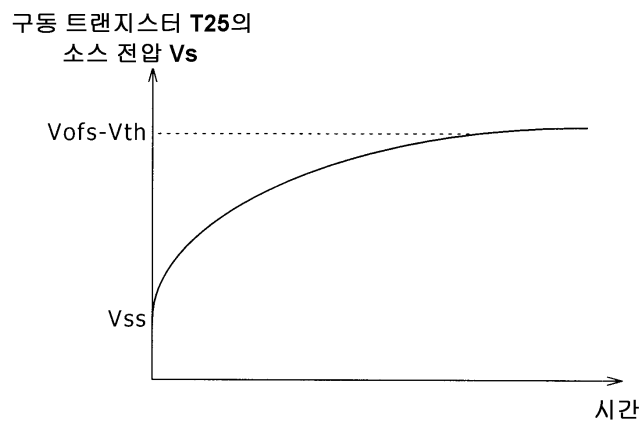
도면8



도면9

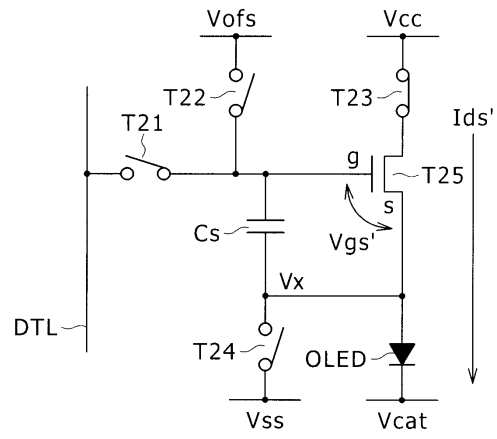


도면10

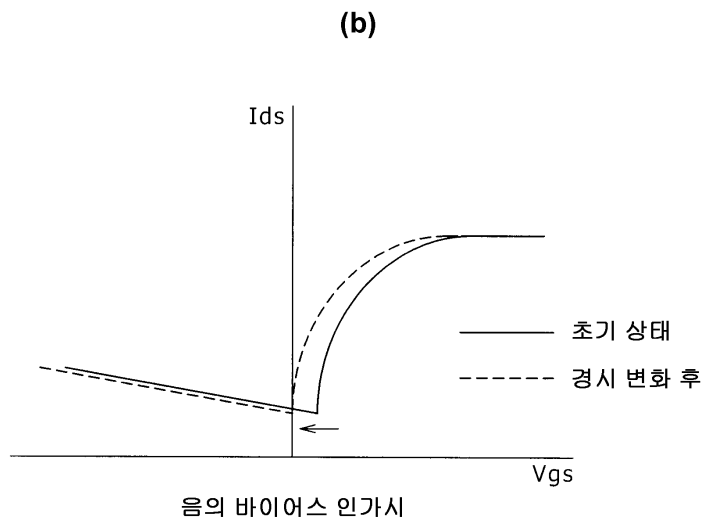
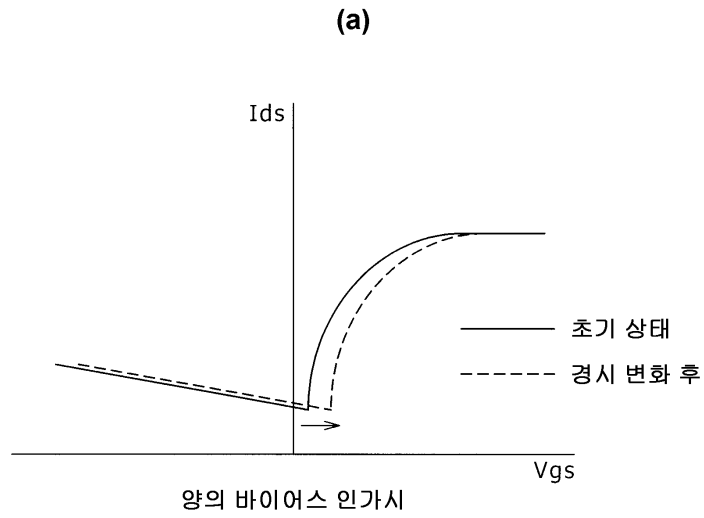




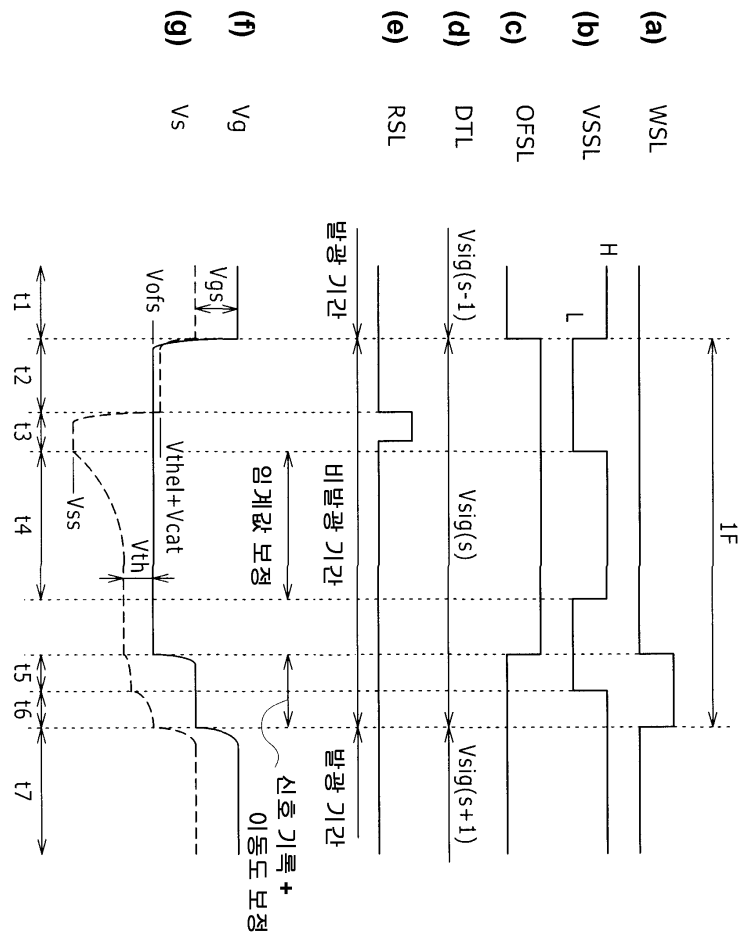
도면14



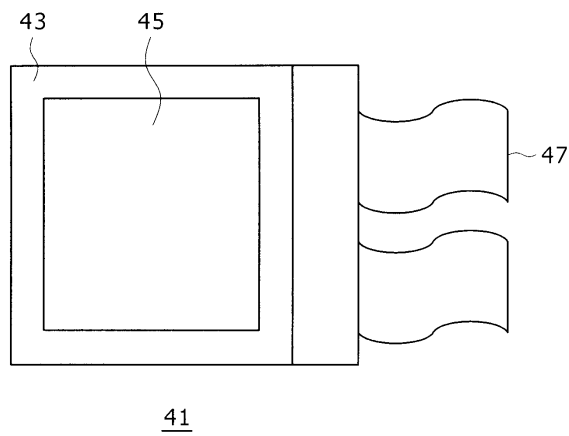
도면15



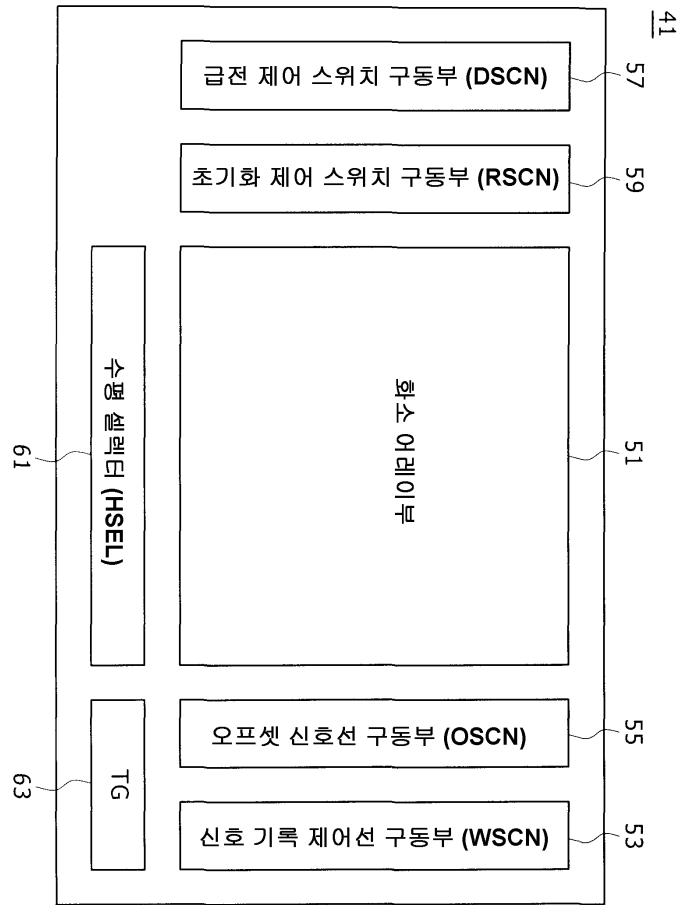
도면16



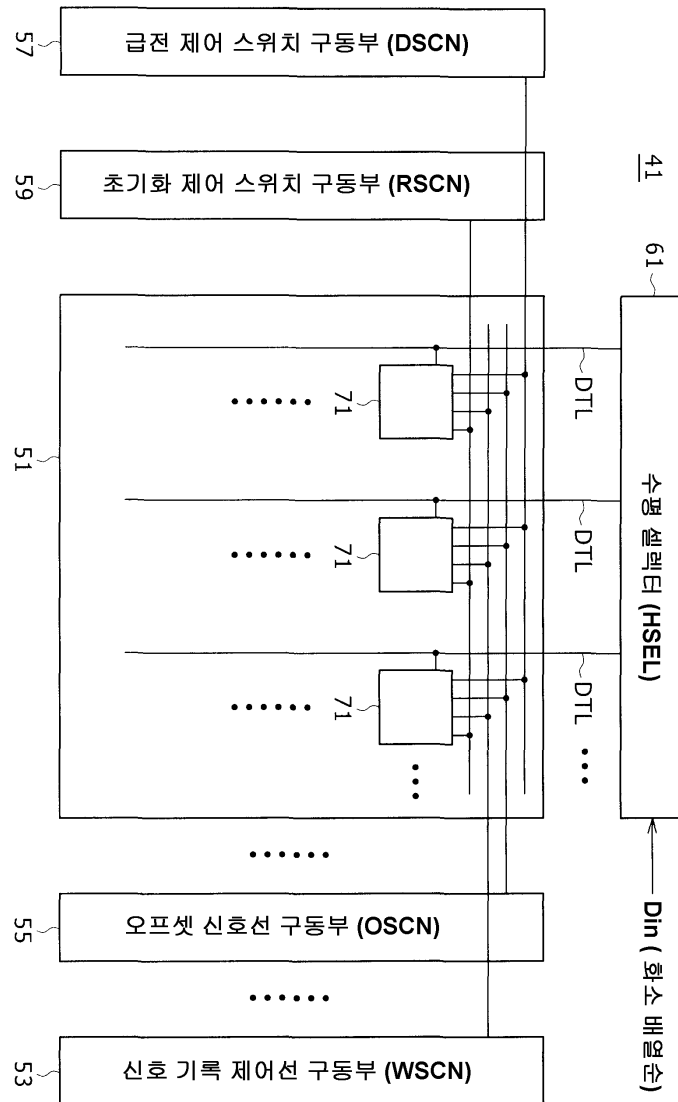
도면17



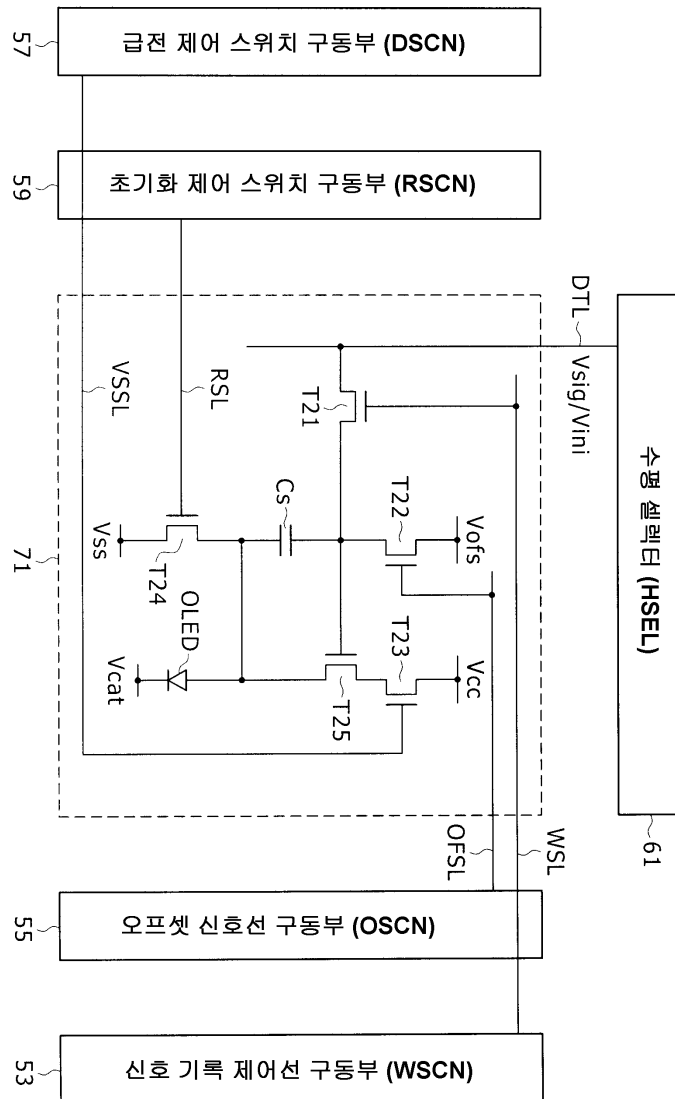
도면18



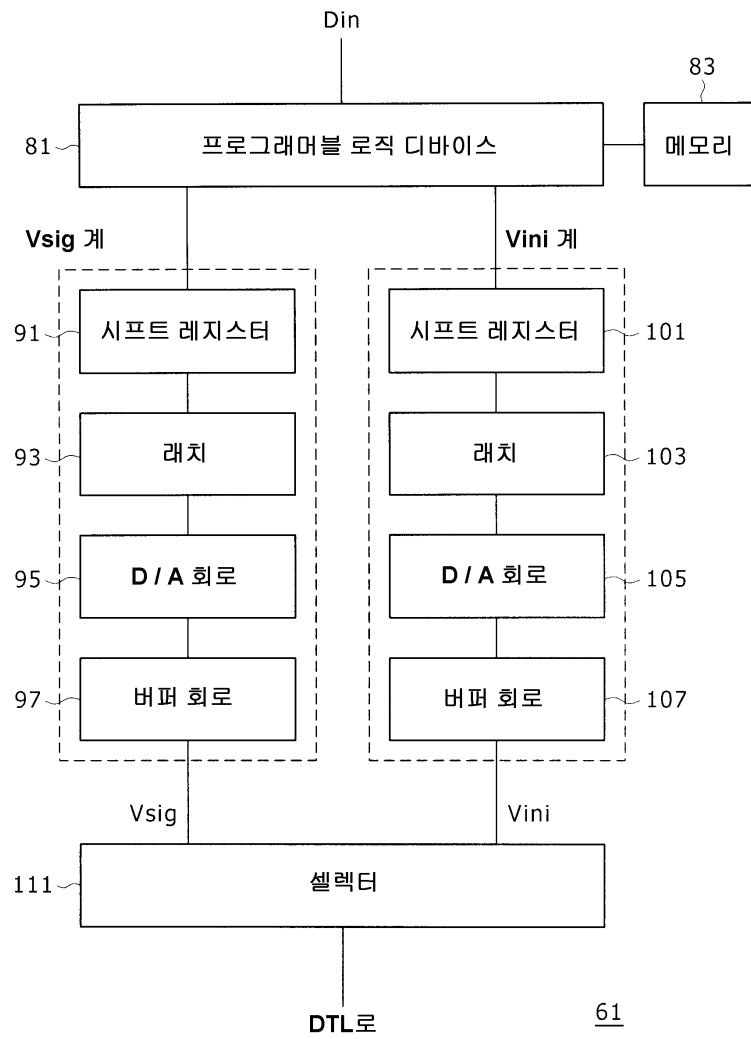
도면19



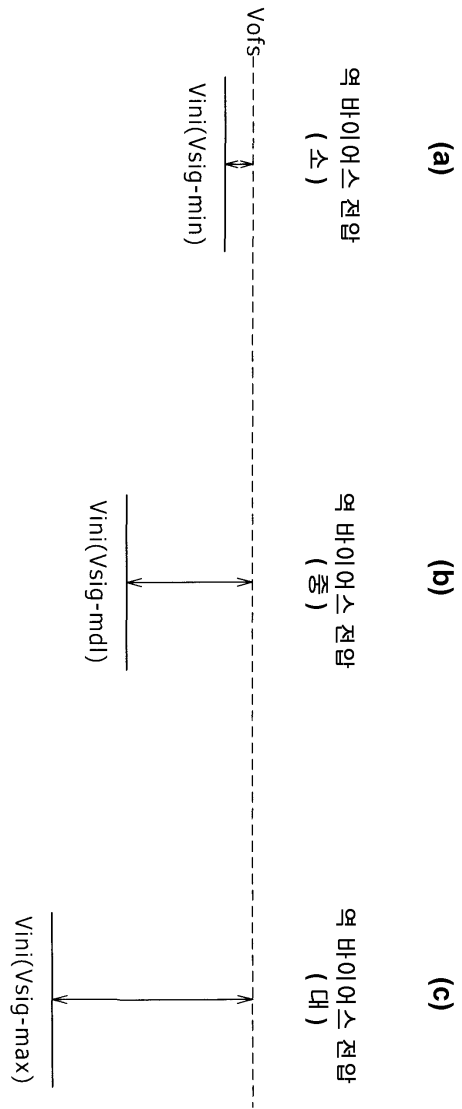
도면20



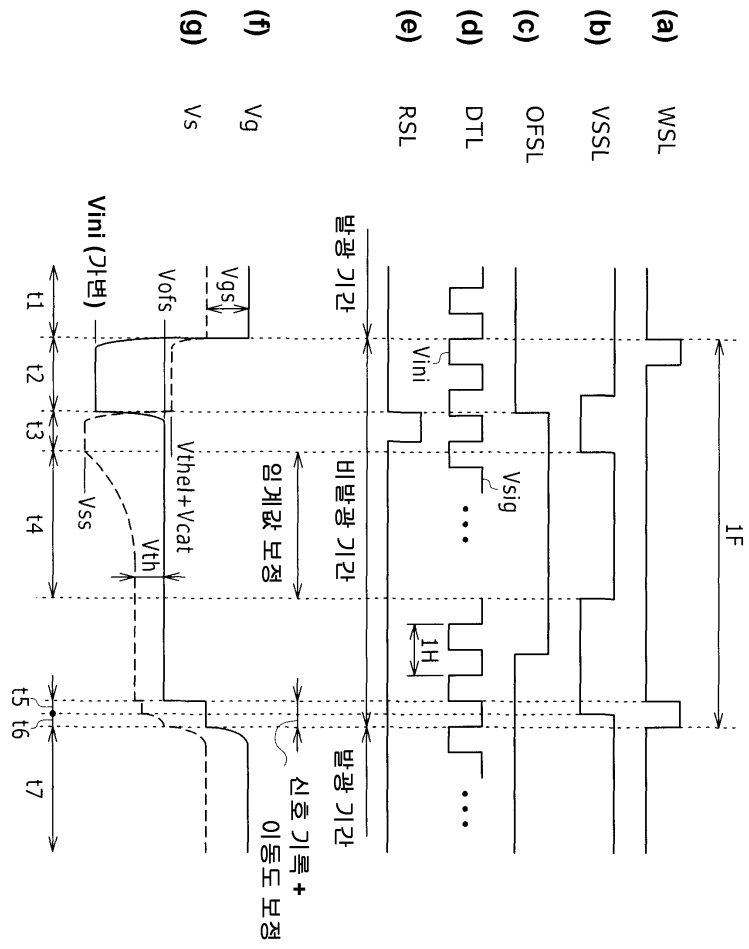
도면21



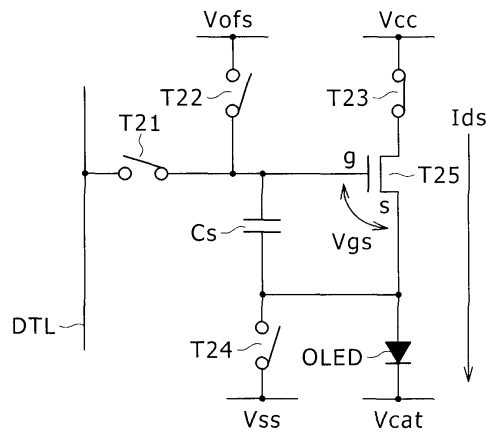
도면22



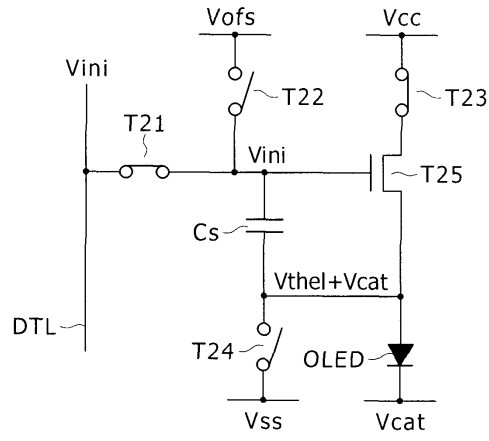
도면23



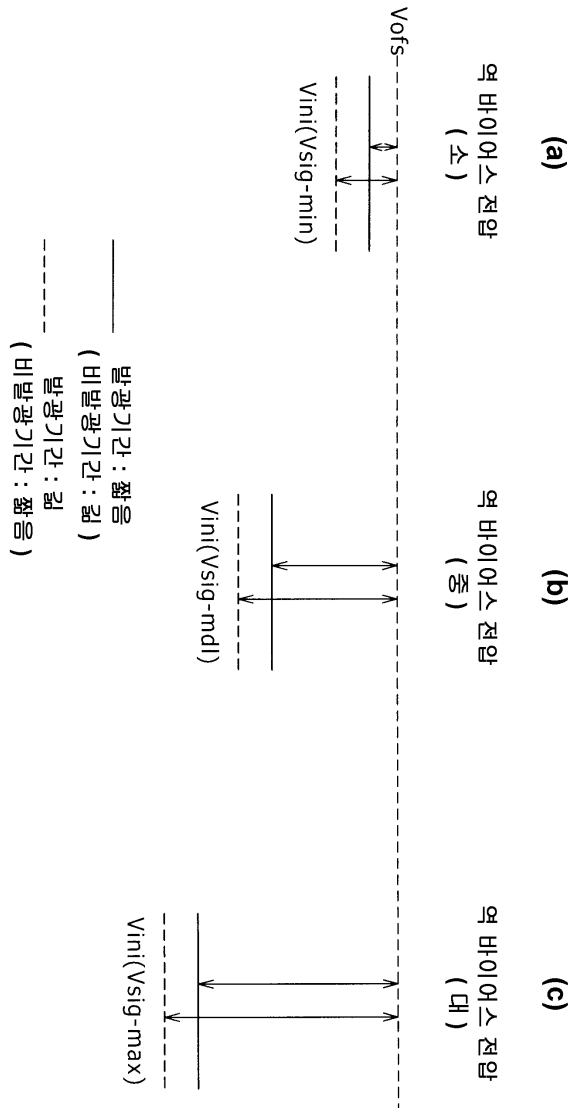
도면24



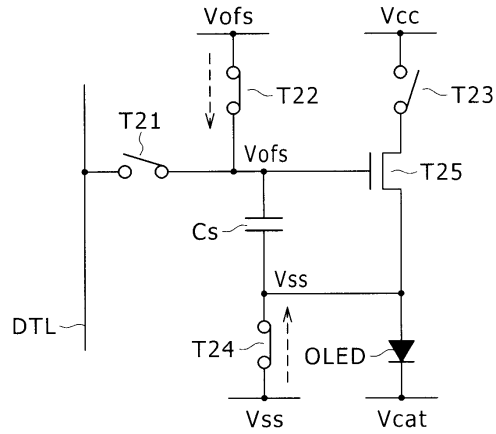
도면25



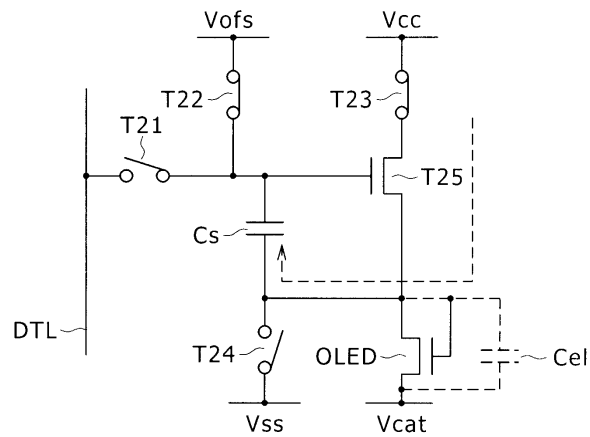
도면26



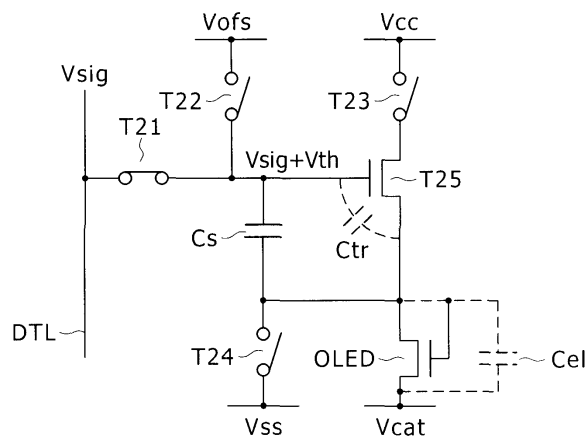
도면27



도면28

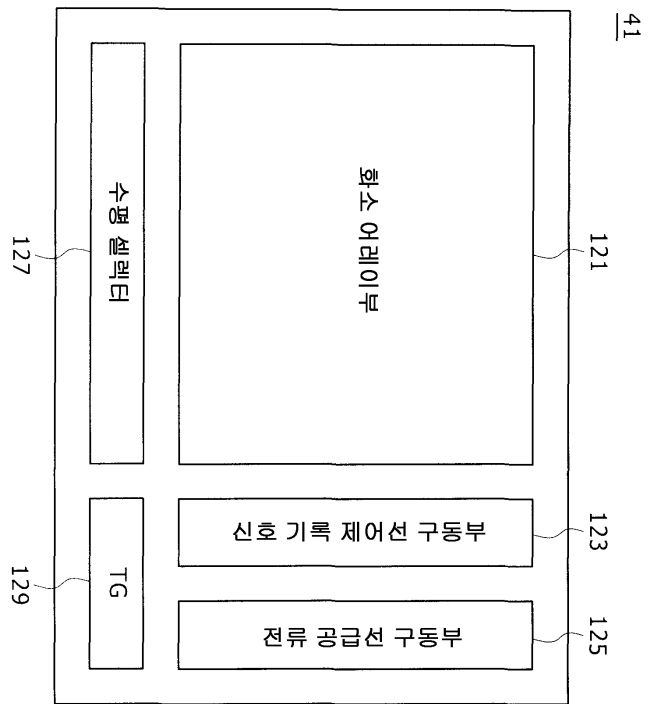


도면29

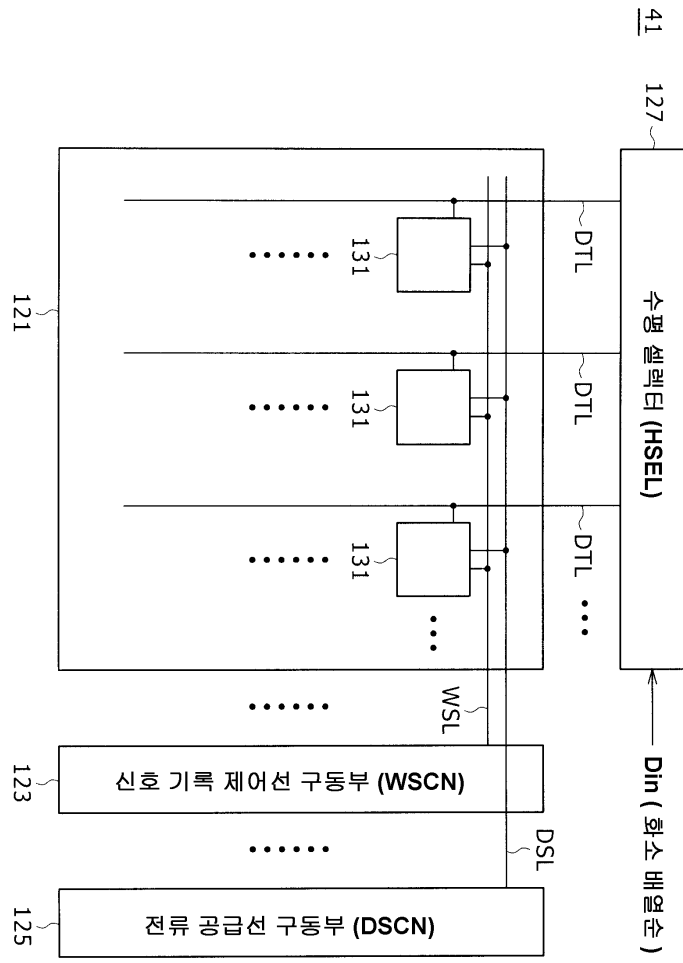




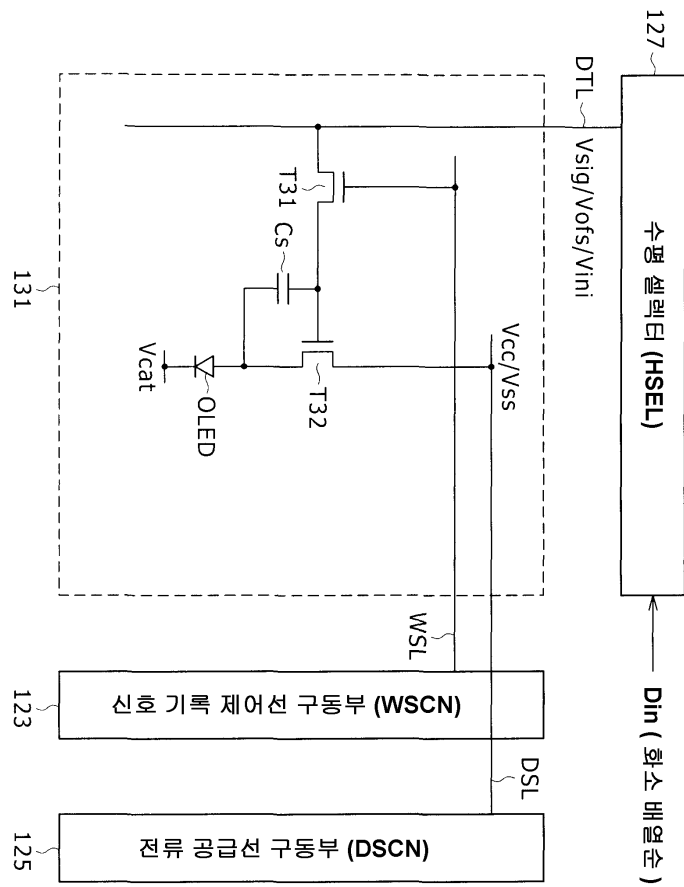
도면32



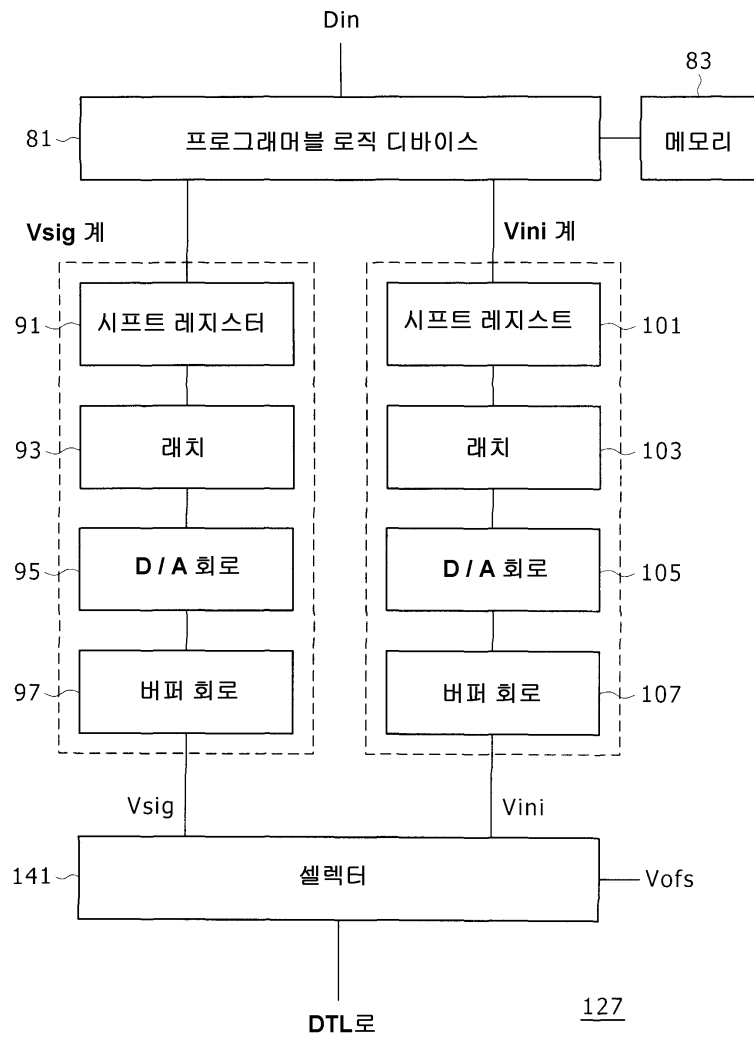
도면33



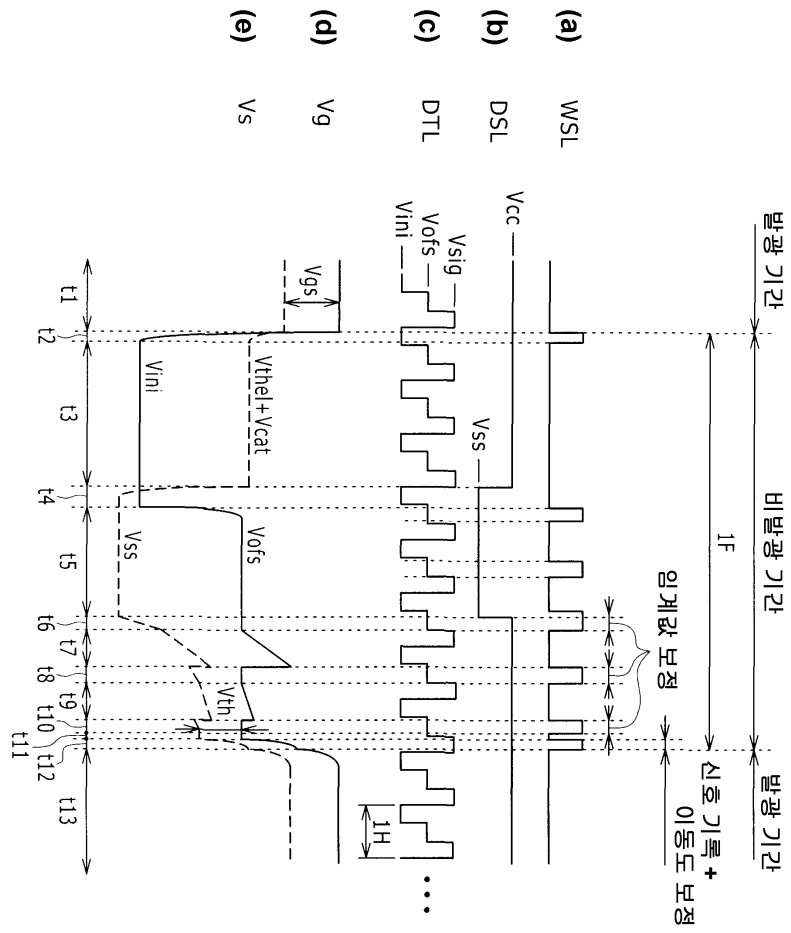
도면34



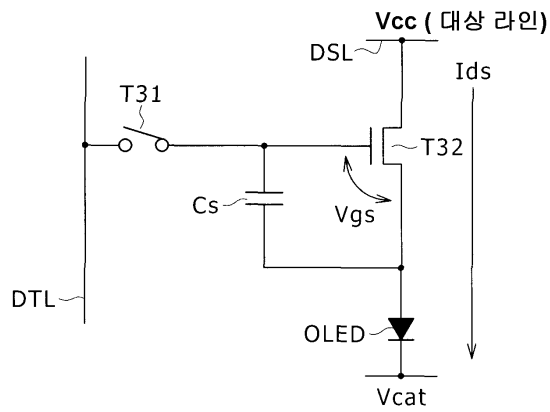
도면35



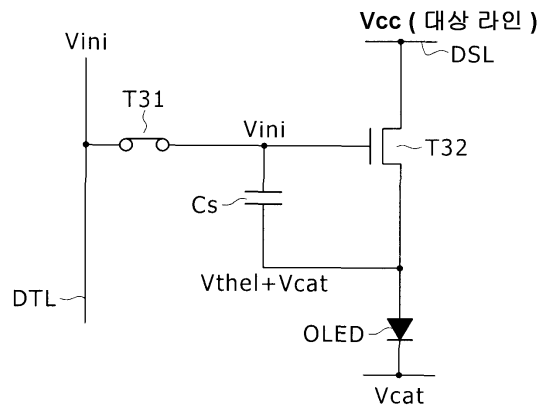
도면36



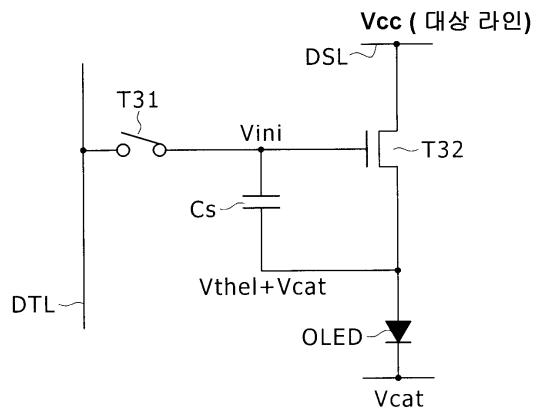
도면37



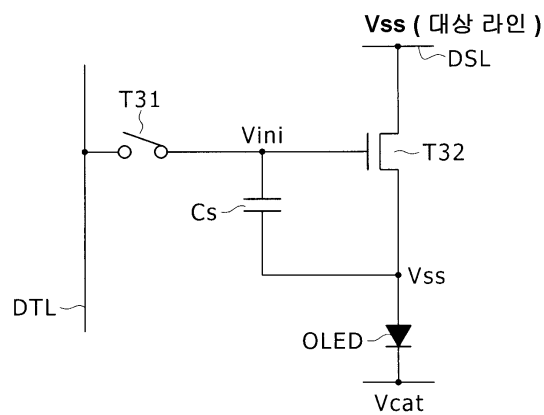
도면38



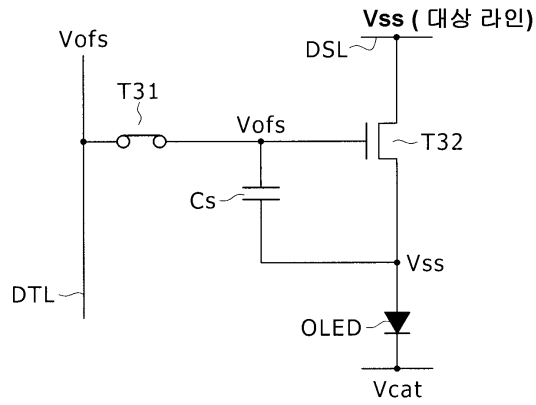
도면39



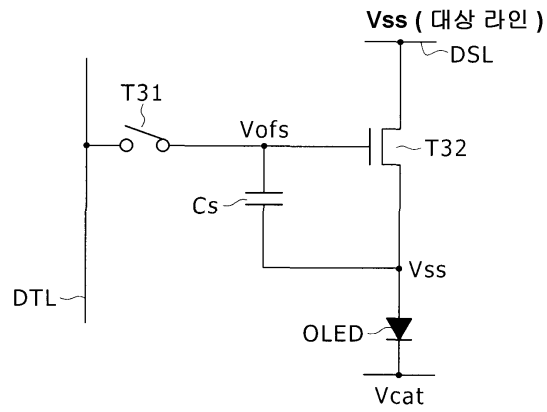
도면40



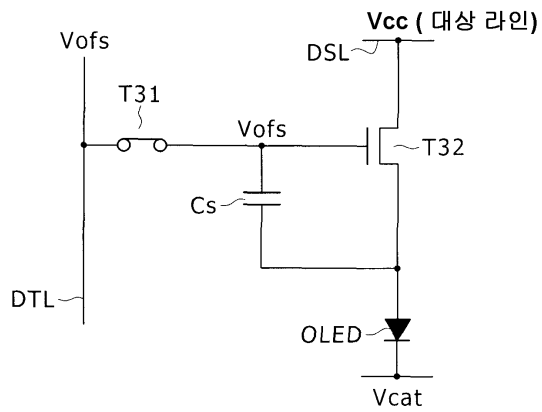
도면41



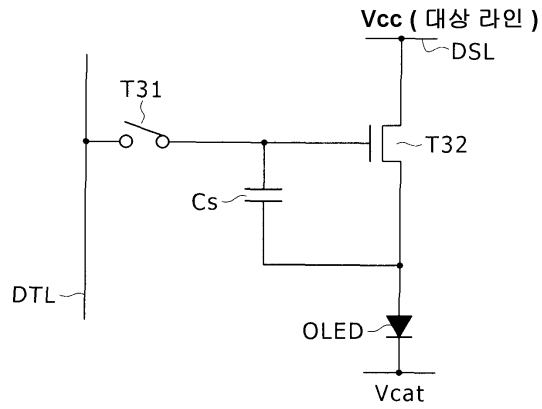
도면42



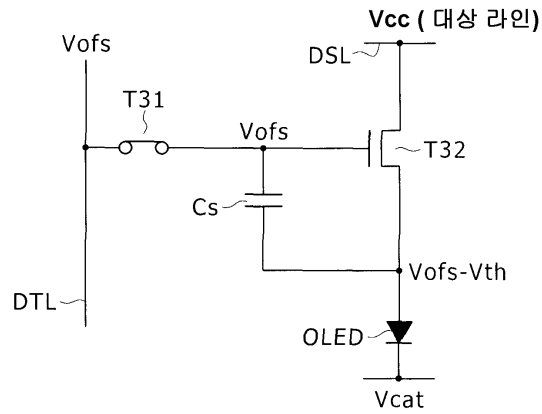
도면43



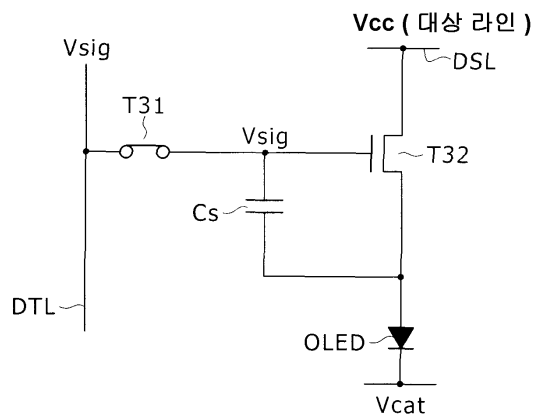
도면44



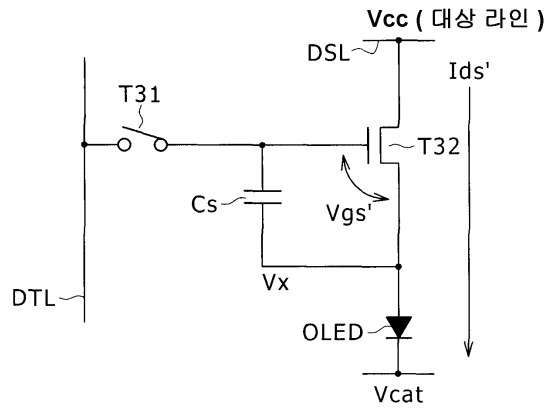
도면45



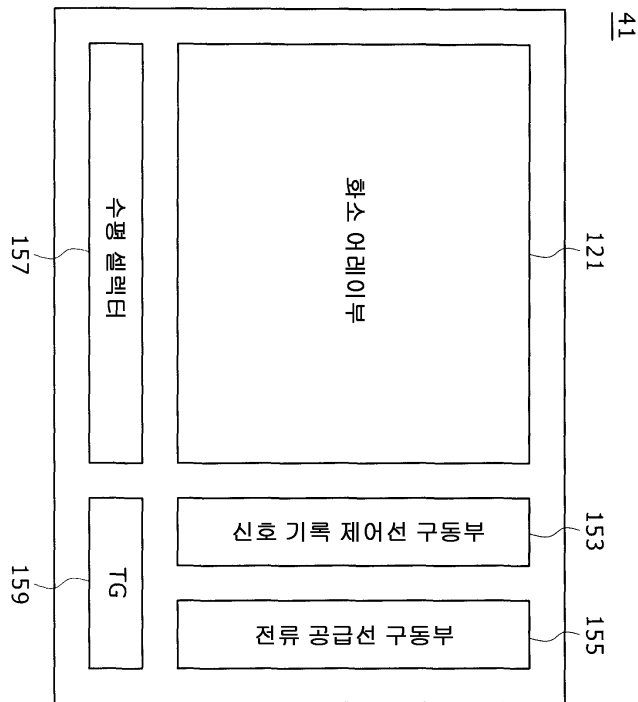
도면46



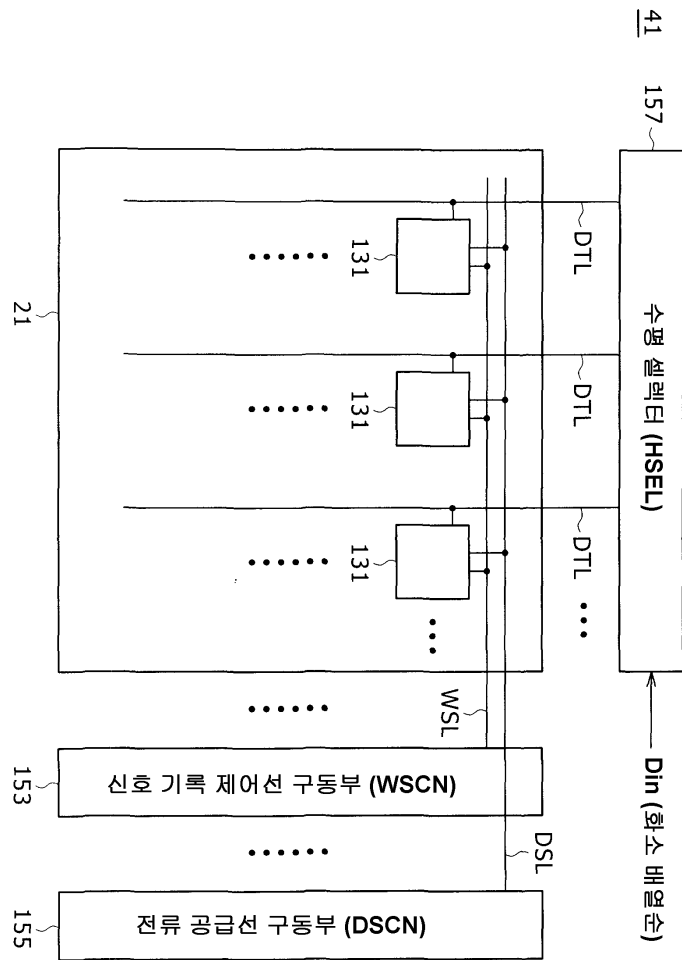
도면47



도면48

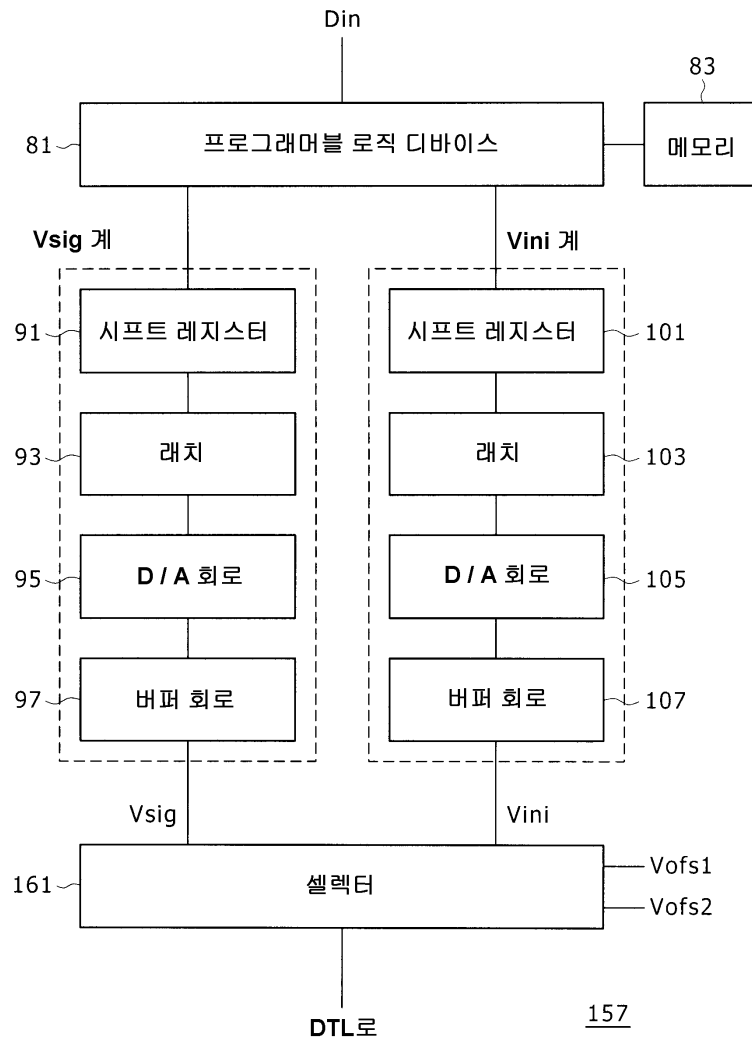


도면49

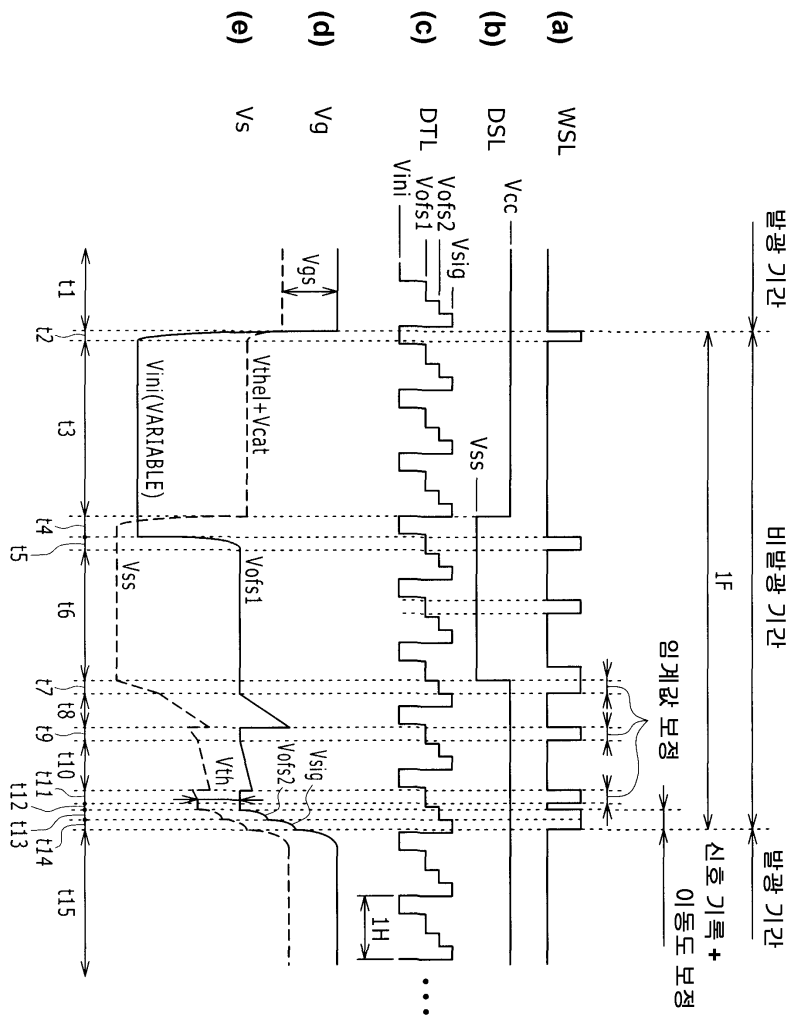




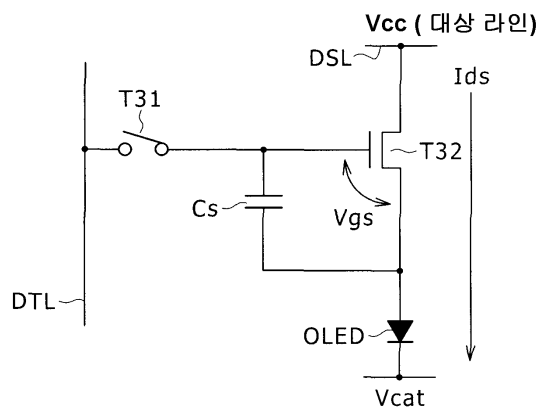
도면51



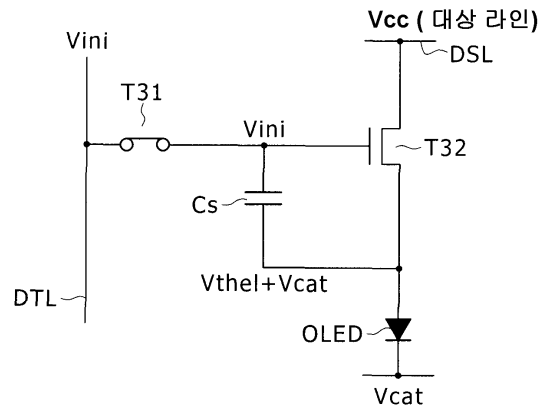
도면52



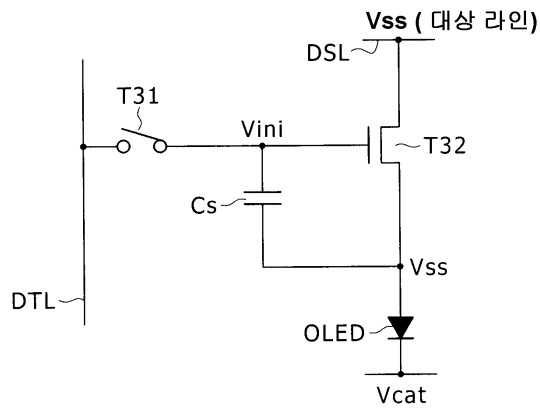
도면53



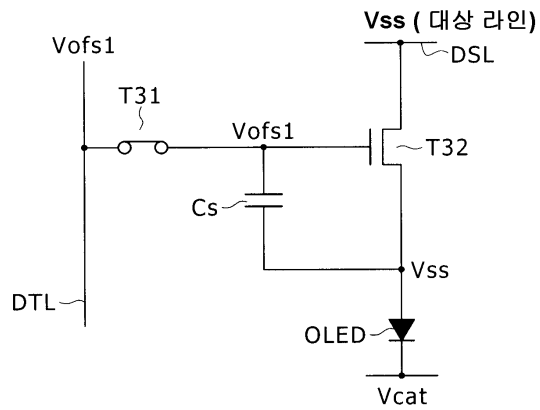
도면54



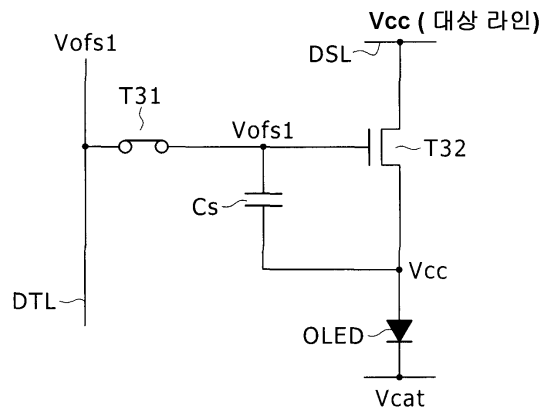
도면55



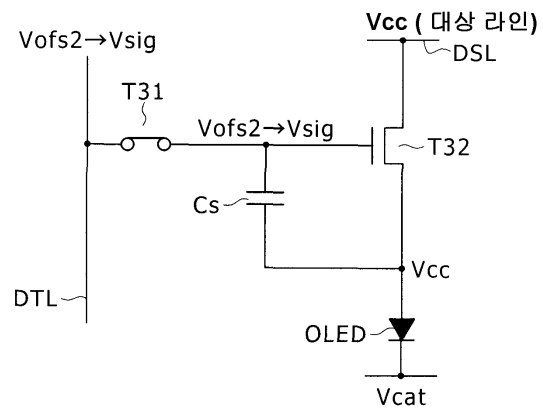
도면56



도면57

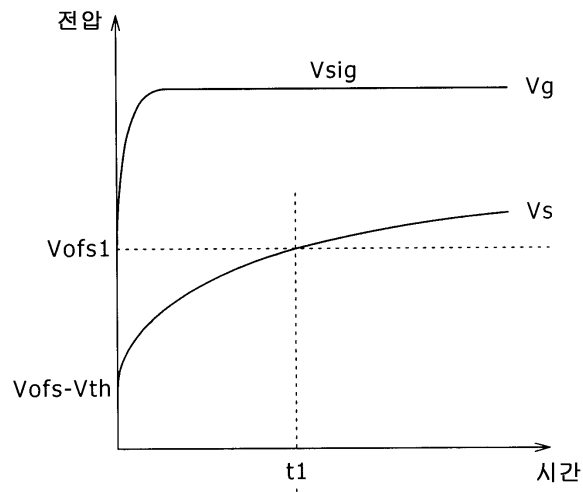


도면58

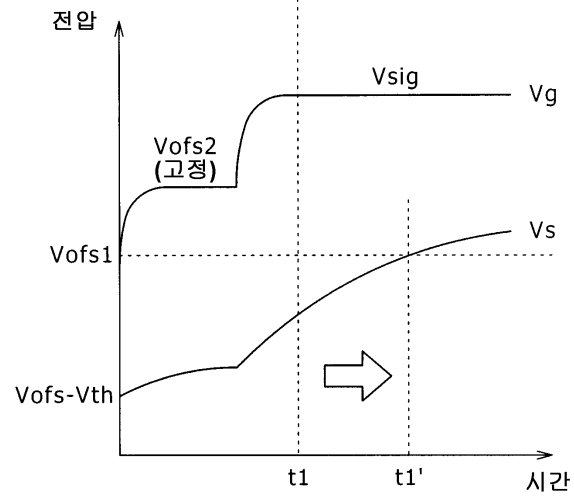


도면59

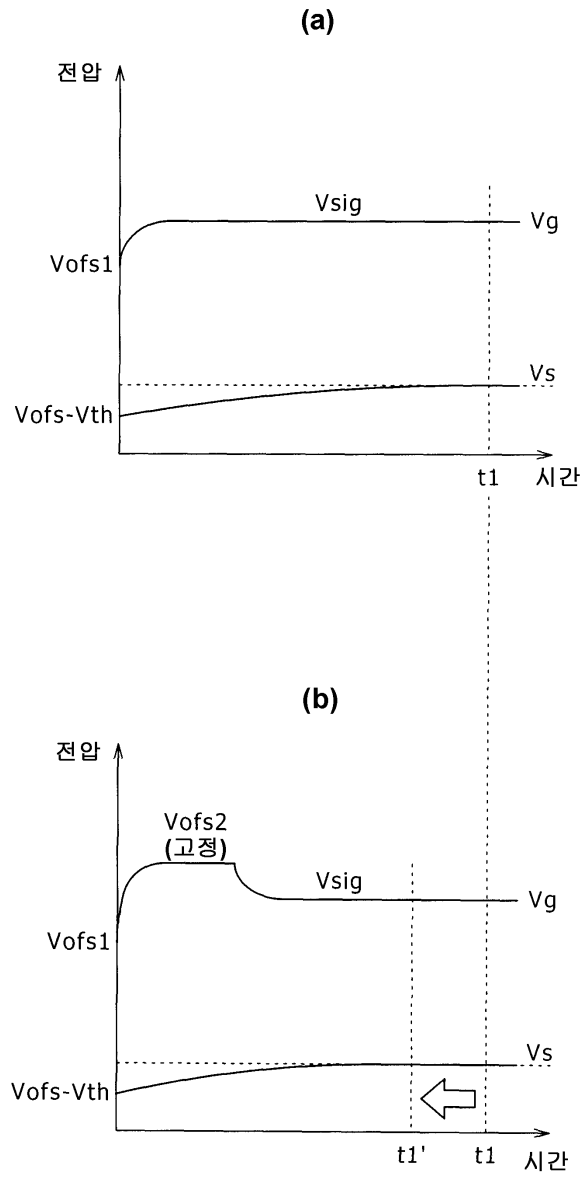
(a)



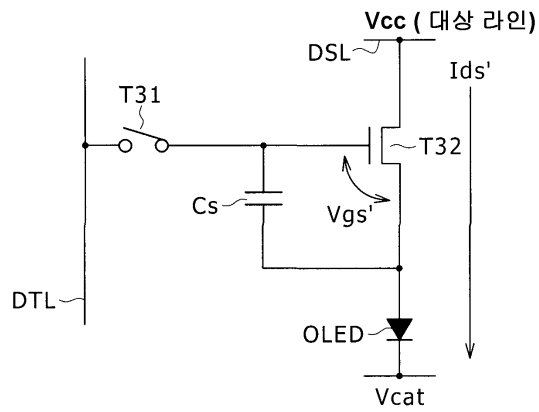
(b)



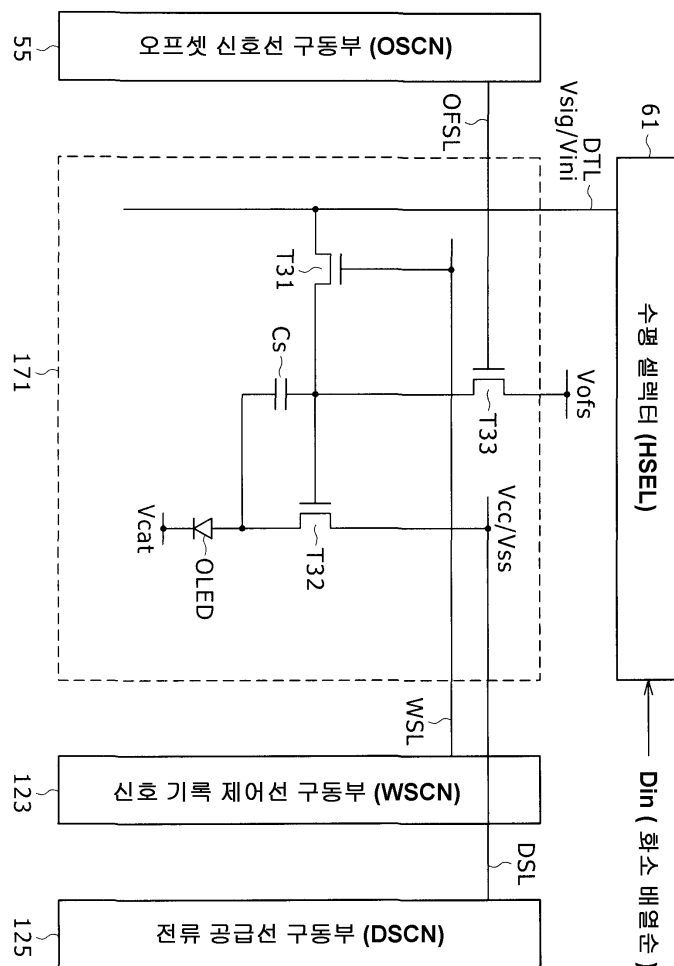
도면60



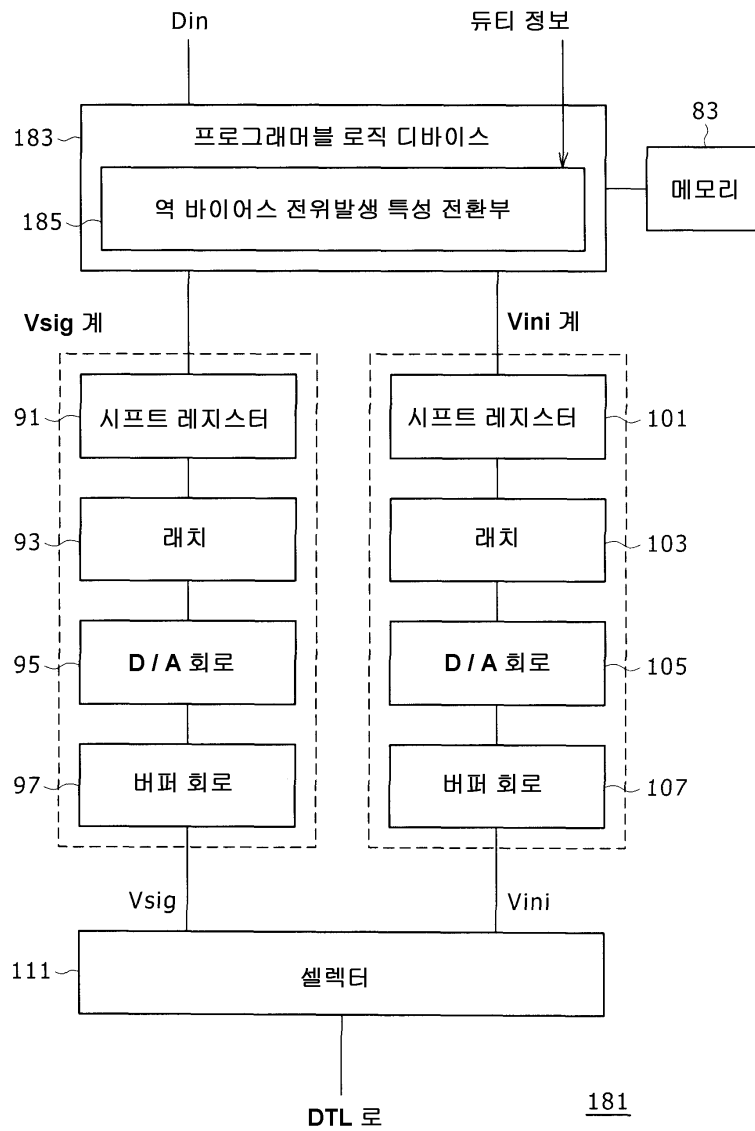
도면61



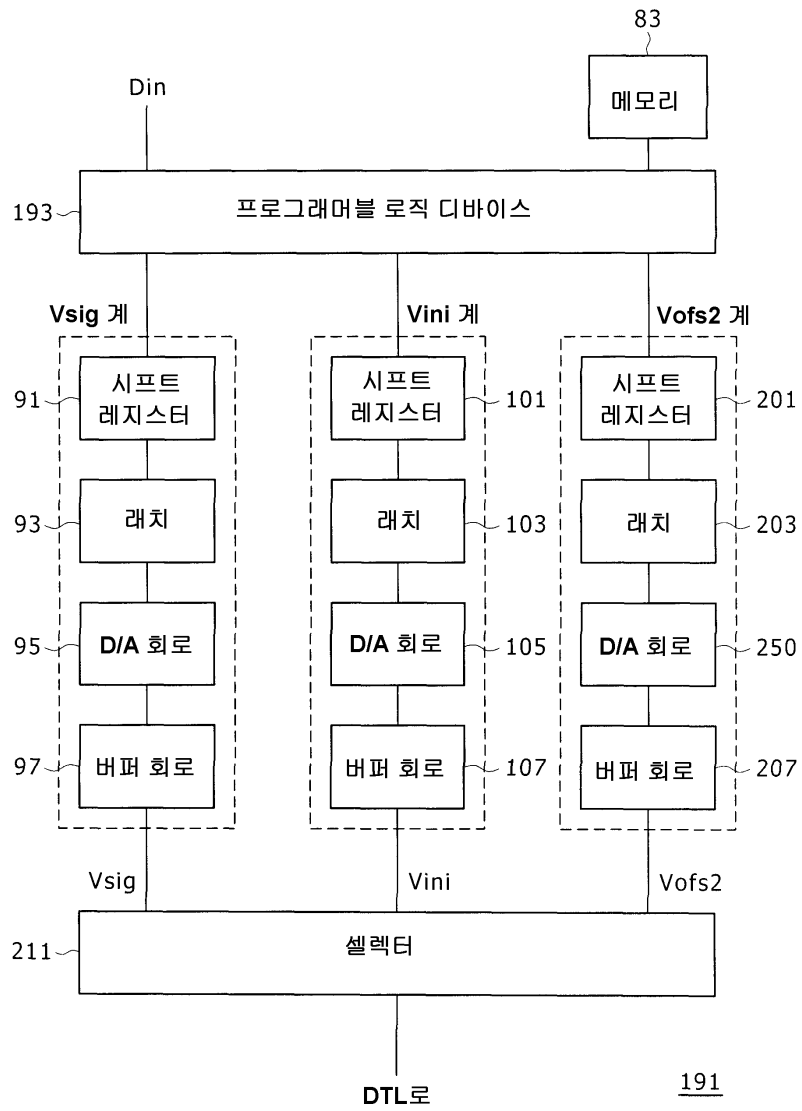
도면62



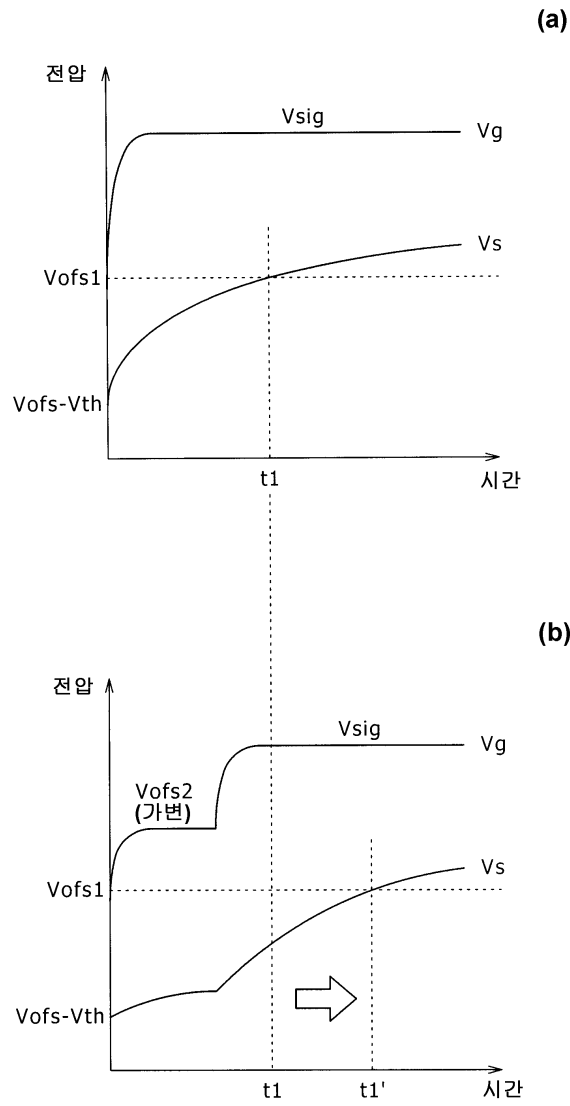
도면63



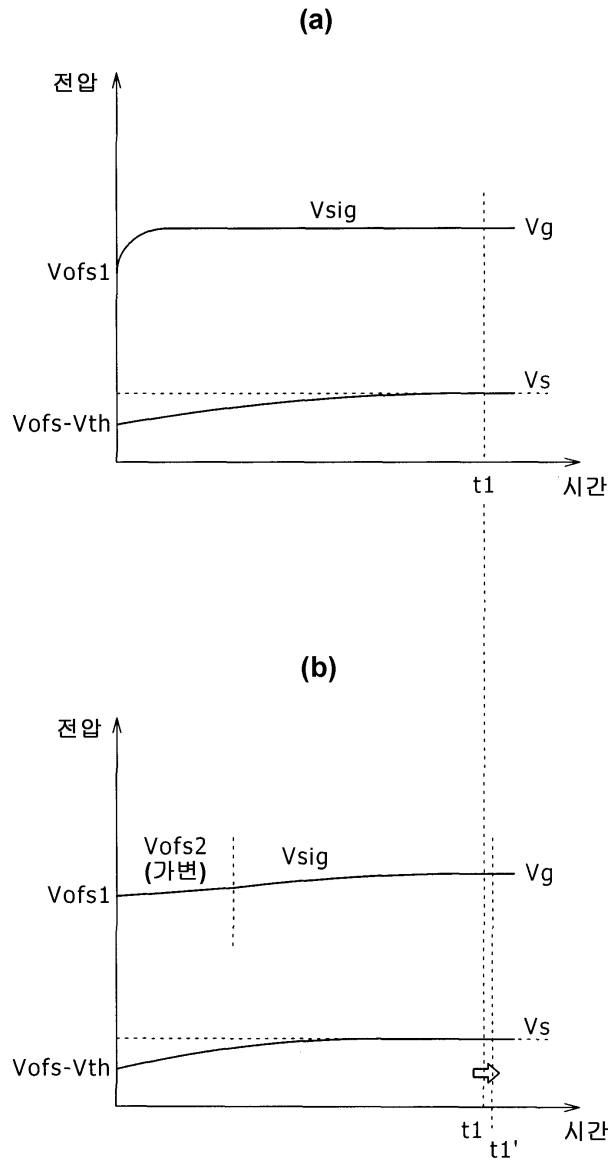
도면64



도면65

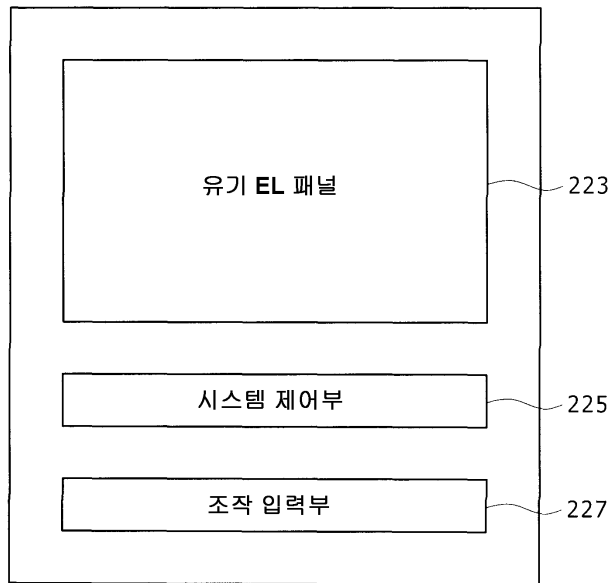


도면66

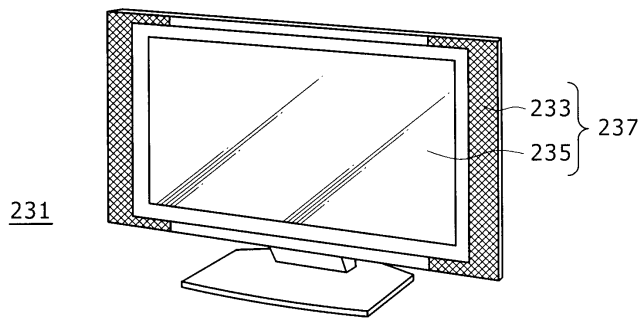


도면67

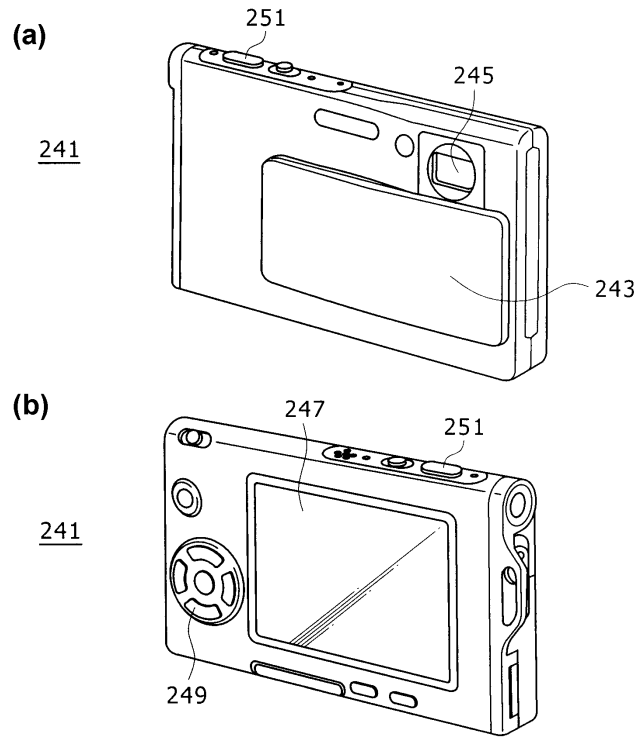
221



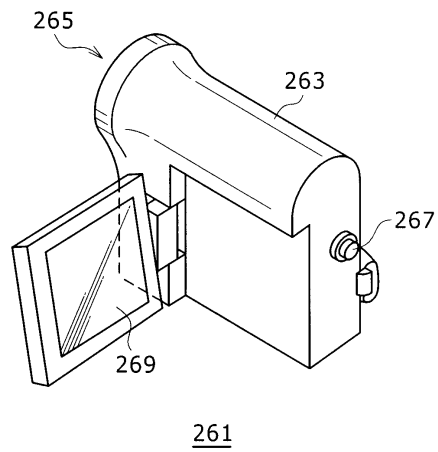
도면68



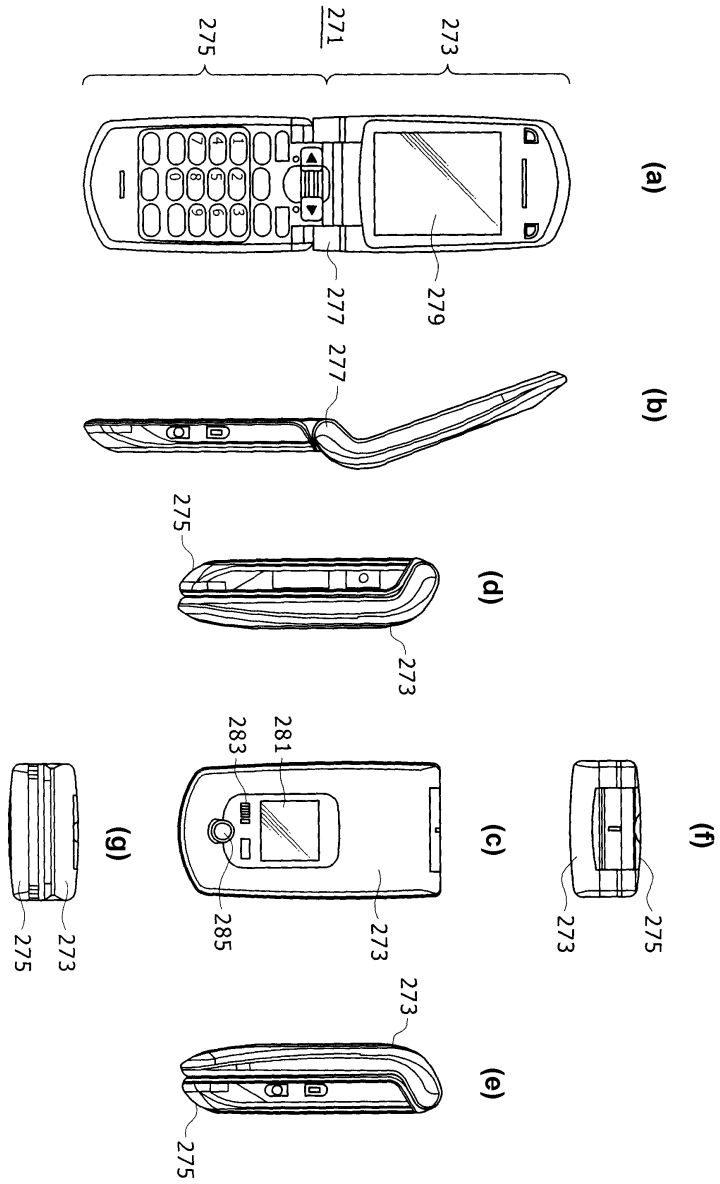
도면69



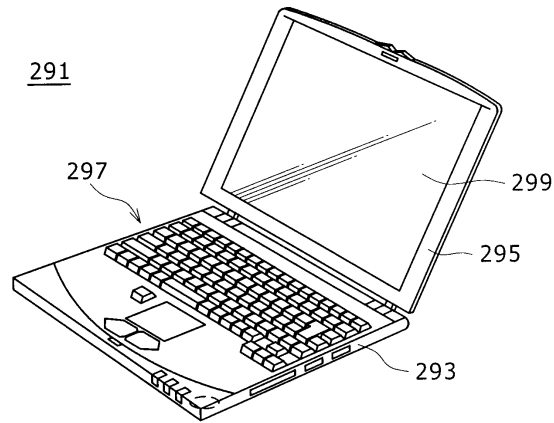
도면70



도면71



도면72



专利名称(译)	EL显示面板，电子设备和EL显示面板的驱动方法		
公开(公告)号	<a href="#">KR1020090093826A</a>	公开(公告)日	2009-09-02
申请号	KR1020090014727	申请日	2009-02-23
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YAMAMOTO TETSURO 야마모토테츠로 UCHINO KATSUHIDE 우치노카쓰히데		
发明人	야마모토테츠로 우치노카쓰히데		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2320/045 G09G2320/0233 G09G3/3233 G09G2300/0819		
代理人(译)	LEE HWA我		
优先权	2008047180 2008-02-28 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种EL显示面板，其配备有反向偏置电位发生器，以及电压施加部分，其授权包括在非发光时段中操作的像素电路的驱动晶体管的栅电极中的反向偏置电位。反向偏置电位发生器产生反向偏置电位，该反向偏置电位是EL显示板，并且反映了每个像素的灰度级，该像素结构对应于有源矩阵操作方法。EL显示器件，灰度级，栅极电极，阈值电压。

