



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0088083  
(43) 공개일자 2008년10월02일

(51) Int. Cl.

H01L 29/786 (2006.01) H01L 27/04 (2006.01)

(21) 출원번호 10-2007-0030478

(22) 출원일자 2007년03월28일

심사청구일자 2007년03월28일

(71) 출원인

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김종윤

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(74) 대리인

박상수

전체 청구항 수 : 총 12 항

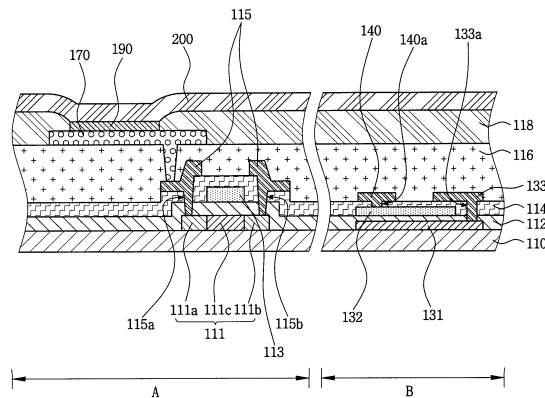
**(54) 평판 표시장치 및 그 제조방법**

**(57) 요약**

본 발명은 평판 표시장치 및 그 제조방법에 관한 것으로, 유기발광소자와 박막 트랜지스터가 형성되는 제1영역과 캐패시터(Cst)가 형성되는 제2영역을 구비하는 평판표시장치에서 상기 제2영역 상의 캐패시터 제3전극의 면적을 감소시켜서 제 1 전원전압라인과 캐패시터 제3전극사이의 간격을 확보하고, 캐패시터 제1전극의 면적을 증가시켜서 상기 캐패시터 제3전극의 면적 감소에 따른 캐패시터(Cst)의 용량을 보상할 수 있다.

따라서, 상기 캐패시터(Cst)의 용량은 일정하게 유지되면서도 캐패시터 제3전극의 면적은 감소시켜서 제 1 전원전압라인과의 쇼트발생에 따른 구동 시 발생하는 암점불량을 방지할 수 있다.

**대표도** - 도2e



**특허청구의 범위**

**청구항 1**

유기 발광소자와 박막 트랜지스터가 형성되는 제1영역과 캐패시터가 형성되는 제2영역을 구비하는 기관;  
 상기 기관 상의 제1영역에 소스/드레인 영역을 포함하며 형성되는 반도체층;  
 상기 반도체층과 동일층상의 제2영역에 형성되는 캐패시터 제1전극;  
 상기 기관 전면에 형성되는 게이트 절연막;  
 상기 게이트 절연막 상의 제1영역에 형성되며, 상기 반도체층의 일정영역과 대응되는 게이트 전극;  
 상기 게이트 전극과 동일층상의 제2영역에 형성되는 캐패시터 제2전극;  
 상기 기관 전면에 형성되는 층간 절연막;  
 상기 층간 절연막 상의 제1영역에 형성되며, 상기 반도체층과 제1 및 제2콘택홀을 통해 연결되는 소스/드레인 전극;  
 상기 소스/드레인 전극과 동일 층상의 제2영역에 형성되며, 상기 캐패시터 제2전극과 제3콘택홀을 통해 연결되는 제 1 전원전압라인; 및

상기 소스/드레인 전극과 동일 층상의 제2영역에 형성되며, 상기 캐패시터 제1전극과 제4콘택홀을 통해 연결되고 상기 캐패시터 제1전극과 면적이 상이한 캐패시터 제3전극을 포함하는 것을 특징으로 하는 평판 표시장치.

**청구항 2**

제1항에 있어서,  
 상기 캐패시터 제1전극은 상기 반도체층과 동일한 물질로 형성되는 것을 특징으로 하는 평판 표시장치.

**청구항 3**

제1항에 있어서,  
 상기 캐패시터 제2전극은 상기 게이트 전극과 동일한 물질로 형성되는 것을 특징으로 하는 평판 표시장치.

**청구항 4**

제1항에 있어서,  
 상기 제 1 전원전압라인은 상기 소스/드레인 전극과 동일한 물질로 형성되는 것을 특징으로 하는 평판 표시장치.

**청구항 5**

제1항에 있어서,  
 상기 캐패시터 제3전극은 상기 소스/드레인 전극과 동일한 물질로 형성되는 것을 특징으로 하는 평판 표시장치.

**청구항 6**

제1항에 있어서,  
 상기 캐패시터 제2전극과 대응되는 캐패시터 제1전극과 캐패시터 제3전극은  $W \times 2$  만큼의 면적차이를 갖는 것을 특징으로 하는 평판 표시장치.

**청구항 7**

유기 발광소자와 박막 트랜지스터가 형성되는 제1영역과 캐패시터가 형성되는 제2영역을 구비하는 기관을 위치 하고;

상기 기관상의 제1영역에 반도체층을 형성함과 동시에 상기 기관상의 제2영역에 캐패시터 제1전극을 형성하고;

상기 기관 전면에 게이트 절연막을 형성하고;

상기 게이트 절연막 상의 제1영역에 상기 반도체층의 일정영역과 대응되는 게이트 전극을 형성함과 동시에 상기 게이트 절연막 상의 제2영역에 상기 캐패시터 제1전극의 일정영역과 대응되는 캐패시터 제2전극을 형성하고;

상기 반도체층에 불순물을 이온주입하여 소스/드레인 영역을 형성하고;

상기 기관 전면에 층간 절연막을 형성하고;

상기 층간 절연막상에서 상기 소스/드레인 영역을 각각 노출시키는 제1 및 제2콘택홀을 형성함과 동시에 상기 캐패시터 제1전극 및 캐패시터 제2전극을 각각 노출시키는 제3 및 제4콘택홀을 형성하고;

상기 층간 절연막상의 제1영역에 상기 제1 및 제2콘택홀 통해 상기 소스/드레인 영역과 연결되는 소스/드레인 전극을 형성함과 동시에 상기 층간 절연막상의 제2영역에 상기 제3콘택홀을 통해 연결되는 제 1 전원전압라인과 상기 제4콘택홀을 통해 연결되며 상기 캐패시터 제1전극과 면적이 상이한 캐패시터 제3전극을 형성하는 것을 특징으로 하는 평판표시장치 제조방법.

#### 청구항 8

제7항에 있어서,

상기 캐패시터 제1전극은 상기 반도체층과 동일한 물질로 형성하는 것을 특징으로 하는 평판표시장치 제조방법.

#### 청구항 9

제7항에 있어서,

상기 캐패시터 제2전극은 상기 게이트 전극과 동일한 물질로 형성하는 것을 특징으로 하는 평판표시장치 제조방법.

#### 청구항 10

제7항에 있어서,

상기 제 1 전원전압라인은 상기 소스/드레인 전극과 동일한 물질로 형성하는 것을 특징으로 하는 평판표시장치 제조방법.

#### 청구항 11

제7항에 있어서,

상기 캐패시터 제3전극은 상기 소스/드레인 전극과 동일한 물질로 형성하는 것을 특징으로 하는 평판표시장치 제조방법.

#### 청구항 12

제7항에 있어서,

상기 캐패시터 제2전극과 대응되는 캐패시터 제1전극과 캐패시터 제3전극은  $W \times 2$  만큼의 면적차이를 갖는 것을 특징으로 하는 유기 전계 발광 표시장치 제조방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 평판 표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 제1캐패시터와 제2캐패시터를 구비하는 캐패시터의 캐패시터 제1전극과 캐패시터 제3전극의 상이한 면적에 관한 것이다.

- <13> 일적으로, 상기 유기 전계 발광 표시장치는 발광성 유기화합물을 전기적으로 여기시켜 발광하게 하는 자발광 표시장치으로써, 매트릭스 형태로 배치된 화소들을 구동하는 방식에 따라서, 수동 매트릭스 방식과 능동 매트릭스 방식으로 나눈다.
- <14> 상기 능동 매트릭스 방식의 유기 전계 발광 표시장치는 박막 트랜지스터를 구비하여 상기 수동 매트릭스 방식의 유기 전계 발광 표시장치에 비해 전력소모가 적어 대면적 구현에 적합하다.
- <15> 이러한, 능동 매트릭스 방식의 유기 전계 발광표시장치의 구비되는 박막트랜지스터 및 캐패시터의 개수는 반드시 일정개수로 한정되는 것은 아니며, 보상회로를 추가하기 위하여 더 많은 수의 박막 트랜지스터 및 캐패시터를 구비할 수도 있다.
- <16> 도 1은 종래 기술에 의한 유기 전계 발광표시장치의 단면도이다.
- <17> 도 1을 참조하면, 유기발광소자와 박막 트랜지스터가 형성되는 제1영역(a)과 캐패시터가 형성되는 제2영역(b)을 구비하는 기판(10)상에 비정질 실리콘층을 형성하는데, 상기 비정질 실리콘층은 결정화하여 다결정 실리콘층으로 형성한다.
- <18> 상기 다결정 실리콘층으로 결정화한 후에는 상기 다결정 실리콘층을 일정패턴으로 패터닝하여 제1영역(a)에 반도체층(11)을 형성하고, 제2영역(b)에 캐패시터 제1전극(31)을 형성한다.
- <19> 이어서, 상기 기판 전면에 게이트 절연막(12)을 형성하고, 상기 게이트 절연막(12) 상에 게이트 메탈층을 증착한다. 상기 게이트 메탈층을 패터닝하여 제1영역(a)에 상기 반도체층(11)의 일정영역에 대응되는 게이트 전극(13)을 형성한다.
- <20> 상기 게이트 전극(11)을 형성함과 동시에 제2영역(b)의 게이트 절연막(12) 상에서도 상기 게이트 메탈층을 패터닝하여 캐패시터 제1전극(31)의 일정영역에 대응되는 캐패시터 제2전극(32)을 형성한다.
- <21> 이어서, 상기 반도체층(11)에 N형 또는 P형 불순물 중 어느 하나를 이온주입하여 소스/드레인 영역(11a, 11b)를 형성한다. 이 때, 상기 반도체층(11)의 소스/드레인 영역(11a, 11b)의 사이에는 채널영역(11c)이 형성된다.
- <22> 이어서, 상기 기판 전면에 층간 절연막(14)을 형성한 후, 제1영역(a)에서는 상기 층간 절연막(14)과 게이트 절연막(12)을 식각하여 상기 반도체층(11)의 소스/드레인 영역(11a, 11b) 일부를 노출시키는 제1콘택홀(15a)과 제2콘택홀(15b)을 각각 형성하고, 제2영역(b)에서는 캐패시터 제2전극(32) 일부를 노출시키는 제3콘택홀(40a)과 캐패시터 제1전극(31) 일부를 노출시키는 제4콘택홀(33a)을 형성한다.
- <23> 이어서, 상기 층간 절연막(14) 상에 소스/드레인 메탈층을 증착하고, 제1영역(a)의 상기 소스/드레인 메탈층을 일정패턴으로 패터닝하여 제1콘택홀(15a)과 제2콘택홀(15b)을 통해 반도체층(11)의 소스/드레인 영역(11a, 11b)과 각각 연결되는 소스/드레인 전극(15)을 형성한다.
- <24> 이와 동시에, 제2영역(b)에서도 제3콘택홀(40a)를 통해 캐패시터 제2전극(32)과 연결되는 제 1 전원전압라인(40)과 제4콘택홀(33b)를 통해 캐패시터 제1전극(31)과 연결되는 캐패시터 제3전극(33)을 형성한다.
- <25> 상기 캐패시터 제1전극(31)과 캐패시터 제2전극(32)은 제1캐패시터를 구성하는데, 상기 캐패시터 제1전극은(31) 제1캐패시터의 하부전극이며, 상기 캐패시터 제2전극(32)은 제1캐패시터의 상부전극이 된다. 이와 동시에 상기 캐패시터 제2전극(32)과 캐패시터 제3전극(33)으로 제2캐패시터를 구성하는데, 이 때, 상기 캐패시터 제2전극(32)이 제2 캐패시터의 하부전극이 되고, 캐패시터 제3전극(33)이 제2캐패시터의 상부전극이 되어 캐패시터를 구성한다.
- <26> 이 때, 상기 캐패시터 제1전극(31)과 캐패시터 제3전극(33)의 면적은 동일하여, 상기 캐패시터 제3전극(33)과 상기 캐패시터 제2전극(32)의 대응되는 면적  $S_2$ 와 상기 캐패시터 제2전극(32)과 상기 캐패시터 제1전극(31)의 대응되는 면적  $S_1$ 의 면적도 동일하다.
- <27> 따라서, 제1캐패시터와 제2캐패시터의 전극사이의 유전율과 거리가 동일하다면, 캐패시터 용량도 동일하게 된다.
- <28> 이어서, 상기 기판 상부 전면에 보호막(16)을 형성하는데, 이 때, 상기 기판 상의 단차를 완화하기 위하여 유기물로 이루어지는 평탄화막(미도시)을 구비할 수도 있다.
- <29> 이 때, 제1영역(a) 상에는 상기 보호막(16) 또는 평탄화막을 관통하는 비아 홀을 통해서, 상기 소스/드레인 전

극(15) 중 어느 하나와 전기적으로 연결되는 화소 전극(17)을 형성한다.

- <30> 이어서, 상기 화소 전극(17)의 일부 영역을 노출시키는 개구부를 구비하는 화소 정의막(18)을 형성한다. 상기 개구부로 노출된 화소 전극(17)상에는 유기 발광층을 포함하는 유기막층(19)을 형성하고, 상기 기판 상부 전면에 대해 전극(20)을 형성하여 유기 전계 발광 표시장치를 구현할 수 있다.
- <31> 그런데, 상기 캐패시터 제3전극(33)과 제 1 전원전압라인(40) 사이의 간격은 캐패시터의 용량을 증대하기 위하여 캐패시터 제3전극(33)의 면적을 크게 형성하기 때문에 상대적으로 5um이내로 좁게 형성하게 된다.
- <32> 이러한, 좁은 배선간격은 패터닝 공정 시 상기 캐패시터 제3전극(33)과 제 1
- <33> 전원전압라인(40) 사이에서 쇼트를 야기할 수 있다.
- <34> 따라서, 상기 캐패시터가 쇼트되고, 결국 박막트랜지스터의 게이트와 소스전극 사이의 전압(Vgs)이 0이 되어 전류가 흐르지 않게 되어 유기 전계 발광표시 장치의 구동 시 암점불량을 발생시킨다.

**발명이 이루고자 하는 기술적 과제**

- <35> 따라서, 본 발명은 상기와 같은 종래 기술의 제반 문제점을 해결하기 위한 것으로, 캐패시터(Cst)의 용량은 유지하면서도 캐패시터 제3전극의 면적을 감소시켜 제 1 전원전압라인과의 캐패시터 제3전극 사이의 쇼트 불량을 방지하는데 그 목적이 있다.

**발명의 구성 및 작용**

- <36> 본 발명의 상기 목적은 유기발광소자와 박막 트랜지스터가 형성되는 제1영역과 캐패시터가 형성되는 제2영역을 구비하는 기판;
- <37> 상기 기판 상의 제1영역에 소스/드레인 영역을 포함하며 형성되는 반도체층;
- <38> 상기 반도체층과 동일층상의 제2영역에 형성되는 캐패시터 제1전극;
- <39> 상기 기판 전면에 형성되는 게이트 절연막;
- <40> 상기 게이트 절연막 상의 제1영역에 형성되며, 상기 반도체층의 일정영역과 대응되는 게이트 전극;
- <41> 상기 게이트 전극과 동일층상의 제2영역에 형성되는 캐패시터 제2전극;
- <42> 상기 기판 전면에 형성되는 층간 절연막;
- <43> 상기 층간 절연막 상의 제1영역에 형성되며, 상기 반도체층과 제1 및 제2콘택홀을 통해 연결되는 소스/드레인 전극;
- <44> 상기 소스/드레인 전극과 동일 층상의 제2영역에 형성되며, 상기 캐패시터 제2전극과 제3콘택홀을 통해 연결되는 제 1 전원전압라인; 및
- <45> 상기 소스/드레인 전극과 동일 층상의 제2영역에 형성되며, 상기 캐패시터 제1전극과 제4콘택홀을 통해 연결되고 상기 캐패시터 제1전극과 면적이 상이한 캐패시터 제3전극을 포함하는 것을 특징으로 하는 평판 표시 장치에 의해 달성된다.
- <46> 또한, 유기 발광소자와 박막 트랜지스터가 형성되는 제1영역과 캐패시터가 형성되는 제2영역을 구비하는 기판을 위치하고;
- <47> 상기 기판상의 제1영역에 반도체층을 형성함과 동시에 상기 기판상의 제2영역에 캐패시터 제1전극을 형성하고;
- <48> 상기 기판 전면에 게이트 절연막을 형성하고;
- <49> 상기 게이트 절연막 상의 제1영역에 상기 반도체층의 일정영역과 대응되는 게이트 전극을 형성함과 동시에 상기 게이트 절연막 상의 제2영역에 상기 캐패시터 제1전극의 일정영역과 대응되는 캐패시터 제2전극을 형성하고;
- <50> 상기 반도체층에 불순물을 이온주입하여 소스/드레인 영역을 형성하고;
- <51> 상기 기판 전면에 층간 절연막을 형성하고;
- <52> 상기 층간 절연막상에서 상기 소스/드레인 영역을 각각 노출시키는 제1 및 제2콘택홀을 형성함과 동시에 상기

캐패시터 제1전극 및 캐패시터 제2전극을 각각 노출시키는 제3 및 제4콘택홀을 형성하고;

- <53> 상기 층간 절연막상의 제1영역에 상기 제1 및 제2콘택홀 통해 상기 소스/드레인 영역과 연결되는 소스/드레인 전극을 형성함과 동시에 상기 층간 절연막상의 제2영역에 상기 제3콘택홀을 통해 연결되는 제 1 전원전압라인과 상기 제4콘택홀을 통해 연결되며 상기 캐패시터 제1전극과 면적이 상이한 캐패시터 제3전극을 형성하는 것을 특징으로 하는 평판표시장치 제조방법에 의해서도 달성된다.
- <54> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.
- <55> < 실시 예 1 >
- <56> 도 2a 내지 2e는 본 발명에 의한 유기 전계 발광표시장치의 제조공정을 설명하기 위한 단면도이다.
- <57> 먼저, 도 2a를 참조하면, 유기발광소자와 박막트랜지스터가 형성되는 제1영역(A)과 캐패시터(Cst)가 형성되는 제2영역(B)을 구비하는 기판(100) 상에 수분 또는 불순물의 확산을 방지하거나 결정화 시 열전달을 조절할 수 있도록 버퍼층(미도시)을 형성한다.
- <58> 이어서, 상기 버퍼층상에 비정질 실리콘층을 형성하는데, 상기 비정질 실리콘층은 결정화하여 다결정 실리콘층으로 형성한다. 상기 비정질 실리콘층을 결정화하는 것은 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization) 또는 MILC(Metal Induced Later Crystallization)법을 사용할 수 있다.
- <59> 이어서, 상기 다결정 실리콘층을 일정패턴으로 패터닝하여 제1영역(A)에 반도체층(111)을 형성하고, 동시에 제2영역(B)에 캐패시터 제1전극(131)을 형성한다.
- <60> 다음으로, 도 2b를 참조하면, 상기 기판 전면에 게이트 절연막(112)을 형성하고, 상기 게이트 절연막(112) 상에 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy) 중 어느 하나로 게이트 메탈층을 증착한다.
- <61> 이어서, 상기 게이트 메탈층을 패터닝하여 제1영역(A)에 반도체층(111)의 일정영역에 대응되는 게이트 전극(113)을 형성한다. 상기 게이트 전극(113)을 형성함과 동시에 제2영역(B)의 게이트 절연막(112) 상에서도 상기 게이트 메탈층을 패터닝하여 캐패시터 제1전극(131)의 일정영역에 대응되는 캐패시터 제2전극(132)을 형성한다.
- <62> 이어서, 상기 반도체층(111)에 상기 게이트 전극(113)을 마스크로 N형 또는 P형 불순물 중 어느 하나를 이온주입하여 소스/드레인 영역(111a, 111b)를 형성한다.
- <63> 이 때, 상기 반도체층(111)의 소스/드레인 영역(111a, 111b)의 사이에는 채널영역(111c)이 형성된다.
- <64> 다음으로, 도 2c를 참조하면, 상기 기판 전면에 층간 절연막(114)을 형성한다.
- <65> 이어서, 제1영역(A)에서는 상기 층간 절연막(114)과 게이트 절연막(112)을 식각하여 상기 반도체층(111)의 소스/드레인 영역(111a, 111b) 일부를 노출시키는 제1콘택홀(115a)과 제2콘택홀(115b)을 각각 형성한다. 이와 동시에 제2영역(B)에서는 캐패시터 제2전극(132) 일부를 노출시키는 제3콘택홀(140a)과 캐패시터 제1전극(131) 일부를 노출시키는 제4콘택홀(133a)을 형성한다.
- <66> 한편, 상기 버퍼층(미도시), 게이트 절연막(120) 및 층간 절연막(140)은 SiO<sub>2</sub> 또는 SiN<sub>x</sub>로 형성될 수 있으며, 이들로 구성된 복수의 층으로도 이루어질 수 있다.
- <67> 다음으로, 도 2d를 참조하면, 상기 층간 절연막(114) 상에 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy) 중 어느 하나로 소스/드레인 메탈층을 증착한다.
- <68> 이어서, 제1영역(A)에서는 상기 소스/드레인 메탈층을 일정패턴으로 패터닝하여 제1콘택홀(115a)과 제2콘택홀(115b)을 통해 반도체층(111)의 소스/드레인 영역(111a, 111b)과 각각 연결되는 소스/드레인 전극(115)을 형성한다.
- <69> 이와 동시에 제2영역(B)에서도 제3콘택홀(140a)를 통해 캐패시터 제2전극(132)과 연결되는 제 1 전원전압라인(140)과 제4콘택홀(133a)를 통해 캐패시터 제1전극(131)과 연결되는 캐패시터 제3전극(133)을 형성한다.
- <70> 이 때, 상기 캐패시터 제1전극(131)과 캐패시터 제2전극(132)은 제1캐패시터(Cst1)를 구성하는데, 상기 캐패시터 제1전극(131)은 제1캐패시터(Cst1)의 하부전극이며, 상기 캐패시터 제2전극(132)은 제1캐패시터(Cst1)의 상

부전극이 된다. 이와 동시에 상기 캐패시터 제2전극(132)과 캐패시터 제3전극(133)으로 제2캐패시터(Cst2)를 구성하는데, 이 때, 상기 캐패시터 제2전극(132)이 제2캐패시터(Cst2)의 하부전극이 되고, 캐패시터 제3전극(133)이 제2캐패시터(Cst2)의 상부전극이 되어 캐패시터(Cst)를 구성한다.

<71> 상기 캐패시터 제1전극(131)과 캐패시터 제3전극(133)은 면적은 서로 상이한 형태로 구성되는데, 상기 캐패시터 제3전극(133)의 면적이 감소한 만큼 캐패시터 제1전극(131)의 면적이 증가하여 실질적인 캐패시터(Cst)의 용량은 일정하다.

<72> 여기서, 두 전극사이의 캐패시터 용량은 다음과 같은 수식에 의해 표현할 수 있다.

<73>  $C = \epsilon (S/d)$

<74> 상기  $\epsilon$  은 두 전극사이의 유전율이고, S는 두 전극사이의 대응되는 면적, d는 두 전극간의 거리이다.

<75> 제2캐패시터(Cst2)의 상부전극인 캐패시터 제3전극(133)의 면적을 감소시키면 캐패시터 제3전극(133)과 캐패시터 제2전극(132)의 대응되는 면적  $S_2$ 를 캐패시터 면적 변화량인 W만큼 감소하게 되어, 결국,  $Cst2 = \epsilon_2 S_2 / d_2 - \epsilon_2 W / d_2$ 으로 용량이  $\epsilon_2 W / d_2$ 만큼 감소하게 된다.

<76> 이 때, 제1캐패시터(Cst1)의 하부전극인 캐패시터 제1전극(131)의 면적을 증가시켜서 캐패시터 제1전극(131)과 캐패시터 제2전극(132)의 대응되는 면적  $S_1$ 을 상기 W만큼 증가시키면,  $Cst1 = \epsilon_1 S_1 / d_1 + \epsilon_1 W / d_1$ 으로  $\epsilon_1 W / d_1$  만큼 증가시킬 수 있다.

<77> 결국, 상기 캐패시터 제2전극(132)과 대응되는 캐패시터 제1전극(131)과 캐패시터 제3전극(133)은  $W \times 2$ 만큼의 면적 차이가 발생한다.

<78> 이러한, 상기 캐패시터(Cst)의 용량은 제1캐패시터(Cst1)와 제2캐패시터(Cst2)의 전극사이의 유전율과 거리가 동일하다면,  $Cst = Cst1 + Cst2 = \epsilon_1 S_1 / d_1 + \epsilon_2 S_2 / d_2$  으로 캐패시터 제3전극(133)과 캐패시터 제1전극(131)의 면적을 조절하기 전의 캐패시터 용량과 동일하게 된다.

<79> 따라서, 상기와 같은 방법으로 제 1 전원전압라인(140)과 캐패시터 제3전극(133)과의 간격을 증대시킬 수 있으므로 공정상 발생될 수 있는 상기 제 1 전원전압라인(140)과 캐패시터 제3전극(133)의 쇼트를 방지할 수 있다.

<80> 다음으로, 도 2e를 참조하면, 상기 기판 상부 전면에 SiO<sub>2</sub> 또는 SiNx와 그들의 복수 층으로 형성되는 보호막(116)을 형성하는데, 이 때, 상기 기판 상의 단차를 완화하기 위하여 유기물로 이루어지는 평탄화막(미도시)을 구비할 수도 있다.

<81> 이 때, 제1영역(A) 상에는 상기 보호막(116) 또는 평탄화막을 관통하는 비아 홀을 통해서, 상기 소스/드레인 전극(115) 중 어느 하나와 전기적으로 연결되는 화소 전극(170)을 형성하는데, 상기 화소 전극(170)은 Pt, Au, Ir, Cr, Mg, Ag, Al 및 이들의 합금으로 이루어진 군에서 어느 하나로 이루어진 반사전극 상에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)의 투명전극이 적층된 구조일 수 있다.

<82> 상기 기판전면에 상기 화소 전극(170)의 일부 영역을 노출시키는 개구부를 구비하는 화소 정의막(118)을 형성한다. 상기 화소 정의막(118)은 BCB (benzocyclobutene), 아크릴계 고분자 및 폴리이미드로 이루어진 군에서 선택되는 하나의 물질일 수 있다.

<83> 이어서, 상기 개구부로 노출된 화소 전극(170)상에는 유기 발광층을 포함하는 유기막층(190)을 형성하고, 상기 기판 상부 전면에 대향 전극(200)을 형성한다.

<84> 이상에서는, 본 발명의 실시예를 들어 설명하였지만, 본 발명의 권리범위는

<85> 상기 실시예에 한정되지 않고, 본 발명이 속하는 기술분야에서 통상의 지식을 가지는 자가 아래 특허청구범위를 통해 쉽게 변형 또는 치환한 것 또한 본 발명의 권리범위 속한다.

**발명의 효과**

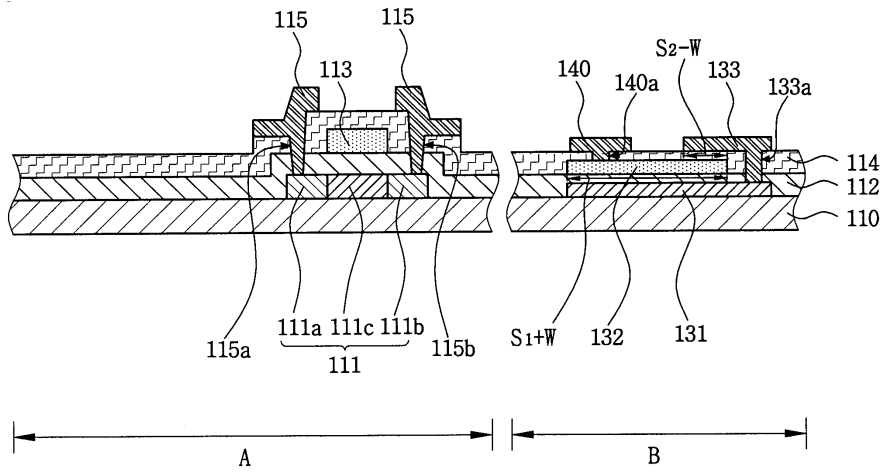
<86> 따라서, 본 발명의 평판 표시장치 및 그 제조방법은 캐패시터(Cst)의 캐패시터 제3전극의 면적을 감소시켜서 제1전원전압라인과 캐패시터 제3전극사이의 간격을 확보하고, 캐패시터 제1전극의 면적을 증가시켜서 상기 캐패시터 제3전극의 면적 감소에 따른 캐패시터(Cst)의 용량을 보상할 수 있다.

<87> 결국, 캐패시터(Cst)의 용량은 유지하면서도 캐패시터 제3전극의 면적은 감소시켜서 쇼트발생에 따른 암점불량

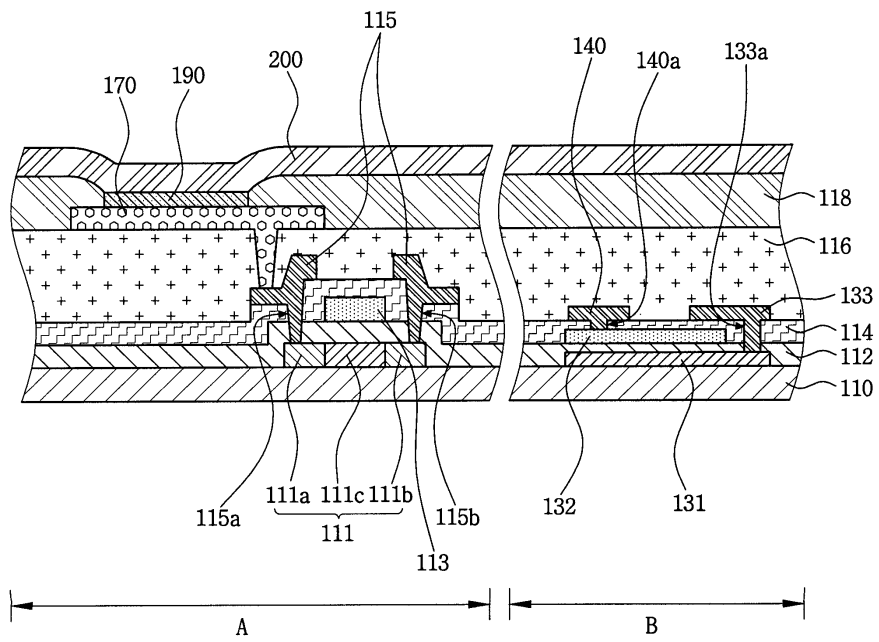




도면2d



도면2e



专利名称(译)	平板显示器及其制造方法		
公开(公告)号	<a href="#">KR1020080088083A</a>	公开(公告)日	2008-10-02
申请号	KR1020070030478	申请日	2007-03-28
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM JONG YUN		
发明人	KIM JONG YUN		
IPC分类号	H01L27/04 H01L29/786 H01L		
CPC分类号	H01L27/3265 H01L27/13 H01L27/3276 H01L28/40 H01L27/12 H01L27/1255		
代理人(译)	PARK, 常树		
其他公开文献	KR100864886B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及平板显示装置及其制造方法。并且在配备有形成有机发光装置和薄膜晶体管的第一区域的平板显示器和第二部分中减小第二部分上的电容器第三电极的面积，其中电容器 (Cst) 是形成并且确保电极和第一源电压线之间的第三电容器的间隙。电容器第一电极的面积增加，并且可以补偿根据电容器第三电极的面积减小的电容器 (Cst) 的容量。因此，即使在规则地保持电容器 (Cst) 的容量时，电容器第三电极的面积减小，并且可以防止在根据与第一源电压线的短路产生的驱动中产生的暗点故障。电容器和短路。

