



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0037538
(43) 공개일자 2008년04월30일

(51) Int. Cl.

H05B 33/10 (2006.01)

(21) 출원번호 10-2007-0107021

(22) 출원일자 2007년10월24일
심사청구일자 없음(30) 우선권주장
JP-P-2006-00291147 2006년10월26일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

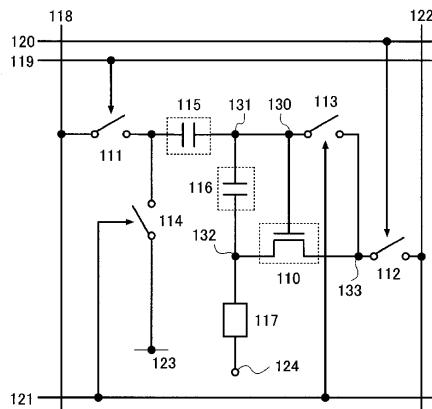
키무라 하지메

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
이샤 한도오따이에네루기 켄큐쇼 나이
야마다 토모코일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
이샤 한도오따이에네루기 켄큐쇼 나이(74) 대리인
이화의, 권태복

전체 청구항 수 : 총 94 항

(54) 전자기기, 표시장치, 반도체 장치 및 그 구동방법**(57) 요 약**

본 발명은, 부하에 공급하는 전류값을 제어하는 트랜지스터와, 제 1 유지용량과, 제 2 유지용량과, 제 1 스위치 내지 제 4 스위치를 포함하는 화소를 가지고, 상기 제 2 유지용량에 상기 트랜지스터의 임계값 전압을 유지시킨 후, 비디오 신호에 따른 전위를 상기 화소에 입력한다. 이와 같이, 상기 제 2 유지용량에, 상기 임계값 전압에 상기 비디오 신호에 따른 전위 중의 상기 제 1 유지용량과 용량분할된 전위가 가산된 전압을 유지시킴으로써, 트랜지스터의 임계값 전압의 편차에 의거한 전류값의 편차를 억제한다. 따라서, 발광소자를 비롯한 부하에 원하는 전류를 공급할 수 있다. 또한, 비디오 신호에 따라, 지정된 휘도로부터의 차이가 적은 표시장치를 제공할 수 있다.

대표도 - 도1

특허청구의 범위

청구항 1

반도체 장치에 있어서,

트랜지스터와;

유지용량과;

제 1 스위치와;

제 2 스위치와;

제 3 스위치와;

제 4 스위치를 포함하고,

상기 트랜지스터의 제 1 전극은 화소전극에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 2 스위치를 통하여 제 1 배선에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 유지용량과 상기 제 4 스위치를 통하여 제 2 배선에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 유지용량과 상기 제 1 스위치를 통하여 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 2 배선은 상기 제 1 스위치를 제어하는 배선과 동일한, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 2 배선은 전행 또는 다음 행의 제 1 스위치 내지 제 4 스위치의 하나를 제어하는 주사선의 어느 하나인, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 트랜지스터는 박막 트랜지스터인, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 트랜지스터는 N채널형 트랜지스터인, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 반도체 막으로 되는, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 규소로 되는, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 트랜지스터의 반도체 층은 결정성 반도체 막으로 되는, 반도체 장치.

청구항 9

제 1 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위에 상기 트랜지스터의 임계값 전압을 가한 값보다 높은, 반도체 장치.

청구항 10

제 1 항에 있어서,

상기 트랜지스터는 P채널형 트랜지스터인, 반도체 장치.

청구항 11

제 1 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위로부터 상기 트랜지스터의 임계값 전압을 뺀 값보다 낮은, 반도체 장치.

청구항 12

제 1 항에 있어서,

상기 제 1 스위치 내지 제 4 스위치는 트랜지스터인, 반도체 장치.

청구항 13

청구항 1에 따른 반도체 장치를 포함하는, 표시장치.

청구항 14

청구항 13에 따른 상기 표시장치를 표시부에 가지는, 전자기기.

청구항 15

반도체 장치에 있어서,

트랜지스터와;

제 1 유지용량과;

제 2 유지용량과;

제 1 스위치와;

제 2 스위치와;

제 3 스위치와;

제 4 스위치를 포함하고,

상기 트랜지스터의 제 1 전극은 화소전극에 전기적으로 접속되고,

상기 트랜지스터의 제 1 전극은 상기 제 2 유지용량을 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 2 스위치를 통하여 제 1 배선에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 제 1 유지용량과 상기 제 4 스위치를 통하여 제 2 배선에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 제 1 유지용량과 상기 제 1 스위치를 통하여 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 16

제 15 항에 있어서,

상기 제 2 배선은 상기 제 1 스위치를 제어하는 배선과 동일한, 반도체 장치.

청구항 17

제 15 항에 있어서,

상기 제 2 배선은 전행 또는 다음 행의 제 1 스위치 내지 제 4 스위치의 하나를 제어하는 주사선의 어느 하나인, 반도체 장치.

청구항 18

제 15 항에 있어서,

상기 트랜지스터는 박막 트랜지스터인, 반도체 장치.

청구항 19

제 15 항에 있어서,

상기 트랜지스터는 N채널형 트랜지스터인, 반도체 장치.

청구항 20

제 15 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 반도체 막으로 되는, 반도체 장치.

청구항 21

제 15 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 규소로 되는, 반도체 장치.

청구항 22

제 15 항에 있어서,

상기 트랜지스터의 반도체 층은 결정성 반도체 막으로 되는, 반도체 장치.

청구항 23

제 15 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위에 상기 트랜지스터의 임계값 전압을 가한 값보다 높은, 반도체 장치.

청구항 24

제 15 항에 있어서,

상기 트랜지스터는 P채널형 트랜지스터인, 반도체 장치.

청구항 25

제 15 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위로부터 상기 트랜지스터의 임계값 전압을 뺀 값보다 낮은, 반도체 장치.

청구항 26

제 15 항에 있어서,

상기 제 1 스위치 내지 제 4 스위치는 트랜지스터인, 반도체 장치.

청구항 27

청구항 15에 따른 반도체 장치를 포함하는, 표시장치.

청구항 28

청구항 27에 따른 상기 표시장치를 표시부에 가지는, 전자기기.

청구항 29

반도체 장치에 있어서,

트랜지스터와;

제 1 유지용량과;

제 2 유지용량과;

제 1 스위치와;

제 2 스위치와;

제 3 스위치와;

제 4 스위치와;

제 5 스위치를 포함하고,

상기 트랜지스터의 제 1 전극은 화소전극에 전기적으로 접속되고,

상기 트랜지스터의 제 1 전극은 상기 제 2 유지용량을 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 제 1 전극은 상기 제 5 스위치를 통하여 제 4 배선에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 2 스위치를 통하여 제 1 배선에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 제 1 유지용량과 상기 제 4 스위치를 통하여 제 2 배선에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 제 1 유지용량과 상기 제 1 스위치를 통하여 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 30

제 29 항에 있어서,

상기 제 2 배선은 상기 제 1 스위치를 제어하는 배선과 동일한, 반도체 장치.

청구항 31

제 29 항에 있어서,

상기 제 2 배선은 전행 또는 다음 행의 제 1 스위치 내지 제 4 스위치의 하나를 제어하는 주사선의 어느 하나인, 반도체 장치.

청구항 32

제 29 항에 있어서,

상기 트랜ジ스터는 박막 트랜지스터인, 반도체 장치.

청구항 33

제 29 항에 있어서,

상기 트랜ジ스터는 N채널형 트랜지스터인, 반도체 장치.

청구항 34

제 29 항에 있어서,

상기 트랜ジ스터의 반도체 층은 비정질 반도체 막으로 되는, 반도체 장치.

청구항 35

제 29 항에 있어서,

상기 트랜ジ스터의 반도체 층은 비정질 규소로 되는, 반도체 장치.

청구항 36

제 29 항에 있어서,

상기 트랜ジ스터의 반도체 층은 결정성 반도체 막으로 되는, 반도체 장치.

청구항 37

제 29 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위에 상기 트랜ジ스터의 임계값 전압을 가한 값보다 높은, 반도체 장치.

청구항 38

제 29 항에 있어서,

상기 트랜ジ스터는 P채널형 트랜지스터인, 반도체 장치.

청구항 39

제 29 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위로부터 상기 트랜ジ스터의 임계값 전압을 뺀 값보다 낮은, 반도체 장치.

청구항 40

제 29 항에 있어서,

상기 제 1 스위치 내지 제 4 스위치는 트랜지스터인, 반도체 장치.

청구항 41

청구항 29에 따른 반도체 장치를 포함하는, 표시장치.

청구항 42

청구항 41에 따른 상기 표시장치를 표시부에 가지는, 전자기기.

청구항 43

반도체 장치에 있어서,

트랜지스터와;

제 1 유지용량과;

제 2 유지용량과;

제 1 스위치와;

제 2 스위치와;

제 3 스위치와;

제 4 스위치를 포함하고,

상기 트랜지스터의 제 1 전극은 화소전극에 전기적으로 접속되고,

상기 트랜지스터의 제 1 전극은 상기 제 2 유지용량을 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 2 스위치를 통하여 제 1 배선에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 제 1 유지용량과 상기 제 4 스위치를 통하여 제 1 배선에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 제 1 유지용량과 상기 제 1 스위치를 통하여 제 2 배선에 전기적으로 접속되는, 반도체 장치.

청구항 44

제 43 항에 있어서,

상기 트랜지스터는 박막 트랜지스터인, 반도체 장치.

청구항 45

제 43 항에 있어서,

상기 트랜지스터는 N채널형 트랜지스터인, 반도체 장치.

청구항 46

제 43 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 반도체 막으로 되는, 반도체 장치.

청구항 47

제 43 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 규소로 되는, 반도체 장치.

청구항 48

제 43 항에 있어서,

상기 트랜지스터의 반도체 층은 결정성 반도체 막으로 되는, 반도체 장치.

청구항 49

제 43 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위에 상기 트랜지스터의 임계값 전압을 가한 값보다 높은, 반도체 장치.

청구항 50

제 43 항에 있어서,

상기 트랜지스터는 P채널형 트랜지스터인, 반도체 장치.

청구항 51

제 43 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위로부터 상기 트랜지스터의 임계값 전압을 뺀 값보다 낮은, 반도체 장치.

청구항 52

제 43 항에 있어서,

상기 제 1 스위치 내지 제 4 스위치는 트랜지스터인, 반도체 장치.

청구항 53

청구항 43에 따른 반도체 장치를 포함하는, 표시장치.

청구항 54

청구항 53에 따른 상기 표시장치를 표시부에 가지는, 전자기기.

청구항 55

반도체 장치에 있어서,

트랜지스터와;

제 1 유지용량과;

제 2 유지용량과;

제 1 스위치와;

제 2 스위치와;

제 3 스위치와;

정류소자를 포함하고,

상기 트랜지스터의 제 1 전극은 화소전극에 전기적으로 접속되고,

상기 트랜지스터의 제 1 전극은 상기 제 2 유지용량을 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 2 스위치를 통하여 제 1 배선에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 제 1 유지용량과 상기 정류소자를 통하여 제 2 배선에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 제 1 유지용량과 상기 제 1 스위치를 통하여 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 56

제 55 항에 있어서,

상기 트랜지스터는 박막 트랜지스터인, 반도체 장치.

청구항 57

제 55 항에 있어서,

상기 트랜지스터는 N채널형 트랜지스터인, 반도체 장치.

청구항 58

제 55 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 반도체 막으로 되는, 반도체 장치.

청구항 59

제 55 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 규소로 되는, 반도체 장치.

청구항 60

제 55 항에 있어서,

상기 트랜지스터의 반도체 층은 결정성 반도체 막으로 되는, 반도체 장치.

청구항 61

제 55 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위에 상기 트랜지스터의 임계값 전압을 가한 값보다 높은, 반도체 장치.

청구항 62

제 55 항에 있어서,

상기 트랜지스터는 P채널형 트랜지스터인, 반도체 장치.

청구항 63

제 55 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위로부터 상기 트랜지스터의 임계값 전압을 뺀 값보다 낮은, 반도체 장치.

청구항 64

제 55 항에 있어서,

상기 제 1 스위치 내지 제 3 스위치는 트랜지스터인, 반도체 장치.

청구항 65

청구항 55에 따른 반도체 장치를 포함하는, 표시장치.

청구항 66

청구항 65에 따른 상기 표시장치를 표시부에 가지는, 전자기기.

청구항 67

반도체 장치에 있어서,

트랜지스터와;

제 1 유지용량과;

제 2 유지용량과;

제 1 스위치와;

제 2 스위치와;

제 3 스위치와;

제 4 스위치를 포함하고,

상기 트랜지스터의 제 1 전극은 화소전극에 전기적으로 접속되고,

상기 트랜지스터의 제 1 전극은 상기 제 2 유지용량을 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 2 스위치를 통하여 제 1 배선에 전기적으로 접속되고,

상기 트랜지스터의 제 2 전극은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극에 전기적으로 접속되고,

상기 트랜지스터의 게이트 전극은 상기 제 1 유지용량과 상기 제 1 스위치를 통하여 제 2 배선에 전기적으로 접속되고,

상기 제 4 스위치는 평행으로 상기 제 1 유지용량에 전기적으로 접속되고, 상기 제 1 스위치를 통하여 상기 제 2 배선에 전기적으로 접속되는, 반도체 장치.

청구항 68

제 67 항에 있어서,

상기 트랜지스터는 박막 트랜지스터인, 반도체 장치.

청구항 69

제 67 항에 있어서,

상기 트랜지스터는 N채널형 트랜지스터인, 반도체 장치.

청구항 70

제 67 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 반도체 막으로 되는, 반도체 장치.

청구항 71

제 67 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 규소로 되는, 반도체 장치.

청구항 72

제 67 항에 있어서,

상기 트랜지스터의 반도체 층은 결정성 반도체 막으로 되는, 반도체 장치.

청구항 73

제 67 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위에 상기 트랜지스터의 임계값 전압을 가한 값보다 높은, 반도체 장치.

청구항 74

제 67 항에 있어서,

상기 트랜지스터는 P채널형 트랜지스터인, 반도체 장치.

청구항 75

제 67 항에 있어서,

상기 제 1 배선의 전위는 상기 화소전극의 전위로부터 상기 트랜지스터의 임계값 전압을 뺀 값보다 낮은, 반도체 장치.

청구항 76

제 67 항에 있어서,

상기 제 1 스위치 내지 제 4 스위치는 트랜지스터인, 반도체 장치.

청구항 77

청구항 67에 따른 반도체 장치를 포함하는, 표시장치.

청구항 78

청구항 77에 따른 상기 표시장치를 표시부에 가지는, 전자기기.

청구항 79

반도체 장치에 있어서,

트랜지스터와;

제 1 유지용량과;

부하와;

상기 트랜지스터의 게이트-소스간 전압을 유지하는 제 2 유지용량과;

상기 제 1 유지용량의 전극과 제 2 배선의 사이에 전기적으로 접속되는 제 1 스위치와;

상기 트랜지스터의 제 1 전극과 제 1 배선의 사이에 전기적으로 접속되는 제 2 스위치를 포함하고,

회로는:

상기 제 1 스위치가 온되고, 상기 제 2 스위치가 오프될 때, 제 1 전압은 상기 제 1 유지용량에서 유지되고, 제 2 전압은 상기 제 2 유지용량에서 유지되고,

상기 제 1 스위치가 온되고, 상기 제 2 스위치가 온될 때, 상기 제 2 유지용량의 전압이 상기 제 2 전압으로부터 상기 트랜지스터의 임계값 전압까지 변화하도록 상기 제 2 유지용량은 방전되고,

상기 제 1 스위치가 오프되고, 상기 제 2 스위치가 온될 때, 비디오 신호에 따른 전위는 상기 제 2 배선으로부터 상기 제 1 유지용량에 입력되고,

상기 제 1 스위치가 온되고, 상기 제 2 스위치가 오프될 때, 상기 트랜지스터에 설정된 전류는 상기 제 1 배선으로부터 상기 부하에 공급되는, 반도체 장치.

청구항 80

제 79 항에 있어서,

상기 트랜지스터는 박막 트랜지스터인, 반도체 장치.

청구항 81

제 79 항에 있어서,

상기 트랜지스터는 N채널형 트랜지스터인, 반도체 장치.

청구항 82

제 79 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 반도체 막으로 되는, 반도체 장치.

청구항 83

제 79 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 규소로 되는, 반도체 장치.

청구항 84

제 79 항에 있어서,

상기 트랜지스터의 반도체 층은 결정성 반도체 막으로 되는, 반도체 장치.

청구항 85

제 79 항에 있어서,

상기 트랜지스터는 P채널형 트랜지스터인, 반도체 장치.

청구항 86

청구항 79에 따른 반도체 장치를 포함하는, 표시장치.

청구항 87

청구항 86에 따른 상기 표시장치를 표시부에 가지는, 전자기기.

청구항 88

반도체 장치의 구동방법에 있어서, 상기 반도체 장치는,

트랜지스터와;

상기 제 1 유지용량의 제 2 전극은 상기 트랜지스터의 게이트 전극에 전기적으로 접속되는 제 1 유지용량과;

상기 트랜지스터의 소스 전극에 전기적으로 접속되는 부하와;

상기 트랜지스터의 게이트-소스간 전압을 유지하는 제 2 유지용량과;

상기 제 1 유지용량의 제 1 전극과 제 2 배선의 사이에 전기적으로 접속되는 제 1 스위치와;

상기 트랜지스터의 드레인 전극과 제 1 배선의 사이에 전기적으로 접속되는 제 2 스위치를 포함하는 반도체 장치의 구동방법에 있어서,

제 1 기간에 있어서 제 1 유지용량에서 제 1 전압을 유지하고, 제 2 유지용량에서 제 2 전압을 유지하는 공정과;

상기 제 1 기간 후의 제 2 기간에 있어서 상기 제 2 유지용량의 전압이 상기 제 2 전압으로부터 상기 트랜지스터의 임계값 전압에 상당하는 제 3 전압으로 변화하도록 상기 제 2 유지용량을 방전하는 공정과;

상기 제 2 기간 후의 제 3 기간에 있어서 상기 비디오 신호에 따른 제 4 전압과 상기 트랜지스터의 제 3 전압이 상기 트랜지스터의 게이트 전압에 인가되도록 비디오 신호를 상기 제 2 배선에 공급하는 공정과;

상기 제 3 기간 후의 제 4 기간에 있어서 적어도 상기 제 4 전압에 따른 상기 트랜지스터를 통하여 상기 부하에 전류를 공급하는 공정을 포함한, 반도체 장치의 구동방법.

청구항 89

제 88 항에 있어서,

상기 트랜지스터는 박막 트랜지스터인, 반도체 장치의 구동방법.

청구항 90

제 88 항에 있어서,

상기 트랜지스터는 N채널형 트랜지스터인, 반도체 장치의 구동방법.

청구항 91

제 88 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 반도체 막으로 되는, 반도체 장치의 구동방법.

청구항 92

제 88 항에 있어서,

상기 트랜지스터의 반도체 층은 비정질 규소로 되는, 반도체 장치의 구동방법.

청구항 93

제 88 항에 있어서,

상기 트랜지스터의 반도체 층은 결정성 반도체 막으로 되는, 반도체 장치의 구동방법.

청구항 94

제 88 항에 있어서,

상기 트랜지스터는 P채널형 트랜지스터인, 반도체 장치의 구동방법.

명세서

발명의 상세한 설명

기술분야

<1>

본 발명은 부하에 공급하는 전류를 트랜지스터로 제어하는 기능을 설치한 반도체 장치에 관한 것이며, 신호에 의해 휘도가 변화하는 표시소자로 형성된 화소나, 그 화소를 구동시키는 신호선 구동회로나 주사선 구동회로를 포함하는 표시장치에 관한 것이다. 또한, 그 구동방법에 관한 것이다. 또한, 그 표시장치를 표시부에 가지는 전자기기에 관한 것이다.

배경기술

<2>

근년, 화소를 일렉트로루미네스نس(EL: Electro Luminescence) 등의 발광소자를 사용한 자발광형 표시장치, 소위 발광장치가 주목을 받고 있다. 이러한 자발광형 표시장치에 사용되는 발광소자로서는, 유기발광 다이오드(OLED(Organic Light Emitting Diode))나, EL소자가 주목을 받고 있으며, EL 디스플레이 등에 사용되어 왔다. 이들의 발광소자는 스스로 발광하므로, 액정 장치에 비해 화소의 시인성이 높고, 백 라이트가 필요하지 않다. 또한, 응답 속도가 빠른 등의 이점이 있다. 또한, 발광소자의 휘도는, 그 발광소자에 흐르는 전류값에 의해 제어되는 것이 많다.

<3>

또한, 발광소자의 발광을 제어하는 트랜지스터가 각 화소에 설치된 액티브 매트릭스형 표시장치의 개발

이 진행되어 있다. 액티브 매트릭스형 표시장치는, 패시브 매트릭스형 표시장치에서는 달성이 곤란한 고정세한 표시나 대화면의 표시를 가능하게 할 뿐만 아니라, 패시브 매트릭스형 표시장치보다 낮은 소비전력으로 동작하므로 실용화가 기대되고 있다.

<4> 종래의 액티브 매트릭스형 표시장치의 화소구성을 도 62에 도시한다.(특허문헌 1). 도 62에 도시한 화소는, 박막 트랜지스터(Thin Film Transistor: TFT)(11), TFT(12), 용량소자(13), 발광소자(14)를 가지고, 신호선(15) 및 주사선(16)에 접속된다. 또한, TFT(12)의 소스 전극 혹은 드레인 전극의 어느 한쪽 및 용량소자(13)의 한쪽 전극에는 전원전위 Vdd가 공급되고, 발광소자(14)의 대향전극에는 그라운드 전위가 공급된다.

<5> 이때, 발광소자(14)에 공급하는 전류값을 제어하는 TFT(12), 즉, 구동용 TFT의 반도체층에 아모퍼스 실리콘을 사용한 경우, 열화 등에 의해 임계값 전압(Vth)에 변동이 생긴다. 이 경우, 다른 화소에 신호선(15)으로부터 동일의 전위를 인가했는데도 불구하고, 발광소자(14)에 흐르는 전류는 화소마다 다르고, 표시되는 휘도가 화소에 따라 불균일해진다. 이때, 구동용 TFT의 반도체층에 폴리실리콘을 사용한 경우에 있어서도, 트랜지스터의 특성이 열화하거나, 변동한다.

<6> 이 문제를 개선하기 위해, 특허문헌 2에 있어서, 도 63의 화소를 사용한 동작 방법이 제안된다. 도 63에 나타낸 화소는, 트랜지스터(21), 발광소자(24)에 공급하는 전류값을 제어하는 구동용 트랜지스터(22), 용량소자(23), 발광소자(24)를 가지고, 화소는 신호선(25), 주사선(26)에 접속된다. 이때, 구동용 트랜지스터(22)는 NMOS트랜지스터이며, 구동용 트랜지스터(22)의 소스 전극 혹은 드레인 전극의 어느 한쪽에는 그라운드 전위가 공급되고, 발광소자(24)의 대향전극에는 Vca가 공급된다.

<7> 이 화소의 동작에 있어서의 타이밍 차트를 도 64에 도시한다. 도 64에 있어서, 1프레임 기간은, 초기화 기간(31), 임계값 전압(Vth) 기록 기간(32), 데이터 기록 기간(33) 및 발광 기간(34)으로 분할된다. 이때, 1프레임 기간은 1화면의 화상을 표시하는 기간에 해당하고, 초기화 기간, 임계값 전압(Vth) 기록 기간 및 데이터 기록 기간을 통틀어 어드레스 기간이라고 부른다.

<8> 우선, 임계값 전압 기록 기간(32)에 있어서, 구동용 트랜지스터(22)의 임계값 전압이 용량소자(23)에 기록된다. 그 후, 데이터 기록 기간(33)에, 화소의 휘도를 나타내는 데이터 전압(Vdata)이 용량소자(23)에 기록되고, Vdata + Vth가 용량소자(23)에 측정된다. 그리고, 발광 기간(34)에 구동용 트랜지스터(22)는 온 상태가 되어, Vca를 변화시킴으로써 데이터 전압에 의해 지정된 휘도로 발광소자(24)가 발광한다. 이러한 동작에 의해, 구동용 트랜지스터(22)의 임계값 전압의 변동에 의한 휘도의 편차를 저감한다.

<9> 특허문헌 3에 있어서도, 구동용 TFT의 임계값 전압에 데이터 전위를 가한 전압이 게이트-소스간 전압이 되고, TFT의 임계값 전압이 변동한 경우에도 흐르는 전류는 변화하지 않는 것이 공개되어 있다.

<10> 상술한 바와 같이, 표시장치에서는, 구동용 TFT의 임계값 전압의 편차에 기인하는 전류값의 편차를 억제하는 기술이 요구되고 있다.

<11> [특허문헌 1] 특개평8-234683호 공보

<12> [특허문헌 2] 특개2004-295131호 공보

<13> [특허문헌 3] 특개2004-280059호 공보

발명의 내용

해결 하고자하는 과제

<14> 특허문헌 2 및 특허문헌 3에 기재되는 각각의 동작 방법에서는, Vca의 전위를 1프레임 기간당 수차례 변화시킴으로써 상술한 초기화, 임계값 전압의 기록, 발광을 실행한다. 특허문헌 2 및 특허문헌 3에 기재되는 화소에 있어서, Vca가 공급되어 있는 발광소자의 한쪽 전극, 즉, 그 대향전극은 화소영역 전체에 형성되므로, 초기화 및 임계값 전압의 기록 이외에 데이터의 기록 동작을 행하고 있는 화소가 한 개라도 있으면, 발광소자를 발광시킬 수 없다. 따라서, 도 65에 도시하는 바와 같이, 1프레임 기간에 있어서의 발광 기간의 비율(즉, 뉴터비)이 낮아진다.

<15> 뉴터비가 낮으면, 발광소자나 구동용 트랜지스터에 공급하는 전류값을 크게 해야 하므로, 발광소자에 걸리는 전압이 높아지고 소비전력이 크게 된다. 또한, 발광소자나 구동용 트랜지스터가 쉽게 열화하므로, 화면에 번인(Burn-in)이 생기거나, 열화전과 동등한 휘도를 얻기 위해 더욱 큰 전력을 필요로 하게 된다.

<16> 또한 대향전극은 전체 화소에 접속되어 있으므로, 발광소자는 용량이 큰 소자로서 기능한다. 따라서, 대향전극의 전위를 변화시키기 위해서는, 높은 소비 전력이 요구된다.

<17> 상기 문제를 감안하여, 본 발명은, 소비전력이 낮고, 밝은 표시장치를 제공하는 것을 과제로 한다. 또한, 데이터 전위에 의해 지정된 휘도로부터의 차이가 적은 화소 구성, 반도체 장치, 및 표시장치를 얻는 것을 과제로 한다. 또한, 발광소자를 가지는 표시장치만을 대상으로 하는 것이 아니라, 본 발명은 트랜지스터의 임계값 전압의 편차에 기인하는 전류값의 편차를 억제하는 것을 과제로 한다.

과제 해결수단

<18> 본 발명의 일형태는, 부하에 공급하는 전류값을 제어하는 트랜지스터와, 제 1 유지용량과, 제 2 유지용량과, 제 1 스위치 내지 제 4 스위치를 포함하는 화소를 가지고, 상기 제 2 유지용량에 상기 트랜지스터의 임계값 전압을 유지시킨 후, 비디오 신호에 따른 전위를 상기 화소에 입력한다. 이렇게 해서, 상기 제 2 유지용량에, 상기 임계값 전압에 상기 비디오 신호에 따른 전위 중 상기 제 1 유지용량과, 용량분할된 전위가 가산된 전압을 유지시킴으로써, 트랜지스터의 임계값 전압의 편차에 기인한 전류값의 편차를 억제한다. 따라서, 발광소자를 비롯한 부하에 원하는 전류를 공급할 수 있다. 또한, 비디오 신호에 따라, 지정된 휘도로부터의 차이가 적은 표시장치를 제공할 수 있다.

<19> 본 발명의 일형태는, 트랜지스터와, 유지용량과, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치를 가지고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 화소전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 2 스위치를 통하여 제 1 배선과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 유지용량 및 상기 제 4 스위치를 통하여 제 2 배선에 전기적으로 접속하여, 상기 트랜지스터의 게이트 전극은, 상기 유지용량 및 상기 제 1 스위치를 통하여 제 3 배선에 전기적으로 접속되는 반도체 장치이다.

<20> 본 발명의 일형태는, 트랜지스터와, 제 1 유지용량과, 제 2 유지용량과, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치를 가지고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 화소전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 상기 제 2 유지용량을 통하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 2 스위치를 통하여, 제 1 배선과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 제 1 유지용량 및 상기 제 4 스위치를 통하여 제 2 배선과 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 제 1 유지용량 및 상기 제 1 스위치를 통하여 제 3 배선과 전기적으로 접속되는 반도체 장치이다.

<21> 본 발명의 일형태는, 트랜지스터와, 제 1 유지용량과, 제 2 유지용량과, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치와, 제 5 스위치를 가지고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 화소전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 화소전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 2 유지용량을 통하여 상기 트랜지스터의 게이트 전극 및 드레인 전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 제 5 스위치를 통하여 제 4 배선과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 2 스위치를 통하여 제 1 배선과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 제 1 유지용량 및 상기 제 4 스위치를 통하여 제 2 배선에 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 제 1 유지용량 및 상기 제 1 스위치를 통하여 제 3 배선에 전기적으로 접속되는 반도체 장치이다.

<22> 상기 구성에 있어서, 상기 제 2 배선은 제 1 스위치를 제어하는 배선과 동일한 것을 특징으로 하여도 좋다. 또한, 상기 제 2 배선은 전행(前行) 또는 차행(次行)의 제 1 스위치 내지 제 4 스위치를 제어하는 주사선의 어느 것이라도 좋다.

<23> 본 발명의 일형태는, 트랜지스터와, 제 1 유지용량과, 제 2 유지용량과, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치를 가지고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 화소전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 상기 제 2 유지용량을 통

하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 2 스위치를 통하여 제 1 배선과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 제 1 유지용량 및 상기 제 4 스위치를 통하여 상기 제 1 배선과 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 제 1 유지용량 및 상기 제 1 스위치를 통하여 제 3 배선과 전기적으로 접속되는 반도체 장치이다.

<24> 본 발명의 일형태는, 트랜지스터와, 제 1 유지용량과, 제 2 유지용량과, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 정류소자를 가지고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 화소전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 상기 제 2 유지용량을 통하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 2 스위치를 통하여 제 1 배선과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 제 1 유지용량 및 상기 정류소자를 통하여 제 2 배선에 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 제 1 유지용량 및 상기 제 1 스위치를 통하여 제 3 배선에 전기적으로 접속되는 반도체 장치이다.

<25> 본 발명의 일형태는, 트랜지스터와, 제 1 유지용량과, 제 2 유지용량과, 제 1 스위치와, 제 2 스위치와, 제 3 스위치와, 제 4 스위치를 가지고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 화소전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 한쪽은 상기 제 2 유지용량을 통하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽은 상기 제 2 스위치를 통하여 제 1 배선과 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극 및 드레인 전극의 다른 쪽은 상기 제 3 스위치를 통하여 상기 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 트랜지스터의 게이트 전극은, 상기 제 1 유지용량 및 상기 제 1 스위치를 통하여 제 3 배선에 전기적으로 접속되고, 상기 제 4 스위치는 상기 제 1 유지용량과 병렬으로 전기적으로 접속되고, 또한, 상기 제 1 스위치를 통하여 상기 제 3 배선에 전기적으로 접속되는 반도체 장치이다.

<26> 상기 트랜지스터는, N채널형 트랜지스터이라도 좋다. 또한, 상기 트랜지스터의 반도체 층은, 비정질 반도체 막으로 되는 것을 특징으로 하여도 좋다. 또한, 상기 트랜지스터의 반도체 층은, 아모퍼스 실리콘으로 되는 것을 특징으로 하여도 좋다.

<27> 또한, 상기 트랜지스터의 반도체 층은, 결정성 반도체 막으로 되는 것을 특징으로 하여도 좋다.

<28> 상기 발명에 있어서, 상기 제 1 배선의 전위는, 상기 화소전극의 전위에 상기 트랜지스터의 임계값 전압을 가산한 값보다 높은 것을 특징으로 하여도 좋다.

<29> 또한, 상기 트랜지스터는, P채널형 트랜지스터이어도 좋다. 그 경우, 상기 발명에 있어서, 상기 제 1 배선의 전위는, 상기 화소전극의 전위에서 상기 트랜지스터의 임계값 전압을 뺀 값보다 낮은 것을 특징으로 하여도 좋다.

<30> 본 발명의 일형태는, 제 1 유지용량과, 소스 전극 및 드레인 전극의 한쪽이 부하에 전기적으로 접속되고, 소스 전극 및 드레인 전극의 다른 쪽이 제 1 배선에 전기적으로 접속되고, 게이트 전극이 상기 제 1 유지용량을 통하여 제 2 배선과 전기적으로 접속되는 트랜지스터와, 상기 트랜지스터의 게이트-소스간 전압을 유지하는 제 2 유지용량과, 상기 제 1 유지용량에 제 1 전압을, 상기 제 2 유지용량에 제 2 전압을 유지시키는 수단과, 상기 제 2 유지용량의 제 2 전압을 상기 트랜지스터의 임계값 전압까지 방전시키는 수단과, 상기 제 2 배선으로부터 비디오 신호에 따른 전위를 상기 제 1 유지용량에 입력함으로써 상기 트랜지스터에 설정된 전류를 상기 부하에 공급하는 수단을 가지는 것을 특징으로 하는 반도체 장치이다.

<31> 상기 트랜지스터는, N채널형 트랜지스터이라도 좋다. 또한, 상기 트랜지스터의 반도체 층은, 비정질 반도체 막으로 되는 것을 특징으로 하여도 좋다. 또한, 상기 트랜지스터의 반도체 층은, 아모퍼스 실리콘으로 되는 것을 특징으로 하여도 좋다.

<32> 또한, 상기 트랜지스터의 반도체 층은, 결정성 반도체 막으로 되는 것을 특징으로 하여도 좋다.

<33> 또한, 상기 트랜지스터는, P채널형 트랜지스터이라도 좋다.

<34> 또한, 본 발명의 일형태는, 상술한 반도체 장치를 가지는 표시장치이다. 또한, 상기 표시장치를 가지

는 전자기기이다.

<35> 또한, 명세서에 나타내는 스위치는, 여러가지 형태의 스위치를 사용할 수 있다. 예로서는, 전기적 스위치나, 기계적인 스위치 등이 있다. 즉, 전류의 흐름을 제어할 수 있는 것이면 좋고, 특정의 것으로 한정되지 않는다. 예를 들면, 스위치로서, 트랜지스터(예를 들면, 바이폴라 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들면, PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 사이리스터(thyristor) 등을 사용할 수 있다. 또한, 이들을 조합한 논리회로를 스위치로서 사용할 수도 있다.

<36> 스위치로서 트랜지스터를 사용하는 경우, 그 트랜지스터는, 단순한 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특히 한정되지 않는다. 다만, 오프 전류가 적은 쪽의 극성의 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로서는, LDD영역을 가지는 트랜지스터나 멀티 게이트 구조를 가지는 트랜지스터 등이 있다. 또한, 스위치로서 동작시키는 트랜지스터의 소스 전극의 전위가, 저전위측 전원(Vss, GND, OV)에 가까운 상태로 동작하는 경우는 N채널형을, 반대로, 소스 전극의 전위가 고전위측 전원(Vdd 등)에 가까운 상태로 동작하는 경우는, P채널형의 트랜지스터를 사용하는 것이 바람직하다. 이렇게 동작시킴으로써, 게이트-소스간 전압의 절대값을 크게 할 수 있기 때문에, 스위치로서의 동작이 보다 쉽게 된다. 또한, 소스 폴로워(source follower)동작을 하는 것이 적기 때문에, 출력전압의 크기가 작게 되는 것을 방지할 수 있다.

<37> 또한, N채널형 트랜지스터와 P채널형 트랜지스터의 양쪽 모두를 사용하여, CMOS형의 스위치를 스위치로서 사용하여도 좋다. CMOS형의 스위치로 하면, 여러가지 입력전압에 대해서 출력전압을 제어하기 쉽기 때문에, 적절한 동작을 할 수 있다. 또한, 스위치를 온/오프 시키기 위한 신호의 전압진폭값을 작게 할 수 있기 때문에, 소비전력을 저감할 수도 있다.

<38> 또한, 스위치로서 트랜지스터를 사용하는 경우, 소스 전극 및 드레인 전극의 한쪽이 스위치의 입력단자로서, 소스 전극 및 드레인 전극의 다른 쪽이 출력단자로서, 게이트 전극이 스위치의 도통을 제어하는 단자로서 기능한다. 한편, 스위치로서 다이오드를 사용하는 경우, 스위치는, 도통을 제어하는 단자를 가지지 않는 경우가 있다. 따라서, 스위치로서 트랜지스터보다 다이오드를 사용하면, 단자를 제어하기 위한 배선이 불필요하기 때문에, 배선수를 적게 할 수 있다.

<39> 또한, 본 발명에 있어서, 접속된다는 말은, 전기적으로 접속되는 것과 동일한 의미이다. 따라서, 본 발명이 개시하는 구성에 있어서, 소정의 접속관계, 예를 들면, 도면 또는 문장에 나타내진 접속관계, 또는 그 사이에 전기적인 접속을 할 수 있는 다른 소자(예를 들면, 스위치나 트랜지스터나 용량소자나 인덕터나 저항소자나 다이오드 등)가 배치되어도 좋다. 물론, 사이에 다른 소자를 통하지 않고서 배치되어도 좋고, 전기적으로 접속된다는 말은, 직접적으로 접속되는 경우를 포함하는 것으로 한다.

<40> 또한, 부하는 일렉트로 루미네센스(EL) 소자로 대표되는 발광소자에 한정되지 않고, 전류가 흐르는 것에 의해 밝기, 색조, 편광 등이 변화되는 표시 매체를 적용할 수 있다. 원하는 전류를 부하에 공급할 수 있으면 좋기 때문에, 부하에는, 예를 들면, 전자방출소자, 액정소자, 전자잉크, 전기영동(泳動)소자, 그레이팅 라이트밸브(GLV), 플라즈마 디스플레이(PDP), 디지털 마이크로미러 디바이스(DMD) 등 자기적 작용에 의해 콘트라스트가 변화되는 표시 매체 등도 적용할 수 있다. 또한, 전자방출소자에 카본나노튜브를 이용할 수도 있다. 또한, EL소자를 사용한 표시장치로서는, EL디스플레이, 전자방출소자를 사용한 표시장치로서는 필드 이미션 디스플레이(FED)나 SED방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등을 들 수 있다. 또한, 액정소자를 사용한 표시장치로서는 액정 디스플레이, 투과형 액정 디스플레이, 반투과형 액정 디스플레이나, 반사형 액정 디스플레이가, 전자 잉크를 사용한 표시장치로서는 전자 페이퍼가 있다.

<41> 또한, 트랜지스터는, 게이트 전극과, 드레인 영역과, 소스 영역을 포함하는 적어도 세 개의 단자를 가지는 소자이며, 드레인 영역과 소스 영역 사이에 채널 형성 영역을 가진다. 여기서, 소스 영역과 드레인 영역은, 트랜지스터의 구조나 동작조건 등에 따라 변화하므로, 소스 영역 또는 드레인 영역의 범위를 정확히 한정하기 어렵다. 따라서, 트랜지스터의 접속 관계를 설명할 때에는, 드레인 영역과 소스 영역의 두 단자에 대해서는, 이들의 영역에 접속된 전극 중 한쪽은 제 1 전극, 다른 쪽은 제 2 전극으로 표기하여 설명한다.

<42> 또한, 트랜지스터는, 베이스와 에미터와 컬렉터를 포함하는 적어도 세 개의 단자를 가지는 소자라도 좋고, 에미터와 컬렉터의 어느 한쪽이 제 1 전극, 다른 쪽이 제 2 전극에 상당한다.

<43> 본 발명에 있어서, 트랜지스터는, 여러가지 형태의 트랜지스터를 적용시킬 수 있고, 종류는 특별히 한

정되지 않는다. 예를 들면, 비정질 실리콘, 다결정 실리콘, 미결정(micro crystal, 세미 아모퍼스라고도 한다)실리콘 등으로 대표되는 비단결정 반도체막을 가지는 박막 트랜지스터(TFT) 등을 사용할 수 있다. TFT를 사용하는 경우, 여러가지 메리트가 있다. 예를 들면, 단결정 실리콘의 경우보다 낮은 온도로 제조할 수 있기 때문에, 제조비용의 삭감이나, 제조 장치의 대형화를 도모할 수 있다. 제조장치의 대형화가 가능하게 되는 것으로써, 대형 기판 위에 제조할 수 있고, 동시에 다수의 표시장치를 제조할 수 있다. 따라서, 보다 저비용으로 제조할 수 있다. 또한, 제조온도가 낮기 때문에, 내열성이 약한 기판을 사용할 수도 있고, 예를 들면, 유리 기판 등의 투광성을 가지는 기판 위에 트랜지스터를 제조할 수 있다.

<44> 또한, 다결정 실리콘을 제조할 때, 촉매(니켈 등)를 사용함으로써, 결정성을 보다 향상시켜, 전기특성이 좋은 트랜지스터를 제조할 수 있다. 그 결과, 게이트 드라이버회로(주사선 구동회로)나 소스 드라이버회로(신호선 구동회로), 신호처리회로(신호생성회로, 감마보정회로, DA변환회로 등)를 기판 위에 일체 형성할 수 있다. 또한, 반드시 촉매를 사용할 필요는 없다.

<45> 또한, 미결정 실리콘을 사용한 경우에도, 게이트 드라이버 회로(주사선 구동회로)나 소스 드라이버회로의 일부(아날로그 스위치 등)를 기판 위에 일체 형성할 수 있다.

<46> 또한, 반도체 기판이나 SOI 기판 등을 사용하여 트랜지스터를 형성할 수 있다. 그 경우, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴라 트랜지스터 등을 트랜지스터로서 사용할 수 있다. 이들에 의하여, 특성, 사이즈나 형상 등의 편차가 적고, 전류공급능력이 높은 트랜지스터를 제조할 수 있다. 따라서, 회로의 저소비전력화, 회로의 고집적화 등을 도모할 수 있다.

<47> 또한, ZnO, a-InGaZnO, SiGe, GaAs, IZO, ITO, SnO 등의 화합물 반도체 또는 산화물 반도체를 가지는 트랜지스터나, 덧붙여 이들의 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 사용할 수 있다. 이들에 의하여, 제조온도를 낮게 할 수 있고, 예를 들면, 실온에서 트랜지스터를 제조할 수 있다. 그 결과, 내열성이 낮은 기판, 예를 들면, 플라스틱 기판이나 필름 기판에 직접 트랜지스터를 형성할 수 있다. 또한, 이들의 화합물 반도체 또는 산화물 반도체를, 트랜지스터의 채널부분에 사용하는 것뿐만 아니라, 그 이외의 용도로 사용할 수도 있다. 예를 들면, 이들의 화합물 반도체 또는 산화물 반도체를 저항소자, 화소전극, 투광성을 가지는 전극으로서 사용할 수 있다. 또한, 이들을 트랜지스터와 동시에 성막 또는 형성할 수 있기 때문에, 비용을 저감할 수 있다.

<48> 또한, 잉크젯법이나 인쇄법을 사용하여 형성한 트랜지스터 등도 사용할 수 있다. 이것에 의하여, 실온에서 제조, 저진공도로 제조, 또는 대형 기판 위에 제조할 수 있다. 또한, 마스크(레티클)를 사용하지 않고 제조할 수 있기 때문에, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 또한, 레지스트를 사용할 필요가 없기 때문에, 공정수가 삭감되고, 제조비용을 저감할 수 있다. 또한, 필요한 부분만 성막하기 위하여, 전면에 성막한 후에 에칭하는 경우에 비하여 재료를 낭비하지 않고, 저비용으로 제작할 수 있다.

<49> 또한, 유기 반도체나 카본 나노튜브를 가지는 트랜지스터 등을 사용할 수 있다. 이러한 트랜지스터는, 플렉시블 기판에도 형성할 수 있기 때문에, 충격내성이 뛰어나다. 이것으로 한정되지 않고, 그 이외에도 여러가지 트랜지스터를 사용할 수 있다.

<50> 또한, 트랜지스터가 형성되는 기판의 종류에 있어서도 여러가지 기판을 사용할 수 있고, 특별히 한정되지 않는다. 기판으로서는, 예를 들면, 단결정 기판, SOI기판, 유리 기판, 석영 기판, 플라스틱 기판, 종이기판, 셀로판 기판, 석재기판, 목재 기판, 직물 기판(천연섬유(비단, 면, 삼), 합성섬유(나일론, 폴리우레탄, 폴리에스테르) 또는, 재생섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함한다), 피혁 기판, 고무 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 가지는 기판 등을 사용할 수 있다. 또한, 어느 기판에 트랜지스터를 형성하고, 그 후, 다른 기판에 트랜지스터를 전치하고, 다른 기판에 트랜지스터를 배치하여도 좋다. 트랜지스터가 전치되는 기판으로서는, 단결정 기판, SOI기판, 유리 기판, 석영 기판, 플라스틱 기판, 종이기판, 셀로판 기판, 석재기판, 목재 기판, 직물 기판(천연섬유(명종, 면, 삼), 합성섬유(나일론, 폴리우레탄, 폴리에스테르) 또는, 재생섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함한다), 피혁 기판, 고무 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 가지는 기판 등을 사용할 수 있다. 이들의 기판을 사용함으로써, 보다 특성이 높은 트랜지스터의 형성, 내열성의 향상이나 경량화를 도모할 수 있다.

<51> 또한, 트랜지스터의 구성은, 여러가지 형태를 선택할 수 있고, 특정의 구성에 한정되지 않는다. 예를 들면, 게이트 전극이 2개 이상인 멀티 게이트 구조를 이용하여도 좋다. 멀티 게이트 구조로 하면, 채널영역이 직렬로 접속되기 때문에, 복수의 트랜지스터가 직렬로 접속된 구성으로 된다. 이러한 멀티 게이트 구조에 의하

여, 오프 전류의 저감, 및 트랜지스터의 내압향상에 의하여, 트랜지스터의 신뢰성을 보다 좋게 할 수 있다. 또한, 멀티 게이트 구조에 의하여, 포화영역에서 동작할 때에 드레인-소스간 전압이 변화해도, 드레인-소스간 전류가 거의 변화하지 않고, 기울기가 플랫한 전압-전류 특성을 얻을 수 있다. 기울기가 플랫한 전압-전류 특성을 이용하면, 이상적인 전류원 회로나, 매우 높은 저항값을 가지는 능동부하를 실현할 수 있다. 그 결과, 특성이 좋은 차동회로나 커런트 미러 회로를 실현할 수 있다. 또한, 채널영역의 상하에 게이트 전극이 배치되는 구조라도 좋다. 채널영역의 상하에 게이트 전극을 배치되는 것에 의하여, 실효적인 채널영역이 증가하기 때문에, 전류량의 증가나 공핍증이 쉽게 형성되므로 S값의 저감을 도모할 수 있다. 또한, 채널영역의 상하에 게이트 전극을 배치한 경우, 복수의 트랜지스터가 병렬로 접속되는 구성이 된다.

<52>

또한 채널영역 위에 게이트 전극이 배치되어 있는 구조라도 좋고, 채널영역 아래에 게이트 전극이 배치되어 있는 구조라도 좋다. 또한, 정스태거 구조, 또는, 역스태거 구조라도 좋다. 또한, 채널영역이 복수의 영역에 분할되거나, 채널영역이 병렬 또는 직렬로 접속되어도 좋다. 또한, 채널영역(또는 그 일부)에 소스 전극이나 드레인 전극이 겹치는 구조로 하는 것으로써, 채널영역의 일부에 전하가 축적하여, 동작이 불안정하게 되는 것을 방지할 수 있다. 또한, LDD영역을 형성하여도 좋다. LDD영역을 형성함으로써, 오프 전류의 저감 및 트랜지스터의 내압향상에 의하여 트랜지스터의 신뢰성을 보다 좋은 것으로 할 수 있다. 또는, LDD영역을 형성함으로써, 포화영역에서 동작할 때, 드레인-소스간 전압이 변화해도, 드레인-소스간 전류가 거의 변화하지 않고 기울기가 플랫한 전압-전류 특성을 얻을 수 있다.

<53>

또한, 상술한 바와 같이, 본 발명에 있어서의 트랜지스터는, 여러가지 타입의 트랜지스터를 사용할 수 있고, 덧붙여, 여러가지 기판에 형성시킬 수 있다. 따라서, 소정의 기능을 실현시키기 위해서 필요한 회로의 모두가, 동일한 기판에 형성되어도 좋다. 예를 들면, 소정의 기능을 실현시키기 위해서 필요한 회로의 모두가 유리기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판에 형성되어도 좋다. 이와 같이, 소정의 기능을 실현시키기 위해서 필요한 회로의 모두를 같은 기판에 형성함으로써, 부품점수의 삭감에 의한 비용의 저감이나 회로부품과의 접속점수의 저감에 의한 신뢰성의 향상을 도모할 수 있다. 한편, 소정의 기능을 실현시키기 위해서 필요한 회로의 일부를 어느 기판에, 소정의 기능을 실현시키기 위해서 필요한 회로의 다른 일부를 다른 기판에 형성하여도 좋다. 즉, 소정의 기능을 실현시키기 위해서 필요한 회로의 모두가 같은 기판에 형성할 필요는 없다.

<54>

예를 들면, 소정의 기능을 실현시키기 위해서 필요한 회로의 일부를 유리 기판 위에, 다른 일부를 단결정 기판에 형성하고, 단결정 기판의 트랜지스터로 구성된 IC칩을 COG(Chip On Glass)로 유리 기판에 접속하여 유리 기판 위에 배치하여도 좋다. 또는, 그 IC칩을 TAB(Tape Automated Bonding)나 프린트 기판을 사용하여 유리 기판과 접속하여도 좋다. 이와 같이, 회로의 일부가 동일한 기판에 형성됨으로써, 부품점수의 삭감에 의한 비용의 저감이나 회로부품과의 접속점수의 저감에 의한 신뢰성의 향상을 도모할 수 있다. 또한, 구동전압이 높은 부분이나 구동 주파수가 높은 부분의 회로는 소비전력이 크기 때문에, 이러한 부분의 회로는 다른 회로와 동일한 기판에 형성하지 않고, 예를 들면, 단결정 기판에 형성한 IC칩을 사용함으로써, 소비전력의 증가를 방지할 수 있다.

<55>

또한, 본 명세서에 있어서, 1화소는 밝기를 제어할 수 있는 요소 하나를 나타내는 것이다. 일례로서는, 1화소는, 하나의 색 요소를 나타내는 것으로 하고, 그 색 요소 하나로 밝기를 표현한다. 따라서, 그때는, R(적색) G(녹색) B(청색)의 색 요소로 이루어지는 컬러 표시 장치의 경우에는, 화상의 최소단위는, R의 화소와 G의 화소와 B의 화소의 3화소로 구성되는 것으로 한다. 또한, 색 요소는, 3색에 한정되지 않고, 그 이상의 수를 사용하여도 좋고, RGB 이외의 색을 사용하여도 좋다. 예를 들면, RGBW(W는 백색)나 RGB에, 예를 들면, 황색, 시안색, 진홍색, 에메랄드 그린, 주홍색 등을 1색 이상 추가한 것도 있다. 또한, RGB 중의 적어도 1색에 관해서, 유사한 색을 RGB에 추가하여도 좋다. 예를 들면, R, G, B1, B2로 하여도 좋다. B1과 B2는, 어느 쪽이나 청색이지만, 약간 주파수가 다르다. 마찬가지로, R1, R2, G, B나 R, G1, G2, B로 하여도 좋다. 이러한 색 요소를 사용함으로써, 더욱 실물에 가까운 표시를 할 수 있다. 또한, 이러한 색 요소를 사용함으로써, 소비전력을 저감할 수 있다. 또한, 다른 예로서는, 1개의 색 요소에 관해서, 복수의 영역을 사용하여 밝기를 제어하는 경우는, 그 영역 하나를 1화소로 하여도 좋다. 일례로서는, 면적 계조를 하는 경우, 또는 부화소(서브 화소)를 가지는 경우를 들 수 있다. 이러한 경우, 하나의 색 요소에 관하여, 밝기를 제어하는 영역이 복수 있고, 그 전체로 계조를 표현하는 것이지만, 밝기를 제어하는 영역의 하나를 1화소로 하여도 좋고, 이 경우는, 하나의 색 요소는, 복수의 화소로 구성된다. 또한, 밝기를 제어하는 영역이 하나의 색 요소 중에 복수 있어도, 그들을 종합하여 하나의 색 요소를 1화소로 하여도 좋다. 또한, 그 경우에는, 하나의 색 요소로 1화소를 구성한다. 또한, 하나의 색 요소에 대해서, 복수의 영역을 사용하여 밝기를 제어할 경우, 화소에 따라 표시에 기여하는 영역의 크기가 다른 경우가 있다. 또한, 하나의 색 요소에 대해 복수 있는, 밝기를 제어하는 영역에 있어서, 각

각에 공급하는 신호를 약간 다르도록 하고, 시야각을 확대하도록 하여도 좋다. 즉, 하나의 색 요소에 대해서 복수 있는 영역이 가지는 화소전극의 전위를 각각 다른 것으로 함으로써, 액정분자에 가해지는 전압을 다르게 하고, 시야각을 향상시킬 수 있다.

<56> 또한, 본 명세서에 있어서, 반도체 장치는 반도체 소자(트랜지스터나 다이오드 등)를 포함하는 회로를 가지는 장치를 의미한다. 또한, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반이라도 좋다. 또한, 표시장치는, 기판 위에 부하를 포함하는 복수의 화소나 그들의 화소를 구동시키는 주변구동회로가 형성된 표시패널 본체뿐만 아니라, 표시패널 본체에 Flexible Printed Circuit(FPC)나, 프린트 배선 기판(PWB)이 설치된 것도 포함한다.

<57> 또한, 본 발명에 있어서, “어느 물체 위에 형성된다”, 또는, “무엇무엇 위에 형성된다”고 하는 표현과 같이, “무엇무엇의 위에”, 또는 “무엇무엇 위에”라고 하는 기재는 어느 물체 위에 직접 접하는 경우에 한정되지 않는다. 직접 접하지 않는 경우, 즉, 사이에 다른 것이 끼워지는 경우도 포함한다. 따라서, 예를 들면, “층 A 위에(또는 층 A 위에) 층 B가 형성되어 있다”고 기재된 경우에는, 층 A 위에 직접 접해서 층 B이 형성되어 있는 경우와, 층 A의 위에 다른 층(예를 들면 층 C나 층 D 등)이 형성되고, 그 위에 층 B가 형성되는 경우를 포함하는 것으로 한다. 또한, “무엇무엇의 상방에”라고 하는 기재도 같으며, 어느 것의 위에 직접 접하는 것으로 한정되지 않고, 사이에 다른 것이 끼워지는 경우도 포함한다. 따라서, 예를 들면, “층 A의 상방에 층 B가 형성된다”고 하는 경우는, 층 A의 위에 직접 접하여 층 B가 형성된 경우와, 층 A의 위에 다른 층(예를 들면, 층 C나 층 D 등)이 형성되어, 그 위에 층 B가 형성되는 경우를 포함한다. 또한, “무엇무엇의 아래, 또는 무엇무엇의 하방에”라고 하는 기재에 대해서도, 마찬가지로 직접 접하는 경우와, 접하지 않는 경우를 포함한다.

효과

<58> 본 발명에 의하여, 트랜지스터의 임계값 전압의 편차에 기인한 전류값의 편차를 억제할 수 있다. 따라서, 발광소자를 비롯한 부하에 원하는 전류를 공급할 수 있다. 특히, 부하로서 발광소자를 사용하는 경우, 휘도의 편차가 적고 1프레임 기간에 있어서의 발광기간의 비율이 높은 표시장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

<59> 이하, 본 발명의 형태에 관하여 설명한다. 단, 본 발명은 다양한 형태로 실시할 수 있으며, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 형태의 기재 내용에 한정해서 해석되지 않는다. 이때, 이하에 설명하는 본 발명의 구성에 있어서, 동일한 부분을 가리키는 부호는 다른 도면간에서 공통으로 사용한다.

<60> (실시형태 1)

<61> 본 발명의 화소의 기본 구성에 대해서, 도 1을 참조하여 설명한다. 도 1에 도시하는 화소는, 트랜지스터(110), 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113), 제 4 스위치(114), 제 1 용량소자(115), 제 2 용량소자(116), 발광소자(117)를 가진다. 또한, 화소는, 신호선(118), 제 1 주사선(119), 제 2 주사선(120), 제 3 주사선(121), 전원선(122), 및 전위공급선(123)에 접속되어 있다. 본 실시형태에 있어서, 트랜지스터(110)는 N채널형 트랜지스터로 하고, 그 게이트-소스간 전압(V_{gs})이 임계값 전압(V_{th})을 초과하면, 도통상태가 되는 것으로 한다. 또한 발광소자(117)의 화소전극은 양극, 대향전극(124)은 음극으로서 기능한다. 또한, 트랜지스터의, 게이트-소스간 전압은 V_{gs} , 드레인-소스간 전압은 V_{ds} , 임계값 전압은 V_{th} , 제 1 용량소자(115) 및 제 2 용량소자(116)에 축적된 전압은 각각 V_{c1} , V_{c2} 로 기재하고, 전원선(122), 전위공급선(123) 및 신호선(118)을 각각의 제 1 배선, 제 2 배선, 제 3 배선이라고도 부른다. 또한, 제 1 주사선(119), 제 2 주사선(120), 및 제 3 주사선(121)을 각각 제 4 배선, 제 5 배선, 제 6 배선이라고 불러도 좋다.

<62> 트랜지스터(110)의 제 1 전극(소스 전극 및 드레인 전극의 한쪽)은, 발광소자(117)의 화소전극에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)은 제 2 스위치(112)를 통하여 전원선(122)에 접속되고, 게이트 전극은 제 3 스위치(113) 및 제 2 스위치(112)를 통하여 전원선(122)과 접속되어 있다. 또한, 제 3 스위치(113)는, 트랜지스터(110)의 게이트 전극과 제 2 스위치(112) 사이에 접속되어 있다.

<63> 또한, 트랜지스터(110)의 게이트 전극과 제 3 스위치(113)의 접속개소를 노드(130)로 하면, 노드(130)는 제 1 용량소자(115) 및 제 1 스위치(111)를 통하여 신호선(118)과 접속된다. 즉, 제 1 용량소자(115)의 제 1 전극이 제 1 스위치(111)를 통하여 신호선(118)에, 제 2 전극이 트랜지스터(110)의 게이트 전극에 접속된다.

또한, 제 1 용량소자(115)의 제 1 전극은 제 4 스위치(114)를 통하여 전위공급선(123)과도 접속된다. 노드(130)는 덧붙여 제 2 용량소자(116)를 통하여 트랜지스터(110)의 제 1 전극과도 접속된다. 즉, 제 2 용량소자(116)의 제 1 전극이 트랜지스터(110)의 게이트 전극과, 제 2 전극이 트랜지스터(110)의 제 1 전극에 접속된다. 이들의 용량소자는, 배선, 반도체 층이나 전극에 의하여 절연막을 끼워으로써 형성하여도 좋고, 경우에 따라, 도 55에 도시하는 바와 같이, 트랜지스터(110)의 게이트 용량을 사용하여 제 2 용량소자(116)를 생략할 수도 있다. 이들의 전압을 유지하는 수단을 유지용량이라고 한다. 또한, 노드(130)와, 제 1 용량소자(115)의 제 2 전극과 제 2 용량소자(116)의 제 1 전극이 접속되는 배선과의 접속개소를 노드 131, 트랜지스터(110)의 제 1 전극과, 제 2 용량소자(116)의 제 2 전극과 발광소자(117)의 화소전극이 접속되는 배선과의 접속개소를 노드 132, 및 트랜지스터(110)의 제 2 전극과, 제 2 스위치(112)와 제 3 스위치(113)가 접속되는 배선과의 접속개소를 노드 133으로 한다.

<64> 또한, 제 1 주사선(119), 제 2 주사선(120), 제 3 주사선(121)에 신호를 입력함으로써, 각각 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113) 및 제 4 스위치(114)의 온(ON)/오프(OFF)가 제어된다.

<65> 신호선(118)에는, 비디오 신호에 상당하는 화소의 계조에 따른 신호, 즉, 휘도 데이터에 따른 전위가 입력된다.

<66> 다음, 도 1에서 도시하는 화소의 동작에 대해서 도 2의 타이밍 차트 및 도 3a 내지 도 3d를 사용하여 설명한다. 또한, 도 2에 있어서 1화면분의 화상을 표시하는 기간에 상당하는 1프레임 기간은, 초기화 기간, 임계값 전압 기록 기간, 데이터 기록 기간, 및 발광기간으로 분할된다. 또한, 초기화 기간, 임계값 전압 기록 기간, 데이터 기록 기간을 종합하여 어드레스 기간이라고 부른다. 1프레임 기간은 특별히 한정되지 않지만, 화상을 보는 사람이 깜박거림(flicker)을 느끼지 않도록 1/60초 이하로 하는 것이 바람직하다.

<67> 또한, 발광소자(117)의 대향전극(124)에는 V1의 전위(V1: 임의의 수)가 입력된다. 또한, 발광소자(117)가 발광하기 위해서 적어도 필요로 하는 전위차를 V_{EL} 로 하면, 전원선(122)에는, $V1+V_{EL}+V_{th}+a$ (a : 임의의 양수)의 전위가 입력된다. 즉, 전원선(122)의 전위는 $V1+V_{EL}+V_{th}+a$ 이상이면 좋다. 전위공급선(123)의 전위는 특별히 한정되지 않지만, 화소가 형성된 패널에 입력되는 전위의 범위내인 것이 바람직하다. 이렇게 하면, 전원을 별도 제작할 필요가 없어진다. 또한, 여기서는 전위공급선(123)의 전위를 V2로 한다.

<68> 우선, 도 2의 기간(A) 및 도 3a에 도시하는 초기화기간에서는, 제 1 스위치(111)를 오프로 하여, 제 2 스위치(112), 제 3 스위치(113) 및 제 4 스위치(114)를 온으로 한다. 이 때, 트랜지스터(110)는 도통상태이며, 제 1 용량소자(115)에는 $V1+V_{EL}+V_{th}+a-V2$ 가, 제 2 용량소자(116)에는 $V_{th}+a$ 가 유지된다. 또한, 초기화 기간에서는, 제 1 용량소자(115)에는 소정의 전압이, 제 2 용량소자(116)에는 적어도 V_{th} 보다 높은 전압이 유지되면 좋다.

<69> 도 2의 기간(B) 및 도 3b에 도시하는 임계값 전압 기록 기간에서는, 제 2 스위치(112)를 오프로 한다. 따라서, 트랜지스터(110)의 제 1 전극 즉, 소스 전극의 전위는 점점 상승하고, 트랜지스터(110)의 게이트-소스 간 전압 V_{gs} 가 임계값 전압(V_{th})으로 되면, 트랜지스터(110)는 비도통 상태가 된다. 따라서, 제 2 용량소자(116)에 유지되는 전압 V_{c2} 는 대체로 V_{th} 가 된다.

<70> 그 후의 도 2의 기간(C) 및 도 3c에 도시하는 데이터 기록 기간에 있어서는, 제 3 스위치(113) 및 제 4 스위치(114)를 오프로 한 후, 제 1 스위치(111)를 온으로 하고, 신호선(118)보다 휘도 데이터에 따른 전위($V2+V_{data}$)를 입력한다. 이 때, 제 2 용량소자(116)에 유지되는 전압 V_{c2} 는, 제 1 용량소자(115), 제 2 용량소자(116) 및 발광소자(117)의 정전용량을 각각 C1, C2, C3로 하면, $C3 \gg C1, C2$ 로부터 수식(1)과 같이 나타낼 수 있다.

<71> [수식 1]

$$V_{c2} = V_{th} + V_{data} \times \frac{C1}{C1+C2} \quad \dots (1)$$

<72>

<73> 또한, C1과 C2는 신호선(118)으로부터 공급하는 전위를 결정할 때에 필요하지만, 이들의 관계는 특별히 한정되지 않는다. 또한, $C1 > C2$ 의 경우에는, 휘도변화에 따른 V_{data} 의 진폭을 적게 할 수 있기 때문에, 소비전력을 저감할 수 있다. 한편, $C2 > C1$ 의 경우에는, 주위의 스위치의 온, 오프나 오프 전류에 의한 V_{c2} 의 변화를

억제할 수 있다. 이들의 상반되는 효과에 의거하여 C1과 C2는 동일이며, 제 1 용량소자(115)와 제 2 용량소자(116)의 크기는 동일한 것이 바람직하다.

<74> 또한, 다음 발광기간에 있어서, 발광소자(117)를 비발광으로 하고 싶은 경우는, $V_{data} \leq 0$ 의 전위를 입력하면 좋다.

<75> 다음, 도 2의 기간(D) 및 도 3d에 도시하는 발광기간에서는, 제 1 스위치(111)를 오프로 한 후, 제 2 스위치(112)를 온으로 한다. 이 때, 트랜지스터(110)의 게이트-소스간 전압은 $V_{gs}=V_{th}+V_{data} \times (C_1/(C_1+C_2))$ 이고, 휘도 데이터에 따른 전류가 트랜지스터(110) 및 발광소자(117)에 흘러, 발광소자(117)가 발광한다. 물론, 신호선(118)으로부터 입력되는 휘도 데이터에 따른 전위에 대해서는, 트랜지스터(110)의 게이트-소스간 전압이 $V_{gs}=V_{th}+V_{data} \times (C_1/(C_1+C_2))$ 로 되는 것을 고려하여 V_{data} 를 결정한다.

<76> 또한, 발광소자(117)에 흐르는 전류 I는, 트랜지스터(110)를 포화영역에서 동작시킨 경우, 수식 (2)로 나타내진다.

<77> [수식 2]

$$\begin{aligned} I &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (V_{gs} - V_{th})^2 \\ &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (V_{th} + V_{data} \times \frac{C_1}{C_1+C_2} - V_{th})^2 \\ &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (V_{data} \times \frac{C_1}{C_1+C_2})^2 \dots (2) \end{aligned}$$

<78>

<79> 또한, 트랜지스터(110)를 선형영역에서 동작시킨 경우, 발광소자(117)에 흐르는 전류 I는 수식(3)로 나타내진다.

<80> [수식 3]

$$\begin{aligned} I &= \left(\frac{W}{L} \right) \mu C_{ox} [(V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2] \\ &= \left(\frac{W}{L} \right) \mu C_{ox} [(V_{th} + V_{data} \times \frac{C_1}{C_1+C_2} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2] \\ &= \left(\frac{W}{L} \right) \mu C_{ox} [(V_{data} \times \frac{C_1}{C_1+C_2}) V_{ds} - \frac{1}{2} V_{ds}^2] \dots (3) \end{aligned}$$

<81>

<82> 여기서, W는 트랜지스터(110)의 채널 폭, L는 채널 길이, μ 는 이동도, C_{ox} 는 측적용량을 가리킨다.

<83> 수식(2) 및 수식(3)으로부터, 트랜지스터(110)의 동작영역이 포화영역, 선형영역의 어느 경우에 있어서도, 발광소자(117)에 흐르는 전류는, 트랜지스터(110)의 임계값 전압(V_{th})에 의존하지 않는다. 따라서, 트랜지스터(110)의 임계값 전압의 편차에 기인한 전류값의 편차를 억제하고, 휘도 데이터에 대응한 전류를 발광소자(117)에 공급할 수 있다.

<84> 상술한 바와 같이, 트랜지스터(110)의 임계값 전압의 편차에 기인한 휘도의 편차를 억제할 수 있다. 또한, 대향전극(124)의 전위를 일정하게 동작시키기 때문에, 소비전력을 낮게 할 수 있다.

<85> 또한, 트랜지스터(110)를 포화영역에서 동작시킨 경우에 있어서는, 발광소자(117)의 열화에 의한 휘도의 편차도 억제할 수 있다. 또한, 발광소자(117)의 열화는, 그 전류전압특성이 열화 전에 비하여 평행으로 시프트한 경우에 한정되지 않는다. 예를 들면, 특성의 기울기나 특성이 곡선으로 나타내지는 경우에는, 그 미분값이 열화전과 비하여 다른 경우도 포함된다. 발광소자(117)가 열화하면, 발광소자(117)의 V_{EL} 는 증가하고, 트랜지스터(110)의 제 1 전극, 즉 소스 전극의 전위는 상승한다. 이 때, 트랜지스터(110)의 소스 전극은 제 2 용량소자(116)의 제 2 전극에 트랜지스터(110)의 게이트 전극은 제 2 용량소자(116)의 제 1 전극에 접속되어, 게이트 전극은 부유 상태로 된다. 따라서, 소스 전위의 상승에 따라, 동일한 전위분 트랜지스터(110)의 게이트 전위도 상승한다. 따라서, 트랜지스터(110)의 V_{gs} 는 변화하지 않기 때문에, 혹시 발광소자가 열화해도 트랜지

스터(110) 및 발광소자(117)에 흐르는 전류에 영향을 미치지 않는다. 또한, 수식(2)에 있어서도, 발광소자(117)에 흐르는 전류 I는 소스 전위나 드레인 전위에 의존하지 않는 것을 알 수 있다.

<86> 따라서, 트랜지스터(110)를 포화영역에서 동작시킨 경우에 있어서는, 트랜지스터(110)의 임계값 전압의 편차 및 발광소자(117)의 열화에 기인한 트랜지스터(110)에 흐르는 전류의 편차를 억제할 수 있다.

<87> 또한, 트랜지스터(110)를 포화영역에서 동작시킨 경우, 채널 길이 L가 짧을수록, 항복현상에 의하여 드레인 전압을 현저히 증가시키면 전류가 대량으로 흐르기 쉽다.

<88> 또한, 드레인 전압을 핀치-오프(pinch-off) 전압보다 증가시키면, 핀치-오프점이 소스측에 이동하여, 실질 채널로서 기능하는 실효적인 채널 길이는 감소한다. 따라서, 전류값이 증가한다. 이 현상을 채널 길이 변조라고 부른다. 또한, 핀치-오프점은, 채널이 소멸해 가 게이트 아래에 있어서 채널의 두께가 0으로 되는 경계 개소이며, 핀치-오프 전압은 핀치-오프점이 드레인 단으로 되는 경우의 전압을 가리킨다. 이 현상도, 채널 길이 L가 짧을수록 생기기 쉽다. 예를 들면, 채널 길이 변조에 의한 전압-전류특성의 모델 도면을 도 4에 도시 한다. 또한, 도 4에 있어서, 트랜지스터의 채널 길이 L는 (a)>(b)>(c)이다.

<89> 이상으로부터, 트랜지스터(110)를 포화영역에서 동작시키는 경우, 드레인-소스간 전압 V_{ds}에 대한 전류 I는 보다 일정에 가까운 것이 바람직하다. 따라서, 트랜지스터(110)의 채널 길이 L는 긴 것이 바람직하다. 예를 들면, 트랜지스터의 채널 길이 L는 채널 폭 W보다 큰 것이 바람직하다. 또한, 채널 길이 L는 10μm 이상 50 μm 이하, 보다 바람직하게는, 15μm 이상 40μm 이하이다. 다만, 채널 길이 L 및 채널 폭 W는 이것에 한정되지 않는다.

<90> 이상과 같이, 트랜지스터의 임계값 전압의 편차에 기인한 전류값의 편차를 억제할 수 있기 때문에, 본 발명에 있어서 그 트랜지스터에 의하여 제어된 전류가 공급되는 지점은 특별히 한정되지 않는다. 따라서, 도 1에 나타낸 발광소자(117)는, 대표적으로는, EL소자(유기 EL 소자, 무기 EL 소자 또는 유기물 및 무기물을 포함하는 EL소자)를 적용할 수 있다. 또한, 발광소자(117) 대신에, 잠자방출소자, 액정소자, 전자잉크 등을 적용할 수도 있다. 도 5에 발광소자(117)에 EL소자(517)를 사용한 예를 나타낸다. 또한, 도 5는 화소전극(511)으로부터 대향전극(124)에 전류가 흐르는 상태를 나타낸다.

<91> 또한, 트랜지스터(110)는 발광소자(117)에 공급하는 전류를 제어하는 기능을 가지면 좋기 때문에, 트랜지스터의 종류는 특별히 한정되지 않고, 다양한 형태의 것을 사용할 수 있다. 예를 들면, 결정성 반도체막을 사용한 박막 트랜지스터(TFT), 비정질 실리콘이나 다결정 실리콘으로 대표되는 비결정성 반도체막을 사용한 박막 트랜지스터, 반도체 기판이나 SOI기판을 사용하여 형성되는 트랜지스터, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터, ZnO나 a-InGaZnO 등의 화합물 반도체를 사용한 트랜지스터, 유기반도체나 카본나노튜브를 사용한 트랜지스터, 그 이외의 트랜지스터를 트랜지스터(110)에 적용할 수 있다.

<92> 제 1 스위치(111)는 휘도 데이터에 따른 전위, 즉 비디오 신호를 신호선(118)으로부터 화소에 입력하는 타이밍을 선택하여, 주로 제 1 용량소자(115)에 유지되는 전압, 및 제 2 용량소자(116)에 유지되는 전압 즉 트랜지스터(110)의 게이트-소스간 전압을 변화시키는 것이다. 또한, 제 2 스위치(112)는 트랜지스터(110)의 제 2 전극에 소정의 전위를 공급하는 타이밍을 선택하는 것이다. 또한, 경우에 따라, 제 1 용량소자(115)의 제 2 전극 및 제 2 용량소자(116)의 제 1 전극에도 상기 소정의 전위를 공급한다. 제 3 스위치(113)는, 트랜지스터(110)의 게이트 전극과 제 2 전극과의 접속을 제어하는 것이며, 제 4 스위치(114)는 프레임 기간마다 제 1 용량소자(115)에 소정의 전압을 유지시키는 타이밍을 선택하여, 제 1 용량소자(115)의 제 1 전극에 소정의 전위를 공급하는지 아닌지를 제어하는 것이다. 따라서, 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113), 제 4 스위치(114)는, 상기 기능을 가지면 특별히 한정되지 않는다. 예를 들면, 트랜지스터나 다이오드라도 좋고, 그들을 조합한 논리회로라도 좋다. 또한, 제 1 스위치(111), 제 2 스위치(112) 및 제 4 스위치(114)는, 상기 타이밍으로 신호 또는 전위를 화소에 줄 수 있으면 특별히 필요는 없다. 또한, 제 3 스위치(113)에 있어서도, 상기 기능을 실현할 수 있으면, 특별히 필요는 없다.

<93> 예를 들면, 초기화 기간 및 임계값 전압 기록 기간에 있어서 제 1 용량소자(115)에 소정의 전압을 유지시킬 수 있고, 덧붙여, 화소의 계조에 따른 신호를 데이터 기록 기간에 화소에 입력할 수 있는 경우는, 화소내에 제 1 스위치(111) 및 제 4 스위치(114)를 형성하지 않아도 좋다. 또한, 화소에 초기기간 및 발광기간에 있어서 $V_1 + V_{EL} + V_{th} + \alpha$ ($\alpha > 0$)를 공급하는 것이 가능하면, 도 43에 도시하는 바와 같이, 제 2 스위치(112)를 특별히 형성하지 않아도 좋다. 도 43에 도시하는 화소는, 트랜지스터(110), 제 1 용량소자(115), 제 3 스위치(113), 화소전극(4300)을 가진다. 그리고, 트랜지스터(110)의 제 1 전극(소스 전극 및 드레인 전극의 한쪽)은 화소전

극(4300)에 접속되고, 게이트 전극은 제 3 스위치(113)를 통하여 트랜지스터(110)의 제 2 전극과 접속된다. 또한, 트랜지스터(110)의 게이트 전극은 제 1 용량소자(115)의 제 2 전극과도 접속된다. 또한, 제 1 용량소자(115)의 제 1 전극에는 계조에 따른 신호, 즉 휘도 데이터에 따른 전위(즉, V₂+V_{data}) 및 제 1 용량소자(115)에 소정의 전압을 유지시키기 위한 임의의 전위(즉, V₂)가 소정의 기간에 공급된다. 또한, 트랜지스터(110)의 게이트 용량(4310)을 유지용량으로서 이용하기 때문에, 도 1에 있어서의 제 2 용량소자(116)를 특별히 형성할 필요는 없다. 이러한 화소에 있어서도, 도 2a 내지 도 2d에 도시하는 타이밍 차트와 유사하게 각각의 전극에 원하는 전위를 공급함으로써, 트랜지스터(110)의 임계값 전압의 편차에 기인한 전류값의 편차를 억제할 수 있다. 따라서, 화소전극(4300)에 원하는 전류를 공급할 수 있다. 물론, 도 1에 있어서의 제 2 용량소자(116)에 있어서도 트랜지스터(110)의 게이트 용량을 이용하여, 생략하는 것도 가능하다.

<94> 다음, 도 6에 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113) 및 제 4 스위치(114)에 N채널형의 트랜지스터를 적용한 경우에 대해서 나타낸다. 또한, 도 1의 구성과 공통하는 부분은, 공통의 부호를 사용하여 그 설명을 생략한다.

<95> 제 1 스위칭 트랜지스터(611)가 도 1에 있어서의 제 1 스위치(111)에 상당하고, 제 2 스위칭 트랜지스터(612)가 제 2 스위치(112)에 상당하고, 제 3 스위칭 트랜지스터(613)가 제 3 스위치(113)에 상당하고, 제 4 스위칭 트랜지스터(614)가 제 4 스위치(114)에 상당한다. 또한, 트랜지스터(110)의 채널 길이는, 제 1 스위칭 트랜지스터(611), 제 2 스위칭 트랜지스터(612), 제 3 스위칭 트랜지스터(613) 및 제 4 스위칭 트랜지스터(614) 중의 어느 트랜지스터의 채널 길이보다 긴 것이 바람직하다.

<96> 제 1 스위칭 트랜지스터(611)는, 게이트 전극이 제 1 주사선(119)에, 제 1 전극이 신호선(118)에, 제 2 전극이 제 1 용량소자(115)의 제 1 전극에 접속된다.

<97> 또한, 제 2 스위칭 트랜지스터(612)는 게이트 전극이 제 2 주사선(120)에 접속되고, 제 1 전극이 노드(133)에 접속되고, 제 2 전극이 전원선(122)에 접속된다.

<98> 제 3 스위칭 트랜지스터(613)는 게이트 전극이 제 3 주사선(121)에 접속되고, 제 1 전극이 노드(130)에 접속되고, 제 2 전극이 노드(133)에 접속된다.

<99> 또한, 제 4 스위칭 트랜지스터(614)는 게이트 전극이 제 3 주사선(121)에 접속되고, 제 1 전극이 제 1 용량소자(115)의 제 1 전극에 접속되고, 제 2 전극이 전위공급선(123)에 접속된다.

<100> 각각의 스위칭 트랜지스터는, 각각의 주사선에 입력되는 신호가 H레벨 때에 온이 되고, 입력되는 신호가 L레벨 때에 오프가 된다.

<101> 도 6에 도시한 화소의 레이아웃의 일형태를 상면도를 사용하여 도 44에 도시한다. 또한, 트랜지스터나 용량소자, 발광소자 등의 구성에 대해서는, 후술의 실시형태에서 설명하기 때문에, 여기서는 레이아웃에 대해서만 설명한다. 또한, 도 44에 도시하는 트랜지스터(110) 및 제 1 스위칭 트랜지스터(611) 내지 제 4 스위칭 트랜지스터(614)에는, 반도체 층의 아래에 게이트 전극이 위치하는 보텀 게이트형의 트랜지스터를 사용한다.

<102> 도 44에 도시하는 도전층(4410)은, 제 1 주사선(119)과 제 1 스위칭 트랜지스터(611)의 게이트 전극으로서 기능하는 부분을 포함하고, 도전층(4411)은 신호선(118)과 제 1 스위칭 트랜지스터(611)의 제 1 전극으로서 기능하는 부분을 포함한다. 또한, 도전층(4412)은, 제 1 스위칭 트랜지스터(611)의 제 2 전극과, 제 1 용량소자(115)의 제 1 전극과, 제 4 스위칭 트랜지스터(614)의 제 1 전극으로서 기능하는 부분을 포함한다. 도전층(4413)은, 제 1 용량소자(115)의 제 2 전극과, 제 2 용량소자(116)의 제 1 전극과, 트랜지스터(110)의 게이트 전극으로서 기능하는 부분을 포함한다. 또한, 이 도전층(4413)은, 배선(4414)을 통하여 제 3 스위칭 트랜지스터(613)의 제 1 전극으로서 기능하는 부분을 포함하는 도전층(4415)과 접속된다. 도전층(4416)은, 제 2 용량소자(116)의 제 2 전극과, 트랜지스터(110)의 제 1 전극으로서 기능하는 부분을 포함하고, 콘택트 홀을 통하여 발광소자의 화소전극(4455)과 접속된다. 또한, 도전층(4417)은, 트랜지스터(110)의 제 2 전극과, 제 3 스위칭 트랜지스터(613)의 제 2 전극과, 제 2 스위칭 트랜지스터(612)의 제 1 전극으로서 기능하는 부분을 포함하고, 도전층(4418)은, 전원선(122)과, 제 2 스위칭 트랜지스터(612)의 제 2 전극으로서 기능하는 부분을 포함한다. 도전층(4419)은, 제 2 주사선(120)과, 제 2 스위칭 트랜지스터(612)의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층(4420)은, 제 3 스위칭 트랜지스터(613)의 게이트 전극과, 제 4 스위칭 트랜지스터(614)의 게이트 전극으로서 기능하는 부분을 포함하고, 배선(4421)을 통하여 제 3 주사선(121)과 접속된다. 또한, 제 4 스위칭 트랜지스터(614)의 제 2 전극으로서 기능하는 부분을 포함하는 도전층(4422)은, 배선(4423)을 통하여 전위공급선(123)과 접속된다.

<103> 또한, 각각 도전층 중, 제 1 스위칭 트랜지스터(611)의 게이트 전극, 제 1 전극 및 제 2 전극으로서 기능하는 부분은, 각각을 포함하는 도전층과 반도체 층(4431)이 겹치는 부분이며, 제 2 스위칭 트랜지스터(612)의 게이트 전극, 제 1 전극 및 제 2 전극으로서 기능하는 부분은, 각각을 포함하는 도전층과 반도체 층(4432)이 겹치는 부분이다. 또한, 각각의 도전층 중, 제 3 스위칭 트랜지스터(613)의 게이트 전극, 제 1 전극 및 제 2 전극으로서 기능하는 부분은, 각각을 포함하는 도전층과 반도체 층(4433)과 겹치는 부분이며, 제 4 스위칭 트랜지스터(614)의 게이트 전극, 제 1 전극 및 제 2 전극으로서 기능하는 부분은, 각각을 포함하는 도전층과 반도체 층(4434)이 겹치는 부분이다. 마찬가지로, 트랜지스터(110)에 있어서도, 게이트 전극, 제 1 전극 및 제 2 전극으로서 기능하는 부분은, 각각을 포함하는 도전층과 반도체 층(4430)과 겹치는 부분이다. 또한, 제 1 용량소자(115)는, 도전층(4412)과 도전층(4413)이 겹치는 부분에, 제 2 용량소자(116)는 도전층(4413)과 도전층(4416)이 겹치는 부분에 형성된다.

<104> 또한, 도전층(4410, 4413, 4419, 4420), 제 3 주사선(121) 및 전위공급선(123)은, 동일한 재료로 동일한 층을 사용하여 제작할 수 있다. 반도체 층(4430, 4431, 4432, 4433) 및 반도체 층(4434)이나 도전층(4411, 4412, 4415, 4416, 4417, 4418, 4422)은, 각각 동일한 재료로 동일한 층을 사용하여 제작할 수 있다. 또한, 화소전극(4455)과 동일한 재료로 동일한 층을 사용하여 배선(4414, 4421, 4423)을 제작할 수 있다.

<105> 도 44에 도시하는 바와 같이, 제 1 스위칭 트랜지스터(611)이외의 각각의 트랜지스터에 있어서, 소스 전극 및 드레인 전극의 한쪽이 다른 쪽의 전극을 둘러싸는 구조로 함으로써, 채널 폭을 넓게 할 수 있다. 따라서, 화소를 구성하는 트랜지스터의 반도체 층에 결정성 반도체 층보다 이동도의 낮은 비정질 반도체 층을 사용한 경우에는, 특히 유효하다. 물론, 제 1 스위칭 트랜지스터(611)에 있어서도, 소스 전극 및 드레인 전극의 한쪽이 다른 쪽의 전극을 둘러싸는 구조로 하여도 좋다.

<106> 다음, 도 6에 나타내는 화소의 도 44와 다른 레이아웃의 일형태를 상면도를 사용하여 도 45에 도시한다. 또한, 도 45에 도시하는 트랜지스터(110) 및 제 1 스위칭 트랜지스터(611) 내지 제 4 스위칭 트랜지스터(614)에는, 반도체 층 위에 게이트 전극이 위치하는 순 스태거형 등의 톱 게이트형 트랜지스터를 사용한다.

<107> 도 45에 있어서, 도전층(4510)은, 제 1 주사선(119)과 제 1 스위칭 트랜지스터(611)의 게이트 전극으로서 기능하는 부분을 포함하고, 도전층(4511)은 신호선(118)과 제 1 스위칭 트랜지스터(611)의 제 1 전극으로서 기능하는 부분을 포함한다. 반도체 막(4520)은, 제 1 스위칭 트랜지스터(611)의 반도체 층 및 제 2 전극으로서 기능하는 부분, 제 4 스위칭 트랜지스터(614)의 제 1 전극 및 반도체 층으로서 기능하는 부분, 제 1 용량소자(115)의 제 1 전극으로서 기능하는 부분을 포함한다. 또한, 반도체 막(4520)은 배선(4512)을 통하여 전위공급선(123)과 접속되고, 배선(4512)은 제 4 스위칭 트랜지스터(614)의 제 2 전극으로서 기능한다. 또한, 도전층(4513)은, 제 1 용량소자(115)의 제 2 전극과, 제 2 용량소자(116)의 제 1 전극과 트랜지스터(110)의 게이트 전극으로서 기능하는 부분을 포함한다. 또한, 도전층(4513)은 제 3 스위칭 트랜지스터(613)의 제 1 전극으로서 기능하는 배선(4514)을 통하여 반도체 막(4521)과 접속된다. 이 반도체 막(4521)은, 제 3 스위칭 트랜지스터(613)의 반도체 층 및 제 2 전극으로서 기능하는 부분, 제 2 스위칭 트랜지스터(612)의 제 1 전극 및 반도체 층으로서 기능하는 부분, 트랜지스터(110)의 제 1 전극, 반도체 및 제 2 전극으로서 기능하는 부분, 덧붙여, 제 2 용량소자(116)의 제 2 전극으로서 기능하는 부분을 포함한다. 도전층(4515)은, 제 2 주사선(120)과 제 2 스위칭 트랜지스터(612)의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층(4516)은, 전원선(122)과, 제 2 스위칭 트랜지스터(612)의 제 2 전극으로서 기능하는 부분을 포함한다. 도전층(4517)은, 제 3 스위칭 트랜지스터(613)의 게이트 전극으로서 기능하는 부분, 및 제 4 스위칭 트랜지스터(614)의 게이트 전극으로서 기능하는 부분을 포함하고, 배선(4518)을 통하여 제 3 주사선(121)과 접속된다. 또한, 발광소자의 화소전극(4545)은 배선(4519)을 통하여 반도체 막(4521)과 접속된다.

<108> 또한, 제 1 용량소자(115)는, 반도체 막(4520)과 도전층(4513)이 겹치는 부분에, 제 2 용량소자(116)는 반도체 막(4521)과 도전층(4513)이 겹치는 부분에 형성된다.

<109> 또한, 도전층(4510, 4513, 4515, 4517), 제 3 주사선(121) 및 전위 공급선(123)은, 동일한 재료로 동일한 층을 사용하여 제작할 수 있다. 반도체 막(4520, 4521)도 동일한 재료로 동일한 층을 사용하여 제작할 수 있다. 또한, 도전층(4511)과 동일한 재료로 동일한 층을 사용하여, 배선(4512, 4514), 도전층(4516), 배선(4518)을 제작할 수 있다.

<110> 또한, 화소의 레이아웃은 상기에 한정되지 않는다.

<111> 도 6의 화소구성에 있어서도, 도 1과 같은 동작방법에 의하여 트랜지스터(110)의 임계값 전압의 편차에

기인한 전류값의 편차를 억제할 수 있다. 따라서, 휘도 데이터에 대응한 전류를 발광소자(117)에 공급할 수 있고, 휘도의 편차를 억제할 수 있다. 또한, 트랜지스터(110)를 포화영역에서 동작시킨 경우에 있어서는, 발광소자(117)의 열화에 기인한 휘도의 편차도 억제할 수 있다.

<112> 또한, N채널형의 트랜지스터만으로 화소를 구성할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있다. 또한, 화소를 구성하는 트랜지스터의 반도체 층에 비정질 반도체, 세미 아모퍼스 반도체 등을 사용할 수 있다. 예를 들면, 비정질 반도체로서, 아모퍼스 실리콘(a-Si: H)을 들 수 있다. 이들의 반도체를 사용함으로써, 보다 제조공정의 간략화가 가능하다. 따라서, 제조비용의 삭감이나 수율의 향상을 도모할 수 있다.

<113> 또한, 제 1 스위칭 트랜지스터(611), 제 2 스위칭 트랜지스터(612), 제 3 스위칭 트랜지스터(613) 및 제 4 스위칭 트랜지스터(614)는, 단순히 스위치로서 동작시키기 때문에, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 다만, 오프 전류가 적은 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로서는, LDD영역을 형성하는 것이나, 멀티 게이트 구조로 하는 것 등이 있다. 또한, N채널형과 P채널형의 양쪽 모두를 사용하여, CMOS형의 스위치로 하여도 좋다.

<114> 또한, 도 1과 같은 동작을 행하는 것이면, 스위치의 접속은 다양한 구성을 취할 수 있으며, 도 1에 한정되지 않는다. 도 1의 화소구성의 동작을 설명한 도 3a 내지 도 3d로부터 알 수 있는 바와 같이, 본 발명에서는, 초기화 기간, 임계값 전압 기록 기간, 데이터 기록 기간 및 발광기간은, 각각 도 53a 내지 도 53d에 도시하는 실선과 같이, 도통 상태이면 좋다. 따라서, 이것을 충족시킬도록 스위치 등을 배치하여 동작시킬 수 있는 구성이면 좋다.

<115> 또한, 초기화 기간에서는, 제 1 용량소자(115)에 소정의 전압이, 제 2 용량소자(116)에는 적어도 트랜지스터(110)의 임계값 전압 V_{th} 보다 높은 전압이 유지되면 좋기 때문에, 도 54에 나타내는 바와 같이, 노드(132)는 제 5 스위치(5405)를 통하여 전위공급선(5401)과 접속되어도 좋다. 이 제 5 스위치(5405)는 초기화 기간만 온하여, 도 54에서는, 제 5 스위치(5405)의 온/오프를 제어하는 제어하는 주사선은 도시하지 않는다. 또한, 전위공급선(5401)의 전위는, $V_1 + V_{EL}$ 보다 낮은 전위라면 좋다. 보다 바람직하게는, V_1 이하의 전위이며, 이러한 전위로 함으로써, 발광소자(117)에 반대방향의 바이어스 전압을 인가할 수 있기 때문에, 발광소자에 있어서의 단락개소를 절연화하거나, 발광소자의 열화를 억제할 수 있다. 따라서, 발광소자의 수명을 연장시킬 수 있다.

<116> 계속해서, 상술한 본 발명의 화소를 가지는 표시장치에 대해서 도 7을 사용하여 설명한다.

<117> 표시장치에는, 신호선 구동회로(711), 주사선 구동회로(712) 및 화소부(713)가 포함된다. 화소부(713)는, 신호선 구동회로(711)로부터 열 방향으로 신장해서 배치된 복수의 신호선 S1 내지 Sm, 및 전원선 P1_1 내지 Pm_1, 주사선 구동회로(712)로부터 행 방향으로 신장해서 배치된 복수의 제 1 주사선 G1_1 내지 Gn_1, 제 2 주사선 G1_2 내지 Gn_2, 제 3 주사선 G1_3 내지 Gn_3, 및 전위공급선 P1_2 내지 Pn_2, 및 신호선 S1 내지 Sm에 대응해서 매트릭스 형상으로 배치된 복수의 화소(714)를 가진다. 그리고, 각 화소(714)는, 신호선 Sj(신호선 S1 내지 Sm 중 어느 하나), 전원선 Pj_1, 제 1 주사선 Gi_1(주사선 G1_1 내지 Gn_1 중 어느 하나), 제 2 주사선 Gi_2, 제 3 주사선 Gi_3, 및 전위공급선 Pi_2에 접속된다.

<118> 또한, 신호선 Sj, 전원선 Pj_1, 제 1 주사선 Gi_1, 제 2 주사선 Gi_2, 제 3 주사선 Gi_3, 전위공급선 Pi_2는, 각각 도 1의 신호선(118), 전원선(122), 제 1 주사선(119), 제 2 주사선(120), 제 3 주사선(121), 전위공급선(123)에 해당한다.

<119> 주사선 구동회로(712)로부터 출력되는 신호에 따라, 동작시키는 화소의 행을 선택하는 것과 동시에 동일한 행에 속하는 각각의 화소에 대해서 동시에 도 2a 내지 도 2d에 도시한 동작을 행한다. 또한, 도 2a 내지 도 2d의 데이터 기록 기간에는, 선택된 행의 화소에 신호선 구동회로(711)로부터 출력된 비디오 신호를 기록한다. 이 때, 각각의 화소의 휘도 데이터에 따른 전위가 각 신호선 S1 내지 Sm에 입력된다.

<120> 도 8에 나타낸 바와 같이, 예를 들면 i번째 행의 데이터 기록 기간을 종료하면 i + 1번째 행에 속하는 화소에 신호의 기록을 행한다. 또한, 도 8에는, 각 행에 있어서의 데이터 기록 기간을 나타내기 위해서, 이 기간을 충실하게 나타낼 수 있는 도 2a 내지 도 2d의 제 1 스위치(111)의 동작을 발췌하여 기재한다. 그리고, i 번째 행에 있어서의 데이터 기록 기간을 종료한 화소는, 발광 기간으로 이동하여, 그 화소에 기록된 신호에 따라 발광한다.

<121> 따라서, 각 행에 있어서의 데이터 기록 기간만 중복되지 않으면, 각 행에서 자유롭게 초기화 개시 시기

를 설정할 수 있다. 또한, 각 화소는 자신의 어드레스 기간을 제외하고 발광할 수 있으므로, 1프레임 기간에 있어서의 발광 기간의 비율(즉, 듀티비)을 매우 크게 할 수 있고, 대략 100%로 할 수도 있다. 따라서, 휘도의 편차가 적고 듀티비가 높은 표시장치를 얻을 수 있다.

<122> 또한, 임계값 전압 기록 기간을 길게 설정할 수도 있으므로, 트랜지스터의 임계값 전압을 보다 정확하게 용량소자에 기록할 수 있다. 따라서, 표시장치로서의 신뢰성을 향상시킬 수 있다.

<123> 이때, 도 7에 나타낸 표시장치의 구성은 일례이며, 본 발명은 이것에 한정되지 않는다. 예를 들면, 전위공급선 P1_2 내지 Pn_2는 제 1 주사선 G1_1 내지 Gn_1과 평행하게 배치되어 있을 필요는 없고, 신호선 S1 내지 Sm과 평행하게 배치되어 있어도 된다. 또한, 전원선 P1_1 내지 Pm_1에 있어서도 신호선 S1 내지 Sm과 평행으로 배치되는 필요는 없고, 제 1 주사선 G1_1 내지 Gn_1과 평행으로 배치되어도 좋다.

<124> 본 실시형태에서는, 제 3 스위치(113) 및 제 4 스위치(114)의 온/오프는 동일한 주사선, 즉 제 3 주사선(121)을 사용하여 제어하는 경우에 대해서 나타내지만, 각각 다른 주사선을 사용하여 도 2a 내지 도 2d의 타이밍 차트에 따라 각각 스위치를 제어하여도 좋다.

<125> 또한, 임계값 전압의 편차에는, 화소간에 있어서의 각 트랜지스터의 임계값 전압의 차이 이외에도, 1개의 트랜지스터에 주목한 경우에 있어서 경시적인 임계값 전압의 변화도 포함한다. 또한, 각 트랜지스터의 임계값 전압의 차이는, 트랜지스터의 제작시의 트랜지스터 특성의 차이에 의한 것도 포함한다. 또한, 여기서 말하는 트랜지스터는 발광소자 등의 부하에 전류를 공급하는 기능을 가지는 트랜지스터를 가리킨다.

<126> (실시형태 2)

<127> 본 실시형태에서는, 실시형태 1과 다른 구성의 화소를 도 9a에 도시한다. 또한, 실시형태 1과 같은 것에 대해서는, 공통의 부호를 사용하여 나타내고, 동일부분 또는 동일한 기능을 가지는 부분의 자세한 설명은 생략한다.

<128> 도 9a에 도시하는 화소는, 트랜지스터(110), 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113), 정류소자(115), 제 1 용량소자(115), 제 2 용량소자(116), 발광소자(117)를 가진다. 또한, 화소는, 신호선(118), 제 1 주사선(119), 제 2 주사선(120), 제 3 주사선(921), 제 4 주사선(922) 및 전원선(122)에 접속되어 있다. 도 9a에 도시한 화소는, 도 1에 있어서의 제 4 스위치(114)에 정류소자(914)를 사용한 구성이며, 제 1 용량소자(115)의 제 1 전극은, 정류소자(914)를 통하여 제 4 주사선(922)과 접속된다. 즉, 정류소자(914)는 제 1 용량소자(115)의 제 1 전극으로부터 제 4 주사선(922)에 전류가 흐르도록 접속된다. 물론, 실시형태 1에 도시하는 바와 같이, 제 1 스위치(111), 제 2 스위치(112) 및 제 4 스위치(114)는, 트랜지스터 등을 사용하여도 좋다. 또한, 정류소자(914)에는, 도 9b 내지 도 9d에 나타내는 쇼트키 배리어형(951), PIN형(952), PN형(953) 등의 다이오드 이외에도, 도 9e 및 도 9f에 도시한 다이오드 접속되는 트랜지스터(954, 955) 등을 사용할 수 있다. 다만, 트랜지스터 954 및 트랜지스터 955는, 전류가 흐르는 방향에 따라 트랜지스터의 극성을 적절히 선택할 필요가 있다.

<129> 정류소자(914)는, 제 4 주사선(922)에 H레벨의 신호가 입력된 경우에는, 전류가 흐르지 않고, L레벨의 신호가 입력된 경우에는 정류소자(914)에 전류가 흐른다. 따라서, 도 9a 내지 도 9f의 화소를 도 1에 도시한 화소와 동일하게 동작시킬 때는, 초기화 기간 및 임계값 전압 기록 기간에 있어서 제 4 주사선(922)에 L레벨의 신호를 입력하여, 그 이외의 간격에 있어서는 H레벨의 신호를 입력한다. L레벨의 신호는 정류소자(914)에 단순히 전류가 흐를뿐만 아니라, 실시형태 1과 같이, 화소에 입력되는 휘도 데이터에 따른 전위를 ($V2+Vdata$)로 하면, 제 2 용량소자(116)의 제 1 전극의 전위를 V2까지 낮출 필요가 있으므로, V2에서 정류소자(914)의 순 방향에 있어서의 임계값 전압을 뺀 전위로 한다. 다만, V2는 임의의 값이며, 발광기간에 있어서, 발광소자(117)를 비발광시키고 싶은 경우에는, $Vdata=0$ 의 전위를 입력하면 좋다. 또한, H레벨의 신호는, 상술한 바와 같이, 정류소자(914)에 전류가 흐르지 않으면 좋으므로, V2에서 정류소자(914)의 순 방향에 있어서의 임계값 전압을 감산한 값보다 크면 좋다.

<130> 상기 사항을 고려하여, 도 9a 내지 도 9f의 화소 구성에 있어서도 도 1과 같이 동작시킴으로써, 트랜지스터(110)의 임계값 전압의 편차에 기인한 전류치의 편차를 억제할 수 있다. 따라서, 휘도 데이터에 대응한 전류를 발광소자(117)에 공급할 수 있어, 휘도의 편차를 억제할 수 있다. 또한, 트랜지스터(110)를 포화영역에서 동작시키는 경우에는, 발광소자(117)의 열화에 기인한 휘도의 편차도 억제할 수 있다.

<131> 또한, 본 실시형태에 나타낸 화소를 도 7의 표시장치에 적용할 수 있다. 실시형태 1과 같이, 각 행에 있어서의 데이터 기록 기간만 중복되지 않으면, 각 행에서 자유롭게 초기화 개시 시기를 설정할 수 있다.

또한, 각 화소는 자신의 어드레스 기간을 제외하고 발광할 수 있으므로, 1프레임 기간에 있어서의 발광 기간의 비율(즉, 뉴티비)을 매우 크게 할 수 있고, 대략 100%로 할 수도 있다. 따라서, 휙도의 편차가 적고 뉴티비가 높은 표시장치를 얻을 수 있다.

<132> 또한, 임계값 전압 기록 기간을 길게 설정할 수도 있으므로, 발광소자에 흐르는 전류치를 제어하는 트랜지스터의 임계값 전압을 보다 정확하게 용량소자에 기록할 수 있다. 따라서, 표시장치로서의 신뢰성이 향상된다.

<133> 본 실시형태는, 상술한 도 1 이외에도, 기타 실시형태에 나타낸 화소 구성과도 자유롭게 조합할 수 있다. 즉, 정류소자(914)는, 다른 실시형태에서 나타내는 화소에도 적용할 수 있다.

<134> (실시형태 3)

<135> 본 실시형태에서는, 실시형태 1 및 실시형태 2와는 다른 구성의 화소를 도 10a 내지 도 11에 나타낸다. 구체적으로는, 도 1에서 도시한 전위공급선(123)을 다른 배선으로 대용하는 구성의 화소에 대해서 설명한다. 또한, 제 1 용량소자(115)의 제 1 전극에 임의의 전위를 공급할 수 있으면 좋으므로 이러한 구성을 취할 수 있다. 실시형태 1과 같은 것에 대해서는 공통의 부호를 사용하여 나타내고, 동일부분 또는 같은 기능을 가지는 부분의 자세한 설명은 생략한다.

<136> 도 10a에 나타내는 화소는 트랜지스터(110), 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113), 제 4 스위치(114), 제 1 용량소자(115), 제 2 용량소자(116), 발광소자(117)를 가진다. 또한, 화소는 신호선(118), 제 1 주사선(119), 제 2 주사선(120), 제 3 주사선(121), 및 전원선(122)에 접속된다.

<137> 실시형태 1에 나타낸 도 1의 화소에서는 용량소자(115)의 제 1 전극이 제 4 스위치(114)를 통하여 전위 공급선(123)에 접속되지만, 도 10a에서는 전원선(122)에 접속할 수 있다. 이는, 전위공급선(123)에 한정되지 않고, 초기화 기간에 및 임계값 전압 기록 기간에 있어서 제 1 용량소자(115)의 소정의 전압이 유지되도록 제 1 전극에 전위를 공급할 수 있으면 좋기 때문이다. 따라서, 전위공급선(123) 대신에 전원선(122)을 사용할 수 있다. 이와 같이, 제 1 용량소자(115)의 제 1 전극에 전위를 공급하는 배선을 전원선(122)으로 대용함으로써, 배선 수를 줄일 수 있어, 개구율을 향상시킬 수 있다.

<138> 또한, 도 10b에 도시하는 바와 같이, 제 4 스위치(114)를 제 1 용량소자(115)와 병렬로 접속하여도 좋다. 즉, 제 1 용량소자(115)의 제 1 전극은 제 4 스위치(114)를 통하여 노드(131)에 접속하여도 좋다. 이러한 구성에 있어서도, 초기화 기간 및 임계값 전압 기록 기간에 있어서 제 1 용량소자(115)에 소정의 전압이 유지되도록 제 1 전극에 전위를 공급할 수 있다.

<139> 또한, 도 11의 화소에 나타내는 바와 같이, 제 1 용량소자(115)의 제 1 전극을 발광소자(117)의 대향전극(124) 또는 대향전극(124)에 소정의 전위를 공급하는 배선에 제 4 스위치(114)를 통하여 접속하여도 좋다. 즉, 도 1에 있어서의 전위공급선(123)으로부터 공급되는 전위 대신에, 대향전극(124)에 공급되는, 소정의 전위를 사용하여도 좋다. 이상과 같이 해서, 배선 수를 줄일 수 있어, 개구율을 향상시킬 수 있다.

<140> 또한, 제 1 용량소자(115)의 제 1 전극과 발광소자(117)의 대향전극(124)을 접속하는 배선을, 대향전극(124)과 접속할 뿐만 아니라, 대향전극(124)에 접하고 병렬로 연장시킴으로써, 대향전극(124)에 있어서의 보조배선으로서 이용하여도 좋다. 물론, 보조배선은 1화소 내뿐만 아니라, 인접하는 화소나 화소영역 전체로 배치되어도 좋다. 이러한 보조배선에 의하여, 대향전극(124)의 저저항화를 도모할 수 있다. 그렇기 때문에, 대향전극(124)을 박막화한 경우에는, 저항값은 증가를 방지할 수 있다. 특히, 대향전극(124)에 투광성을 가지는 전극을 사용한 경우에 있어서 효과적이다. 또한, 대향전극(124)의 저항값이 높아지는 경우에, 전압항하에 의한 대향전극(124)의 불균일한 면내전위분포에 의하여 생기는 발광소자(117)의 휙도의 편차를 억제할 수 있다. 따라서, 보다 신뢰성을 향상시킬 수 있다.

<141> 이때, 도 10a 내지 도 11에 도시한 화소 구성에 있어서도, 실시형태 1과 같이 동작을 시킴으로써, 트랜지스터(110)의 임계값 전압의 편차에 기인한 전류치의 편차를 억제할 수 있다. 따라서, 휙도 데이터에 대응한 전류를 발광소자(117)에 공급할 수 있어, 휙도의 편차를 억제할 수 있다. 또한, 대향전극의 전위를 일정하게 고정하여 동작시키므로, 소비 전력을 낮게 할 수 있다. 또한, 트랜지스터(110)의 동작 영역은 특별히 한정되지 않지만, 포화영역에서 동작시키는 경우에는, 발광소자(117)의 열화에 기인한 트랜지스터(110)에 흐르는 전류의 편차에 있어서도 억제할 수 있다.

<142> 또한, 도 1에 있어서의 전위공급선(123)은, 초기화 기간 및 임계값 기록 전압 기간에 있어서 제 1 용량

소자(115)의 제 1 전극에 임의의 전위를 공급하여, 제 1 용량소자(115)에 소정의 전압이 유지되면 좋다. 따라서, 전위공급선에 대용하는 배선은 상기에 한정되지 않고, 초기화 기간 및 임계값 전압 기록 기간에 전위가 변화하지 않는 배선이면 좋다. 예를 들면, 도 12에 나타내는 바와 같이, 제 1 주사선(119)이나, 제 3 주사선(121)을 사용할 수도 있다. 다만, 제 3 주사선(121)을 사용하는 경우에는, 제 4 스위치(114)는 실시형태 2에서 나타낸 정류소자로서 기능하는 경우가 있는 것에 유의하여, 스위치의 종류를 선택할 필요가 있다.

<143> 또한, 본 실시형태에서 나타낸 화소를 도 7의 표시장치에 적용할 수 있다. 실시형태 1과 같이, 각 행에 있어서의 데이터 기록 기간만 중복되지 않으면, 각 행에서 자유롭게 초기화 개시 시기를 설정할 수 있다. 또한, 각 화소는 자신의 어드레스 기간을 제외하고 발광할 수 있으므로, 1프레임 기간에 있어서의 발광 기간의 비율(즉, 듀티비)을 매우 크게 할 수 있고, 대략 100%로 할 수도 있다. 따라서, 휙도의 편차가 적고 듀티비가 높은 표시장치를 얻을 수 있다.

<144> 또한, 임계값 전압 기록 기간을 길게 설정할 수도 있으므로, 발광소자에 흐르는 전류값을 제어하는 트랜지스터의 임계값 전압을 보다 정확하게 용량소자에 기록할 수 있다. 따라서, 표시장치로서의 신뢰성이 향상된다.

<145> 상기에 한정되지 않고, 본 실시형태는, 다른 실시형태에 나타낸 화소구성과도 자유롭게 조합할 수 있다.

<146> (실시형태 4)

<147> 본 실시형태에서는, 실시형태 1 내지 실시형태 3과는 다른 구성의 화소를 도 13 내지 도 16에 나타낸다. 또한, 실시형태 3에 있어서는, 1화소에 주목하여 설명했지만, 각 화소에 접속된 배선을 화소간에서 공유하여 사용함으로써, 배선 수를 줄일 수도 있다. 이 경우, 정상으로 동작시키면 다양한 배선을 화소간에서 공유할 수 있다. 예를 들면, 이웃 화소와 배선을 공유할 수 있고, 그 경우의 일례에 대해서 본 실시형태에서 나타낸다. 또한, 실시형태 1과 같은 것에는 공통의 부호를 사용하여 나타내고, 동일한 부분 또는 유사한 기능을 가지는 부분의 상세한 설명은 생략한다.

<148> 도 13에 나타내는 화소(1300)는 트랜지스터(110), 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113), 제 4 스위치(114), 제 1 용량소자(115), 제 2 용량소자(116), 발광소자(117)를 가진다. 또한, 화소(1300)는, 신호선(118), 제 1 주사선(119), 제 2 주사선(120), 제 3 주사선(121), 및 전열의 전원선(1322)에 접속된다.

<149> 실시형태 1에서 나타낸 도 1의 화소에서는, 제 1 용량소자(115)의 제 1 전극은 제 4 스위치(114)를 통하여 전위공급선(123)에 접속되지만, 도 13에서는, 전열의 전원선(1322)에 접속할 수 있다. 이는, 전위공급선(123)에 한정 되지 않고, 초기화 기간 및 임계값 전압 기록 기간에 있어서 제 1 용량소자(115)에 소정의 전압이 유지되도록 제 1 용량소자(115)의 제 1 전극에 전위를 공급될 수 있으면 좋기 때문이다. 따라서 전위공급선(123) 대신에 전열의 전원선(1322)을 사용할 수 있다. 이와 같이, 화소(1300)는 전열의 화소와 배선을 공유함으로써 배선 수를 줄일 수도 있고, 개구율을 향상시킬 수 있다.

<150> 또한, 도 13에 나타낸 화소구성에 있어서도, 실시형태 1과 같은 동작을 시킴으로써 트랜지스터(110)의 임계값 전압의 편차에 기인한 전류값의 편차를 억제할 수 있다. 따라서, 휙도 데이터에 대응한 전류를 발광소자(117)에 공급할 수 있고, 휙도의 편차를 억제할 수 있다. 또한, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비전력을 낮게 할 수 있다. 또한, 트랜지스터(110)의 동작영역은 특별히 한정되지 않지만, 포화영역에서 동작시킨 경우에 있어서는, 발광소자(117)의 열화에 기인한 트랜지스터(110)에 흐르는 전류의 편차에 있어서도 억제할 수 있다.

<151> 또한, 도 14의 화소(1400)에 나타내는 바와 같이, 도 1 전위공급선(123)을 다음 행의 제 1 주사선(1419)과 공유하여도 좋다. 화소(1400)에 있어서도, 실시형태 1과 같은 동작을 시킬 수 있다. 다만, 화소(1400)가 속하는 행의 초기화 기간 및 임계값 전압 기록 기간은 배선을 공유한 행의 데이터 기록 기간과 겹치지 않도록 동작시킬 필요가 있다.

<152> 또한, 도 15의 화소(1500)에 나타내는 바와 같이, 도 1 전위공급선(123)을 다음 행의 제 2 주사선(1520)과 공유하여도 좋다. 화소(1500)에 있어서도, 실시형태 1과 같은 동작을 시킬 수 있다. 다만, 화소(1500)가 속하는 행의 초기화 기간 및 임계값 기록 기간은 배선을 공유한 행의 임계값 전압 기록 기간 및 데이터 기록 기간과 겹치도록 동작시키거나, 전혀 이들과 겹치지 않도록 동작시킬 필요가 있다. 즉, 제 1 용량소자(115)의 제 1 전극에 공급하는 전위를 제 2 스위치(112)를 온시키는 신호 또는 오프시키는 신호의 어느 한쪽에

사용한다.

<153> 또한, 상기 이외에도, 도 1의 전위 공급선(123)을 도 16에 나타내는 바와 같이, 전행의 제 3 주사선(1621)과 공유하여도 좋다. 다만, 화소(1600)가 속하는 행의 초기화 기간 및 임계값 전압 기록 기간은 배선을 공유한 행의 임계값 전압 기록 기간 및 데이터 기록기간과 겹치지 않도록 동작시킬 필요가 있다.

<154> 또한, 본 실시형태에서는, 도 1 전위공급선(123)이 전열의 전원선, 또는 다음 행 또는 전행의 주사선과 공유하는 경우에 대해서 나타내지만, 초기화 기간 및 임계값 전압 기록 기간에 있어서 제 1 용량소자(115)에 소정의 전압이 유지되도록 제 1 전극에 전위를 공급할 수 있는 배선이면 그 이외에도 좋다.

<155> 또한, 본 실시형태에서 나타낸 화소를 도 7의 표시장치에 적용할 수 있다. 또한, 표시장치에 있어서, 도 13 내지 도 16에 기재한 화소마다의 동작의 제약 및 각 행에 있어서의 데이터 기록 기간이 중복하지 않는 범위 내로, 각 행 자유롭게 초기화 개시 시기를 설정할 수 있다. 또한, 각 화소는 자신의 어드레스 기간을 제거하고 발광할 수 있기 때문에, 1프레임 기간에 있어서의 발광기간의 비율(즉, 듀티비)을 매우 크게 할 수 있고, 대략 100%로 할 수도 있다. 따라서, 휙도의 편차가 적고 듀티비가 높은 표시장치를 얻을 수 있다.

<156> 또한, 임계값 전압 기록 기간을 길게 설정할 수도 있기 때문에, 발광소자에 흐르는 전류값을 제어하는 트랜지스터의 임계값 전압을 보다 정확하게 용량소자에 기록할 수 있다. 따라서, 표시장치로서의 신뢰성이 향상된다.

<157> 상기에 한정되지 않고, 본 실시형태는, 다른 실시형태에 나타낸 화소구성과도 자유롭게 조합할 수 있다.

<158> (실시형태 5)

<159> 본 실시형태에서는, 실시형태 1과는 다른 구성의 화소에 대해서 도 29에 나타낸다. 또한, 실시형태 1과 같은 것에는 공통의 부호를 사용하여 나타내고, 동일한 부분 또는 유사한 기능을 가지는 부분의 상세한 설명은 생략한다.

<160> 도 29에 도시하는 화소는, 트랜지스터(2910), 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113), 제 4 스위치(114), 제 1 용량소자(115), 제 2 용량소자(116), 발광소자(117)를 가진다. 또한, 화소는, 신호선(118), 제 1 주사선(119), 제 2 주사선(120), 제 3 주사선(121), 및 전원선(122), 및 전위공급선(123)에 접속된다.

<161> 본 실시형태에 있어서의 트랜지스터(2910)는, 트랜지스터를 2개 직렬로 접속한 멀티 게이트형 트랜지스터이며, 실시형태 1의 트랜지스터(110)와 동일한 위치에 형성된다. 다만, 직렬로 접속되는 트랜지스터의 수는 특별히 한정되지 않는다.

<162> 도 1의 화소와 마찬가지로, 도 29에 도시한 화소를 동작시킴으로써, 트랜지스터(2910)의 임계값 전압의 편차에 기인한 전류치의 편차를 억제할 수 있다. 따라서, 휙도 데이터에 대응한 전류를 발광소자(117)에 공급할 수 있어, 휙도의 편차를 억제할 수 있다. 또한, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비전력을 낮게 할 수 있다. 또한, 트랜지스터(2910)의 동작 영역은 특별히 한정되지 않지만, 포화영역에서 동작시키는 경우에는, 발광소자(117)의 열화에 기인한 트랜지스터(2910)에 흐르는 전류의 편차에 있어서도 억제할 수 있다.

<163> 본 실시형태에 있어서의 트랜지스터(2910)의 채널 길이 L는, 직렬로 접속된 2개의 트랜지스터의 채널 폭이 동일한 경우, 각 트랜지스터의 채널 길이의 합계로서 작용한다. 따라서, 포화영역에 있어서 드레인-소스간 전압 Vds에 관계없이, 보다 일정치에 가까운 전류치를 용이하게 얻을 수 있다. 특히, 트랜지스터(2910)는 긴 채널 길이 L를 가지는 트랜지스터의 제작이 곤란할 경우에 효과적이다. 이 때, 2개의 트랜지스터의 접속부는 저항으로서 기능한다.

<164> 이 때, 트랜지스터(2910)는 발광소자(117)에 공급하는 전류치를 제어하는 기능을 가지면 되고, 트랜지스터의 종류는 특별히 한정되지 않는다. 따라서, 결정성 반도체막을 사용한 박막 트랜지스터(TFT), 아모퍼스 실리콘이나 다결정 실리콘으로 대표되는 비단결정성 반도체막을 사용한 박막 트랜지스터, 반도체 기판이나 SOI 기판을 사용해서 형성되는 MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터, ZnO나 a-InGaZnO 등의 화합물 반도체를 사용한 트랜지스터, 유기 반도체나 카본나노튜브를 사용한 트랜지스터, 또는 그 외의 트랜지스터를 적용할 수 있다.

<165> 또한 도 29에 도시한 화소는, 도 1에 도시한 화소와 같이, 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113), 제 4 스위치(114)는 트랜지스터 등을 사용할 수 있다.

<166> 또한, 도 7의 표시장치에 본 실시형태에 나타낸 화소를 적용할 수 있다. 실시형태 1과 같이, 각 행에 있어서의 데이터 기록 기간만 중복되지 않으면, 각 행에서 자유롭게 초기화 개시 시기를 설정할 수 있다. 또한, 각 화소는 자신의 어드레스 기간을 제외하고 발광할 수 있으므로, 1프레임 기간에 있어서의 발광 기간의 비율(즉, 듀티비)을 매우 크게 할 수 있고, 대략 100%로 할 수도 있다. 따라서, 휴도의 편차가 적고 듀티비가 높은 표시장치를 얻을 수 있다.

<167> 또한, 임계값 전압 기록 기간을 길게 설정할 수도 있으므로, 발광소자에 흐르는 전류치를 제어하는 트랜지스터의 임계값 전압을 보다 정확하게 용량소자에 기록할 수 있다. 따라서, 표시장치로서의 신뢰성이 향상된다.

<168> 또한, 트랜지스터(2910)는 트랜지스터가 직렬로 접속된 구성에 한정되지 않고, 도 30에 도시하는 트랜지스터(3010)와 같이, 병렬로 트랜지스터가 접속된 구성이라도 좋다. 트랜지스터(3010)에 의해, 보다 큰 전류를 발광소자(117)에 공급할 수 있다. 또한, 병렬로 접속한 2개의 트랜지스터에 의해 트랜지스터의 특성이 평균화되므로, 트랜지스터(3010)를 구성하는 트랜지스터 본래의 특성 편차를 더욱 작게 할 수 있다. 따라서, 편차가 작으면, 트랜지스터의 임계값 전압의 편차에 기인하는 전류치의 편차를 보다 쉽게 억제할 수 있다.

<169> 또한 트랜지스터(3010)에 나타낸 병렬로 접속된 각각의 트랜지스터를 도 29에 나타낸 트랜지스터(2910)와 같이 직렬로 접속해도 된다.

<170> 상기에 한정되지 않고, 본 실시형태는, 다른 실시형태에 나타낸 화소구성과도 자유롭게 조합할 수 있다. 즉, 트랜지스터 2910 또는 트랜지스터 3010은, 다른 실시형태에 나타낸 화소 구성에도 적용할 수 있다.

<171> (실시형태 6)

<172> 본 실시형태에서는 본 발명의 화소에 있어서, 발광소자에 공급하는 전류치를 제어하는 트랜지스터를 각각의 기간마다 전환함으로써, 트랜지스터의 경시적인 열화를 평균화하는 화소 구성에 대해서 도 31을 사용하여 설명한다.

<173> 도 31에 나타내는 화소는, 제 1 트랜지스터(3101), 제 2 트랜지스터(3102), 제 1 스위치(3111), 제 2 스위치(3112), 제 3 스위치(3113), 제 4 스위치(3114), 제 5 스위치(3103), 제 6 스위치(3104), 제 1 용량소자(3115), 제 2 용량소자(3116), 발광소자(3117)를 가진다. 또한, 화소는, 신호선(3118), 제 1 주사선(3119), 제 2 주사선(3120), 제 3 주사선(3121), 전원선(3122), 및 전위공급선(3123)에 접속된다. 또한, 도 31에는 도시하지 않지만, 제 5 스위치(3103) 및 제 6 스위치(3104)의 온/오프를 각각 제어하는 제 4 주사선 및 제 5 주사선에도 접속되어 있다. 본 실시형태에 있어서, 제 1 트랜지스터(3101) 및 제 2 트랜지스터(3102)는 N채널형 트랜지스터로 하고, 각각의 트랜지스터는 게이트-소스간 전압(V_{gs})이 임계값 전압을 초과했을 때, 도통 상태가 되는 것으로 한다. 또한, 발광소자(3117)의 화소전극은 양극, 대향전극(3124)은 음극으로 한다. 또한, 트랜지스터의 게이트-소스간 전압은 V_{gs} , 제 1 용량소자(3115) 및 제 2 용량소자(3116)에 축적된 전압은 각각 V_{c1} , V_{c2} 라고 기재한다. 또한, 제 1 트랜지스터(3101)의 임계값 전압을 V_{th1} , 제 2 트랜지스터(3102)의 임계값 전압을 V_{th2} 라고 기재하고, 전원선(3122), 전위공급선(3123) 및 신호선(3118)을 각각 제 1 배선, 제 2 배선, 제 3 배선이라고도 부른다.

<174> 제 1 트랜지스터(3101)의 제 1 전극(소스 전극 및 드레인 전극의 한쪽)은, 제 5 스위치(3103)를 통하여 발광소자(3117)의 화소전극에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)은 제 2 스위치(3112)를 통하여 전원선(3122)에 접속된다. 또한, 제 1 트랜지스터(3101)의 게이트 전극도 제 3 스위치(3113) 및 제 2 스위치(3112)를 통하여 전원선(3122)과 접속되어 있다. 또한, 제 3 스위치(3113)는, 제 1 트랜지스터(3101)의 게이트 전극과 제 2 스위치(3112) 사이에 접속되어 있고, 제 1 트랜지스터(3101)의 제 2 전극과, 제 2 스위치(3112)와 제 3 스위치(3113)가 접속되는 배선과의 접속개소를 노드(3133)로 한다.

<175> 제 2 트랜지스터(3102)의 제 1 전극(소스 전극 및 드레인 전극의 한쪽)은, 제 6 스위치(3104)를 통하여 발광소자(3117)의 화소전극에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)은 제 1 트랜지스터(3101)의 제 2 전극과 접속된다. 또한, 제 1 트랜지스터(3101)의 제 2 전극과 제 2 트랜지스터(3102)의 제 2 전극과의 접속개소를 노드 3132로 하면, 노드 3132는 노드 3133과 접속된다. 또한, 제 2 트랜지스터(3102)의 게이트 전극은 제 3 스위치(3113)를 통하여 노드(3133)에 접속된다. 또한, 제 1 트랜지스터(3101)의 게이트 전

극과 제 2 트랜지스터(3102)의 게이트 전극은 접속된다.

<176> 또한, 제 1 트랜지스터(3101) 및 제 2 트랜지스터(3102)의 게이트 전극과, 제 3 스위치(3113)와의 접속 개소를 노드 3130으로 하면, 노드 3130은 제 1 용량소자(3115) 및 제 1 스위치(3111)를 통하여 신호선(3118)과 접속된다. 즉, 제 1 용량소자(3115)의 제 1 전극이 제 1 스위치(3111)를 통하여 신호선(3118)에, 제 2 전극이 제 1 트랜지스터(3101) 및 제 2 트랜지스터(3102)의 게이트 전극에 접속된다. 또한, 제 1 용량소자(3115)의 제 1 전극은 제 4 스위치(3114)를 통하여 전위공급선(3123)과도 접속된다. 노드(3130)는 또 제 2 용량소자(3116)를 통하여 발광소자(3117)의 화소전극과도 접속된다. 즉, 제 2 용량소자(3116)의 제 1 전극이 제 1 트랜지스터(3101) 및 제 2 트랜지스터(3102)의 게이트 전극과, 제 2 전극이 제 5 스위치(3103) 및 제 6 스위치(3104)를 통하여 제 1 트랜지스터(3101) 및 제 2 트랜지스터(3102)의 제 1 전극에 접속된다. 이들 용량소자는, 배선, 반도체 층이나 전극으로 절연막을 끼우는 것으로 형성하여도 좋고, 경우에 따라, 제 1 트랜지스터(3101) 및 제 2 트랜지스터(3102)의 게이트 용량을 사용하여 제 2 용량소자(3116)를 생략할 수도 있다.

<177> 또한, 제 1 주사선(3119), 제 2 주사선(3120), 제 3 주사선(3121)에 신호를 입력함으로써, 각각의 제 1 스위치(3111), 제 2 스위치(3112), 제 3 스위치(3113) 및 제 4 스위치(3114)의 온/오프가 제어된다. 상술한 바와 같이, 도 31에서, 제 5 스위치(3103) 및 제 6 스위치(3104)의 온/오프를 제어하는 주사선은 생략한다.

<178> 신호선(3118)에는, 비디오신호에 해당하는 화소의 계조에 따른 신호, 즉 휘도 데이터에 따른 전위가 입력된다.

<179> 다음으로, 도 31에서 나타낸 화소의 동작에 대해서 도 32의 타이밍 차트를 참조하여 설명한다. 또한, 도 32a 내지 도 32h에 있어서 1화면분의 화상을 표시하는 기간에 해당하는 1프레임 기간은, 초기화 기간, 임계값 전압 기록 기간, 데이터 기록 기간 및 발광 기간으로 분할된다.

<180> 또한, 발광소자(3117)의 대향전극(3124)에는 V1의 전위(V1: 임의의 수)가 입력된다. 또한, 발광소자(3117)가 발광하기 위하여 적어도 필요로 하는 전위차를 V_{EL} 로 하면, 전원선(3122)에는 $V1+V_{EL}+Vth+\alpha$ (α : 임의의 양수)의 전위가 입력된다. 즉, 전원선(3122)은 $V1+V_{EL}+Vth+\alpha$ 이상의 전위이면 좋다. 또한, Vth 는 $Vth1$ 또는 $Vth2$ 의 큰 쪽의 값으로 한다. 전위공급선(3123)의 전위는 특별히 한정되지 않지만, 화소가 형성된 패널에 입력되는 전위의 범위 내인 것이 바람직하다. 이렇게 하면, 전원을 별도 제작할 필요가 없어진다. 또한, 여기서는 전위공급선(3123)의 전위를 $V2$ 로 한다.

<181> 우선, 도 32의 기간(A)에 나타내는 초기화기간에서는, 제 1 스위치(3111) 및 제 6 스위치(3104)를 오프로 하여, 제 2 스위치(3112), 제 3 스위치(3113) 및 제 4 스위치(3114) 및 제 5 스위치(3103)를 온으로 한다. 이 때, 제 1 트랜지스터(3101)는 도통상태이며, 제 1 용량소자(3115)에는 $V1+V_{EL}+Vth+\alpha-V2$ 가, 제 2 용량소자(3116)에는 $Vth+\alpha$ 가 유지된다. 또한, 초기화 기간에서는, 제 1 용량소자(3115)에는 소정의 전압이, 제 2 용량소자(3116)에는 적어도 $Vth1$ 보다 높은 전압이 유지되면 좋다.

<182> 도 32의 기간(B)에 나타내는 임계값 전압 기록 기간에서는, 제 2 스위치(3112)를 오프로 한다. 따라서, 트랜지스터(3101)의 제 1 전극 즉, 소스 전극의 전위는 점점 상승하고, 제 1 트랜지스터(3101)의 게이트-소스간 전압 Vgs 가 임계값 전압($Vth1$)으로 되면, 제 1 트랜지스터(3101)는 비도통 상태가 된다. 따라서, 제 2 용량소자(3116)에 유지되는 전압 $Vc2$ 는 대체로 $Vth1$ 가 된다.

<183> 그 후의 도 32의 기간(C)에 나타내는 데이터 기록 기간에 있어서는, 제 3 스위치(3113) 및 제 4 스위치(3114)를 오프로 한 후, 제 1 스위치(3111)를 온으로 하고, 신호선(3118)보다 휘도 데이터에 따른 전위($V2+Vdata$)를 입력한다. 이 때, 제 2 용량소자(3116)에 유지되는 전압 $Vc2$ 는, 제 1 용량소자(3115), 제 2 용량소자(3116) 및 발광소자(3117)의 정전용량을 각각 $C1$, $C2$, $C3$ 로 하면, $C3>>C1$, $C2$ 로부터 $Vth1+Vdata \times (C1/(C1+C2))$ 로 된다.

<184> 또한, $C1$ 과 $C2$ 는 신호선(3118)으로부터 공급하는 전위를 결정할 때에 필요하지만, 이들의 관계는 특별히 한정되지 않는다. 또한, $C1>C2$ 의 경우에는, 휘도변화에 따른 $Vdata$ 의 진폭을 적게 할 수 있기 때문에, 소비전력을 저감할 수 있다. 한편, $C2>C1$ 의 경우에는, 주위의 스위치의 온, 오프나 오프 전류에 의한 $Vc2$ 의 변화를 억제할 수 있다. 이들의 상반되는 효과에 의거하여 $C1$ 과 $C2$ 는 동일하며, 제 1 용량소자(3115)와 제 2 용량소자(3116)의 크기는 동일한 것이 바람직하다.

<185> 또한, 다음 발광기간에 있어서, 발광소자(3117)를 비발광으로 하고 싶은 경우는, $Vdata \leq 0$ 의 전위를 입력하면 좋다.

- <186> 다음, 도 32의 기간(D)에 나타내는 발광기간에서는, 제 1 스위치(3111)를 오프로 한 후, 제 2 스위치(3112)를 온으로 한다. 이 때, 트랜지스터(3101)의 게이트-소스간 전압 V_{gs} 는 $V_{th1}+V_{data}\times(C1/(C1+C2))$ 로 되고, 휘도 데이터에 따른 전류가 제 1 트랜지스터(3101) 및 발광소자(3117)에 흐르고, 발광소자(3117)가 발광한다.
- <187> 이러한 동작에 의해, 발광소자(3117)에 흐르는 전류는, 제 1 트랜지스터(3101)의 동작영역이 포화영역, 선형영역 중 어느 경우에도, 제 1 트랜지스터(3101)의 임계값 전압(V_{th1})에 의존하지 않는다.
- <188> 또한, 도 32의 기간(E)에 나타내는 다음 1프레임 기간에 있어서의 초기화 기간에는, 제 5 스위치(3103)를 오프 상태로 하고, 제 3 스위치(3113), 제 4 스위치(3114) 및 제 6 스위치(3104)를 온 상태로 한다. 제 2 트랜지스터(3102)는 도통상태로 되고, 제 1 용량소자(3115)에는 $V_1+V_{EL}+V_{th1} \alpha - V_2$ 가, 제 2 용량소자(3116)에는 $V_{th1} \alpha$ 가 유지된다. 또한, 이 초기화 기간에서는, 제 1 용량소자(3115)에는 소정의 전압이, 제 2 용량소자(3116)에는 적어도 V_{th2} 보다 높은 전압이 유지되면 좋다.
- <189> 도 32의 기간(F)에 도시하는 임계값 전압 기록 기간에서는, 제 2 스위치(3112)를 오프로 한다. 따라서, 제 2 트랜지스터(3102)의 제 1 전극 즉, 소스 전극의 전위는 점점 상승하고, 제 2 트랜지스터(3102)의 게이트-소스간 전압 V_{gs} 가 임계값 전압(V_{th2})으로 되면, 제 1 트랜지스터(3102)는 비도통 상태가 된다. 따라서, 제 2 용량소자(3116)에 유지되는 전압 V_{c2} 는 대체로 V_{th2} 가 된다.
- <190> 그 후의 도 32의 기간(G)에 나타내는 데이터 기록 기간에 있어서는, 제 3 스위치(3113) 및 제 4 스위치(3114)를 오프로 한 후, 제 1 스위치(3111)를 온으로 하고, 신호선(3118)보다 휘도 데이터에 따른 전위(V_2+V_{data})를 입력한다. 이 때, 제 2 용량소자(3116)에 유지되는 전압 V_{c2} 는, $V_{th2}+V_{data}\times(C1/(C1+C2))$ 로 된다.
- <191> 다음, 도 32의 기간(H)에 도시하는 발광기간에서는, 제 1 스위치(3111)를 오프로 한 후, 제 2 스위치(3112)를 온으로 한다. 이 때, 제 2 트랜지스터(3102)의 게이트-소스간 전압 V_{gs} 는 $V_{th2}+V_{data}\times(C1/(C1+C2))$ 로 되고, 휘도 데이터에 따른 전류가 제 2 트랜지스터(3102) 및 발광소자(3117)에 흐르고, 발광소자(3117)가 발광한다.
- <192> 또한, 제 2 트랜지스터(3102)의 동작영역이 포화영역, 선형영역 중의 어느 경우에 있어서도, 발광소자(3117)에 흐르는 전류는 임계값 전압(V_{th1})에 의존하지 않는다.
- <193> 따라서, 제 1 트랜지스터(3101), 또는 제 2 트랜지스터(3102) 중의 어느 트랜지스터를 사용하여 발광소자에 공급하는 전류를 제어하더라도, 트랜지스터의 임계값 전압의 편차에 기인한 전류치의 편차를 억제하여, 휘도 데이터에 대응한 전류치를 발광소자(3117)에 공급할 수 있다. 이 때, 제 1 트랜지스터(3101)와, 제 2 트랜지스터(3102)를 전환하여 사용함으로써, 하나의 트랜지스터에 가해지는 부하를 경감함으로써, 트랜지스터의 경시적인 임계값 전압의 변화를 작게 할 수 있다.
- <194> 이상에 따라, 제 1 트랜지스터(3101), 제 2 트랜지스터(3102)의 임계값 전압에 기인한 휘도의 편차를 억제할 수 있다. 또한, 대향전극(3124)의 전위를 일정한 전위로 고정하므로, 소비 전력을 낮출 수 있다.
- <195> 또한, 제 1 트랜지스터(3101)와, 제 2 트랜지스터(3102)를 포화영역에서 동작시키는 경우에는, 발광소자(3116)의 열화에 의한 각각의 트랜지스터에 흐르는 전류의 편차도 억제할 수 있다.
- <196> 또한, 제 1 트랜지스터(3101), 제 2 트랜지스터(3102)를 포화영역에서 동작시키는 경우, 이들의 트랜지스터의 채널 길이 L 은 긴 것이 바람직하다.
- <197> 또한, 본 발명에서는, 트랜지스터의 임계값 전압의 편차에 기인하는 전류치의 편차를 억제할 수 있으므로, 그 트랜지스터에 의해 제어된 전류가 공급되는 곳은 특별히 한정되지 않는다. 따라서, 도 31에 나타낸 발광소자(3117)에는, 대표적으로는 EL소자(유기 EL소자, 무기 EL소자 또는 유기물 및 무기물을 포함한 EL소자)를 적용할 수 있다. 또한, 발광소자(3117) 대신에, 전자방출소자, 액정소자, 전자 잉크 등을 적용할 수도 있다.
- <198> 제 1 트랜지스터(3101), 제 2 트랜지스터(3102)는 발광소자(3117)에 공급하는 전류치를 제어하는 기능을 가지면 좋으므로, 트랜지스터의 종류는 특별히 한정되지 않는다. 따라서, 결정성 반도체막을 사용한 박막 트랜지스터(TFT), 비정질 실리콘이나 다결정 실리콘으로 대표되는 비결정성 반도체막을 사용한 박막 트랜지스터, 반도체기판이나 SOI기판을 사용해서 형성되는 트랜지스터, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터, ZnO나 a-InGaZnO 등의 화합물 반도체를 사용한 트랜지스터, 유기반도체나 카본나노튜브를

사용한 트랜지스터, 그 이외의 트랜지스터를 적용할 수 있다.

<199> 제 1 스위치(3111)는 휘도 데이터에 따른 전위, 즉, 신호를 신호선(3118)으로부터 화소에 입력하는 타이밍을 선택하여, 주로 제 1 용량소자(3115)에 유지되는 전압, 및 제 2 용량소자(3116)에 유지되는 전압, 즉 제 1 트랜지스터(3101) 또는 제 2 트랜지스터(3102)의 게이트-소스간 전압을 변화시키는 것이다. 또한, 제 2 스위치(3112)는 제 1 트랜지스터(3101) 또는 제 2 트랜지스터(3102)의 제 2 전극에 소정의 전위를 공급하는 타이밍을 선택하는 것이다. 또한, 경우에 따라, 제 1 용량소자(3115)의 제 2 전극 및 제 2 용량소자(3116)의 제 1 전극에도 상기 소정의 전위를 공급한다. 제 3 스위치(3113)는 제 1 트랜지스터(3101) 또는 제 2 트랜지스터(3102)의 게이트 전극과 각각의 트랜지스터의 제 2 전극과의 접속을 제어하는 것이며, 제 4 스위치(3114)는 프레임 기간마다 제 1 용량소자(3115)에 소정의 전압을 유지시키는 타이밍을 선택하여, 제 1 용량소자(3115)의 제 1 전극에 소정의 전위를 공급하는지 아닌지를 제어하는 것이다. 따라서, 제 1 스위치(3111), 제 2 스위치(3112), 제 3 스위치(3113), 제 4 스위치(3114)는, 상기 기능을 가지면 특별히 한정되지 않는다. 예를 들면, 트랜지스터나 다이오드라도 좋고, 그들을 조합한 논리회로라도 좋다. 또한, 제 1 스위치(3111), 제 2 스위치(3112) 및 제 4 스위치(3114)는, 상기 타이밍으로 신호 또는 전위를 화소에 줄 수 있으면, 특별히 필요는 없다. 또한, 제 3 스위치(3113)에 있어서도 상기 기능을 실현할 수 있으면, 특별히 필요는 없다.

<200> 예를 들면, 제 1 스위치(3111), 제 2 스위치(3112), 제 3 스위치(3113), 제 4 스위치(3114), 제 5 스위치(3103), 제 6 스위치(3104)에 N채널형 트랜지스터를 사용한 경우, 화소를 N채널형 트랜지스터만으로 구성할 수 있으므로, 제조 공정의 간략화를 도모할 수 있다. 또한, 화소를 구성하는 트랜지스터의 반도체층에 아모포스 반도체나 세미 아모포스 반도체 등을 사용할 수 있다. 예를 들면, 아모포스 반도체로서 아모퍼스 실리콘(a-Si:H)을 들 수 있다. 이들의 비결정 반도체를 사용함으로써, 더욱 제조 공정의 간략화가 가능하다. 따라서, 제조비용의 삭감이나 수율의 향상을 도모할 수 있다.

<201> 또한, 제 1 스위치(3111), 제 2 스위치(3112), 제 3 스위치(3113), 제 4 스위치(3114), 제 5 스위치(3103), 제 6 스위치(3104)에 트랜지스터를 사용한 경우, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 다만, 오프 전류가 적은 트랜지스터를 사용하는 것이 바람직하다.

<202> 또한, 제 1 트랜지스터(3101) 및 제 5 스위치(3103)와 제 2 트랜지스터(3102) 및 제 6 스위치(3104)는, 도 37에 도시하는 바와 같이, 각각 위치를 바꾸어도 된다. 즉, 제 1 트랜지스터(3101) 및 제 2 트랜지스터(3102)의 제 1 전극은 제 2 용량소자(3116)를 통하여 제 1 트랜지스터(3101) 및 제 2 트랜지스터(3102)의 게이트 전극에 접속되어 있다. 또한, 제 1 트랜지스터(3101)의 제 2 전극은 제 5 스위치(3103)를 통하여 노드3132와 접속되고, 제 2 트랜지스터(3102)의 제 2 전극은 제 6 스위치(3104)를 통하여 노드 3132와 접속된다.

<203> 또한, 도 31 및 도 37에서는 트랜지스터와 스위치를 세트로 해서, 즉 제 1 트랜지스터(3101)와 제 5 스위치(3103), 제 2 트랜지스터(3102)와 제 6 스위치(3104)를 세트로 해서 병렬 수가 2인 경우에 대해서 기재했지만, 병렬로 배치하는 수는 특별히 한정되지 않는다.

<204> 또한 도 7의 표시장치에 본 실시형태에서 나타낸 화소를 적용함으로써, 실시형태 1과 유사하게, 각 행에 있어서의 데이터 기록 기간만 중복되지 않으면, 각 행에서 자유롭게 초기화 개시 시기를 설정할 수 있다. 또한, 각 화소는 자신의 어드레스 기간을 제외하고 발광할 수 있으므로, 1프레임 기간에 있어서의 발광 기간의 비율(즉, 뉴티비)을 상당히 크게 할 수 있고, 대략 100%로 할 수도 있다. 따라서, 휘도의 편차가 적고 뉴티비가 높은 표시장치를 얻을 수 있다.

<205> 또한 임계값 전압 기록 기간을 길게 설정할 수도 있으므로, 발광소자에 흐르는 전류치를 제어하는 트랜지스터의 임계값 전압을 더 정확하게 용량소자에 기록할 수 있다. 따라서, 표시장치로서의 신뢰성이 향상된다.

<206> 또한, 본 실시형태에 있어서도, 실시형태 3에서 나타내는 바와 같이, 전위공급선(3123)을 동일 화소 내의 배선으로 대용하거나, 실시형태 4와 같이, 다른 행의 배선과 공유하여도 좋다. 또한, 제 1 트랜지스터(3101) 및 제 2 트랜지스터(3102)의 각각에 트랜지스터가 직렬로 접속된 멀티 게이트형 트랜지스터나 병렬로 배치된 트랜지스터를 사용하여도 좋다. 이것들에 한정되지 않고, 본 실시형태는, 실시형태 1 내지 실시형태 5에 나타낸 화소 구성에 적용할 수 있다.

<207> (실시형태 7)

<208> 본 실시형태에서는, 실시형태 1과는 다른 구성의 화소를 나타낸다. 실시형태 1과 같은 것에는 공통의 부호로 나타내고, 동일 부분 또는 같은 기능을 가지는 부분의 상세한 설명은 생략한다. 또한, 이들은 실시형태

1과 마찬가지로 동작시키는 것으로 한다.

<209> 본 실시형태에서는 발광소자(117)에 강제적으로 전류가 흐르지 않도록 하는 화소 구성에 관하여 설명한다. 즉, 비발광 상태를 강제적으로 만드는 것으로써, 잔상이 거의 나타나지 않고, 동영상 특성이 뛰어난 표시장치를 얻는 것을 목적으로 한다.

<210> 이러한 화소 구성의 하나를 도 38에 도시한다. 도 38에 도시하는 화소에는, 트랜지스터(110), 제 1 스위치(111), 제 2 스위치(112), 제 3 스위치(113), 제 4 스위치(114), 제 1 용량소자(115), 제 2 용량소자(116), 발광소자(117) 이외에도, 제 5 스위치(3801)를 가진다. 또한, 화소는 신호선(118), 제 1 주사선(119), 제 2 주사선(120), 제 3 주사선(121), 전원선(122) 및 전위공급선(123) 이외에도, 제 4 주사선(3802)에도 접속된다.

<211> 도 38에 있어서, 제 5 스위치(3801)는, 제 2 용량소자(116)와 병렬로 접속된다. 따라서, 제 5 스위치(3801)가 온 상태가 되면 트랜지스터(110)의 게이트 전극과 제 1 전극간이 단락된다. 따라서, 용량소자(116)에 유지된 트랜지스터(110)의 게이트-소스간 전압을 0V로 할 수 있으므로, 트랜지스터(110)는 오프 상태가 되고, 발광소자(117)를 비발광으로 할 수 있다. 또한, 제 5 스위치(3801)의 온/오프의 제어는, 제 4 주사선(3802)에 입력되는 신호에 의해 화소 1 행씩 주사함으로써 행해진다.

<212> 이러한 동작에 의하여, 화소에 기록된 신호를 소거한다. 따라서, 다음 초기화 기간까지는 강제적으로 비발광 상태가 되는 소거 기간을 설정할 수 있다. 즉, 흑색 표시가 삽입된다. 따라서, 잔상이 거의 나타나지 않고, 동영상 특성의 향상을 도모할 수 있다.

<213> 한편, 표시장치의 계조를 표현하는 구동방식에는, 아날로그 계조방식과 디지털 계조방식이 있다. 아날로그 계조방식에는, 발광소자의 발광 강도를 아날로그로 제어하는 방식과, 발광소자의 발광 시간을 아날로그로 제어하는 방식이 있다. 아날로그 계조방식에 있어서는 발광소자의 발광 강도를 아날로그로 제어하는 방식이 주로 이용되고 있다. 한편, 디지털 계조방식에서는 디지털 제어로 발광소자를 온/오프시켜, 계조를 표현하고 있다. 디지털 계조방식의 경우, 디지털 신호로 처리할 수 있으므로 노이즈에 강하다는 장점이 있다. 그러나, 발광상태와 비발광 상태의 2 상태밖에 없으므로, 이 상태대로는 2계조밖에 표현할 수 없다. 그래서, 별도의 방법을 조합하여, 다계조화를 도모하고 있다. 다계조화를 위한 방법으로서는, 화소의 발광 면적에 비중을 두고 그 선택에 의해 계조표시를 행하는 면적계조방식과, 발광 시간에 비중을 두고 그 선택에 의해 계조표시를 행하는 시간계조방식이 있다.

<214> 이 디지털 계조방식과 시간계조방식을 조합하는 경우, 도 39에 도시한 바와 같이, 1프레임 기간을 복수의 서브 프레임 기간(SFn)으로 분할한다. 각 서브 프레임 기간은, 초기화 기간, 임계값 전압 기록 기간 및 데이터 기록 기간을 포함하는 어드레스 기간(Ta)과, 발광 기간(Ts)을 포함한다. 또한, 서브 프레임 기간은 표시비트수 n에 따른 수를 1프레임 기간에 설정한다. 또한, 각 서브 프레임 기간에 있어서 발광 기간의 길이의 비를 $2^{(n-1)}:2^{(n-2)}:\dots:2:1$ 로 하고, 각 발광 기간에서 발광소자의 발광, 혹은 비발광을 선택하고, 발광소자가 발광하고 있는 1프레임 기간 동안의 합계 시간의 차이를 이용하여 계조표현을 행한다. 1프레임 기간에 있어서, 발광하는 합계 시간이 길면 휘도가 높고, 짧으면 휘도가 낮다. 또한, 도 39에 있어서는 4비트 계조의 예를 나타내는데, 1프레임 기간은 4개의 서브 프레임 기간으로 분할되어, 발광 기간의 조합에 의해, $2^4 = 16$ 계조를 표현할 수 있다. 이때, 발광 기간의 길이의 비는, 특히 2의 거듭제곱의 비로 하지 않아도, 계조표현은 가능하다. 또한, 어느 서브 프레임 기간을 더 분할해도 좋다.

<215> 또한, 상기한 바와 같이, 시간계조방식을 사용하여 다계조화를 도모할 경우, 하위 비트의 발광 기간의 길이는 짧기 때문에, 발광 기간의 종료 후 즉시 다음 서브 프레임 기간의 데이터 기록 동작을 시작하려고 하면, 이전의 서브 프레임 기간의 데이터 기록 동작과 중복하여, 정상적인 동작을 할 수 없게 된다. 따라서, 서브 프레임 기간 내에 상기와 같이 소거 기간을 설정함으로써, 모든 행에 필요한 데이터 기록 기간보다 짧은 발광도 표현할 수 있다. 즉, 발광 기간을 자유롭게 설정할 수 있다.

<216> 본 발명은 아날로그 계조방식에 있어서 특히 효과적이다. 또한, 디지털 계조방식과 시간계조방식을 조합한 방식에 있어서도, 발광 기간을 자유롭게 설정할 수 있으므로, 소거 기간을 설정하는 것은 효과적이다.

<217> 또한, 전원선(122)으로부터 트랜지스터(110)를 통하여 발광소자(117)의 화소전극까지의 전류의 경로를 차단함으로써, 소거 기간을 설정하여도 좋다. 예를 들면, 전원선(122)으로부터 트랜지스터(110)를 통하여 발광소자(117)의 화소전극까지의 사이의 전류경로에 새로 스위치를 형성하여, 1 행마다 화소를 주사하여 그 스위치

를 오프로 함으로써 소거 기간을 형성할 수 있다.

<218> 이러한 구성의 하나를 도 40에 도시한다. 도 40의 구성은, 도 1의 화소 구성에 추가로, 제 5 스위치(3001)가 트랜지스터(110)의 제 1 전극과 노드(132)의 사이에 접속된다. 그리고, 제 5 스위치(4001)의 온/오프는, 제 4 주사선(4002)에 입력되는 신호에 의하여 제어된다. 이 제 5 스위치(4001)를 오프로 함으로써, 소거기간을 형성할 수 있다.

<219> 또한, 트랜지스터(110)의 제 2 전극과 노드 133의 사이나, 도 41에 도시하는 바와 같이, 발광소자(117)의 화소전극과 노드 132의 사이에 제 5 스위치(4001)를 접속하여 소거기간을 형성하여도 좋다.

<220> 물론, 도 1에 있어서의 화소에 있어서 제 2 스위치(112)를 오프로 하여, 전원선(122)으로부터 발광소자(117)에의 전류경로를 차단함으로써, 새로운 스위치를 형성하지 않고 소거 기간을 형성하여도 좋다.

<221> 또한, 트랜지스터(110)의 게이트 전극의 전위를 변화시킴으로써, 강제적으로 소거 기간을 설정할 수도 있다.

<222> 이러한 구성의 하나를 도 42에 도시한다. 도 42의 구성은, 도 1의 화소 구성에 대하여 정류소자(420 1)를 가지고, 그 정류소자(4201)를 통하여 트랜지스터(110)의 게이트 전극과 제 4 주사선(4202)이 접속된다. 또한, 트랜지스터(110)가 N채널형 트랜지스터이면, 정류소자(4201)는 트랜지스터(110)의 게이트 전극으로부터 제 4 주사선(4202)에 전류가 흐르도록 접속된다. 제 4 주사선(4202)은, 트랜지스터(110)를 강제적으로 오프 상태로 할 때에만 L레벨의 신호가 입력되고, 그 이외는 H레벨의 신호가 입력된다. 제 4 주사선(4202)이 H레벨일 때에는, 정류소자(4201)에는 전류가 흐르지 않고, L레벨이 되면 트랜지스터(110)의 게이트 전극으로부터 제 4 주사선(4202)에 전류가 흐른다. 이와 같이, 제 4 주사선(4202)에 전류를 흘려보냄으로써, 트랜지스터(110)의 게이트-소스간 전압을 임계값 전압(V_{th})이하로 하여, 트랜지스터(110)를 강제적으로 오프로 한다. 또한, L레벨의 전위는 트랜지스터(110)의 게이트 전극의 전위가 L레벨의 전위는, 트랜지스터(110)의 게이트 전극의 전위가 L레벨의 전위에 정류소자(4201)의 순 방향에 있어서의 임계값 전압을 가산한 전위이하로 되지 않는 것을 고려하여 결정해야 한다.

<223> 또한, 정류소자(4201)에는, 도 9b 내지 도 9d에 나타낸 쇼트키-배리어형 다이오드, PIN형 다이오드, PN형 다이오드, 이외에도, 도 9e 및 도 9f에 나타낸 다이오드 접속되어 있는 트랜지스터 등을 사용할 수 있다.

<224> 또한, 화소 구성은 강제적으로 비발광으로 하는 수단을 가지면 흑색 표시의 삽입에 의하여 잔상을 나타낼 수 없으므로, 상기의 구성에 특별히 한정되지 않는다.

<225> 본 실시형태에 나타낸 소거 기간을 설정하기 위한 스위치 등은, 상술한 도 1의 화소구성에 한정되지 않고, 그 이외의 실시형태에 나타낸 화소 구성에도 적용할 수 있다.

<226> 또한, 이러한 스위치를 설치하지 않아도 초기화 기간을 길게 설정함으로써 초기화 기간은 소거 기간을 겹힐 수 있다. 따라서, 실시형태 1 내지 실시형태 6에 기재한 화소를 동작할 때, 잔상을 보기 어렵게 하기 위하여 흑색 표시시키고자 하는 기간을 초기화 기간의 길이로 설정함으로써 동영상 특성의 향상을 도모할 수도 있다. 또한, 발광 기간에 있어서 전원선(122)의 전위를 대향전극(124)의 전위와 동일하게 함으로써 흑색 표시를 삽입해도 좋다.

<227> 또한, 본 실시형태에 나타낸 화소는, 실시형태 1에서 나타낸 표시장치에 적용할 수 있다. 이上面에 따라, 휴대의 편차가 적고, 동영상 특성이 뛰어난 표시장치를 얻을 수 있다.

<228> (실시형태 8)

<229> 본 실시형태에서는, 발광소자에 공급하는 전류치를 제어하는 트랜지스터에 P채널형 트랜지스터를 적용한 경우에 대해서 도 46을 참조하여 설명한다.

<230> 도 46에 도시하는 화소는, 트랜지스터(4610), 제 1 스위치(4611), 제 2 스위치(4612), 제 3 스위치(4613), 제 4 스위치(4614), 제 1 용량소자(4615), 제 2 용량소자(4616), 발광소자(4617)를 가진다. 화소는, 신호선(4618), 제 1 주사선(4619), 제 2 주사선(4620), 제 3 주사선(4621), 전원선(4622) 및 전위공급선(462 3)에 접속된다. 본 실시형태에 있어서, 트랜지스터(4610)는 P채널형 트랜지스터로 하고, 그 게이트-소스 전압의 절대치($|V_{gs}|$)가 임계값 전압($|V_{th}|$)을 초과했을 때(즉, V_{gs} 가 V_{th} 미만일 때) 도통 상태로 되는 것이다. 또한, 발광소자(4617)의 화소전극은 음극, 대향전극(4624)은 양극으로서 기능한다. 또한, 트랜지스터의 게이트-소스간 전압의 절대치를 $|V_{gs}|$, 임계값 전압의 절대치를 $|V_{th}|$, 제 1 용량소자(4615) 및 제 2 용량소자(4616)

에 축적된 전압을 각각 V_{c1} , V_{c2} 로 기재한다. 또한, 전원선(4622), 전위공급선(4623) 및 신호선(4618)을 각각 제 1 배선, 제 2 배선, 제 3 배선이라고도 부른다. 또한, 제 1 주사선(4619), 제 2 주사선(4620), 및 제 3 주사선(4621)을 각각 제 4 배선, 제 5 배선, 제 6 배선이라고 불러도 좋다.

<231> 트랜지스터(4610)의 제 1 전극(소스 전극 및 드레인 전극의 한쪽)은, 발광소자(4617)의 화소전극에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)은 제 2 스위치(4612)를 통하여 전원선(4622)에 접속되며, 게이트 전극은 제 3 스위치(4613) 및 제 2 스위치(4612)를 통하여 전원선(4622)과 접속된다. 또한, 제 3 스위치(4613)는, 트랜지스터(4610)의 게이트 전극과 제 2 스위치(4612)의 사이에 접속된다.

<232> 또한, 트랜지스터(4610)의 게이트 전극과 제 3 스위치(4613)의 접속개소를 노드(4630)로 하면, 노드(4630)는 제 1 용량소자(4615) 및 제 1 스위치(4611)를 통하여 신호선(4618)과 접속된다. 즉, 제 1 용량소자(4615)의 제 1 전극이 제 1 스위치(4611)를 통하여 신호선(4618)에, 제 2 전극이 트랜지스터(4610)의 게이트 전극에 접속된다. 또한, 제 1 용량소자(4615)의 제 1 전극은 제 4 스위치(4614)를 통하여 전위공급선(4623)과도 접속된다. 노드(4630)는, 덧붙여 제 2 용량소자(4616)를 통하여 트랜지스터(4610)의 제 1 전극과도 접속된다. 즉, 제 2 용량소자(4616)의 제 1 전극이 트랜지스터(4610)의 게이트 전극과, 제 2 전극이 트랜지스터(4610)의 제 1 전극에 접속된다. 이를 용량소자는, 배선, 반도체 층이나 전극에 의하여 절연막을 끼우는 것으로 형성하여도 좋고, 경우에 따라, 트랜지스터(4610)의 게이트 용량을 사용하여 제 2 용량소자(4616)를 생략하는 것도 가능하다.

<233> 또한, 제 1 주사선(4619), 제 2 주사선(4620), 제 3 주사선(4621)에 신호를 입력함으로써, 각각 제 1 스위치(4611), 제 2 스위치(4612), 제 3 스위치(4613) 및 제 4 스위치(4614)의 온/오프가 제어된다.

<234> 신호선(4618)에는, 비디오신호에 해당하는 화소의 계조에 따른 신호, 즉 휘도 데이터에 따른 전위가 입력된다.

<235> 다음으로, 도 46에 나타낸 화소의 동작에 대해서 도 47a 내지 도 47d의 타이밍 차트 및 도 48a 내지 도 48d를 사용하여 설명한다. 또한, 도 47a 내지 도 47d에 있어서, 1화면분의 화상을 표시하는 시간에 해당하는 1프레임 기간은, 초기화 기간, 임계값 기록 기간, 데이터 기록 기간 및 발광 기간으로 분할된다. 또한, 초기화 기간, 임계값 기록 기간, 데이터 기록 기간을 종합하여 어드레스 기간이라고 부른다. 1프레임 기간은 특별히 한정되지 않지만, 화상을 보는 사람이 깜박거림(flicker)을 느끼지 않도록 1/60초 이하로 하는 것이 바람직하다.

<236> 또한, 발광소자(4617)의 대향전극(4624)에는, V_1 의 전위(V_1 : 임의의 수)가 입력된다. 또한, 발광소자(4617)가 발광하기 위하여 적어도 필요로 하는 전위차를 V_{EL} 로 하면, 전원선(4622)에는 $V_1 - V_{EL} - |V_{th}| - \alpha$ (α : 임의의 양수)의 전위가 입력된다. 즉, 전원선(4622)에는 $V_1 - V_{EL} - |V_{th}| - \alpha$ 이하의 전위라면 좋다. 전위공급선(4623)의 전위는 특별히 한정되지 않지만, 화소가 형성된 패널에 입력하는 전위의 범위 내인 것이 바람직하다. 이렇게 함으로써, 전원을 별도 제작할 필요가 없다. 또한, 여기서는 전위공급선(4623)의 전위를 V_2 로 한다.

<237> 우선, 도 47의 기간(A) 및 도 48a에 도시한 바와 같이, 초기화 기간에서는, 제 1 스위치(4611)를 오프 상태로 하고, 제 2 스위치(4612), 제 3 스위치(4613) 및 제 4 스위치(4614)를 온 상태로 한다. 이 때, 트랜지스터(4610)는 도통상태이며, 제 1 용량소자(4615)에는 $V_1 - V_{EL} - |V_{th}| - \alpha - V_2$, 제 2 용량소자(4616)에는 $|V_{th}| + \alpha$ 가 유지된다. 또한, 초기화 기간에서는, 제 1 용량소자(4615)에는 소정의 전압이, 제 2 용량소자(4616)에는 적어도 $|V_{th}|$ 보다 높은 절대치의 전압이 유지되면 좋다.

<238> 도 47의 기간(B) 및 도 48b에 나타내는 임계값 전압 기록 기간에는, 제 2 스위치(4612)를 오프 상태로 한다. 따라서, 트랜지스터(4610)의 게이트 전극은 점점 상승하고, 트랜지스터(4610)의 게이트-소스간 전압 V_{gs} 가 임계값 전압 $|V_{th}|$ 로 되면 트랜지스터(4610)는 비도통 상태가 된다. 따라서, 제 2 용량소자(4616)에 유지되는 전압 V_{c2} 는 대략 $|V_{th}|$ 가 된다.

<239> 그 후의 도 47의 기간(C) 및 도 48c에 도시하는 데이터 기록 기간에 있어서는, 제 3 스위치(4613) 및 제 4 스위치(4614)를 오프 상태로 한 후, 제 1 스위치(4611)를 온 상태로 하여 신호선(4618)으로부터 휘도 데이터에 따른 전위($V_2 - V_{data}$)를 입력한다. 이 때, 제 2 용량소자(4616)에 보유되는 전압 V_{c2} 는, 제 1 용량소자(4615) 및 제 2 용량소자(4616) 및 발광소자(4617)의 정전용량을 각각 C_1 , C_2 , C_3 이라고 하면 $C_3 >> C_1, C_2$ 로부터 수식 (4)와 같이 나타낼 수 있다.

<240>

[수식 4]

$$V_{C2} = \left| -|V_{th}| - V_{data} \times \frac{C1}{C1+C2} \right| \dots (4)$$

<241>

<242>

또한, C1과 C2는 신호선(4618)으로부터 공급하는 전위를 결정할 때에 필요하지만, 이들의 관계는 특별히 한정되지 않는다. 또한, C1>C2의 경우에는, 휘도변화에 따른 Vdata의 진폭을 적게 할 수 있기 때문에, 소비전력을 저감할 수 있다. 한편, C2>C1의 경우에는, 주위의 스위치의 온, 오프나 오프 전류에 의한 Vc2의 변화를 억제할 수 있다. 이들의 상반되는 효과에 의거하여 C1과 C2는 동일이며, 제 1 용량소자(4615)와 제 2 용량소자(4616)의 크기는 동일한 것이 바람직하다.

<243>

또한, 다음 발광기간에 있어서, 발광소자(4617)를 비발광으로 하고 싶은 경우는, $V_{data} \leq 0$ 의 전위를 입력하면 좋다.

<244>

다음, 도 47의 기간(D) 및 도 48d에 도시하는 발광기간에서는, 제 1 스위치(4611)를 오프로 한 후, 제 2 스위치(4612)를 온으로 한다. 이 때, 트랜지스터(4610)의 게이트-소스간 전압은 $V_{gs} = -|V_{th}| - V_{data} \times (C1/(C1+C2))$ 이며, 휘도 데이터에 따른 전류가 트랜지스터(4610) 및 발광소자(4617)에 흐르고, 발광소자(4617)가 발광한다. 물론, 신호선(4618)으로부터 입력되는 휘도 데이터에 따른 전위에 대해서는, 트랜지스터(4610)의 게이트-소스간 전압이 $V_{gs} = -|V_{th}| - V_{data} \times (C1/(C1+C2))$ 로 되는 것을 고려하여 Vdata를 결정할 필요가 있다.

<245>

또한, 발광소자(4617)에 흐르는 전류 I는, 트랜지스터(4610)를 포화영역에서 동작시킨 경우, 수식 (5)로 나타내진다.

<246>

[수식 5]

$$\begin{aligned} I &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (V_{gs} - V_{th})^2 \\ &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (-|V_{th}| - V_{data} \times \frac{C1}{C1+C2} - V_{th})^2 \dots (5) \end{aligned}$$

<247>

트랜지스터(4610)는 P채널형의 트랜지스터이며, $V_{th} < 0$ 이다. 따라서, 수식 (5)는 수식 (6)으로 변경할 수 있다.

<249>

[수식 6]

$$I = \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (-V_{data} \times \frac{C1}{C1+C2})^2 \dots (6)$$

<250>

또한, 트랜지스터(4610)를 선형영역에서 동작시킨 경우, 발광소자(4617)에 흐르는 전류 I는 수식 (7)로 나타내진다.

<252>

[수식 7]

$$\begin{aligned} I &= \left(\frac{W}{L} \right) \mu C_{ox} [(V_{gs} - V_{th})V_{ds} - \frac{1}{2} V_{ds}^2] \\ &= \left(\frac{W}{L} \right) \mu C_{ox} [(-|V_{th}| - V_{data} \times \frac{C1}{C1+C2} - V_{th})V_{ds} - \frac{1}{2} V_{ds}^2] \dots (7) \end{aligned}$$

<253>

$V_{th} < 0$ 으로부터, 수식 (7)은 수식 (8)로 변경할 수 있다.

<255> [수식 8]

$$I = \left[\frac{W}{L} \right] \mu_{Cox} \left[(-V_{data} \times \frac{C_1}{C_1+C_2}) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \dots (8)$$

<256> 여기서, W는 트랜지스터(4610)의 채널 폭, L은 채널 길이, μ 는 이동도, Cox는 축적용량을 가리킨다.<257> <258> 수식(6) 및 수식(8)으로부터, 트랜지스터(4610)의 동작영역이 포화영역, 선형영역의 어느 경우에 있어 서도, 발광소자(4617)에 흐르는 전류는, 트랜지스터(4610)의 임계값 전압(V_{th})에 의존하지 않는다. 따라서, 트랜지스터(4610)의 임계값 전압의 편차에 기인한 전류값의 편차를 억제하고, 휘도 데이터에 대응한 전류를 발광 소자(4617)에 공급할 수 있다.

<259> 상술한 바와 같이, 트랜지스터(4610)의 임계값 전압의 편차에 기인한 휘도의 편차를 억제할 수 있다. 또한, 대향전극(4624)의 전위를 일정하게 동작시키기 때문에, 소비전력을 낮게 할 수 있다.

<260> 또한, 트랜지스터(4610)를 포화영역에서 동작시킨 경우에 있어서는, 발광소자(4617)의 열화에 의한 휘도의 편차도 억제할 수 있다. 발광소자(4617)가 열화하면, 발광소자(4617)의 V_{EL} 는 증가하고, 트랜지스터(4610)의 제 1 전극, 즉 소스 전극의 전위는 감소한다. 이 때, 트랜지스터(4610)의 소스 전극은 제 2 용량소자(4616)의 제 2 전극에 트랜지스터(4610)의 게이트 전극은 제 2 용량소자(4616)의 제 1 전극에 접속되어, 게이트 전극측은 부유 상태로 된다. 따라서, 소스 전위의 감소에 따라, 동일한 전위분 트랜지스터(4610)의 게이트 전위도 감소한다. 따라서, 트랜지스터(4610)의 V_{gs} 는 변화하지 않기 때문에, 혹시 발광소자가 열화해도 트랜지스터(4610) 및 발광소자(4617)에 흐르는 전류에 영향을 미치지 않는다. 또한, 수식(6)에 있어서도, 발광소자에 흐르는 전류 I는 소스 전위나 드레인 전위에 의존하지 않는 것을 알 수 있다.

<261> <262> 따라서, 트랜지스터(4610)를 포화영역에서 동작시킨 경우에 있어서는, 트랜지스터(4610)의 임계값 전압의 편차 및 발광소자(4617)의 열화에 기인한 트랜지스터(4610)에 흐르는 전류의 편차를 억제할 수 있다.

<263> 또한, 트랜지스터(4610)를 포화영역에서 동작시키는 경우, 항복(break down)형상이나 채널 길이 변조에 의한 전류량의 증가를 방지하기 위하여, 트랜지스터(4610)의 채널 길이 L은 긴 것이 바람직하다.

<264> <265> 이상과 같이, 트랜지스터의 임계값 전압의 편차에 기인하는 전류치의 편차를 억제할 수 있으므로, 본 발명에 있어서, 그 트랜지스터에 의해 제어된 전류가 공급되는 곳은 특별히 한정되지 않는다. 따라서, 도 46에 도시한 발광소자(4617)는, 대표적으로는 EL소자(유기 EL소자, 무기 EL소자 또는 유기물 및 무기물을 포함한 EL 소자)를 적용할 수 있다. 또한, 발광소자(4617) 대신에, 전자방출소자, 액정소자, 전자 잉크 등을 적용할 수도 있다. 도 49에 발광소자(4617)에 EL소자(4917)를 사용한 예를 도시한다. 또한, 도 49는 대향전극(4624)으로부터 화소전극(4911)에 전류가 흐르는 상태를 나타낸다.

<266> 또한, 트랜지스터(4610)는 발광소자(4617)에 공급하는 전류치를 제어하는 기능을 가지면 좋으므로, 트랜지스터의 종류는 특별히 한정되지 않고, 다양한 것을 사용할 수 있다. 예를 들면, 결정성 반도체막을 사용한 박막 트랜지스터(TFT), 비정질 실리콘이나 다결정 실리콘으로 대표되는 비결정성 반도체막을 사용한 박막 트랜지스터, 반도체 기판이나 SOI 기판을 사용해서 형성되는 트랜지스터, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터, ZnO나 a-InGaZnO 등의 화합물 반도체를 사용한 트랜지스터, 유기반도체나 카본나노튜브를 사용한 트랜지스터, 그 이외의 트랜지스터를 트랜지스터(4610)에 적용할 수 있다.

<267> <268> 제 1 스위치(4611)는 휘도 데이터에 따른 전위, 즉, 신호를 신호선(4618)으로부터 화소에 입력하는 타이밍을 선택하여, 주로 제 1 용량소자(4615)에 유지되는 전압, 및 제 2 용량소자(4616)에 유지되는 전압, 즉 트랜지스터(4610)의 게이트-소스간 전압을 변화시키는 것이다. 또한, 제 2 스위치(4612)는 트랜지스터(4610)의 제 2 전극에 소정의 전위를 공급하는 타이밍을 선택하는 것이다. 또한, 경우에 따라, 제 1 용량소자(4615)의 제 2 전극 및 제 2 용량소자(4616)의 제 1 전극에도 상기 소정의 전위를 공급한다. 제 3 스위치(4613)는 트랜지스터(4610)의 게이트 전극과 제 2 전극과의 접속을 제어하는 것이며, 제 4 스위치(4614)는 프레임 기간마다 제 1 용량소자(4615)에 소정의 전압을 유지시키는 타이밍을 선택하여, 제 1 용량소자(4615)의 제 1 전극에 소정의 전위를 공급하는지 아닌지를 제어하는 것이다. 따라서, 제 1 스위치(4611), 제 2 스위치(4612), 제 3 스위치(4613), 제 4 스위치(4614)는, 상기 기능을 가지면 특별히 한정되지 않는다. 예를 들면, 트랜지스터나 다이오드라도 좋고, 그들을 조합한 논리회로라도 좋다. 또한, 제 1 스위치(4611), 제 2 스위치(4612) 및 제 4 스위치(4614)는, 상기 타이밍으로 신호 또는 전위를 화소에 줄 수 있으면, 특별히 문제가 없다. 또한, 제 3 스위치

(4613)에 있어서도 상기 기능을 실현할 수 있으면, 특별히 필요가 없다.

<266> 또한, 트랜지스터를 사용한 경우, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 다만, 오프 전류가 적은 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로서는, LDD영역을 형성한 트랜지스터나, 멀티 게이트 구조를 가지는 트랜지스터 등이 있다. 또한, N채널형과 P채널형의 모두를 사용한 CMOS형 스위치로 해도 된다.

<267> 예를 들면, 제 1 스위치(4611), 제 2 스위치(4612), 제 3 스위치(4613), 제 4 스위치(4614)에 P채널형 트랜지스터를 적용한 경우, 각각의 스위치의 온/오프를 제어하는 주사선에는 온 상태로 하고자 할 때에는 H레벨의 신호가, 오프 상태로 하고자 할 때에는 L레벨의 신호가 입력된다. 이 경우, P채널형 트랜지스터만으로 화소를 구성할 수 있으므로, 제조 공정의 간략화를 도모할 수 있다.

<268> 또한, 도 7의 표시장치에 본 실시형태에 나타낸 화소를 적용할 수 있고, 실시형태 1과 같이, 각 행에 있어서 데이터 기록 기간만 중복되지 않으면, 각 행에서 초기화 개시 시기를 자유롭게 설정할 수 있다. 또한 각 화소는 자신의 어드레스 기간을 제외하고 발광할 수 있으므로, 1프레임 기간에 있어서의 발광 기간의 비율(즉, 듀티비)을 상당히 크게 할 수 있고, 대략 100%로 할 수도 있다. 따라서, 휙도의 편차가 적고 듀티비가 높은 표시장치를 얻을 수 있다.

<269> 또한, 임계값 전압 기록 기간을 길게 설정할 수 있으므로, 발광소자에 흐르는 전류치를 제어하는 트랜지스터의 임계값 전압을 더 정확하게 용량소자에 기록할 수 있다. 따라서, 표시장치로서의 신뢰성이 향상한다.

<270> 또한, 본 실시형태는, 그 이외의 실시형태에서 나타낸 화소구성과 자유롭게 조합할 수 있다. 예를 들면, 실시형태 2와 같이, 제 4 스위치(4614)에 정류소자를 사용하여도 좋고, 실시형태 3 및 실시형태 4와 같이 전위공급선(4623)을 다른 배선으로 대용하여도 좋다. 또한, 트랜지스터(4610)를 실시형태 5 및 실시형태 6에서 나타낸 트랜지스터의 구성으로 할 수도 있다. 그 이외에도, 실시형태 7에서 나타낸 구성 및 동작을 적용할 수도 있다. 이것으로 한정되지 않고, 본 실시형태에 기재한 트랜지스터(4610)는, 다른 실시형태에 나타낸 화소에도 적용할 수 있다.

<271> 다만, 발광소자에 흐르는 전류를 제어하는 트랜지스터의 극성에 의하여, 정류소자에 흐르는 전류의 방향을 다르게 할 필요가 있다. 예를 들면, 소거 기간을 형성하기 위한 정류소자를 사용한 경우에 대해서, 도 50을 사용하여 설명한다.

<272> 트랜지스터(4610)가 P채널형 트랜지스터인 경우에는, 정류소자(5001)는 제 4 주사선(5002)으로부터 노드(4630)에 전류가 흐르도록 접속된다. 제 4 주사선(5002)은 트랜지스터(4610)를 강제적으로 오프할 경우만 H레벨의 신호가 입력되고, 그 이외는 L레벨의 신호가 입력된다. 제 4 주사선(5002)이 L레벨의 경우에는, 정류소자(5001)에는 전류가 흐르지 않고, H레벨이 되면 제 4 주사선(5002)으로부터 노드(4630)에 전류가 흐른다. 이와 같이, 노드(4630)에 전류를 흘려보냄으로써, 트랜지스터(4610)의 게이트 전위를 상승시켜, 트랜지스터(4610)의 게이트-소스간 전압을 임계값 전압(|V_{th}|)이하로 하여 트랜지스터(4610)를 강제적으로 오프로 한다. 이러한 동작에 의하여, 흑색 표시가 삽입되고 잔상이 거의 나타나지 않고, 동영상 특성을 향상시킬 수 있다.

<273> (실시형태 9)

<274> 본 실시형태에서는, 본 발명의 화소의 부분 단면도의 일형태에 대해서 도 17을 참조하여 설명한다. 또한, 본 실시형태에 있어서의 부분 단면도에 나타내는 트랜지스터는, 발광소자에 공급하는 전류치를 제어하는 기능을 가지는 트랜지스터이다.

<275> 우선, 절연 표면을 가지는 기판(1711) 위에 하지막(1712)을 형성한다. 절연 표면을 가지는 기판(1711)으로서는, 유리 기판, 석영기판, 플라스틱 기판(폴리이미드, 아크릴, 폴리에틸렌테레프탈레이트, 폴리카보네이트, 폴리아릴레이트, 폴리에테르술폰 등), 세라믹 기판 등의 절연성 기판 이외에도, 금속기판(탄탈, 텅스텐, 몰리브덴 등)이나, 반도체 기판 등의 표면에 절연막을 형성한 것도 사용할 수 있다. 다만, 적어도 프로세스 중에 발생하는 열을 견딜 수 있는 기판을 사용할 필요가 있다.

<276> 하지막(1712)으로서는 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 절연막을 사용하여, 이를 절연막을 단층 또는 2 이상의 복수의 층으로 형성한다. 또한, 하지막(1712)은, 스퍼터링법, CVD법 등으로 형성하면 좋다. 본 실시형태에서는 하지막(1712)을 단층으로 하지만, 물론 2 이상의 복수 층이라도 좋다.

<277> 다음, 하지막(1712) 위에 트랜지스터(1713)를 형성한다. 트랜지스터(1713)는, 적어도 반도체층(1714)

과, 반도체층(1714) 위에 형성된 게이트 절연막(1715)과, 반도체층(1714) 위에 게이트 절연막(1715)을 통하여 형성된 게이트 전극(1716)으로 구성되어, 반도체층(1714)은, 소스 영역 및 드레인 영역을 가진다.

<278> 반도체 층(1714)은, 아모퍼스 실리콘(a-Si:H) 이외에도, 실리콘, 실리콘·게르마늄(SiGe) 등을 주성분으로 하는 아모퍼스 반도체, 아모퍼스 상태와 결정 상태가 혼재한 세미 아모퍼스 반도체, 및 아모퍼스 반도체 내에 0.5nm 내지 20nm의 결정립을 관찰할 수 있는 미결정 반도체나, 폴리 실리콘(p-Si:H) 등의 결정성 반도체 막을 사용할 수 있다. 또한, 0.5nm 내지 20nm의 결정립을 관찰할 수 있는 미결정 상태는 이른바 마이크로 크리스탈이라고 불린다. 예를 들면, 반도체층(1714)에 비정질 반도체 막을 사용하는 경우에는, 스퍼터링법, CVD법 등을 사용하여 형성하면 좋고, 결정성 반도체막을 사용하는 경우에는, 예를 들면, 비정질 반도체막을 형성한 후, 또 결정화하면 좋다. 또한, 필요에 따라, 트랜지스터의 임계값 전압을 제어하기 위하여 상기 주성분 이외에, 미량의 불순물 원소(인, 비소, 봉소 등)가 포함되어도 좋다.

<279> 다음, 반도체층(1714)을 덮여 게이트 절연막(1715)을 형성한다. 게이트 절연막(1715)에는, 예를 들면 산화규소, 질화규소 또는 질화산화규소 등을 사용하여 단층 또는 복수의 막을 적층시켜 형성한다. 또한, 성막 방법으로서는, CVD법, 스퍼터링법 등을 이용할 수 있다.

<280> 계속해서, 반도체층(1714) 위쪽에 게이트 절연막(1715)을 통하여 게이트 전극(1716)을 형성한다. 게이트 전극(1716)은 단층으로 형성해도 좋고, 복수의 금속막을 적층하여 형성해도 좋다. 또한, 게이트 전극은 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오브(Nb) 등으로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 혹은 화합물재료로 형성할 수 있다. 예를 들면, 제 1 도전층으로서 질화탄탈(TaN)을 사용하고, 제 2 도전층으로서 텅스텐(W)을 사용하는, 제 1 도전막과 제 2 도전막으로 되는 게이트 전극으로 하여도 좋다.

<281> 다음으로, 게이트 전극(1716) 또는 레지스트를 형성하여 원하는 형상으로 한 것을 마스크로서 사용하여, 반도체층(1714)에 n형 또는 p형 도전성을 부여하는 불순물을 선택적으로 첨가한다. 이렇게 하여, 반도체층(1714)에, 채널 형성 영역 및 불순물영역(소스 영역, 드레인 영역, GOLD영역, LDD영역을 포함한다)이 형성된다. 또한, 첨가되는 불순물원소의 도전형에 따라 N채널형 트랜지스터, 또는 P채널형 트랜지스터를 구별하여 제작할 수 있다.

<282> 또한, 도 17은, LDD영역(1720)을 자기정합적으로 제작하기 위해서, 게이트 전극(1716)을 덮도록 실리콘화합물, 예를 들면 산화 실리콘막, 질화 실리콘막 혹은 산화질화 실리콘막을 형성한 후, 에치백해서 사이드월(1717)을 형성한다. 그 후에, 반도체층(1714)에 도전성을 부여하는 불순물을 첨가함으로써, 소스 영역(1718), 드레인 영역(1719) 및 LDD영역(1720)을 형성할 수 있다. 따라서, LDD영역(1720)은 사이드월(1717)의 하부에 위치한다. 또한, 사이드월(1717)은 LDD영역(1720)을 자기정합적으로 형성하는 것이며, 반드시 설치하지 않아도 좋다. 또한, 도전성을 부여하는 불순물로서는 인, 비소, 봉소 등이 사용된다.

<283> 다음으로, 게이트 전극(1716)을 덮도록, 제 1 층간 절연막(1730)으로서, 제 1 절연막(1721), 제 2 절연막(1722)을 적층하여 형성한다. 제 1 절연막(1721), 제 2 절연막(1722)으로서는, 산화규소막, 질화규소막 또는 산화질화규소막(SiO_xN_y) 등의 무기절연막, 또는 저유전율의 유기수지막(감광성이나 비감광성의 유기수지막)을 사용할 수 있다. 또한 실록산을 포함한 막을 사용해도 좋다. 또한 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격구조가 구성되는 재료이며, 치환기로서는, 유기기(예를 들면 알킬기, 방향족 탄화수소)가 사용된다. 또한, 치환기에 플루오르기를 포함하여도 좋다.

<284> 또한, 제 1 절연막(1721), 제 2 절연막(1722)에 동일 재료의 절연막을 사용해도 좋다. 본 실시예에서 는, 제 1 층간 절연막(1730)을 2층의 적층 구조로 했지만, 1층으로 해도 좋고, 3층 이상의 적층 구조로 해도 좋다.

<285> 또한, 제 1 절연막(1721), 제 2 절연막(1722)은, 스퍼터링법, CVD법, 스판코팅법 등을 이용하여 형성하면 좋고, 유기수지막이나 실록산을 포함한 막을 사용할 경우에는 도포법을 사용하여 형성하면 좋다.

<286> 그 후, 제 1 층간 절연막(1730) 위에 소스 전극 및 드레인 전극(1723)을 형성한다. 또한, 소스 전극 및 드레인 전극(1723)은, 각각 콘택홀을 통하여 소스 영역(1718), 드레인 영역(1719)에 접속되어 있다.

<287> 또한, 소스 전극 및 드레인 전극(1723)는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 이리듐(Ir), 로듐(Rh), 텅스텐(W), 알루미늄(Al), 탄탈(Ta), 몰리브덴(Mo), 카드뮴(Cd), 아연(Zn), 철(Fe), 티타늄(Ti), 규소(Si), 게르마늄(Ge), 지르코늄(Zr), 바륨(Ba), 네오디뮴(Nd) 등의 금속 또는 그 합금,

혹은 그 금속질화물, 또는 이것들의 적층막을 사용할 수 있다.

<288> 다음, 소스 전극 및 드레인 전극(1723)을 덮여 제 2 층간 절연막(1731)을 형성한다. 제 2 층간 절연막(1731)으로서는, 무기절연막이나, 수지막, 또는 이것들의 적층을 사용할 수 있다. 무기절연막으로서는, 질화규소막, 산화규소막, 산화질화규소막 또는 이것들을 적층한 막을 사용할 수 있다. 수지막으로서는, 폴리이미드, 폴리아미드, 아크릴, 폴리이미드아미드, 에폭시 등을 사용할 수 있다.

<289> 제 2 층간 절연막(1731) 위에는 화소전극(1724)을 형성한다. 다음, 화소전극(1724)의 단부를 덮도록 절연물(1725)을 형성한다. 절연물(1725)은, 후에 형성되는 발광 물질을 포함하는 층(1726)의 성막을 양호하게 하기 위하여, 절연물(1725)의 상단부 또는 하단부가 곡률을 가지는 곡면이 되도록 형성하는 것이 바람직하다. 예를 들면, 절연물(1725)의 재료로서 포지티브형 감광성 아크릴을 사용한 경우, 절연막(1725)의 상단부에만 곡률반경($0.2\mu\text{m}$ 내지 $3\mu\text{m}$)을 가지는 곡면을 가지게 하는 것이 바람직하다. 또한, 절연물(1725)로서, 광감성의 빛에 의하여 에칠퐁에 불용해성을 나타내는 네거티브형, 혹은 빛에 의하여 에칠퐁에 용해성을 나타내는 포지티브형 재료를 모두 사용할 수 있다. 또한, 절연물(1725)의 재료로서 유기물에 한정되지 않고 산화규소, 산질화규소 등의 무기물도 사용할 수 있다.

<290> 다음, 화소전극(1724) 및 절연물(1725) 위에 발광 물질을 포함하는 층(1726) 및 대향전극(1727)을 형성한다.

<291> 또한, 화소전극(1724)과 대향전극(1727)의 사이에 발광 물질을 포함하는 층(1726)이 끼워진 영역에서는 발광소자(1728)가 형성된다.

<292> 다음, 발광소자(1728)의 상세한 것에 대해서 도 18a 내지 도 18b를 참조하여 설명한다. 여기서, 도 17에 있어서의 화소전극(1724) 및 대향전극(1727)은, 각각 도 18a 내지 도 18b의 화소전극(1801), 대향전극(1802)에 해당한다. 또한, 도 18a에 있어서는, 화소전극을 양극, 대향전극을 음극으로 한다.

<293> 도 18a에 나타내는 바와 같이, 화소전극(1801)과 대향전극(1802) 사이에는, 발광층(1813) 이외에도, 정공주입층(1811), 정공수송층(1812), 전자수송층(1814), 전자주입층(1815) 등도 형성된다. 이들 층은, 화소전극(1801)의 전위가 대향전극(1802)의 전위보다 높아지도록 전압을 인가했을 때에, 화소전극(1801) 측으로부터 정공이 주입되고 대향전극(1802) 측으로부터 전자가 주입되도록 적층되어 있다.

<294> 이러한 발광소자에 있어서, 화소전극(1801)으로부터 주입된 정공과, 대향전극(1802)으로부터 주입된 전자가 발광층(1813)에 있어서 재결합하고, 발광 물질을 여기 상태로 만든다. 그리고, 여기 상태의 발광 물질이 기저 상태로 되돌아올 때에 발광한다. 또한, 발광 물질은, 루미네선스(일렉트로 루미네선스)를 얻을 수 있는 물질이라면 좋다.

<295> 발광층(1813)을 형성하는 물질에 대해서 특별히 한정되지 않고, 발광 물질만으로 형성된 층이라도 좋지만, 농도 소광이 일어나는 경우에는, 발광 물질이 가지는 에너지 캡보다 큰 에너지 캡을 가지는 물질(호스트)로 되는 층 내에 발광 물질이 분산하도록 혼합된 층인 것이 바람직하다. 따라서, 발광 물질의 농도 소광을 방지할 수 있다. 또한, 에너지 캡은 최저공분자궤도(LUMO:Lowest Unoccupied Molecular Orbital) 준위와 최고피점분자궤도(HOMO:Highest Occupied Molecular Orbital) 준위의 차이를 의미한다.

<296> 또한, 발광 물질에 대해서도 특별히 한정되지 않고, 원하는 발광 파장의 발광을 할 수 있는 물질을 사용하면 좋다. 예를 들면, 적색계의 발광을 얻고자 하는 경우에는, 4-디시아노메틸렌-2-이소프로필-6-[2-(1,1,7,7-테트라메틸줄로리딘-9-일)에테닐]-4H-페란(약칭:DCJTI), 4-디시아노메틸렌-2-메틸-6-[2-(1,1,7,7-테트라메틸줄로리딘-9-일)에테닐]-4H-페란(약칭:DCJTI), 4-디시아노메틸렌-2-tert-부틸-6-[2-(1,1,7,7-테트라메틸줄로리딘-9-일)에테닐]-4H-페란(약칭:DCJTB), 페리풀란텐, 또는 2,5-디시아노-1,4-비스[2-(10-메톡시-1,1,7,7-테트라메틸줄로리딘-9-일)에테닐]벤젠 등, 600nm 내지 680nm에 발광스펙트럼의 피크를 가지는 발광을 나타내는 물질을 사용할 수 있다. 또한, 녹색계의 발광을 얻고자 하는 경우에는, N, N'-디메틸퀴나크리돈(약칭:DMQd), 쿠마린 6이나 쿠마린 545T, 트리스(8-퀴놀리노라토)알루미늄(약칭:Alq), 또는 N, N'-디페닐퀴나크리돈(약칭:DPQd) 등, 500nm 내지 550nm에 발광스펙트럼의 피크를 가지는 발광을 나타내는 물질을 사용할 수 있다. 청색계의 발광을 얻고자 하는 경우에는, 9,10-비스(2-나프틸)-tert-부틸안트라센(약칭:t-BuDNA), 9,9'-비안트릴, 9,10-디페닐안트라센(약칭:DPA)이나 9,10-비스(2-나프틸)안트라센(약칭:DNA), 비스(2-메틸-8-퀴놀리노라토)-4-페닐페노라토-갈륨(BGaq), 또는 비스(2-메틸-8-퀴놀리노라토)-4-페닐페노라토-알루미늄(BAlq) 등, 420nm 내지 500nm에 발광스펙트럼의 피크를 가지는 발광을 나타내는 물질을 사용할 수 있다.

<297> 발광 물질을 분산 상태로 하기 위해서 사용하는 물질에 대해서도 특별히 한정되지 않고, 예를 들면,

9,10-디(2-나프틸)-2-tert-부틸안트라센(약칭:t-BuDNA) 등의 안트라센 유도체나, 4,4'-비스(N-카르바졸일)비페닐(약칭:CBP) 등의 카르바졸 유도체나, 그 이외에도, 비스[2-(2-히드록시페닐)페리디나토]아연(약칭:Znpp₂), 또는 비스[2-(2-히드록시페닐)벤조옥사졸라토]아연(약칭:ZnBOX) 등의 금속착체 등을 사용할 수 있다.

<298> 화소전극(1801)을 형성하는 양극 재료는 특별히 한정되지 않지만, 일함수가 큰(일함수 4.0eV 이상) 금속, 합금, 전기전도성 화합물, 및 이것들의 혼합물 등을 사용하는 것이 바람직하다. 이러한 양극 재료의 구체적인 예로서는, 금속재료의 산화물로서, 인듐주석산화물(약칭:ITO), 산화규소를 함유하는 ITO(약칭:ITSO), 산화인듐에 2 내지 20[wt %]의 산화아연(ZnO)을 혼합한 타겟을 사용하여 형성되는 인듐아연산화물(약칭:IZO) 이외에도, 금(Au), 백금(Pt), 니켈(Ni), 텉스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 구리(Cu), 팔라듐(Pd), 또는 금속재료의 질화물(예를 들면 질화티타늄) 등을 들 수 있다.

<299> 한편, 대향전극(1802)을 형성하는 물질로서는, 일함수가 작은(일함수 3.8eV 이하) 금속, 합금, 전기전도성 화합물, 및 이것들의 혼합물 등을 사용할 수 있다. 이러한 음극 재료의 구체적인 예로서는, 주기율표의 1족 또는 2족에 속하는 원소, 즉 리튬(Li)이나 세슘(Cs) 등의 알칼리금속 또는 마그네슘(Mg), 칼슘(Ca), 스트론튬(Sr) 등의 알칼리토류금속, 및 이것들을 포함하는 합금(Mg:Ag, Al:Li)을 들 수 있다. 또한 대향전극(1802)과 발광층(1813) 사이에, 전자주입성이 뛰어나는 층을 상기 대향전극과 적층하여 형성함으로써, 일함수의 대소에 관계없이, Al, Ag, ITO나 산화규소를 함유하는 ITO 등의 화소전극(1801)의 재료로서 든 재료도 포함한 여러 가지 도전성 재료를 대향전극(1802)로서 사용할 수 있다. 또한, 후술하는 전자주입층(1815)에, 특히 전자를 주입하는 기능이 뛰어난 재료를 사용함으로써 같은 효과를 얻을 수 있다.

<300> 이때, 발광한 빛을 외부로 추출하기 위해서, 화소전극(1801)과 대향전극(1802)의 어느 하나 또는 모두가 ITO 등의 투광성을 가지는 전극, 또는 가시광이 투과할 수 있는 수nm 내지 수십 nm의 두께로 형성된 전극인 것이 바람직하다.

<301> 화소전극(1801)과 발광층(1813) 사이에는, 도 18a에 나타낸 바와 같이, 정공수송층(1812)을 가진다. 정공수송층은, 화소전극(1801)로부터 주입된 정공을 발광층(1813)에 수송하는 기능을 가지는 층이다. 이와 같이, 정공수송층(1812)을 설치하여, 화소전극(1801)과 발광층(1813)을 떼어 놓음으로써, 발광이 금속에 기인하여 소광하는 것을 방지할 수 있다.

<302> 또한, 정공수송층(1812)에는, 정공수송성이 높은 물질을 사용하여 형성하는 것이 바람직하고, 특히 $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$ 이상의 정공이동도를 가지는 물질을 사용하여 형성하는 것이 바람직하다. 또한, 정공수송성이 높은 물질이란, 전자보다 정공의 이동도가 높은 물질을 의미한다. 정공수송층(1812)을 형성할 수 있는 물질의 구체적인 예로서는, 4,4'-비스[N-(1-나프틸)-N-페닐아미노]비페닐(약칭:NPB), 4,4'-비스[N-(3-메틸페닐)-N-페닐아미노]비페닐(약칭:TPD), 4,4',4"-트리스(N, N-디페닐아미노)트리페닐아민(약칭:TDATA), 4,4',4"-트리스[N-(3-메틸페닐)-N-페닐아미노]트리페닐아민(약칭:MTDATA), 4,4'-비스{N-[4-(N, N-디-m-톨일아미노)페닐]-N-페닐아미노}비페닐(약칭:DNTPD), 1,3,5-트리스[N, N-디(m-톨일)아미노]벤젠(약칭:m-MTDAB), 4,4',4"-트리스(N-카르바졸일)트리페닐아민(약칭:TCTA), 프탈로시아닌(약칭:H₂Pc), 구리 프탈로시아닌(약칭:CuPc), 바나딜 프탈로시아닌(약칭:VOPc) 등을 들 수 있다. 또한, 정공수송층(1812)은, 상술한 물질로 되는 층을 2 이상 조합하여 형성한 다층 구조의 층이라도 좋다.

<303> 또한 대향전극(1802)과 발광층(1813) 사이에는, 도 18a에 나타낸 바와 같이, 전자수송층(1814)을 설치해도 된다. 여기에서, 전자수송층은, 대향전극(1802)으로부터 주입된 전자를 발광층(1813)에 수송하는 기능을 가지는 층이다. 이와 같이, 전자수송층(1814)을 형성하여, 대향전극(1802)과 발광층(1813)을 떼어 놓음으로써, 발광이 전극재료의 금속에 기인하여 소광하는 것을 방지할 수 있다.

<304> 전자수송층(1814)에 대해서 특별히 한정되지 않고, 트리스(8-퀴놀리노라토)알루미늄(약칭:Alq), 트리스(4메틸-8-퀴놀리노라토)알루미늄(약칭:Almq₃), 비스(10-히드록시벤조[h]-퀴놀리나토)베릴륨(약칭:BeBq₂), 비스(2-메틸-8-퀴놀리노라토)-4-페닐페노라토-알루미늄(약칭:BAIq) 등, 퀴놀린 골격 또는 벤조퀴놀린 골격을 가지는 금속착체 등으로 형성된 것을 사용할 수 있다. 이 이외에도, 비스[2-(2-히드록시페닐)-벤조옥사졸라토]아연(약칭:Zn(BOX)₂), 비스[2-(2-히드록시페닐)-벤조티아졸라토]아연(약칭:Zn(BTZ)₂) 등의 옥사졸계, 또는 티아졸계 리간드를 가지는 금속착체 등으로 형성된 것이라도 좋다. 또한, 2-(4-비페닐일)-5-(4-tert-부틸페닐)-1,3,4-옥사디아졸(약칭:PBD)이나, 1,3-비스[5-(p-tert-부틸페닐)-1,3,4-옥사디아졸-2-일]벤젠(약칭:OXD-7), 3-(4-tert-부틸페닐)-4-페닐-5-(4-비페닐일)-1,2,4-트리아졸(약칭:TAZ), 3-(4-tert-부틸페닐)-4-(4-에틸페닐)-5-(4-비페닐

일)-1,2,4-트리아졸(약칭:p-EtTAZ), 바소페난트롤린(약칭:BPhen), 바소큐프로인(약칭:BCP) 등을 사용하여 형성된 것이라도 좋다. 전자수송층(1814)은, 이상에 기재한 바와 같이, 정공의 이동도보다 전자의 이동도가 높은 물질을 사용하여 형성하는 것이 바람직하다. 또한, 전자수송층(1814)은, $10^{-6} \text{ cm}^2/\text{Vs}$ 이상의 전자이동도를 가지는 물질을 사용해서 형성하는 것이 보다 바람직하다. 또한, 전자수송층(1814)은, 상술한 물질로 되는 층을 2 이상 조합하여 형성한 다층 구조라도 좋다.

<305> 또한, 화소전극(1801)과 정공수송층(1812) 사이에는, 도 18a에 나타낸 바와 같이, 정공주입층(1811)을 가져도 좋다. 여기서, 정공주입층은, 양극으로서 기능하는 전극으로부터 정공수송층(1812)에 정공의 주입을 촉진하는 기능을 가지는 층이다.

<306> 정공주입층(1811)에 대해서 특별히 한정되지 않고, 몰리브덴 산화물이나, 바나듐 산화물, 루테늄 산화물, 텉스텐 산화물, 망간 산화물 등의 금속산화물로 형성된 것을 사용할 수 있다. 이 이외에도, 프탈로시아닌(약칭:H₂Pc)이나 구리 프탈로시아닌(CuPc) 등의 프탈로시아닌계 화합물, 4,4-비스(N-(4-(N, N-디-m-톨릴아미노)페닐)-N-페닐아미노)비페닐(약칭:DNTPD) 등의 방향족 아민계 화합물, 또는 폴리에틸렌 디옥시티오펜/폴리스티렌풀산수용액(PEDOT/PSS) 등의 고분자 등으로도 정공주입층(1811)을 형성할 수 있다.

<307> 또한, 상기 금속산화물과, 정공수송성이 높은 물질을 혼합한 것을, 화소전극(1801)과 정공수송층(1812) 사이에 형성하여도 좋다. 이러한 층은, 후막화해도 구동전압의 상승을 수반하지 않으므로, 층의 막 두께를 조정함으로써 마이크로캐비티 효과나 빛의 간섭 효과를 이용한 광학 설계를 행할 수 있다. 따라서, 색순도가 뛰어나고, 시야각에 의존하는 색 변화 등이 작은 고품질의 발광소자를 제작할 수 있다. 또한, 화소전극(1801)의 표면에 성막시에 발생하는 요철이나 전극 표면에 잔류하는 미소한 잔사의 영향으로 화소전극(1801)과 대향전극(1802)이 쇼트하는 것을 방지하는 막 두께를 선택할 수 있다.

<308> 또한 대향전극(1802)과 전자수송층(1814) 사이에는, 도 18a에 도시한 바와 같이, 전자주입층(1815)을 가져도 좋다. 여기서, 전자주입층은, 음극으로서 기능하는 전극으로부터 전자수송층(1814)에 전자의 주입을 촉진하는 기능을 가지는 층이다. 또한, 전자수송층을 특별히 형성하지 않는 경우에는, 음극으로서 기능하는 전극과 발광층 사이에 전자주입층을 설치하여, 발광층으로의 전자의 주입을 보조하여도 좋다.

<309> 전자주입층(1815)에 대해서 특별히 한정되지 않고, 불화리튬(LiF), 불화세슘(CsF), 불화칼슘(CaF₂) 등과 같은 알칼리금속 또는 알칼리토류금속의 화합물을 사용하여 형성된 것을 사용할 수 있다. 이 이외에도, Alq 또는 4,4-비스(5-메틸벤조옥사졸-2-일)스틸벤(BzOs) 등과 같이, 전자수송성이 높은 물질과, 마그네슘 또는 리튬 등과 같은 알칼리금속 또는 알칼리토금속을 혼합한 것도, 전자주입층(1815)으로서 사용할 수 있다.

<310> 또한, 정공주입층(1811), 정공수송층(1812), 발광층(1813), 전자수송층(1814), 전자주입층(1815)은, 각각, 증착법, 또는 잉크젯법, 또는 도포법 등, 어느 방법으로 형성해도 상관없다. 또한, 화소전극(1801) 또는 대향전극(1802)에 대해서도, 스퍼터링법 또는 증착법 등, 어느 방법을 이용해서 형성하여도 상관없다.

<311> 발광소자의 층 구조는, 도 18a에 기재한 것에 한정되지 않고, 도 18b에 도시하는 바와 같이, 음극으로서 기능하는 전극으로부터 순차적으로 제작하여도 좋다. 즉, 화소전극(1801)을 음극으로 하고 화소전극(1801) 위에 전자주입층(1815), 전자수송층(1814), 발광층(1813), 정공수송층(1812), 정공주입층(1811), 대향전극(1802)의 순차로 적층하여도 좋다. 또한, 대향전극(1802)은 양극으로서 기능한다.

<312> 또한, 발광소자는 발광층이 한 층의 것에 대해서 기재했지만, 복수의 발광층을 가지는 발광소자라도 좋다. 복수의 발광층을 형성하고, 각각의 발광층으로부터의 발광을 혼합함으로써 백색광을 얻을 수 있다. 예를 들면, 2층의 발광층을 가지는 발광소자의 경우, 제 1 발광층과 제 2 발광층 사이에는, 간격층이나, 정공을 발생하는 층 및 전자를 발생하는 층을 설치하는 것이 바람직하다. 이러한 구성에 의해, 외부로 방출한 각각의 발광은, 시각적으로 혼합되어, 백색광으로 시인된다. 따라서, 백색광을 얻을 수 있다.

<313> 또한, 발광은, 도 17에 있어서, 화소전극(1724) 또는 대향전극(1727)의 어느 한쪽 또는 모두를 통하여 외부로 추출된다. 따라서, 화소전극(1724) 또는 대향전극(1727)의 어느 한쪽 또는 모두는, 투광성을 가지는 물질로 된다.

<314> 대향전극(1727)만이 투광성을 가지는 물질로 되는 경우, 도 19a에 도시하는 바와 같이, 발광은 대향전극(1727)을 통하여 기판과 반대측으로부터 추출된다. 또한, 화소전극(1724)만이 투광성을 가지는 물질로 되는 경우, 도 19b에 도시한 바와 같이, 발광은 화소전극(1724)을 통하여 기판측으로부터 추출된다. 화소전극(1724) 및 대향전극(1727)이 모두 투광성을 가지는 물질로 되는 경우, 도 19c에 도시한 바와 같이, 발광은 화소전극

(1724) 및 대향전극(1727)을 통하여, 기판측 및 기판과 반대측 모두로부터 추출된다.

<315> 배선이나 전극은, 상술한 재료에 한정되지 않고, 알루미늄(Al), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텉스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 구리(Cu), 마그네슘(Mg), 스칸듐(Sc), 코발트(Co), 아연(Zn), 나오브(Nb), 실리콘(Si), 인(P), 봉소(B), 비소(As), 갈륨(Ga), 인듐(In), 주석(Sn) 등 중으로부터 선택된 하나 또는 복수의 원소, 혹은 상기 선택된 하나 또는 복수의 원소를 성분으로 하는 화합물이나 합금재료(예를 들면, 인듐주석산화물(ITO), 인듐아연산화물(IZO), 산화규소를 함유하는 ITO(ITSO), 산화아연(ZnO), 알루미늄-네오디뮴(Al-Nd), 마그네슘-은(Mg-Ag) 등), 혹은 이들 화합물을 조합한 물질 등을 사용하여 형성할 수 있다. 또한, 이들의 원소와 실리콘의 화합물(실리사이드)(예를 들면, 알루미늄 실리콘, 몰리브덴 실리콘, 니켈 실리사이드 등)이나 질소의 화합물(예를 들면, 질화티타늄, 질화탄탈, 질화몰리브덴 등)을 사용하여 형성하여도 좋다. 또한, 실리콘(Si)에는, n형 불순물(인 등)이나 p형 불순물(봉소 등)이 많이 함유되어도 좋다. 이들의 불순물을 포함함으로써 도전율이 향상되어, 배선이나 전극으로서 이용하기 쉬워진다. 또한, 실리콘에는, 단결정, 다결정(폴리실리콘), 비정질(아모퍼스 실리콘)의 어느 쪽을 사용하여도 좋다. 단결정 실리콘이나 다결정 실리콘을 사용하는 경우에는 저항을 작게 할 수 있고, 비정질 실리콘을 사용하는 경우에는 간단한 제조공정으로 제작할 수 있다.

<316> 알루미늄이나 은을 사용한 경우에는, 도전율이 높으므로 신호 지연을 저감할 수 있다. 또한 에칭이 용이하므로, 패터닝하기 쉽고 미세가공을 행할 수 있다. 또한 구리의 경우에는, 도전율이 높으므로 신호 지연을 저감할 수 있다. 몰리브덴의 경우, ITO, IZO 등의 산화물 반도체나 실리콘과 접촉해도, 재질 불량을 일으키는 등의 문제를 일으키지 않고 제조할 수 있다. 또한, 패터닝이나 에칭이 용이하고, 내열성이 높으므로 바람직하다. 티타늄의 경우도, ITO, IZO 등의 산화물 반도체나 실리콘과 접촉해도 재질 불량을 일으키는 등의 문제를 일으키지 않고 제조할 수 있으며, 뛰어난 내열성을 가지므로 바람직하다. 또한, 텉스텐이나 네오디뮴은, 뛰어난 내열성을 가지므로 바람직하다. 또한, 네오디뮴은 알루미늄과의 합금으로 하면, 내열성이 향상되고, 알루미늄의 힐록을 억제할 수 있다. 또한 실리콘은, 트랜지스터가 가지는 반도체층과 동시에 형성할 수 있고, 높은 내열성을 가진다. 또한, 인듐주석산화물(ITO), 인듐아연산화물(IZO), 산화규소를 함유하는 ITO(ITSO), 산화아연(ZnO), 실리콘(Si)은 투광성을 가지므로, 빛을 투과하도록 하는 부분에 사용하는 것은 특히 바람직하고, 이들은, 예를 들면 화소전극이나 공통 전극으로서 사용할 수 있다.

<317> 또한, 배선이나 전극은, 상기 재료를 사용하여 형성된 단층 구조에 한정되지 않고, 다층 구조라도 좋다. 예를 들면, 단층 구조로 형성할 경우에는, 제조 공정을 간략화할 수 있고, 비용을 저감할 수 있다. 또한, 다층 구조인 경우에는, 각각의 재료의 장점을 살리고, 결점을 저감시킬 수 있어, 성능이 우수한 배선이나 전극을 형성할 수 있다. 예를 들면, 저항이 낮은 재료(알루미늄 등)를 다층 구조의 일부에 포함하는 구성으로 함으로써, 배선의 저저항화를 도모할 수 있다. 또한, 내열성이 높은 재료를 포함하도록 하는 구조(예를 들면 내열성은 낮지만 다른 장점을 가지는 재료를 내열성이 높은 재료로 끼우도록 하는 적층구조)로 하면, 높은 내열성을 가지고, 또 단층에서는 살릴 수 없었던 장점을 살릴 수 있다. 따라서, 예를 들면, 알루미늄을 포함하는 층을 몰리브덴이나 티타늄을 포함하는 층에 의하여 끼우는 구성의 배선이나 전극을 사용하는 것이 바람직하다.

<318> 또한, 배선이나 전극이 다른 재료의 배선이나 전극과 직접 접하는 부분이 있을 경우, 서로 악영향을 미치는 경우가 있다. 예를 들면, 한쪽의 재료가 다른 쪽의 재료 내에 혼입하여, 각각의 재료의 성질을 변화시키면, 본래의 목적을 달성할 수 없게 되거나, 제조할 때에 문제가 생겨 정상적으로 제조할 수 없게 되는 경우가 있다. 이러한 경우, 어떤 층을 다른 층으로 끼우거나 덮음으로써 문제를 해결할 수 있다. 예를 들면, 인듐주석산화물(ITO)과 알루미늄을 접촉시키고자 하는 경우에는, 사이에 티타늄이나 몰리브덴을 개재시키는 것이 바람직하다. 또한, 마찬가지로, 실리콘과 알루미늄을 접촉시키고자 하는 경우에는, 사이에 티타늄이나 몰리브덴을 개재시키는 것이 바람직하다.

<319> 다음으로, 트랜지스터(1713)에 비정질 반도체막을 사용한 순 스태거 구조의 트랜지스터에 관하여 설명한다. 화소의 부분 단면도를 도 20a 및 도 20b에 도시한. 또한, 도 20a 및 도 20b에서는, 순 스태거 구조의 트랜지스터를 도시함과 동시에, 화소가 가지는 용량소자에 대해서도 아울러 설명한다.

<320> 도 20a 및 도 20b에 도시한 바와 같이, 기판(2011) 위에 하지막(2012)이 형성되어 있다. 또한, 하지막(2012) 위에 화소전극(2013)이 형성되어 있다. 또한 화소전극(2013)과 동일한 층에 동일한 재료로 되는 제 1 전극(2014)이 형성되어 있다.

<321> 또한, 하지막(2012) 위에 배선(2015) 및 배선(2016)이 형성되고, 화소전극(2013)의 단부는 배선(2015)으로 덮여 있다. 배선(2015) 및 배선(2016)의 상부에 N형의 도전형을 가지는 N형 반도체층(2017) 및 N형 반

도체층(2018)이 형성되어 있다. 또한, 배선(2015)과 배선(2016) 사이이며, 하지막(2012) 위에 반도체층(2019)이 형성되어 있다. 그리고, 반도체층(2019)의 일부는 N형 반도체층(2017) 및 N형 반도체층(2018) 위까지 연장되어 있다. 이 반도체층은 아모퍼스 실리콘(a-Si:H) 등의 아모포스 반도체로 형성된다. 또한, 비정질 반도체뿐만 아니라, 세미 아모포스 반도체, 미결정 반도체 등이라도 좋다. 또한, 반도체층(2019) 위에 게이트 절연막(2020)이 형성되어 있다. 또한, 게이트 절연막(2020)과 동일한 층의 동일한 재료로 되는 절연막(2021)이 제 1 전극(2014) 위에도 형성되어 있다.

<322> 또한, 게이트 절연막(2020) 위에, 게이트 전극(2022)이 형성되어, 트랜지스터(2025)가 형성되어 있다. 또한 게이트 전극(2022)과 동일한 층에 동일한 재료로 되는 제 2 전극(2023)이 제 1 전극(2014) 위에 절연막(2021)을 끼워 형성되고, 절연막(2021)이 제 1 전극(2014)과 제 2 전극(2023)으로 끼워진 구성의 용량소자(2024)가 형성되어 있다. 화소전극(2013)의 단부, 트랜지스터(2025) 및 용량소자(2024)를 덮도록, 층간 절연막(2026)이 형성되어 있다.

<323> 층간 절연막(2026) 및 그 개구부에 위치하는 화소전극(2013) 위에 발광 물질을 포함하는 층(2027) 및 대향전극(2028)이 형성되어 있고, 발광 물질을 포함한 층(2027)이 화소전극(2013)과 대향전극(2028)으로 끼워진 영역에서 발광소자(2029)가 형성되어 있다.

<324> 도 20a에 나타내는 제 1 전극(2014)을 도 20b에 나타낸 바와 같이, 배선(2015 및 2016)과 동일한 층의 동일한 재료로 형성하고, 절연막(2021)이 제 1 전극(2030)과 제 2 전극(2023)으로 끼워진 구성의 용량소자(2031)로 해도 좋다. 또한, 도 20a 및 도 20b에서는 트랜지스터(2025)에 N채널형 트랜지스터를 사용했지만, P 채널형 트랜지스터로 해도 좋다.

<325> 기판(2011), 하지막(2012), 화소전극(2013), 게이트 절연막(2020), 게이트 전극(2022), 층간 절연막(2026), 발광 물질을 포함한 층(2027) 및 대향전극(2028)에 사용되는 재료는, 도 17에 있어서 나타낸 기판(1711), 하지막(1712), 화소전극(1724), 게이트 절연막(1715), 게이트 전극(1716), 층간 절연막(1730 및 1731), 발광 물질을 포함한 층(1726) 및 대향전극(1727)과 유사한 재료를 사용할 수 있다. 배선 2015, 배선 2016은, 도 17에 있어서의 소스 전극 및 드레인 전극(1723)과 같은 재료를 사용하면 좋다.

<326> 다음, 반도체층에 비결정성 반도체막을 사용한 트랜지스터의 다른 구성으로서, 기판과 반도체층 사이에 게이트 전극이 끼워진 구조, 즉 반도체층 아래에 게이트 전극이 위치하는 보텀 게이트형 트랜지스터를 가지는 화소의 부분 단면도를 도 21a 및 도 21b에 나타낸다.

<327> 기판(2111) 위에 하지막(2112)이 형성되어 있다. 또한, 하지막(2112) 위에 게이트 전극(2113)이 형성되어 있다. 또한, 게이트 전극(2113)과 동일한 층에 동일한 재료로 되는 제 1 전극(2114)이 형성되어 있다. 게이트 전극(2113)의 재료에는, 도 17에 있어서의 게이트 전극(1716)에 사용되는 재료 이외에도, 인이 첨가된 다결정 실리콘이나 금속과 실리콘의 화합물인 실리사이드라도 좋다.

<328> 또한, 게이트 전극(2113) 및 제 1 전극(2114)을 덮도록 게이트 절연막(2115)이 형성되어 있다.

<329> 게이트 절연막(2115) 위에, 반도체층(2116)이 형성되어 있다. 또한, 반도체층(2116)과 동일한 층에 동일한 재료로 되는 반도체층(2117)이 제 1 전극(2114) 위에 형성되어 있다. 또한, 이 반도체층은 아모퍼스 실리콘(a-Si:H) 등의 비정질 반도체로 형성된다. 또한, 이것에 한정되지 않고, 세미 아모포스 반도체, 미결정 반도체 등이라도 좋다.

<330> 반도체층(2116) 위에는 N형의 도전형을 가지는 N형 반도체층(2118) 및 N형 반도체층(2119)이 형성되어 있고, 반도체층(2117) 위에는 N형 반도체층(2120)이 형성되어 있다.

<331> N형 반도체층(2118) 및 N형 반도체층(2119) 위에는 각각 배선(2121), 배선(2122)이 형성되어, 트랜지스터(2129)가 형성된다. 또한, N형 반도체층(2120) 위에는 배선(2121) 및 배선(2122)과 동일한 층의 동일한 재료로 이루어진 도전층(2123)이 형성되어, 이 도전층(2123)과, N형 반도체층(2120)과, 반도체층(2117)으로 제 2 전극을 구성하고 있다. 또한, 이 제 2 전극과 제 1 전극(2114)으로 게이트 절연막(2115)이 끼워진 구성의 용량소자(2130)가 형성된다.

<332> 또한, 배선(2121)의 한쪽 단부는 연장하고, 그 연장된 배선(2121)의 상부에 접해서 화소전극(2124)이 형성되어 있다.

<333> 또한, 화소전극(2124)의 단부, 트랜지스터(2129) 및 용량소자(2130)를 덮도록 절연물(2125)이 형성되어

있다.

<334> 화소전극(2124) 및 절연물(2125) 위에는 발광 물질을 포함한 층(2126) 및 대향전극(2127)이 형성되고, 화소전극(2124)과 대향전극(2127)으로 발광 물질을 포함하는 층(2126)을 끼워진 영역에서는 발광소자(2128)가 형성되어 있다.

<335> 용량소자(2130)의 제 2 전극의 일부가 되는 반도체층(2117) 및 N형 반도체층(2120)은 특별히 설치하지 않아도 된다. 즉, 제 2 전극을 도전층(2123)으로 하고, 제 1 전극(2114)과 도전층(2123)으로 게이트 절연막(2115)이 끼워진 구조의 용량소자로 해도 좋다.

<336> 트랜지스터(2129)에 N채널형 트랜지스터를 사용했지만, P채널형 트랜지스터라도 좋다.

<337> 또한, 도 21a에 있어서, 배선(2121)을 형성하기 전에 화소전극(2124)을 형성함으로써, 도 21b에 나타내는 바와 같이, 화소전극(2124)과 동일한 층의 동일한 재료로 되는 제 2 전극(2131)과 제 1 전극(2114)으로 게이트 절연막(2115)이 끼워진 구성의 용량소자(2132)를 형성하여도 좋다.

<338> 역 스태거형 채널 에칭 구조의 트랜지스터에 대해서 나타내지만, 물론 채널 보호 구조의 트랜지스터로 해도 된다. 다음, 채널 보호 구조의 트랜지스터의 경우에 대해서, 도 22a 내지 도 22b를 사용하여 설명한다. 또한, 도 22a 및 도 22b에 있어서, 도 21a 및 도 21b와 같은 부분에는 공통 부호를 사용하여 도시한다.

<339> 도 22a에 도시하는 채널 보호형 구조의 트랜지스터(2201)는, 도 21a에 도시한 채널 에칭 구조의 트랜지스터(2129)와는 반도체 층(2116)에 있어서 채널이 형성되는 영역 위에 에칭의 마스크로 되는 절연물(2202)이 형성되는 점이 다르다.

<340> 마찬가지로, 도 22b에 도시하는 채널 보호형 구조의 트랜지스터(2201)는, 도 21b에 도시한 채널 에칭 구조의 트랜지스터(2129)와는 반도체 층(2116)에 있어서 채널이 형성되는 영역 위에 에칭 마스크로 되는 절연물(2202)이 형성되는 점이 다르다.

<341> 본 발명의 화소를 구성하는 트랜지스터의 반도체층에 비결정성 반도체막을 사용함으로써 제조 비용을 삭감할 수 있다. 또한, 각 재료에는 도 17에서 설명한 것을 사용할 수 있다.

<342> 또한, 트랜지스터의 구조나 용량소자의 구성은 상술한 것에 한정되지 않고, 여러 가지 구조 혹은 구성 트랜지스터나 용량소자를 사용할 수 있다.

<343> 또한, 트랜지스터의 반도체층에는 아모퍼스 실리콘(a-Si:H) 등의 아모포스 반도체, 세미 아모포스 반도체, 미결정 반도체로 되는 반도체막 이외에도, 폴리실리콘(p-Si:H) 등의 결정성 반도체막을 사용해도 좋다.

<344> 도 23에, 반도체층에 결정성 반도체막을 사용한 트랜지스터를 가지는 화소의 부분 단면도를 나타내고, 이하에 설명한다. 또한, 도 23에 나타내는 트랜지스터(2318)는, 도 29에서 도시한 멀티 게이트형 트랜지스터이다.

<345> 도 23에 나타낸 바와 같이, 기판(2301) 위에 하지막(2302)이 형성되고, 그 위에 반도체층(2303)이 형성되어 있다. 또한, 반도체층(2303)은, 결정성 반도체막을 원하는 형상으로 패터닝하여 형성한다.

<346> 결정성 반도체막의 제작 방법의 일례를 이하에 기재한다. 우선, 기판(2301) 위에 스퍼터링법, CVD법 등에 의해 아모퍼스 실리콘막을 성막한다. 그리고 성막한 아모퍼스 실리콘막을 열결정화법, 레이저 결정화법, 또는 니켈 등의 촉매원소를 사용한 열결정화법 등을 이용해서 결정화하고, 결정성 반도체막을 얻는다. 이때, 이를 결정화 방법을 조합하여 결정화하여도 좋다.

<347> 또한, 결정화를 실시하는 막은, 아모퍼스 실리콘막을 비롯하여 비정질 반도체막에 한정되지 않고, 세미 아모퍼스 반도체, 미결정 반도체 등의 반도체막이라도 좋다. 또한, 비정질 실리콘 겔마늄막 등의 비정질 구조를 포함하는 화합물 반도체막을 사용하여도 좋다.

<348> 또한, 열결정화법에 의하여 결정성 반도체막을 형성할 경우에는, 가열로, 레이저조사, 혹은 RTA(Rapid Thermal Annealing), 또는 이들을 조합하여 이용할 수 있다.

<349> 레이저 결정화법에 의해 결정성 반도체막을 형성할 경우에는, 연속발진형 레이저 빔(CW 레이저빔)이나 펄스 발진형 레이저빔(펄스 레이저빔)을 사용할 수 있다. 여기서 사용할 수 있는 레이저 빔은, Ar 레이저, Kr 레이저, 엑시머레이저 등의 기체레이저, 단결정인 YAG, YVO_4 , 포스터라이트(Mg_2SiO_4), $YAlO_3$, $GdVO_4$, 또는 다결정(세라믹)인 YAG, Y_2O_3 , YVO_4 , $YAlO_3$, $GdVO_4$ 에, 도편트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수 종

첨가되어 있는 것을 매질로 하는 레이저, 유리 레이저, 루비 레이저, 아레키산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저 또는 금 증기 레이저 중 일종 또는 복수 종으로부터 발진되는 것을 사용할 수 있다. 이러한 레이저 빔의 기본파, 및 이것들의 기본파의 제 2 고조파 내지 제 4 고조파의 레이저 빔을 조사함으로써 대입경의 결정을 얻을 수 있다. 예를 들면, Nd:YVO₄ 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 사용할 수 있다. 이 때, 레이저의 에너지 밀도는 0.01 내지 100MW/cm² 정도(바람직하게는 0.1 내지 10MW/cm²)가 필요하다. 그리고, 주사 속도는 10 내지 2000cm/sec 정도로 설정해서 조사한다.

<350> 또한, 단결정인 YAG, YVO₄, 포스터라이트(Mg₂SiO₄), YAlO₃, GdVO₄, 혹은 다결정(세라믹)인 YAG, Y₂O₃, YVO₄, YAlO₃, GdVO₄에, 도편트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수 종 첨가되어 있는 것을 매질로 하는 레이저, Ar이온 레이저, 또는 Ti:사파이어 레이저는, 연속발진시킬 수 있고, Q스위치 동작이나 모드 동기 등을 행함으로써 10MHz 이상의 발진 주파수에서 펄스 발진도 시킬 수 있다. 10MHz 이상의 발진 주파수로 레이저 빔을 발진시키면, 반도체막이 레이저에 의해 용융된 후 고화되기까지의 사이에, 다음 펄스가 반도체막에 조사된다. 따라서, 발진 주파수가 낮은 펄스레이저를 사용하는 경우와 달리, 반도체막 내에 있어서 고체-액체 계면을 연속적으로 이동시킬 수 있으므로, 주사 방향을 향해서 연속적으로 성장한 결정립을 얻을 수 있다.

<351> 또한, 니켈 등의 촉매원소를 사용한 열결정화법에 의하여 결정성 반도체막을 형성할 경우에는, 결정화 후에 니켈 등의 촉매원소를 제거하는 게터링 처리를 행하는 것이 바람직하다.

<352> 상술한 결정화에 의해, 아모포스 반도체막에 부분적으로 결정화된 영역이 형성된다. 이 부분적으로 결정화된 결정성 반도체막을 원하는 형상으로 패터닝하여 섬 형상의 반도체막을 형성한다. 이 반도체막을 트랜지스터의 반도체층(2303)에 사용한다.

<353> 또한, 결정성 반도체층은, 트랜지스터(2318)의 채널 형성 영역(2304) 및 소스 영역 또는 드레인 영역으로 되는 불순물영역(2305)에 사용될 뿐만 아니라, 용량소자(2319)의 하부전극으로 되는 반도체층(2306) 및 불순물영역(2308)에도 사용된다. 또한, 불순물영역(2308)은 특별히 설치하지 않아도 된다. 또한 채널 형성 영역(2304) 및 반도체층(2306)에는 채널 도프를 실행해도 좋다.

<354> 다음으로, 반도체층(2303) 및 용량소자(2319)의 하부전극 위에는 게이트 절연막(2309)이 형성되어 있다. 또한, 반도체층(2303) 위에는 게이트 절연막(2309)을 통하여 게이트 전극(2310)이 형성되어 있고, 용량소자(2319)의 반도체층(2306) 위에는 게이트 절연막(2309)을 통하여 게이트 전극(2310)과 동일한 층에 동일한 재료로 이루어진 상부전극(2311)이 형성되어 있다. 이렇게 하여, 트랜지스터(2318) 및 용량소자(2319)가 제작된다.

<355> 다음, 트랜지스터(2318) 및 용량소자(2319)를 덮어 층간 절연막(2312)이 형성되어 있고, 층간 절연막(2312) 위에는 콘택홀을 통하여 불순물영역(2305)과 접하는 배선(2313)이 형성된다. 그리고, 배선(2313)에 접하여 층간 절연막(2312) 위에는 화소전극(2314)이 형성되고, 화소전극(2314)의 단부 및 배선(2313)을 덮도록 절연물(2315)이 형성되어 있다. 또한, 화소전극(2314) 위에 발광 물질을 포함한 층(2316) 및 대향전극(2317)이 형성되어 있고, 화소전극(2314)과 대향전극(2317) 사이에 발광 물질을 포함한 층(2316)이 끼워진 영역에서는 발광소자(2320)가 형성되어 있다.

<356> 또한, 반도체층에 폴리실리콘(p-Si:H) 등의 결정성 반도체막을 사용한 보텀 게이트형 트랜지스터를 가지는 화소의 부분 단면도를 도 24에 도시한다.

<357> 기판(2401) 위에 하지막(2402)이 형성되어 있고, 그 위에 게이트 전극(2403)이 형성되어 있다. 또한, 게이트 전극(2403)과 동일한 층에 동일한 재료로 되는 용량소자(2423)의 제 1 전극(2404)이 형성되어 있다.

<358> 게이트 전극(2403) 및 제 1 전극(2404)을 덮도록 게이트 절연막(2405)이 형성되어 있다.

<359> 그 게이트 절연막(2405) 위에는, 반도체층이 형성되어 있다. 또한, 반도체층은, 아모포스 반도체, 세미 아모포스 반도체, 미결정 반도체 등의 반도체막을 열결정화법, 레이저 결정화법, 또는 니켈 등의 촉매원소를 사용한 열결정화법 등을 이용하여 결정화하고, 원하는 형상으로 패터닝함으로써 반도체층을 형성한다.

<360> 이러한 반도체층을 사용하여 트랜지스터(2422)의 채널 형성 영역(2406), LDD영역(2407) 및 소스 영역 또는 드레인 영역이 되는 불순물영역(2408), 및 용량소자(2423)의 제 2 전극이 되는 채널 형성 영역(2409), 불순물영역(2410, 2411)을 형성된다. 또한, 불순물영역(2410, 2411)은 특별히 설치하지 않아도 좋다. 또한, 채

널 형성 영역(2406) 및 채널 형성 영역(2409)에는 불순물이 첨가되어도 좋다.

<361> 또한, 용량소자(2423)는 게이트 절연막(2405)이 제 1 전극(2404) 및 반도체층으로 된 영역(2409) 등으로 되는 제 2 전극으로 끼워진 구성이다.

<362> 다음, 반도체층을 덮어 제 1 충간 절연막(2412)이 형성되어 있고, 제 1 충간 절연막(2412) 위에 콘택홀을 통하여 불순물영역(2408)과 접하는 배선(2413)이 형성되어 있다.

<363> 또한, 제 1 충간 절연막(2412)에는 개구부(2415)가 형성되어 있다. 트랜지스터(2422), 용량소자(2423) 및 개구부(2415)를 덮도록 제 2 충간 절연막(2416)이 형성되어 있고, 제 2 충간 절연막(2416) 위에 콘택홀을 통하여, 배선(2413)과 접속된 화소전극(2417)이 형성되어 있다. 또한, 화소전극(2417)의 단부를 덮어 절연물(2418)이 형성되어 있다. 그리고, 화소전극(2417) 위에 발광 물질을 포함한 층(2419) 및 대향전극(2420)이 형성되어 있고, 화소전극(2417)과 대향전극(2420)으로 발광 물질을 포함한 층(2419)이 끼워진 영역에서는 발광소자(2421)가 형성되어 있다. 또한, 발광소자(2421)의 하부에 개구부(2415)가 위치하고 있다. 즉, 발광소자(2421)로부터의 발광을 기관 측으로부터 추출할 때는, 제 1 충간 절연막(2412)에 개구부(2415)를 가지므로, 투과율을 높일 수 있다.

<364> 본 발명의 화소를 구성하는 트랜지스터의 반도체층에 결정성 반도체막을 사용함으로써, 예를 들면 도 7에 있어서의 주사선 구동회로(712) 및 신호선 구동회로(711)를 화소부(713)와 일체형성을 하는 것이 용이해진다.

<365> 또한, 반도체층에 결정성 반도체막을 사용한 트랜지스터에 있어서도 구조는 전술한 것에 한정되지 않고, 여러 가지 구조를 취할 수 있다. 또한, 용량소자에 있어서도 마찬가지다. 또한, 본 실시형태에 있어서, 특별히 언급이 없는 한, 도 17에 있어서의 재료를 적절히 사용할 수 있다.

<366> 본 실시형태에 나타낸 트랜지스터는, 실시형태 1 내지 실시형태 8에 기재한 화소에 있어서 발광소자에 공급하는 전류치를 제어하는 트랜지스터로서 이용할 수 있다. 따라서, 실시형태 1 내지 실시형태 8에 기재한 화소를 동작시킴으로써, 트랜지스터의 임계값 전압의 편차에 기인한 전류치의 편차를 억제할 수 있다. 따라서, 휴대 헤드폰에 대응한 전류를 발광소자에 공급할 수 있어, 휴대의 편차를 억제할 수 있다. 또한, 대향전극의 전위를 일정하게 고정하여 동작시키므로, 소비 전력을 낮출 수 있다.

<367> 또한, 이러한 화소를 도 7의 표시장치에 적용함으로써, 각 화소는 자신의 어드레스 기간을 제외하고 발광할 수 있으므로, 1프레임 기간에 있어서의 발광 기간의 비율(즉, 듀티비)을 매우 크게 할 수 있고, 대략 100%로 할 수도 있다. 따라서, 휴대의 편차가 적고 듀티비가 높은 표시장치를 얻을 수 있다.

<368> 또한, 임계값 전압 기록 기간을 길게 설정할 수도 있으므로, 발광소자에 흐르는 전류치를 제어하는 트랜지스터의 임계값 전압을 더 정확하게 용량소자에 기록할 수 있다. 따라서, 표시장치로서의 신뢰성이 향상된다.

<369> (실시형태 10)

<370> 본 실시형태에서는, 실시형태 9에 도시한 발광소자와는 다른 구성을 가지는 소자에 대해서 설명한다.

<371> 일렉트로 루미네센스를 이용하는 발광소자는, 발광 재료가 유기화합물인지, 무기화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL소자, 후자는 무기 EL소자라고 부른다.

<372> 무기 EL소자는, 그 소자구성에 따라, 분산형 무기 EL소자와 박막형 무기 EL소자로 분류된다. 전자는, 발광 재료의 입자를 바인더 내에 분산시킨 발광층을 가지고, 후자는, 발광 재료의 박막으로 되는 발광층을 가지고 있다는 점에 차이는 있지만, 고전계에 의해 가속된 전자를 필요로 한다는 점은 공통한다. 또한, 얻어지는 발광의 메커니즘으로서는, 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광과, 금속이온의 내각 전자전이를 이용하는 국재형 발광이 있다. 일반적으로, 분산형 무기 EL소자에서는 도너-억셉터 재결합형 발광, 박막형 무기 EL소자에서는 국재형 발광인 경우가 많다.

<373> 본 실시형태에서 사용되는 발광 재료는, 적어도 모체재료와, 발광중심이 되는 불순물원소(발광 물질이라고도 한다)로 구성된다. 함유시키는 불순물원소를 변화시킴으로써, 여러 가지 색의 발광을 얻을 수 있다. 발광 재료의 제작 방법으로서는, 고상법이나 액상법(공침법) 등의 여러 가지 방법을 이용할 수 있다. 또한, 분무열분해법, 복분해법, 프리커서의 열분해반응에 의한 방법, 역미셀법이나 이들 방법과 고온소성을 조합한 방법, 동결건조법 등의 액상법 등도 사용할 수 있다.

<374> 고상법은, 모체재료와, 불순물원소 또는 불순물원소를 포함한 화합물을 칭량(秤量)하고, 유발로 혼합하고, 전기로로 가열하고, 소성을 행하여 반응시킴으로써, 모체재료에 불순물원소를 함유시키는 방법이다. 소성온도는, 700°C 내지 1500°C가 바람직하다. 온도가 지나치게 낮은 경우에는 고상반응이 진행되지 않고, 온도가 지나치게 높은 경우에는 모체재료가 분해되기 때문이다. 또한, 분말 상태에서 소성을 행해도 되는데, 펠릿 상태에서 소성을 행하는 것이 바람직하다. 비교적 고온에서의 소성을 필요로 하지만, 고상법이 간단한 방법 때문에, 생산성이 좋고, 대량생산에 적합하다.

<375> 액상법(공침법)은, 모체재료 또는 모체재료를 포함한 화합물과, 불순물원소 또는 불순물원소를 포함한 화합물을 용액 내에서 반응시키고, 건조한 후, 소성을 행하는 방법이다. 발광 재료의 입자가 균일하게 분포하고, 입경이 작고 낮은 소성온도라도 반응이 진행될 수 있다.

<376> 발광 재료에 사용하는 모체재료로서는, 황화물, 산화물, 질화물을 사용할 수 있다. 황화물로서는, 예를 들면 황화아연(ZnS), 황화카드뮴(CdS), 황화칼슘(CaS), 황화이트륨(Y₂S₃), 황화갈륨(Ga₂S₃), 황화스트론튬(SrS), 황화바륨(BaS) 등을 사용할 수 있다. 또한, 산화물로서는, 예를 들면 산화아연(ZnO), 산화이트륨(Y₂O₃) 등을 사용할 수 있다. 또한 질화물로서는, 예를 들면 질화알루미늄(AlN), 질화갈륨(GaN), 질화인듐(InN) 등을 사용할 수 있다. 또한, 셀렌화아연(ZnSe), 텔루르화아연(ZnTe) 등도 사용할 수 있고, 황화칼슘-갈륨(CaGa₂S₄), 황화스트론튬-갈륨(SrGa₂S₄), 황화바륨-갈륨(BaGa₂S₄) 등의 3원계 혼정이라도 좋다.

<377> 국재형 발광의 발광중심으로서, 망간(Mn), 구리(Cu), 사마륨(Sm), 테르븀(Tb), 에르븀(Er), 틸뮴(Tm), 유로퓸(Eu), 세륨(Ce), 프라세오디뮴(Pr) 등을 사용할 수 있다. 또한, 전하보상으로서, 불소(F), 염소(Cl) 등의 할로겐 원소가 첨가되어 있어도 좋다.

<378> 한편, 도너-억셉터 재결합형 발광의 발광중심으로서, 도너 준위를 형성하는 제 1 불순물원소 및 억셉터 준위를 형성하는 제 2 불순물원소를 포함하는 발광 재료를 사용할 수 있다. 제 1 불순물원소는, 예를 들면 불소(F), 염소(Cl), 알루미늄(Al) 등을 사용할 수 있다. 제 2 불순물원소로서는, 예를 들면 구리(Cu), 은(Ag) 등을 사용할 수 있다.

<379> 도너-억셉터 재결합형 발광의 발광 재료를 고상법을 이용해서 합성할 경우, 모체재료와, 제 1 불순물원소 또는 제 1 불순물원소를 포함한 화합물과, 제 2 불순물원소 또는 제 2 불순물원소를 포함한 화합물을 각각 칭량하고, 유발로 혼합한 후, 전기로에서 가열, 소성을 행한다. 모체재료로서는, 상술한 모체재료를 사용할 수 있고, 제 1 불순물원소 또는 제 1 불순물원소를 포함하는 화합물로서는, 예를 들면 불소(F), 염소(Cl), 황화알루미늄(Al₂S₃) 등을 사용할 수 있고, 제 2 불순물원소 또는 제 2 불순물원소를 포함하는 화합물로서는, 예를 들면 구리(Cu), 은(Ag), 황화구리(Cu₂S), 황화은(Ag₂S) 등을 사용할 수 있다. 소성온도는, 700°C 내지 1500°C가 바람직하다. 온도가 지나치게 낮은 경우에는 고상반응이 진행되지 않고, 온도가 지나치게 높은 경우에는 모체재료가 분해되기 때문이다. 또한, 분말상태에서 소성을 행해도 되는데, 펠릿 상태로 소성을 행하는 것이 바람직하다.

<380> 고상반응을 이용할 경우의 불순물원소로서, 제 1 불순물원소와 제 2 불순물원소로 구성되는 화합물을 조합하여 사용해도 좋다. 이 경우, 불순물원소가 확산되기 쉽고, 고상반응이 진행되기 쉬워지므로, 균일한 발광 재료를 얻을 수 있다. 또한, 불필요한 불순물원소가 혼입하지 않으므로, 순도가 높은 발광 재료를 얻을 수 있다. 제 1 불순물원소와 제 2 불순물원소로 구성되는 화합물로서는, 예를 들면 염화구리(CuCl), 염화은(AgCl) 등을 사용할 수 있다.

<381> 또한, 이들 불순물원소의 농도는, 모체재료에 대하여 0.01atom% 내지 10atom%이면 좋고, 바람직하게는 0.05atom% 내지 5atom%의 범위이다.

<382> 박막형 무기 EL소자의 경우, 발광층은, 상기 발광 재료를 포함한 층이며, 저항가열증착법, 전자빔증착(EB증착)법 등의 진공증착법, 스퍼터링법 등의 물리기상성장법(PVD), 유기금속CVD법, 히드라이드 수송 감압CVD법 등의 화학기상성장법(CVD), 원자층 에피택시법(ALE) 등을 이용하여 형성할 수 있다.

<383> 도 51a 내지 도 51c에 발광소자로서 사용할 수 있는 박막형 무기 EL소자의 일례를 도시한다. 도 51a 내지 도 51c에 있어서, 발광소자는, 제 1 전극(5101), 발광층(5102), 제 2 전극(5103)을 포함한다.

<384> 도 51b 및 도 51c에 도시하는 발광소자는, 도 51a의 발광소자에 있어서, 전극과 발광층 사이에 절연층을 형성한 구조이다. 도 51b에 도시하는 발광소자는, 제 1 전극(5101)과 발광층(5102)의 사이에 절연층(5104)

을 가지고, 도 51c에 도시하는 발광소자는, 제 1 전극(5101)과 발광층(5102)의 사이에 절연층(5104a)을, 제 2 전극(5103)과 발광층(5102)의 사이에 절연층(5104b)을 가진다. 이와 같이, 절연층은 발광층을 겹지하는 한 쌍의 전극 중 하나와 발광층 사이에 형성되어도 좋고, 발광층과 제 1 전극의 사이, 및 발광층과 제 2 전극의 사이에 형성되어도 좋다. 또한, 절연층은 단층이라도 좋고 복수층으로 되는 적층이라도 좋다.

<385> 또한, 도 51b에서는 제 1 전극(5101)에 접하도록 절연층(5104)이 형성되지만, 절연층과 발광층의 순서를 반대로 하여, 제 2 전극(5103)에 접하도록 절연층(5104)을 형성하여도 좋다.

<386> 분산형 무기 EL소자의 경우, 입자형의 발광 재료를 바인더 내에 분산되어 막 형상의 발광층을 형성한다. 발광 재료의 제작 방법에 의해, 충분히 원하는 크기의 입자를 얻을 수 없는 경우에는, 유발 등으로 분쇄 등에 의하여 입자 상태로 가공하면 된다. 바인더는, 입자 상태의 발광 재료를 분산된 상태로 고정하여, 발광층으로서의 형상을 유지하기 위한 물질이다. 발광 재료는, 바인더에 의해 발광층 내에 균일하게 분산하고 고정된다.

<387> 분산형 무기 EL소자의 경우, 발광층의 형성 방법은, 선택적으로 발광층을 형성할 수 있는 액체토출법이나, 인쇄법(스크린인쇄나 오프셋 인쇄 등), 스픬 코팅법 등의 도포법, 딥팅법, 디스펜서법 등을 이용할 수도 있다. 막 두께는 특별히 한정되지 않지만, 바람직하게는, 10 내지 1000nm의 범위이다. 또한, 발광 재료 및 바인더를 포함한 발광층에 있어서, 발광 재료의 비율은 50wt% 이상 80wt% 이하로 하면 좋다.

<388> 도 52a 내지 도 52c에 발광소자로서 사용할 수 있는 분산형 무기 EL소자의 일례를 도시한다. 도 52a에 있어서의 발광소자는, 제 1 전극(5101), 발광층(5202), 제 2 전극(5103)의 적층 구조를 가지고, 발광층(5202) 내에 바인더에 의해 유지된 발광 재료(5201)를 포함한다.

<389> 본 실시형태에 사용할 수 있는 바인더로서는, 유기재료나 무기재료를 사용할 수 있다. 또한, 유기재료 및 무기재료의 혼합재료를 사용하여도 좋다. 유기재료로서는, 시아노에틸 셀룰로오스계 수지와 같이, 비교적 유전율이 높은 폴리머, 폴리에틸렌, 폴리프로필렌, 폴리스티렌계 수지, 실리콘(silicone)수지, 에폭시 수지, 불화비닐리덴 등의 수지를 사용할 수 있다. 또한, 방향족 폴리아미드, 또는 폴리벤조이미다졸(Polybenzimidazole) 등의 내열성 고분자, 또는 실록산 수지를 사용해도 좋다. 여기서, 실록산 수지는, Si-O-Si결합을 포함하는 수지에 해당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격구조가 구성된다. 치환기로서, 적어도 수소를 포함한 유기기(예를 들면 알킬기, 아릴기)를 사용할 수 있다. 이 이외에도, 치환기로서, 적어도 플루오르기를 사용해도 좋다. 또한, 치환기로서, 적어도 수소를 포함한 유기기와, 플루오르기를 사용해도 좋다. 또한 폴리비닐 알코올, 폴리비닐 부티랄 등의 비닐 수지, 페놀수지, 노보택 수지, 아크릴수지, 멜라민수지, 우레탄 수지, 옥사졸수지(폴리벤조옥사졸) 등의 수지재료를 사용해도 좋다. 이를 수지에, 티탄산바륨(BaTiO₃)이나 티탄산스트론튬(SrTiO₃) 등의 고유전율의 미립자를 적절히 혼합하여 유전율을 조정할 수도 있다.

<390> 또한, 바인더에 포함되는 무기재료로서는, 산화규소(SiO_x), 질화규소(SiN_x), 산소 및 질소를 포함하는 규소, 질화알루미늄(AlN), 산소 및 질소를 포함한 알루미늄 또는 산화알루미늄(Al₂O₃), 산화티탄, BaTiO₃, SrTiO₃, 티탄산납(PbTiO₃), 니오브산칼륨(KNbO₃), 니오브산납(PbNbO₃), 산화탄탈(Ta₂O₅), 탄탈산바륨(BaTa₂O₆), 탄탈산리튬(LiTaO₃), 산화이트륨(Y₂O₃), 산화지르코늄(ZrO₂), 황화아연(ZnS), 이 이외의 무기재료를 포함하는 물질로부터 선택되는 재료로 형성할 수 있다. 유기재료에, 유전율이 높은 무기재료를 (첨가 등에 의해) 포함함으로써, 발광 재료 및 바인더로 되는 발광층의 유전율을 더욱 제어할 수 있고, 더욱 유전율을 크게 할 수 있다.

<391> 제작 공정에 있어서, 발광 재료는 바인더를 포함하는 용액 내에 분산되지만, 본 실시형태에 사용할 수 있는 바인더를 포함하는 용액의 용매로서는, 바인더 재료를 용해시키고, 발광층을 형성하는 방법(각종 웨트 프로세스) 및 원하는 막 두께에 적합하는 점도의 용액을 제작할 수 있도록 하는 용매를 적절히 선택하면 좋다. 유기용매 등을 사용할 수 있고, 예를 들면 바인더로서 실록산 수지를 사용하는 경우에는, 프로필렌 글리콜모노메틸 에테르, 프로필렌 글리콜모노메틸 에테르 아세테이트(PGMEA라고도 한다), 3-메톡시-3-메틸-1-부탄올(MMB이라고도 한다) 등을 사용할 수 있다.

<392> 도 52b 및 도 52c에 도시하는 발광소자는, 도 52a의 발광소자에 있어서, 전극과 발광층 사이에 절연층을 설치하는 구조이다. 도 52b에 나타내는 발광소자는, 제1 전극(5101)과 발광층(5202) 사이에 절연층(5104)을 가지고, 도 52c에 나타내는 발광소자는, 제 1 전극(5101)과 발광층(5202) 사이에 절연층(5104a), 제 2 전극(5103)과 발광층(5202) 사이에 절연층(5104b)을 가지고 있다. 이렇게 절연층은 발광층을 겹지하는 한 쌍의 전

극 중 한쪽과 발광층의 사이만에 형성해도 좋고, 양쪽의 사이에 형성해도 좋다. 또한, 절연층은 단층으로 해도 되고 복수층으로 되는 적층으로 해도 된다.

<393> 또한 도 52b에서는 제 1 전극(5101)에 접하도록 절연층(5104)을 설치하지만, 절연층과 발광층의 순서를 반대로 하여, 제 2 전극(5103)에 접하도록 절연층(5104)을 형성하여도 좋다.

<394> 도 51a 내지 도 51c 및 도 52a 내지 도 52c에 있어서의 절연층(5104, 5104a, 5104b)은, 특별히 한정되지 않지만, 절연 내압이 높고, 치밀한 막질인 것이 바람직하고, 유전율이 높은 것이 더욱 바람직하다. 예를 들면, 산화실리콘, 산화이트륨(Y_2O_3), 산화티탄, 산화알루미늄(Al_2O_3), 산화하프늄(HfO_2), 산화탄탈(Ta_2O_5), 티탄산바륨($BaTiO_3$), 티탄산스트론튬($SrTiO_3$), 티탄산납($PbTiO_3$), 질화실리콘(Si_3N_4), 산화지르코늄(ZrO_2) 등이나 이것들의 혼합막 또는 2종 이상의 적층막을 사용할 수 있다. 이를 절연막은, 스퍼터링, 증착, CVD 등에 의해 성막할 수 있다. 또한, 절연층은 이를 절연재료의 입자를 바인더 내에 분산함으로써 성막하여도 좋다. 바인더 재료는, 발광층에 포함되는 바인더과 같은 재료, 방법을 이용하여 형성하면 좋다. 막 두께는 특별히 한정되지 않지만, 바람직하게는 10nm 내지 1000nm의 범위이다.

<395> 또한, 제 1 전극(5101) 및 제 2 전극(5103)에는, 금속, 합금, 도전성 화합물, 및 이것들의 혼합물 등을 사용할 수 있다. 예를 들면, 실시형태 9에 기재한 화소전극(1801) 및 대향전극(1802)에 사용한 재료를 적절히 선택하여 사용할 수 있다.

<396> 또한, 본 실시형태에서 나타내는 발광소자는, 발광층을 협지하는 한 쌍의 전극간, 즉 제 1 전극(5101) 및 제 2 전극(5103)에 전압을 인가함으로써 발광을 얻을 수 있다.

<397> 이렇게 얻어지는 무기 EL소자는, 실시형태 9에 있어서의 발광소자로서 사용할 수 있고, 그 이외에도 다른 실시형태와 자유롭게 조합할 수 있다.

<398> (실시형태 11)

<399> 본 실시형태에서는, 본 발명의 표시장치의 일례에 대해서 도 25a 내지 도 25b를 사용하여 설명한다.

<400> 도 25a는, 표시장치를 나타내는 상면도이고, 도 25b는 도 25a 중 A-A'선 단면도(A-A'로 절단한 단면도)이다. 표시장치는, 기판(2510) 위에 도면 중에서 접선으로 표시된 신호선 구동회로(2501), 화소부(2502), 제 1 주사선 구동회로(2503), 제 2 주사선 구동회로(2506)를 가진다. 또한, 이들은 밀봉기판(2504), 시일재(2505)를 사용하여 밀봉된다.

<401> 또한, 배선(2508)은 제 1 주사선 구동회로(2503), 제 2 주사선 구동회로(2506) 및 신호선 구동회로(2501)에 입력되는 신호를 전송하기 위한 배선이며, 외부입력 단자로 되는 FPC(Flexible Printed Circuit)(2509)로부터 비디오신호, 클록 신호, 스타트 신호 등을 수신한다. FPC(2509)와 표시장치의 접속부 위에는 IC칩(메모리 회로나, 버퍼 회로 등이 형성된 반도체칩)(2518 및 2519)이 COG(Chip On Glass) 등으로 실장되어 있다. 또한, 여기서는 FPC만 도시하지만, 이 FPC에는 프린트배선기판(PWB)이 장착되고 있어도 좋다. 본 발명의 표시장치는, 표시장치 본체뿐만 아니라, FPC 혹은 PWB가 부착된 상태도 포함하는 것으로 한다. 또한, IC칩 등이 실장된 것도 포함한다.

<402> 단면구조에 대해서 도 25b를 참조하여 설명한다. 기판(2510) 위에는 화소부(2502)와 그 주변구동회로(제 1 주사선 구동회로(2503), 제 2 주사선 구동회로(2506) 및 신호선 구동회로(2501))가 형성되어 있지만, 여기서는, 신호선 구동회로(2501)와, 화소부(2502)만 도시한다.

<403> 또한, 신호선 구동회로(2501)는 N채널형 트랜지스터(2520, 2521)와 같이 동일단극성 도전형의 트랜지스터로 구성되어 있다. 물론, P채널형 트랜지스터나 동일도전형의 트랜지스터뿐만 아니라, P채널형 트랜지스터를 사용하여 CMOS회로를 형성하여도 좋다. 또한, 본 실시형태에서는 기판 위에 주변구동회로를 일체형성한 표시패널을 나타내지만, 반드시 그렇게 할 필요는 없고, 주변구동회로 모두 또는 그 일부를 IC칩 등에 형성하고, COG 등으로 실장하여도 좋다.

<404> 화소부(2502)에는, 실시형태 1 내지 실시형태 8에 기재한 화소가 사용된다. 또한, 도 25b에는 스위치로서 기능하는 트랜지스터(2511)와, 발광소자에 공급하는 전류치를 제어하는 트랜지스터(2512)와, 발광소자(2528)를 도시한다. 또한, 트랜지스터(2512)의 제 1 전극은 발광소자(2528)의 화소전극(2513)과 접속되어 있다. 또한, 화소전극(2513)의 단부를 덮어 절연물(2514)이 형성되어 있다. 여기서는, 절연물(2514)은 포지티브형 감광성 아크릴 수지막을 사용하므로써 형성한다.

<405> 커버리지를 양호하게 하기 위해서, 절연물(2514)의 상단부 또는 하단부에 곡률을 가지는 곡면이 형성되도록 한다. 예를 들면, 절연물(2514)의 재료로서 포지티브형 감광성 아크릴을 사용한 경우, 절연물(2514)의 상단부에만 곡률반경($0.2\mu\text{m}$ 내지 $3\mu\text{m}$)을 가지는 곡면을 가지는 것이 바람직하다. 또한, 절연물(2514)로서, 감광성 빛에 의해 에칭제에 불용해성이 되는 네거티브형, 또는 빛에 의해 에칭제에 용해성이 되는 포지티브형을 모두 사용할 수 있다. 또한, 절연물(2514)의 재료로서 유기물뿐만 아니라, 산화규소, 산화질화규소 등의 무기물을 사용할 수 있다.

<406> 또한, 화소전극(2513) 위에는, 발광 물질을 포함하는 층(2516) 및 대향전극(2517)이 형성된다. 발광 물질을 포함하는 층(2516)에는, 적어도 발광층이 형성되면, 그 이외의 층에 있어서는 특별히 한정되지 않고, 적절히 선택할 수 있다.

<407> 시일재(2505)를 사용하여 밀봉기판(2504)와 기판(2510)을 접착함으로써, 기판(2510), 밀봉기판(2504), 및 시일재(2505)로 둘러싸인 공간(2507)에 발광소자(2528)가 구비된 구조로 된다. 또한, 공간(2507)에는, 불활성 기체(질소나 아르곤 등)가 충전되는 경우 이외에도, 밀봉재(2505)로 충전되는 구성도 포함한다.

<408> 시일재(2505)에는 에폭시계 수지를 사용하는 것이 바람직하다. 또한, 이들의 재료는 가능한 한 수분이나 산소를 투과하지 않는 재료인 것이 바람직하다. 밀봉기판(2504)에 사용하는 재료로서는, 유리 기판이나 석영 기판 이외에도, FRP(Fiberglass-Reinforced Plastics), PVF(폴리비닐 플로라이드), 폴리에스테르 또는 아크릴 등으로 되는 플라스틱 기판을 사용할 수 있다.

<409> 또한, 화소부(2502)에 실시형태 1 내지 실시형태 8에 기재한 화소를 사용하여 동작시킴으로써 화소간 혹은 화소에 있어서의 경시적인 회도의 편차를 억제할 수 있고, 더욱 드티비가 높은 고품질의 표시장치를 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다.

<410> 도 25a 내지 도 25b에 도시한 바와 같이, 신호선 구동회로(2501), 화소부(2502), 제 1 주사선 구동회로(2503) 및 제 2 주사선 구동회로(2506)를 일체형성함으로써, 표시장치의 저비용화를 도모할 수 있다. 또한, 신호선 구동회로(2501), 화소부(2502), 제 1 주사선 구동회로(2503) 및 제 2 주사선 구동회로(2506)에 사용되는 트랜지스터를 동일한 도전형으로 할 경우에는, 제작 공정의 간략화를 도모할 수 있으므로, 더욱 저비용화를 도모할 수 있다.

<411> 이상과 같이 하여, 본 발명의 표시장치를 얻을 수 있다. 또한, 전술한 구성은 일레이며 본 발명의 표시장치의 구성은 이것에 한정되지 않는다.

<412> 또한, 표시장치의 구성으로서는, 도 26a에 나타낸 바와 같이, 신호선 구동회로(2601)를 IC칩 위에 형성하고, COG 등으로 표시장치에 설치한 구성이 되어도 좋다. 또한, 도 26a에 있어서의 기판 2600, 화소부 2602, 제 1 주사선 구동회로 2603, 제 2 주사선 구동회로 2604, FPC 2605, IC칩 2606, IC칩 2607, 밀봉기판 2608, 시일재 2609는 각각 도 25a에 있어서의 기판2510, 화소부 2502, 제 1 주사선 구동회로 2503, 제 2 주사선 구동회로 2506, FPC 2509, IC칩 2518, IC칩 2519, 밀봉기판 2504, 시일재 2505에 해당한다.

<413> 즉, 구동회로의 고속 동작이 요구되는 신호선 구동회로만을, CMOS 등을 사용하여 IC칩에 형성하여, 저소비 전력화를 도모한다. 또한, IC칩은 실리콘 웨이퍼 등의 반도체칩으로 함으로써 더욱 고속 동작 및 저소비 전력화를 도모할 수 있다.

<414> 또한, 제 1 주사선 구동회로(2603)와 제 2 주사선 구동회로(2604)를 화소부(2602)와 일체형성함으로써, 저비용화를 도모할 수 있다. 그리고, 이 제 1 주사선 구동회로(2603), 제 2 주사선 구동회로(2604) 및 화소부(2602)는 동일 도정형의 트랜지스터로 구성함으로써 더욱 저비용화를 도모할 수 있다. 이 때, 제 1 주사선 구동회로(2603) 및 제 2 주사선 구동회로(2604)에 부트 스트랩 회로를 사용함으로써 출력 전위가 낮아지는 것을 방지할 수 있다. 또한, 제 1 주사선 구동회로(2603) 및 제 2 주사선 구동회로(2604)를 구성하는 트랜지스터의 반도체층에 아모퍼스 실리콘을 사용한 경우, 열화에 의해 임계값 전압이 변동하므로, 이것을 보정하는 기능을 갖추는 것이 바람직하다.

<415> 또한, 화소부(2602)에 있어서도 실시형태 1 내지 실시형태 8에 기재한 화소를 사용하여 동작시킴으로써 화소간 혹은 화소에 있어서의 경시적인 회도의 편차를 억제할 수 있고, 또한 드티비가 높은 고품질의 표시장치를 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, FPC(2605)과 기판(2600)의 접속부에 있어서 기능 회로(메모리나 버퍼)가 형성된 IC칩을 설치함

으로써 기판면적을 효율적으로 이용할 수 있다.

<416> 또한 도 25a의 신호선 구동회로(2501), 제 1 주사선 구동회로(2503) 및 제 2 주사선 구동회로(2506)에 해당하는 신호선 구동회로(2611), 제 1 주사선 구동회로(2613) 및 제 2 주사선 구동회로(2614)를, 도 26b에 도시한 바와 같이, 각각 IC칩 위에 형성하고, COG 등으로 표시 패널에 설치한 구성으로 하여도 좋다. 이 때, 도 26b에 있어서의 기판 2610, 화소부 2612, FPC 2615, IC칩 2616, IC칩 2617, 밀봉기판 2618, 시일재 2619는 각각 도 25a에 있어서의 기판 2510, 화소부 2502, FPC 2509, IC칩 2518, IC칩 2519, 밀봉기판 2504, 시일재 2505에 해당한다.

<417> 또한 화소부(2612)의 트랜지스터의 반도체층에 비정질 반도체, 예를 들면 아모퍼스 실리콘(a-Si:H)을 사용함으로써 저비용화를 도모할 수 있다. 또한, 대형 표시 패널을 제작할 수도 있다.

<418> 또한, 화소의 행 방향 및 열 방향으로 각각 신호선 구동회로, 제 1 주사선 구동회로, 및 제 2 주사선 구동회로를 설치하지 않아도 된다. 예를 들면, 도 27a에 도시한 바와 같이, IC칩 위에 형성된 주변구동회로(2701)가 도 26b에 도시하는 제 1 주사선 구동회로(2613), 제 2 주사선 구동회로(2614) 및 신호선 구동회로(2611)의 기능을 가지도록 하여도 좋다. 또한, 도 27a에 있어서의 기판 2700, 화소부 2702, FPC 2704, IC칩 2705, IC칩 2706, 밀봉기판 2707, 시일재 2708은 각각 도 25a의 기판 2510, 화소부 2502, FPC 2509, IC칩 2518, IC칩 2519, 밀봉기판 2504, 시일재 2505에 해당한다.

<419> 도 27b에 도 27a의 표시장치의 배선의 접속을 설명하는 모식도를 도시한다. 또한, 도 27b에는 기판(2710), 주변구동회로(2711), 화소부(2712), FPC 2713, FPC 2714가 도시되어 있다.

<420> FPC 2713 및 FPC 2714는 주변구동회로(2711)에 외부로부터의 신호 및 전원전위를 입력한다. 그리고, 주변구동회로(2711)로부터의 출력은, 화소부(2712)가 가지는 화소에 접속된 행 방향 및 열 방향의 배선에 입력된다.

<421> 또한, 발광소자에 백색의 발광소자를 사용할 경우, 밀봉기판에 컬러 필터를 설치함으로써 풀컬러 표시를 실현할 수 있다. 이러한 표시장치에도 본 발명을 적용할 수 있다. 도 28에, 화소부의 부분 단면도의 일례를 도시한다.

<422> 도 28에 도시하는 바와 같이, 기판(2800) 위에 하지막(2802)이 형성되어 있고, 그 위에 발광소자에 공급하는 전류치를 제어하는 트랜지스터(2801)가 형성되어 있고, 트랜지스터(2801)의 제 1 전극에 접하여 화소전극(2803)이 형성되어 있고, 그 위에 발광 물질을 포함하는 층(2804)과 대향전극(2805)이 형성되어 있다.

<423> 또한, 화소전극(2803)과 대향전극(2805)으로 발광 물질을 포함한 층(2804)이 끼워진 부분은 발광소자로 된다. 또한, 도 28에 있어서는 백색광을 발광하는 것으로 한다. 그리고, 발광소자의 상부에는 적색의 컬러 필터(2806R), 녹색의 컬러 필터(2806G), 청색의 컬러 필터(2806B)가 설치되어 있고, 풀컬러 표시를 행할 수 있다. 또한, 이를 컬러 필터를 격리하기 위해서 블랙 매트릭스(BM이라고도 한다)(2807)가 설치된다.

<424> 본 실시형태의 표시장치는 실시형태 1 내지 실시형태 8뿐만 아니라, 실시형태 9 또는 실시형태 10에 기재한 구성과도 적절히 조합할 수 있다. 또한, 표시장치의 구성은 상기에 한정되지 않고, 본 발명을 다른 구성의 표시장치에도 적용할 수 있다.

<425> (실시형태 12)

<426> 본 발명의 표시장치는 여러 가지 전자기기에 적용할 수 있다. 구체적으로는, 전자기기의 표시부에 적용할 수 있다. 또한, 전자기기로서, 비디오카메라나 디지털 카메라, 고글형 디스플레이, 네비게이션 시스템, 음향재생장치(카 오디오, 오디오 컴포넌트 시스템 등), 컴퓨터, 게임 기기, 휴대 정보단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적 등), 기록 매체를 구비한 화상재생장치(구체적으로는 Digital Versatile Disc (DVD) 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다.

<427> 도 33a에는 디스플레이를 나타내며, 하우징(3301), 지지대(3302), 표시부(3303), 스피커부(3304), 비디오 입력 단자(3305) 등을 포함한다.

<428> 또한, 표시부(3303)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 이용되고 있다. 본 발명에 의해, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한, 드티비가 높은 고품질의 표시부를 가지는 디스플레이를 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작

시기므로 소비 전력을 낮출 수 있다. 또한, 디스플레이에는, 퍼스널 컴퓨터용, 텔레비전방송 수신용, 광고 표시용 등의 모든 정보표시용 표시장치가 포함된다.

<429> 또한, 근년, 디스플레이의 대형화에 대한 요구가 강한 반면, 디스플레이의 대형화에 따라 가격의 상승이 문제가 되고 있다. 따라서, 얼마나 제조 비용의 삭감을 도모하고, 고품질의 제품을 저가로 설정할지가 과제로 된다.

<430> 본 발명의 화소는, 동일 도전형 트랜지스터로 제작할 수 있으므로, 공정 수를 절감하여 제조 비용을 삭감할 수 있다. 또한, 화소를 구성하는 트랜지스터의 반도체층에 비정질 반도체, 예를 들면 아모퍼스 실리콘(a-Si:H)을 사용함으로써 공정을 간략화하고, 더욱 코스트 다운을 도모할 수 있다. 이 경우에는, 화소부 주변의 구동회로를 IC칩 위에 형성하고, COG(Chip On Glass) 등으로 표시 패널에 실장하면 된다. 또한, 동작 속도가 높은 신호선 구동회로는 IC칩 위에 형성하고, 비교적 동작 속도가 낮은 주사선 구동회로는 화소부와 함께 동일 도전형의 트랜지스터로 구성되는 회로로 일체형성하여도 좋다.

<431> 도 33b는 카메라이며, 본체(3311), 표시부(3312), 수상부(3313), 조작키(3314), 외부접속 포트(3315), 릴리스 버튼(3316) 등을 포함한다.

<432> 또한, 표시부(3312)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용되고 있다. 본 발명에 의해, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시부를 가지는 카메라를 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다.

<433> 또한, 근년, 디지털 카메라 등의 고성능화에 따라, 생산 경쟁은 격화하고 있다. 그리고, 고성능 제품을 얼마나 저가로 설정할지가 중요하게 된다.

<434> 본 발명의 화소는, 동일 도전형의 트랜지스터로 제작할 수 있으므로, 공정 수를 절감하여 제조 비용을 절감할 수 있다. 또한, 화소를 구성하는 트랜지스터의 반도체층에 비정질 반도체, 예를 들면, 아모퍼스 실리콘(a-Si:H)을 사용함으로써 공정을 간략화하고, 더욱 코스트 다운을 도모할 수 있다. 이 경우에는, 화소부 주변의 구동회로를 IC칩 위에 형성하고, COG 등으로 표시 패널에 실장하면 된다. 또한, 동작 속도가 높은 신호선 구동회로는 IC칩 위에 형성하고, 비교적 동작 속도가 낮은 주사선 구동회로는 화소부와 함께 동일 도전형의 트랜지스터로 구성되는 회로로 일체형성하여도 좋다.

<435> 도 33c에는 컴퓨터를 나타내며, 본체(3321), 하우징(3322), 표시부(3323), 키보드(3324), 외부접속 포트(3325), 포인팅 디바이스(3326) 등을 포함한다. 또한, 표시부(3323)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용되고 있다. 본 발명에 의해, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시부를 가지는 컴퓨터를 얻을 수 있다. 또한 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형의 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<436> 도 33d에는 모바일 컴퓨터이며, 본체(3331), 표시부(3332), 스위치(3333), 조작키(3334), 적외선 포트(3335) 등을 포함한다. 또한, 표시부(3332)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용되고 있다. 본 발명에 의해, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시부를 가지는 모바일 컴퓨터를 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형의 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<437> 도 33e에는 기록 매체를 구비한 휴대형 화상재생장치(구체적으로는 DVD 재생장치)이며, 본체(3341), 케이스(3342), 표시부A(3343), 표시부B(3344), 기록 매체(DVD 등) 판독부(3345), 조작키(3346), 스피커부(3347) 등을 포함한다. 표시부A(3343)는 주로 화상정보를 표시하고, 표시부B(3344)는 주로 문자정보를 표시할 수 있다. 또한, 표시부A(3343)나 표시부B(3344)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용되고 있다. 본 발명에 의해, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시부를 가지는 화상재생장치를 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형의 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<438> 도 33f에는 고글형 디스플레이이며, 본체(3351), 표시부(3352), 암(arm)부(3353)를 포함한다. 또한,

표시부(3352)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용되고 있다. 본 발명에 의해, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한, 듀티비가 높은 고품질의 표시부를 가지는 고글 형 디스플레이를 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형의 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<439> 도 33g에는 비디오카메라이며, 본체(3361), 표시부(3362), 케이싱(3363), 외부접속 포트(3364), 리모트 컨트롤 수신부(3365), 수상부(3366), 배터리(3367), 음성입력부(3368), 조작키(3369), 접안부(3360) 등을 포함한다. 또한, 표시부(3362)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용되고 있다. 본 발명에 의해, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시부를 가지는 비디오카메라를 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형의 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<440> 도 33h에는 휴대전화기이며, 본체(3371), 케이스(3372), 표시부(3373), 음성입력부(3374), 음성 출력부(3375), 조작키(3376), 외부접속 포트(3377), 안테나(3378) 등을 포함한다. 또한, 표시부(3373)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용된다. 본 발명에 의하여, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시부를 가지는 휴대전화기를 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일도전형의 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<441> 이와 같이, 본 발명은, 여러가지 전자기기에 적용할 수 있다.

<442> (실시형태 13)

<443> 본 실시형태에 있어서, 본 발명의 표시장치를 표시부에 가지는 휴대전화의 구성예에 대해서 도 34를 사용하여 설명한다.

<444> 표시 패널(3410)은 하우징(3400)에 탈착이 자유자재로 삽입된다. 하우징(3400)은 표시 패널(3410) 사이즈에 맞추어, 형상이나 사이즈를 적절히 변경할 수 있다. 표시 패널(3410)을 고정한 하우징(3400)은 프린트 기판(3401)에 끼워 넣어져 모듈로서 조립된다.

<445> 표시 패널(3410)은 FPC(3411)를 통하여 프린트 기판(3401)에 접속된다. 프린트 기판(3401)에는, 스피커(3402), 마이크로폰(3403), 송수신회로(3404), CPU 및 콘트롤러 등을 포함한 신호 처리 회로(3405)가 형성되어 있다. 이러한 모듈과, 입력 수단(3406), 배터리(3407)를 조합하여, 케이스(3409, 3412)에 수납한다. 또한, 표시 패널(3410)의 화소부는 케이스(3412)에 형성된 개구창으로부터 시인할 수 있도록 배치한다.

<446> 표시 패널(3410)에서는, 화소부와 일부 주변구동회로(복수의 구동회로 중 동작 주파수가 낮은 구동회로)를 트랜지스터를 사용하여 기판 위에 일체형성하고, 다른 주변구동회로(복수의 구동회로 중 동작 주파수가 높은 구동회로)를 IC칩 위에 형성하여, 그 IC칩을 COG(Chip On Glass)에 의해 표시 패널(3410)에 실장하여도 좋다. 또한, 그 IC칩을 TAB(Tape Automated Bonding)나 프린트 기판을 사용하여 유리 기판과 접속하여도 좋다. 또한, 모든 주변구동회로를 IC칩 위에 형성하고, 그 IC칩을 COG 등에 의해 표시 패널에 실장하여도 좋다.

<447> 또한, 화소부에는, 실시형태 1 내지 실시형태 8에 기재한 화소를 사용한다. 본 발명에 의해, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시부를 가지는 표시 패널(3410)을 얻을 수 있다. 또한, 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일도전형 트랜지스터나 트랜지스터의 반도체층에 비결정 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<448> 또한, 본 실시형태에 나타낸 구성은 휴대전화의 일례이며, 이러한 구성의 휴대전화에 한정되지 않고 여러 가지 구성의 휴대전화에 적용할 수 있다.

<449> (실시형태 14)

<450> 본 실시형태에서는 표시 패널과, 회로기판을 조합한 EL모듈에 대해서 도 35 및 도 36을 사용하여 설명한다.

<451> 도 35에 도시하는 바와 같이, 표시 패널(3501)은 화소부(3503), 주사선 구동회로(3504) 및 신호선 구동회로(3505)를 가진다. 회로기판(3502)에는, 예를 들면 컨트롤 회로(3506)나 신호 분할 회로(3507) 등이 형성되어 있다. 또한, 표시 패널(3501)과 회로기판(3502)은 접속 배선(3508)에 의해 접속되어 있다. 접속 배선(3508)에는 FPC 등을 사용할 수 있다.

<452> 표시 패널(3501)은, 화소부와 일부 주변구동회로(복수의 구동회로 중 동작 주파수가 낮은 구동회로)를 트랜지스터를 사용하여 하나의 기판 위에 형성하고, 다른 주변구동회로(복수의 구동회로 중 동작 주파수가 높은 구동회로)를 IC칩 위에 형성한다. 그 IC칩은 COG(Chip On Glass)에 의하여 표시 패널(3501)에 설치해도 좋다. 또는, 그 IC칩은 TAB(Tape Automated Bonding)나 프린트 기판을 사용해서 유리 기판과 접속하여도 좋다. 또한, 모든 주변구동회로를 IC칩 위에 형성하고, 그 IC칩을 COG 등에 의해 표시 패널에 설치하여도 좋다.

<453> 또한, 화소부에는, 실시형태 1 내지 실시형태 8에 기재한 화소를 사용한다. 본 발명에 의하여, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시 패널(3501)을 얻을 수 있다. 또한 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형 트랜지스터를 사용하거나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<454> 이러한 EL모듈에 의하여 EL텔레비전 수상기를 완성할 수 있다. 도 36은, EL텔레비전 수상기의 주요한 구성을 나타내는 블럭도이다. 투너(3601)는 영상신호와 음성신호를 수신한다. 영상신호는, 영상신호 증폭회로(3602)와, 거기에서 출력되는 신호를 적색, 녹색, 청색의 각 색에 대응한 색신호로 변환하는 영상신호 처리회로(3603)와, 그 영상신호를 구동회로의 입력 사양으로 변환하기 위한 컨트롤 회로(3506)에 의하여 처리된다. 컨트롤 회로(3506)는, 주사선 측과 신호선 측에 각각 신호를 출력한다. 디지털 구동할 경우에는, 신호선 측에 신호 분할 회로(3507)를 설치하고, 입력 디지털 신호를 3개로 분할하여 공급하는 구성으로 하여도 좋다.

<455> 투너(3601)에 의하여 수신한 신호 중, 음성신호는 음성신호 증폭회로(3604)에 보내지고, 그 출력은 음성신호 처리회로(3605)를 거쳐 스피커(3606)에 공급된다. 제어회로(3607)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(3608)로부터 수신하고, 투너(3601)나 음성신호 처리회로(3605)에 신호를 송출한다.

<456> 예를 들면, 실시형태 12에 기재한 도 33a의 하우징(3301)에, 도 35의 EL모듈을 내장하여, 텔레비전 수상기를 완성시킬 수 있다.

<457> 물론, 본 발명은 텔레비전 수상기에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도 역이나 공항 등에 있어서의 정보 표시판이나, 가두에 있어서의 광고 표시판 등, 특히 대면적 표시 매체로서 여러 가지 용도에 적용할 수 있다.

<458> (실시형태 15)

<459> 본 실시형태에서는, 본 발명에 관한 표시장치의 응용예에 대해서 설명한다.

<460> 도 56에, 본 발명에 관한 표시장치를 건조물과 일체로 형성한 예를 나타낸다. 도 56은 하우징(5600), 표시패널(5601), 스피커부(5602) 등을 포함하는 건조물을 나타낸다. 또한, 도면부호 5603은, 표시패널(5601)을 조작하기 위한 리모트 컨트롤 장치이다.

<461> 표시패널(5601)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용된다. 본 발명에 의하여, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시 패널을 얻을 수 있다. 또한 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형 트랜지스터를 사용하거나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<462> 도 56에 도시하는 표시장치는, 건조물과 일체로 형성되기 때문에, 넓은 스페이스가 얻어지지 않는 경우에도 설치할 수 있다.

<463> 도 57에, 본 발명에 관한 표시장치를 건조물과 일체로 설치한 다른 예에 대해서 도시한다. 표시패널(5701)은, 육실(5702)과 일체로 설치되고, 목욕자는 목욕하면서 표시패널(5701)의 시청을 할 수 있다. 표시패널(5701)에는 목욕자가 조작함으로써, 정보를 표시할 수 있다. 따라서, 광고나 오락수단으로서 이용할 수 있는 기능을 가진다.

<464> 표시패널(5701)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용된다. 본 발명에 의하여, 화소

간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 드티비가 높은 고품질의 표시 패널을 얻을 수 있다. 또한 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일도전형 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<465> 또한, 본 발명에 관한 표시장치는, 도 57에 나타낸 욕실(5702)의 측벽뿐만 아니라, 여러가지 곳에 일체로 설치할 수 있다. 예를 들면, 경면(鏡面)의 일부나 욕조 자체와 일체로 설치되어도 좋다. 또한, 표시장치의 형상은, 경면이나 욕조의 형상에 맞춰도 좋다.

<466> 도 58에, 본 발명에 관한 표시장치를 건조물과 일체로 설치한 다른 예에 대해서 도시한다. 도 58에 있어서, 표시패널(5802)은 주상체(5801)의 곡면에 맞춰 만곡된다. 여기서는, 주상체(5801)를 전주로서 설명한다.

<467> 도 58에 도시하는 표시패널(5802)은, 인간의 시점보다 높은 위치에 형성된다. 전주와 같이 옥외에서 반복하여 임립하는 건조물에 표시패널(5802)을 설치함으로써, 불특정 다수의 시인자에 대해서 표시패널(5802)을 통하여 정보를 제공할 수 있다. 따라서, 표시패널을 광고로서 이용하는 것이 효적하다. 또한, 표시패널(5802)은, 외부로부터의 제어에 의하여 같은 화상을 표시시키는 것, 또한 순간적으로 화상을 스위칭하는 것이 용이 하므로, 극히 효율적인 정보표시 및 광고효과를 기대할 수 있다. 또한, 표시패널(5802)에 자발광형의 표시소자를 형성함으로써, 밤이어도, 시인성이 높은 표시매체로서 유용하다. 또한, 표시패널(5802)을 전주에 설치함으로써, 표시패널(5802)의 전력공급수단의 확보가 용이하다. 또한, 재해발생시 등의 비상사태의 경우에는, 피해자에 정확한 정보를 재빨리 전달할 수단으로도 될 수 있다.

<468> 표시패널(5802)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용된다. 본 발명에 의해서, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 드티비가 높은 고품질의 표시 패널을 얻을 수 있다. 또한 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일도전형 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다. 또한, 필름형상의 기판에 설치된 유기 트랜지스터를 사용하여도 좋다.

<469> 또한, 본 실시형태에서는, 본 발명의 표시장치와 일체로 설치된 건조물로서, 벽, 욕실, 주상체를 예시 하지만, 다른 여러가지 건조물에도 형성할 수 있다.

<470> 다음, 본 발명에 관한 표시장치를 이동물과 일체로 설치한 예에 대해서 나타낸다.

<471> 도 59는, 본 발명에 관한 표시장치를 자동차와 일체로 형성한 예에 대해서 도시한 도면이다. 표시패널(5902)은, 자동차의 차체(5901)와 일체로 설치되고, 차체의 동작이나 차체내 회로부터 입력되는 정보를 온디맨드로 표시할 수 있다. 또한, 표시패널(5902)은 네비게이션 기능을 가져도 좋다.

<472> 표시패널(5902)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용된다. 본 발명에 의하여, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 드티비가 높은 고품질의 표시 패널을 얻을 수 있다. 또한 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<473> 또한, 본 발명에 관한 표시장치는, 도 59에서 도시한 차체(5901)뿐만 아니라, 여러가지 장소에 설치할 수 있다. 예를 들면, 유리 창, 도어(door), 핸들(handle), 시프트 레버(shift lever), 좌석시트, 룸 미러(room mirror) 등과 일체로 하여 형성하여도 좋다. 이 때, 표시패널(5902)의 형상은, 설치하는 것의 형상에 맞춰도 좋다.

<474> 도 60a 내지 도 60b는, 본 발명에 관한 표시장치를 열차차량과 일체로 설치한 예에 대해서 도시한 도면이다.

<475> 도 60a는, 열차차량의 도어(6001)의 유리에 표시패널(6002)을 형성한 예에 대해서 도시한 도면이다. 종래의 종이의 광고에 비하여, 광고를 바꾸는 경우에 필요한 인건비가 불필요하다는 이점이 있다. 또한, 표시패널(6002)은, 외부로부터의 신호에 의하여 표시부로 표시되는 화상의 스위칭을 순간적으로 행할 수 있으므로, 예를 들면, 전차의 승강객의 고객 층이 바꾸는 시간대마다 표시패널의 화상을 스위칭할 수 있다. 이와 같이, 화상의 스위칭을 순간적으로 행함으로써, 보다 효과적인 광고효과를 기대할 수 있다.

<476> 도 60b는, 열차차량의 도어(6001)의 유리 이외에도, 유리 창(6003) 및 천정(6004)에 표시패널(6002)을

형성한 예에 대해서 도시한 도면이다. 이와 같이, 본 발명에 관한 표시장치는, 종래에서는 설치가 어려웠던 곳에 용이하게 설치할 수 있으므로, 효과적인 광고효과를 얻을 수 있다. 또한, 본 발명에 관한 표시장치는, 외부로부터의 신호에 의하여 표시부에서 표시되는 화상의 스위칭을 순간적으로 행할 수 있으므로, 광고를 바꿀 때에 생겼던 비용이나 시간을 삭감할 수 있고, 보다 유연한 광고의 운용 및 정보전달이 가능하게 된다.

<477> 또한, 도 60a 내지 도 60b에 도시하는 표시패널(6002)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용된다. 본 발명에 의하여, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시 패널을 얻을 수 있다. 또한 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<478> 또한, 본 발명에 관한 표시장치는, 상기에 한정되지 않고, 여러가지 곳에 설치할 수 있다. 예를 들면, 손잡이, 좌석, 난간, 마루 등과 본 발명에 관한 표시장치를 일체로 설치하여도 좋다. 이 때, 표시패널(6002)의 형상은, 설치하는 것의 형상에 맞춰도 좋다.

<479> 도 61a 내지 도 61b는, 본 발명에 관한 표시장치를, 여객용 비행기와 일체로 설치한 예에 대해서 도시한 도면이다.

<480> 도 61a는, 여객용 비행기의 좌석 상부의 천정(6101)에 표시패널(6102)을 설치했을 때의 사용시의 형상에 대해서 도시한 도면이다. 표시패널(6102)은 힌지(hinge)부(6103)를 통하여 천정(6101)과 일체로 형성되고, 힌지부(6103)의 신축에 의하여 승객은 원하는 위치에서의 표시패널(6102)의 시청을 할 수 있다. 표시패널(6102)은 승객이 조작함으로써 정보를 표시할 수 있다. 따라서, 광고나 오락수단으로서 이용할 수 있는 기능을 가진다. 또한, 도 61b에 도시하는 바와 같이, 힌지(hinge)부(6103)를 꺾어 꾸부려 천정(6101)에 격납함으로써 이착륙할 때의 안전에 대해서 배려할 수 있다. 또한, 긴급시에 표시패널(6102)의 표시소자를 점등시키므로써, 정보전달 수단 및 유도등으로서도 이용할 수 있다.

<481> 또한, 도 61a 내지 도 61b에 도시하는 표시패널(6102)에는 실시형태 1 내지 실시형태 8에 기재한 화소가 사용된다. 본 발명에 따라, 화소간 혹은 화소에 있어서의 경시적인 휘도의 편차를 억제할 수 있고, 또한 듀티비가 높은 고품질의 표시 패널을 얻을 수 있다. 또한 본 발명에서는, 대향전극의 전위를 일정하게 고정하여 동작시키므로 소비 전력을 낮출 수 있다. 또한, 화소부를 구성하는 트랜지스터에 동일 도전형 트랜지스터나 트랜지스터의 반도체층에 비정질 반도체막을 사용함으로써 저비용화를 도모할 수 있다.

<482> 또한, 본 발명에 관한 표시장치는, 도 61a 내지 도 61b에 나타낸 천정(6101)뿐만 아니라, 여러가지 장소와 일체로 형성할 수 있다. 예를 들면, 좌석, 좌석 테이블, 팔걸이, 창 등과 일체로 형성하여도 좋다. 또한, 다수의 사람이 동시에 시청할 수 있는 대형의 표시패널을, 기체의 벽에 설치하여도 좋다. 이 때, 표시패널(6102)의 형상은, 설치하는 것의 형상에 맞춰도 좋다.

<483> 또한, 본 실시형태에 있어서, 이동체로서 전차차량본체, 자동차차체, 비행기차체에 대해서 예시하지만, 이것으로 한정되지 않고, 자동이륜차, 자동사륜차(자동차, 버스 등도 포함한다), 전차(모노레일, 철도 등을 포함한다), 선박 등의 여러가지 것을 적용할 수 있다. 본 발명에 관한 표시장치는, 외부로부터의 신호에 의하여, 이동체 내에 있어서의 표시패널의 표시를 순간적으로 바꿀 수 있으므로, 이동체에 본 발명에 관한 표시장치를 설치함으로써, 이동체를 불특정 다수의 고객을 대상으로 한 광고표시판, 재해발생시의 정보표시판 등의 용도로 사용할 수 있다.

<484> 본 실시형태의 표시장치는, 실시형태 1 내지 실시형태 8뿐만 아니라, 실시형태 9 또는 실시형태 10에 기재한 구조과도 적절히 조합할 수 있다. 또한, 표시장치의 구조은 상술한 것으로 한정되지 않는다.

도면의 간단한 설명

<485> 도 1은 실시형태 1에 나타내는 화소구성을 설명하는 도면.

<486> 도 2a 내지 도 2d는 도 1에서 나타낸 화소의 동작을 설명하는 타이밍 차트.

<487> 도 3a 내지 도 3d는 도 1에서 나타낸 화소의 동작을 설명하는 도면.

<488> 도 4는 채널 길이변조에 의한 정압-전류 특성의 모델도면.

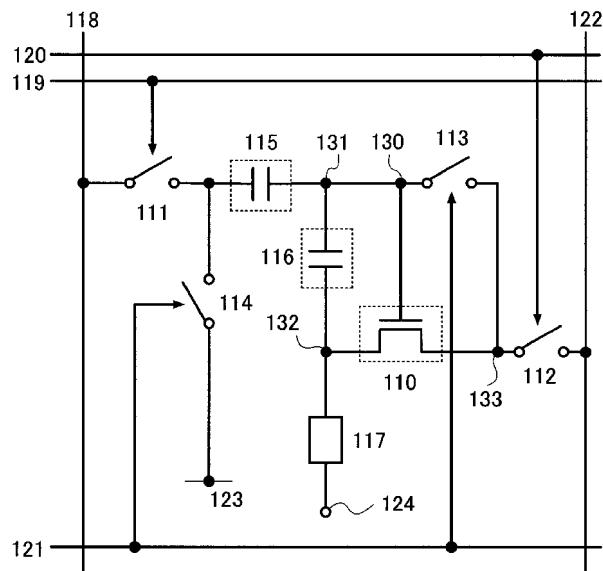
<489> 도 5는 실시형태 1에 나타내는 화소구성을 설명하는 도면.

- <490> 도 6은 실시형태 1에 나타내는 화소구성을 설명하는 도면.
- <491> 도 7은 실시형태 1에 나타내는 표시장치를 설명하는 도면.
- <492> 도 8은 실시형태 1에 나타내는 표시장치의 기록동작을 설명하는 도면.
- <493> 도 9a 내지 도 9f는 실시형태 2에 나타내는 화소구성을 설명하는 도면.
- <494> 도 10은 실시형태 3에 나타내는 화소구성을 설명하는 도면.
- <495> 도 11은 실시형태 3에 나타내는 화소구성을 설명하는 도면.
- <496> 도 12는 실시형태 3에 나타내는 화소구성을 설명하는 도면.
- <497> 도 13은 실시형태 4에 나타내는 화소구성을 설명하는 도면.
- <498> 도 14는 실시형태 4에 나타내는 화소구성을 설명하는 도면.
- <499> 도 15는 실시형태 4에 나타내는 화소구성을 설명하는 도면.
- <500> 도 16은 실시형태 4에 나타내는 화소구성을 설명하는 도면.
- <501> 도 17은 실시형태 9에 나타내는 화소의 부분단면도.
- <502> 도 18a 내지 도 18b는 실시형태 9에 나타내는 발광소자를 설명하는 도면.
- <503> 도 19a 내지 도 19c는 실시형태 9에 나타내는 빛의 추출방향을 설명하는 도면.
- <504> 도 20a 내지 도 20b는 실시형태 9에 나타내는 화소의 부분단면도.
- <505> 도 21a 내지 도 21b는 실시형태 9에 나타내는 화소의 부분단면도.
- <506> 도 22a 내지 도 22b는 실시형태 9에 나타내는 화소의 부분단면도.
- <507> 도 23은 실시형태 9에 나타내는 화소의 부분단면도.
- <508> 도 24는 실시형태 9에 나타내는 화소의 부분단면도.
- <509> 도 25a 내지 도 25b는 실시형태 11에 나타내는 표시장치를 설명하는 도면.
- <510> 도 26a 내지 도 26b는 실시형태 11에 나타내는 표시장치를 설명하는 도면.
- <511> 도 27a 내지 도 27b는 실시형태 11에 나타내는 표시장치를 설명하는 도면.
- <512> 도 28은 실시형태 11에 나타내는 화소의 부분단면도.
- <513> 도 29는 실시형태 5에 나타내는 화소구성을 설명하는 도면.
- <514> 도 30은 실시형태 5에 나타내는 화소구성을 설명하는 도면.
- <515> 도 31은 실시형태 6에 나타내는 화소구성을 설명하는 도면.
- <516> 도 32는 도 31에서 나타낸 화소의 동작을 설명하는 타이밍 차트.
- <517> 도 33a 내지 도 33h는 본 발명을 적용할 수 있는 전자기기를 설명하는 도면.
- <518> 도 34는 휴대전화기의 구성예를 나타내는 도면.
- <519> 도 35는 EL모듈의 예를 나타내는 도면.
- <520> 도 36은 EL텔레비전 수상기의 주요한 구성을 나타내는 블록도.
- <521> 도 37은 실시형태 6에 나타내는 화소구성을 설명하는 도면.
- <522> 도 38은 실시형태 7에 나타내는 화소구성을 설명하는 도면.
- <523> 도 39는 디지털계조방식과 시간계조방식을 조합한 구동방식을 설명하는 도면.
- <524> 도 40은 실시형태 7에 나타내는 화소구성을 설명하는 도면.
- <525> 도 41은 실시형태 7에 나타내는 화소구성을 설명하는 도면.

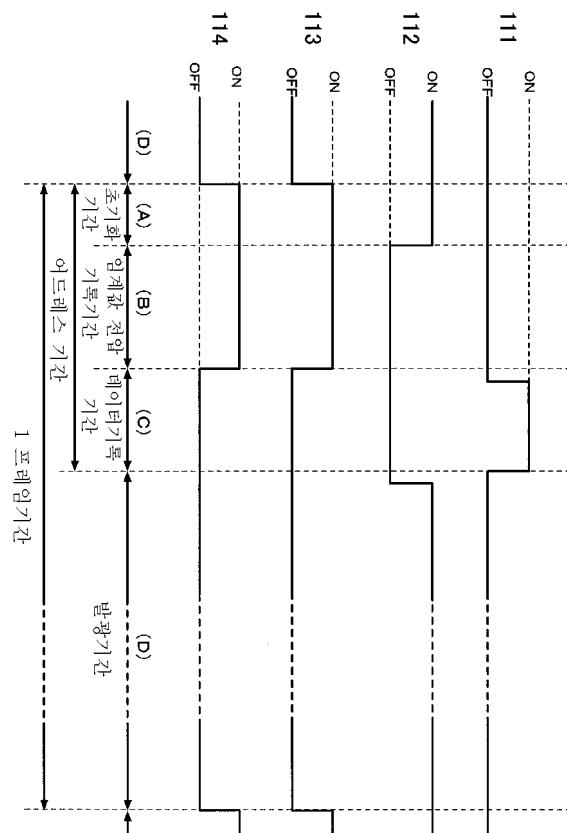
- <526> 도 42는 실시형태 7에 나타내는 화소구성을 설명하는 도면.
- <527> 도 43은 실시형태 1에 나타내는 화소구성을 설명하는 도면.
- <528> 도 44는 도 6에 나타내는 화소의 레이아웃을 설명하는 상면도.
- <529> 도 45는 도 6에 나타내는 화소의 레이아웃을 설명하는 상면도.
- <530> 도 46은 실시형태 8에 나타내는 화소구성을 설명하는 도면.
- <531> 도 47은 도 46에서 나타낸 화소의 동작을 설명하는 타이밍 차트.
- <532> 도 48a 내지 도 48d는 도 46에서 나타낸 화소의 동작을 설명하는 도면.
- <533> 도 49는 실시형태 8에 나타내는 화소구성을 설명하는 도면.
- <534> 도 50은 실시형태 8에 나타내는 화소구성을 설명하는 도면.
- <535> 도 51a 내지 도 51c는 실시형태 10에 나타내는 발광소자를 설명하는 도면.
- <536> 도 52a 내지 도 52c는 실시형태 10에 나타내는 발광소자를 설명하는 도면.
- <537> 도 53a 내지 도 53d는 실시형태 1에 나타내는 화소의 동작을 설명하는 도면.
- <538> 도 54는 실시형태 1에 나타내는 화소구성을 설명하는 도면.
- <539> 도 55는 실시형태 1에 나타내는 화소구성을 설명하는 도면.
- <540> 도 56은 본 발명에 관한 표시장치의 응용예를 설명하는 도면.
- <541> 도 57은 본 발명에 관한 표시장치의 응용예를 설명하는 도면.
- <542> 도 58은 본 발명에 관한 표시장치의 응용예를 설명하는 도면.
- <543> 도 59는 본 발명에 관한 표시장치의 응용예를 설명하는 도면.
- <544> 도 60a 내지 도 60b는 본 발명에 관한 표시장치의 응용예를 설명하는 도면.
- <545> 도 61a 내지 도 61b는 본 발명에 관한 표시장치의 응용예를 설명하는 도면.
- <546> 도 62는 종래기술의 화소구성을 설명하는 도면.
- <547> 도 63은 종래기술의 화소구성을 설명하는 도면.
- <548> 도 64는 종래기술에 나타낸 화소를 동작시키는 타이밍 차트.
- <549> 도 65는 종래기술을 사용한 경우의 1 프레임 기간에 있어서의 발광기진의 비율을 설명하는 도면.
- <550> <도면의 주요 부분에 대한 부호의 설명>
- | | |
|---------------------|---------------|
| <551> 110: 트랜지스터 | 111: 제 1 스위치 |
| <552> 112: 제 2 스위치 | 113: 제 3 스위치 |
| <553> 114: 제 4 스위치 | 115: 제 1 용량소자 |
| <554> 116: 제 2 용량소자 | 117: 발광소자 |
| <555> 118: 신호선 | 119: 제 1 주사선 |
| <556> 120: 제 2 주사선 | 121: 제 3 주사선 |
| <557> 122: 전원선 | 123: 전위공급선 |
| <558> 124: 대향전극 | 130: 노드 |
| <559> 131: 노드 | 132: 노드 |
| <560> 133: 노드 | |

도면

도면1

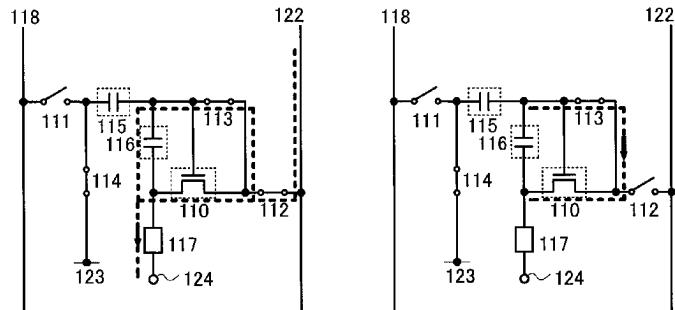


도면2

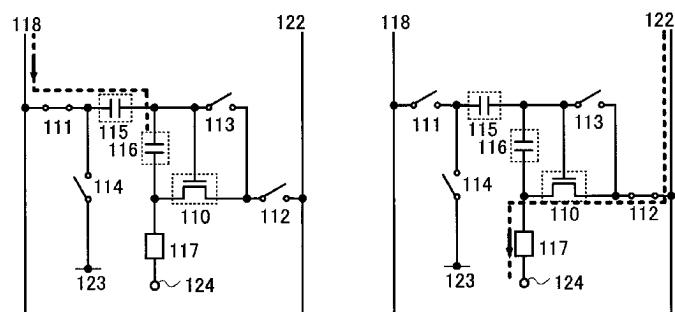


도면3

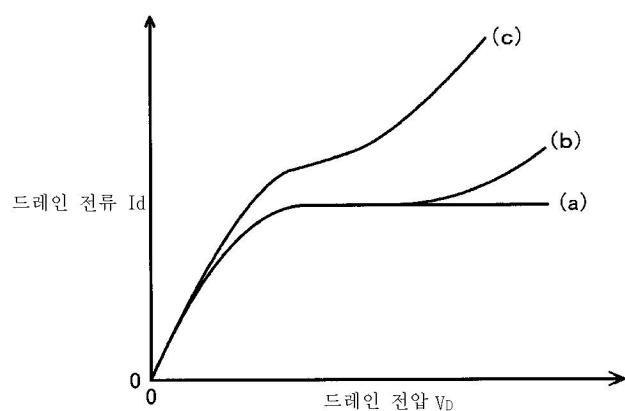
(a) 초기화 (b) 임계값 전압 기록



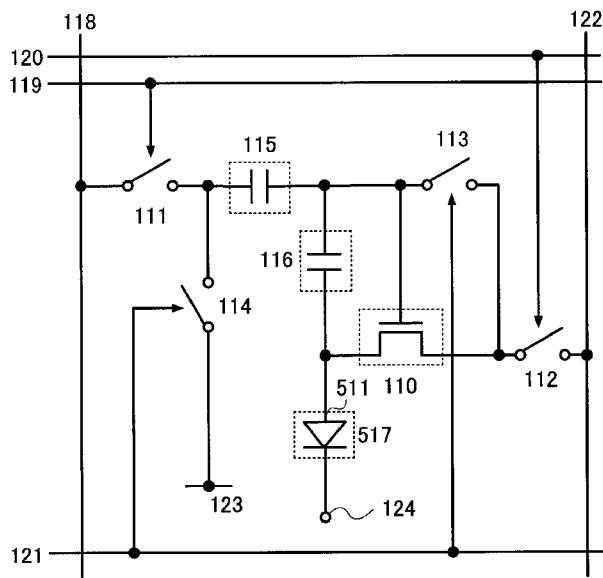
(c) 테이터 기록 (d) 발광



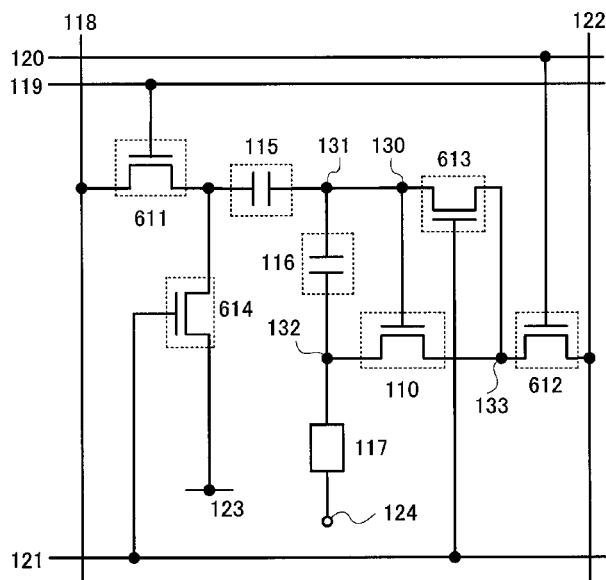
도면4



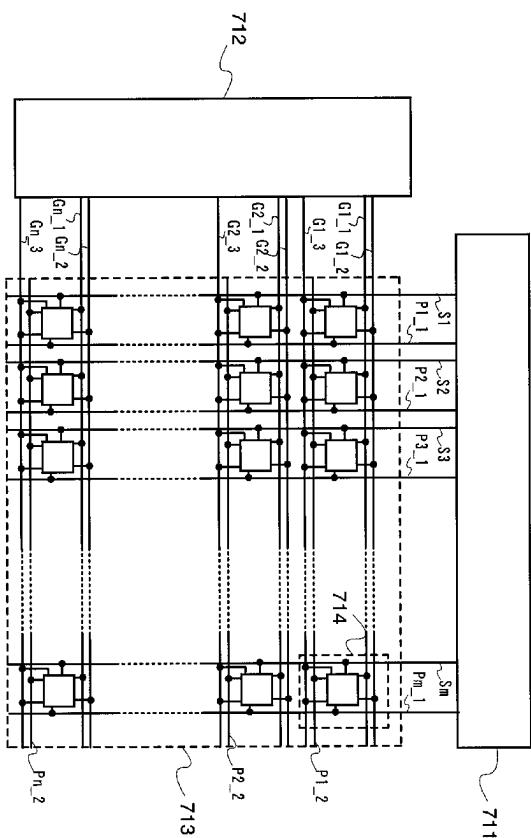
도면5



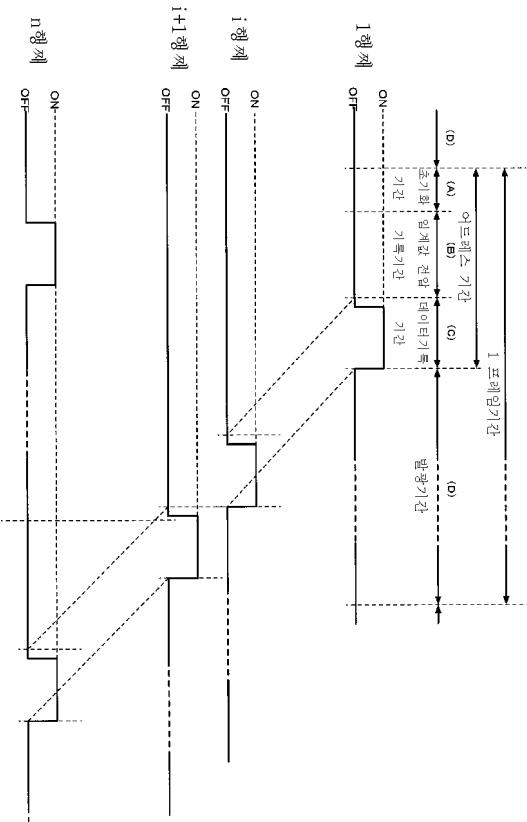
도면6



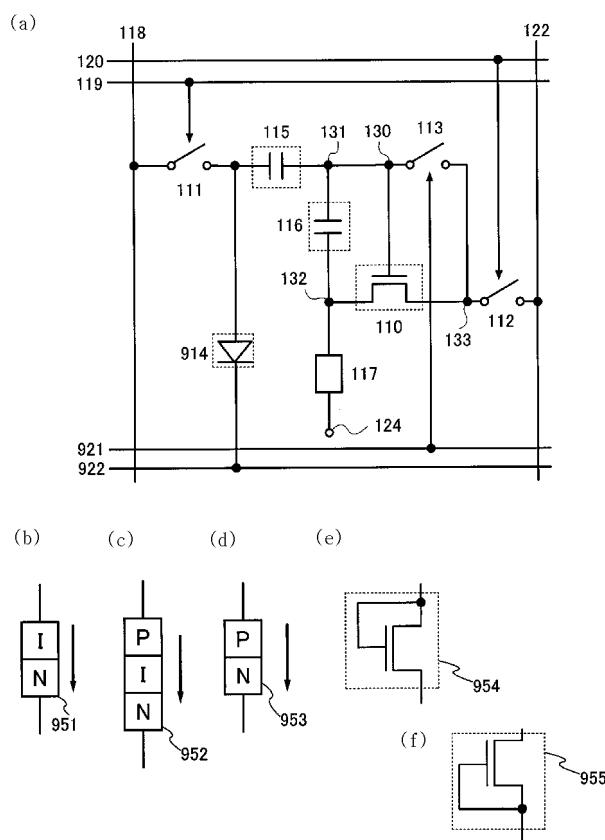
도면7



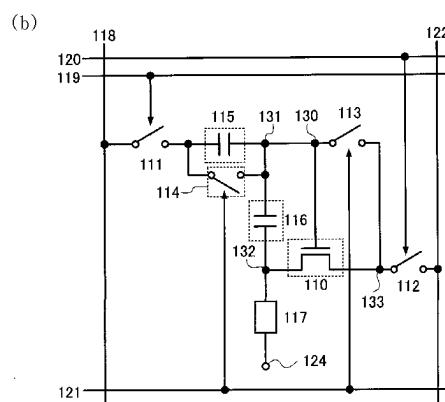
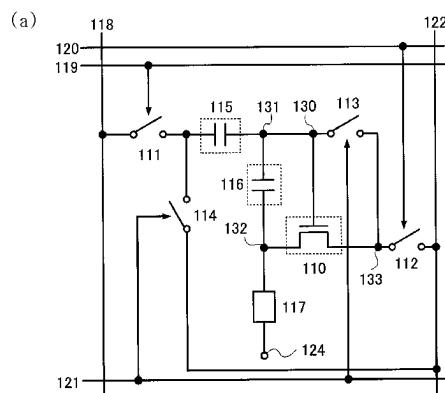
도면8



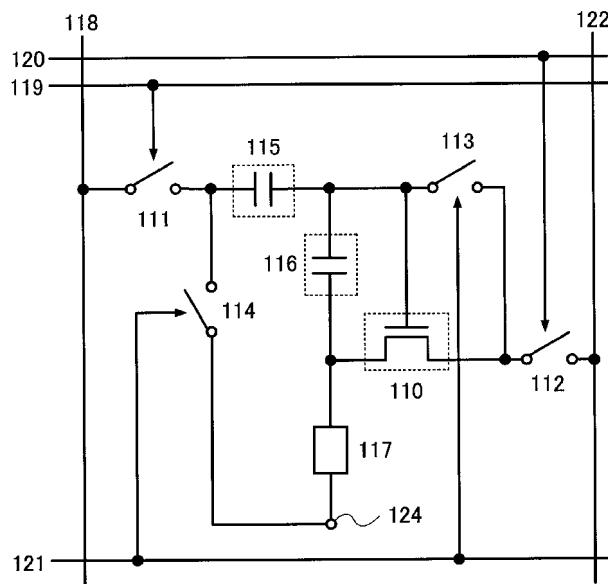
도면9



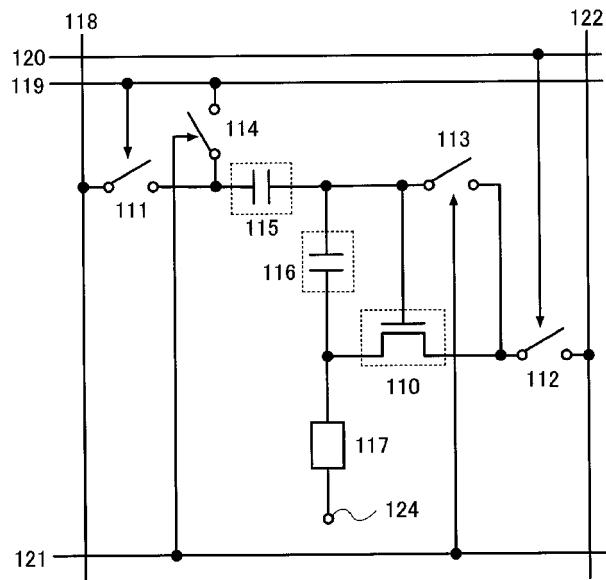
도면10



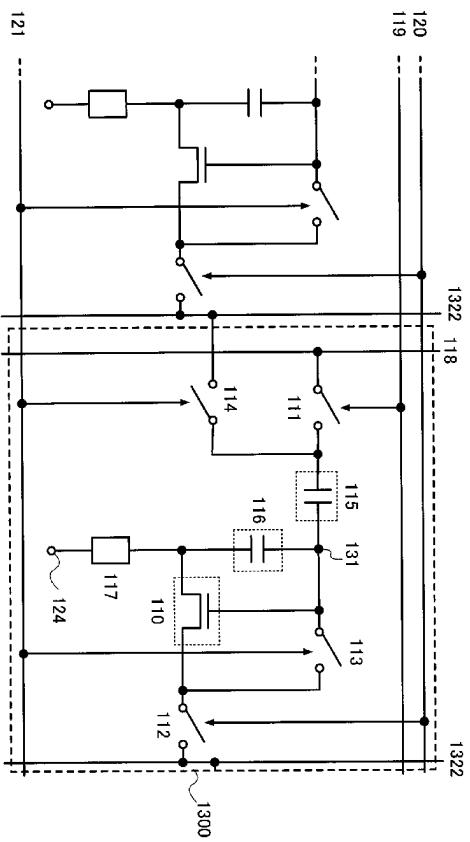
도면11



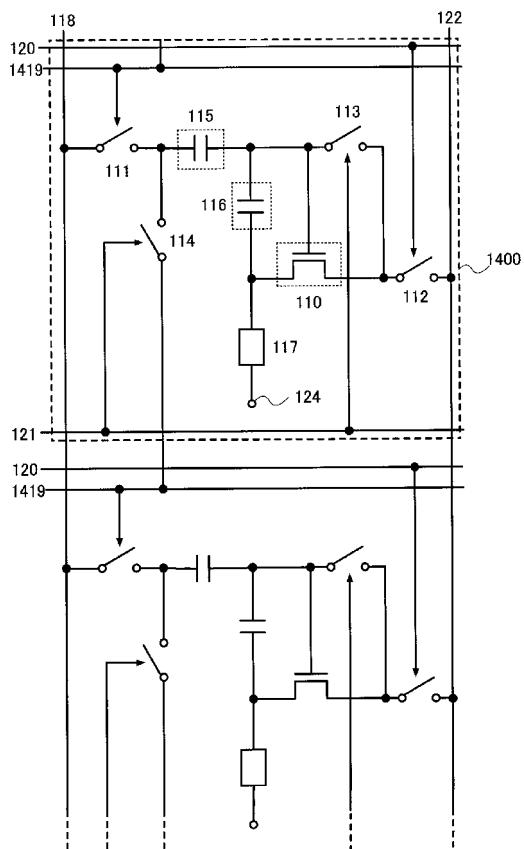
도면12



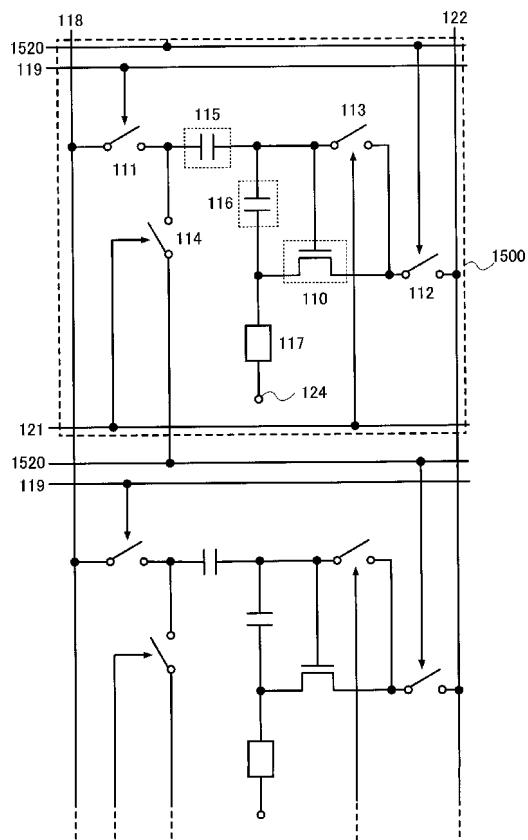
도면13



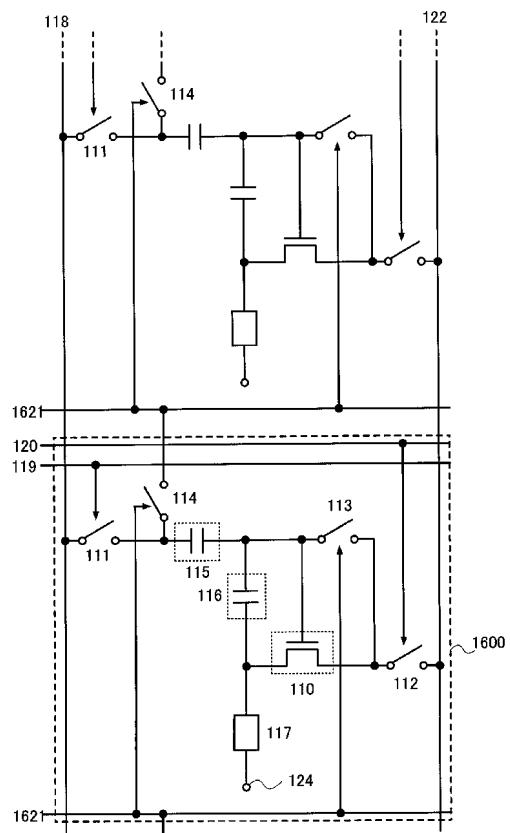
도면14



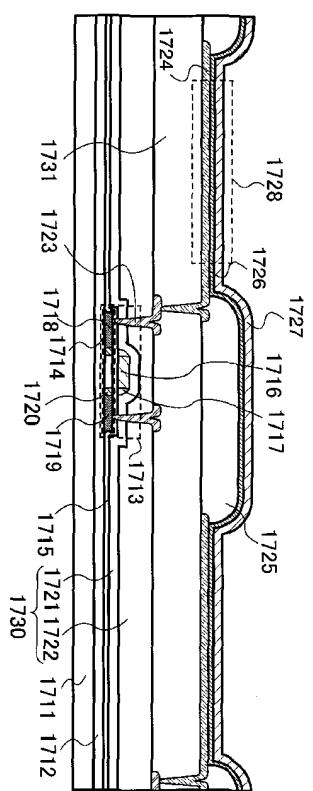
도면15



도면16

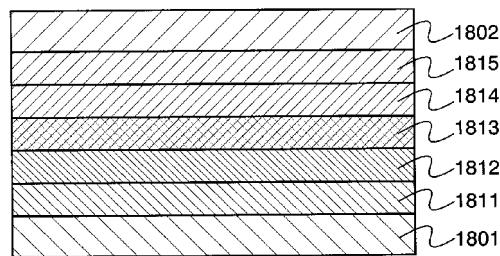


도면17

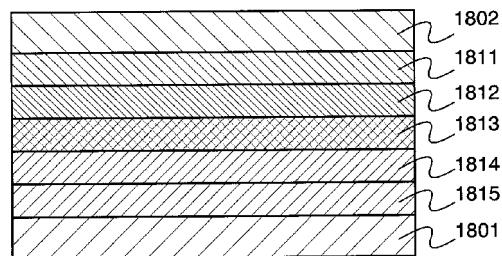


도면18

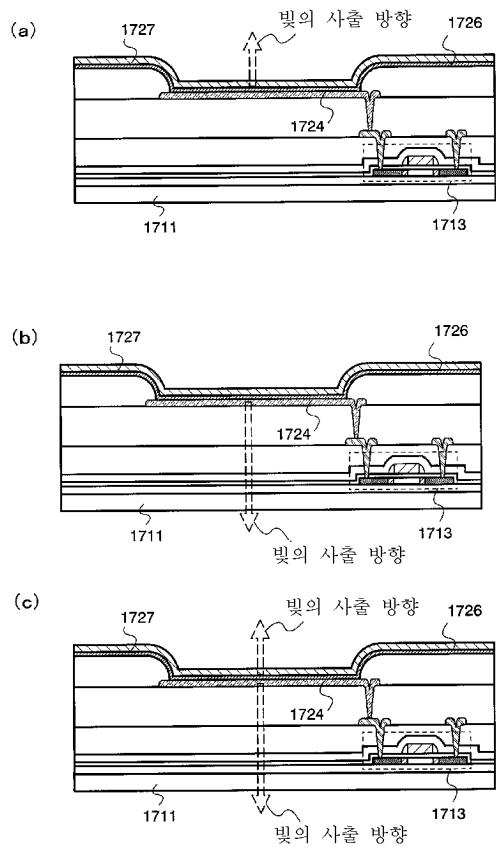
(a)



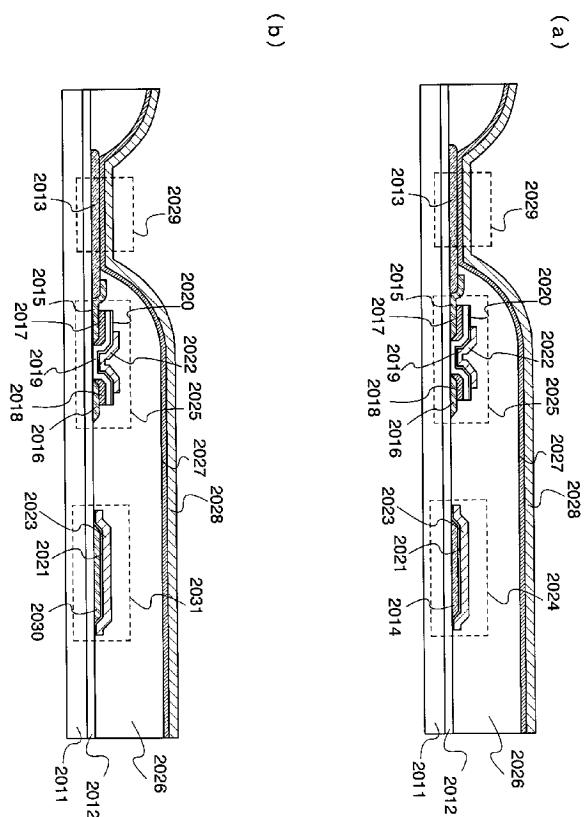
(b)



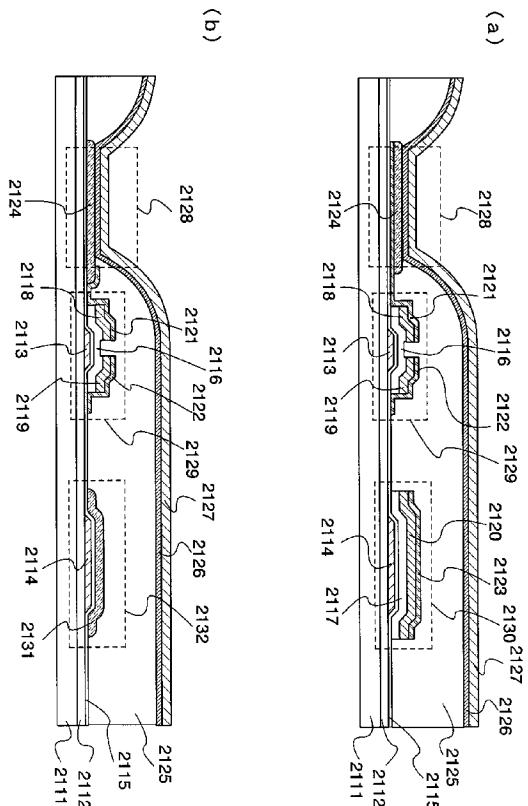
도면19



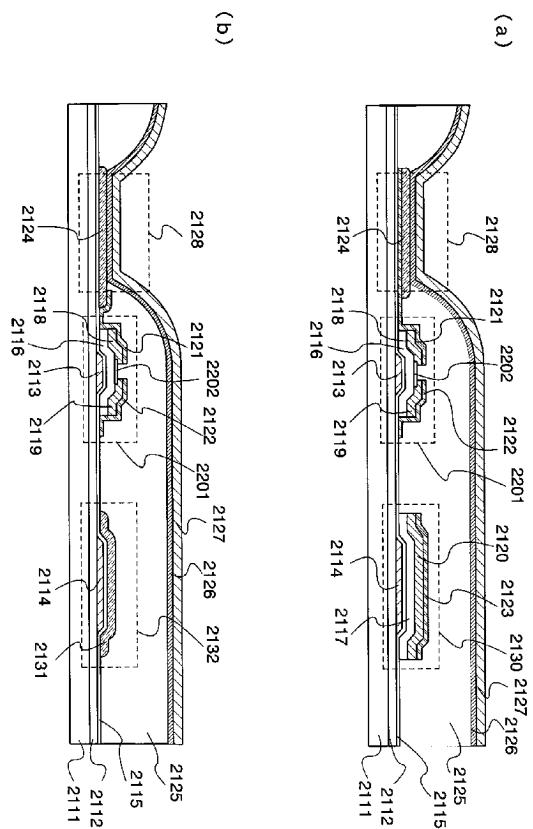
도면20



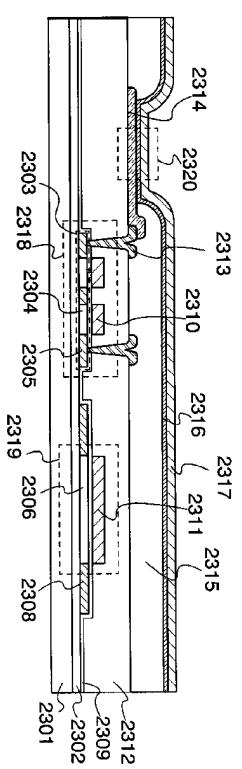
도면21



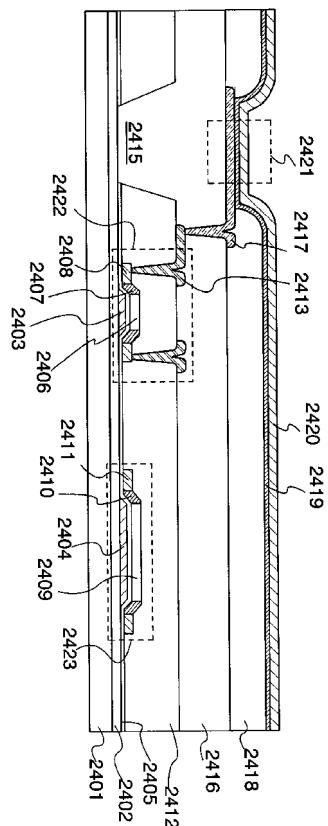
도면22



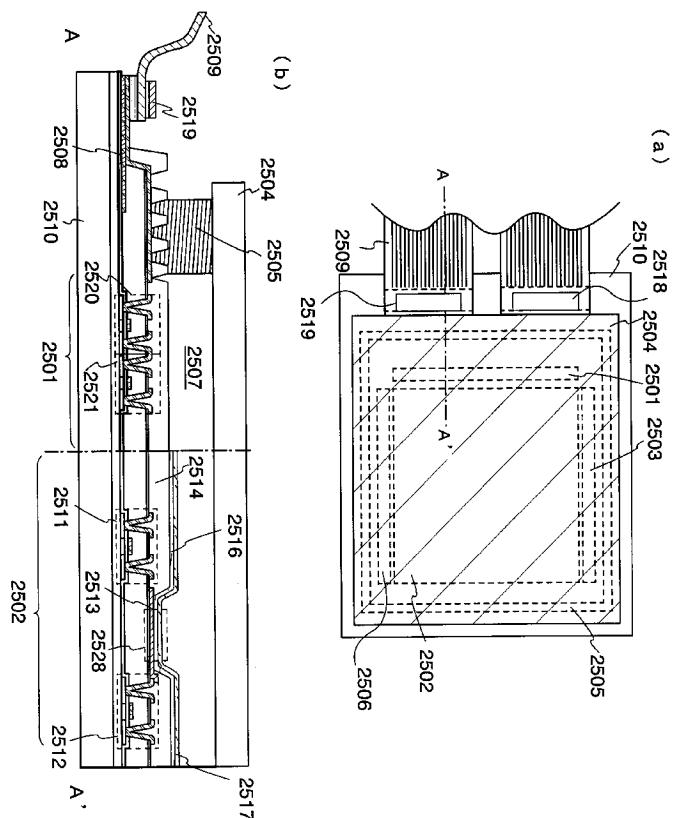
도면23



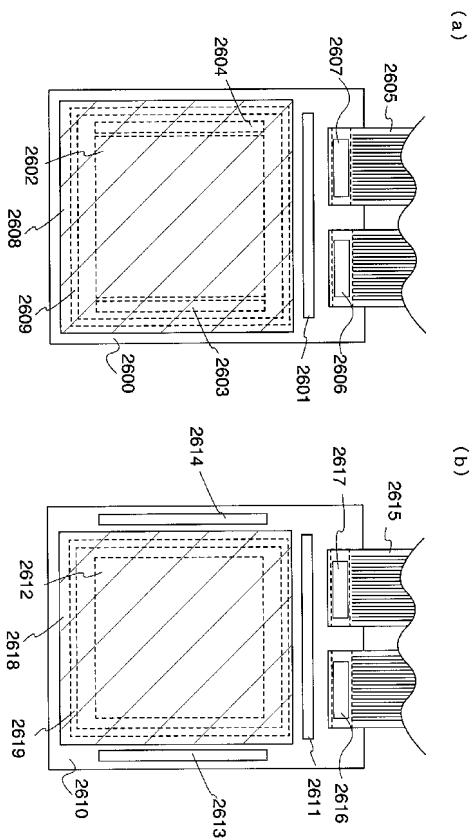
도면24



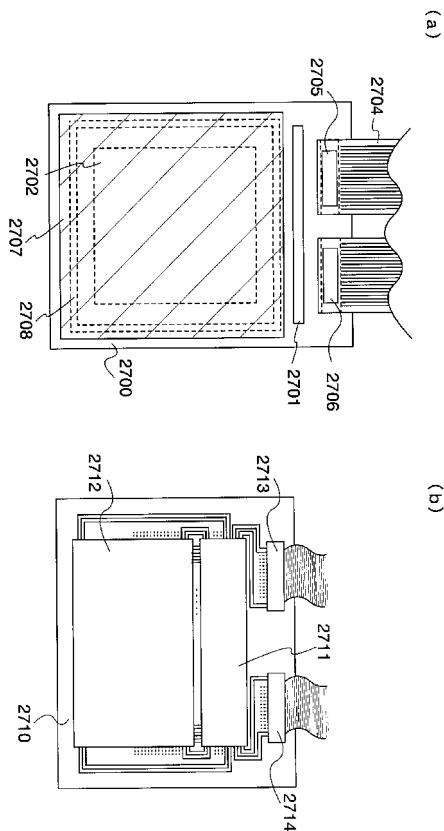
도면25



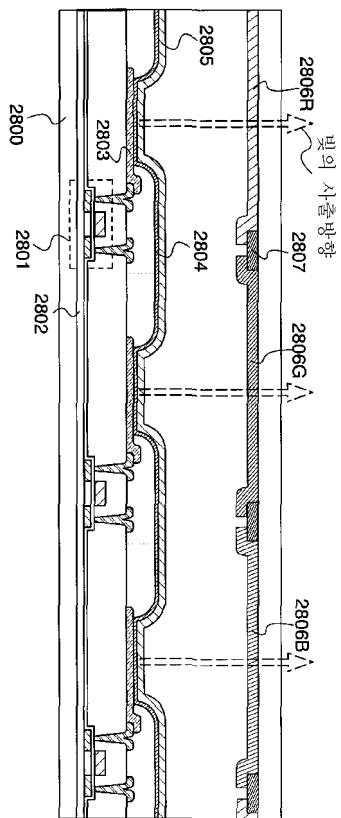
도면26



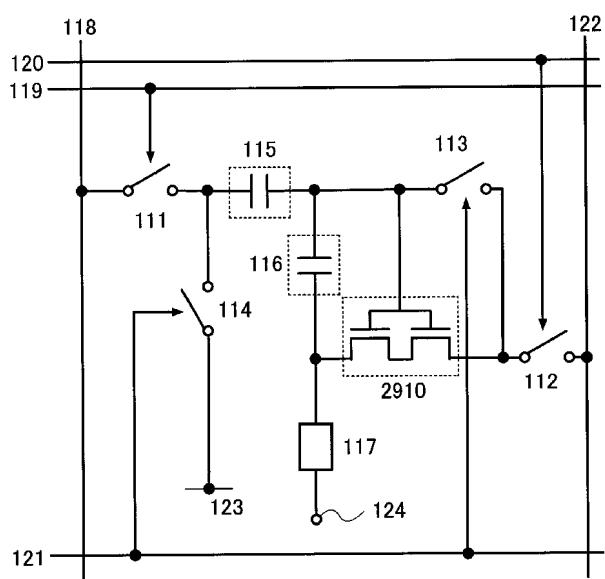
도면27



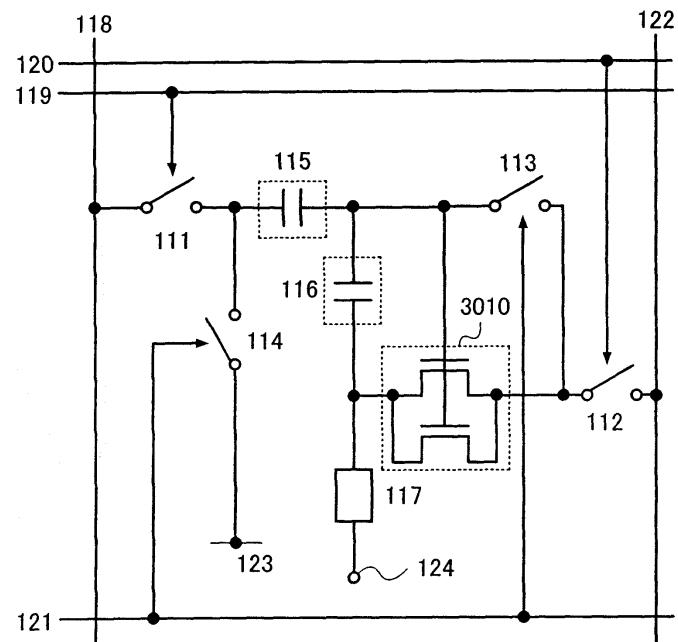
도면28



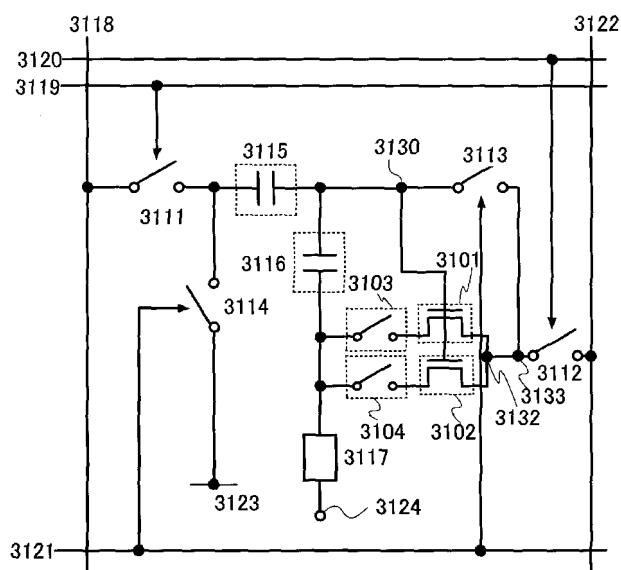
도면29



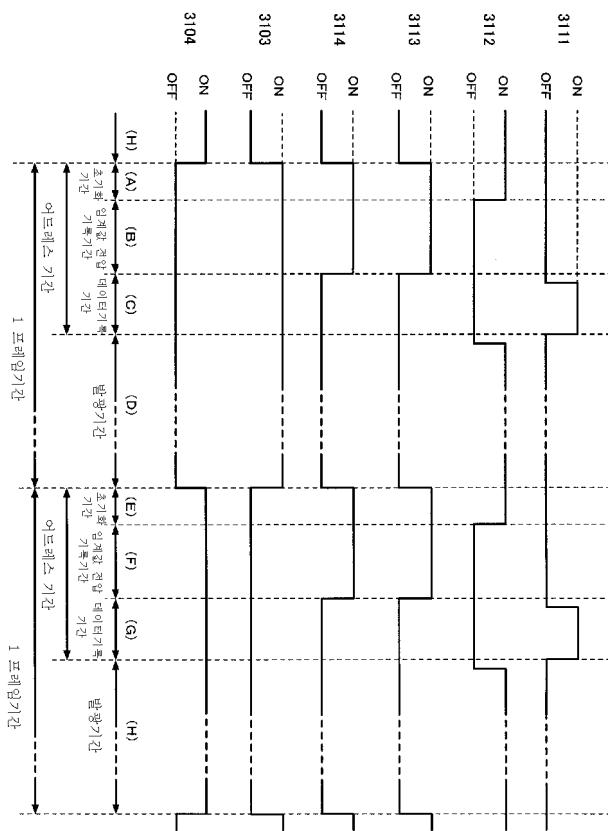
도면30



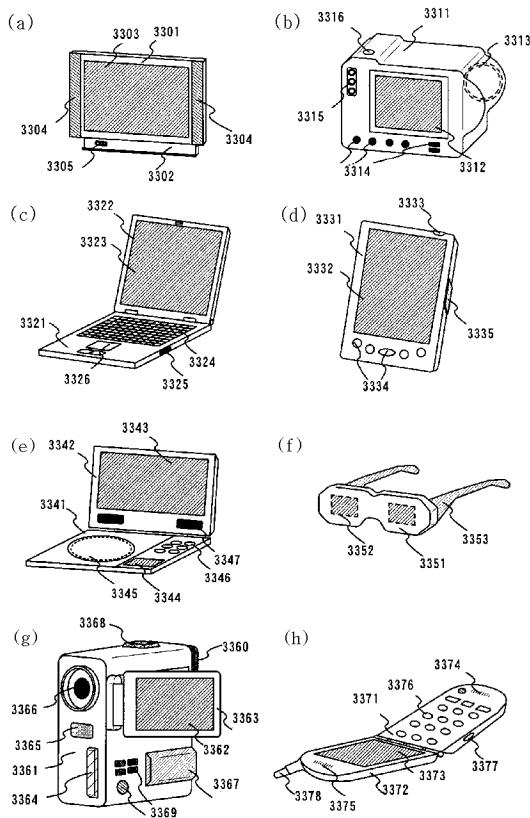
도면31



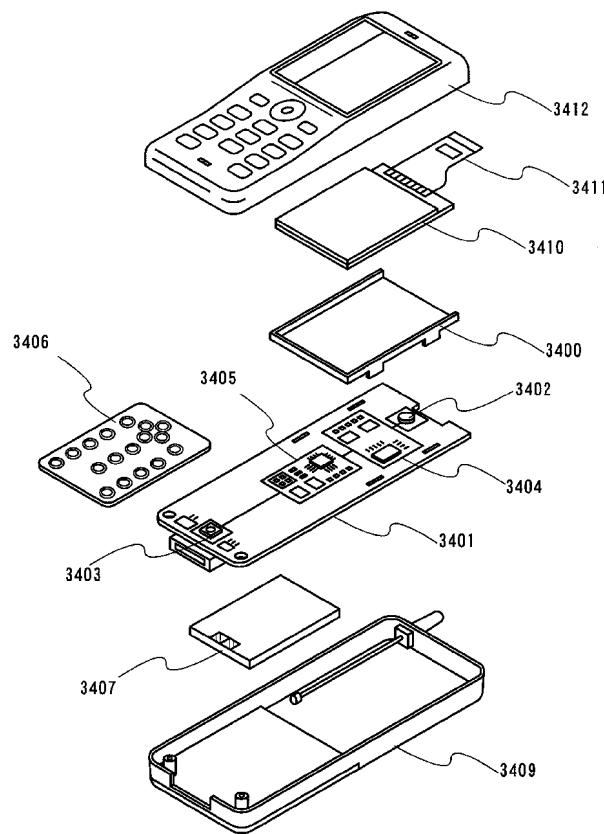
도면32



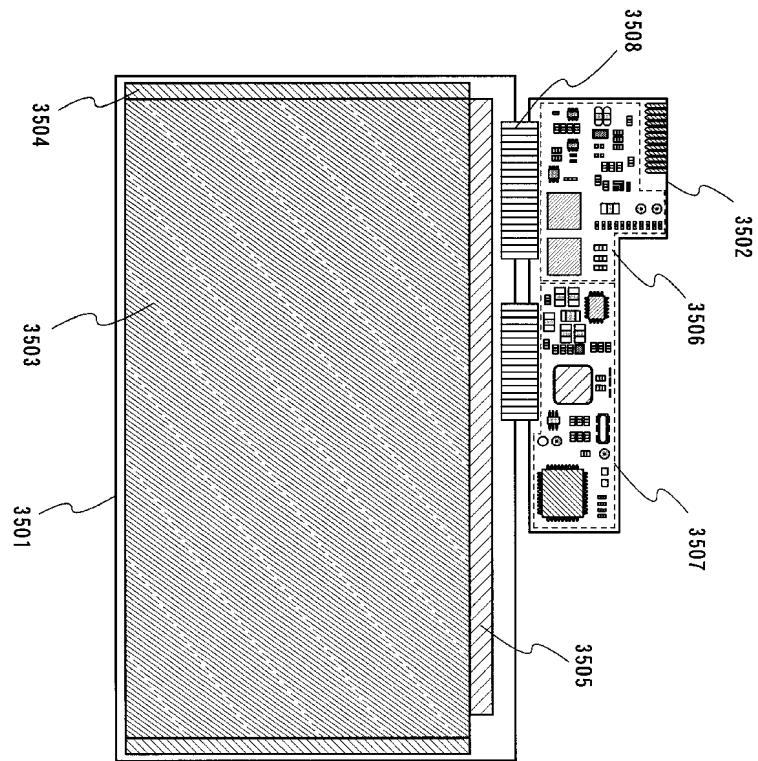
도면33



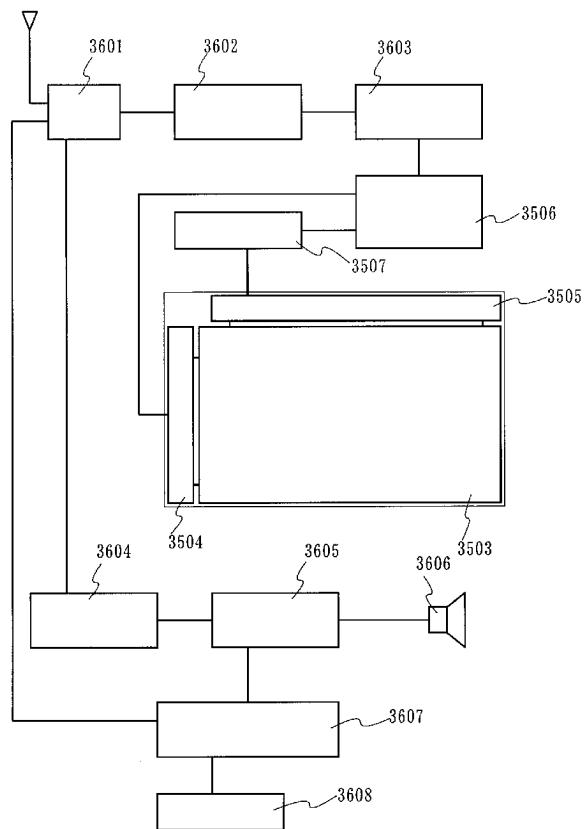
도면34



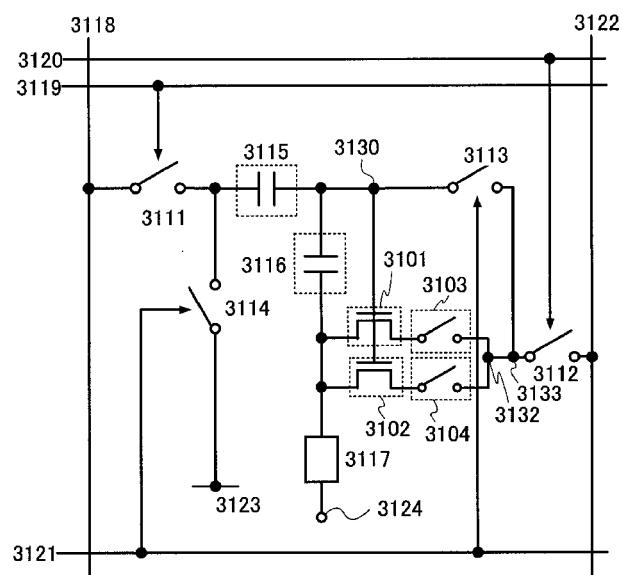
도면35



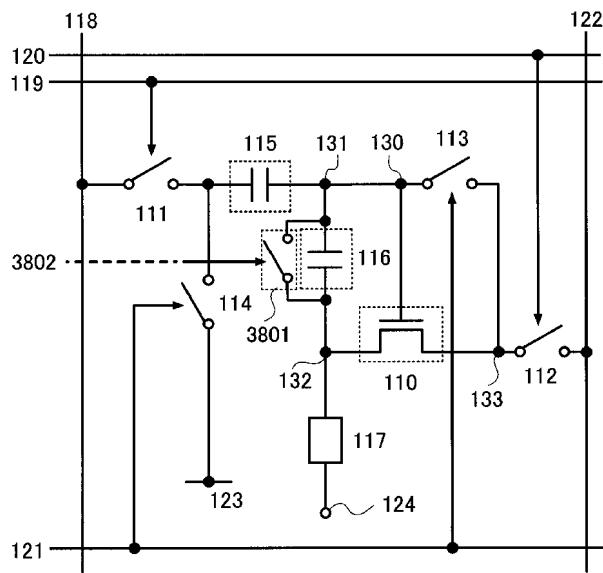
도면36



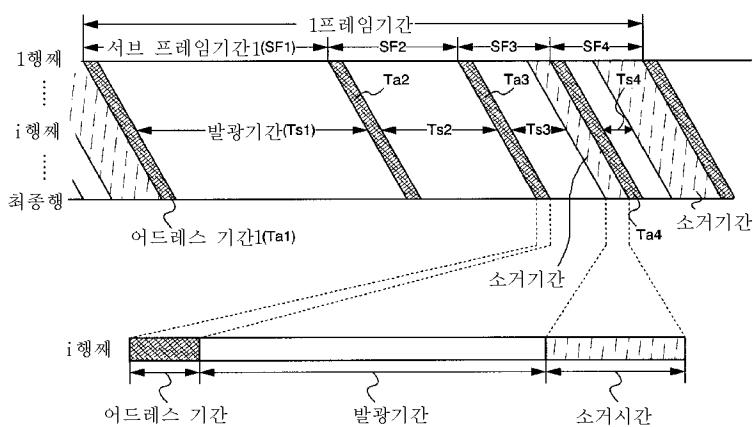
도면37



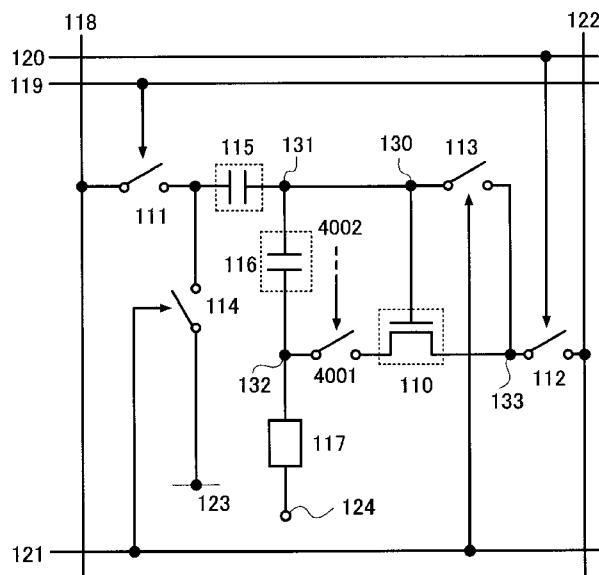
도면38



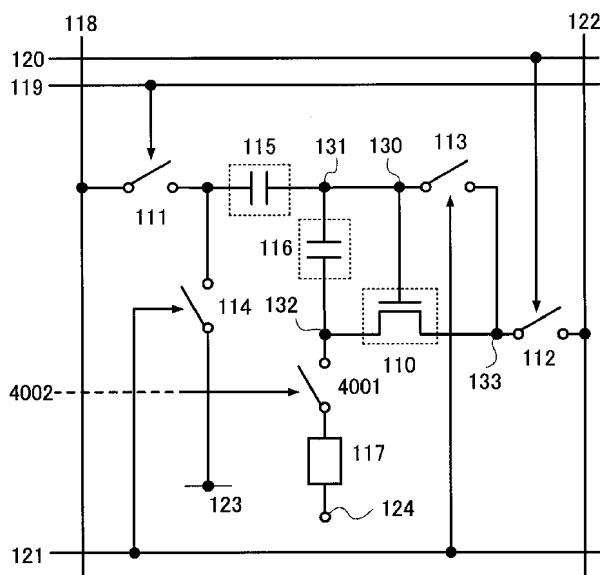
도면39



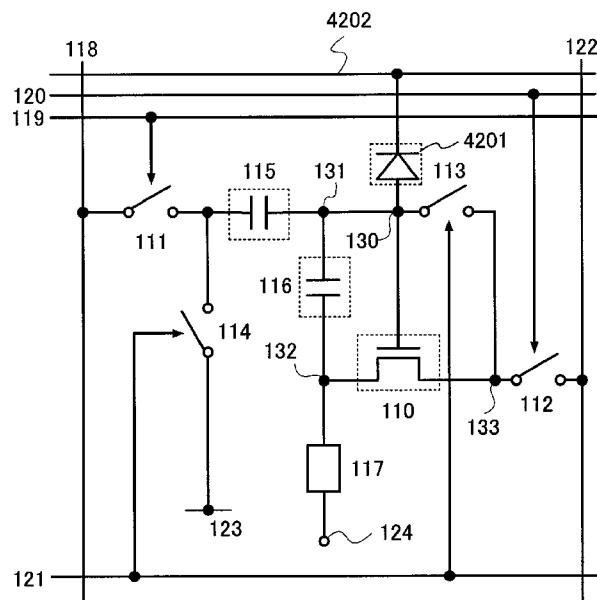
도면40



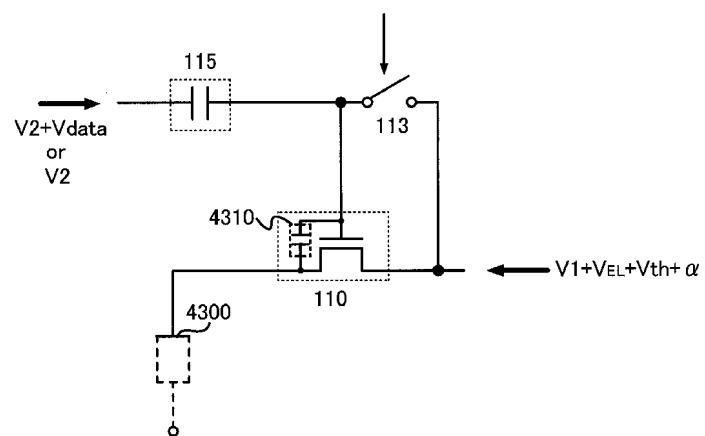
도면41



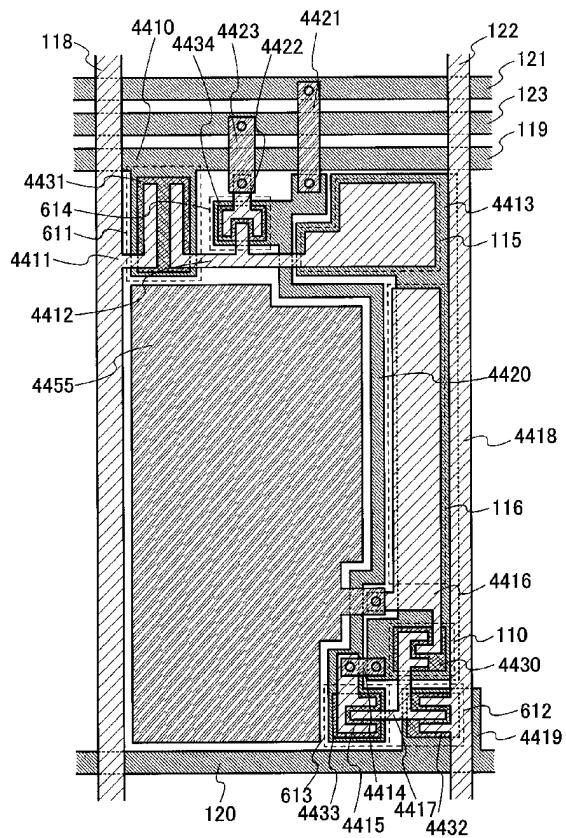
도면42



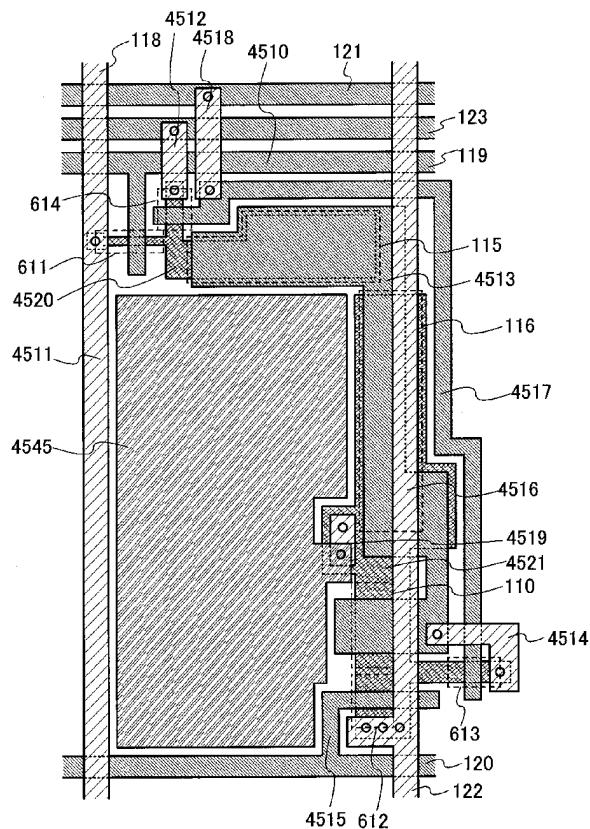
도면43



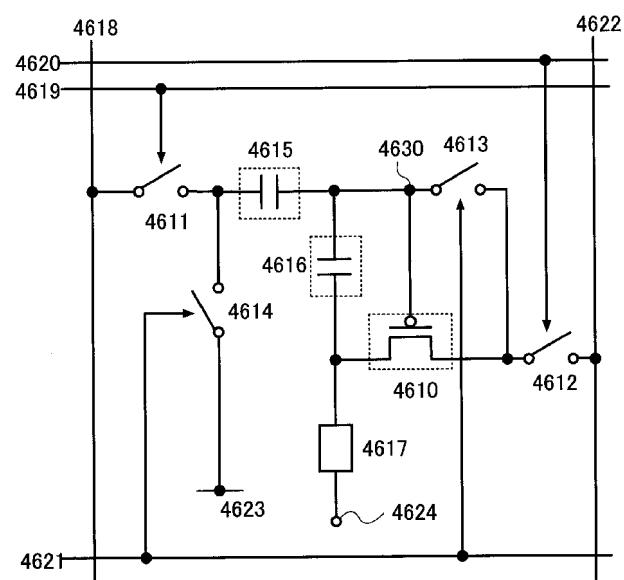
도면44



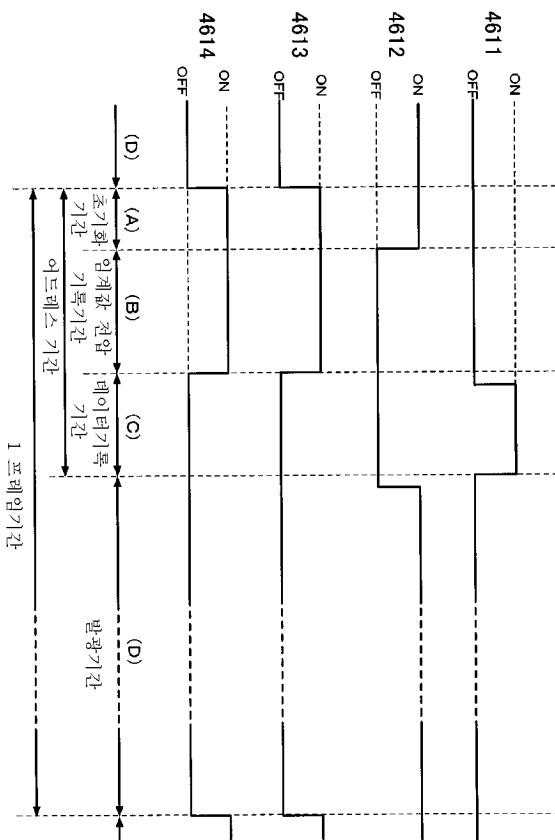
도면45



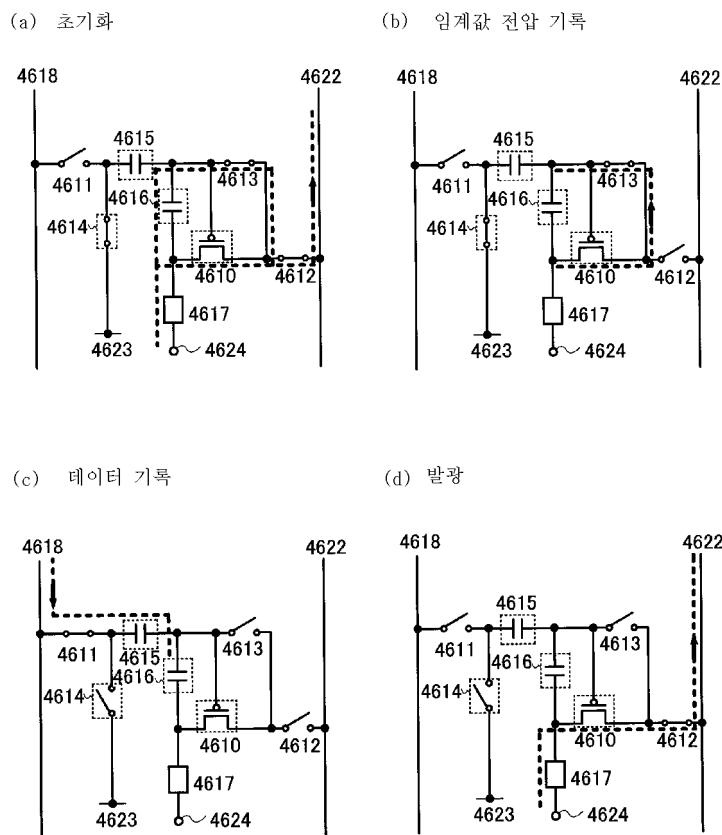
도면46



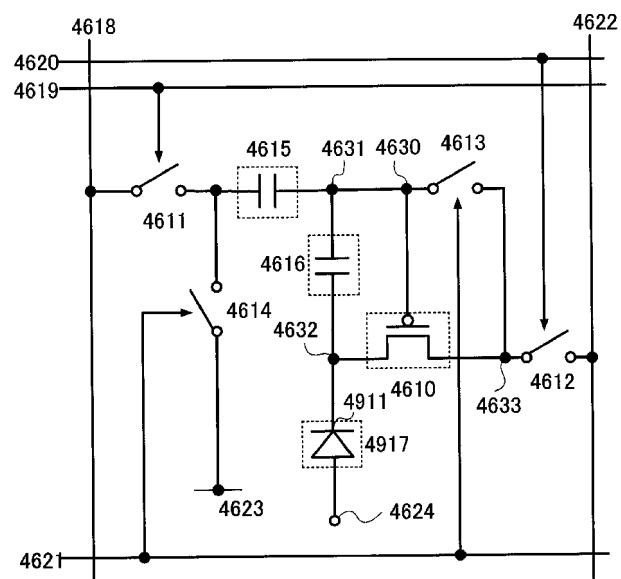
도면47



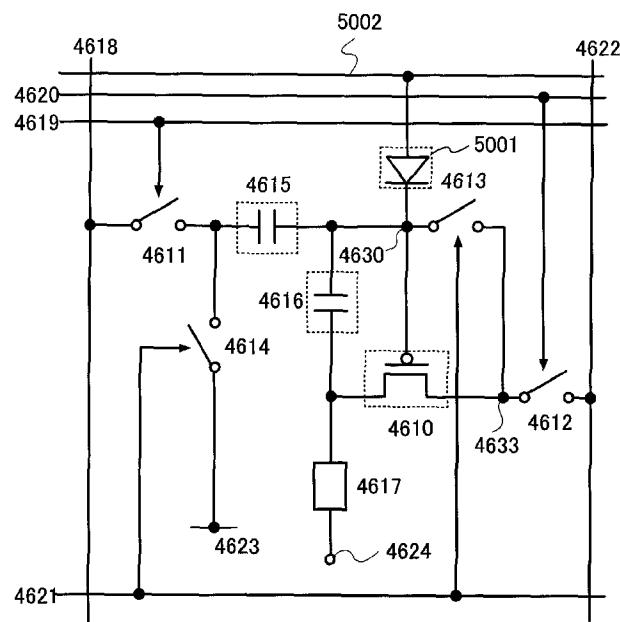
도면48



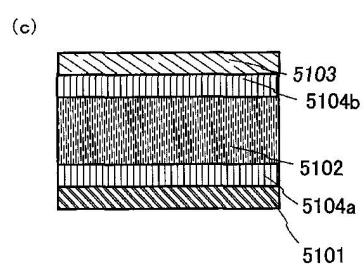
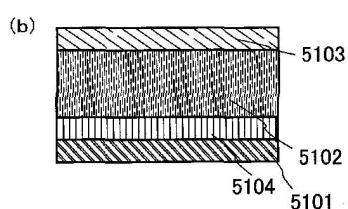
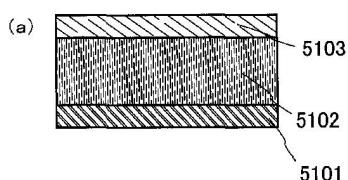
도면49



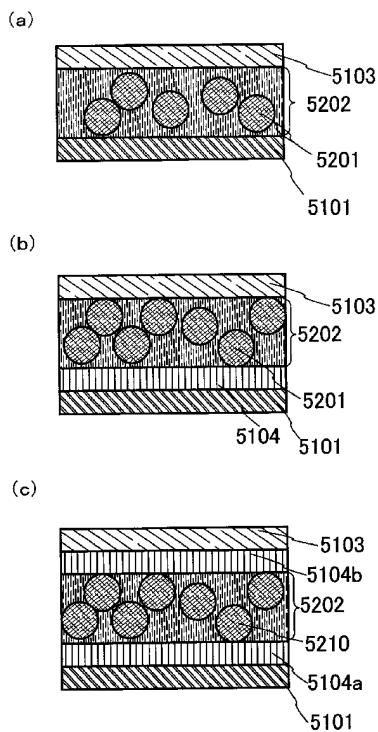
도면50



도면51

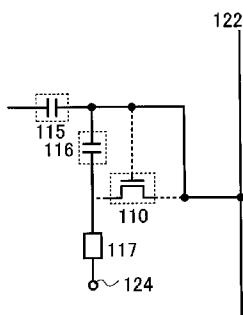


도면52

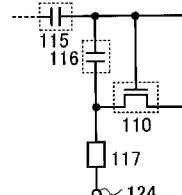


도면53

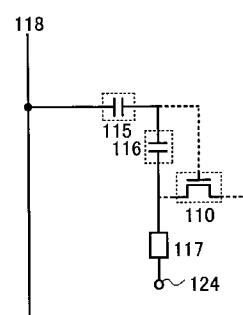
(a) 초기화



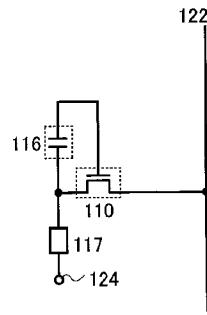
(b) 임계값 전압 기록



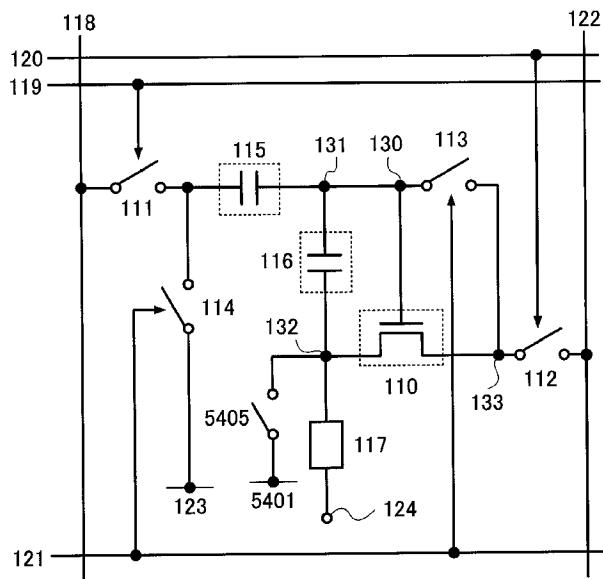
(c) 테이터 기록



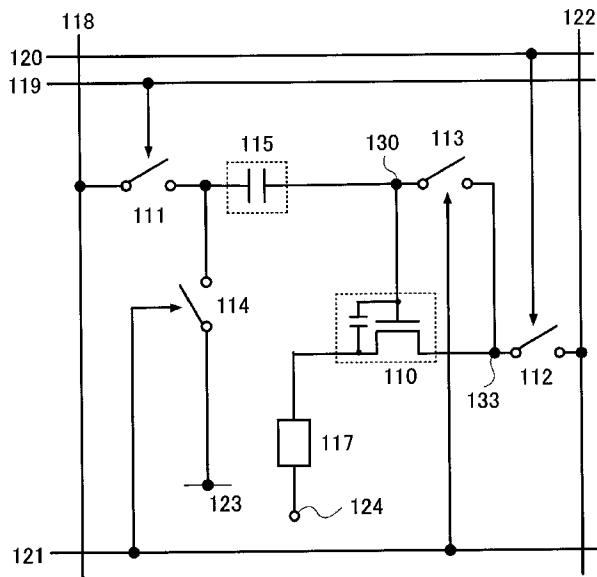
(d) 발광



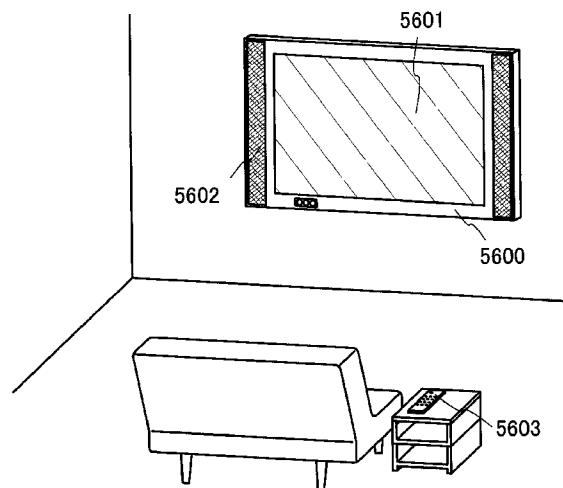
도면54



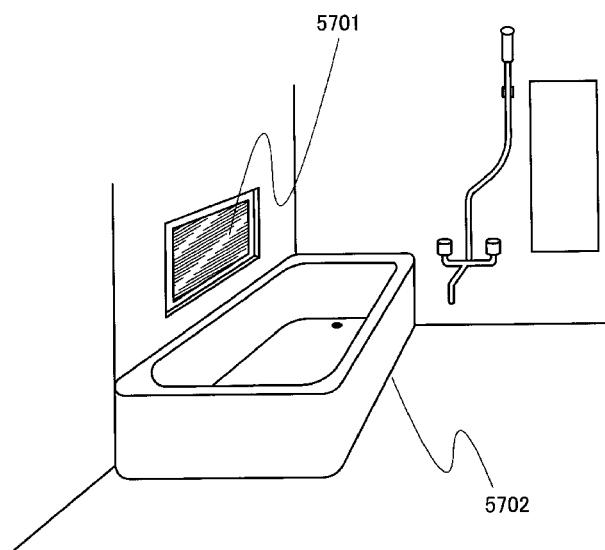
도면55



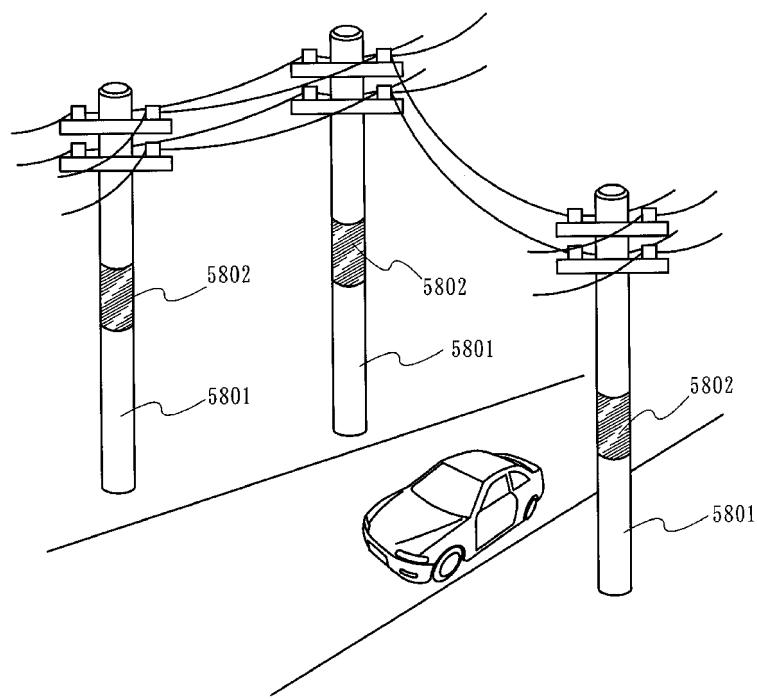
도면56



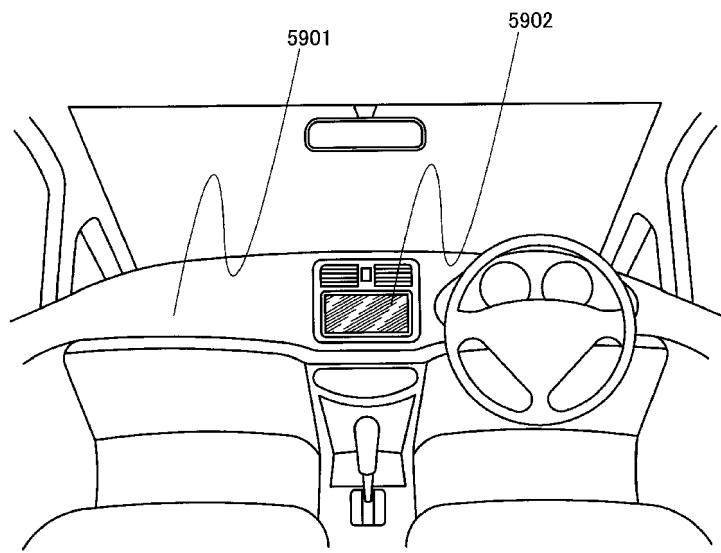
도면57



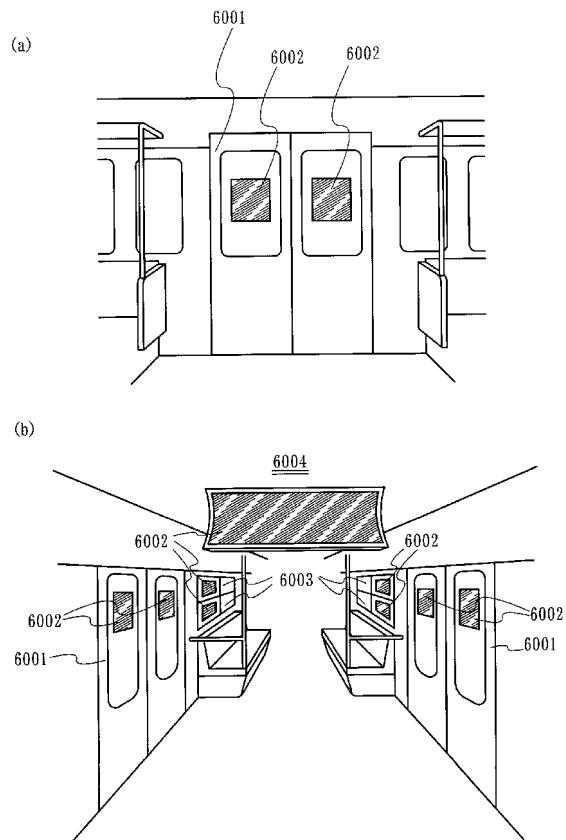
도면58



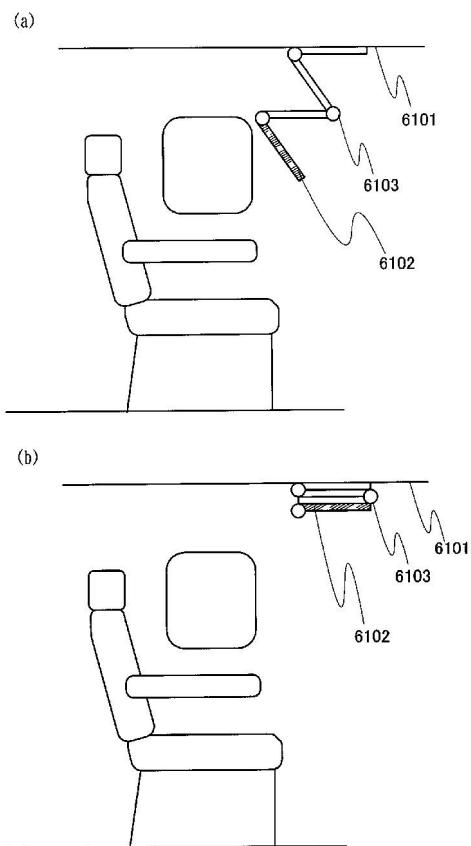
도면59



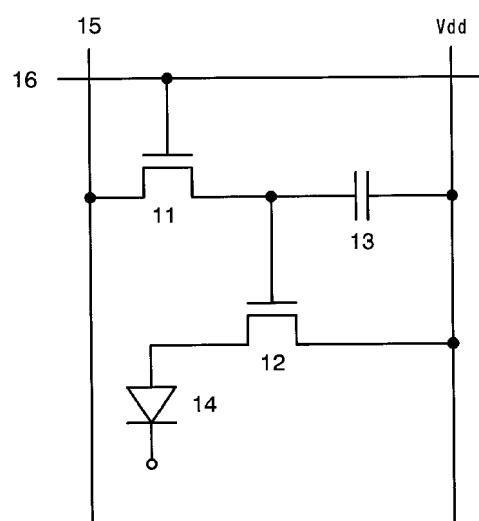
도면60



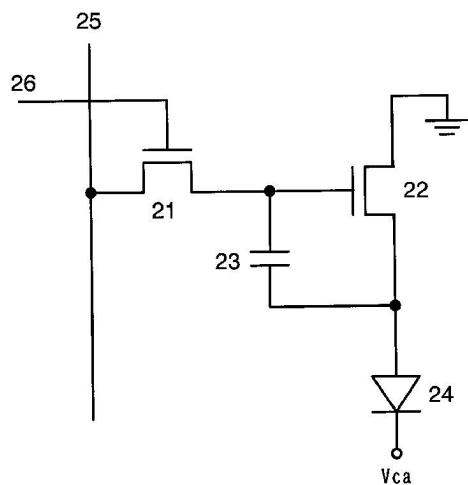
도면61



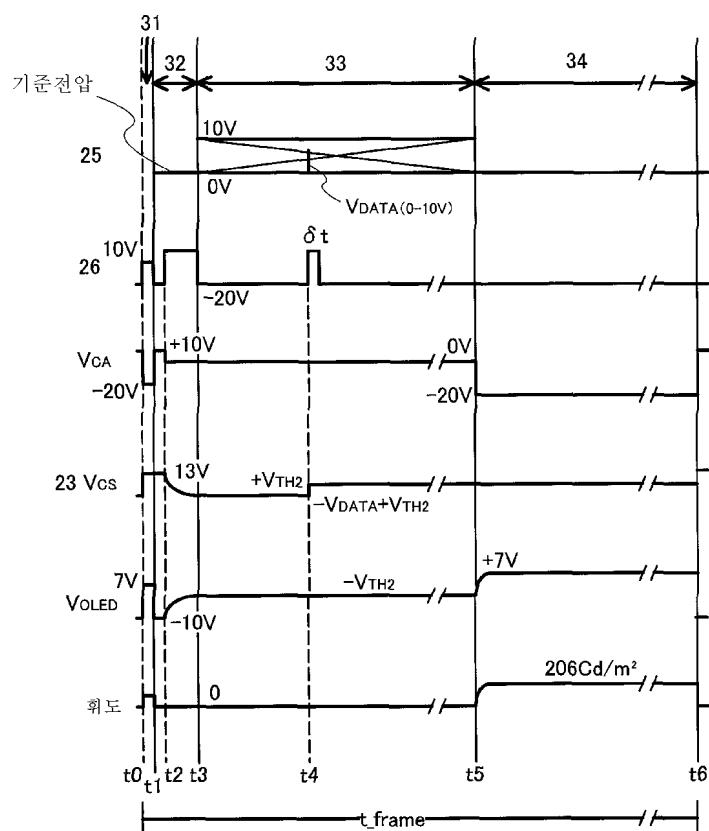
도면62



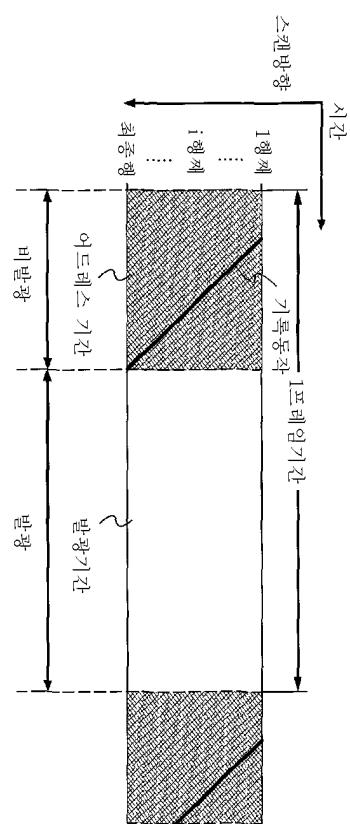
도면63



도면64



도면65



专利名称(译)	电子设备，显示设备，半导体设备和驱动方法		
公开(公告)号	KR1020080037538A	公开(公告)日	2008-04-30
申请号	KR1020070107021	申请日	2007-10-24
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KIMURA HAJIME 키무라하지메 YAMADA TOMOKO 야마다토모코		
发明人	키무라하지메 야마다토모코		
IPC分类号	H05B33/10		
CPC分类号	G09G2300/0439 H01L27/3244 G09G2330/021 G09G2300/0426 G09G2320/045 G09G2300/0852 G09G2300/0861 G09G2300/0465 G09G2320/043 G09G2310/0262 G09G2310/0251 G09G3/3233 G09G2300/0819 G09G3/2022 G09G2320/0233 H01L27/1225		
代理人(译)	LEE HWA我		
优先权	2006291147 2006-10-26 JP		
其他公开文献	KR101389035B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体存储器件，包括用于控制提供给负载的电流值的晶体管，包括第一保持电容器，第二保持电容器和第一开关至第四开关的像素，然后将对应于视频信号的电位提供给像素。以这种方式，通过将第一保持电容器和对应于视频信号的电势中划分的电势加到阈值电压而获得的电压保持到第二保持电容器，基于晶体管的阈值电压的偏差的电压。抑制了当前值的偏差。因此，可以将期望的电流提供给包括发光元件的负载。此外，根据视频信号，可以提供与指定亮度的差异小的显示装置。

