



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/26 (2006.01)  
G09G 3/30 (2006.01)  
G09G 3/32 (2006.01)  
G09G 3/20 (2006.01)

(11) 공개번호 10-2007-0042878  
(43) 공개일자 2007년04월24일

(21) 출원번호 10-2006-0101244  
(22) 출원일자 2006년10월18일  
    심사청구일자 2006년10월18일

(30) 우선권주장 JP-P-2005-00304911 2005년10월19일 일본(JP)

(71) 출원인 산요덴키가부시킴이샤  
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 마쯔모토 쇼이찌로  
일본 기후켄 오가끼시 미도리쵸 4-5 레일시티 507호실  
긴파라 야스노리  
일본 오사카후 히라카타시 나카미야야마쵸쵸 19-50 에포카106호실

(74) 대리인 장수길  
구영창  
이중희

전체 청구항 수 : 총 14 항

(54) 표시 장치

(57) 요약

용량 세트 라인을 화소의 상단부에 배치하고, 발광 세트 라인을 화소의 하단부에 배치하고, 게이트 라인을 양자의 한가운데에 배치한다. 게이트 라인과 용량 세트 라인의 사이에는, 선택 트랜지스터, 전위 제어 트랜지스터 및 용량을 배치하고, 게이트 라인과 발광 세트 라인의 사이에는 단락 트랜지스터, 구동 트랜지스터 및 구동 제어 트랜지스터를 배치한다. 이러한 배치에 의해, 배선의 주회 및 콘택트의 효율적인 배치를 할 수 있어, 개구율을 비교적 높게 할 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

화소를 매트릭스 형상으로 배치한 표시 장치로서,

각 화소는,

게이트 라인으로부터의 선택 신호에 의해 온 오프되어, 데이터 라인으로부터의 데이터 신호의 받아들임을 제어하는 선택 트랜지스터와,

상기 선택 트랜지스터를 통해 받아들인 데이터 신호에 따른 전류를 흘리는 구동 트랜지스터와,

상기 구동 트랜지스터에 흐르는 전류에 따라 발광하는 발광 소자

를 포함하고,

상기 게이트 라인은, 각 화소 행을 따라 행 방향으로 배치되고,

상기 구동 트랜지스터의 동작을 제어하기 위해, 게이트 라인 외에 2개의 제어 라인이 각 화소 행을 따라 배치되고,

상기 2개의 제어 라인의 사이에 게이트 라인을 배치하는 표시 장치.

## 청구항 2.

제1항에 있어서,

상기 선택 트랜지스터의 제어단은 상기 게이트 라인에 접속되고, 일단은 상기 데이터 라인에 접속되고, 타단은 용량을 통해, 상기 구동 트랜지스터의 제어단에 접속되어 있는 표시 장치.

## 청구항 3.

제2항에 있어서,

상기 선택 트랜지스터의 타단과 상기 용량과의 접속부와, 전원 라인과의 사이에 전위 제어 트랜지스터가 설치되고, 그 전위 제어 트랜지스터의 제어단은, 상기 2개의 제어 라인 중의 1개의 제어 라인인 용량 세트 라인이 접속되어 있는 표시 장치.

## 청구항 4.

제3항에 있어서,

상기 구동 트랜지스터는, 일단이 상기 전원 라인에 접속되고, 타단이 상기 구동 제어 트랜지스터를 통해 상기 발광 소자에 접속되어 있고, 상기 구동 제어 트랜지스터의 제어단에는, 상기 2개의 제어 라인 중의 1개의 제어 라인인 발광 세트 라인이 접속되어 있는 표시 장치.

## 청구항 5.

제4항에 있어서,

상기 구동 트랜지스터의 타단과, 상기 구동 제어 트랜지스터의 접속부와, 상기 구동 트랜지스터의 제어단과의 사이에는 단락 트랜지스터가 설치되어 있고, 상기 단락 트랜지스터의 제어단은 상기 게이트 라인에 접속되고, 상기 선택 트랜지스터와 상기 단락 트랜지스터는 동일한 타이밍에서 온 오프하는 표시 장치.

## 청구항 6.

제5항에 있어서,

상기 용량 세트 라인이 비액티브 레벨로 되어 상기 전위 제어 트랜지스터가 오프되어 있는 상태에서, 상기 게이트 라인이 액티브 레벨로 되고, 상기 선택 트랜지스터 및 상기 단락 트랜지스터가 온 함으로써,

상기 용량의 일단에 데이터 신호에 따른 제1 전압을 공급하고, 타단에 상기 전원 라인의 전원전압으로부터 상기 구동 트랜지스터의 임계치 전압분만큼 내려간 제2 전압을 상기 용량의 타단 공급하여, 상기 용량에 상기 제1 전압과 상기 제2 전압의 차의 전압을 충전하는 표시 장치.

## 청구항 7.

제6항에 있어서,

상기 용량 세트 라인은, 상기 게이트 라인이 액티브 레벨로 되기 전에 비액티브 레벨로 되고, 상기 게이트 라인이 비액티브 레벨로 된 후에 액티브 레벨로 됨으로써, 상기 선택 트랜지스터와 상기 전위 제어 트랜지스터가 동시에 온 하는 것을 방지하는 표시 장치.

## 청구항 8.

제7항에 있어서,

상기 게이트 라인이 액티브 레벨로 된 후에, 상기 발광 세트 라인이 비액티브 레벨로 되고,

상기 게이트 라인이 비액티브 레벨로 되고 또한 상기 용량 세트 라인이 액티브로 된 후에, 상기 발광 세트 라인이 액티브 레벨로 되는 표시 장치.

## 청구항 9.

제1항에 있어서,

상기 구동 트랜지스터에 전류를 공급하는 전원 라인이 각 화소 열을 따라 배치되고,

상기 전원 라인과 전기적 접속을 취하기 위한 하나의 콘택트가, 게이트 라인과 1개의 제어 라인의 사이에 형성되고, 또 하나의 콘택트가, 게이트 라인과 다른 하나의 제어 라인의 사이에 형성되는 표시 장치.

## 청구항 10.

제5항에 있어서,

상기 선택 트랜지스터와, 상기 전위 제어 트랜지스터는, 상기 게이트 라인과 상기 용량 세트 라인의 사이에 배치되고,

상기 단락 트랜지스터와, 상기 구동 트랜지스터와, 상기 구동 제어 트랜지스터는, 상기 게이트 라인과 상기 발광 세트 라인의 사이에 배치되는 표시 장치.

### 청구항 11.

제10항에 있어서,

상기 용량은, 상기 전위 제어 트랜지스터는, 상기 게이트 라인과 상기 용량 세트 라인의 사이에 배치되는 표시 장치.

### 청구항 12.

제11항에 있어서,

상기 게이트 라인으로부터는, 한쪽에 상기 선택 트랜지스터의 게이트 전극이 돌출 형성되고, 다른 쪽에 상기 단락 트랜지스터의 게이트 전극이 돌출 형성되는 표시 장치.

### 청구항 13.

제12항에 있어서,

상기 단락 트랜지스터의 활성층을 형성하는 반도체 층은, 그대로 신장되어 상기 구동 제어 트랜지스터의 활성층에 접촉되어 있는 표시 장치.

### 청구항 14.

제13항에 있어서,

상기 구동 트랜지스터와 상기 구동 제어 트랜지스터는, 메탈 배선을 통해 접속되는 표시 장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 발광 소자를 포함하는 표시 장치, 특히 그 레이아웃에 관한 것이다.

발명이 이루고자 하는 기술적 과제

종래부터, 유기 EL 소자를 이용한 유기 EL 패널이 알려져 있고, 그 개발이 진행되고 있다. 이 유기 EL 패널에 있어서는, 유기 EL 소자를 매트릭스 형상으로 배치하고, 이 유기 EL 소자의 발광을 개별로 제어함으로써, 표시를 행한다. 특히, 액티브 매트릭스 타입의 유기 EL 패널에서는, 화소마다 표시 제어용의 TFT를 갖고, 이 TFT의 동작 제어에 의해 화소마다의 발광을 제어할 수 있기 때문에, 매우 고정밀도의 표시를 행할 수 있다.

도 12에, 액티브 매트릭스 타입의 유기 EL 패널에 있어서의 화소 회로의 일례를 나타낸다. 화소의 휘도를 나타내는 데이터 전압이 공급되는 데이터 라인(DL)은, 게이트가 게이트 라인(GL)에 접속된 n채널의 선택 TFT(10)를 통해, 구동 TFT(12)의 게이트에 접속되어 있다. 또한, 구동 TFT(12)의 게이트에는, 타단이 용량 라인(SC)에 접속된 축적 용량(14)의 일단이 접속되어, 구동 TFT(12)의 게이트 전압을 유지한다.

구동 TFT(12)의 소스는, EL전원 라인에 접속되고, 드레인은 유기 EL 소자(16)의 애노드에 접속되고, 유기 EL 소자(16)의 캐소드가 캐소드 전원에 접속되어 있다.

이러한 화소 회로가 매트릭스 형상으로 배치되어 있고, 소정의 타이밍에서, 수평 라인마다 설치된 게이트 라인이 H로 되어, 그 행의 선택 TFT(10)가 온 상태로 된다. 이 상태에서, 데이터 라인에는, 순차적으로 데이터 전압이 공급되기 때문에, 그 데이터 전압은 축적 용량(14)에 공급 유지되어, 게이트 라인이 L로 되어도 그때의 전압을 유지한다.

그리고, 이 축적 용량(14)에 보유된 전압에 따라서, 구동 TFT(12)가 동작해서 대응하는 구동 전류가 EL전원으로부터의 유기 EL 소자(16)를 통해, 캐소드 전원에 흐르고, 유기 EL 소자(16)가 데이터 전압에 따라 발광한다.

그리고, 게이트 라인을 순차 H로 하여, 입력되어 오는 비디오 신호를 대응하는 화소에 데이터 전압으로서 순차 공급함으로써, 매트릭스 형상으로 배치된, 유기 EL 소자(16)가 데이터 전압에 따라 발광하여, 비디오 신호에 따른 표시가 행해진다.

여기서, 이러한 화소 회로에 있어서, 매트릭스 형상으로 배치된 화소 회로의 구동 TFT의 임계치 전압이 변동되면, 휘도가 불규칙해져서, 표시 품질이 저하한다고 하는 문제가 있다. 그리고, 표시 패널 전체의 화소 회로를 구성하는 TFT에 대해서, 그 특성을 동일하게 하는 것은 어려워, 그 온 오프의 임계값이 불규칙한 것을 방지하는 것은 어렵다.

그래서, TFT의 임계값의 변동에의 영향을 방지하기 위한 회로에 대해서, 예를 들면, 특허문헌 1, 및 특허문헌 2 등의 제안이 있다.

그러나, 이들 제안에서는, 각 화소 회로의 제어를 위한 제어선이 2 이상 필요하게 된다. 즉, 전술한 도 5의 회로에서는, 수직 방향으로 신장되는 데이터 라인, 전원 라인의 다른 제어 라인으로서 게이트 라인만으로 되지만, 특허 문헌 1, 2에서는, 게이트 라인 외에, 적어도 2개의 제어 라인을 필요로 한다.

따라서, 이 제어 라인뿐만 아니라, 이 제어 라인과 트랜지스터의 접속 라인 등이 증가하여, 개구율이 감소해 버린다고 하는 문제가 있다.

따라서, 배선 등을 효율적으로 배치해서 개구율을 비교적 높게 유지하는 것이 요망된다.

## 발명의 구성

본 발명에서는, 게이트 라인에 평행하게 배치되는 게이트 라인 이외의 2개의 제어 라인을 게이트 라인을 끼워서 배치한다. 이것에 의해, 배선을 효율적으로 배치할 수 있어, 개구율을 비교적 크게 할 수 있다. 전원 라인과의 콘택트를 화소 전극의 존재하지 않는 게이트 라인과 제어 라인 사이의 공간에 적어도 1개 배치하는 것이 매우 바람직하다.

### <실시 형태의 상세한 설명>

이하, 본 발명의 실시형태에 대해서, 도면에 기초하여 설명한다.

도 1은, 실시 형태에 따른 화소 회로의 구성을 나타내고 있다. 데이터 라인(DL)은, 수직 방향으로 신장되고, 화소의 표시 휘도에 관한 데이터 신호(데이터 전압(Vsig))을 화소 회로에 공급한다. 데이터 라인(DL)은, 1열의 화소에 대해서 1개 설치되어 있고, 수직 방향의 화소에 대해서, 그 화소의 데이터 전압(Vsig)을 순차 공급한다.

이 데이터 라인(DL)에는, n채널의 선택 트랜지스터(T1)의 드레인이 접속되어있고, 이 선택 트랜지스터(T1)의 소스는, 용량(Cs)의 일단에 접속되어 있다. 선택 트랜지스터(T1)의 게이트는, 수평 방향으로 신장되는 게이트 라인(GL)에 접속되어 있다.

또한 1행의 화소에 대해서 용량 세트 라인(CS)이 설치되고, 이 용량 세트 라인(CS)에는, p채널의 전위 제어 트랜지스터(T2)의 게이트가 접속되어 있다. 이 용량 세트 라인(CS)은, 게이트 라인(GL)이 H레벨로 되기 조금 전에 L레벨로 되고, 게이트 라인(GL)이 L레벨로 되돌아간 후에 H레벨로 되돌아간다. 따라서, 기본적으로는, 선택 트랜지스터(T1)가 온일 때에 전위 제어 트랜지스터(T2)가 오프, 선택 트랜지스터(T1)가 오프일 때에 전위 제어 트랜지스터(T2)가 온으로 된다. 전위 제어 트랜지스터(T2)의 소스는 전원 라인(PVdd)에 접속되고, 드레인은 용량(Cs)과 선택 트랜지스터(T1)의 소스에 접속되어 있다. 또한, 전원 라인(PVdd)도 수직 방향으로 신장되어 있고, 수직 방향의 각 화소에 전원전압(PVdd)을 공급한다.

용량(Cs)의 타단은, p채널의 구동 트랜지스터(T4)의 게이트에 접속되어 있다. 구동 트랜지스터(T4)의 소스는 전원 라인(PVdd)에 접속되고, 드레인은 n채널의 구동 제어 트랜지스터(T5)의 드레인에 접속되어 있다. 구동 제어 트랜지스터(T5)의 소스는, 유기 EL 소자(EL)의 애노드에 접속되어 있고, 게이트는, 수평 방향으로 신장되는 발광 세트 라인(ES)에 접속되어 있다. 또한 유기 EL 소자(EL)의 캐소드는, 저전압의 캐소드 전원(CV)에 접속되어 있다.

또한, 구동 트랜지스터(T4)의 게이트에는, n채널의 단락 트랜지스터(T3)의 드레인이 접속되어 있고, 이 단락 트랜지스터(T3)의 소스는, 구동 트랜지스터(T4)의 드레인에, 또 게이트는 게이트 라인(GL)에 접속되어 있다.

이와 같이, 본 실시 형태에서는 수직 방향으로 데이터 라인(DL)과, 전원 라인(PVdd)의 2개의 라인이 배치되고, 수평 방향으로 게이트 라인(GL) 외에, 용량 세트 라인(CS)과 발광 세트 라인(ES)의 2개의 제어 라인이 배치되어 있다.

다음으로, 이 화소 회로의 동작에 대해서, 설명한다.

도 2에 도시한 바와 같이, 이 화소 회로는, 게이트 라인(GL), 용량 세트 라인(CS), 발광 세트 라인(ES)의 상태(H레벨, L레벨)에 따라서, (i) 디스차지(GL=H레벨, CS=L레벨, ES=H레벨), (ii) 리셋(GL=H레벨, CS=L레벨, ES=L레벨), (iii) 전위 고정(GL=L레벨, CS=H레벨, ES=L레벨), (iv) 발광(GL=L레벨, CS=H레벨, ES=H레벨)의 4개의 상태가 있고, 이것을 반복한다. 즉, 데이터 라인(DL)의 데이터를 유효로 한 상태에서, (i) 디스차지를 행하고, 그 후 (ii) 리셋에 의해, 용량(Cs)의 충전 전압을 결정하고, (iii)에 있어서 게이트 전압(Vg)을 고정하고, (v) 고정된 게이트 전압에 따른 구동 전류로 유기 EL 소자(EL)가 발광한다. 또한, 용량 세트 라인(CS)은, 전술된 바와 같이 게이트 라인(GL)이 H레벨일 때에 L레벨, 게이트 라인(GL)이 L레벨일 때에 H레벨이지만, 게이트 라인(GL)이 H레벨로 되기 전에 L레벨로 되고, 게이트 라인(GL)의 L레벨로 되돌아가고 나서 H레벨로 됨으로써, 선택 트랜지스터(T1)와, 전위 제어 트랜지스터(T2)가 동시에 온하는 것을 방지하고 있다.

또한 데이터 라인(DL)에 있어서의 데이터는, 도면에 나타난 바와 같이, (i) 디스차지 공정 전에 유효로 되고, (iii) 고정 공정 후에 무효로 된다. 따라서, (i) 디스차지 공정으로부터 (iii) 고정 공정까지는 데이터 라인에 유효한 데이터가 세트되어 있다

이하, 각각의 상태에 대해서, 설명한다. 또한, 도 3 내지 6에 있어서 오프의 트랜지스터에 대해서는, 파선으로 나타내고 있다.

(i) 디스차지(GL=H레벨, CS=L레벨, ES=H레벨)

우선, 데이터 라인(DL)에 데이터 전압(Vsig)이 공급되어 있는 상태에서, 게이트 라인(GL), 발광 세트 라인(ES)의 양방을 H레벨(고레벨), 용량 세트 라인(CS)을 L레벨로 한다. 이것에 의해, 선택 트랜지스터(T1), 구동 제어 트랜지스터(T5), 단락 트랜지스터(T3)가 온, 전위 제어 트랜지스터(T2)가 오프로 된다. 따라서, 도 3에 나타내는 바와 같이, 용량(Cs)의 선택 트랜지스터(T1)측의 전압  $V_n = V_{sig}$ 라고 하는 상태에서, 전원 라인(PVdd)으로부터의 전류가 구동 트랜지스터(T4), 구동 제어 트랜지스터(T5), 유기 EL 소자(EL)를 통해 캐소드 전원(CV)에 흐르고, 이것에 의해 구동 트랜지스터(T4)의 게이트에 보유되어 있던 전하가 뽑아내어진다. 이것에 의해, 구동 트랜지스터(T4)의 게이트 전압(Vg)은, 소정의 저전압으로 된다.

(ii) 리셋(GL=H레벨, CS=L레벨, ES=L레벨)

전술한 디스차지의 상태에서부터 발광 세트 라인(ES)을 L레벨(로우 레벨)로 변경한다. 이것에 의해, 도 4에 도시한 바와 같이 구동 제어 트랜지스터(T5)가 오프로 되고, 구동 트랜지스터(T4)의 게이트 전압  $V_g = V_{g0} = PV_{dd} - |V_{tp}|$ 로 리셋된다. 여기서, 이  $V_{tp}$ 는, 구동 트랜지스터(T4)의 임계치 전압이다. 즉, 구동 트랜지스터(T4)는 소스가 전원(PVdd)에 접속되어 있는 상태에서, 단락 트랜지스터(T3)에 의해, 게이트 드레인 사이가 단락되어 있기 때문에, 그 게이트 전압이, 전원(PVdd)보다 구동 트랜지스터(T4)의 임계치 전압  $|V_{tp}|$  만큼 낮은 전압으로 세트되어 오프된다. 이때 용량(Cs)의 선택 트랜지스터(T1)측의 전위  $V_n = V_{sig}$ 이며, 용량(Cs)에는  $|V_{sig} - (PV_{dd} - |V_{tp}|)|$ 의 전압이 충전된다.

(iii) 전위 고정(GL=L레벨, CS=H레벨, ES=L레벨)

다음으로, 게이트 라인(GL)을 L레벨로 하여, 선택 트랜지스터(T1), 단락 트랜지스터(T3)를 오프하고, 그 후 용량 세트 라인(CS)을 H레벨로 하여 전위 제어 트랜지스터(T2)를 온한다. 이것에 의해, 도 5에 도시한 바와 같이 구동 트랜지스터(T4)의 게이트는, 드레인으로부터 분리된다. 그리고, 전위 제어 트랜지스터(T2)가 온함으로써,  $V_n = PV_{dd}$ 로 된다. 따라서, 구동 트랜지스터(T4)의 게이트 전위( $V_g$ )는,  $V_n$ 의 변화에 따라 시프트한다. 또한, 구동 트랜지스터(T4)의 게이트와 소스의 사이에는, 기생 용량( $C_p$ )이 존재하기 때문에, 게이트 전위( $V_g$ )는 이  $C_p$ 의 영향을 받는다.

(iv) 발광(GL=L레벨, CS=H레벨, ES=H레벨)

다음으로, 발광 세트 라인(ES)을 H레벨로 함으로써, 도 6에 도시한 바와 같이, 구동 제어 트랜지스터(T5)가 온하고, 이것에 의해 구동 트랜지스터(T4)로부터의 구동 전류가 유기 EL 소자(EL)에 흐른다. 이때의 구동 전류는, 구동 트랜지스터(T4)의 게이트 전압에 의해 결정되는, 구동 트랜지스터(T4)의 드레인 전류로 되지만, 이 드레인 전류는 구동 트랜지스터(T4)의 임계치 전압( $V_{tp}$ )과는, 관계없는 것으로 되어, 임계치 전압의 변동에 수반하는 발광량의 변동을 억제할 수 있다.

이것에 대해서 도 7에 기초하여 설명한다.

전술된 바와 같이, (ii) 리셋 후에는, 도면에 있어서, ○로 표시한 바와 같이,  $V_n (=V_{sig})$ 은,  $V_{sig(max)}$  내지  $V_{sig(min)}$ 의 사이의 값이며,  $V_g$ 는  $PV_{dd}$ 로부터 구동 트랜지스터(T4)의 임계치 전압( $V_{tp}$ )만큼 뺀 전압( $V_{g0}$ )으로 된다. 즉,  $V_g = V_{g0} = PV_{dd} + V_{tp}$  ( $V_{tp} < 0$ ),  $V_n = V_{sig}$ 이다.

그리고, (iii)의 전위 고정에 들어가면,  $V_n$ 은,  $V_{sig}$ 로부터  $PV_{dd}$ 까지 변화하므로, 그 변화량( $\Delta V_g$ )은,  $C_s$ ,  $C_p$ 의 용량을 고려하여,  $\Delta V_g = C_s(PV_{dd} - V_{sig}) / (C_s + C_p)$ 라고 표현할 수 있다.

따라서,  $V_n$ ,  $V_g$ 는, 도면에 있어서 ●로 표시한 바와 같이,  $V_n = PV_{dd}$ ,  $V_g = V_{tp} + \Delta V_g = PV_{dd} + V_{tp} + C_s(PV_{dd} - V_{sig}) / (C_s + C_p)$ 로 된다.

여기서,  $V_{gs} = V_g - PV_{dd}$ 이므로,  $V_{gs} = V_{tp} + C_s(PV_{dd} - V_{sig}) / (C_s + C_p)$ 로 된다.

한편, 드레인 전류(I)는,  $I = (1/2)\beta(V_{gs} - V_{tp})^2$ 로 표현되고, 상기 식을 대입함으로써, 드레인 전류(I)는 다음과 같이 표현된다.

$$\begin{aligned} I &= (1/2)\beta\{V_{tp} + C_s(PV_{dd} - V_{sig}) / (C_s + C_p) - V_{tp}\}^2 \\ &= (1/2)\beta\{C_s(PV_{dd} - V_{sig}) / (C_s + C_p)\}^2 \\ &= (1/2)\beta a (V_{sig} - PV_{dd})^2 \end{aligned}$$

여기서,  $a = \{C_s / (C_s + C_p)\}^2$ ,  $\beta$ 는 구동 트랜지스터(T4) 증폭률이며,  $\beta = \mu \epsilon G_w / G_l$ 이며,  $\mu$ 는 캐리어의 이동도,  $\epsilon$ 는 유전률,  $G_w$ 는 게이트 폭,  $G_l$ 은 게이트 길이이다.

이와 같이, 드레인 전류(I)의 식에는,  $V_{tp}$ 는 포함되지 않고,  $V_{sig} - PV_{dd}$ 의 2승에 비례하게 된다. 따라서, 구동 트랜지스터(T4)의 임계치 전압의 편차의 영향을 배제해서 데이터 전압( $V_{sig}$ )에 따른 발광을 달성할 수 있다.

전술한 설명에서는, 1화소에 관한 동작에 대해서만 설명했다. 실제로는, 표시 패널은, 매트릭스 형상으로 화소가 배치되어 있고, 이것들의 각각에 대해서 대응하는 휘도 신호에 따른 데이터 전압( $V_{sig}$ )을 공급해서 각 유기 EL 소자를 발광시킨다. 즉, 도 8에 나타내는 바와 같이 표시 패널에는, 수평 스위치 회로(HSR)와, 수직 스위치(VSR)가 설치되어 있고, 이것들의 출력에 의해 데이터 라인(DL), 게이트 라인(GL), 기타 발광 세트 라인(ES) 등의 상태가 제어된다. 특히, 수평 방향의 각 화소에는, 1개의 게이트 라인(GL)이 대응 지어져 있고, 이 게이트 라인(GL)은 수직 스위치(VSR)에 의해, 1개씩 차례로 활성화

화된다. 다음으로 1개의 게이트 라인(GL)이 활성화되는 1 수평기간에, 수평 스위치(HSR)에 의해 모든 데이터 라인(DL)에 데이터 전압이 점 순차로 공급되고, 이것이 1 수평 라인 분의 화소 회로에 데이터가 기입된다. 그리고, 각 화소 회로에 있어서, 1 수직기간 후까지 기입된 데이터 전압에 따른 발광으로 된다.

다음으로, 1 수평 라인 내의 각 화소에 대한 데이터의 기입 수순에 대해서, 도 9에 근거해서 설명한다.

우선, 1 수평기간의 개시를 나타내는 이네이블 신호(ENE)의 L레벨 후에, 모든 데이터 라인(DL)에 점 순차로 데이터 전압(Vsig)을 기입한다. 즉, 데이터 라인(DL)에는, 용량 등이 접속되어 있고, 전압 신호를 세트함으로써, 데이터 라인(DL)에 그 데이터 전압(Vsig)이 유지된다. 그래서, 각 열의 화소에 관한 데이터 전압(Vsig)을 순차 대응하는 데이터 라인(DL)에 세트함으로써, 모든 데이터 라인(DL)에 데이터 전압(Vsig)을 세트한다.

그리고, 이 데이터의 세트가 종료한 단계에서, Hout를 H레벨로서, 게이트 라인(GL)을 H레벨로서 활성화하고, 전술한 1개의 수평 방향의 각 화소에 대해서 동작을 행하고, 각 화소에 있어서의 데이터 기입, 발광이 행해진다.

이렇게 해서, 통상적인 비디오 신호(데이터 전압(Vsig))를 순차적으로 데이터 라인(DL)에 기입하고, 이것을 화소 회로에 세트하여, 발광시킬 수 있다.

다음으로, 다른 방식에 대해서, 도 10에 기초하여 설명한다. 이 예에서는, 이네이블 라인(ENB)이 L레벨인 기간에, 발광 세트 라인(ES)을 L레벨로 하고, 이네이블 라인(ENB)이 H레벨로 상승할 때에 게이트 라인(GL)을 H레벨(활성화)로 한다. 이 상태에서, 데이터 전압(Vsig)을 순차적으로 데이터 라인(DL)에 세트한다. 그리고, 모든 데이터 라인(DL)에 데이터 전압(Vsig)을 세트한 경우에는, 발광 세트 라인(ES)을 H레벨로 하여, 전술한 디스차지를 행하고, 그 후 발광 세트 라인(ES)을 L레벨로 되돌린다. 게이트 라인(GL)은, 이네이블 라인(ENB)의 하강에 동기해서 L레벨로 되돌아가고, 이네이블 라인(ENB)이 L레벨일 때에 이네이블 라인(ENB)을 H레벨로 되돌린다. 이것에 의해, 전술한 예와 마찬가지로의 동작이 행해진다. 또한, 용량 세트 라인(CS)은, 게이트 라인(GL)이 H레벨의 기간에 L레벨이며, 게이트 라인(GL)의 상승보다 약간 빠르게 L레벨로 되고, 하강보다 약간 늦게 H레벨로 되돌아간다.

도 11에는, 도 1에 기재된 화소 회로를 이용한 표시 패널에 관한 레이아웃을 나타내고 있다.

우선, 용량 세트 라인(CS)이 각 행의 화소의 상단부를 따라 신장되어 있다. 도 11에 있어서의 화소에 있어서, 각 화소의 우단 부분에는, 데이터 라인(DL)이 열 방향으로 신장되어 있다. 그리고, 각 데이터 라인(DL)의 바로 좌측에는 전원 라인(PVdd)이 거의 평행하게 열 방향으로 신장되어 있다. 또한, 도시한 화소 아래의 단의 화소에서는, 각 화소의 좌단 부분에 데이터 라인(DL) 및 전원 라인(PVdd)이 배치되어 있다.

또한 화소의 중앙 약간 상부에는, 화소를 가로 질러 게이트 라인(GL)이 신장되어 있다. 또한 각 화소의 하단부를 따라 발광 세트 라인(ES)이 배치되어 있다.

게이트 라인(GL)의 화소의 우단에 가까운 부분에는, 상방을 향해서 돌출 부분이 형성되고, 여기가 n채널 선택 트랜지스터(T1)의 게이트 전극(T1g)으로 되어 있다. 즉, 이 게이트 전극(T1g)의 두께 방향의 하방에는, 게이트 절연막을 개재시켜 반도체 층(112)이 형성되어 있고, 이 반도체 층(112)이 게이트 라인(GL)을 따라 신장되어 그 우단이 콘택트에 의해 데이터 라인(DL)이 접속되어 있다.

또한 반도체 층(112)은, 게이트 전극(T1g)의 하방이 좌측 방향으로 신장되고, 여기서, 용량 세트 라인(CS) 방향으로 거의 방형으로 넓어져 있다. 그리고, 이 방형으로 넓어진 부분에는, 게이트 절연막을 개재시켜 게이트 전극과 동일층의 용량 전극(SC)이 형성되고, 이 용량 전극(SC)이 게이트 절연막을 개재시켜 반도체 층(112)과 대응하는 부분이 용량(Cs)으로 되어 있다.

또한 용량(Cs)을 구성하는 반도체 층(112)의 일부는 용량 세트 라인(CS)을 따라 우측으로 신장되고, 콘택트에 의해 전원 라인(PVdd)에 접속되어 있다. 또한, 반도체 층(112)의 용량(Cs)측과, 전원 라인(PVdd)측의 중간 부분의 두께 방향 상방에는, 용량 세트 라인(CS)으로부터의 돌출 부분이 위치하고 있고, 이 돌출 부분은, 게이트 절연막을 개재시켜 반도체 층(112)의 두께 방향 상방에 위치하고, 여기가 n채널의 전위 제어 트랜지스터(T2)로 되어 있다.

용량(Cs)의 화소 중앙부의 게이트 라인(GL)의 바로 위에는, 콘택트가 형성되고, 이 콘택트에 의해 메탈 배선(118)이 접속되고, 이 메탈 배선(118)이 게이트 라인(GL)을 넘어서 게이트 라인(GL)의 하방에 이르고, 그래서, 콘택트에 의해 반도체 층(120)에 접속되어 있다.

이 반도체 층(120)은, 일단 우측 방향으로 신장되고 그 후 데이터 라인(DL) 및 전원 라인(PVdd)의 사이를 이것들을 따라 하방으로 신장되고, 중간 부분에서 좌측으로 신장되는 브랜치부가 형성됨과 함께, 발광 세트 라인(ES)의 앞에서 좌측 방향으로 굽어 있다. 이 반도체 층(120)의 게이트 라인(GL)을 따라 우측 방향으로 신장되는 부분의 두께 방향 상방에 게이트 라인(GL)으로부터 신장되는 돌출 부분이 게이트 절연막을 개재시켜 형성되고, 이것이 n채널의 단락 트랜지스터(T3)의 게이트 전극(T3g)으로 되어 있다. 즉, 이 부분이 구동 트랜지스터(T4)의 게이트와 소스 사이를 접속하는 단락 트랜지스터(T3)를 구성한다.

메탈 배선(118)은, 단락 트랜지스터(T3)와 접속되는 콘택트의 하방에 있어서, 콘택트에 의해 게이트 라인(GL)과 동층의 게이트 배선에 접속되고, 이 게이트 배선이 전원 라인(PVdd)과 평행하게 신장되고 여기가 p채널의 구동 트랜지스터(T4)의 게이트 전극(T4g)으로 되어 있다. 즉, 이 게이트 전극(T4g)의 두께 방향 하방에는 게이트 절연막을 개재시켜 상하방이 신장되는 반도체 층(132)이 형성되어 있고, 이 반도체 층(132)의 일단(드레인:도 11에 있어서의 상측)은 콘택트에 의해 전원 라인(PVdd)에 접속되어 있다. 반도체 층(132)의 도 11에 있어서의 하측은, 일단 좌측으로 굽은 후, 콘택트로 메탈 배선에 접속되고, 이 메탈 배선에 콘택트에 의해 상기 반도체 층(120)의 중간부에서 좌측으로 신장되는 브랜치부에 접속되어 있다.

또한, 반도체 층(120)의 하단부는, 발광 세트 라인(ES)을 따라 좌측으로 신장되고, 이 부분의 두께 방향 상방에는, 게이트 절연막을 개재시켜, 발광 세트 라인(ES)의 일부가 돌출하여, n채널의 구동 제어 트랜지스터(T5)의 게이트 전극(T5g)이 형성되고, 여기에 구동 제어 트랜지스터(T5)가 형성되어 있다. 반도체 층(120)의 하단좌측의 단부에는 콘택트에 의해 화소 전극이 접속되어 있다. 그리고, 이 화소 전극의 두께 방향 상방에 유기 발광층을 개재시켜 전체 화소 공통의 음극이 형성되어 유기 EL 소자가 형성된다.

또한, 두께 방향으로서는, 글래스 등의 투명기판 상에 TFT가 형성되고, 그 위에 화소마다의 투명전극(양극)이 형성되고, 그 위에 유기 발광층을 개재시켜 전체 화소 공통의 알루미늄 등의 음극이 형성된다. TFT는, 글래스 기판 위에 우선 버퍼층이 형성되고, 그 위에 반도체 층(112, 120, 132)이 소정의 위치에 형성된다. 반도체 층을 피복해서 게이트 절연막이 형성되고, 그 위에 게이트 라인(GL), 용량 전극 등이 폴리브덴이나 크롬 등으로 형성된다. 이 게이트 라인(GL) 등의 층을 피복해서 층간 절연막이 형성되고, 그 상층의 전원 라인(PVdd), 데이터 라인(DL) 등의 메탈(예를 들면 알루미늄) 배선 등이 형성된다. 그리고, 이들 메탈 배선을 피복해서 아크릴수지 등의 평탄화 층이 형성되고, 그 위에 ITO, IZO 등의 투명전극(화소 전극)이 구성된다.

이와 같이, 본 실시형태에 따르면, 화소의 도면에 있어서의 상측에 용량 세트 라인(CS)이 배치되고, 화소의 도면에 있어서의 하측에 발광 세트 라인(ES)이 배치되고, 게이트 라인(GL)은, 용량 세트 라인(CS)으로부터 약간 하측에 배치되어 있다.

이러한 배치에 의해, 게이트 라인(GL)의 상측에 전위 제어 트랜지스터(T2)와, 선택 트랜지스터(T1)를 배치할 수 있다. 특히 선택 트랜지스터(T1)를 게이트 라인(GL)을 따라 배치함으로써, 게이트 라인(GL)의 돌출부를 선택 트랜지스터(T1)의 게이트 전극(T1g)으로 할 수 있다. 한편, 전위 제어 트랜지스터(T2)는 용량 세트 라인(CS)을 따라 형성되기 때문에, 그 게이트 전극(T2g)도 용이하게 형성할 수 있다. 또한, 전위 제어 트랜지스터(T2)의 전원 라인(PVdd)과의 콘택트도 화소의 코너에 위치하여, 효율적인 배치로 된다. 그리고, 전위 제어 트랜지스터(T2)와 선택 트랜지스터(T1)의 사이의 공간에 용량(Cs)을 형성할 수 있어 게이트 라인(GL)의 상측의 공간을 효과적으로 이용할 수 있다.

또한, 단락 트랜지스터(T3)를 게이트 라인(GL)의 하측을 따라 배치하고, 구동 제어 트랜지스터(T5)를 발광 세트 라인(ES)을 따라 형성했기 때문에, 단락 트랜지스터(T3) 및 구동 제어 트랜지스터(T5)의 게이트 전극(T3g, T5g)도 용이하게 형성할 수 있다. 또한, 단락 트랜지스터(T3)와 구동 제어 트랜지스터(T5)의 접속을 반도체 층(120)으로 하고, 이것을 전원 라인(PVdd)과, 데이터 라인(DL)과의 사이의 공간의 두께 방향 하측에 배치했기 때문에, 이 배선이 개구율에 미치는 영향을 적게 할 수 있다. 또한 구동 트랜지스터(T4)를 전원 라인(PVdd)을 따라 배치했기 때문에, 개구율의 감소를 억제하여, 효율적인 배치로 되어 있다.

또한 전술한 도 11에 도시한 바와 같은 레이아웃은, 수평 방향의 제어 라인이 게이트 라인 이외에 2개 존재하는 회로이면 마찬가지로 적용할 수 있다. 예를 들면 특허문헌 1에 기재된 것 같은 회로에도 적용가능하다

## 발명의 효과

본 발명에 따르면, 배선을 효율적으로 배치할 수 있어, 개구율을 비교적 크게 할 수 있다.

## 도면의 간단한 설명

- 도 1은, 실시형태에 따른 화소 회로의 구성을 도시하는 도면.
- 도 2는, 동작을 설명하는 차트도.
- 도 3은, 디스차지 공정을 설명하는 도면.
- 도 4는, 리셋 공정을 설명하는 도면.
- 도 5는, 전위 고정 공정을 설명하는 도면.
- 도 6은, 발광 공정을 설명하는 도면.
- 도 7은, 리셋으로부터 전위 고정 공정에 있어서의 전위 변화의 상태를 설명하는 도면.
- 도 8은, 패널의 전체 구성을 도시하는 도면.
- 도 9는, 데이터 세트의 타이밍 예를 도시하는 도면.
- 도 10은, 데이터 세트의 다른 타이밍 예를 도시하는 도면.
- 도 11은, 실시 형태의 화소 회로의 레이아웃을 도시하는 도면.
- 도 12는, 종래의 화소 회로의 일례를 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

DL:데이터 라인

Cs:용량

GL:게이트 라인

CS:용량 세트 라인

PVdd:전원 라인

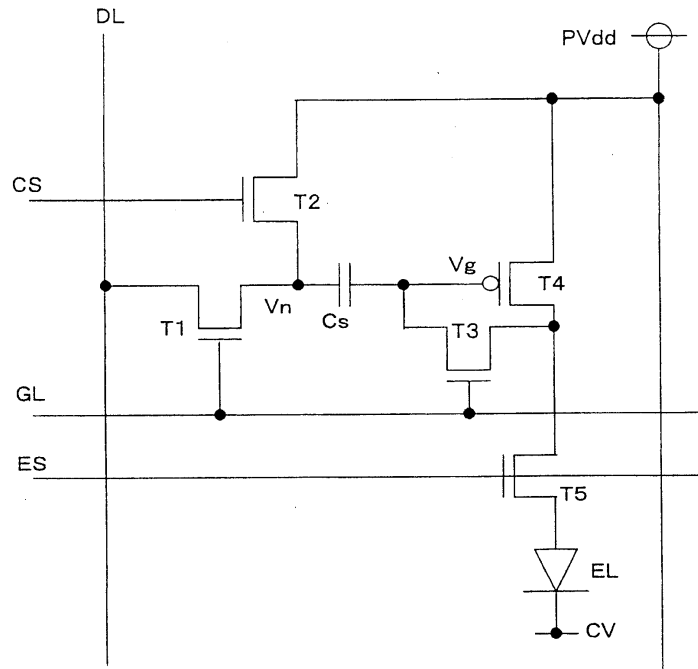
ES:발광 세트 라인

EL:유기 EL 소자

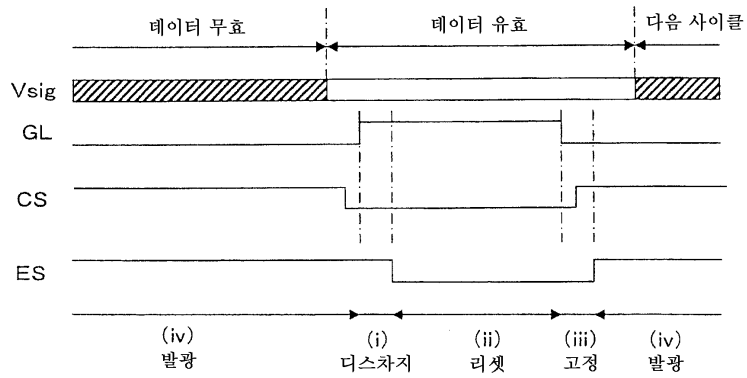
CV:캐소드 전원

도면

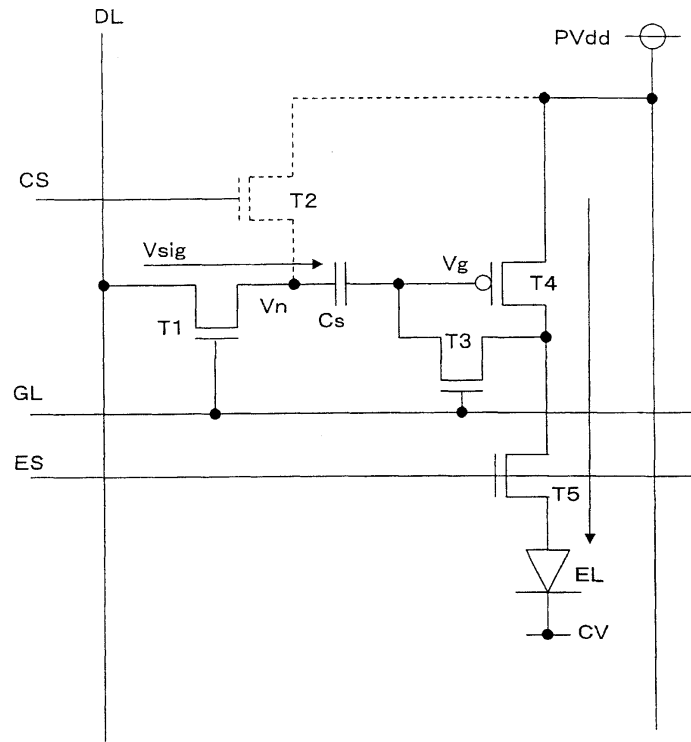
도면1



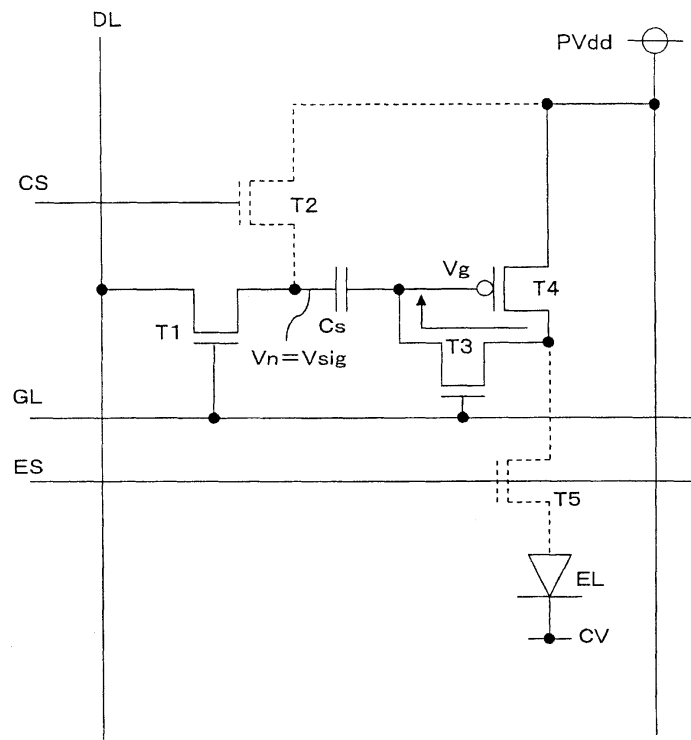
도면2



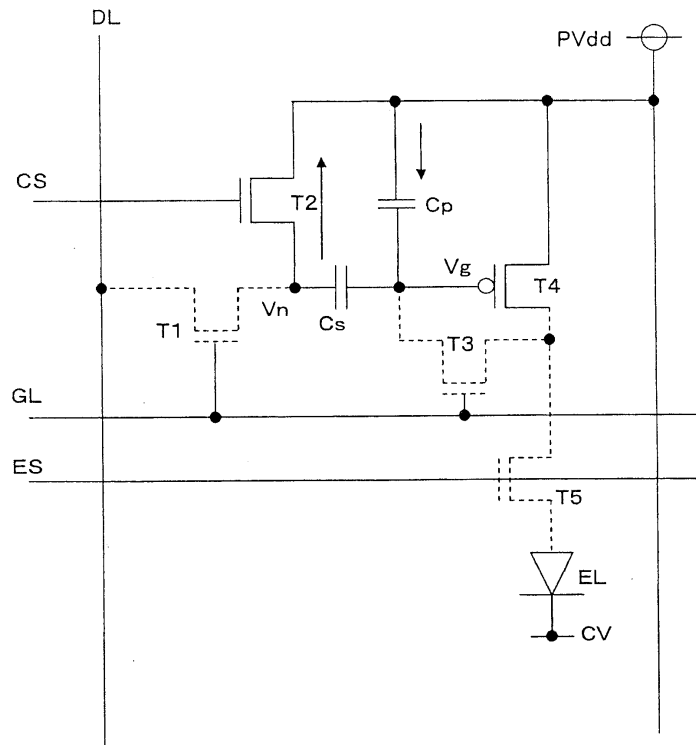
도면3



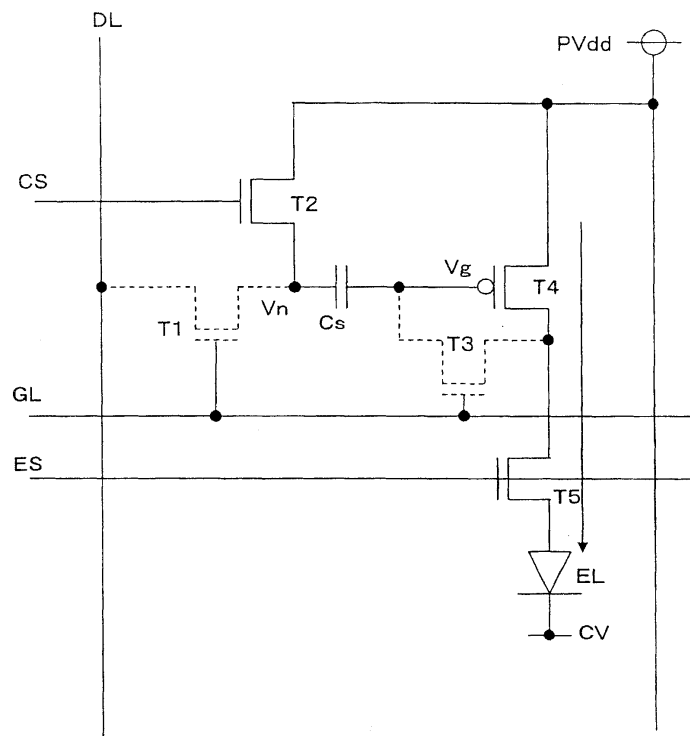
도면4



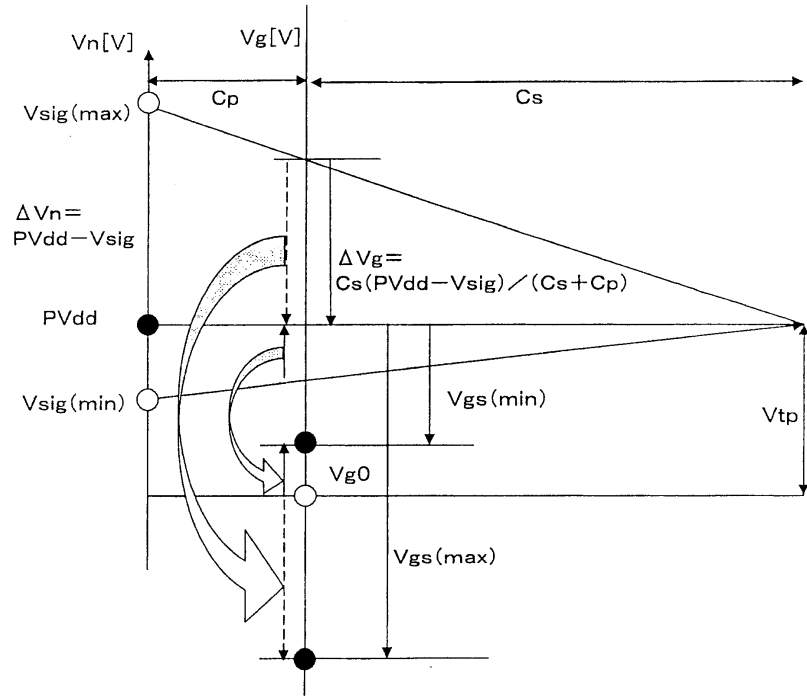
도면5



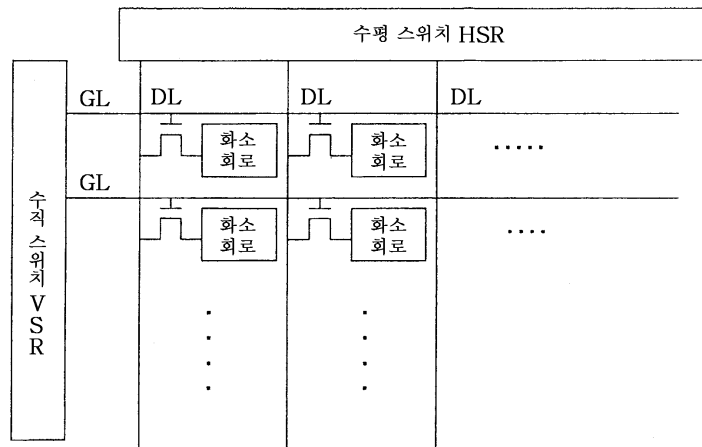
도면6



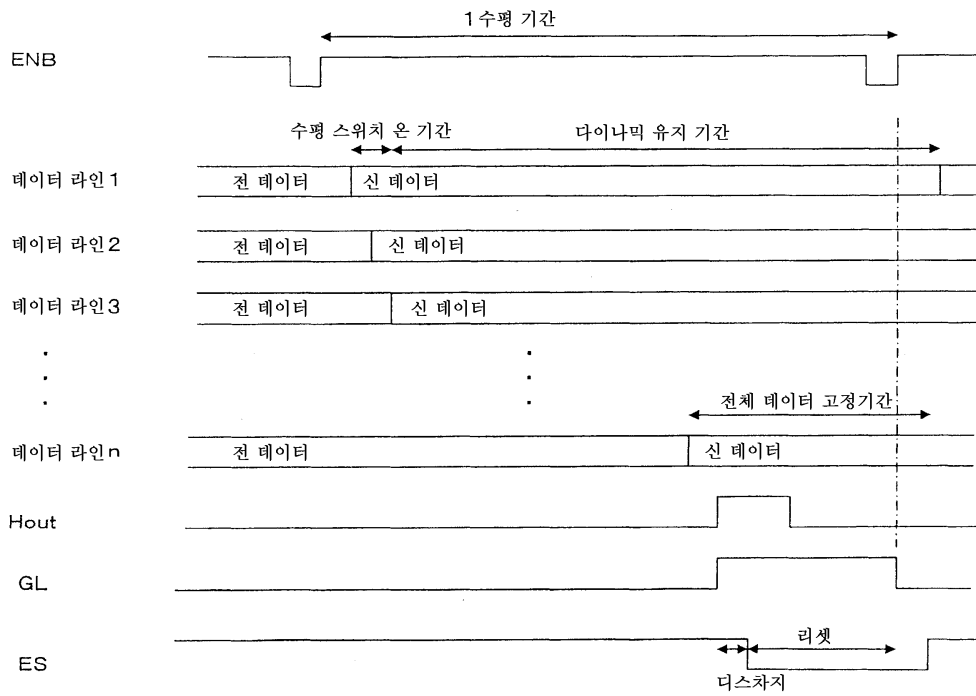
도면7



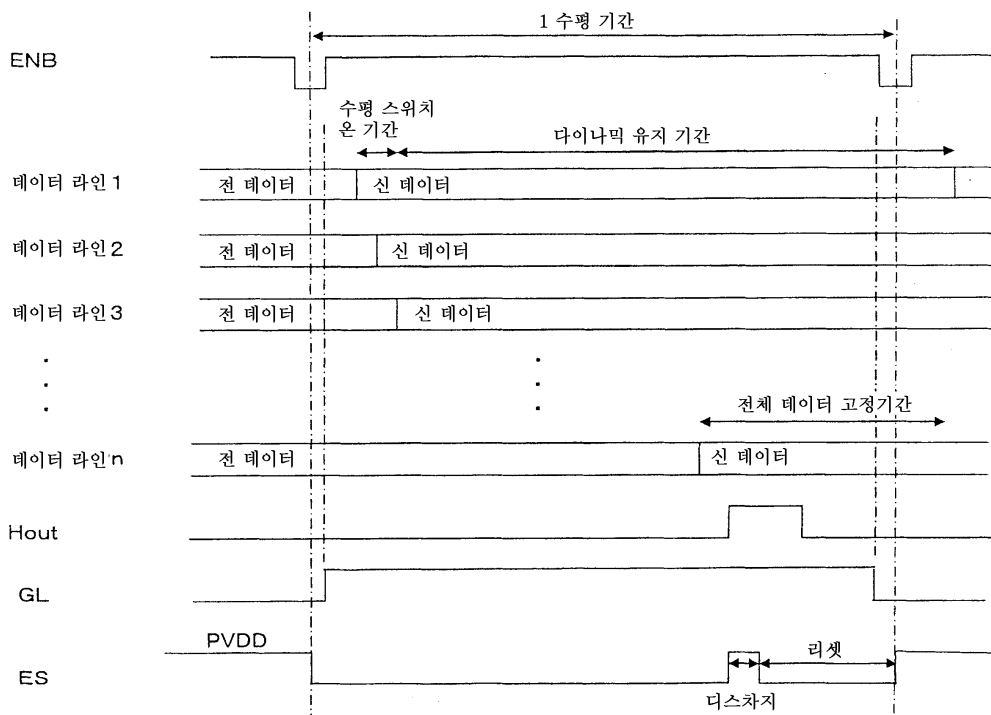
도면8



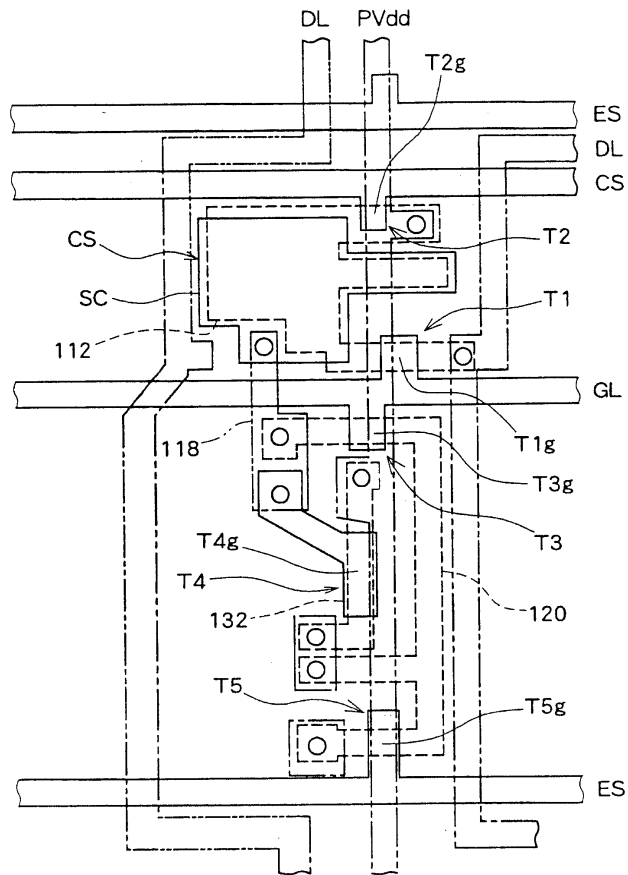
도면9



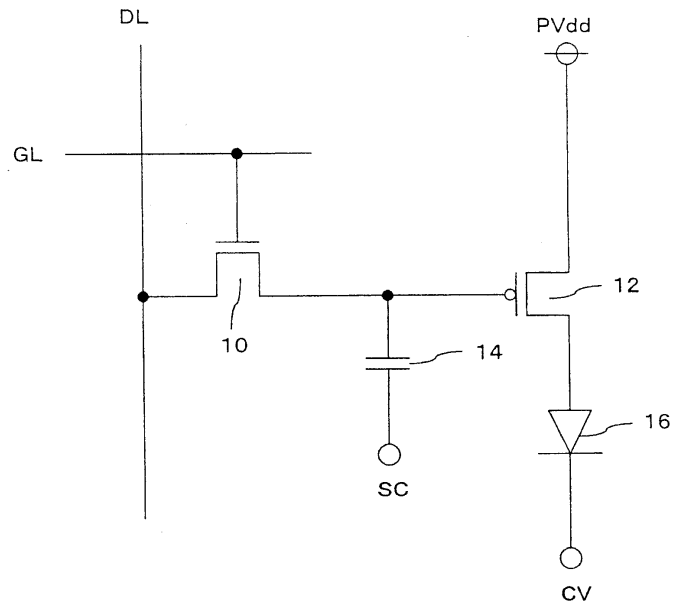
도면10



도면11



도면12



专利名称(译)	显示设备		
公开(公告)号	<a href="#">KR1020070042878A</a>	公开(公告)日	2007-04-24
申请号	KR1020060101244	申请日	2006-10-18
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	MATSUMOTO SHOICHIRO 마쯔모또쇼이찌로 KINPARA YASUNORI 긴파라야스노리		
发明人	마쯔모또쇼이찌로 긴파라야스노리		
IPC分类号	H05B33/26 G09G3/30 G09G3/32 G09G3/20		
CPC分类号	G09G2300/0842 G09G2300/0465 G09G2300/0861 G09G2320/043 G09G2310/0251 G09G2300/043 G09G3/3241 H01L27/124		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2005304911 2005-10-19 JP		
其他公开文献	KR100795678B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

容量设定线布置在像素的上端部分。辐射设定线布置在像素的下端部分。栅极线布置在两侧的中心。在电容设定线和栅极线的间隔中，布置选择晶体管，以及电位控制晶体管和电容。短路晶体管，驱动晶体管和栅极线布置在辐射设置线和栅极线的间隔中。使用这种布置，可以实现布线的电路和接触的有效布置。孔径比相对较高。显示装置，有机EL，布置，电容设定线，辐射设定线，像素，栅极线，开口率，电位控制，短路，驱动，晶体管。

