



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H05B 33/08 (2006.01)

(11) 공개번호 10-2007-0003988

(43) 공개일자 2007년01월05일

(21) 출원번호 10-2006-7020135

(22) 출원일자 2006년09월28일

심사청구일자 2006년09월28일

번역문 제출일자 2006년09월28일

(86) 국제출원번호 PCT/JP2005/005122

(87) 국제공개번호 WO 2005/091264

국제출원일자 2005년03월22일

국제공개일자 2005년09월29일

(30) 우선권주장 JP-P-2004-00087012 2004년03월24일 일본(JP)

(71) 출원인 로무 가부시킴가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 마에데, 준
일본 615-8585 교토쵸 교토시 우교구 사이잉 미조사키쵸 21 로무가부
시킴가이샤 내
야구마, 히로시
일본 615-8585 교토쵸 교토시 우교구 사이잉 미조사키쵸 21 로무가부
시킴가이샤 내
아베, 신이찌
일본 615-8585 교토쵸 교토시 우교구 사이잉 미조사키쵸 21 로무가부
시킴가이샤 내
후지카와, 아끼오
일본 615-8585 교토쵸 교토시 우교구 사이잉 미조사키쵸 21 로무가부
시킴가이샤 내

(74) 대리인 장수길
이중희
구영창

전체 청구항 수 : 총 13 항

(54) 유기 E L 구동 회로 및 이것을 이용하는 유기 E L 표시장치

(57) 요약

리셋 펄스를 받아 소정의 전위 라인에 단자 핀(X_R)을 접속하는 스위치 회로(52)와, EL 소자(9)의 휘도를 γ 보정하기 위해 표시 데이터에 따라 발광 기간을 보정하는 보정 데이터(TD)를 생성하는 보정 데이터 생성 회로(7)와, 타이밍 컨트롤 신호

(TP)와 보정 데이터(TD)를 받아 γ 보정에 따른 펄스 폭의 리셋 펄스를 발생하는 리셋 펄스 발생 회로(51)로 이루어지는 γ 보정 회로를 단자 핀(X_R)에 대응하여 설치함으로써, 유기 EL 구동 회로 및 유기 EL 표시 장치의 γ 보정 회로의 점유 면적을 억제한다.

대표도

도 1

특허청구의 범위

청구항 1.

디지털값의 표시 데이터를 D/A 변환하여 유기 EL 소자를 전류 구동하기 위한 구동 전류 혹은 그 기초로 되는 전류를 생성하고, 수평 1라인의 주사 기간에 상당하는 표시 기간과 상기 수평 1라인의 귀선 기간에 상당하는 리셋 기간을 잘라 나누기 위한 제1 타이밍 컨트롤 신호에 따라서 상기 표시 기간에 유기 EL 패널의 단자 핀을 통하여 상기 유기 EL 소자에 상기 구동 전류를 송출하고, 상기 리셋 기간에 상기 유기 EL 소자의 단자 전압의 리셋을 하는 유기 EL 구동 회로로서,

스위치 회로와, 보정 데이터 생성 회로와, 리셋 펄스 발생 회로를 포함하고,

상기 스위치 회로는, 상기 리셋을 하기 위해 리셋 펄스를 받아 상기 단자 핀을 소정의 전위 라인에 접속하고,

상기 보정 데이터 생성 회로는, 상기 유기 EL 소자의 휘도를 γ 보정하기 위해 상기 표시 데이터를 받아 상기 표시 데이터에 따라서 상기 유기 EL 소자의 발광 기간을 보정하기 위한 보정 데이터를 생성하고,

상기 리셋 펄스 발생 회로는, 상기 제1 타이밍 컨트롤 신호와 상기 보정 데이터를 받아 γ 보정에 따른 펄스 폭의 상기 리셋 펄스를 발생하는 유기 EL 구동 회로.

청구항 2.

제1항에 있어서,

보정 데이터 생성 회로는, 상기 표시 데이터를 상기 보정 데이터로 변환하는 데이터 변환 회로인 유기 EL 구동 회로.

청구항 3.

제3항에 있어서,

상기 리셋 펄스는, 상기 제1 타이밍 컨트롤 신호의 전연(leading edge) 혹은 후연(trailing edge)을 타이밍 기준으로 하여 상기 보정 데이터에 따라 상기 타이밍 기준으로부터 소정량 지연된 신호로서 발생하는 유기 EL 구동 회로.

청구항 4.

제2항에 있어서,

상기 보정 데이터에 따른 수, 클럭을 카운트하는 카운터를 더 갖고, 상기 소정량 지연은, 이 카운터의 출력에 따라 생성되는 유기 EL 구동 회로.

청구항 5.

제4항에 있어서,

상기 유기 EL 패널은 패시브 매트릭스형이고, 상기 단자 핀은 다수 설치된 컬럼 핀의 각각이며, 상기 제1 타이밍 컨트롤 신호는, 리셋 컨트롤 신호인 유기 EL 구동 회로.

청구항 6.

제5항에 있어서,

상기 스위치 회로는, 트랜지스터로 구성되고, 각 상기 컬럼 핀에 대응하여 다수 설치되며 각 상기 스위치 회로의 일단이 각 상기 컬럼 핀에 접속되고, 타단이 상기 소정의 전위 라인에 접속되고, 상기 소정의 전위 라인이 소정의 정전압으로 설정되어 있는 유기 EL 구동 회로.

청구항 7.

제6항에 있어서,

상기 소정의 전위 라인은 정전압 회로에의 접속 라인으로서 설치되고, 각 상기 컬럼 핀에 대응하여 상기 구동 전류를 발생하는 커런트 미러 회로의 전류원을 갖고, 상기 트랜지스터는 MOS 트랜지스터이며, 상기 MOS 트랜지스터의 소스 및 드레인의 한 쪽이 상기 전류원의 출력에 접속되고, 상기 MOS 트랜지스터의 소스 및 드레인의 다른 쪽이 상기 정전압 회로에 접속되어 있는 유기 EL 구동 회로.

청구항 8.

제2항에 있어서,

상기 스위치 회로와 상기 보정 데이터 생성 회로와 상기 리셋 펄스 발생 회로는, 각각 표시 3원색의 R, G, B에 대응하여 각각 설치되고, 상기 데이터 변환 회로는 ROM으로 구성되는 유기 EL 구동 회로.

청구항 9.

제2항에 있어서,

상기 제1 타이밍 컨트롤 신호는, 상기 표시 기간을, γ 보정하는 경우의 가장 짧은 표시 기간이나 그 이하로 설정하여, 상기 표시 기간과 상기 리셋 기간을 잘라 나누는 신호인 유기 EL 구동 회로.

청구항 10.

제9항에 있어서,

상기 리셋 펄스 발생 회로는, 상기 제1 타이밍 컨트롤 신호를 받아 소정 시간 순차적으로 지연시킨 복수의 제2 타이밍 컨트롤 신호를 발생하는 지연 회로와, 상기 복수의 제2 타이밍 컨트롤 신호와 상기 제1 타이밍 컨트롤 신호와 상기 보정 데이터를 받아 상기 보정 데이터에 따라 상기 복수의 제2 타이밍 컨트롤 신호 중 1개를 선택하는 선택 회로를 갖고, 선택된 상기 제2 타이밍 컨트롤 신호의 전연을 전연으로 하고 상기 제1 타이밍 컨트롤 신호를 후연으로 한 상기 리셋 펄스를 발생하는 유기 EL 구동 회로.

청구항 11.

제6항 또는 제10항에 있어서,

상기 단자 핀에 대응하도록 각각 설치된, 상기 구동 전류를 발생하는 전류원과 D/A 변환 회로를 더 갖고, 상기 D/A 변환 회로는, 기준 전류 혹은 이 기준 전류에 기초하여 발생시킨 전류에 따라 상기 표시 데이터를 D/A 변환하고, D/A 변환하여 얻어진 전류에 따라 상기 전류원을 구동하는 유기 EL 구동 회로.

청구항 12.

제1항 내지 제11항 중 어느 한 항의 유기 EL 구동 회로와 상기 유기 EL 패널을 갖는 유기 EL 표시 장치.

청구항 13.

제12항에 있어서,

상기 유기 EL 구동 회로가 IC로서 설치되어 있는 유기 EL 표시 장치.

명세서

기술분야

본 발명은, 유기 EL 구동 회로 및 이것을 이용하는 유기 EL 표시 장치에 관한 것으로, 특히, 휴대 전화기, PHS 등의 표시 장치를 갖는 전자 기기에서, 단자 핀 대응으로 설치되는 γ 보정 회로의 점유 면적을 억제하는 것이 가능한 유기 EL 구동 회로에 관한 것이다.

배경기술

휴대 전화기, PHS, DVD 플레이어, PDA(휴대 단말 장치) 등에 탑재되는 유기 EL 표시 장치의 유기 EL 표시 패널에서는, 컬럼 라인의 수가 396개(132×3)인 단자 핀, 로우 라인이 162개인 단자 핀을 갖는 것이 제안되고, 컬럼 라인, 로우 라인의 단자 핀은 이 이상으로 증가하는 경향이 있다.

유기 EL 표시 패널의 각 유기 EL 소자(이하 OEL 소자)는, 브라운관과 마찬가지로 표시 데이터의 값에 대하여 휘도가 직선적인 관계가 아니라, 표시 3원색의 R, G, B의 재료에 의한 소자 특성에 따른 곡선으로 된다. 따라서, 유기 EL 표시 장치를 사용하는 주위의 환경이 변하면 화질이 변화되고, 유기 EL 표시 패널이 고해상도로 되면 될수록, 이 화질의 변화가 눈에 띄게 된다. 그 때문에 γ 보정을 하는 것이 필요하게 된다.

또한, 이 γ 보정으로서, 컬럼 라인의 단자 핀에 구동 전류를 출력하는 출력 회로(출력단 전류원)의 부하 저항을 직렬 저항 회로로 하여, 저항 선택에 의해 γ 보정을 하는 발명을 출원인은 출원하고 있다(특허 문헌1).

특허 문헌1: 일본 특허 공개 2003-288051호 공보

<발명의 개시>

<발명이 해결하고자 하는 과제>

일본 특허 공개 2003-288051호(특허 문헌1)의 발명의 실시예는, 컬럼측의 단자 핀에 대응하도록 각각 D/A와 출력단 전류원을 설치하고, 표시 데이터를 D/A 변환하고, D/A 변환하여 얻어진 전류에 따라서 출력단 전류원을 구동하여 단자 핀에 유기 EL 소자의 구동 전류를 출력하고 있다.

통상적으로, γ 보정을 하는 경우에는, 드라이버 등에서 소프트웨어 처리에 의해 상기한 D/A로 설정하는 표시 데이터를 γ 보정에 대응하는 보정을 하는 것을 생각할 수 있지만, 4 비트~6비트 정도의 D/A에서는, γ 보정을 할 수 없는 문제가 있다. 그 때문에, 일본 특허 공개 2003-288051호에서는, 출력단 전류원에 γ 보정 회로를 편 대응으로 설치하고 있다.

그러나, 출력단 전류원의 부하 저항을 직렬 저항 회로로 하는 γ 보정 회로에서는, 부하 저항값을 선택하기 위한 저항과 스위치 회로가 많아진다. 이 부하 저항에 의한 γ 보정 회로는, 소비 전력의 저감이라고 하는 점에서 보면 그것에 역행하므로, 부하 저항에 의한 γ 보정은 하지 않고 전류 구동 회로의 점유 면적을 억제하는 별도의 γ 보정 회로가 요청된다.

발명의 상세한 설명

본 발명의 목적은, 이러한 요청에 응답하는 것으로써, 단자 편 대응으로 설치되는 γ 보정 회로의 점유 면적을 억제하는 것이 가능한 유기 EL 구동 회로 및 유기 EL 표시 장치를 제공하는 것에 있다.

<과제를 해결하기 위한 수단>

이러한 목적을 달성하기 위한 본 발명의 유기 EL 구동 회로 및 이것을 이용하는 유기 EL 표시 장치의 구성은, 디지털값의 표시 데이터를 D/A 변환하여 OEL 소자를 전류 구동하기 위한 구동 전류 혹은 그 기초로 되는 전류를 생성하고, 수평 1라인의 주사 기간에 상당하는 표시 기간과 수평 1라인의 귀선 기간에 상당하는 리셋 기간을 잘라 나누기 위한 제1 타이밍 컨트롤 신호에 따라서 표시 기간에 유기 EL 패널의 단자 편을 통하여 OEL 소자에 구동 전류를 송출하고, 리셋 기간에 OEL 소자의 단자 전압의 리셋을 하는 유기 EL 구동 회로에서,

리셋을 하기 위해 리셋 펄스를 받아 단자 편을 소정의 전위 라인에 접속하는 스위치 회로와, OEL 소자의 휘도를 γ 보정하기 위해 표시 데이터를 받아 표시 데이터에 따라서 OEL 소자의 발광 기간을 보정하기 위한 보정 데이터를 생성하는 보정 데이터 생성 회로와, 제1 타이밍 컨트롤 신호와 보정 데이터를 받아 γ 보정에 따른 펄스 폭의 리셋 펄스를 발생하는 리셋 펄스 발생 회로를 구비하는 것이다.

<발명의 효과>

그런데, OEL 소자는, 그 단자를 소정의 정전압으로 프리차지하는 정전압 리셋이 행해지므로, 유기 EL 구동 회로의 각 컬럼 편 대응에 가해지는 OEL 소자에 대한 전류 구동 파형은, 도 6의 (g)에 도시하는 바와 같이, 소정의 정전압으로부터 스타트하는 피크 전류 파형(실선)으로 된다. 또한, 도 6의 (g)의 점선은, 전압 파형이다.

정전압 리셋은, 수평 주사의 귀선 기간에 상당하는 리셋 기간 RT에 행해지며, 이 때의 표시 기간 D는, 수평 1라인의 수평 주사 기간에 상당한다. 따라서, 표시 기간 D와 리셋 기간 RT의 잘라 나누기가 표시 기간 D+ 리셋 기간 RT에 대응하는 주기(수평 주사 주파수 상당)의 타이밍 컨트롤 펄스 TP(도 6의 (j) 참조)에 의해 행해진다. 또한, 도 6은, 각 단자 편에 흐르는 전류 구동 파형과 이것을 발생하는 타이밍 신호의 설명도이다.

이에 대하여 설명하면, 도 6의 (a)는, 각 제어 신호의 타이밍의 기본으로 되는 동기 클럭 CLK이고, 도 6의 (b)는, 픽셀 카운터의 카운트 스타트 펄스 CSTP이고, 픽셀 카운터의 카운트값이 도 6의 (c)에 도시되어 있다. 도 6의 (d)는, 표시 개시 펄스 DSTP이고, 도 6의 (e)가 R(적)에 관한 리셋 펄스 RSR이다.

이 리셋 펄스 RSR은, 표시 기간과 리셋 기간의 잘라 나누기의 기준 타이밍을 발생하는 타이밍 컨트롤 펄스 TP에 의해 생성된다.

타이밍 컨트롤 펄스 TP는, 컬럼측의 구동에서 귀선 기간에 컬럼 편을 통하여 OEL 소자를 리셋 혹은 프리차지(정전압 리셋)하는 펄스라고 하는 점에서 사용되면 패시브 매트릭스형의 유기 EL 패널의 구동에서의 리셋 컨트롤 신호와 동일한 신호이다.

도 6의 (e)의 리셋 펄스 RSR은, 표시 기간과 리셋 기간의 잘라 나누기가 기준 타이밍으로 되어 있으므로, 이 리셋 펄스 RSR은, 타이밍 컨트롤 펄스 TP 혹은 리셋 컨트롤 펄스(리셋 컨트롤 신호)와 동일한 것으로 된다. 이것은, 타이밍 컨트롤 펄스 TP로 생성되는 G(녹), B(청)의 마찬가지로의 리셋 펄스에 대해서도 동일하다. 단, G, B 각각의 리셋 기간은, R과 다르게 되어 있어도 된다.

따라서, 본 발명은, 각 컬럼 핀 대응으로 리셋 펄스를 발생하여, 다음 리셋 기간의 개시 타이밍을 γ 보정에 대응하여 보정함으로써, 현재의 표시 기간 D의 길이를 제어한다. 이에 의해 OEL 소자의 발광 기간을 보정함으로써 OEL 소자의 표시 기간에서의 전체적인 발광 휘도를 γ 보정한다.

따라서, 본 발명의 γ 보정 회로는, 리셋 기간의 제어 회로로서 설치된다. 그 결과, 타이밍 제어에 의해 γ 보정이 가능하게 되므로, γ 보정 회로의 점유 면적을 억제할 수 있다.

또한, 상기한 보정 데이터 생성 회로를 데이터 변환 ROM으로 하면, γ 보정값의 선택도 단순히 데이터 변환 ROM에 기억하면 되고, 게다가, 데이터 변환 ROM은, 각 컬럼 핀에 개별로 설치할 필요는 없으므로, 그만큼, γ 보정 회로의 점유 면적을 억제하는 것이 가능하게 된다.

실시예

<발명을 실시하기 위한 최량의 형태>

도 1은, 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 유기 EL 패널의 컬럼 드라이버를 중심으로 하는 블록도이고, 도 2는, 출력단 전류원에 설치된 γ 보정 리셋 펄스 발생 회로의 설명도이고, 도 3은, 다른 γ 보정 리셋 펄스 발생 회로의 설명도이고, 도 4는, 도 3에서의 γ 보정 리셋 펄스 발생 회로의 리셋 펄스 발생 타이밍의 설명도이고, 도 5는, 데이터 변환 회로(ROM)에 설정되는 γ 보정 데이터에 관한 설명도이고, 그리고, 도 6은, 컬럼 핀을 전류 구동하는 전류 파형과 이것을 발생하는 타이밍 신호의 설명도이다.

도 1에서, 참조 부호 10은, 유기 EL 패널에서의 유기 EL 구동 회로로서의 컬럼 IC 드라이버(이하 컬럼 드라이버)이다. 이 컬럼 드라이버(10)는, 기준 전류 발생 회로(1)와, R(적)에 대응하여 설치된 R-기준 전류 생성 회로(2R)와, G(녹)에 대응하여 설치된 G-기준 전류 생성 회로(2G), 그리고, B(청)에 대응하여 설치된 B-기준 전류 생성 회로(2B)를 갖고 있다.

각 기준 전류 생성 회로(2R, 2G, 2B)는, 각각 기준 전류 발생 회로(1)로부터 기준 전류 I_{ref} 를 입력단으로 하여 설치된 커런트 미러 회로에서 받아 각각의 표시 색에 대응한 기준 전류 I_r , I_g , I_b 를 생성한다. 그리고, 여기에서 생성된 기준 전류 I_r , I_g , I_b 에 의해 커런트 미러 회로(기준 전류 분배 회로)(3R, 3G, 3B)(3G, 3B는 도시하지 않음)의 입력측 트랜지스터를 각각에 구동하고, 이들 커런트 미러 회로에 의해 각 출력 단자(R에 관한 출력 단자 XR1~XRm)에 생성한 기준 전류 I_r , I_g , I_b 를 각각에 분배한다.

또한, G-기준 전류 생성 회로(2G), B-기준 전류 생성 회로(2B)에 각각 접속되는 커런트 미러 회로(3G, 3B)는, R-기준 전류 생성 회로(2R)가 접속되어 있는 커런트 미러 회로(3R)와 마찬가지로, 특별히 도시하지는 않았다.

각 기준 전류 생성 회로(2R, 2G, 2B)에는, 각각 4비트 정도의 D/A 변환 회로(D/A)(2a)가 설치되어 있으며, 화이트 밸런스 조절을 위하여 R, G, B 각각의 표시 색에 대응하는 기준 전류 I_r , I_g , I_b 의 전류값이 조정된다. 그 조정은, 각각 레지스터(2b)에 설정되는 데이터를 D/A(2a)에 의해 D/A 변환함으로써 행해진다.

이하에서는, R-기준 전류 생성 회로(2R)와 커런트 미러 회로(3)를 중심으로 하는 R에 대하여 전류 구동계에 대하여 설명한다. G-기준 전류 생성 회로(2G)와 B-기준 전류 생성 회로(2B)의 각각의 커런트 미러 회로, 그리고 이들 전류 구동계에 대해서는 생략한다.

R-기준 전류 생성 회로(2R)는, 기준 전류 발생 회로(1)로부터의 기준 전류 I_{ref} 에 의해 구동되어 R에 관한 기준 전류 I_r 를 생성한다. 이 기준 전류 I_r 은, R에 관한 커런트 미러 회로(3)의 입력측의 트랜지스터 T_{ra} 에 공급된다. 이에 의해 출력측 트랜지스터 T_{rb} 로부터 T_{rn} 각각이 기준 전류 I_r 을 발생하여, R의 각 출력 단자 XR1~XRn 대응으로 기준 전류 I_r 이 분배된다.

커런트 미러 회로(3)는, 입력측의 P채널 MOSFET 트랜지스터 T_{ra} 와, 이것과 커런트 미러 접속되는 출력측의 P채널 MOSFET 트랜지스터 T_{rb} ~ T_{rn} 을 갖고 있으며, 트랜지스터 T_{rb} ~ T_{rn} 의 소스는, 전원 라인+VDD(=+3V)에 접속되어 있다.

트랜지스터 T_{rb} ~ T_{rn} 의 드레인은, D/A(4R, 4R, ...)에 접속되고, 각각의 드레인으로부터의 출력 전류 I_r 은, D/A(4R)의 기준 구동 전류로 된다.

각 D/A(4R)는, 커런트 미러 회로로 구성되며, 그 입력측 트랜지스터에 출력 전류 I_r 을 받는다. 그리고, MPU(11)로부터 레지스터(6), 라인(8b)을 통하여 표시 데이터 DAT를 커런트 미러의 출력측 트랜지스터에 받아 기준 구동 전류 I_r 을 표시 데이터값분 전류 증폭하여 그 때마다의 OEL 소자의 표시 휘도에 따른 구동 전류를 출력측에 생성하고, 이 구동 전류에 따라서 각각에 출력단 전류원(5R)을 구동한다.

각 출력단 전류원(5R)은, 출력단 커런트 미러 회로(50)와 γ 보정 리셋 펄스 발생 회로(51), 그리고 스위치 회로(52)로 이루어진다.

커런트 미러 회로(50)는, P채널의 입력측 트랜지스터 QP1과 P채널의 출력측 트랜지스터 QP2에 의해 구성되고, 트랜지스터 QP1, QP2의 소스측은, 공통으로 전원 라인+Vcc(전압 라인+Vcc의 전압>전압 라인+VDD의 전압)에 접속되어 있다. 트랜지스터 QP1의 드레인, 게이트에 다이오드 접속되고, 또한 D/A(4R)의 출력 단자에 접속되어 D/A(4R)에 의해 구동된다. 트랜지스터 QP2의 드레인, 각 출력 단자 XR1~XRn 중 자기에 대응하는 1개에 접속되어 있다.

이에 의해, 각 출력단 전류원(5R)은, R에 관한 컬럼측의 출력 단자 XR1~XRn을 통하여 구동 전류 i 를 유기 EL 패널의 각 OEL 소자(9)의 양극에 출력한다.

스위치 회로(52)는, R에 관한 출력 단자 XR1~XRn에 대응으로 각각 설치된 리셋 스위치이며, P채널 MOS 트랜지스터 QP3으로 구성되어 있다. 각 출력단 전류원(5R)의 트랜지스터 QP3의 소스는, 각 출력 단자 XR1~XRn 중 자기에 대응하는 1개의 단자에 접속되어 있다. 각 출력단 전류원(5R)의 각 트랜지스터의 QP3의 드레인, 제너 다이오드 DZR을 통하여 그라운드 GND에 접속되어 있다. 각 트랜지스터 QP3의 게이트는, 자기의 출력단 전류원(5R)에 설치된 γ 보정 리셋 펄스 발생 회로(51)로부터 게이트 구동 신호를 받고, 이에 의해 그 트랜지스터 QP3은 ON으로 되어, 자기가 접속되어 있는 출력 단자를 정전압 V_{zR} 로 설정해서, 출력 단자에 접속되어 있는 OEL 소자(9)의 단자 전압을 리셋한다.

γ 보정 리셋 펄스 발생 회로(51)는, 데이터 변환 회로(ROM)(7)로부터 보정 데이터 TDi를 받고, 컨트롤 회로(12)로부터 라인(8a)을 통하여 타이밍 컨트롤 펄스 TP를 받는다. 또한, 컨트롤 회로(12)로부터 클럭 CLK와 표시 개시 펄스 DSTP를 받는다. 그리고, 스위치 회로(52)(트랜지스터 QP3)에 보정 데이터 TDi의 값에 따른 소정의 타이밍에서 게이트 구동 신호를 발생하여, 이것을 ON으로 한다. 이에 의해 표시 데이터 DAT의 값에 따른 리셋 기간 RT가 각 출력 단자 대응으로 설정된다. 그 결과, 리셋 기간 RT에 따라서 발광 기간 D의 길이가 γ 보정값에 대응하여 보정된다. 이렇게 함으로써 OEL 소자(9)의 발광 휘도가 γ 보정된다.

리셋 기간 RT에 스위치 회로(52)가 ON으로 되면, 제너 다이오드 DZR이 갖는 정전압 V_{zR} 에 OEL 소자(9)의 양극측이 설정되므로, OEL 소자(9)의 발광은 정지하고, 그 양극측이 소정의 전압으로 프리차지된다. 이 때, 발광하고 있는 OEL 소자(9)의 음극측은, 수직 방향(로우 라인)의 주사에 의해 그라운드 GND에 접속되어 있다.

또한, 도 1에 도시하는 바와 같이, 각 출력 단자 XR1~XRn은, 유기 EL 패널의 각 컬럼 핀에 대응하고 있으며, 이들이 접속된 상태에서는 1개로 되어 있다. 따라서, 여기에서는, 출력 단자와 컬럼 핀과는 특별히 구별하지 않고 있다.

데이터 변환 회로(ROM)(7)는, ROM과 멀티플렉서로 구성되고, 표시 데이터를 데이터 변환함으로써 OEL 소자(9)의 발광 기간을 γ 보정하는 보정 데이터 TDi를 생성한다. 데이터 변환 회로(7)는, 라인(8c)을 통하여 각 출력 단자에 대응하는 표시 데이터 DAT를 순차적으로 받아, 컨트롤 회로(12)로부터의 제어 신호 S에 따라서 멀티플렉서에 의해 γ 보정 리셋 펄스 발생 회로(51)를 순차적으로 선택하여 변환한 보정 데이터 TDi를 각 출력 단자 대응으로 각 γ 보정 리셋 펄스 발생 회로(51)에 라인(8d)을 통하여 분배해 간다.

제어 신호 S는, 픽셀 카운터의 카운트 타이밍에서 발생하는 것으로서, 픽셀 카운터는, 컨트롤 회로(12)에 내장되어, 도 6의 (b)에 도시하는 카운트 스타트 펄스 CSTP를 받아 카운트를 시작한다.

데이터 변환 회로(7)의 데이터 변환은, 임의의 타이밍에서 입력된 표시 데이터값 Di가 데이터 변환 회로(7)의 어드레스값으로 되고, 표시 데이터값 Di에 따라서 어드레스가 액세스되어, 그 어드레스 Di에 기억되어 있는 보정 데이터 TDi가 출력되는 것에 의한다. 출력된 보정 데이터 TDi는, 리셋 기간 RT의 개시 타이밍을 결정함과 동시에 표시 기간 D의 종료 타이밍을 결정한다.

도 5는, γ 보정을 위해 데이터 변환되는 데이터값에 관한 설명도이다.

횡축은, 표시 데이터값이고, 종축은, 출력 단자로부터 발생하는 평균 구동 전류값 [μA]이다.

점선 A는, 표시 기간 D(=발광 기간)를 소정의 일정값 DT로 한 경우의 출력단 전류원의 평균 출력 전류값이며, $\gamma=1.0$ 의 것이다. 이 경우, 종축의 평균 출력 전류값과 OEL 소자(9)의 발광 기간 D에서의 토탈 휘도는 대응하고 있는 것으로 한다.

이에 대하여 실선으로 나타내는 선 B는, $\gamma=2.0$ 에 대응하는 평균 출력 전류값이다. 따라서, 점선 A와 실선 B의 구동 전류값의 차 ΔI 에 대응한 평균 출력 전류의 OFF 기간을 표시 기간 DT로 설정하면, $\gamma=2.0$ 으로 보정할 수 있다. 그것은, 발광 휘도와 표시 기간은 실질적으로 대응하는 관계에 있기 때문이다.

즉, γ 보정을 하지 않을 때의 표시 기간 D의 기간을 DT로 하고, γ 보정 기간을 t_{γ} 로 하고, γ 보정된 표시 기간 T(=발광 기간)로 한다. 그리고, 다음 식에서, a는, 그래프 A에서의 임의의 표시 데이터값 Di에 대응하는 전류값, b는, 그래프 B에서의 상기 표시 데이터값 Di일 때의 전류값, td는 클럭 CLK의 주기, $D_{\gamma i}$ 는, γ 보정 기간 T_{γ} 를 클럭 카운트 수로 나타낸 기간, TDr은, 타이밍 컨트롤 펄스 TP(도 6의 (e) 참조)의 상승으로부터 γ 보정을 하지 않을 때의 표시 기간 DT가 종료할 때까지의 클럭의 카운트값이며, 예를 들면, 도 6의 (e)의 리셋 펄스 RSR의 리셋 개시 기간에 상당한다.

여기에서, 표시 기간을 γ 보정하는 클럭 카운트 수로 나타낸 기간 TDi는 다음 관계식으로부터 구해진다.

γ 보정된 표시 기간 T는,

$$T=DT \times b/a$$

γ 보정 기간 T_{γ} 는,

$$T_{\gamma}=DT-DT \times b/a=DT(1-b/a)$$

γ 보정 기간 T_{γ} 의 클럭 수 $D_{\gamma i}$ 는,

$$D_{\gamma i}=T_{\gamma}/td(i=0 \sim 63)$$

γ 보정된 표시 기간 T의 클럭 수 TDi는,

$$TDi=TDr-D_{\gamma i}$$

로 된다.

또한, 수학식 4는, γ 보정을 하지 않을 때의 표시 기간 DT에 대하여 표시 개시 시점부터 출력단 전류원(5R)의 출력 전류를 OFF할 때까지의 기간(γ 보정한 표시 기간)을 클럭 수 TDi로 나타낸 것이다. 이것은, γ 보정을 하지 않을 때의 표시 기간 DT의 표시 개시 시점부터 리셋 개시까지의 기간, 즉, 도 6의 (e)의 표시 개시 시점부터 리셋 개시 시점까지의 표시 기간 D, 이 표시 기간 D를 기준으로 하여 표시 개시 시점부터의 카운트값으로서 γ 보정된 기준으로 되는 상기 표시 기간 D보다 짧은 표시 기간을 산출하는 식이다.

ROM의 표시 데이터 Di의 어드레스에 보정 데이터 TDi가 기억됨으로써, 각 표시 데이터 Di에 대응하는 보정 데이터 TDi를 얻어, $\gamma=2.0$ 일 때의 표시 기간에 대하여 γ 보정이 행해진다. 단, $i=0 \sim 63$ 은 표시 데이터가 6비트인 경우이다.

데이터 변환 회로(7)의 ROM에는, 다수의 γ 보정에 따라서 데이터를 각 영역에 기억해 놓고, γ 보정값을 각 영역의 선두 어드레스에서 선택할 수 있도록 한다. 이에 의해 선두 어드레스의 선택에서 다양한 γ 보정을 행할 수 있다. 게다가, 이 데이터 변환 회로(7)의 ROM은, R에 관한 각 출력 단자 XR1~XRn에 대하여 1개 설치되면 된다.

γ 보정 리셋 펄스 발생 회로(51)는, 도 2에 도시하는 바와 같이, 프리셋 카운터(53)와 플립플롭(54), 그리고 인버터(55)로 구성된다. 프리셋 카운터(53)는, 제어 신호 S의 타이밍에 따라 데이터 변환 회로(7)로부터 보정 데이터 TDi가 로드된다.

그리고, 컨트롤 회로(12)로부터 송출되는 클럭 CLK를 받아 타이밍 컨트롤 펄스 TP(도 6의 (e) 참조)의 하강 타이밍에서 보정 데이터 TDi를 클럭 CLK의 하강에 따라서 카운트다운하는 것을 개시하여 그것이 "0"으로 되었을 때에 출력을 발생한다.

그 출력의 상승 출력이 트리거 신호로서 플립플롭(54)에 입력된다. 플립플롭(54)의 데이터 입력 단자 D는, 플립되어 있다. 따라서, 프리셋 카운터(53)의 상승 출력을 받으면, 데이터 "1"이 플립플롭(54)에 세트되고, 그 Q 출력이 리셋 펄스 RSR로서 트랜지스터 QP3의 게이트에 인버터(55)를 통하여 송출된다. 또한, 이 경우, 인버터(55)를 통하지 않고, 플립플롭(54)의 Q 바 출력을 이용하여도 된다.

플립플롭(54)은, 리셋 단자 R에 컨트롤 회로(12)의 타이밍 신호 발생 회로(12a)가 발생하는 표시 개시 펄스 DSTP를 받아 그 상승 타이밍에서 리셋되고, 리셋 펄스 RSR이 정지한다.

또한, 프리셋 카운터(53)의 카운트값이 "0"일 때에는 타이밍 컨트롤 펄스 TP의 하강 신호가 그대로 플립플롭(54)에 트리거 신호로서 입력된다.

그 결과, γ 보정 리셋 펄스 발생 회로(51)는, γ 보정이 없을 때에는, 그 프리셋 카운터(53)에 프리셋된 보정 데이터 TDi(=TDr)에 따라서 상승하는 도 6의 (e), (h), (i)에 도시하는 리셋 펄스 RSR이 발생한다. $D\gamma i=0$ 일 때에는, 보정 데이터 TDi(=TDr-0)로 되고, 도 6의 (e)에 도시하는 리셋 펄스 RSR이 발생한다. 또한, $D\gamma i=1$ 일 때에는, 보정 데이터 TDi(=TDr-1)로 되고, 1클럭분 바로 앞에 어긋난 도 6의 (h)에 도시하는 리셋 펄스 RSR이 발생한다. 또한, $D\gamma i=2$ 일 때에는, 보정 데이터 TDi(=TDr-2)로 되고, 2 클럭분 바로 앞으로 되는 도 6의 (i)에 도시하는 리셋 펄스 RSR이 발생한다. 일반식으로서, $D\gamma i=n$ (단, n 은 정수)일 때에는, 보정 데이터 TDi(=TDr-n)로 된다.

도 6의 (e), (h), (i)에 도시하는 리셋 펄스 RSR은, 상기한 수학식 3, 수학식 4에 표현된 바와 같이, 표시 데이터 DAT의 값에 대응하여 γ 보정된 타이밍에서 상승하고, 표시 개시 펄스 DSTP를 받아 하강한다. 그리고, 미리 결정되어 있는 표시 기간 D+ 리셋 기간 RT에 대응하는 주기(타이밍 컨트롤 신호의 주기=수평 주사 주파수)로 발생한다.

도 3은, 다른 γ 보정 리셋 펄스 발생 회로의 설명도이고, 도 4는, 그 리셋 펄스 발생 타이밍의 설명도이다.

앞의 도 1의 실시예에서는, 수평 1라인의 주사 기간에 상당하는 표시 기간과 상기 수평 1라인의 귀선 기간에 상당하는 리셋 기간을 잘라 나누기 위한 타이밍 컨트롤 신호에 의해 결정되는 리셋 기간을 기준으로 하여 γ 보정에 따라서 리셋 기간의 길이 바로 앞으로 늘린 타이밍 제어를 하고 있다. 이 실시예에서는, 타이밍 컨트롤 신호에 의해 잘라 나뉘어지는 표시 기간을 γ 보정을 하는 경우의 가장 짧은 표시 기간으로 설정해 놓고, 이것의 리셋 기간을 기준으로 하여, 이 리셋 기간의 길이를 γ 보정에 따라서 바로 앞측을 깎아 짧게 하는 타이밍 제어를 하는 예이다.

γ 보정 리셋 펄스 발생 회로(51a)는, n 단의 시프트 레지스터(56)와, 셀렉터(57), 2입력 앤드 게이트(58), 3비트의 레지스터(59), 그리고 인버터(60, 61)로 이루어진다. n 단의 시프트 레지스터(56)는, 타이밍 신호 발생 회로(12a)로부터 타이밍 컨트롤 펄스 TP와, 인버터(60)를 통하여 클럭 CLK를 받아, 클럭 CLK의 하강 타이밍에서, 각 단에 도 4의 (a)에 도시한 바와 같은 출력 파형을 발생한다.

또한, 도시하여 설명하는 형편상, 도 4의 (a)는, n 을 4로 하여 4단의 시프트 레지스터(56)로 하고, 그 각 단의 플립플롭을 Q1~Q4로 한 경우의 설명이다. 실제로는, γ 보정하는 최대 기간분으로서, $n=32$ 정도는 필요하게 된다. Q1~Q4의 각 단의 출력 신호는, 시프트 레지스터(56)의 각 단에 입력되는 클럭 CLK의 하강에 따라서 발생하고, Q2~Q4는, 초단 Q1의 상승으로부터 1 내지 수 클럭 CLK분 지연된 출력으로 되어 있다. 또한, 초단 Q1의 상승 타이밍은, 도 6의 (j)에 도시하는 타이밍 컨트롤 펄스 TP의 상승부터 이것에 동기하는 클럭 CLK가 하강할 때까지의 기간분 지연되고 있다.

셀렉터(57)는, 시프트 레지스터(56)의 초단의 출력 신호로부터 최종단의 출력 신호의 각각과 초단예의 입력 신호(타이밍 신호 발생 회로(12a)로부터 타이밍 컨트롤 펄스 TP)를 받아, 입력 신호의 1개를 선택한다. 이 셀렉터(57)의 입력 신호의 선택은, 레지스터(59)에 설정된 TDi에 따라서 행해진다. 여기에서, 선택된 입력 신호는, 2입력의 앤드 게이트(58)의 한 쪽에 입력된다. 앤드 게이트(58)의 다른 쪽의 입력에는 시프트 레지스터(56)의 입력 신호로서 도 6의 (j)에 도시하는 타이밍 컨트롤 펄스 TP가 입력되어 있다.

이 경우의 타이밍 컨트롤 펄스 TP는, 하강 타이밍이 표시 개시 위치로 고정되어 있지만, 상승 타이밍은, γ 보정을 하는 경우의 가장 짧은 표시 기간 D보다도 적어도 반 록분 이상 바로 앞으로 설정되어 있다. 이 도 6의 (j)의 타이밍 컨트롤 펄스 TP는, 이 도 6의 (e)의 통상의 타이밍 컨트롤 펄스 TP로 생성한다.

도 6의 (j)의 타이밍 컨트롤 펄스 TP는, 표시 기간 D를 γ 보정을 하는 경우의 가장 짧은 표시 기간이나, 그 이하로 설정하여 표시 기간 D와 리셋 기간 RT를 잘라 나누는 신호로 되어 있다. 이에 의해 반대로 리셋 기간 RT가 γ 보정을 하는 경우의 가장 긴 기간이나 그 이상으로 설정된다.

또한, 레지스터(59)에 설정하는 데이터값 TDi는,

$$TDi = TDir - Dp$$

단, TDir은, 수학식 4에서 산출된 클럭 수 TDi이고, Dp는, 도 6의 (j)의 타이밍 컨트롤 펄스 TP가 상승할 때까지는 클럭 수이다. 따라서, 데이터 변환 회로(7)에 기억되는 보정 데이터는, 수학식 4에 따르는 TDi(=TDir)가 아니라, 수학식 5에 따라서 산출된 TDi로 된다.

그 결과, 앤드 게이트(58)의 출력은, 레지스터(56)에 설정된 데이터값에 따라서 초단으로부터 m클럭 CLK(m은 1 이상의 정수) 지연된 리셋 펄스 RSR이 발생한다. 이 리셋 펄스 RSR은, 타이밍 컨트롤 펄스 TP의 상승(전연) 혹은 선택된 Q1~Q4의 출력 중 어느 한 쪽의 상승(전연)을 상승(전연)으로 하고, 하강(후연)을 타이밍 컨트롤 펄스 TP의 하강(후연)으로 한, 도 6의 (e), (h), (i)에 도시하는 바와 같은 리셋 펄스 RSR로 된다. 이 리셋 펄스 RSR은, 인버터(61)를 통하여 트랜지스터 QP3의 게이트에 가해진다. 또한, 앤드 게이트(58)와 인버터(61) 대신에 NAND 게이트를 이용해도 된다.

설명을 간단히 하기 위해서, 시프트 레지스터(56)를 4단 구성으로 하고, TDi를 3비트로 하면, 레지스터(56)에 세트되는 3비트의 보정 데이터 TDi는, 0~4까지의 값으로 되어, 그 수치가 출력단 수에 대응하고 있다. 따라서, 리셋 펄스 발생 회로(3R)의 레지스터(56)에 설정된 3비트의 보정 데이터 TDi를 "011"에서 「3」으로 하면, 도 4의 (b)에 도시하는 바와 같이, Q3의 출력이 선택되어, 앤드 게이트(54)의 출력은, 도 4의 (b)에 도시하는 바와 같이, 초단 Q1의 출력으로부터 2클럭분 지연되어, 가령, 타이밍 컨트롤 펄스 TP로부터는 3클럭분 지연되는 것으로 한다.

그 결과로서, 도 6의 (e)에 도시하는 바와 같은 리셋 펄스 RSR이 리셋 펄스 발생 회로(3R)로부터 발생한다. 이 때에는, $TDi = TDr = "011"$ 이며, 이것이 보정되지 않는 표시 기간 DT로 된다.

도 6의 (i)의 리셋 펄스 RSR의 경우에는, 리셋 펄스 발생 회로(3G)의 레지스터(56)에 설정된 3비트의 보정 데이터 TDi는, $TDi = "010"$ 이며, 타이밍 컨트롤 펄스 TP부터는 2클럭분 지연된다.

도 6의 (h)의 리셋 펄스 RS의 경우에는, 리셋 펄스 발생 회로(3B)의 레지스터(56)에 설정된 3비트의 보정 데이터 TDi는, $TDi = "001"$ 이며, 타이밍 컨트롤 펄스 TP부터는 2클럭분 지연된다.

앤드 게이트(58)의 출력은, 인버터(61)를 통하여 스위치 회로(52)를 구성하는 트랜지스터 QP3의 게이트에 송출되어, 앤드 게이트(58)의 출력이 "H" 기간 동안, 인버터(58)를 통하여 "L"이 트랜지스터 QP3의 게이트에 출력되어, 이 트랜지스터가 ON으로 된다.

그런데, 이상의 설명에서는, R에 관한 리셋 펄스 RSR을 γ 보정에 따라서 발생시킨다고 설명하고 있지만, G, B에 관한 리셋 펄스에 대하여 마찬가지로 하여 γ 보정에 따라서 발생시키는 것이다.

또한, 실시예에서는, 리셋 펄스 RSR의 개시 타이밍을 도 6의 (e)에 도시하는 타이밍 컨트롤 펄스 TP의 하강(전연)을 기준으로 하여 클럭 CLK를 카운트하여 설정하고 있지만, 이 타이밍 컨트롤 펄스 TP의 주기는, 일정하므로, 이것의 상승(후연)을 기준으로 하여 클럭 CLK를 카운트하여 설정해도 되는 것은 물론이다.

도면의 간단한 설명

도 1은 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 유기 EL 패널의 컬럼 드라이버를 중심으로 하는 블록도.

도 2는 출력단 전류원에 설치된 γ 보정 리셋 펄스 발생 회로의 설명도.

도 3은 다른 γ 보정 리셋 펄스 발생 회로의 설명도.

도 4는 도 3에서의 γ 보정 리셋 펄스 발생 회로의 리셋 펄스 발생 타이밍의 설명도.

도 5는 데이터 변환 회로(ROM)에 설정되는 γ 보정 데이터에 관한 설명도.

도 6은 컬럼 핀을 전류 구동하는 전류 파형과 이것을 발생하는 타이밍 신호의 설명도.

<부호의 설명>

1G, 1R, 1B: R, G, B의 각 기준 전류 발생 회로

2G, 2R, 2B: R, G, B의 각 기준 전류 분배 회로

3, 3G, 3R, 3B: D/A 변환 회로(D/A)

4, 4G, 4R, 4B: 피크 전류 생성 회로

5, 5R, 5G, 5B: 출력단 전류원

6: 프로그래머블 펄스 폭 펄스 발생 회로

6: 레지스터

7: 데이터 변환 회로(ROM)

9, 9G1, 9R1, 9B1, 9G2, 9R2: 핀

10: 컬럼 IC 드라이버

12: MPU

12: 컨트롤 회로

50: 출력단 커런트 미러 회로

51, 51a: γ 보정 리셋 펄스 발생 회로

52: 스위치 회로

53: 프리셋 카운터

54: 플립플롭

55, 60, 61: 인버터

56: 시프트 레지스터

57: 셀렉터

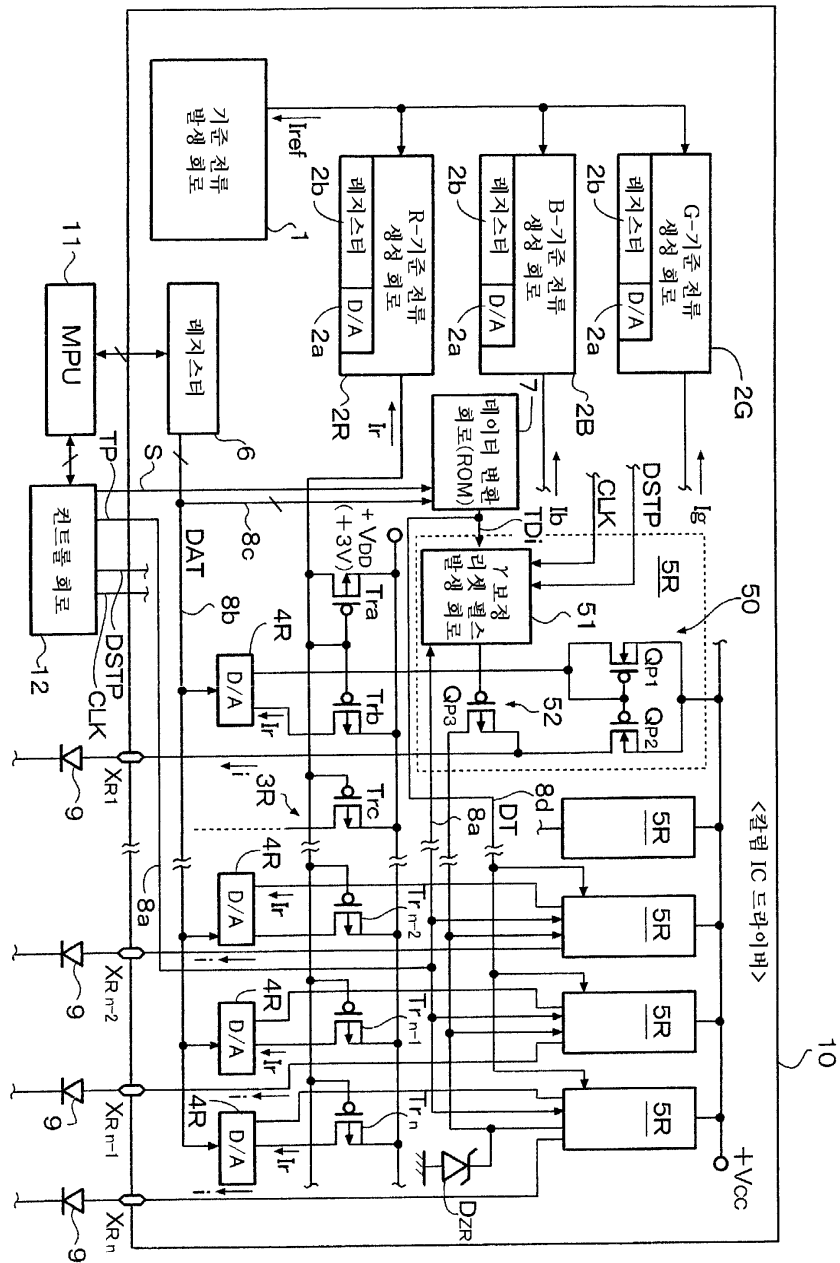
58: 2입력 앤드 게이트

59: 3비트의 레지스터

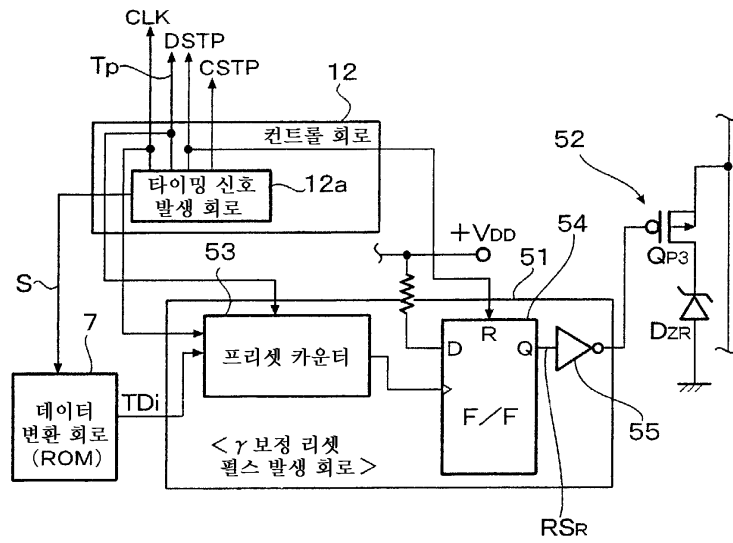
Tra ~ Trn, QP1-QP3: 트랜지스터

도면

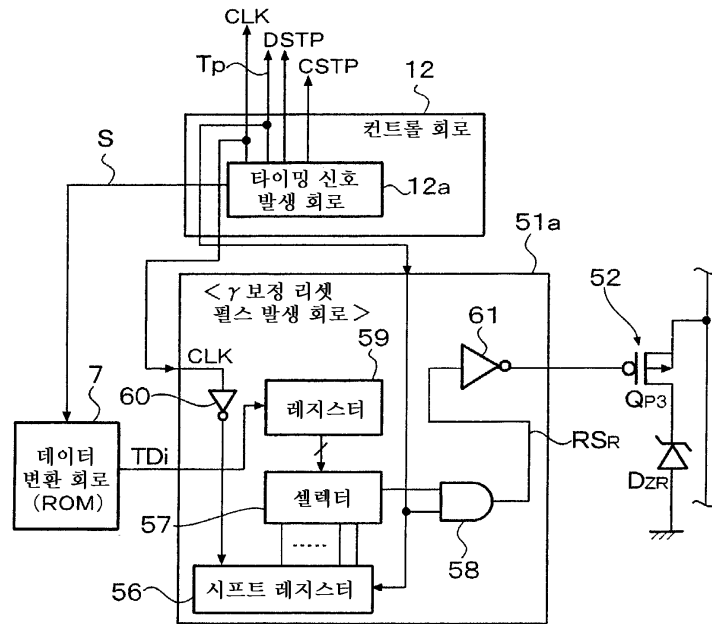
도면1



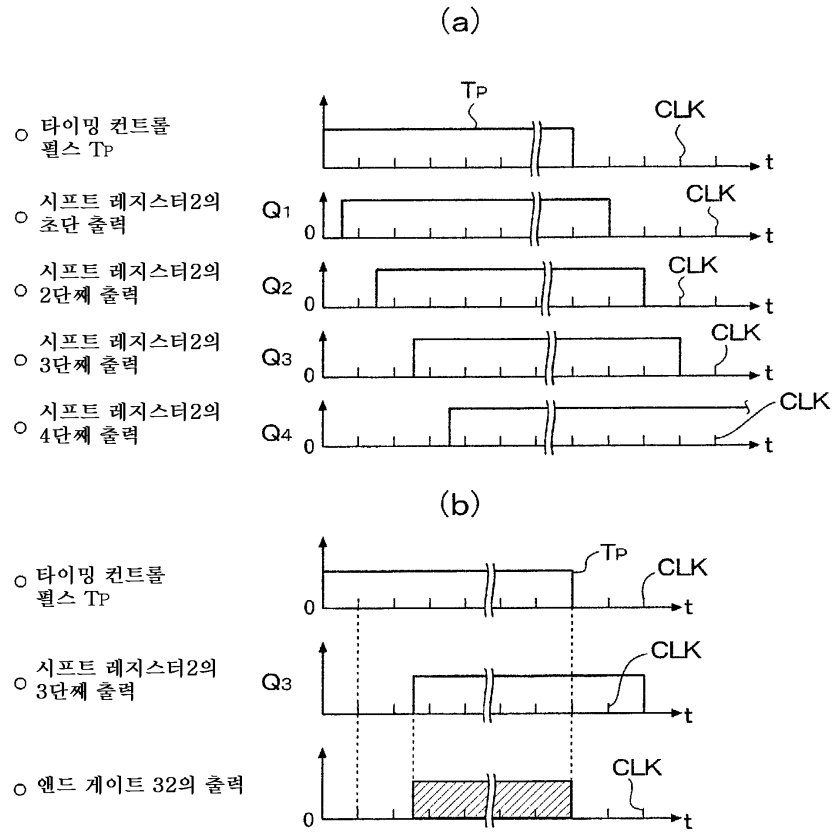
도면2



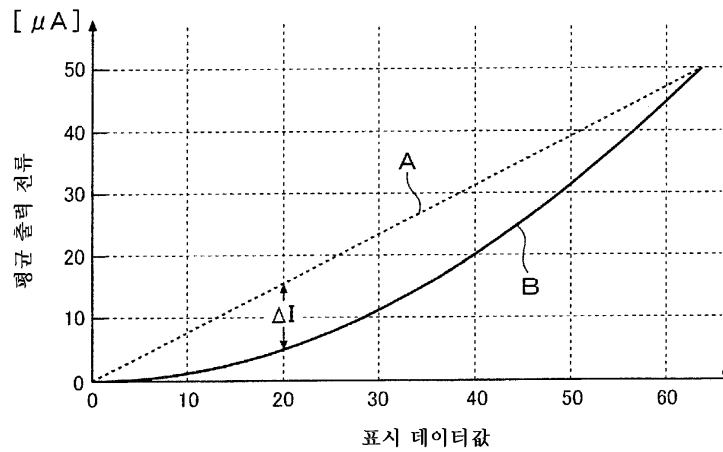
도면3



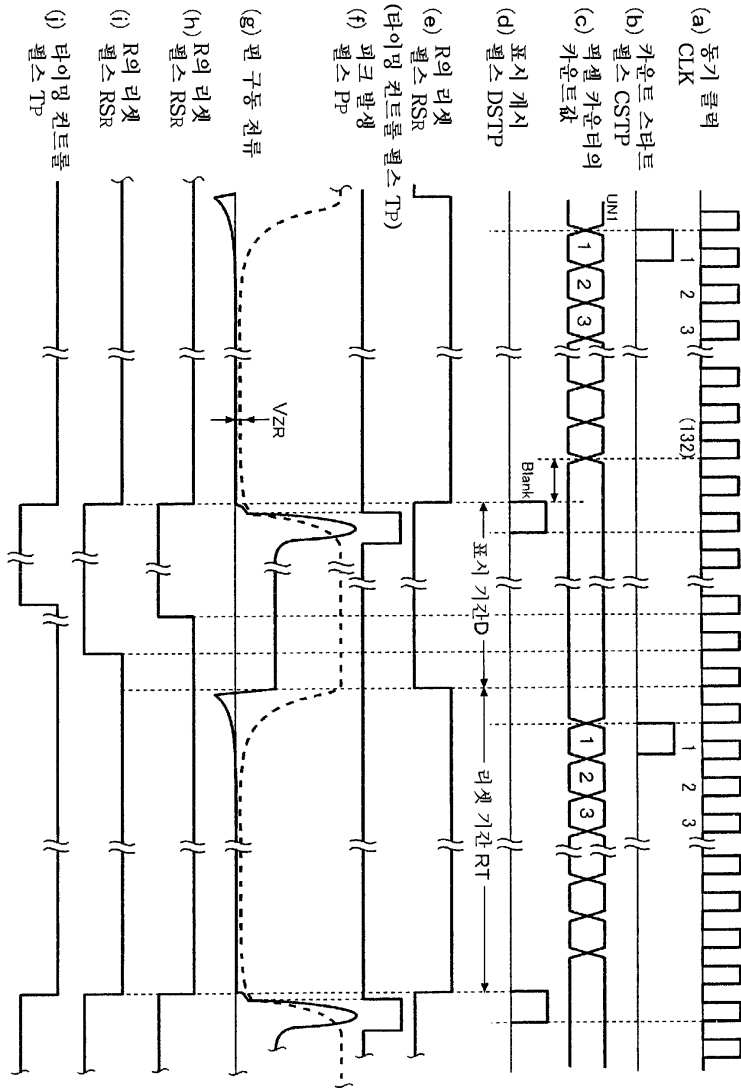
도면4



도면5



도면6



专利名称(译)	有机EL驱动电路和使用其的有机EL显示装置		
公开(公告)号	KR1020070003988A	公开(公告)日	2007-01-05
申请号	KR1020067020135	申请日	2005-03-22
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	MAEDE JUN 마에데준 YAGUMA HIROSHI 야구마히로시 ABE SHINICHI 아베신이찌 FUJIKAWA AKIO 후지카와아끼오		
发明人	마에데,준 야구마,히로시 아베,신이찌 후지카와,아끼오		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/08		
CPC分类号	G09G3/3283 G09G3/2011 G09G3/2014 G09G3/2081 G09G3/3216 G09G2310/0248 G09G2320/0276		
代理人(译)	Jangsugil Yijunghui		
优先权	2004087012 2004-03-24 JP		
其他公开文献	KR100811351B1		
外部链接	Espacenet		

摘要(译)

开关电路52，用于响应于复位脉冲而将端子引脚XR连接到预定的电位线；以及校正数据TD，其用于根据显示数据校正发光周期，以通过 θ 校正EL元件9的亮度。①校正电路，包括：校正数据产生电路7，用于产生；以及复位脉冲产生电路51，用于接收定时控制信号TP和校正数据TD，并根据 α 校正产生脉冲宽度的复位脉冲。对应于端子引脚XR而设置，以抑制有机EL驱动电路和有机EL显示装置的伽马校正电路的占用面积。1个

