

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/26 (2006.01)

G09G 3/30 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호 10-2006-0106308

(43) 공개일자 2006년10월12일

(21) 출원번호 10-2005-0028916

(22) 출원일자 2005년04월07일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 주인수
경기 성남시 분당구 수내동 푸른마을쌍용아파트 507동802호
고춘석
경기 화성시 태안읍 반월리 신영통현대아파트 105동802호
정광철
경기 성남시 수정구 태평1동 7115-4

(74) 대리인 박영우

심사청구 : 없음

(54) 표시 패널과, 이를 구비한 표시 장치 및 구동 방법

요약

제조 공정시 결점을 감소시키는 새로운 화소 구조를 구현하기 위한 표시 패널과, 이를 구비한 표시 장치 및 구동 방법이 개시된다. 표시 패널은 제1 화소부 및 제2 화소부를 포함한다. 제1 화소부는 인접하는 제1 및 제2 게이트 배선들과 인접하는 제1 및 제2 전원전압 배선들에 의해 정의되는 영역 중 데이터 배선에 의해 구획되는 일부 영역에 형성된다. 제2 화소부는 영역 중 데이터 배선에 의해 구획되는 나머지 영역에 형성된다. 이에 따라, 인접한 화소부 간의 데이터 배선과 전원전압 배선을 공유함으로써 표시 패널의 제조 공정시 결점을 방지하여 제품의 신뢰성을 향상시킬 수 있다.

대표도

도 1

색인어

OLED, 데이터 배선, 전원전압 배선, 화소 구조

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 표시 패널에 형성된 유기전계 구동소자에 대한 등가 회로이다.

도 2는 도 1에 도시된 표시 패널에 대한 평면도이다.

도 3은 도 2에 도시된 표시 패널을 I-I' 라인으로 절단한 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 표시 패널에 형성된 유기전계 구동소자에 대한 등가 회로이다.

도 5a 및 도 5b는 본 발명의 실시예에 따른 표시 패널의 구동 방식에 대한 일 예의 파형도들이다.

도 6a 및 도 6b는 본 발명의 실시예에 따른 표시 패널의 구동 방식에 대한 다른 예의 파형도들이다.

도 7은 본 발명을 다른 실시예에 따른 표시 장치에 대한 개략적인 블록도이다.

도 8a 내지 도 8d는 도 7에 도시된 표시 장치의 일 예의 구동 방법을 설명하기 위한 타이밍도들이다.

도 9a 내지 도 9e는 도 7에 도시된 표시 장치의 다른 예의 구동 방법을 설명하기 위한 타이밍도들이다.

<도면의 주요부분에 대한 부호의 설명>

P1 : 제1 화소부 P2 : 제2 화소부

QS11, QS21, QS31 : 제1 스위칭 트랜지스터

QS12, QS22, QS32 : 제2 스위칭 트랜지스터

QD1, QD2, QD3 : 구동 트랜지스터

CST1, CST2, CST3 : 스토리지 캐패시터

210 : 타이밍 제어부 230 : 전원공급부

250 : 데이터 구동부 270 : 게이트 구동부

290 : 유기전계발광(OLED) 패널

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 패널과 이를 구비한 표시 장치 및 구동 방법에 관한 것으로, 보다 상세하게는 제조 공정시 결점을 감소시키는 새로운 화소 구조를 구현하기 위한 표시 패널과, 이를 구비한 표시 장치 및 구동 방법에 관한 것이다.

일반적인 단위 화소 영역에는 유기 전계발광 구동 소자가 형성된다. 상기 유기 전계발광 구동 소자는 스위칭 박막트랜지스터와, 구동 박막트랜지스터와, 스토리지 캐패시터를 포함한다. 상기 스위칭 박막트랜지스터는 게이트와 소스가 게이트 배선과 데이터 배선에 각각 연결되고, 상기 스토리지 캐패시터는 스위칭 박막트랜지스터와 연결되는 일단과 외부 바이어스 전압(Vdd)가 인가되는 Vdd 배선과 연결된다. 상기 구동 박막트랜지스터의 게이트는 상기 스위칭 박막트랜지스터의 드레인에 연결되고, 소스가 상기 Vdd 배선에 연결된다.

이와 같이, 단위 화소 영역은 상기 유기 전계발광 구동 소자를 구동하기 위해 하나의 게이트 배선과, 하나의 데이터 배선 및 하나의 Vdd 배선이 형성된다. 상기 데이터 배선과 Vdd 배선간의 간격은 최대 개구율을 확보하기 위해 대략 5 μm 정도의 간격을 갖도록 형성된다.

이에 의해 표시 패널 제조 공정시, 이물질로 인해 인접하게 형성되는 데이터 배선과 Vdd 배선 간에는 쇼트가 발생하는 문제점을 갖는다. 상기 데이터 배선과 Vdd 배선 간에 쇼트가 발생하게 되면, 상기 데이터 배선으로 바이어스 전압(Vdd)이 유입되어 화면 상에 원치 않는 표시 오류가 발생하게 된다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 개선된 화소 구조를 갖는 표시 패널을 제공하는 것이다.

본 발명의 다른 목적은 상기 표시 패널을 구비한 표시 장치를 제공하는 것이다.

본 발명의 다른 목적은 상기 표시 장치의 구동 방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 패널은 제1 화소부 및 제2 화소부를 포함한다. 상기 제1 화소부는 인접하는 제1 및 제2 게이트 배선들과 인접하는 제1 및 제2 전원전압 배선들에 의해 정의되는 영역 중 데이터 배선에 의해 구획되는 일부 영역에 형성된다. 상기 제2 화소부는 상기 영역 중 상기 데이터 배선에 의해 구획되는 나머지 영역에 형성된다.

상기 제1 화소부는 상기 제1 및 제2 게이트 배선이 활성화됨에 따라서 구동하는 제1 유기전계 발광소자를 포함하고, 상기 제2 화소부는 상기 제1 게이트 배선이 활성화됨에 따라서 구동하는 제2 유기전계 발광소자를 포함한다.

상기 제1 화소부는 상기 제1 데이터 배선과 상기 제1 게이트 배선에 연결된 제1 스위칭소자와, 상기 제1 전원전압 배선과 연결되어, 상기 제1 유기전계 발광소자를 구동시키는 제1 구동소자 및 상기 제2 게이트 배선과 연결되고, 상기 제1 스위칭소자와 제1 구동소자를 전기적으로 연결시키는 제1 제어소자를 포함한다. 또한, 상기 제1 화소부는 상기 제1 구동소자와 상기 제1 전원전압 배선과 연결된 제1 스토리지 캐패시터를 더 포함한다.

상기 제2 화소부는 상기 제1 데이터 배선과 상기 제1 게이트 배선에 연결된 제2 스위칭소자 및 상기 제2 스위칭소자와 상기 제2 전원전압 배선과 연결되어 제2 유기전계 발광소자를 구동시키는 제2 구동소자를 포함한다. 또한, 상기 제2 화소부는 상기 제2 구동소자와 제2 전원전압 배선과 연결된 제2 스토리지 캐패시터를 더 포함한다.

바람직하게 상기 제2 화소부는 상기 제1 게이트 배선과 연결되고, 상기 제2 스위칭소자와 상기 제2 구동소자를 전기적으로 연결시키는 제2 제어소자를 더 포함한다.

보다 바람직하게 임의의 데이터 배선과 상기 임의의 데이터 배선에 인접하는 전원전압 배선 간의 간격은 대략 80 내지 100 μm 이다.

상기한 본 발명의 다른 목적을 실현하기 위한 다른 실시예에 따른 표시 장치는 표시 패널, 게이트 구동부 및 데이터 구동부를 포함한다. 상기 표시 패널은 제1 및 제2 게이트 배선들과 데이터 배선에 전기적으로 연결된 제1 유기전계 발광소자와, 상기 제1 게이트 배선과 상기 데이터 배선에 전기적으로 연결된 제2 유기전계 발광소자를 포함한다. 상기 게이트 구동부는 복수의 게이트 배선들을 활성화시키는 복수의 게이트 신호들을 순차적으로 출력하고, 상기 제1 게이트 배선을 활성화시키는 제1 게이트 신호가 상기 제1 게이트 배선에 출력되는 초기 구간에 상기 제2 게이트 배선을 활성화시키는 제2 서브 게이트 신호를 출력한다.

상기 데이터 구동부는 상기 초기 구간에 상기 제1 유기전계 발광소자에 해당하는 제1 데이터 신호를 상기 데이터 배선에 출력하고, 상기 제1 게이트 신호의 후기 구간에는 상기 제2 유기전계 발광소자에 해당하는 제2 데이터 신호를 상기 데이터 배선에 출력한다.

바람직하게 상기 제1 게이트 신호의 펄스폭은 1H 구간이다.

더욱 바람직하게 상기 제1 게이트 신호는 제1 펄스 및 제2 펄스를 포함하고, 상기 제1 및 제2 펄스는 1H 구간 동안 출력된다. 상기 데이터 구동부는 상기 제1 펄스 구간동안 상기 제1 데이터 신호를 출력하고, 상기 제2 펄스 구간동안 상기 제2 데이터 신호를 출력한다.

상기한 본 발명의 다른 목적을 실현하기 위한 다른 실시예에 따른 제1 및 제2 게이트 배선들과 데이터 배선에 전기적으로 연결된 제1 유기전계 발광소자와, 상기 제1 게이트 배선과 상기 데이터 배선에 전기적으로 연결된 제2 유기전계 발광소자를 포함하는 표시 장치의 구동 방법에서, 상기 제1 게이트 배선과 제2 게이트 배선을 활성화시켜 상기 데이터 배선으로 전달된 제1 데이터 신호에 의해 상기 제1 유기전계 발광소자를 발광시키는 단계 및 상기 제1 게이트 배선은 활성화시키고, 상기 제2 게이트 배선은 비활성화시켜 상기 데이터 배선으로 전달된 제2 데이터 신호에 의해 상기 제2 유기전계 발광소자를 발광시키는 단계를 포함한다.

상기 제1 유기전계 발광소자를 발광시키는 단계는, 상기 제1 데이터 신호를 상기 데이터 배선에 출력하는 단계와, 상기 제1 게이트 배선에 제1 게이트 신호를 출력하는 단계와, 상기 제1 게이트 신호의 초기 구간에 상기 제2 게이트 배선을 활성화시키는 제2 서브 게이트 신호를 출력하는 단계 및 상기 제1 및 제2 게이트 배선이 활성화됨에 따라 상기 제1 데이터 신호가 상기 제1 유기전계 발광소자에 인가되는 단계를 포함한다.

상기 제2 유기전계 발광소자를 발광시키는 단계는, 상기 제2 데이터 신호를 상기 데이터 배선에 출력하는 단계와, 상기 제1 게이트 신호의 후기 구간에 상기 제2 게이트 배선을 비활성화시키는 단계 및 상기 제1 게이트 배선은 활성화되고 상기 제2 게이트 배선은 비활성화 됨에 따라 상기 제2 데이터 신호가 상기 제2 유기전계 발광소자에 인가되는 단계를 포함한다.

바람직하게 상기 제1 유기전계 발광소자는 1H 구간의 초기 구간에 발광하고, 상기 제2 유기전계 발광소자는 상기 1H 구간의 후기 구간에 발광한다.

이러한 표시 패널과, 이를 구비한 표시 장치 및 구동 방법에 의하면, 서로 인접한 화소부들의 데이터 배선 또는 전원전압 배선을 공유함으로써 표시 패널의 제조 공정시 배선간의 쇼트를 방지하여 제품의 신뢰성을 향상시킬 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 실시예에 따른 표시 패널의 화소부에 형성된 유기전계 구동소자에 대한 등가 회로이다.

도 1을 참조하면, 상기 화소부들은 제1 화소부(P1)를 기준으로, 인접한 제2 화소부(P2)와 제3 화소부(P3)를 포함한다.

상기 제1 화소부(P1)와 상기 제2 화소부(P2)는 m번째 데이터 배선(DLm)을 공유하며, 상기 제1 화소부(P1)와 상기 제3 화소부(P3)는 k번째 바이어스 전압 배선(VLk)을 공유한다.

구체적으로, 상기 제1 화소부(P1)는 제1 스위칭 트랜지스터(QS11)와 제2 스위칭 트랜지스터(QS12)와, 구동 트랜지스터(QD1) 및 스토리지 캐패시터(CST1)를 포함한다. 상기 제1 스위칭 트랜지스터(QS11)는 n번째 게이트 배선(GLn)과 연결된 게이트 전극과, m번째 데이터 배선(DLm)과 연결된 소스 전극과, 상기 제2 스위칭 트랜지스터(QS12)와 연결된 드레인 전극을 포함한다.

상기 제2 스위칭 트랜지스터(QS12)는 n+1번째 게이트 배선(GLn+1)에 연결된 게이트 전극과, 제1 스위칭 트랜지스터(QS11)와 연결된 소스 전극과, 구동 트랜지스터(QD1)와 연결된 드레인 전극을 포함한다.

상기 구동 트랜지스터(QD1)는 상기 제2 스위칭 트랜지스터(QS12)와 연결된 게이트 전극과, k번째 바이어스 전압 배선(VLk)과 연결된 소스 전극과, 유기 EL 소자(EL1)와 연결된 드레인 전극을 포함한다.

상기 스토리지 캐패시터(CST1)는 상기 k번째 바이어스 전압 배선(VLk)과 연결된 제1 전극과, 상기 제2 스위칭 트랜지스터(QS12)의 드레인 전극과 상기 구동 트랜지스터(QD1)의 게이트 전극에 공통으로 연결된 제2 전극을 포함한다.

상기 제2 화소부(P2)는 상기 제1 화소부(P1)와 인접하게 형성되어 상기 제1 화소부(P1)와 m번째 데이터 배선(DLm)을 공유한다. 상기 제2 화소부(P2)는 제1 스위칭 트랜지스터(QS21)와 제2 스위칭 트랜지스터(QS22)와, 구동 트랜지스터

(QD2) 및 스토리지 캐패시터(CST2)를 포함한다. 상기 제1 스위칭 트랜지스터(QS21)는 n번째 게이트 배선(GLn)과 연결된 게이트 전극과, m번째 데이터 배선(DLm)과 연결된 소스 전극과, 상기 제2 스위칭 트랜지스터(QS22)와 연결된 드레인 전극을 포함한다.

상기 제2 스위칭 트랜지스터(QS22)는 n번째 게이트 배선(GLn)에 연결된 게이트 전극과, 제1 스위칭 트랜지스터(QS21)와 연결된 소스 전극과, 상기 구동 트랜지스터(QD2)와 연결된 드레인 전극을 포함한다.

상기 구동 트랜지스터(QD2)는 상기 제2 스위칭 트랜지스터(QS22)와 연결된 게이트 전극과, k-1번째 바이어스 전압 배선(VLk-1)과 연결된 소스 전극과, 유기 EL 소자(EL2)와 연결된 드레인 전극을 포함한다.

상기 스토리지 캐패시터(CST2)는 상기 k-1번째 바이어스 전압 배선(VLk-1)과 연결된 제1 전극과, 상기 제2 스위칭 트랜지스터(QS22)의 드레인 전극과 상기 구동 트랜지스터(QD2)의 게이트 전극에 공통으로 연결된 제2 전극을 포함한다.

상기 제3 화소부(P3)는 상기 제1 화소부(P1)와 인접하게 형성되어 상기 k번째 바이어스 전압 배선(VLk)을 공유한다. 상기 제3 화소부(P3)는 제1 스위칭 트랜지스터(QS31)와 제2 스위칭 트랜지스터(QS32)와, 구동 트랜지스터(QD3) 및 스토리지 캐패시터(CST3)를 포함한다. 상기 제1 스위칭 트랜지스터(QS31)는 n번째 게이트 배선(GLn)과 연결된 게이트 전극과, m-1번째 데이터 배선(DLm-1)과 연결된 소스 전극과, 상기 제2 스위칭 트랜지스터(QS32)와 연결된 드레인 전극을 포함한다.

상기 제2 스위칭 트랜지스터(QS32)는 n번째 게이트 배선(GLn)에 연결된 게이트 전극과, 제1 스위칭 트랜지스터(QS31)와 연결된 소스 전극과, 구동 트랜지스터(QD3)와 연결된 드레인 전극을 포함한다.

상기 구동 트랜지스터(QD3)는 상기 제2 스위칭 트랜지스터(QS32)와 연결된 게이트 전극과, k번째 바이어스 전압 배선(VLk)과 연결된 소스 전극과, 유기 EL 소자(EL3)와 연결된 드레인 전극을 포함한다.

상기 스토리지 캐패시터(CST3)는 상기 k번째 바이어스 전압 배선(VLk)과 연결된 제1 전극과, 상기 제2 스위칭 트랜지스터(QS32)의 드레인 전극과 상기 구동 트랜지스터(QD3)의 게이트 전극에 공통으로 연결된 제2 전극을 포함한다.

상기 제1 화소부(P1) 내지 제3 화소부(P3)에 형성된 유기 전계 구동 소자의 구동은 이하 제1 화소부(P1)에 형성된 유기 전계 구동소자를 예로 하여 설명한다.

상기 n+1번째 게이트 배선(GLn+1)에 n+1번째 게이트 펄스가 동시에 인가되면, 상기 제2 스위칭 트랜지스터(QS12)가 턴온 된다. 한편, 상기 n+1번째 게이트 펄스가 인가될 때, n번째 게이트 배선(GLn)에 n번째 게이트 펄스가 인가되어 상기 제1 스위칭 트랜지스터(QS11)를 턴온 시킨다. 이에 의해 상기 제2 스위칭 트랜지스터(QS12)를 통해 전기적으로 연결된 상기 제1 스위칭 트랜지스터(QS11)에 인가된 데이터 전압은 상기 구동 트랜지스터(QD1)에 인가된다. 상기 구동 트랜지스터(QD1)에 인가된 상기 데이터 전압은 상기 유기 EL 소자(EL1)에 인가된다. 이에 의해 상기 유기 EL 소자(EL1)는 상기 데이터 전압에 대응하는 소정의 밝기로 발광한다. 상기 스토리지 캐패시터(CST1)는 상기 데이터 전압에 의해 충전된 충전 전압을 한 프레임 구간동안 유지시킨다.

도 2는 도 1에 도시된 표시 패널에 대한 평면도이다.

도 2를 참조하면, 상기 표시 패널은 상기 제1 화소부(P1)에 인접하고 k번째 바이어스 전압 배선(VLk)을 공유하는 제3 화소부(P3)를 포함한다. 상기 k번째 바이어스 전압 배선(VLk)과 인접한 m번째(또는 m-1번째) 데이터 배선(DLm) 간의 간격은 대략 80 내지 100 μm 정도이다. 이에 의해 표시 패널 제조 공정시 배선들간의 쇼트 발생을 막는다.

상기 제1 화소부(P1)는 제1 스위칭 트랜지스터(110)와 제2 스위칭 트랜지스터(120)와, 구동 트랜지스터(130) 및 스토리지 캐패시터(141)를 포함한다. 상기 제1 스위칭 트랜지스터(110)는 n번째 게이트 배선(GLn)과 연결된 게이트 전극(111)과 m번째 데이터 배선(DLm)과 연결된 소스 전극(112)과, 상기 제2 스위칭 트랜지스터(120)의 소스 전극(122)과 연결된 드레인 전극(113)을 포함한다.

상기 제2 스위칭 트랜지스터(120)는 n+1번째 게이트 배선(GLn+1)에 연결된 게이트 전극(121)과, 제1 스위칭 트랜지스터(110)의 드레인 전극(113)에 연결된 소스 전극(122)과, 구동 트랜지스터(130)의 게이트 전극(131)에 연결된 드레인 전극(123)을 포함한다.

상기 구동 트랜지스터(130)는 상기 제2 스위칭 트랜지스터(120)와 연결된 게이트 전극(121)과, k번째 바이어스 전압 배선(VLk)과 연결된 소스 전극과, 화소 전극(151)과 연결된 드레인 전극(123)을 포함한다. 상기 화소 전극(151) 위에는 EL 층(161)이 형성되고, 상기 EL 층(161) 위에는 대향 전극(미도시)이 형성된다.

상기 스토리지 캐패시터(141)는 상기 k번째 바이어스 전압 배선(VLk)과 상기 제2 스위칭 트랜지스터(120) 및 상기 구동 트랜지스터(130)와 전기적으로 연결된다.

상기 제3 화소부(P3)는 제1 스위칭 트랜지스터(170)와 제2 스위칭 트랜지스터(180)와, 구동 트랜지스터(190) 및 스토리지 캐패시터(143)를 포함한다. 상기 제1 스위칭 트랜지스터(170)는 n번째 게이트 배선(GLn)과 연결된 게이트 전극(171)과, m+1번째 데이터 배선(DLm+1)과 연결된 소스 전극(172)과, 상기 제2 스위칭 트랜지스터(180)의 소스 전극(182)과 연결된 드레인 전극(173)을 포함한다.

상기 제2 스위칭 트랜지스터(180)는 n번째 게이트 배선(GLn)에 연결된 게이트 전극(181)과, 제1 스위칭 트랜지스터(170)의 드레인 전극(173)과 연결된 소스 전극(182)과, 구동 트랜지스터(190)의 게이트 전극(191)과 연결된 드레인 전극(183)을 포함한다.

상기 구동 트랜지스터(190)는 상기 제2 스위칭 트랜지스터(180)의 드레인 전극(183)과 연결된 게이트 전극(191)과, k번째 바이어스 전압 배선(VLk)과 연결된 소스 전극(192)과, 화소 전극(153)과 연결된 드레인 전극(193)을 포함한다. 상기 화소 전극(153) 위에는 EL 층(163)이 형성되고, 상기 EL 층(163) 위에는 대향 전극(미도시)이 형성된다.

상기 스토리지 캐패시터(143)는 상기 k번째 바이어스 전압 배선(VLk)과 상기 제2 스위칭 트랜지스터(180) 및 상기 구동 트랜지스터(190)와 전기적으로 연결된다.

도 3은 도 2에 도시된 표시 패널을 I-I' 라인으로 절단한 단면도이다.

도 2 및 도 3을 참조하면, 표시 패널은 제1 화소부(P1)와 상기 제1 화소부(P1)와 k번째 바이어스 전압 배선(VLk)을 공유하는 제3 화소부(P3)를 포함한다. 이하에서는 상기 제1 화소부(P1)를 예로 하여 상기 표시 패널의 단면도를 설명한다.

기관(101) 위에 게이트 금속을 증착하고 패터닝하여 게이트 금속패턴들을 형성한다. 상기 게이트 금속패턴들은 트랜지스터들(110,120,130)의 게이트 전극들(111,121,131), n번째 게이트 배선(GLn), 및 상기 게이트 전극(121)과 n+1번째 게이트 배선(GLn+1)을 연결하는 연결배선(121')을 포함한다.

상기 게이트 패턴들이 형성된 상기 기관(101) 위에 게이트 절연층(102)을 형성한다. 상기 게이트 절연층(102)은 상기 게이트 금속패턴들과 상기 게이트 금속패턴들위에 형성되는 임의의 층을 전기적으로 절연시킨다.

상기 게이트 절연층(102) 위에 상기 트랜지스터들(110,120,130)의 채널층을 형성한다.

상기 게이트 절연층(102) 위에 소스-드레인 금속층을 증착하고 패터닝하여 소스-드레인 금속패턴들을 형성한다.

상기 소스-드레인 금속패턴들은 상기 트랜지스터들의 소스 및 드레인 전극들(112,113,122,123,132,133)과, m번째 데이터 배선(DLm)을 포함한다.

상기 소스-드레인 금속패턴들이 형성된 기관(101) 위에 패시베이션층(103)을 형성한다. 상기 패시베이션층(103) 위에 층간 절연층(104)을 형성한다. 상기 층간 절연층(103)은 바람직하게 폴리이미드막, 폴라아미드막, 아크릴막, BCB(벤조사이클로부텐)막과 같은 유기 수지막이다. 이러한 유기 수지막은 매우 평탄한 표면을 형성하기 쉽고 상대 유전율이 매우 낮은 장점을 갖는다.

상기 패시베이션층(103) 및 층간 절연층(104)을 부분적으로 제거하여 콘택홀들(106a,106b,106c)을 형성한다.

상기 콘택홀들(106a,106b,106c)이 형성된 기관(101) 위에 ITO와 같은 도전성 산화물로 이루어진 화소 전극층을 증착 및 패터닝하여 화소 전극 패턴들을 형성한다.

상기 화소 전극 패턴들은 상기 제1 화소부(P1)에 형성된 화소 전극(151)과, 접촉부(153)를 포함한다. 구체적으로, 상기 화소 전극(151)은 상기 콘택홀(106a)을 통해 상기 구동 트랜지스터(130)의 드레인 전극(133)과 상기 화소 전극(151)을 전기적으로 연결한다. 상기 접촉부(153)는 상기 콘택홀들(106b, 106c)을 통해 상기 제2 스위칭 트랜지스터(120)의 드레인 전극(123)과 구동 트랜지스터(130)의 게이트 전극(131)을 전기적으로 연결한다.

상기 화소 전극 패턴들이 형성된 기판(101) 위에 발광 영역을 정의하는 격벽(105)이 형성되고, 상기 격벽(105)이 미형성된 영역을 위주로 EL 층(161)이 형성되며, 상기 EL 층(161) 위 및 격벽(105) 위에는 대향 전극층(107)이 형성되고, 상기 대향 전극층(107) 위에는 보호층(108)이 형성된다.

여기서, EL 층(161)은 적층 구조로 형성될 때, 보다 더 나은 발광 효율을 얻을 수 있다. 통상적으로, 상기 EL 층(161)은 화소 전극(151) 위에 정공 주입층, 정공 수송층, 발광층 및 전자 수송층을 차례대로 형성함으로써 형성된다. 대신에, 상기 EL 층(161)은 정공 수송층, 발광층, 및 전자 수송층이 이러한 차례로 형성된 적층 구조 또는 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이러한 차례로 형성된 적층 구조를 취할 수 있다.

만일, 본 발명에 따른 유기전계발광 표시장치가 독립 발광과 바텀 발광 방식을 갖는 경우에는 상기 EL 층(161)은 R,G,B 중 어느 하나의 광을 발광하는 유기발광층이고, 상기 대향 전극층(107)은 금속 전극인 것이 바람직하다. 상기 화소 전극(151)이 애노드(또는 정극성) 역할을 수행하면, 상기 대향 전극층(107)은 캐소드(또는 부극성) 역할을 수행하고, 상기 화소 전극(151)이 캐소드 역할을 수행하면, 상기 대향 전극층(107)은 애노드 역할을 수행한다.

또한, 독립 발광과 탑 발광 방식을 갖는 경우에는 상기 EL 층(161)은 R,G,B 중 어느 하나의 광을 발광하는 유기발광층이고, 상기 대향 전극층(107)은 ITO와 같은 투명 전극인 것이 바람직하다.

또한, 컬러 필터와 바텀 발광 방식을 갖는 경우에는 상기 패시베이션층(103)과 상기 층간 절연층(104) 간에는 레드(R), 그린(G) 및 블루(B) 중 어느 하나의 컬러 필터가 더 구비되고, 상기 대향 전극층(107)은 금속 전극인 것이 바람직하다.

또한, 컬러 필터와 탑 발광 방식을 갖는 경우에는 상기 패시베이션층(103)과 상기 층간 절연층(104)간에는 R,G,B 중 어느 하나의 컬러 필터가 더 구비되고, 상기 대향 전극층(107)은 ITO와 같은 투명 전극인 것이 바람직하다.

도 4는 본 발명의 다른 실시예에 따른 화소부들에 형성된 유기전계 구동소자에 대한 등가 회로이다.

도 4를 참조하면, 상기 화소부들은 제1 화소부(P1)를 기준으로, 인접한 제2 화소부(P2)와 제3 화소부(P3)를 포함한다. 상기 제1 화소부(P1)와 상기 제2 화소부(P2)는 데이터 배선(DLm)을 공유하며, 상기 제1 화소부(P1)와 상기 제3 화소부(P3)는 바이어스 전압 배선(VLk)을 공유한다.

구체적으로, 상기 제1 화소부(P1)는 제1 스위칭 트랜지스터(QS11)와 제2 스위칭 트랜지스터(QS12)와, 구동 트랜지스터(QD1) 및 스토리지 캐패시터(CST1)를 포함한다. 상기 제1 스위칭 트랜지스터(QS11)는 n번째 게이트 배선과 연결된 게이트 전극과 m번째 데이터 배선(DLm)과 연결된 소스 전극과, 상기 제2 스위칭 트랜지스터(QS12)와 연결된 드레인 전극을 포함한다.

상기 제2 스위칭 트랜지스터(QS12)는 n+1번째 게이트 배선(GLn+1)에 연결된 게이트 전극과, 제1 스위칭 트랜지스터(QS11)와 연결된 소스 전극과, 스토리지 캐패시터(CST1)와 연결된 드레인 전극을 포함한다.

상기 구동 트랜지스터(QD1)는 상기 제2 스위칭 트랜지스터(QS12)와 연결된 게이트 전극과, k번째 바이어스 전압 배선(VLk)과 연결된 소스 전극과, 유기 EL 소자(EL1)와 연결된 드레인 전극을 포함한다.

상기 스토리지 캐패시터(CST1)는 상기 k번째 바이어스 전압 배선(VLk)과 연결된 제1 전극과, 상기 제2 스위칭 트랜지스터(QS12)의 드레인 전극과 상기 구동 트랜지스터(QD1)의 게이트 전극에 공통으로 연결된 제2 전극을 포함한다.

상기 제2 화소부(P2)는 상기 제1 화소부(P1)와 인접하게 형성되어 상기 제1 화소부(P1)와 m번째 데이터 배선(DLm)을 공유한다. 상기 제2 화소부(P2)는 스위칭 트랜지스터(QS2)와 구동 트랜지스터(QD2) 및 스토리지 캐패시터(CST2)를 포함한다. 상기 스위칭 트랜지스터(QS2)는 n번째 게이트 배선(GLn)과 연결된 게이트 전극과, m번째 데이터 배선(DLm)과 연결된 소스 전극과, 상기 구동 트랜지스터(QD2)와 스토리지 캐패시터(CST2)에 공통으로 연결된 드레인 전극을 포함한다.

상기 스토리지 캐패시터(CST2)는 상기 k+1번째 바이어스 전압 배선(VL_{k+1})과 연결된 제1 전극과, 상기 스위칭 트랜지스터(QS2) 및 상기 구동 트랜지스터(QD2)와 공통으로 연결된 제2 전극을 포함한다.

상기 제3 화소부(P3)는 상기 제1 화소부(P1)와 인접하게 형성되어 상기 k번째 바이어스 전압 배선(VL_k)을 공유한다. 상기 제3 화소부(P3)는 스위칭 트랜지스터(QS3)와 구동 트랜지스터(QD3) 및 스토리지 캐패시터(CST3)를 포함한다. 상기 스위칭 트랜지스터(QS3)는 n번째 게이트 배선(GL_n)과 연결된 게이트 전극과, m-1번째 데이터 배선(DL_{m-1})과 연결된 소스 전극과, 상기 구동 트랜지스터(QD3)와 스토리지 캐패시터(CST3)에 공통으로 연결된 드레인 전극을 포함한다.

상기 스토리지 캐패시터(CST3)는 상기 k번째 바이어스 전압 배선(VL_k)과 연결된 제1 전극과, 상기 스위칭 트랜지스터(QS3) 및 상기 구동 트랜지스터(QD3)와 공통으로 연결된 제2 전극을 포함한다.

상기 화소부들에 형성된 유기전계 구동소자의 구동은 상기 도 2에 설명된 바와 동일하므로 생략한다.

이상의 도면들에서는 트랜지스터들이 N 채널 트랜지스터인 것을 나타내고 있다. 그러나, 상기 트랜지스터들은 상기 P 채널 트랜지스터일 수도 있음은 당연하다.

도 5a 및 도 5b는 본 발명의 실시예에 따른 인접한 화소부들의 구동 방식에 대한 일 예의 파형도들이다.

도 2 내지 도 5b를 참조하면, 하나의 게이트 신호는 서브 펄스(SG)와 메인 펄스(MG)를 갖는다. 상기 서브 펄스(SG)는 이전 게이트 신호의 메인 펄스(MG)와 동일한 타이밍 구간을 갖고, 바람직하게는 상기 메인 펄스(MG)의 초기 구간과 동일한 타이밍 구간을 갖는다.

n번째 게이트 배선(GL_n)에 제n 게이트 신호(G_n)가 인가된다. 상기 제n 게이트 신호(G_n)의 메인 펄스(MG_n) 초기 구간(T1)이 인가되는 동안, n+1번째 게이트 배선(GL_{n+1})에는 제n+1 게이트 신호(G_{n+1})의 서브 펄스(SG_{n+1})가 인가된다.

이에 의해, 상기 T1 구간 동안에는 상기 n+1번째 게이트 배선(G_{n+1})과 전기적으로 연결된 상기 제1 화소부(P1)의 상기 제2 스위칭 트랜지스터(QS12)가 턴온 되어, 상기 m번째 데이터 배선(DL_m)으로부터 인가된 데이터 신호에 의해 상기 제1 화소부(P1)가 구동된다. 또한, 상기 T1 구간 동안에는 상기 n번째 게이트 배선(G_n)과 전기적으로 연결된 상기 제2 화소부(P2)의 상기 제2 스위칭 트랜지스터(QS22)가 턴온 되어, 상기 m번째 데이터 배선(DL_m)으로부터 인가된 데이터 신호에 의해 상기 제2 화소부(P2)가 구동된다.

이 후, 상기 제n 게이트 신호(G_n)의 메인 펄스(MG_n) 후기 구간(T2)에는 상기 제n+1 게이트 신호(G_{n+1})가 로우 상태이므로 상기 n번째 게이트 배선(GL_n)과 전기적으로 제2 스위칭 트랜지스터(QS22)를 갖는 상기 제2 화소부(P2)만 구동된다. 즉, 상기 T2 구간 동안에는 상기 n번째 게이트 배선(G_n)과 전기적으로 연결된 상기 제2 화소부(P2)의 상기 제2 스위칭 트랜지스터(QS22)가 턴온 되어, 상기 m번째 데이터 배선(DL_m)으로부터 인가된 데이터 신호에 의해 상기 제2 화소부(P2)가 구동된다.

이와 같은 방식으로, 상기 m번째 데이터 배선을 공유하는 인접한 제1 및 제2 화소부(P1,P2)의 유기전계 발광소자들은 구동하게 된다.

도 6a 및 도 6b는 본 발명의 실시예에 따른 인접한 화소부들의 구동 방식에 대한 다른 예의 파형도들이다.

도 2 내지 도 6b를 참조하면, 하나의 게이트 신호는 서브 펄스(SG)와 제1 및 제2 메인 펄스(MG1, MG2)를 갖는다. 상기 서브 펄스(SG)는 이전 게이트 신호의 제1 메인 펄스(MG1)와 동일한 타이밍 구간을 갖는다. 상기 제1 메인 펄스(MG1)와 상기 제2 메인 펄스(MG2) 사이에는 게이트 동작 인에이블 신호(GOE)에 의한 일정 폭의 로우 구간(GOU)을 포함한다.

상기 n번째 게이트 배선(GL_n)에 제n 게이트 신호(G_n)가 인가된다. 상기 제n 게이트 신호(G_n)의 제1 메인 펄스(MG1_n)가 인가되는 T1 구간 동안, n+1번째 게이트 배선(GL_{n+1})에는 제n+1 게이트 신호(G_{n+1})의 서브 펄스(SG_{n+1})가 인가된다.

이에 의해, 상기 T1 구간 동안에는 상기 n+1번째 게이트 배선(G_{n+1})과 전기적으로 연결된 상기 제1 화소부(P1)의 상기 제2 스위칭 트랜지스터(QS12)가 턴온 되어, 상기 m번째 데이터 배선(DL_m)으로부터 인가된 제1 데이터 신호에 의해 상기

제1 화소부(P1)가 구동된다. 또한, 상기 T1 구간 동안에는 상기 n번째 게이트 배선(Gn)과 전기적으로 연결된 상기 제2 화소부(P2)의 상기 제2 스위칭 트랜지스터(QS22)가 턴온 되어, 상기 m번째 데이터 배선(DLm)으로부터 인가된 제1 데이터 신호에 의해 상기 제2 화소부(P2)가 구동된다.

이 후, 상기 제n 게이트 신호(Gn)의 제2 메인 펄스(MG2(n+1))가 인가되는 T2 구간에는 상기 제n+1 게이트 신호(Gn+1)가 로우 상태이므로 상기 n번째 게이트 배선(GLn)과 전기적으로 제2 스위칭 트랜지스터(QS22)를 갖는 상기 제2 화소부(P2)만 구동된다. 즉, 상기 T2 구간 동안에는 상기 n번째 게이트 배선(Gn)과 전기적으로 연결된 상기 제2 화소부(P2)의 상기 제2 스위칭 트랜지스터(QS22)가 턴온 되어, 상기 m번째 데이터 배선(DLm)으로부터 인가된 제2 데이터 신호에 의해 상기 제2 화소부(P2)가 구동된다.

이와 같이 상기 m번째 데이터 배선을 공유하는 인접한 제1 및 제2 화소부(P1,P2)는 상기 T1 구간에는 상기 제1 화소부(P1)가 구동하고, 상기 T2 구간에는 제2 화소부(P2)가 구동한다.

도 7은 본 발명을 다른 실시예에 따른 표시 장치에 대한 개략적인 블록도이다.

도 7을 참조하면, 상기 표시 장치는 타이밍 제어부(210), 전원공급부(230), 데이터 구동부(250), 게이트 구동부(270) 및 유기전계발광 패널(이하, OLED 패널)(290)을 포함한다.

상기 타이밍 제어부(210)는 외부의 그래픽 콘트롤러(미도시)로부터 원시제어신호(202)와 원시데이터신호(204)가 입력된다. 상기 타이밍 제어부(210)는 상기 원시제어신호(202)에 기초하여 제1 내지 제3 제어신호(212,214,216)를 생성하여 출력한다.

상기 제1 제어신호(212)는 상기 전원공급부(230)에 입력되어 상기 전원공급부(230)의 구동을 제어하고, 상기 제2 제어신호(214)는 상기 데이터 구동부(250)에 입력되어 상기 데이터 구동부(250)의 구동을 제어하고, 상기 제3 제어신호(216)는 상기 게이트 구동부(270)에 입력되어 상기 게이트 구동부(270)의 구동을 제어한다.

상기 타이밍 제어부(210)는 상기 원시데이터신호(204)를 신호처리하여 상기 데이터 구동부(250)에 제1 데이터 신호(218)를 출력한다.

상기 전원공급부(230)는 외부로부터 제공되는 전원전압(206)을 이용하여 상기 표시 장치를 구동하기 위한 제1 내지 제3 구동전압(232,234,236)을 생성한다. 상기 제1 구동전압(232)은 상기 데이터 구동부(250)의 구동을 위한 기준계조전압(Vref)(232)을 포함한다. 상기 제2 구동전압(234)은 상기 게이트 구동부(270)의 구동을 위한 게이트 전압(Von, Voff)(234)을 포함한다. 상기 제3 구동전압(236)은 상기 OLED 패널(290)을 구동하기 위한 전원전압(Vss) 및 바이어스 전압(Vdd)을 포함한다.

상기 데이터 구동부(250)는 상기 타이밍 제어부(210)로부터 제공된 제1 데이터 신호(218)를 상기 기준계조전압(Vref)에 기초하여 아날로그 형태의 제2 데이터 신호(D1,...DM)로 변환하여 출력한다. 상기 데이터 구동부(250)의 출력단의 개수는 상기 OLED 패널(290)에 형성된 데이터 배선의 개수에 대응한다.

상기 OLED 패널(290)의 인접한 두 개의 화소부는 하나의 데이터 배선을 공유하며, 이에 의해 상기 데이터 구동부(250)는 1H 구간 동안 상기 제2 데이터 신호를 두 번 출력한다. 예를 들면, 상기 1H 구간의 초기 구간에는 홀수번째 화소부들에 대응하는 제2 데이터 신호를 출력하고, 후기 구간에는 짝수번째 화소부들에 대응하는 제2 데이터 신호를 출력한다.

상기 게이트 구동부(270)는 상기 타이밍 제어부(210)로부터 제공된 제3 제어신호(216)에 기초하여 게이트 신호(G1,...GN)를 생성한다. 상기 게이트 신호(G1,...GN)는 상기 OLED 패널(290)의 화소 구조에 대응하여 변경된 펄스를 갖는다. 즉, 상기 게이트 구동부(270)는 도 4a 및 도 5a에 도시된 바와 같은 게이트 신호를 출력한다.

상기 OLED 패널(290)은 본 발명에 따른 새로운 화소 구조를 갖는다. 인접한 제1 화소부(P1)와 제2 화소부(P2)는 하나의 데이터 배선(DLm)을 공유한다. 도시되지는 않았으나, 상기 OLED 패널(290)은 상기 제1 화소부(P1)에 인접하고, 하나의 바이어스 전압 배선(VLk-1)을 공유하는 제3 화소부(P3)를 포함한다.

상기 제1 화소부(P1)는 제1 스위칭 트랜지스터(QS11)와 다음 게이트 배선(Gn+1)과 전기적으로 연결된 제2 스위칭 트랜지스터(QS12)와, 구동 트랜지스터(QD1) 및 스토리지 캐패시터(CST1)를 포함한다. 상기 제2 화소부(P2)는 제1 스위칭 트랜지스터(QS2)와 구동 트랜지스터(QD2) 및 스토리지 캐패시터(CST2)를 포함한다.

도 8a 내지 도 8d는 도 7에 도시된 표시 장치의 일 예의 구동 방법을 설명하기 위한 타이밍도들이다.

도 7 및 도 8a 내지 도 8d를 참조하면, 상기 타이밍 제어부(210)는 데이터 인에이블 신호(DE)에 기초하여 상기 데이터 구동부(250)에 제1 데이터신호를 출력한다. 도 8a에 도시된 바와 같이, 상기 데이터 구동부(250)는 상기 제1 데이터 신호를 아날로그 형태의 제2 데이터 신호로 변환하여 상기 OLED 패널(290)의 데이터 배선에 출력한다(DATA_O).

도 8b에 도시된 바와 같이, 데이터 구동부(250)는 1H 구간 동안 제1 화소부(P1)에 대응하는 제2 데이터 신호(1L_P1)와 제2 화소부(P2)에 대응하는 제2 데이터 신호(1L_P2)를 출력한다. 상기 제1 화소부(P1) 및 제2 화소부(P2)는 하나의 데이터 배선을 공유하는 화소부들로서, 1H 구간의 초기 구간 동안에는 제1 화소부(P1)에 대응하는 제2 데이터 신호(1L_P1)를 출력하고, 1H 구간의 후기 구간 동안에는 제2 화소부(P2)에 대응하는 제2 데이터 신호(1L_P1)를 출력한다.

도 8c 및 도 8d는 상기 데이터 구동부(250)의 구동에 대응하여 게이트 구동부(270)로부터 출력되는 게이트 신호들에 대한 파형도들이다.

도 8c 및 도 8d를 참조하면, 첫 번째 게이트 신호(G1)의 초기 구간(T1)에는 두 번째 게이트 신호(G2)가 동시에 출력된다. 이에, 상기 초기 구간(T1) 동안 첫 번째 게이트 배선(GL1)과 두 번째 게이트 배선(GL2)은 동시에 활성화되며, 이때, 데이터 구동부(250)는 첫 번째 수평 라인의 제1 화소부(P1)들에 대응하는 제2 데이터 신호(1L_P1)를 출력한다. 이에 의해 초기 구간(T1) 동안 첫 번째 수평 라인의 제1 및 제2 화소부(P1,P2), 즉, 첫 번째 수평 라인의 화소부들이 모두 구동한다.

이후, 첫 번째 게이트 신호(G1)의 후기 구간(T2)에는 첫 번째 게이트 신호(G1)는 하이 상태이고, 두 번째 게이트 신호(G2)는 로우 상태가 되므로, 첫 번째 게이트 배선(GL1)은 활성화되는 반면, 두 번째 게이트 배선(GL2)은 비활성화된다.

이때, 데이터 구동부(250)는 첫 번째 수평 라인의 제2 화소부(P2)들에 대응하는 제2 데이터 신호(1L_P2)를 출력한다. 이에 의해 후기 구간(T2) 동안 첫 번째 수평 라인의 제1 화소부(P1)들은 구동하지 않고, 제2 화소부(P2)들만이 구동한다.

이와 같은 방식으로 상기 OLED 패널(290)에는 게이트 구동부(270)로부터 출력되는 게이트 신호에 기초하여 상기 데이터 구동부(250)로부터 출력되는 데이터 신호가 표시된다.

도 9a 내지 도 9e는 도 7에 도시된 표시 장치의 다른 예의 구동 방법을 설명하기 위한 타이밍도들이다.

도 7 및 도 9a 내지 도 9e를 참조하면, 상기 타이밍 제어부(210)는 데이터 인에이블 신호(DE)에 기초하여 상기 데이터 구동부(250)에 제1 데이터신호를 출력한다. 도 9a에 도시된 바와 같이, 상기 데이터 구동부(250)는 상기 제1 데이터 신호를 아날로그 형태의 제2 데이터 신호로 변환하여 상기 OLED 패널(290)의 데이터 배선에 출력한다(DATA_O).

도 9b에 도시된 바와 같이, 상기 데이터 구동부(250)는 1H 구간 동안 제1 화소부(P1)에 대응하는 제2 데이터 신호(1L_P1)와 제2 화소부(P2)에 대응하는 제2 데이터 신호(1L_P2)를 출력한다. 상기 제1 화소부(P1) 및 제2 화소부(P2)는 하나의 데이터 배선을 공유하는 화소부들로서, 1H 구간의 초기 구간 동안에는 제1 화소부(P1)에 대응하는 제2 데이터 신호(1L_P1)를 출력하고, 1H 구간의 후기 구간 동안에는 제2 화소부(P2)에 대응하는 제2 데이터 신호(1L_P1)를 출력한다.

도 9c에 도시된 바와 같이, 상기 타이밍 제어부(210)는 게이트 인에이블 신호(OE)를 상기 게이트 구동부(270)에 제공한다. 상기 게이트 구동부(270)는 상기 게이트 인에이블 신호(OE)에 기초하여 도 9d 및 도 9e에 도시된 바와 같이 게이트 신호(G1,G2)를 출력한다. 상기 게이트 인에이블 신호(OE)가 하이 상태이면 상기 게이트 신호는 로우 상태이며, 상기 게이트 인에이블 신호(OE)가 로우 상태이면 상기 게이트 신호는 하이 상태로 출력된다.

도 9d 및 도 9e를 참조하면, 첫 번째 게이트 신호(G1)의 초기 펄스 구간(T1')에는 두 번째 게이트 신호(G2)가 동시에 출력된다. 상기 초기 펄스 구간(T1') 동안 첫 번째 게이트 배선(GL1)과 두 번째 게이트 배선(GL2)은 모두 활성화되며, 이때, 데이터 구동부(250)는 첫 번째 수평 라인의 제1 화소부(P1)들에 대응하는 제2 데이터 신호(1L_P1)를 출력한다. 이에 의해 초기 펄스 구간(T1') 동안 첫 번째 수평 라인의 제1 및 제2 화소부(P1,P2)들은 모두 구동한다.

이후, 첫 번째 게이트 신호(G1)의 후기 펄스 구간(T2')에는 첫 번째 게이트 신호(G1)는 하이 상태이고, 두 번째 게이트 신호(G2)는 로우 상태가 되므로, 첫 번째 게이트 배선(GL1)은 활성화되는 반면, 두 번째 게이트 배선(GL2)은 비활성화된다.

이때, 데이터 구동부(250)는 첫 번째 수평 라인의 제2 화소부(P2)들에 대응하는 제2 데이터 신호(1L_P2)를 출력한다. 이에 의해 후기 펄스 구간(T2') 동안 첫 번째 수평 라인의 제1 화소부(P1)들은 구동되지 않고, 제2 화소부(P2)들만이 구동된다. 상기 게이트 신호(G1)가 게이트 인에이블 신호(OE)에 의해 초기 펄스와 후기 펄스로 구분됨에 따라서 상기 제2 화소부(P2)들에 대응하는 제2 데이터 신호(1L_P2)가 상기 제1 화소부(P1)들에 인가되는 것을 막는다.

이와 같은 방식으로 상기 OLED 패널(290)은 게이트 구동부(270)로부터 출력되는 게이트 신호에 기초하여 상기 데이터 구동부(250)로부터 출력되는 데이터 신호를 표시한다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 두 개의 화소부가 데이터 배선 또는 바이어스 전압 배선을 공유함으로써 임의의 데이터 배선과 인접하는 바이어스 전압 배선 간의 간격을 넓게 형성할 수 있다.

이에 의해 표시 패널의 제조 공정시 발생가능한 배선 간의 쇼트 현상을 막아 제품의 품질을 향상시킬 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

서로 인접하는 제1 및 제2 게이트 배선들과 서로 인접하는 제1 및 제2 전원전압 배선들에 의해 정의되는 영역 중 데이터 배선에 의해 구획되는 일부 영역에 형성된 제1 화소부; 및

상기 영역 중 상기 데이터 배선에 의해 구획되는 나머지 영역에 형성된 제2 화소부를 포함하는 표시 패널.

청구항 2.

제1항에 있어서, 상기 제1 화소부는 상기 제1 및 제2 게이트 배선이 활성화됨에 따라 구동하는 제1 유기전계 발광소자를 포함하는 것을 특징으로 하는 표시 패널.

청구항 3.

제1항에 있어서, 상기 제2 화소부는 상기 제1 게이트 배선이 활성화됨에 따라서 구동하는 제2 유기전계 발광소자를 포함하는 것을 특징으로 하는 표시 패널.

청구항 4.

제1항에 있어서, 상기 제1 화소부는

상기 제1 데이터 배선과 상기 제1 게이트 배선에 연결된 제1 스위칭소자;

상기 제1 전원전압 배선과 연결되어, 상기 제1 유기전계 발광소자를 구동시키는 제1 구동소자; 및

상기 제2 게이트 배선과 연결되고, 상기 제1 스위칭소자와 제1 구동소자를 전기적으로 연결시키는 제1 제어소자를 포함하는 것을 특징으로 하는 표시 패널.

청구항 5.

제4항에 있어서, 상기 제1 화소부는 상기 제1 구동소자와 상기 제1 전원전압 배선과 연결된 제1 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 6.

제1항에 있어서, 상기 제2 화소부는

상기 제1 데이터 배선과 제1 게이트 배선에 연결된 제2 스위칭소자; 및

상기 제2 스위칭소자와 제2 전원전압 배선과 연결되어 제2 유기전계 발광소자를 구동시키는 제2 구동소자를 포함하는 것을 특징으로 하는 표시 패널.

청구항 7.

제6항에 있어서, 상기 제2 화소부는 상기 제2 구동 소자와 제2 전원전압 배선과 연결된 제2 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 8.

제6항에 있어서, 상기 제2 화소부는 상기 제1 게이트 배선과 연결되고, 상기 제2 스위칭소자와 제2 구동소자를 전기적으로 연결시키는 제2 제어소자를 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 9.

제1항에 있어서, 임의의 데이터 배선과 상기 임의의 데이터 배선에 인접하는 전원전압 배선 간의 간격은 대략 80 내지 100 μm 인 것을 특징으로 하는 표시 패널.

청구항 10.

서로 인접한 제1 및 제2 게이트 배선들;

서로 인접한 제1 및 제2 전원전압 배선들;

상기 제1 및 제2 전원전압 배선들 사이에 형성된 데이터 배선;

상기 제1 데이터 배선과 상기 제1 게이트 배선에 연결된 제1 스위칭소자;

상기 제1 전원전압 배선과 제1 유기전계 발광소자에 연결된 제1 구동소자;

상기 제2 게이트 배선과 연결되고, 상기 제1 스위칭소자와 상기 제1 구동소자에 연결된 제1 제어소자;

상기 제1 데이터 배선과 상기 제1 게이트 배선에 연결된 제2 스위칭소자;

상기 제2 전원전압 배선과 제2 유기전계 발광소자에 연결된 제2 구동소자; 및

상기 제1 게이트 배선과 연결되고, 상기 제2 스위칭 소자와 상기 제2 구동소자에 연결된 제2 제어소자를 포함하는 것을 특징으로 하는 표시 패널.

청구항 11.

제10항에 있어서, 상기 제1 구동소자와 상기 제1 전원전압 배선과 연결된 제1 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 12.

제10항에 있어서, 상기 제2 구동 소자와 제2 전원전압 배선과 연결된 제2 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 13.

서로 인접하는 제1 및 제2 게이트 배선들과 데이터 배선에 전기적으로 연결된 제1 유기전계 발광소자와, 상기 제1 게이트 배선과 데이터 배선에 전기적으로 연결된 제2 유기전계 발광소자를 포함하는 표시 패널;

복수의 게이트 배선들을 활성화시키는 복수의 게이트 신호들을 순차적으로 출력하고, 상기 제1 게이트 배선을 활성화시키는 제1 게이트 신호가 상기 제1 게이트 배선에 출력되는 초기 구간에 상기 제2 게이트 배선을 활성화시키는 제2 서브 게이트 신호를 출력하는 게이트 구동부; 및

상기 초기 구간에 상기 제1 유기전계 발광소자에 해당하는 제1 데이터 신호를 상기 데이터 배선에 출력하고, 상기 제1 게이트 신호의 후기 구간에는 상기 제2 유기전계 발광소자에 해당하는 제2 데이터 신호를 상기 데이터 배선에 출력하는 데이터 구동부를 포함하는 것을 특징으로 하는 표시 장치.

청구항 14.

제13항에 있어서, 상기 제1 게이트 신호의 펄스폭은 1H 구간인 것을 특징으로 하는 표시 장치.

청구항 15.

제13항에 있어서, 상기 제1 게이트 신호는 제1 펄스 및 제2 펄스를 포함하고, 상기 제1 및 제2 펄스는 1H 구간 동안 출력되는 것을 특징으로 하는 표시 장치.

청구항 16.

제15항에 있어서, 상기 데이터 구동부는 상기 제1 펄스 구간동안 상기 제1 데이터 신호를 출력하고, 상기 제2 펄스 구간동안 상기 제2 데이터 신호를 출력하는 것을 특징으로 하는 표시 장치.

청구항 17.

서로 인접하는 제1 및 제2 게이트 배선들, 상기 제1 및 제2 게이트 배선들과 교차하는 데이터 배선에 전기적으로 연결된 제1 유기전계 발광소자와, 상기 제1 게이트 배선과 상기 데이터 배선에 전기적으로 연결된 제2 유기전계 발광소자를 포함하는 표시 장치의 구동 방법에서,

상기 제1 유기전계 발광소자를 발광시키기 위해, 상기 제1 및 제2 게이트 배선을 활성화시키고, 상기 데이터 배선에 제1 데이터 신호를 공급하는 단계; 및

상기 제2 유기전계 발광소자를 발광시키기 위해, 상기 제1 게이트 배선의 활성화를 유지하고, 상기 제2 게이트 배선을 비활성화시키며, 상기 데이터 배선에 제2 데이터 신호를 공급하는 단계를 포함하는 표시 장치의 구동 방법.

청구항 18.

제17항에 있어서, 상기 제1 및 제2 게이트 배선을 활성화시키는 단계는,

상기 제1 게이트 배선에 제1 게이트 신호를 출력하는 단계; 및

상기 제1 게이트 신호의 초기 구간에 상기 제2 게이트 배선을 활성화시키는 제2 서브 게이트 신호를 출력하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 19.

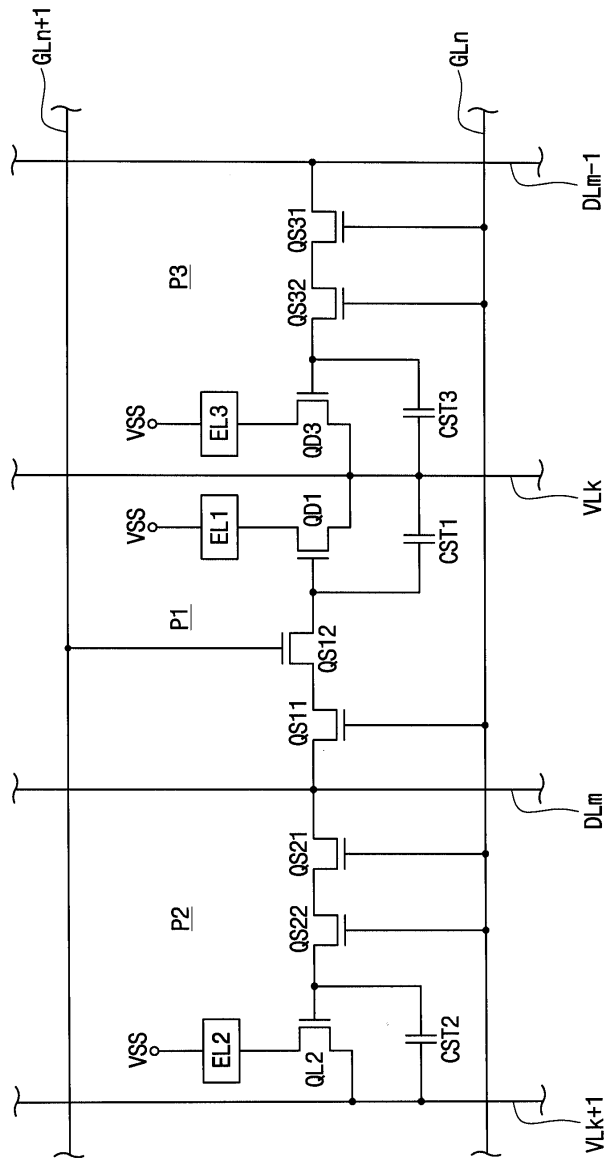
제17항에 있어서, 상기 제1 게이트 신호의 후기 구간에 상기 제2 게이트 배선을 비활성화시키는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 20.

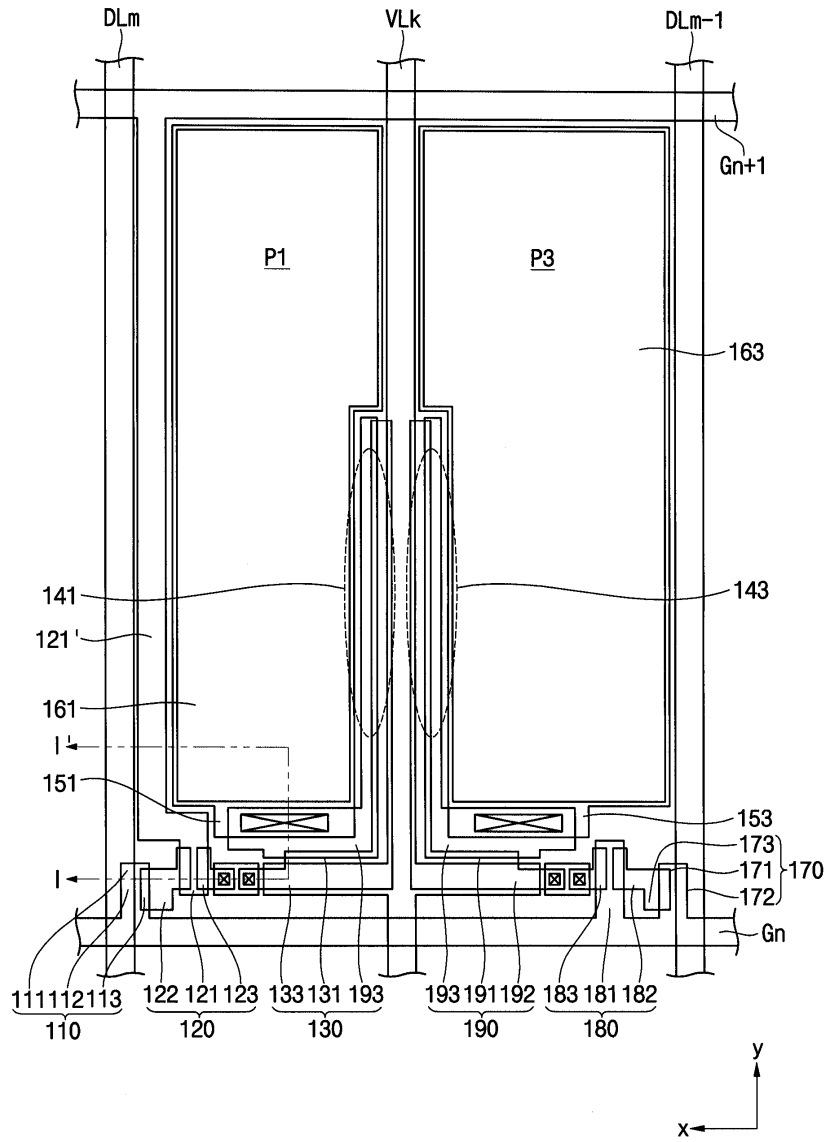
제17항에 있어서, 상기 제1 유기전계 발광소자는 1H 구간의 초기 구간에 발광하고, 상기 제2 유기전계 발광소자는 상기 1H 구간의 후기 구간에 발광하는 것을 특징으로 하는 표시 장치의 구동 방법.

도면

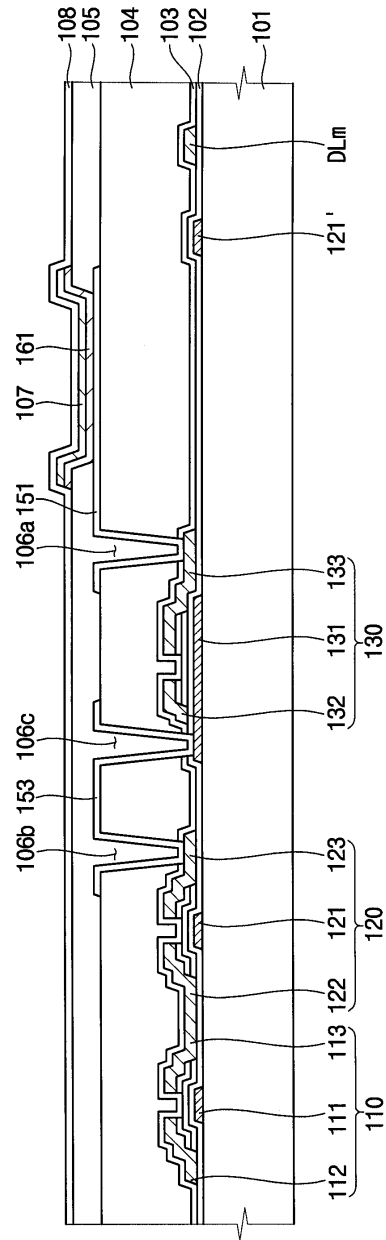
도면1



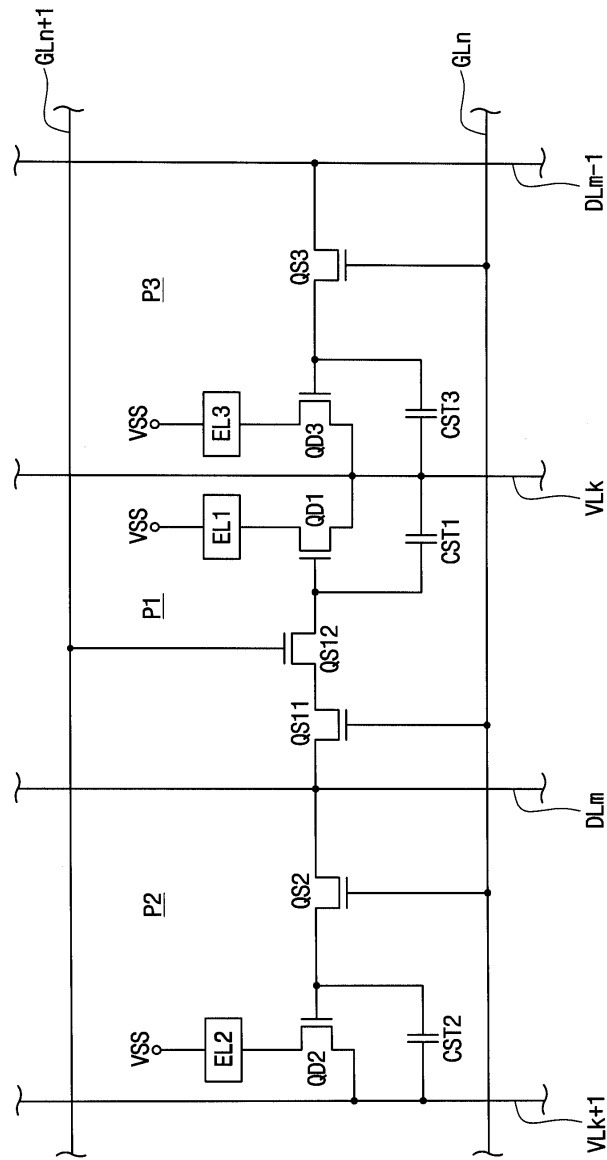
도면2



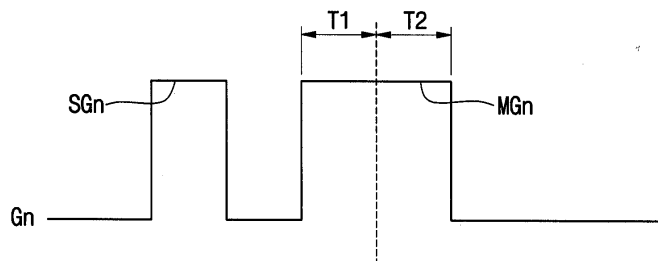
도면3



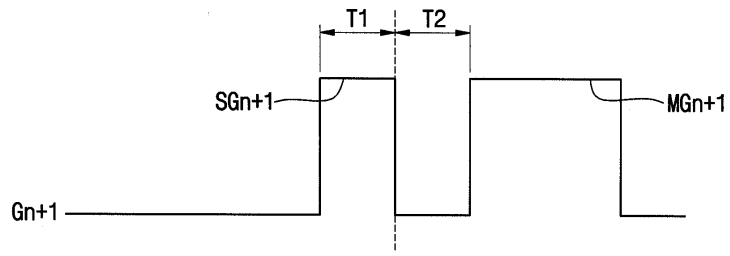
도면4



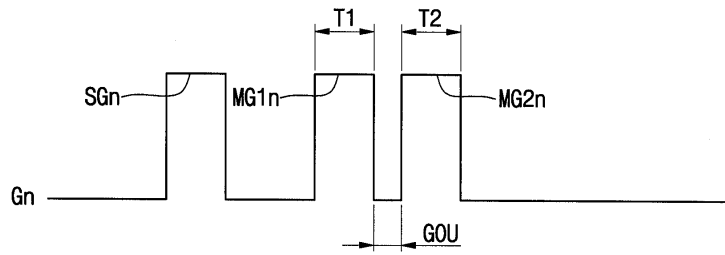
도면5a



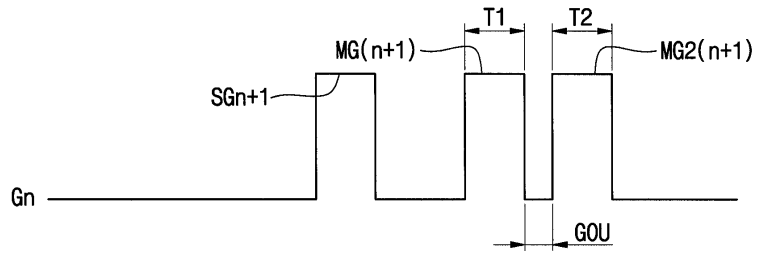
도면5b



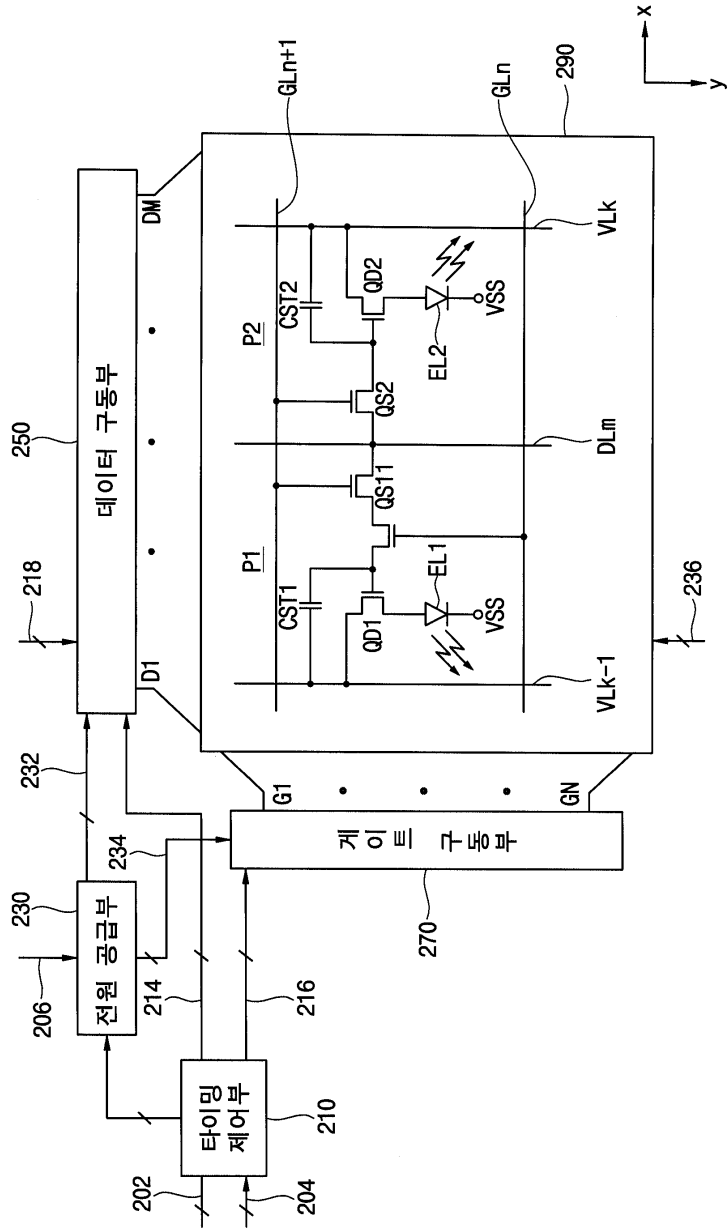
도면6a



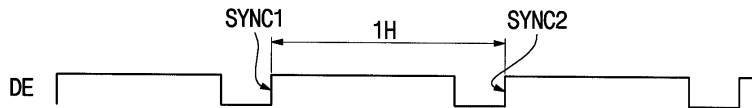
도면6b



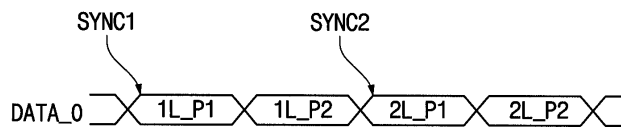
도면7



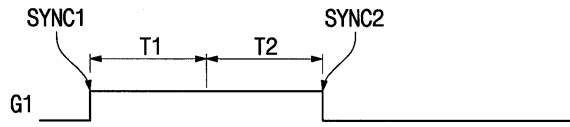
도면8a



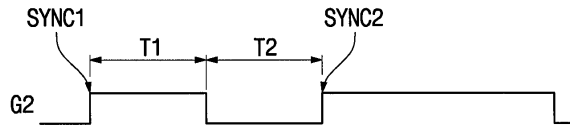
도면8b



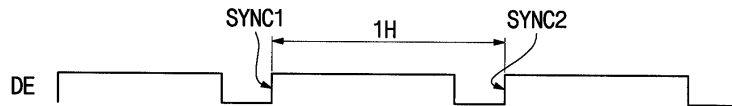
도면8c



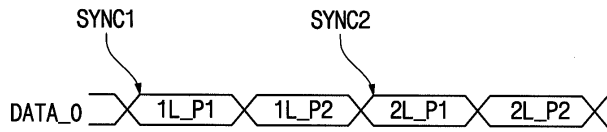
도면8d



도면9a



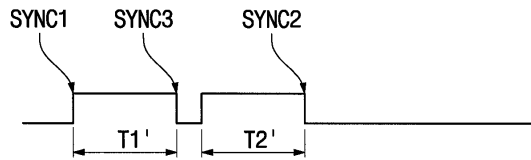
도면9b



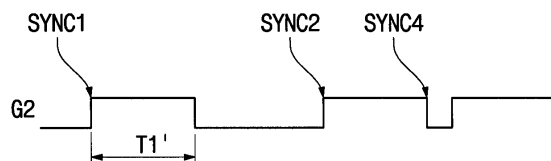
도면9c



도면9d



도면9e



专利名称(译)	显示面板，具有相同的显示设备和驱动方法		
公开(公告)号	KR1020060106308A	公开(公告)日	2006-10-12
申请号	KR1020050028916	申请日	2005-04-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JOO IN SU 주인수 KO CHUN SEOK 고춘석 JUNG KWANG CHUL 정광철		
发明人	주인수 고춘석 정광철		
IPC分类号	H05B33/26 G09G3/30 H05B33/10		
CPC分类号	G09G2330/08 G09G2300/0439 G09G2300/0842 H01L27/3244 G09G3/3233 H01L27/3276 G09G2310/0205 G09G2300/0426		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR101209289B1		
外部链接	Espacenet		

摘要(译)

公开了一种显示面板，用于实现减少制造过程中的缺陷的新像素结构和显示装置以及包括该显示面板的驱动方法。显示面板包括第一像素和第二像素。第一像素可以形成在由第一和第二电流电压布线限定的区域中分割的预定部分处，所述第一和第二电流电压布线与相邻的第一和第二栅极布线与数据线相邻。第二像素可以形成在其中在具有数据线的区域中被分割的区域处。因此，通过在相邻像素和电流电压布线之间共享数据线，在显示面板的制造过程中防止了缺陷，并且可以提高产品的可靠性。 OLED，数据线，电流电压布线，像素结构。

