



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월19일  
(11) 등록번호 10-0830296  
(24) 등록일자 2008년05월09일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0092493

(22) 출원일자 2006년09월22일

심사청구일자 2006년09월22일

(65) 공개번호 10-2008-0027062

(43) 공개일자 2008년03월26일

(56) 선행기술조사문헌

KR1020060059082 A

KR1020060080636 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

정보용

서울특별시 송파구 가락2동 173-19호

(74) 대리인

신영무

전체 청구항 수 : 총 19 항

심사관 : 김남인

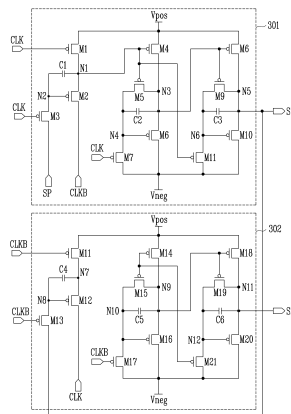
(54) 주사구동부, 주사신호의 구동방법 및 그를 이용한유기전계발광표시장치

(57) 요약

본 발명의 목적은 주사구동부를 P 모스 트랜지스터 또는 N 모스 트랜지스터로만 구현하여 공정을 간편하게 하여 크기 및 원가절감의 효과를 갖는 주사구동부 및 그를 이용한 유기전계발광표시장치를 제공하는 것이다.

복수의 스테이지가 직렬로 연결되어 구성되며, 각 스테이지는, 클럭신호, 부클럭신호 및 입력신호를 전달받아 동작하되, 상기 클럭신호와 상기 부클럭신호에 의해 제 1 전압과 상기 입력신호의 전압인 제 2 전압을 저장하며, 상기 부클럭신호와 상기 제 2 전압에 의해 상기 제 1 전압을 소정의 시간동안 출력하는 제 1 출력신호를 생성하는 제 1 신호처리부를 포함하는 주사구동부를 제공하는 것이다.

대표도 - 도5



## 특허청구의 범위

### 청구항 1

복수의 스테이지가 직렬로 연결되어 구성되며, 각 스테이지는, 클럭신호, 부클럭신호 및 입력신호를 전달받아 동작하되,

상기 클럭신호에 의해 제 1 전원의 전압인 제 1 전압을 선택적으로 제 1 노드에 전달하는 제 1 트랜지스터;

제 2 노드의 전압과 상기 부클럭신호에 대응하여 선택적으로 상기 제 1 노드의 전압을 조절하는 제 2 트랜지스터;

상기 클럭신호에 대응하여 상기 입력신호의 전압을 상기 제 2 노드에 전달하는 제 3 트랜지스터; 및

상기 제 1 노드와 상기 제 2 노드 사이에 연결되어 상기 제 1 전압과 상기 입력신호의 전압을 저장하는 제 1 캐패시터를 포함하고,

상기 제 1 노드의 전압을 제 1 출력신호로 출력하는 제 1 신호처리부를 포함하는 주사구동부.

### 청구항 2

제 1 항에 있어서,

상기 제 1 신호처리부의 출력단에 연결되며,

상기 제 1 출력신호, 상기 클럭신호를 전달받아 제 2 출력신호를 생성하는 제 2 신호처리부; 및

상기 제 1 출력신호와 상기 제 2 출력신호를 전달받아 상기 제 2 출력신호의 부신호인 제 3 출력신호를 생성하는 제 3 신호처리부를 더 구비하는 주사구동부.

### 청구항 3

제 1 항에 있어서,

상기 스테이지가 첫번째 스테이지인 경우 상기 입력신호는 스타트 펄스인 주사구동부.

### 청구항 4

제 1 항에 있어서,

상기 스테이지가 첫번째 스테이지가 아닌 경우 상기 입력신호는 이전 스테이지의 출력단 신호인 주사구동부.

### 청구항 5

삭제

### 청구항 6

제 2 항에 있어서,

상기 제 2 신호처리부는

상기 제 1 출력신호에 대응하여 상기 제 1 전압을 제 3 노드에 전달하는 제 4 트랜지스터;

상기 제 1 출력신호에 대응하여 선택적으로 상기 제 3 노드와 제 4 노드의 전압을 동일하게 하는 제 5 트랜지스터;

상기 제 4 노드의 전압에 대응하여 상기 제 3 노드의 전압을 조절하는 제 6 트랜지스터;

상기 클럭신호에 대응하여 상기 제 4 노드의 전압을 조절하는 제 7 트랜지스터; 및

상기 제 3 노드와 상기 제 4 노드 사이에 연결되는 제 2 캐패시터를 포함하되,

상기 제 3 노드의 전압이 상기 제 2 출력신호인 주사구동부.

**청구항 7**

제 6 항에 있어서,  
 상기 제 3 신호처리부는  
 상기 제 2 출력신호에 대응하여 상기 제 1 전압을 제 5 노드에 전달하는 제 8 트랜지스터;  
 상기 제 2 출력신호에 대응하여 선택적으로 상기 제 5 노드와 제 6 노드의 전압을 동일하게 하는 제 9 트랜지스터;  
 상기 제 6 노드의 전압에 대응하여 상기 제 5 노드의 전압을 조절하는 제 10 트랜지스터;  
 상기 제 1 출력신호에 대응하여 상기 제 6 노드의 전압을 조절하는 제 11 트랜지스터; 및  
 상기 제 5 노드와 상기 제 6 노드 사이에 연결되는 제 3 캐패시터를 포함하되,  
 상기 제 5 노드의 전압이 상기 제 3 출력신호인 주사구동부.

**청구항 8**

제 7 항에 있어서,  
 상기 제 1 내지 제 11 트랜지스터는 P 모스 트랜지스터 또는 N 모스 트랜지스터 중 어느 하나의 트랜지스터로만 구성되는 주사구동부.

**청구항 9**

제 1 항에 있어서,  
 상기 복수의 스테이지 중 기수번째 스테이지와 우수번째 스테이지는 클럭신호와 부클럭신호가 서로 교차하여 전달되는 주사구동부.

**청구항 10**

데이터선, 주사선에 의해 정의되는 영역에 형성되는 화소에 의해 화상을 표현하는 화소부;  
 상기 데이터선에 데이터신호를 전달하는 데이터구동부; 및  
 상기 주사선에 주사신호를 전달하는 주사구동부를 포함하되,  
 상기 주사구동부는  
 복수의 스테이지가 직렬로 연결되어 구성되며, 각 스테이지는, 클럭신호, 부클럭신호 및 입력신호를 전달받아 동작하되,  
 상기 클럭신호에 의해 제 1 전원의 전압인 제 1 전압을 선택적으로 제 1 노드에 전달하는 제 1 트랜지스터;  
 제 2 노드의 전압과 상기 부클럭신호에 대응하여 선택적으로 상기 제 1 노드의 전압을 조절하는 제 2 트랜지스터;  
 상기 클럭신호에 대응하여 상기 입력신호의 전압을 상기 제 2 노드에 전달하는 제 3 트랜지스터; 및  
 상기 제 1 노드와 상기 제 2 노드 사이에 연결되어 상기 제 1 전압과 상기 입력신호의 전압을 저장하는 제 1 캐패시터를 포함하고,  
 상기 제 1 노드의 전압을 제 1 출력신호로 출력하는 제 1 신호처리부를 포함하는 유기전계발광표시장치.

**청구항 11**

제 10 항에 있어서,  
 상기 제 1 신호처리부의 출력단에 연결되며,  
 상기 제 1 출력신호, 상기 클럭신호를 전달받아 제 2 출력신호를 생성하는 제 2 신호처리부; 및  
 상기 제 1 출력신호와 상기 제 2 출력신호를 전달받아 상기 제 2 출력신호의 부신호인 제 3 출력신호를 생성하

는 제 3 신호처리부를 더 구비하는 유기전계발광표시장치.

**청구항 12**

제 10 항에 있어서,

상기 스테이지가 첫번째 스테이지인 경우 상기 입력신호는 스타트 펄스인 유기전계발광표시장치.

**청구항 13**

제 10 항에 있어서,

상기 스테이지가 첫번째 스테이지가 아닌 경우 상기 입력신호는 이전 스테이지의 출력단 신호인 유기전계발광표시장치.

**청구항 14**

삭제

**청구항 15**

제 11 항에 있어서,

상기 제 2 신호처리부는

상기 제 1 출력신호에 대응하여 상기 제 1 전압을 제 3 노드에 전달하는 제 4 트랜지스터;

상기 제 1 출력신호에 대응하여 선택적으로 상기 제 3 노드와 제 4 노드의 전압을 동일하게 하는 제 5 트랜지스터;

상기 제 4 노드의 전압에 대응하여 상기 제 3 노드의 전압을 조절하는 제 6 트랜지스터;

상기 클럭신호에 대응하여 상기 제 4 노드의 전압을 조절하는 제 7 트랜지스터; 및

상기 제 3 노드와 상기 제 4 노드 사이에 연결되는 제 2 캐패시터를 포함하되,

상기 제 3 노드의 전압이 상기 제 2 출력신호인 유기전계발광표시장치.

**청구항 16**

제 15 항에 있어서,

상기 제 3 신호처리부는

상기 제 2 출력신호에 대응하여 상기 제 1 전압을 제 5 노드에 전달하는 제 8 트랜지스터;

상기 제 2 출력신호에 대응하여 선택적으로 상기 제 5 노드와 제 6 노드의 전압을 동일하게 하는 제 9 트랜지스터;

상기 제 6 노드의 전압에 대응하여 상기 제 5 노드의 전압을 조절하는 제 10 트랜지스터;

상기 제 1 출력신호에 대응하여 상기 제 6 노드의 전압을 조절하는 제 11 트랜지스터; 및

상기 제 5 노드와 상기 제 6 노드 사이에 연결되는 제 3 캐패시터를 포함하되,

상기 제 5 노드의 전압이 상기 제 3 출력신호인 유기전계발광표시장치.

**청구항 17**

제 16 항에 있어서,

상기 제 1 내지 제 11 트랜지스터는 P 모스 트랜지스터 또는 N 모스 트랜지스터 중 어느 하나의 트랜지스터로만 구성되는 유기전계발광표시장치.

**청구항 18**

제 10 항에 있어서,

상기 복수의 스테이지 중 기수번째 스테이지와 우수번째 스테이지는 클럭신호와 부클럭신호가 서로 교차하여 전달되는 유기전계발광표시장치.

**청구항 19**

복수의 스테이지를 구비하며 상기 각각 스테이지에서 순차적으로 주사신호를 구동하는 방법에 있어서,

상기 복수의 스테이지 중 기수번째 스테이지와 우수번째 스테이지는 클럭신호와 부클럭신호가 서로 교차하여 전달되며,

상기 클럭신호와 상기 부클럭신호에 의해 제 1 전원의 전압인 제 1 전압과 입력신호의 전압인 제 2 전압을 저장하는 단계; 및

저장된 상기 제 1 전압과 상기 제 2 전압과 상기 부클럭신호에 의해 제 1 출력신호를 생성하는 단계를 포함하는 주사신호의 구동방법.

**청구항 20**

제 19 항에 있어서,

상기 스테이지가 첫번째 스테이지인 경우 상기 입력신호는 스타트 펄스인 주사신호의 구동방법.

**청구항 21**

제 19 항에 있어서,

상기 스테이지가 첫번째 스테이지가 아닌 경우 상기 입력신호는 이전 스테이지의 출력단 신호인 주사신호의 구동방법.

**청구항 22**

삭제

**청구항 23**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <9> 본 발명은 발광제어구동부, 발광제어신호 구동방법 및 그를 이용한 유기전계발광표시장치에 관한 것으로, 더욱 상세히 설명하면, PMOS 트랜지스터 또는 N 모스 트랜지스터로 발광제어구동부를 형성하여 크기, 무게, 원가절감 등의 효과를 얻을 수 있는 발광제어구동부, 발광제어신호 구동방법 및 그를 이용한 유기전계발광표시장치에 관한 것이다.
- <10> 평판 표시장치는 기판 상에 매트릭스 형태로 복수의 화소를 배치하여 표시영역으로 하고, 각 화소에 주사선과 데이터선을 연결하여 화소에 데이터신호를 선택적으로 인가하여 디스플레이를 한다.
- <11> 평판 표시장치는 화소의 구동방식에 따라 패시브(Passive) 매트릭스형 발광 표시장치와 액티브(Active) 매트릭스형 발광 표시장치로 구분되며, 해상도, 콘트라스트, 동작속도의 관점에서 단위 화소 마다 선택하여 점등하는 액티브 매트릭스형이 주류가 되고 있다.
- <12> 이러한 평판 표시장치는 퍼스널 컴퓨터, 휴대전화기, PDA 등의 휴대 정보단말기 등의 표시장치나 각종 정보기기의 모니터로서 사용되고 있으며, 액정 패널을 이용한 LCD, 유기발광소자를 이용한 유기전계발광표시장치, 플라

즈마 패널을 이용한 PDP 등이 알려져 있다.

- <13> 최근에 음극선관과 비교하여 무게와 부피가 작은 각종 발광 표시장치들이 개발되고 있으며 특히 발광효율, 휘도 및 시야각이 뛰어나며 응답속도가 빠른 유기전계발광표시장치가 주목받고 있다.
- <14> 도 1은 일반적인 유기전계발광표시장치를 나타내는 구조도이다. 도 1을 참조하여 설명하면, 유기전계발광표시장치는 화소부(10), 데이터구동부(20) 및 주사구동부(30)를 포함한다.
- <15> 화소부(10)는 복수의 화소(11)가 배열되고 각 화소(11)에 발광소자(미도시)가 연결된다. 그리고, 행방향으로 형성되며 주사신호를 전달하는 n 개의 주사선(S1, S2, ..., Sn-1, Sn)과 열방향으로 형성되며 데이터신호를 전달하는 m 개의 데이터선(D1, D2, ..., Dm-1, Dm)과 제 1 전원을 전달하는 m 개의 제 1 전원 공급선(미도시)과 화소전원(ELVDD)보다 낮은 전위를 갖는 저전위전원(ELVSS)을 전달하는 m 개의 제 2 전원공급선(미도시)이 배열된다. 화소부(10)는 주사신호, 데이터신호, 화소전원(ELVDD) 및 저전위전원(ELVSS)에 의해 발광소자가 발광하여 영상을 표시한다.
- <16> 데이터 구동부(20)는 화소부(10)에 데이터 신호를 인가하는 수단으로, 데이터 구동부(20)가 화소부(10)의 데이터선(D1, D2, ..., Dm-1, Dm)과 연결되어 데이터 신호를 화소부(10)에 인가한다.
- <17> 주사 구동부(30)는 주사신호를 순차적으로 출력하는 수단으로, 주사 구동부(30)는 주사선(S1, S2, ..., Sn-1, Sn)과 연결되어 주사신호를 화소부(10)의 특정한 행에 전달한다. 주사신호가 전달된 화소부(10)의 특정한 행에는 데이터 구동부(20)에서 입력되는 데이터 신호가 인가되어 영상을 표시하게 되며, 모든 행이 순차적으로 선택되면 하나의 프레임이 완성된다.
- <18> 도 2는 도 1에 도시된 유기전계발광표시장치에서 채용된 화소를 나타내는 회로도이다. 도 1을 참조하여 설명하면, 화소(11)는 데이터선(Dm), 주사선(Sn) 및 화소전원선(ELVDD)에 연결되며 제 1 트랜지스터(T1), 제 2 트랜지스터(T2), 캐패시터(Cst) 및 유기발광소자(OLED)를 포함한다.
- <19> 제 1 트랜지스터(T1)는 소스는 화소전원(ELVDD)을 전달하는 화소전원선에 연결되고 드레인은 유기발광소자(OLED)에 연결되며 게이트는 제 1 노드(N1)에 연결된다. 제 2 트랜지스터(T2)는 소스는 데이터선(Dm)에 연결되고 드레인은 제 1 노드(N1)에 연결되며 게이트는 주사선(Sn)에 연결된다. 캐패시터(Cst)는 제 1 노드(N1)와 화소전원(ELVDD) 사이에 연결되어 소정 시간동안 제 1 노드(N1)와 화소전원선(ELVDD) 사이의 전압을 유지하도록 한다. 유기발광소자(OLED)는 애노드 전극과 캐소드전극 및 발광층을 포함하며 애노드 전극이 제 1 트랜지스터(T1)의 드레인에 연결되고 캐소드 전극이 저전위의 전원(ELVSS)에 연결되어 애노드 전극에서 캐소드 전극으로 전류가 흐르면 발광층에서 빛을 발광하며 전류의 양에 대응하여 밝기가 조절된다.
- <20> 상기와 같이 구성된 유기전계발광표시장치는 제조비용을 줄이기 위해 화소부와 주사구동부를 동시에 기판 위에 생성한다. 하지만, 유기전계발광표시장치의 화소는 일반적으로 P모스 트랜지스터만을 이용하여 형성되거나 N모스 트랜지스터만을 이용하여 형성된다. 하지만, 일반적으로 주사구동부는 P 모스 트랜지스터와 N 모스 트랜지스터를 같이 사용하여 손쉽게 회로를 구성하여 주사구동부를 별도의 외장드라이버로 형성을 하거나 추가적인 공정이 필요하게 되어 유기전계발광표시장치의 크기가 커지고 무거워지며 공정이 복잡해지는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <21> 따라서, 본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 창출된 것으로, 본 발명의 목적은 주사구동부를 P 모스 트랜지스터 또는 N 모스 트랜지스터로만 구현하여 공정을 간편하게 하여 크기 및 원가절감의 효과를 갖는 주사구동부 및 그를 이용한 유기전계발광표시장치를 제공하는 것이다.

**발명의 구성 및 작용**

- <22> 상기 목적을 달성하기 위한 본 발명의 제 1 측면은, 복수의 스테이지가 직렬로 연결되어 구성되며, 각 스테이지는, 클럭신호, 부클럭신호 및 입력신호를 전달받아 동작하되, 상기 클럭신호에 의해 제 1 전원의 전압인 제 1 전압을 선택적으로 제 1 노드에 전달하는 제 1 트랜지스터, 제 2 노드의 전압과 상기 부클럭신호에 대응하여 선택적으로 상기 제 1 노드의 전압을 조절하는 제 2 트랜지스터, 상기 클럭신호에 대응하여 상기 입력신호의 전압을 상기 제 2 노드에 전달하는 제 3 트랜지스터 및 상기 제 1 노드와 상기 제 2 노드 사이에 연결되어 상기 구동전원과 상기 입력신호의 전압을 저장하는 제 1 캐패시터를 포함하고, 상기 제 1 노드의 전압을 제 1 출력신호로 출력하는 제 1 신호처리부를 포함하는 주사구동부를 제공하는 것이다.
- <23> 상기 목적을 달성하기 위하여 본 발명의 제 2 측면은, 데이터선, 주사선에 의해 정의되는 영역에 형성되는 화

소에 의해 화상을 표현하는 화소부, 상기 데이터선에 데이터신호를 전달하는 데이터구동부 및 상기 주사선에 주사신호를 전달하는 주사구동부를 포함하되, 상기 주사구동부는 상기 클럭신호에 의해 제 1 전원의 전압인 제 1 전압을 선택적으로 제 1 노드에 전달하는 제 1 트랜지스터, 제 2 노드의 전압에 대응하여 선택적으로 상기 제 1 노드의 전압을 조절하는 제 2 트랜지스터, 상기 클럭신호에 대응하여 상기 입력신호의 전압을 상기 제 2 노드에 전달하는 제 3 트랜지스터 및 상기 제 1 노드와 상기 제 2 노드 사이에 연결되어 상기 구동전원과 상기 입력신호의 전압을 저장하는 제 1 캐패시터를 포함하고, 상기 제 1 노드의 전압을 제 1 출력신호로 출력하는 제 1 신호처리부를 포함하는 유기전계발광표시장치를 제공하는 것이다.

- <24> 상기 목적을 달성하기 위하여 본 발명의 제 3 측면은, 복수의 스테이지를 구비하며 상기 각각 스테이지에서 순차적으로 주사신호를 구동하는 방법에 있어서, 클럭신호와 부클럭신호에 의해 제 1 전압과 제 2 전압을 저장하는 단계 및 상기 저장된 제 1 전압과 제 2 전압과 상기 부클럭신호에 의해 제 1 출력신호를 생성하는 단계를 포함하는 주사신호의 구동방법을 제공하는 것이다.
- <25> 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 설명하면 다음과 같다.
- <26> 도 3은 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다. 도 3을 참조하여 설명하면, 유기전계발광표시장치는 화소부(100), 데이터구동부(200), 주사구동부(300)를 포함한다.
- <27> 화소부(100)는 복수의 데이터선(D1, D2...Dm-1, Dm)과 복수의 주사선(S1, S2...Sn-1, Sn)을 포함하며, 복수의 데이터선(D1, D2...Dm-1, Dm)과 복수의 주사선(S1, S2...Sn-1, Sn)에 의해 정의되는 영역에 형성되는 복수의 화소를 포함한다. 화소(101)는 화소회로와 유기발광소자를 포함하며, 화소회로에서 복수의 데이터선(D1, D2...Dm-1, Dm)을 통해 전달되는 데이터신호와 복수의 주사선(S1, S2...Sn-1, Sn)을 통해 전달되는 주사신호에 의해 화소에 흐르는 화소전류를 생성하여 유기발광소자로 흐르도록 한다. 이때, 각 화소는 복수의 박막트랜지스터를 포함하며 각 박막 트랜지스터는 P 모스 트랜지스터 또는 N 모스 트랜지스터로만 형성된다.
- <28> 데이터구동부(200)는 복수의 데이터선(D1, D2...Dm-1, Dm)과 연결되며 데이터신호를 생성하여 한 행 분의 데이터신호를 순차적으로 복수의 데이터선(D1, D2...Dm-1, Dm)에 전달한다.
- <29> 주사구동부(300)는 복수의 주사선(S1, S2...Sn-1, Sn)과 연결되며 주사신호를 생성하여 복수의 주사선(S1, S2...Sn-1, Sn)에 전달한다. 주사신호에 의해 특정한 행이 선택되며 선택된 행에 위치하는 화소(101)에 데이터신호가 전달되어 화소에 데이터신호에 대응하는 전류가 생성된다. 이때, 주사구동부(300)는 화소부(100)의 박막트랜지스터가 P 모스 트랜지스터로 형성되면 P 모스 트랜지스터로 형성되고 화소부(100)가 N 모스 트랜지스터로 형성되면 N 모스 트랜지스터로만 구성되며 화소부와 동일한 공정을 통해 형성된다.
- <30> 도 4는 도 3에 도시된 유기전계발광표시장치에서 채용된 주사구동부를 나타내는 구조도이다. 도 4를 참조하여 설명하면, 주사구동부(300)는 복수의 스테이지(301, 302...30n-1, 30n)가 직렬로 연결되며 각 스테이지 중 첫번째 스테이지(301)는 클럭신호(CLK), 부클럭신호(CLKB) 및 스타트 펄스(SP)를 입력받고 첫번째 스테이지(301)를 제외한 스테이지(302, 303, ...30n-1, 30n)는 클럭신호(CLK), 부클럭신호(CLKB) 및 이전 스테이지의 출력신호인 주사신호(S1, S2...Sn-1)가 입력된다.
- <31> 도 5는 도 4에 도시된 주사구동부에서 채용된 스테이지의 일부를 나타내는 회로도이다. 도 5를 참조하여 설명하면, 첫번째 스테이지와 두번째 스테이지를 나타내며, 첫번째 스테이지(301)는 제 1 신호처리부, 제 2 신호처리부 및 제 3 신호처리부를 포함하고, 두번째 스테이지(302)는 제 4 신호처리부, 제 5 신호처리부 및 제 6 신호처리부를 포함한다.
- <32> 제 1 신호처리부는 소스는 제 1 전원(Vpos)에 연결되고 게이트는 클럭단자(CLK)에 입력되고 드레인은 제 1 노드(N1)에 연결되는 제 1 트랜지스터(M1)와 소스는 제 1 노드(N1)에 연결되고 게이트는 제 2 노드(N2)에 연결되며 드레인은 부클럭단자(CLKB)에 연결되는 제 2 트랜지스터(M2)와 소스는 제 2 노드(N2)에 연결되고 게이트는 클럭단자(CLK)에 연결되며 드레인은 스타트 펄스입력단( )에 연결되는 제 3 트랜지스터(M3) 및 제 1 노드(N1)와 제 2 노드(N2) 사이에 연결되는 제 1 캐패시터(C1)를 포함한다.
- <33> 제 2 신호처리부는 소스는 제 1 전원(Vpos)에 연결되고 게이트는 제 1 노드(N1)에 연결되며 드레인은 제 3 노드(N3)에 연결되는 제 4 트랜지스터(M4)와 소스는 제 3 노드(N3)에 연결되고 게이트는 제 1 노드(N1)에 연결되며 드레인은 제 4 노드(N4)에 연결되는 제 5 트랜지스터(M5)와 소스는 제 3 노드(N3)에 연결되고 게이트는 제 4 노드(N4)에 연결되며 드레인은 제 1 전원(Vpos)보다 낮은 전압을 갖는 제 2 전원(Vneg)에 연결되는 제 6 트랜지스터(M6)와 소스는 제 4 노드(N4)에 연결되고 게이트는 클럭단자(CLK)에 연결되며 드레인은 제 2 전원(Vneg)에 연결되는 제 7 트랜지스터(M7) 및 제 3 노드(N3)와 제 4 노드(N4) 사이에 연결되는 제 2 캐패시터(C2)를

포함한다.

- <34> 제 3 신호처리부는 소스는 제 1 전원(Vpos)에 연결되고 게이트는 제 4 노드(N4)에 연결되며 드레인은 제 5 노드(N5)에 연결되는 제 8 트랜지스터(M8)와 소스는 제 5 노드(N5)에 연결되고 게이트는 제 4 노드(N4)에 연결되며 드레인은 제 6 노드(N6)에 연결되는 제 9 트랜지스터(M9)와 소스는 제 5 노드(N5)에 연결되고 게이트는 제 6 노드(N6)에 연결되며 드레인은 제 2 전원(Vneg)에 연결되는 제 10 트랜지스터(M10)와 소스는 제 6 노드(N6)에 연결되고 게이트는 제 3 노드(N3)에 연결되는 제 11 트랜지스터(M11) 및 제 5 노드(N5)와 제 6 노드(N6) 사이에 연결되는 제 3 캐패시터(C3)를 포함한다. 그리고, 제 5 노드(N5)는 출력단(OUT)으로 사용된다.
- <35> 제 4 신호처리부는 소스는 제 1 전원(Vpos)에 연결되고 게이트는 클럭단자에 입력되고 드레인은 제 7 노드(N7)에 연결되는 제 11 트랜지스터(M11)와 소스는 제 7 노드(N7)에 연결되고 게이트는 제 8 노드(N8)에 연결되며 드레인은 부클럭단자(CLKB)에 연결되는 제 12 트랜지스터(M12)와 소스는 제 8 노드(N8)에 연결되고 게이트는 클럭단자(CLK)에 연결되며 드레인은 제 1 스테이지(301)의 출력단(OUT)에 연결되는 제 13 트랜지스터(M13) 및 제 7 노드(N7)와 제 8 노드(N8) 사이에 연결되는 제 4 캐패시터(C4)를 포함한다.
- <36> 제 5 신호처리부는 소스는 제 1 전원(Vpos)에 연결되고 게이트는 제 7 노드(N7)에 연결되며 드레인은 제 9 노드(N9)에 연결되는 제 14 트랜지스터(M14)와 소스는 제 9 노드(N9)에 연결되고 게이트는 제 7 노드(N7)에 연결되며 드레인은 제 10 노드(N10)에 연결되는 제 15 트랜지스터(M15)와 소스는 제 9 노드(N9)에 연결되고 게이트는 제 10 노드(N10)에 연결되며 드레인은 제 1 전원(Vpos)보다 낮은 전압을 갖는 제 2 전원(Vneg)에 연결되는 제 16 트랜지스터(M16)와 소스는 제 10 노드(N10)에 연결되고 게이트는 클럭단자(CLK)에 연결되며 드레인은 제 2 전원(Vneg)에 연결되는 제 17 트랜지스터(M17) 및 제 9 노드(N9)와 제 10 노드(N10) 사이에 연결되는 제 5 캐패시터(C5)를 포함한다.
- <37> 제 6 신호처리부는 소스는 제 1 전원(Vpos)에 연결되고 게이트는 제 10 노드(N10)에 연결되며 드레인은 제 11 노드(N11)에 연결되는 제 18 트랜지스터(M18)와 소스는 제 11 노드(N11)에 연결되고 게이트는 제 10 노드(N10)에 연결되며 드레인은 제 12 노드(N12)에 연결되는 제 19 트랜지스터(M19)와 소스는 제 11 노드(N11)에 연결되고 게이트는 제 12 노드(N12)에 연결되며 드레인은 제 2 전원(Vneg)에 연결되는 제 20 트랜지스터(M20)와 소스는 제 12 노드(N12)에 연결되고 게이트는 제 9 노드(N9)에 연결되는 제 11 트랜지스터(M11) 및 제 11 노드(N11)와 제 12 노드(N12) 사이에 연결되는 제 6 캐패시터(C6)를 포함한다. 그리고, 제 11 노드(N11)는 출력단(OUT)으로 사용된다.
- <38> 그리고, 제 1 신호처리부, 제 2 신호처리부, 제 3 신호처리부, 제 4 신호처리부, 제 5 신호처리부 및 제 6 신호처리부에 포함되어 있는 제 1 내지 제 20 트랜지스터는 P 모스 트랜지스터로 구현된다.
- <39> 도 6은 도 5에 도시된 스테이지의 동작을 나타내는 타이밍도이다. 도 6을 참조하여 도 5의 스테이지의 동작을 설명하면, 제 1 신호처리부는 클럭신호(CLK), 부클럭신호(CLKB), 스타트 펄스(SP)를 전달받아 동작하고, 제 2 신호처리부는 클럭신호(CLK), 제 1 신호처리부의 출력신호 즉, 제 1 노드(N1)의 전압을 전달받아 동작하며, 제 3 신호처리부는 제 1 신호처리부의 출력신호 즉, 제 1 노드(N1)의 전압과 제 2 신호처리부의 출력신호 즉 제 3 노드(N3)의 전압에 대응하여 동작한다. 제 4 신호처리부는 클럭신호(CLK), 부클럭신호(CLKB), 스타트 펄스(SP)를 전달받아 동작하고, 제 5 신호처리부는 클럭신호(CLK), 제 4 신호처리부의 출력신호 즉, 제 7 노드(N7)의 전압을 전달받아 동작하며, 제 6 신호처리부는 제 4 신호처리부의 출력신호 즉, 제 7 노드(N7)의 전압과 제 2 신호처리부의 출력신호 즉 제 9 노드(N9)의 전압에 대응하여 동작한다.
- <40> 제 1 신호처리부는 클럭신호(CLK)가 로우상태, 스타트 펄스(SP)가 하이상태, 부클럭신호(CLKB)가 하이상태가 되면, 제 1 트랜지스터(M1)와 제 3 트랜지스터(M3)는 온 상태가 되어 제 1 노드(N1)는 제 1 전원(Vpos)이 전달되어 하이 상태가 되고 제 2 노드(N2) 역시 스타트 펄스(SP)가 전달되어 하이 상태가 된다. 그리고, 제 1 캐패시터(C1)에 의해 제 1 노드(N1)의 전압과 제 2 노드(N2)의 전압이 유지된다. 그리고, 제 2 노드(N2)의 전압이 하이 상태가 되어 제 2 트랜지스터(M2)는 오프상태를 유지하게 된다. 따라서, 제 1 노드(N1)의 전압은 제 1 전원(Vpos)의 전압을 유지하게 된다.
- <41> 그리고, 클럭신호(CLK)가 하이상태, 스타트 펄스(SP)가 하이상태, 부클럭신호(CLKB)가 로우상태가 되면, 제 1 트랜지스터(M1)와 제 3 트랜지스터(M3)는 오프 상태가 되어 제 1 캐패시터(C1)의 양단은 플로팅 상태가 된다. 따라서, 제 1 노드(N1)는 제 1 캐패시터(C1)에 의해 제 1 전원(Vpos)의 전압을 유지하고 제 2 트랜지스터(M2)의 게이트 전압 역시 제 1 캐패시터(C1)에 의해 하이 상태를 유지하게 되어 오프상태를 유지한다.
- <42> 그리고, 클럭신호(CLK)가 로우상태, 스타트 펄스(SP)가 로우상태, 부클럭신호(CLKB)가 하이 상태가 되면, 제 1

트랜지스터(M1)와 제 3 트랜지스터(M3)는 온 상태가 되어 제 1 노드(N1)는 제 1 전원(Vpos)이 전달되고 제 2 노드(N2)는 스타트 펄스(SP)에 의해 로우상태가 된다. 이때, 제 2 트랜지스터(M2)의 드레인이 부클럭신호(CLKB)에 의해 하이상태가 되어 제 2 트랜지스터(M2)의 소스에서 드레인의 방향으로 전류가 흐르지 못하게 된다. 따라서, 제 1 노드(N1)의 전압은 제 1 전원(Vpos)의 전압을 유지하게 된다.

<43> 그리고, 클럭신호(CLK)가 하이상태, 스타트 펄스(SP)가 하이상태, 부클럭신호(CLKB)가 로우상태가 되면, 제 1 트랜지스터(M1)와 제 3 트랜지스터(M3)는 오프상태가 되면 제 1 캐패시터(C1)의 양단은 플로팅 상태가 되어 제 2 노드(N2)는 로우상태를 유지하게 된다. 따라서, 제 2 트랜지스터(M2)의 게이트 전압은 로우상태를 유지하게 되어 제 2 트랜지스터(M2)의 소스에서 드레인 방향으로 전류패스가 형성되어 제 1 노드(N1)의 전압이 낮아지게 된다. 이때, 제 1 캐패시터(C1)에 의해 제 1 노드(N1)의 전압이 로우 상태를 계속 유지하게 되어 제 1 노드(N1)의 전압은 제 2 전원의 전압(Vneg) 만큼 낮아질 수 있어 주사신호의 신호 특성이 좋아진다.

<44> 그리고, 제 2 신호처리부는 클럭신호(CLK)가 하이상태일 때 제 3 노드(N3)의 전압을 제 1 전원(Vpos)의 전압을 유지하도록하고 로우상태일 때 제 3 노드(N3)의 전압이 제 2 전원(Vneg)의 전압이 되도록 한다.

<45> 또한, 제 3 신호처리부는 제 1 노드(N1)의 전압이 하이 상태이고 제 3 노드(N3)의 전압이 로우 상태일 때 제 5 노드(N5)의 전압 즉 출력단(OUT)의 전압이 하이상태가 유지되도록 하고 제 1 노드(N1)의 전압이 로우상태이고 제 3 노드(N3)의 전압이 하이 상태일 때 제 5 노드(N5)의 전압 즉 출력단의 전압이 로우상태가 유지되도록 한다.

<46> 제 2 스테이지(301)는 제 1 스테이지(301)와 동일한 동작을 수행하되, 스타트 펄스(SP) 대신 제 1 스테이지(301)의 출력단(OUT)의 전압 즉, 제 1 주사신호(S1)을 전달받아 동작한다.

<47> 도 7은 도 3에 도시된 주사구동부에서 채용한 스테이지의 제 2 실시예를 나타내는 회로도이고, 도 8은 도 7에 도시된 스테이지의 동작을 나타내는 타이밍도이다. 스테이지는 제 1 신호처리부, 제 2 신호처리부 및 제 3 신호처리부로 구성되며, 도 4 및 도 5와의 차이점은 각 신호처리부에 포함된 박막트랜지스터가 N 모스 트랜지스터로 구현된다.

**발명의 효과**

<48> 본 발명에 의한 주사구동부, 주사신호 구동방법 및 그를 이용한 유기전계발광표시장치는, 주사구동부를 P 모스 트랜지스터 또는 N 모스 트랜지스터로 구현할 수 있어 기판 상에 화소부를 P 모스 트랜지스터 또는 N 모스 트랜지스터로만 생산할 때는 주사구동부를 P 모스 트랜지스터 또는 N 모스 트랜지스터로만 구현할 수 있어 주사구동부를 화소부와 동시에 기판 상에 형성할 수 있게 되어 공정을 간단히 할 수 있으며 유기전계발광표시장치의 크기, 무게 등을 줄일 수 있다. 또한, 원가절감의 효과도 나타난다.

<49> 또한, 주사신호가 제 2 전원의 전압을 갖을 수 있도록 하여 주사신호의 신호특성이 좋아지도록 할 수 있다.

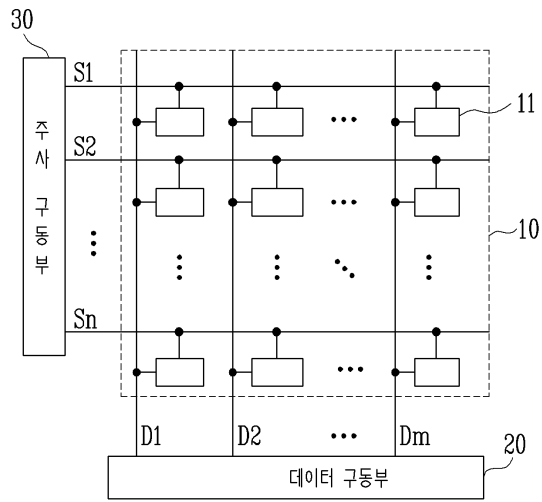
<50> 본 발명의 바람직한 실시예가 특정 용어들을 사용하여 기술되어 왔지만, 그러한 기술은 단지 설명을 하기 위한 것이며, 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고 여러 가지 변경 및 변화가 가해질 수 있는 것으로 이해되어야 한다.

**도면의 간단한 설명**

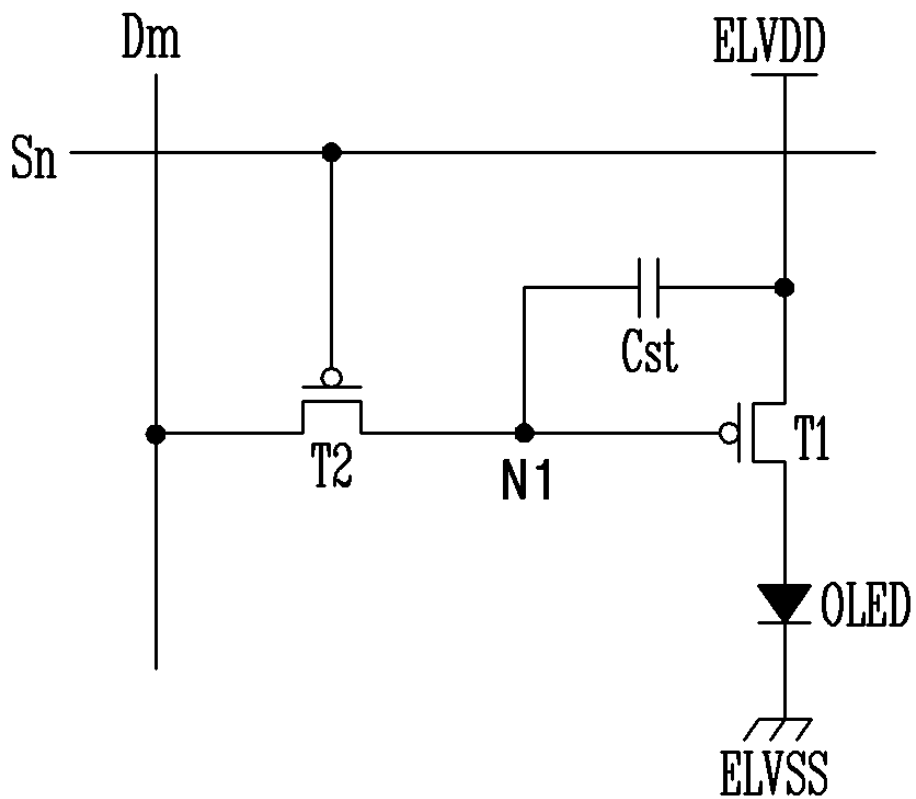
- <1> 도 1은 일반적인 유기전계발광표시장치를 나타내는 구조도이다.
- <2> 도 2는 도 1에 도시된 유기전계발광표시장치에서 채용된 화소를 나타내는 회로도이다.
- <3> 도 3은 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다.
- <4> 도 4는 도 3에 도시된 유기전계발광표시장치에서 채용된 주사구동부를 나타내는 구조도이다.
- <5> 도 5는 도 4에 도시된 주사구동부에서 채용된 스테이지의 일부를 나타내는 회로도이다.
- <6> 도 6은 도 5에 도시된 스테이지의 동작을 나타내는 타이밍도이다.
- <7> 도 7은 도 3에 도시된 주사구동부에서 채용한 스테이지의 제 2 실시예를 나타내는 회로도이다.
- <8> 도 8은 도 7에 도시된 스테이지의 동작을 나타내는 타이밍도이다.

도면

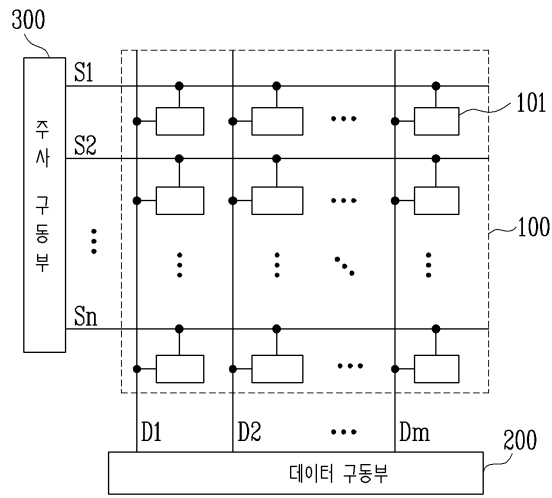
도면1



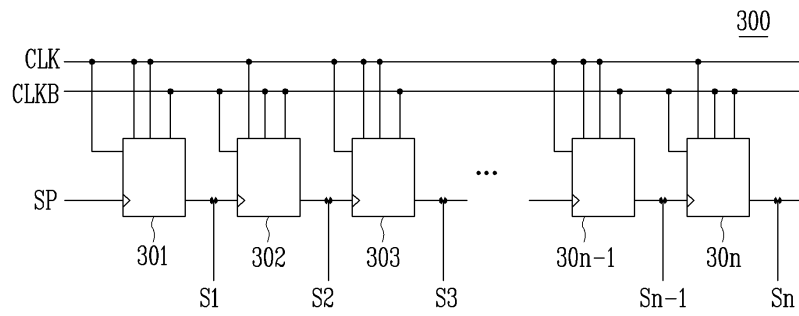
도면2



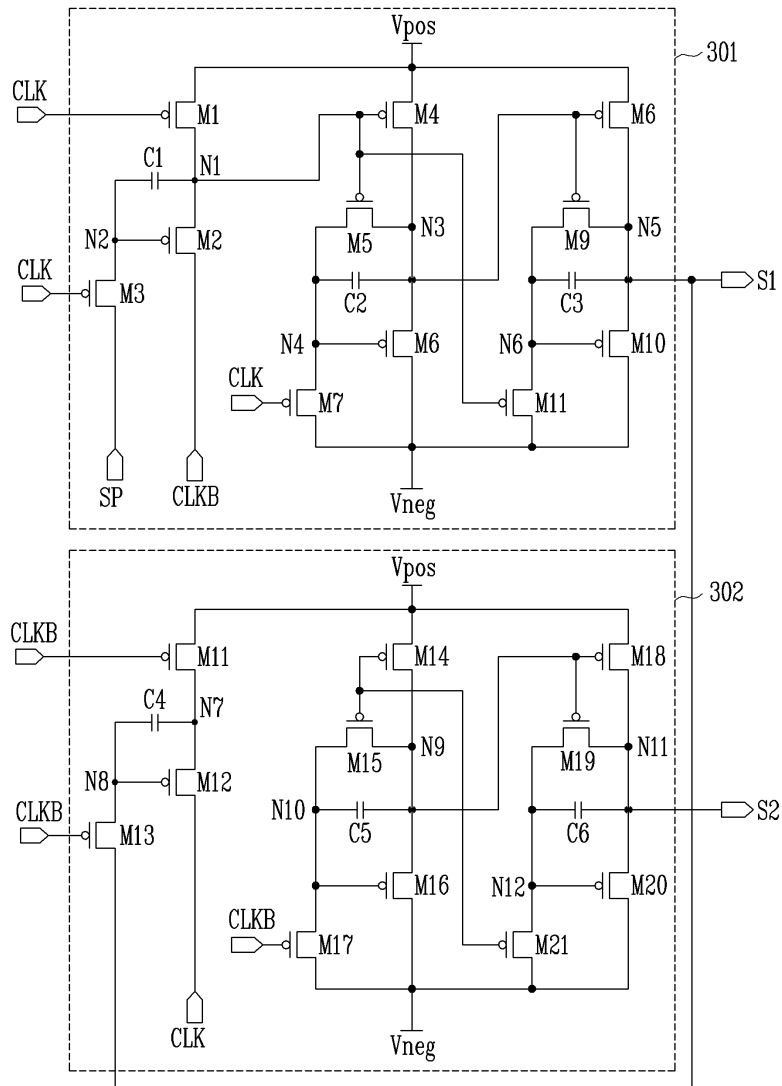
도면3



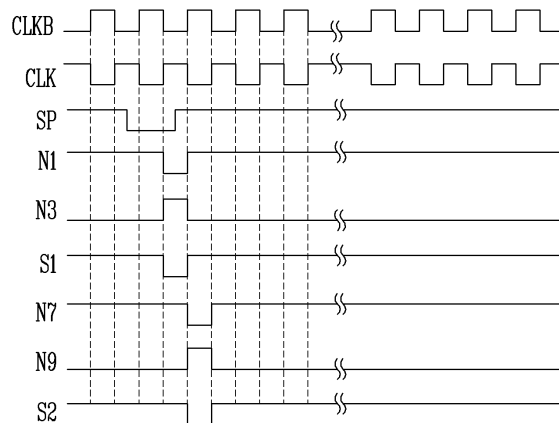
도면4



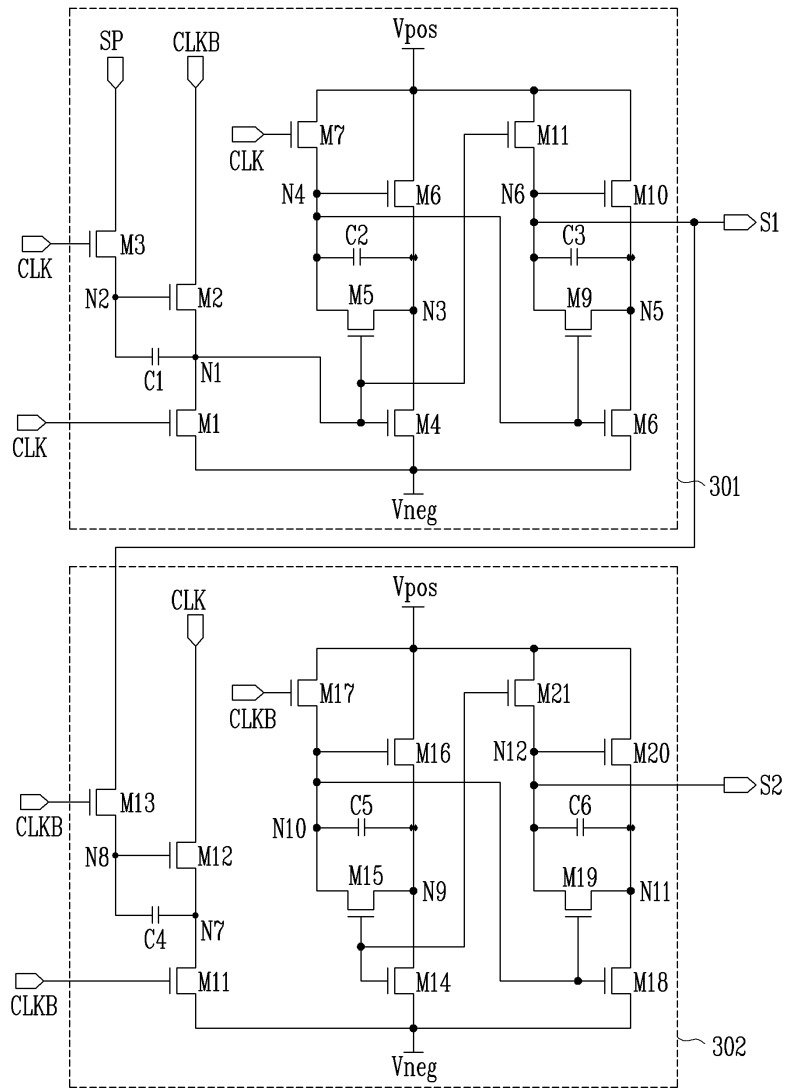
도면5



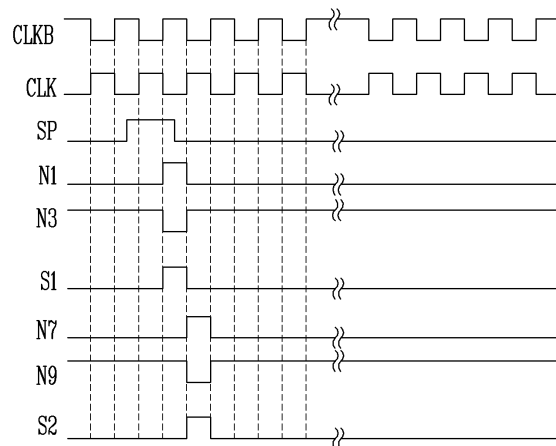
도면6



도면7



도면8



专利名称(译)	扫描驱动器，驱动扫描信号的方法和使用其的有机发光显示器		
公开(公告)号	<a href="#">KR100830296B1</a>	公开(公告)日	2008-05-19
申请号	KR1020060092493	申请日	2006-09-22
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	BOYONG CHUNG		
发明人	BOYONG CHUNG		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2300/0809 G09G3/3266 G09G3/3225 G11C19/184		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020080027062A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

扫描驱动器包括彼此串联连接的多个级，每个级包括所有NMOS晶体管或所有PMOS晶体管，并被配置为接收时钟信号，时钟条信号和输入信号。每个级包括第一电路，该第一电路被配置为响应于输入信号和时钟信号或时钟条信号之一来存储第一电源电压和第二电源电压。第一电源电压和第二电源电压各自对应于输入信号的电压，并且响应于从一系列级中的前一级输出第二电源电压而提供与第二电源电压对应的第一输出信号。，以及另一个时钟信号或时钟条信号。

