

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년06월14일 10-0589381 2006년06월07일
--	-------------------------------------	--

(21) 출원번호	10-2003-0085078	(65) 공개번호	10-2005-0051311
(22) 출원일자	2003년11월27일	(43) 공개일자	2005년06월01일

(73) 특허권자                    삼성에스디아이 주식회사  
    경기 수원시 영통구 신동 575

(72) 발명자                        신동용  
    서울특별시관악구봉천1동969-37

(74) 대리인                        유미특허법인

(56) 선행기술조사문헌 JP2000356978 A	KR1020050051309 A
KR1020050051310 A	KR1020050051312 A
KR1020050045129 A	KR1020050045131 A
* 심사관에 의하여 인용된 문헌	

심사관 : 박부식

(54) 역다중화기를 이용한 표시 장치 및 그 구동 방법

요약

역다중화기를 이용한 표시 장치에서, 역다중화기는 데이터 구동부에서 시분할되어 인가되는 데이터 전류를 순차적으로 샘플링한 후, 복수의 데이터선으로 홀딩한다. 역다중화기가 1:N 역다중화를 하는 경우에 한 수평 주기 동안 N개의 데이터선에 대응하는 데이터 전류를 샘플링하여야 하므로, 1/N 수평 주기 동안 하나의 데이터선에 대응하는 데이터 전류가 샘플링되어야 한다. 본 발명에서는 데이터 전류를 샘플링하기 전에 역다중화기와 데이터 구동부 사이에 연결되는 신호선을 전압으로 프리차지한다.

대표도

도 11

색인어

역다중화, 샘플/홀드, 전압, 프리차지, 전원, EL

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 역다중화기를 이용한 표시 장치의 개략적인 평면도이다.

도 2는 본 발명의 제1 실시예에 따른 역다중화기를 이용한 표시 장치의 개략적인 평면도이다.

도 3은 도 2의 표시 장치에서 데이터 구동부와 역다중화부가 복수 개로 이루어진 형태를 나타내는 도면이다.

도 4는 본 발명의 실시예에 따른 역다중화부를 나타내는 도면이다.

도 5는 샘플/홀드 회로로 이루어진 역다중화기를 나타내는 도면이다.

도 6은 도 5의 역다중화기의 스위칭 소자의 구동 타이밍도이다.

도 7a 내지 도 7d는 각각 도 6의 타이밍에 따른 도 5의 역다중화기의 동작을 나타내는 도면이다.

도 8은 도 5의 샘플/홀드 회로의 개략적인 회로도이다.

도 9는 본 발명의 제2 실시예에 따른 역다중화기를 이용한 표시 장치의 개략적인 평면도이다.

도 10은 도 9의 데이터 구동부, 전압 프리차지부 및 역다중화부를 나타내는 도면이다.

도 11은 도 10에서 하나의 샘플/홀드 회로를 나타내는 도면이다.

도 12는 본 발명의 제2 실시예에 따른 프리차지 방법을 위한 구동 타이밍도이다.

도 13은 역다중화기에서 직전 샘플링시에 인가된 데이터 전류의 계조에 따라 현재 샘플링시에 데이터 전류를 샘플링하는데 걸리는 시간을 나타낸 도면이다.

도 14는 화소 회로의 개략적인 회로도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 역다중화기를 이용한 표시 장치에 관한 것으로, 특히 역다중화기를 이용하는 표시 장치의 전원 배선에 관한 것이다.

표시 장치에는 주사선을 구동하기 위한 주사 구동부와 데이터선을 구동하기 위한 데이터 구동부가 필요하다. 이때, 데이터 구동부는 디지털 데이터 신호를 아날로그 신호로 변환하여 모든 데이터선에 인가하여야 하므로, 데이터선의 개수에 해당하는 출력 단자를 가져야 한다. 그런데 일반적으로 데이터 구동부는 복수의 집적 회로로 제작되는데, 하나의 집적 회로가 가지는 출력 단자의 개수는 제한되어 있으므로 모든 데이터선을 구동하기 위해서는 많은 집적 회로가 사용되어야 한다. 그래서 집적 회로의 개수를 줄이기 위해서 역다중화기를 사용하는 방법이 제안되었다.

예를 들어, 1:2 역다중화기는 데이터 구동부로부터 하나의 신호선을 통하여 시분할되어 인가되는 데이터 신호를 2개의 데이터선으로 나누어 인가한다. 그러므로 1:2 역다중화기를 사용하는 경우에는 집적 회로의 개수를 절반으로 줄일 수 있다. 최근 액정 표시 장치와 유기 전계발광 표시 장치는 데이터 구동부용 집적 회로가 패널 위에 직접 올라가는 형태로 제작되는 추세이며, 이와 같은 경우에 집적 회로의 개수를 더욱 줄일 필요가 있다.

그리고 역다중화기, 데이터 구동부 및 주사 구동부를 위한 집적 회로가 패널 위에 직접 올라가는 형태로 제작되었을 때, 화소에 전원 전압을 공급하기 위해서 도 1과 같이 전원 공급점, 전원 공급선 및 전원 배선이 형성되었다.

도 1을 보면, 표시 영역(10)의 좌측에 선택 신호를 선택 주사선( $SE_1 \sim SE_m$ )에 인가하기 위한 주사 구동부(20)가 배치되고 표시 영역(10)의 우측에 화소의 발광을 제어하는 신호를 발광 주사선( $EM_1 \sim EM_m$ )에 인가하기 위한 주사 구동부(30)가 배치된다. 그리고 표시 영역(10)의 하단에 데이터선( $D_1 \sim D_n$ )에 데이터 신호를 인가하기 위한 역다중화부(40)와 데이터 구동부(50)가 배치된다. 이때, 각 화소에 전원 전압을 공급하기 위해서 세로 방향으로 세로선(60)이 형성되어 있고, 기판 상단에 세로선(60)에 연결되는 전원선(70)이 가로 방향으로 형성되어 있다. 그리고 기판 상단의 전원선(70)과 외부의 전원 공급선(80)이 전원 공급점(90)을 통하여 연결되어 있으며, 전원 공급선(80)은 두 주사 구동부(20, 30)를 둘러싸는 형태로 형성되어 있다.

이때, 화소에서 전원 전압이 사용되는 경우에는 전원선(70)과 세로선(60)을 통하여 전류가 흐르므로, 전원 공급선(70)과 세로선(60)에 존재하는 기생 저항 때문에 전원 공급선(70)과 세로선(60)에서 전압 강하(IR drop)가 발생한다. 이러한 전압 강하는 전원 공급점(90)에서 멀리 떨어질수록 크게 발생하는데, 도 1에서는 전원 공급선(70)의 가운데 근처와 세로선(60)의 하단 근처에서 크게 발생한다.

일반적으로 화소에서는 구동 트랜지스터의 특성 편차가 존재하기 때문에 구동 트랜지스터의 특성 곡선에서 포화 영역의 마진을 확보해야 한다. 그런데 전압 강하가 크게 발생하는 경우에는 포화 영역의 충분한 마진을 위해서 전원 전압을 크게 하여야 하므로, 소비 전력이 증가하게 된다. 또한, 1:N 역다중화를 위해 역다중화기에서 샘플/홀드 회로를 사용하는 경우에 한 수평 주기의 1/N 시간 동안 하나의 데이터선에 대응하는 데이터 전류를 샘플링해야 하므로 샘플링 시간이 짧고, 이에 따라 데이터 전류를 적절하게 샘플링할 수 없다는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 전압 강하를 줄일 수 있는 역다중화기를 이용한 표시 장치를 제공하는 것이다. 또한 본 발명은 주어진 시간 내에서 샘플링을 할 수 있는 표시 장치를 제공하는 것을 그 기술적 과제로 한다.

### 발명의 구성 및 작용

이러한 과제를 해결하기 위해서, 본 발명은 역다중화부에서 데이터를 샘플링하기 전에 역다중화부와 데이터 구동부 사이의 신호선을 전압으로 프리차지한다.

본 발명의 한 특징에 따른 표시 장치는, 표시 영역, 복수의 제1 신호선, 데이터 구동부, 역다중화부 및 프리차지부를 포함한다. 표시 영역에는 화상을 나타내는 데이터 전류를 전달하는 복수의 데이터선과 데이터선과 전기적으로 연결되어 있는 복수의 화소 회로를 포함한다. 데이터 구동부는 복수의 제1 신호선에 전기적으로 연결되어 데이터 전류에 대응하는 제1 전류를 시분할하여 제1 신호선으로 전달하며, 역다중화부는 복수의 제1 신호선으로부터 제1 전류를 각각 수신하는 복수의 역다중화기를 포함한다. 프리차지부는 제1 신호선으로 제1 전류가 전달되기 전에 제1 신호선으로 프리차지 전압을 전달하며, 역다중화기는 제1 신호선으로부터 제1 전류를 수신하여 적어도 두 개의 데이터선으로 데이터 전류를 전달한다.

본 발명의 한 실시예에 따르면, 역다중화기는 제1 신호선에 전기적으로 연결되는 복수의 샘플/홀드 회로를 포함한다. 한 수평 주기에서, 복수의 샘플/홀드 회로 중 한 그룹의 샘플/홀드 회로들이 제1 신호선을 통하여 순차적으로 인가되는 제1 전류를 순차적으로 샘플링하는 동안, 다른 그룹의 샘플/홀드 회로들이 직전 수평 주기 동안 샘플링한 전류를 적어도 두 개의 데이터선으로 홀딩한다.

여기서, 복수의 샘플/홀드 회로는, 제1 신호선에 입력단이 각각 연결되고 적어도 두 개의 데이터선 중 제1 데이터선에 출력단이 각각 연결되는 제1 및 제2 샘플/홀드 회로, 그리고 제1 신호선에 입력단이 각각 연결되고 적어도 두 개의 데이터선 중 제2 데이터선에 출력단이 각각 연결되는 제3 및 제4 샘플/홀드 회로를 포함할 수 있다. 그리고 제1 및 제3 샘플/홀드 회로가 한 그룹의 샘플/홀드 회로를 형성하며, 제2 및 제4 샘플/홀드 회로가 다른 그룹의 샘플/홀드 회로를 형성한다.

본 발명의 다른 실시예에 따르면, 프리차지 전압은 프리차지 전압 인가 후 제1 신호선에 전달되는 제1 전류가 주어진 샘플링 시간 내에서 실질적으로 샘플링이 되도록 하는 전압이다.

본 발명의 또다른 실시예에 따르면, 직전 샘플링 기간 동안 제1 신호선에 제1 레벨 내지 제2 레벨 계조를 가지는 제1 전류가 전달된 후, 현재 샘플링 기간 동안 제1 신호선에 인가되는 제1 전류가 샘플링 기간 내에서 실질적으로 샘플링이 되는 경우에, 프리차지 전압은 제1 레벨 계조의 전류에 대응하는 제1 전압과 제2 레벨 계조의 전류에 대응하는 제2 전압 사이의 전압이다.

본 발명의 또다른 실시예에 따르면, 샘플/홀드 회로는 샘플링 신호에 응답하여 턴온되는 샘플링 스위칭 소자, 홀딩 신호에 응답하여 턴온되는 홀딩 스위칭 소자, 그리고 샘플링 스위칭 소자의 턴온시에 제1 전류를 샘플링한 후 홀딩 스위칭 소자의 턴온시에 샘플링한 전류를 홀딩하는 데이터 저장 소자를 포함하며, 샘플링 신호는 복수의 샘플/홀드 회로에 순차적으로 인가된다.

여기서, 데이터 저장 소자는, 샘플링 신호에 응답하여 소스가 제1 전원에 전기적으로 연결되고 게이트와 드레인이 제1 신호선에 전기적으로 연결되는 트랜지스터, 그리고 트랜지스터의 게이트와 소스 사이에 연결되어 드레인측으로 전달되는 전류에 대응하는 전압을 저장하는 커패시터를 포함한다.

본 발명의 또다른 실시예에 따르면, 상기 제1 전압이 상기 제2 전압보다 제1 전원의 전압에 가까우며, 복수의 샘플/홀드 회로 각각에 포함되는 트랜지스터의 문턱 전압의 절대값에서 최대값과 대표값의 차이가 제3 전압이고 제1 전압보다 제3 전압만큼 제1 전원의 전압으로부터 먼 전압이 제4 전압인 경우, 프리차지 전압은 제4 전압과 제2 전압 사이의 전압이다.

여기서, 복수의 샘플/홀드 회로 각각에 포함되는 트랜지스터의 문턱 전압의 절대값에서 대표값과 최소값의 차이가 제5 전압이고 제2 전압보다 제5 전압만큼 제1 전원의 전압에 가까운 전압이 제6 전압인 경우, 프리차지 전압은 제6 전압과 제4 전압 사이의 전압일 수 있다.

본 발명의 또다른 실시예에 따르면, 복수의 샘플/홀드 회로의 제1 전원의 전압에서 최대값과 최소값의 차이가 제3 전압이고, 상기 제1 전압이 상기 제2 전압보다 제1 전원의 전압에 가까우며, 제1 전압보다 제3 전압만큼 제1 전원의 전압으로부터 먼 전압이 제4 전압인 경우, 프리차지 전압은 제4 전압과 제2 전압 사이의 전압이다.

여기서, 복수의 샘플/홀드 회로 각각에 포함되는 트랜지스터의 문턱 전압의 절대값에서 최대값과 대표값의 차이가 제5 전압이고 대표값과 최소값의 차이가 제6 전압이며, 제4 전압보다 제5 전압만큼 제1 전원의 전압으로부터 먼 전압이 제7 전압이고, 제2 전압보다 제6 전압만큼 제1 전원의 전압에 가까운 전압이 제8 전압인 경우, 프리차지 전압은 제8 전압과 제7 전압 사이의 전압일 수 있다.

본 발명의 또다른 실시예에 따르면, 데이터 저장 소자는 트랜지스터 및 트랜지스터의 게이트와 소스 사이에 전기적으로 연결되는 커패시터를 포함하며, 샘플링 스위칭 소자는, 트랜지스터의 드레인과 입력단 사이에 전기적으로 연결되는 제1 스위칭 소자, 턴온시에 트랜지스터를 다이오드 형태로 연결하는 제2 스위칭 소자, 그리고 제1 전원과 트랜지스터 사이에 전기적으로 연결되는 제3 스위칭 소자를 포함하며, 홀딩 스위칭 소자는, 제2 전원과 트랜지스터 사이에 전기적으로 연결되는 제4 스위칭 소자, 그리고 트랜지스터와 출력단 사이에 전기적으로 연결되는 제5 스위칭 소자를 포함한다.

본 발명의 또다른 실시예에 따르면, 복수의 샘플/홀드 회로에서 프리차지 전압은 동일한 전압이다.

본 발명의 또다른 실시예에 따르면, 복수의 샘플/홀드 회로에서 적어도 두 개의 샘플/홀드 회로에 인가되는 제1 전류의 범위가 서로 다른 경우에, 상기 적어도 두 개의 샘플/홀드 회로에는 서로 다른 프리차지 전압이 인가된다.

본 발명의 또다른 실시예에 따르면, 표시 영역은 화소 회로에 전원 전압을 공급하는 복수의 제2 신호선을 더 포함하며, 본 발명의 표시 장치는 역다중화부와 데이터 구동부 사이에서 제1 신호선과 절연되어 교차하는 방향으로 형성되어 제2 신호선에서 전원 전압을 전달하는 전원선을 더 포함한다.

본 발명의 또다른 실시예에 따르면, 화소 회로는, 데이터선을 통하여 전달되는 데이터 전류가 흐르는 트랜지스터, 트랜지스터의 소스와 게이트 사이에 전기적으로 연결되며 트랜지스터에 흐르는 전류에 대응하는 전압이 저장되는 커패시터, 그리고 커패시터에 저장된 전압에 따라 트랜지스터에 흐르는 전류에 대응하여 발광하는 발광 소자를 포함한다.

여기서, 발광 소자는 유기 물질의 전계 발광을 이용하는 발광 소자일 수 있다.

본 발명의 다른 특징에 따르면, 화상을 나타내는 데이터 전류를 전달하는 복수의 데이터선, 복수의 데이터선에 전기적으로 연결되어 있으며 데이터 전류에 따라 화상을 표시하는 복수의 화소 회로, 각각 복수의 데이터선 중 적어도 두 개의 데이터선에 대응하며 데이터 전류에 대응하는 전류를 순차적으로 전달하는 복수의 제1 신호선을 포함하는 표시 장치를 구동하는 방법이 제공된다. 이 구동 방법은, 제1 신호선에 제1 프리차지 전압을 인가하는 단계, 제1 신호선에 적어도 두 개의 데이터선 중 제1 데이터선에 인가될 데이터 전류에 대응하는 제1 전류를 인가하는 단계, 제1 신호선에 제2 프리차지 전압을 인가하는 단계, 제1 신호선에 적어도 두 개의 데이터선 중 제2 데이터선에 인가될 데이터 전류에 대응하는 제2 전류를 인가하는 단계, 그리고 제1 및 제2 데이터선에 상기 제1 및 제2 전류에 대응하는 데이터 전류를 인가하는 단계를 포함한다.

본 발명의 또다른 특징에 따른 표시 장치는, 표시 영역, 제1 신호선, 제1 및 제2 샘플/홀드 회로, 데이터 구동부 및 프리차지부를 포함한다. 표시 영역에는 일 방향으로 뻗어 있는 제1 및 제2 데이터선, 제1 및 제2 데이터선에 전기적으로 연결되어 있는 복수의 화소 회로가 형성되어 있다. 제1 샘플/홀드 회로는 제1 신호선과 제1 데이터선 사이에 전기적으로 연결되어 화상을 나타내는 제1 데이터 전류를 제1 데이터선으로 홀딩하며, 제2 샘플/홀드 회로는 제1 신호선과 제2 데이터선 사이에 전기적으로 연결되어 화상을 나타내는 제2 데이터 전류를 제2 데이터선으로 홀딩한다. 데이터 구동부는 제1 신호선에 전기적으로 연결되어 제1 및 제2 데이터 전류에 각각 대응하는 제1 및 제2 전류를 순차적으로 제1 신호선으로 전달한다. 그리고 프리차지부는 제1 신호선에 전기적으로 연결되어 제1 신호선에 제1 전류가 인가되기 전에 제1 신호선에 제1 프리차지 전압이 전달되도록 동작하고 제1 신호선에 제2 전류가 인가되기 전에 제1 신호선에 제2 프리차지 전압이 전달되도록 동작한다. 이때, 제1 및 제2 샘플/홀드 회로는 한 수평 주기 중 적어도 일부 기간 동안 제1 및 제2 전류를 각각 샘플링하고 다음 수평 주기 동안 제1 및 제2 데이터 전류를 홀딩한다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다.

이제 본 발명의 실시예에 따른 역다중화기를 이용한 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 2는 본 발명의 제1 실시예에 따른 역다중화기를 이용한 표시 장치의 개략적인 평면도이며, 도 3은 도 2의 표시 장치에서 데이터 구동부와 역다중화부가 복수 개로 이루어진 경우를 나타내는 도면이다.

도 2에 나타난 바와 같이, 본 발명의 제1 실시예에 따른 표시 장치는 절연 기판(1)을 포함하며, 절연 기판(1)은 표시 장치의 사용자에게 화면으로 보이는 영역인 표시 영역(100)과 그 바깥의 주변 영역으로 나눌 수 있다. 주변 영역에는 선택 주사 구동부(200), 발광 주사 구동부(300), 역다중화부(400) 및 데이터 구동부(500)가 형성되어 있다. 이때, 도 2와 달리 데이터 구동부(500)는 절연 기판(1)의 주변 영역에 형성되지 않고 별도로 형성되어 절연 기판(1)과 연결될 수도 있다.

표시 영역(100)은 복수의 데이터선( $D_1 \sim D_n$ ), 복수의 선택 주사선( $SE_1 \sim SE_m$ ), 복수의 발광 주사선( $EM_1 \sim EM_m$ ) 및 복수의 화소 회로(110)를 포함한다. 주사선( $SE_1 \sim SE_m$ ,  $EM_1 \sim EM_m$ )은 절연 기판(1) 위에 형성되며, 각 주사선( $SE_1 \sim SE_m$ ,  $EM_1 \sim EM_m$ )에는 게이트 전극(도시하지 않음)이 연결된다. 그리고 주사선( $SE_1 \sim SE_m$ ,  $EM_1 \sim EM_m$ )은 절연막(도시하지 않음)으로 덮이고, 게이트 전극 하부에는 비정질 규소 또는 다결정 규소 등으로 이루어진 반도체층(도시하지 않음)이 절연층을 사이에 두고 형성된다. 그리고 복수의 데이터선( $D_1 \sim D_n$ )이 주사선( $SE_1 \sim SE_m$ ,  $EM_1 \sim EM_m$ )을 덮고 있는 절연막 위에 형성되며, 각 데이터선( $D_1 \sim D_n$ )에는 소스 전극과 드레인 전극이 연결된다. 게이트 전극, 소스 전극 및 드레인 전극은 박막 트랜지스터의 세 단자를 이루며, 소스 전극과 드레인 전극 사이에 위치하는 반도체층이 이 트랜지스터의 채널층이 된다.

도 2를 보면, 복수의 데이터선( $D_1 \sim D_n$ )은 세로 방향으로 뻗어 있으며 화상을 나타내는 데이터 전류를 화소 회로(110)로 전달하며, 복수의 선택 주사선( $SE_1 \sim SE_m$ )과 발광 주사선( $EM_1 \sim EM_m$ )은 가로 방향으로 뻗어 있으며 각각 선택 신호와 발광 신호를 화소 회로(110)로 전달한다. 이웃한 두 데이터선과 이웃한 두 선택 주사선은 화소 영역을 정의하며, 이 화소 영역에 화소 회로(110)가 형성된다.

선택 주사 구동부(200)는 복수의 선택 주사선( $SE_1 \sim SE_m$ )에 선택 신호를 순차적으로 인가하며, 발광 주사 구동부(300)는 복수의 발광 주사선( $EM_1 \sim EM_m$ )에 발광 신호를 순차적으로 인가한다. 데이터 구동부(500)는 역다중화부(400)로 데이터 전류를 시분할하여 인가하며, 역다중화부(400)는 데이터 구동부(500)로부터 시분할되어 입력되는 데이터 전류를 데이터선( $D_1 \sim D_n$ )으로 인가한다. 역다중화부(400)가 1:N의 역다중화를 하는 경우에 데이터 구동부(500)에서 역다중화부(400)로 데이터 전류를 전달하는 신호선( $X_1 \sim X_{n/N}$ )은  $n/N$ 개이다. 즉, 하나의 신호선( $X_1$ )은 시분할되어 인가되는 데이터 전류를 N개의 데이터선( $D_1 \sim D_N$ )으로 전달한다.

이때, 선택 및 발광 주사 구동부(200, 300), 역다중화부(400) 및 데이터 구동부(500)는 절연 기판(1) 위에 집적 회로 형태로 직접 장착되어, 각각 절연 기판(1)에 형성된 주사선( $SE_1 \sim SE_m$ ,  $EM_1 \sim EM_m$ ), 신호선( $X_1 \sim X_{n/N}$ ) 및 데이터선( $D_1 \sim D_n$ )에 전기적으로 연결되어 있다. 또는 주사 구동부(200, 300), 역다중화부(400) 및/또는 데이터 구동부(500)를 절연 기판(1) 위에서 주사선( $SE_1 \sim SE_m$ ,  $EM_1 \sim EM_m$ ), 신호선( $X_1 \sim X_{n/N}$ ), 데이터선( $D_1 \sim D_n$ ) 및 화소 회로(110)의 트랜지스터를 형성하는 층과 동일한 층들로 형성할 수도 있다. 또는 데이터 구동부(500)를 역다중화부(400)에 접촉되어 전기적으로 연결된 TCP(tape carrier package), FPC(flexible printed circuit) 또는 TAB(tape automatic bonding)에 칩 등의 형태로 장착할 수도 있다.

다시 도 2를 보면, 표시 영역(100)에는 화소 회로(110)에 전원 전압을 전달하기 위한 복수의 세로선( $V_1 \sim V_n$ )이 세로 방향으로 뻗어 있으며, 각 세로선( $V_1 \sim V_n$ )은 세로 방향으로 배열되어 있는 복수의 화소 회로(110)에 연결되어 있다. 이러한 세로선( $V_1 \sim V_n$ )은 주사선( $SE_1 \sim SE_m$ ,  $EM_1 \sim EM_m$ )과 겹치지 않도록 데이터선( $D_1 \sim D_n$ )과 동일한 층에 형성될 수 있다. 그리고 전원선(600)이 절연 기판(1)의 상단에서 가로 방향으로 길게 형성되어 세로선( $V_1 \sim V_n$ )의 한쪽 끝과 연결되어 있으며, 전원선(700)이 역다중화부(400)와 데이터 구동부(500) 사이를 통과하도록 가로 방향으로 뻗어 있다. 그리고 세로선( $V_1 \sim V_n$ )이 역다중화부(400)를 통과하도록 연장되어 있으며, 연장된 세로선( $V_1 \sim V_n$ )의 끝이 전원선(700)과 연결되어 있다. 이때, 전원선(700)은 신호선( $X_1 \sim X_{n/N}$ )과 겹치지 않도록 신호선( $X_1 \sim X_{n/N}$ )과 다른 층에 형성되어 있다.

그리고 전원 공급선(610, 620)은 절연 기판(1) 위에 형성되어 각각 전원 공급점(630, 640)을 통하여 표시 영역(100)의 전원선(600)과 연결되어 있으며, 마찬가지로 전원 공급선(710, 720)이 절연 기판(1) 위에 형성되어 각각 전원 공급점(730, 740)을 통하여 표시 영역(100)의 전원선(700)과 연결되어 있다. 전원 공급선(610, 620)은 주사선( $SE_1 \sim SE_m$ ,  $EM_1 \sim EM_m$ ), 데이터선( $D_1 \sim D_n$ ) 및 신호선( $X_1 \sim X_{n/N}$ )과 겹치지 않도록 전원 공급점(630, 640)에서 가로 방향으로 주사 구동부(200, 300) 외곽까지 확장된 후 세로 방향으로 뻗어 있다. 마찬가지로, 전원 공급선(710, 720)도 주사선( $SE_1 \sim SE_m$ ,  $EM_1 \sim EM_m$ ), 데이터선( $D_1 \sim D_n$ ) 및 신호선( $X_1 \sim X_{n/N}$ )과 겹치지 않도록 전원 공급점(730, 740)에서 세로 방향으로 뻗어 있다.

이때, 세로 방향으로 뻗어 있는 전원 공급선(610, 620, 710, 720)의 한쪽 끝에는 패드(도시하지 않음)가 연결되어 있으며, 패드를 통하여 전원 공급선(610, 620, 710, 720)은 외부 회로 기판과 전기적으로 연결된다.

그리고 전원선(600, 700)과 전원 공급선(610, 620, 710, 720)은 복수의 세로선( $V_1 \sim V_n$ )으로 전류 또는 전압을 전달하므로 일반적으로 세로선( $V_1 \sim V_n$ )보다 폭이 넓게 형성된다.

이와 같이 하면, 절연 기판(1) 위에 전원 공급점(630, 640, 730, 740)을 4개 형성할 수 있다. 따라서 세로선( $V_1 \sim V_n$ )의 하단에서 발생하는 전압 강하를 해결할 수 있다.

그리고 도 3에 도시한 바와 같이 역다중화부(400)와 데이터 구동부(500)가 여러 개로 형성되는 경우에는 두 개의 데이터 구동부(500) 사이에 전원 공급선(710, 720)을 추가로 배치하여 전원 공급점의 개수를 늘릴 수 있다.

다음, 도 4 내지 도 8을 참조하여 본 발명의 제1 실시예에 따른 표시 장치에서 역다중화부가 전류를 샘플/홀드하는 회로로 이루어진 제1 실시예에 대해서 설명한다. 그리고 아래에서는 편의상 역다중화부가 1:2 역다중화를 수행하는 것으로 하여 설명한다. 또한, 도 5 내지 도 8에서는 편의상 첫 번째 신호선( $X_1$ )과 이 신호선( $X_1$ )에 대응하는 데이터선( $D_1, D_2$ )을 예로 들어 설명한다.

도 4는 본 발명의 제1 실시예에 따른 역다중화부를 나타내는 도면이며, 도 5는 샘플/홀드 회로로 이루어진 역다중화기를 나타내는 도면이다.

도 4에 나타난 바와 같이, 본 발명의 제1 실시예에 따른 역다중화부(400)는 복수의 역다중화기(401)를 포함한다. 도 4 및 도 5를 보면, 역다중화기(401)는 4개의 샘플/홀드 회로(410, 420, 430, 440)를 포함한다. 각 샘플/홀드 회로(410, 420, 430, 440)는 샘플링 스위칭 소자(S1, S2, S3, S4), 데이터 저장 소자(411, 421, 431, 441) 및 홀딩 스위칭 소자(H1, H2, H3, H4)를 포함한다. 샘플/홀드 회로(410, 420, 430, 440)의 샘플링 스위칭 소자(S1, S2, S3, S4)의 제1단은 각각 데이터 저장 소자(411, 421, 431, 441)에 연결되고, 홀딩 스위칭 소자(H1, H2, H3, H4)의 제1단도 각각 데이터 저장 소자(411, 421, 431, 441)에 연결된다. 샘플/홀드 회로(410, 420, 430, 440)의 샘플링 스위칭 소자(S1, S2, S3, S4)의 제2단은 신호선( $X_1$ )에 공통으로 연결되어 있다. 샘플/홀드 회로(410, 430)의 홀딩 스위칭 소자(H1, H3)의 제2단은 데이터선( $D_1$ )에 공통으로 연결되고, 샘플/홀드 회로(420, 440)의 홀딩 스위칭 소자(H2, H4)의 제2단은 데이터선( $D_2$ )에 공통으로 연결되어 있다. 그리고 아래에서는 샘플/홀드 회로(410, 420, 430, 440)에서 신호선( $X_1$ )과 연결되는 샘플링 스위칭 소자(S1, S2, S3, S4)의 제2단을 입력단이라 하고 데이터선( $D_1, D_2$ )과 연결되는 홀딩 스위칭 소자(H1, H2, H3, H4)의 제2단을 출력단이라 한다.

각각의 샘플/홀드 회로(410, 420, 430, 440)는 샘플링 스위칭 소자(S1, S2, S3, S4)가 턴온되면 샘플링 스위칭 소자(S1, S2, S3, S4)를 통하여 전달되는 전류를 샘플링하여 전압 형태로 데이터 저장 소자(411, 421, 431, 441)에 저장하고, 홀딩 스위칭 소자(H1, H2, H3, H4)가 턴온되면 데이터 저장 소자(411, 421, 431, 441)에 저장된 전압에 대응하는 전류를 홀딩 스위칭 소자(H1, H2, H3, H4)를 통하여 홀딩한다.

도 5에서는, 신호선( $X_1$ )과 데이터선( $D_1$ ) 사이에 연결된 샘플/홀드 회로(410, 430)가 하나의 샘플/홀드 회로부를 형성하여, 두 샘플/홀드 회로(410, 430)가 샘플링과 홀딩을 교대로 수행한다. 마찬가지로, 신호선( $X_1$ )과 데이터선( $D_2$ ) 사이에 연결된 샘플/홀드 회로(420, 440)가 하나의 샘플/홀드 회로부를 형성하여, 두 샘플/홀드 회로(420, 440)가 샘플링과 홀딩을 교대로 수행한다.

여기서, 턴온되어 입력되는 전류를 전압 형태로 데이터 저장 소자에 기록하는 것을 '샘플링'으로 정의하고, 데이터 저장 소자에 기록된 데이터를 유지하는 것을 '대기'로 정의하며, 데이터 저장 소자에 기록된 데이터에 대응하는 전류를 출력하는 것을 '홀딩'으로 정의한다.

다음, 도 6, 도 7a 내지 도 7d를 참조하여 도 5의 역다중화기의 동작에 대해서 설명한다.

도 6은 도 5의 역다중화기의 스위칭 소자의 구동 타이밍도이며, 도 7a 내지 도 7d는 각각 도 6의 타이밍에 따른 도 5의 역다중화기의 동작을 나타내는 도면이다. 도 6에서 샘플링 스위칭 소자(S1, S2, S3, S4)는 제어 신호가 로우 레벨일 때 턴온되며 홀딩 스위칭 소자(H1, H2, H3, H4)는 제어 신호가 하이 레벨일 때 턴온된다.

도 6과 도 7a를 보면, T1 구간에서는 제어 신호에 응답하여 샘플링 스위칭 소자(S1)와 홀딩 스위칭 소자(H3, H4)가 턴온된다. 샘플링 스위칭 소자(S3)가 턴온되면 샘플/홀드 회로(410)는 신호선( $X_1$ )을 통하여 인가되는 데이터 전류를 저장 소자(411)로 샘플링한다. 홀딩 스위칭 소자(H3, H4)가 턴온되면 샘플/홀드 회로(430, 440)는 저장 소자(431, 441)에 각각 저장된 데이터에 대응하는 전류를 각각 데이터선( $D_1, D_2$ )으로 홀딩한다. 그리고 샘플링 스위칭 소자(S2)와 홀딩 스위칭 소자(H2)가 모두 턴오프되어 있는 샘플/홀드 회로(420)는 대기 상태로 있다.

다음, 도 6과 도 7b를 보면, T2 구간에서는 홀딩 스위칭 소자(H3, H4)가 턴온된 상태에서, 제어 신호에 응답하여 샘플링 스위칭 소자(S1)가 턴오프되고 샘플링 스위칭 소자(S2)가 턴온된다. 홀딩 스위칭 소자(H3, H4)가 턴온되어 있으므로 저장 소자(431, 441)에 각각 저장된 데이터에 대응하는 전류는 계속 데이터선( $D_1, D_2$ )으로 홀딩된다. 그리고 샘플링 스위칭 소자(S2)가 턴온되면 샘플/홀드 회로(420)는 신호선( $X_1$ )을 통하여 인가되는 데이터 전류를 저장 소자(421)로 샘플링한다.

도 6과 도 7c를 보면, T3 구간에서는 제어 신호에 응답하여 샘플링 스위칭 소자(S2)와 홀딩 스위칭 소자(H3, H4)가 턴오프되고 샘플링 스위칭 소자(S3)와 홀딩 스위칭 소자(H1, H2)가 턴온된다. 샘플링 스위칭 소자(S3)가 턴온되면 샘플/홀드

회로(430)는 신호선( $X_1$ )을 통하여 인가되는 데이터 전류를 저장 소자(431)로 샘플링한다. 홀딩 스위칭 소자(H1, H2)가 턴오프되면 샘플/홀드 회로(410, 420)는 각각 T1 및 T2 구간에서 저장 소자(411, 421)에 저장한 데이터에 대응하는 전류를 데이터선( $D_1, D_2$ )으로 홀딩한다.

다음, 도 6과 도 7d를 보면, T4 구간에서는 홀딩 스위칭 소자(H1, H2)가 턴오프된 상태에서 제어 신호에 응답하여 샘플링 스위칭 소자(S3)가 턴오프되고 스위칭 소자(S4)가 턴온된다. 홀딩 스위칭 소자(H1, H2)가 턴오프되어 있으므로 저장 소자(411, 421)에 각각 저장된 데이터에 대응하는 전류는 계속 데이터선( $D_1, D_2$ )으로 홀딩된다. 그리고 샘플링 스위칭 소자(S4)가 턴온되면 샘플/홀드 회로(440)는 신호선( $X_1$ )을 통하여 인가되는 데이터 전류를 저장 소자(441)로 샘플링한다.

이와 같이, 역다중화기(401)의 샘플/홀드 회로(410, 420, 430, 440)를 샘플링과 홀딩 동작에 따라 두 그룹으로 나눌 수 있으며, 제1 그룹의 샘플/홀드 회로(410, 420)가 샘플링을 하는 동안 제2 그룹의 샘플/홀드 회로(430, 440)가 직전에 샘플링한 데이터를 홀딩한다. 마찬가지로 제2 그룹의 샘플/홀드 회로(430, 440)가 샘플링을 하는 동안 제1 그룹의 샘플/홀드 회로(410, 420)가 직전에 샘플링한 데이터를 홀딩한다. 그리고 홀딩 스위칭 소자(H1, H2)는 동일한 타이밍에서 동작하므로 동일한 제어 신호로 두 홀딩 스위칭 소자(H1, H2)를 구동할 수 있으며, 마찬가지로 동일한 제어 신호로 두 홀딩 스위칭 소자(H3, H4)를 구동할 수 있다.

이때, T1과 T2 기간이 선택 신호에 의해 한 행의 주사선에 연결된 화소 회로에 데이터가 인가되는 기간(이하, "수평 주기"라 함)에 해당하고, T3과 T4 기간이 다음 수평 주기에 해당한다. 이와 같이, 한 수평 주기 동안 데이터 전류를 데이터선에 계속 인가할 수 있으므로 화소에 데이터를 기입하는 시간을 확보할 수 있다. 그리고 T1 내지 T4 기간이 반복됨으로써 한 프레임동안 데이터 전류를 데이터선으로 전달할 수 있다.

도 5의 역다중화기에 포함되는 4개의 샘플/홀드 회로는 실질적으로 서로 동일하게 구현될 수 있으므로, 아래에서는 도 5의 샘플/홀드 회로 중 하나의 샘플/홀드 회로(410)에 대하여 도 8을 참조하여 상세하게 설명한다.

도 8은 도 5의 샘플/홀드 회로의 개략적인 회로도이다.

도 8의 샘플/홀드 회로는 신호선( $X_1$ )과 데이터선( $D_1$ ) 사이에 연결되며, 트랜지스터(M1), 커패시터(Ch) 및 5개의 스위칭 소자(Sa, Sb, Sc, Ha, Hb)를 포함한다. 이러한 데이터선( $D_1$ )에는 기생 저항 성분과 기생 커패시턴스 성분이 형성되어 있으며, 도 8에서는 기생 저항 성분을 R1, R2로, 기생 커패시턴스 성분을 C1, C2, C3으로 예시하였다. 그리고 도 8에서는 트랜지스터(M1)를 p채널형 전계 효과 트랜지스터, 특히 MOSFET(metal oxide semiconductor field-effect transistor)로 도시하였다.

스위칭 소자(Sa)는 전원 전압(VDD1)과 트랜지스터(M1)의 소스 사이에 연결되고, 스위칭 소자(Ha)는 전원 전압(VSS1)과 트랜지스터(M1)의 드레인에 연결된다. 트랜지스터(M1)가 p채널형이므로, 전원 전압(VDD1)은 전원 전압(VSS1)보다 높은 전압을 가지며 전원선(VDD)에 연결된 세로선( $V_1 \sim V_n$ )에 의해 공급된다. 스위칭 소자(Sb)는 입력단인 신호선( $X_1$ )과 트랜지스터(M1)의 게이트 사이에 연결되며, 스위칭 소자(Hb)는 트랜지스터(M1)의 소스와 출력단인 데이터선( $D_1$ ) 사이에 연결된다. 스위칭 소자(Sc)는 입력단인 신호선( $X_1$ )과 트랜지스터(M1)의 드레인 사이에 연결되어 스위칭 소자(Sb, Sc)가 턴오프되는 경우에 트랜지스터(M1)를 다이오드 형태로 연결한다. 이때, 스위칭 소자(Sc)는 트랜지스터(M1)의 게이트와 드레인 사이에 연결되어 트랜지스터(M1)를 다이오드 형태로 연결할 수도 있다. 그리고 스위칭 소자(Sc)가 트랜지스터(M1)의 게이트와 드레인 사이에 연결되는 경우에 스위칭 소자(Sb)를 신호선( $X_1$ )과 트랜지스터(M1)의 드레인 사이에 연결할 수도 있다.

다음, 도 8의 샘플/홀드 회로의 동작에 대해서 설명한다. 여기서, 스위칭 소자(Sa, Sb, Sc)는 동일한 타이밍에서 턴온 및 턴오프되고, 스위칭 소자(Ha, Hb)도 동일한 타이밍에서 턴온 및 턴오프된다.

먼저, 스위칭 소자(Sa, Sb, Sc)가 턴오프되고 스위칭 소자(Ha, Hb)가 턴오프되면, 트랜지스터(M1)는 다이오드 형태로 연결되고, 커패시터(Ch)에 전류가 공급되어 전압이 충전되고 트랜지스터(M1)의 게이트 전위가 저하하여 소스에서 드레인으로 전류가 흐른다. 시간 경과에 의해 커패시터(Ch)의 충전 전압이 높아져서 트랜지스터(M1)의 드레인 전류가 신호선( $X_1$ )으로부터의 데이터 전류( $I_{DATA}$ )와 동일해지면 커패시터(Ch)의 충전 전류가 정지하여 커패시터(Ch)가 일정한 전압으로 충전

된다. 이때, 트랜지스터(M1)의 소스와 게이트 사이 전압의 절대값(이하, "소스-게이트 전압"이라 함)( $V_{SG}$ )과 신호선( $X_1$ )으로부터의 데이터 전류( $I_{DATA}$ ) 사이에는 수학적 1의 관계가 성립한다. 이와 같은 방법으로 샘플/홀드 회로(410)는 신호선( $X_1$ )으로부터의 데이터 전류( $I_{DATA}$ )를 샘플링한다.

수학적 1

$$I_{DATA} = \frac{\beta}{2} (V_{SG} - V_{TH})^2$$

여기서,  $\beta$ 는 트랜지스터(M1)에 채널 폭과 채널 길이에 의해 결정되는 상수 값이며,  $V_{TH}$ 은 트랜지스터(M1)의 문턱 전압의 절대값이다.

다음, 스위칭 소자(Sa, Sb, Sc)가 턴오프되고 스위칭 소자(Ha, Hb)가 턴온되면, 커패시터(Ch)에 충전된 소스-게이트 전압( $V_{SG}$ )에 대응하는 전류, 즉 데이터 전류( $I_{DATA}$ )가 스위칭 소자(Hb)를 거쳐 데이터선( $D_1$ )에 전달된다. 이와 같은 방법으로 샘플/홀드 회로(410)는 데이터선( $D_1$ )으로 전류를 홀딩한다.

그리고 샘플/홀드 회로(410)는 도 5의 샘플/홀드 회로(420)가 샘플링하는 동안( $T_2$ )에는 스위칭 소자(Sa, Sb, Sc, Ha, Hb)가 모두 턴오프되어 커패시터(Ch)에 충전된 전압을 유지한다. 즉, 샘플/홀드 회로(410)는 대기 상태로 된다.

스위칭 소자(Sa, Sb, Sc)가 턴온되는 경우에 샘플/홀드 회로(410)는 샘플링 동작을 수행하므로 스위칭 소자(Sa, Sb, Sc)는 도 5의 샘플링 스위칭 소자(S1)에 대응하고, 스위칭 소자(Ha, Hb)가 턴온되는 경우에 샘플/홀드 회로(410)는 홀딩 동작을 수행하므로 스위칭 소자(Ha, Hb)는 도 5의 홀딩 스위칭 소자(H1)에 대응한다. 그리고 커패시터(Ch)와 트랜지스터(M1)는 데이터 전류에 대응하는 전압을 저장하는 역할을 하므로 데이터 저장 소자(411)에 대응한다. 또한, 도 8에서 스위칭 소자(Sa, Sb, Sc, Ha, Hb)는 p채널 또는 n채널의 전계 효과 트랜지스터로 구현될 수 있으며, 스위칭 소자(Sa, Sb, Sc)는 동일 도전형의 트랜지스터로, 마찬가지로 스위칭 소자(Ha, Hb)도 동일 도전형의 트랜지스터로 구현될 수 있다. 또한, 도 6의 타이밍으로 구동되기 위해서는 스위칭 소자(Sa, Sb, Sc)는 p채널형, 스위칭 소자(Ha, Hb)는 n채널형 트랜지스터로 구현될 수 있다.

그리고 도 8에서 샘플/홀드 회로는 샘플링 동작 동안 신호선( $X_1$ ), 즉 입력단으로 데이터 전류를 소싱(sourcing)하고, 홀딩 동작 동안 데이터선( $D_1$ ), 즉 출력단으로부터 데이터 전류를 싱크한다. 따라서 도 8에 나타난 샘플/홀드 회로는 신호선( $X_1$ )에서 데이터 전류를 싱크하는 형태, 즉 출력단이 전류 싱크 형태인 데이터 구동부(500)와 함께 사용될 수 있다. 일반적으로 출력단이 전류 싱크 형태인 구동 집적 회로가 출력단이 전류 소스 형태인 구동 집적 회로에 비해 저렴하므로 데이터 구동부(500)의 단가가 저감한다.

또한 도 8에서 트랜지스터(M1)를 n채널형 전계 효과 트랜지스터로 구현하고 전원 전압(VDD1)과 전원 전압(VSS1)의 상대적 전압 레벨을 서로 바꾸면 입력단이 전류 싱크 형태이고 출력단이 전류 소스 형태인 샘플/홀드 회로를 구현할 수 있다. 이러한 샘플/홀드 회로의 구성은 해당 기술분야에서 통상의 지식을 가진 자라면 본 발명의 실시예로부터 용이하게 도출할 수 있으므로 그 설명을 생략한다.

이상에서 설명한 바와 같이, 도 5의 역다중화기는 한 수평 주기 동안 신호선( $X_1$ )을 통하여 시분할되어 인가되는 데이터 전류를 차례로 샘플링한 후, 다음 수평 주기 동안 샘플링한 전류를 데이터선( $D_1, D_2$ )으로 동시에 인가한다. 역다중화기가 1:N 역다중화 동작을 수행하는 경우에, 역다중화기가 하나의 데이터선( $D_1$ )에 대응하는 데이터 전류를 샘플링할 수 있는 시간은 한 수평 주기의 1/N에 해당한다. 그러므로 역다중화기(401)가 한 수평 주기의 1/N에 해당하는 시간 동안 하나의 데이터선에 대응하는 데이터 전류를 샘플링할 필요가 있다. 이러한 조건을 만족하기 위해서는 데이터 구동부(500)가 신호선( $X_1$ )을 통하여 데이터 전류를 인가할 때 신호선( $X_1$ )에 걸리는 커패시턴스 성분이 역다중화부(400)가 하나의 데이터선( $D_1$ )을 통하여 샘플링한 전류를 인가할 때 데이터선( $D_1$ )에 걸리는 커패시턴스 성분의 1/N보다 작을 필요가 있다.

데이터 구동부(500)가 신호선( $X_1$ )을 통하여 역다중화부(400)에 하나의 데이터선에 해당하는 데이터 전류를 인가하는 경우에는, 신호선( $X_1$ )과 전원선(700)에 의해 형성된 기생 커패시턴스 성분(C1)을 구동한다. 그리고 표시 영역(100)에서 데

이터선(D<sub>1</sub>)과 절연되어 교차하는 금속이 선택 주사선(SE<sub>1</sub>~SE<sub>m</sub>)과 발광 주사선(EM<sub>1</sub>~EM<sub>m</sub>)뿐이라면, 역다중화부(400)가 하나의 데이터선(D<sub>1</sub>)에 샘플링한 데이터 전류를 인가하는 경우에는 하나의 데이터선(D<sub>1</sub>)과 복수의 선택 주사선(SE<sub>1</sub>~SE<sub>m</sub>) 및 발광 주사선(EM<sub>1</sub>~EM<sub>m</sub>)에 의해 형성된 기생 커패시턴스 성분(C2)을 구동한다.

일반적으로 두 평면 금속에 의해 형성되는 커패시턴스는 동일한 유전 물질을 사이에 두고 있을 때, 마주보는 평면 금속의 면적에 비례하고 두 금속간의 거리에 반비례한다. 그런데 기생 커패시턴스 성분(C1, C2)에서 마주보는 평면 금속간의 거리는 동일하며, 기생 커패시턴스 성분(C1)을 형성하는 평면 금속에서 한 변의 길이는 하나의 신호선(X<sub>1</sub>)의 폭, 다른 변의 길이는 전원선(700)의 폭으로 주어지며, 기생 커패시턴스 성분(C2)을 형성하는 평면 금속에서 한 변의 길이는 하나의 데이터선(D<sub>1</sub>)의 폭, 다른 변의 길이는 m개의 선택 주사선(SE<sub>1</sub>~SE<sub>m</sub>)과 m개의 발광 주사선(EM<sub>1</sub>~EM<sub>m</sub>)의 폭의 합으로 주어진다.

예를 들어, QCIF 해상도(176×220)에서 하나의 선택 주사선(SE<sub>1</sub>~SE<sub>m</sub>)과 발광 주사선(EM<sub>1</sub>~EM<sub>m</sub>)의 폭을 각각 7μm, 전원선(700)의 폭을 2mm, 그리고 데이터선(D<sub>1</sub>)의 폭과 신호선(X<sub>1</sub>)의 폭이 동일하다면, 커패시턴스 성분(C1)의 크기는 커패시턴스 성분(C2)의 크기의 대략 2/3(=2000/(7×220×2))가 된다. 이와 같이 되면 앞에서 설명한 1/N의 조건을 만족하지 못하므로 역다중화부가 주어진 시간 내에서 전류를 샘플링할 수 없으므로, 전류를 샘플링하는 속도를 빠르게 할 필요가 있다. 아래에서는 이러한 실시예에 대해서 도 9 내지 도 12를 참조하여 상세하게 설명한다.

도 9는 본 발명의 제2 실시예에 따른 역다중화기를 이용한 표시 장치의 개략적인 평면도이다.

도 9에 나타낸 바와 같이, 본 발명의 제2 실시예에 따른 표시 장치는 역다중화부(400)와 데이터 구동부(500) 사이에 형성되는 전압 프리차지부(800)를 더 포함한다. 전압 프리차지부(800)는 데이터 구동부(500)가 역다중화부(400)로 데이터 전류를 전달하기 전에 신호선(X<sub>1</sub>~X<sub>n/N</sub>)으로 프리차지 전압(V<sub>pre</sub>)을 전달한다. 전압 프리차지부(800)는 신호선(X<sub>1</sub>~X<sub>n/N</sub>)과 전원선(700)에 의해 형성되는 커패시턴스 성분을 가지는 신호선(X<sub>1</sub>~X<sub>n/N</sub>)을 충전하기 위해 데이터 구동부(300)와 전원선(700) 사이에 형성된다.

그리고 도 9에서는 전압 프리차지부(800)를 데이터 구동부(500) 외부의 주변 영역에 형성하였지만, 이와는 달리 데이터 구동부(500) 내에 형성할 수도 있다.

다음, 도 10 및 도 11을 참조하여 도 9의 전압 프리차지부(800)에 대해서 상세하게 설명한다. 그리고 본 발명의 제2 실시예에서도 편의상 역다중화부가 1:2 역다중화를 수행하는 것으로 하여 설명한다. 도 10은 도 9의 데이터 구동부, 전압 프리차지부 및 역다중화부를 나타내는 도면이며, 도 11은 도 10에서 하나의 샘플/홀드 회로를 나타내는 도면이다.

도 10을 보면, 전압 프리차지부(800)는 프리차지 전압(V<sub>pre</sub>)을 공급하는 프리차지 전원과 신호선(X<sub>1</sub>~X<sub>n/2</sub>) 사이에 각각 연결되는 복수의 스위칭 소자(Sp)를 포함한다. 그리고 프리차지 전원은 기관(1) 외부에 형성되어 앞에서 설명한 패드(도시하지 않음)를 거쳐 스위칭 소자(Sp)와 연결될 수 있다. 스위칭 소자(Sp)는 신호선(X<sub>1</sub>~X<sub>n/2</sub>)에 프리차지 전압(V<sub>pre</sub>)을 인가하는 기간 동안만 턴온되고 데이터 전류가 인가되는 기간 동안에는 턴오프된다.

데이터 구동부(500)에서 시분할되어 인가되는 데이터 전류에 따라, 역다중화기(401)의 샘플/홀드 회로(410, 420, 430, 440) 중에서 그 데이터 전류에 대응하는 하나의 샘플/홀드 회로만이 인가되는 데이터 전류를 샘플링하므로, 아래에서는 도 11에 나타낸 것처럼 신호선(X<sub>1</sub>)과 데이터선(D<sub>1</sub>) 사이에 연결되는 샘플/홀드 회로(410)를 중심으로 설명한다. 그리고 도 11에서는 데이터 전류(I<sub>DATA</sub>)를 공급하는 데이터 구동부(500)를 전류원으로 도시하였으며, 설명의 편의상 전류원이 스위칭 소자(Si)를 통하여 신호선(X<sub>1</sub>)에 연결되어 있는 것으로 하였다.

다음, 도 12를 참조하여 도 11의 샘플/홀드 회로(410)의 동작에 대해서 상세하게 설명한다.

도 12는 본 발명의 제2 실시예에 따른 프리차지 방법을 위한 구동 타이밍도이다. 도 12에서 스위칭 소자(Sp)와 샘플링 스위칭 소자(S1, S2, S3, S4), 즉 스위칭 소자(Sa, Sb, Sc)는 제어 신호가 로우 레벨일 때 턴온되며, 홀딩 스위칭 소자(H1, H2, H3, H4), 즉 스위칭 소자(Ha, Hb)는 제어 신호가 하이 레벨일 때 턴온된다.

도 12를 보면, 샘플/홀드 회로(410)에서 데이터 전류를 샘플링하는 동작이 이루어지기 전에, 프리차지 기간(Tp1) 동안 샘플링 시간을 감소시키기 위하여 프리차지 동작이 이루어진다. 자세하게 설명하면, 먼저 스위칭 소자(Sp)가 턴온되어 프리차지 전압(V<sub>pre</sub>)이 신호선(X<sub>1</sub>)에 인가된다.

다음, 샘플링 기간(Ts1) 동안 스위칭 소자(Sp)가 턴오프되어 프리차지 전압(V<sub>pre</sub>)이 차단되고 스위칭 소자(Si)가 턴온되어 데이터 전류가 인가되는 동시에 스위칭 소자(Sa, Sb, Sc)[도 10의 스위칭 소자(S1)]가 턴온된다. 그러면 데이터 전류(I<sub>DATA</sub>)가 신호선(X<sub>1</sub>)을 통하여 트랜지스터(M1)의 드레인으로 전달된다. 따라서 데이터 전류(I<sub>DATA</sub>)에 대응하는 트랜지스터(M1)의 소스-게이트 전압(V<sub>GS</sub>)이 커패시터(Ch)에는 충전된다. 이때, 프리차지 동작에 의해 신호선(X<sub>1</sub>)에 프리차지 전압(V<sub>pre</sub>)이 걸려 있으므로, 신호선(X<sub>1</sub>)에 기생 커패시턴스 성분이 존재하더라도 커패시터(Ch)에 데이터 전류(I<sub>DATA</sub>)에 해당하는 전압이 빠르게 충전될 수 있다.

이상, 하나의 샘플/홀드 회로(410)를 예로 들어 프리차지 동작을 설명하였지만, 역다중화기(401) 내에서 샘플/홀드 회로(410, 420, 430, 440)가 차례로 샘플링 동작을 수행할 때 샘플링 동작 전에 프리차지를 할 수 있다. 즉, 도 12에 도시한 바와 같이, 도 6의 구동 타이밍 중 기간(T1, T2, T3, T4)이 도 12에서는 각각 프리차지 기간(Tp1, Tp2, Tp3, Tp4)과 샘플링 기간(Ts1, Ts2, Ts3, Ts4)으로 분리되어 있다. 이와 같이 하면, 각 샘플/홀드 회로(410, 420, 430, 440)가 데이터 전류(I<sub>DATA</sub>)를 샘플링을 하기 전에 신호선(X<sub>1</sub>)이 프리차지 전압(V<sub>pre</sub>)으로 충전되어 있으므로 빠른 시간 내에 데이터 전류(I<sub>DATA</sub>)가 샘플링될 수 있다.

다음, 데이터 전류(I<sub>DATA</sub>)가 주어진 시간 내에서 샘플링되도록 할 수 있는 프리차지 전압(V<sub>pre</sub>)의 레벨에 대해서 도 13을 참조하여 설명한다.

도 13은 프리차지를 하지 않을 경우 역다중화기에서 직전 샘플링시에 인가된 데이터 전류의 계조에 따라 현재 샘플링시에 데이터 전류를 샘플링하는데 걸리는 시간을 나타낸 도면이다.

도 13에는 직전 샘플링 기간(Ts1) 동안 샘플/홀드 회로(410)가 신호선(X<sub>1</sub>)을 통하여 인가되는 데이터 전류를 샘플링한 후, 현재 샘플링 기간(Ts2) 동안 샘플/홀드 회로(420)가 신호선(X<sub>1</sub>)을 통하여 인가되는 데이터 전류를 샘플링하는 시간이 도시되어 있다. 도 13에서 각각의 곡선은 직전 샘플링 기간에 샘플링된 데이터 전류의 각 계조에 대응하며, 하나의 곡선은 현재 샘플링 기간에 샘플링될 데이터 전류의 계조에 따른 샘플링 시간을 나타낸다.

예를 들어, 직전 샘플링 기간에 인가된 데이터 전류의 계조가 8이면 신호선(X<sub>1</sub>)은 계조 8에 해당하는 전압으로 충전되어 있으므로, 현재 샘플링 기간에 계조 8의 데이터 전류가 신호선(X<sub>1</sub>)에 인가되면 신호선(X<sub>1</sub>)의 전압은 즉시 계조 8에 해당하는 전압(목표 전압)으로 된다. 즉, 샘플링에 필요한 시간이 거의 0에 가깝다. 그리고 계조가 8에서 멀어질수록 신호선(X<sub>1</sub>)의 전압 상태가 목표 전압과 차이가 커지므로 샘플링에 필요한 시간이 증가한다.

한편, 샘플링에 필요한 시간은 신호선(X<sub>1</sub>)을 구동하는 데이터 전류의 크기에 반비례한다. 따라서 계조가 낮아지면 데이터 전류도 작아지므로 샘플링에 필요한 시간이 급격하게 증가하지만, 계조가 높아지면 데이터 전류도 커지므로 계조가 일정 레벨 이상이 되면 샘플링에 필요한 시간이 감소하게 된다. 이와 같은 이유로 도 13의 그래프는 가로축을 따라 급격히 감소하다 가로축과 닿은 후 증가하여 정점을 형성한 후 다시 천천히 감소하는 형태를 띠게 된다.

도 13에서 주어진 샘플링 시간이 t<sub>s</sub>인 경우, 계조 8 이상은 직전 샘플링 기간의 데이터 전류의 계조 레벨에 관계없이 샘플링 시간(t<sub>s</sub>) 이내에 샘플링이 가능하고, 계조 7 이하인 경우에는 샘플링 시간(t<sub>s</sub>) 이상의 샘플링 시간을 필요로 함을 알 수 있다. 이는 직전 샘플링 기간에 인가된 데이터 전류에 의해 신호선(X<sub>1</sub>)에 형성된 기생 커패시턴스에 남아 있는 전압에 기인한 것이다.

다시, 도 13을 보면 직전 샘플링 기간에 인가된 데이터 전류의 계조가 1 내지 4인 곡선은 샘플링 시간(t<sub>s</sub>) 아래에 놓이는 것을 알 수 있다. 즉, 프리차지 전압(V<sub>pre</sub>)을 데이터 전류의 계조가 1 내지 4에 해당하는 전압의 범위 내로 설정하면, 직전 샘플링 기간 동안 계조 1 내지 4에 해당하는 전압이 신호선(X<sub>1</sub>)에 충전된 것과 동일한 효과를 낼 수 있으므로 t<sub>s</sub> 시간 이내에

샘플/홀드 회로(420)가 모든 계조의 데이터 전류를 샘플링을 할 수 있다. 이때,  $t_s$  시간은 도 12의 샘플링 기간( $Ts2$ )에 해당하는 시간이다. 이때, 프리차지 전압에 해당하는 계조의 전압은 샘플링 기간( $Ts1$ )에 따라 결정된다. 따라서 직전 샘플링 기간에서 샘플링되는 데이터 전류의 계조를 변경하면서 샘플/홀드 회로(420)가 모든 계조의 데이터 전류를 주어진 샘플링 기간( $Ts1$ ) 내에서 샘플링할 수 있는 직전 샘플링 기간의 데이터 전류의 계조를 측정한다. 이와 같이 하면 주어진 샘플링 기간 내에서 샘플링이 될 수 있는 직전 샘플링 기간의 계조의 범위가 결정되고, 이 계조 범위에 따라 프리차지 전압( $V_{pre}$ )이 설정될 수 있는 프리차지 전압 범위( $R_V$ )가 결정된다.

그런데 역다중화부(400)에 포함되는 샘플/홀드 회로의 트랜지스터(M1)와 전원 전압(VDD1)에 편차가 존재하므로 편차에 의한 오차를 줄이기 위해 문턱 전압의 대표값(평균값, 중간값 등)을 가지는 샘플/홀드 회로에서 프리차지 전압 범위( $R_V$ )를 설정할 수 있다. 그리고 이렇게 설정된 프리차지 전압 범위( $R_V$ )에 문턱 전압의 편차를 반영할 수도 있으며, 아래에서 이러한 실시예에 대해서 설명한다.

먼저, 본 발명의 제3 실시예에서는 프리차지 전압( $V_{pre}$ )에 트랜지스터(M1)의 문턱 전압의 편차를 반영한다. 즉, 제3 실시예에서는 제2 실시예에서 문턱 전압의 대표값을 가지는 샘플/홀드 회로에서 결정된 프리차지 전압 범위( $R_V$ )에 역다중화부(400) 내의 트랜지스터(M1)의 문턱 전압의 편차를 반영한다.

구체적으로는, 제2 실시예에서 프리차지 전압 범위( $R_V$ )를 설정하는데 사용된 샘플/홀드 회로의 트랜지스터(M1)의 문턱 전압의 절대값, 즉 문턱 전압의 대표값의 절대값( $|V_{TH}|$ )보다 절대값이  $|\Delta V1|$  전압만큼 높은 문턱 전압을 가지는 트랜지스터(M1)를 사용하는 샘플/홀드 회로에서는 동일한 전류에 대해서 트랜지스터(M1)의 게이트 전압이  $|\Delta V1|$  전압만큼 낮다. 트랜지스터(M1)의 게이트 전압이 신호선( $X_1$ )에 충전되는 전압이므로 이러한 샘플/홀드 회로에는 동일한 프리차지 전압( $V_{pre1}$ )을 인가하여도 실질적으로 프리차지 전압( $V_{pre1}$ )에  $|\Delta V1|$  전압만큼 더한 전압( $V_{pre1} + |\Delta V1|$ )이 프리차지 전압으로 인가된 것과 동일하다. 따라서 프리차지 전압( $V_{pre1}$ )이 프리차지 전압 범위( $R_V$ )에 포함되어도 문턱 전압의 절대값이 큰 트랜지스터(M1)를 사용하는 샘플/홀드 회로에서는 프리차지 전압( $V_{pre1} + |\Delta V1|$ )이 프리차지 전압 범위( $R_V$ )를 벗어날 수 있다.

마찬가지로, 제2 실시예에서 프리차지 전압 범위( $R_V$ )를 설정하는데 사용된 샘플/홀드 회로의 트랜지스터(M1)의 문턱 전압의 절대값( $|V_{TH}|$ )보다 절대값이  $|\Delta V2|$  전압만큼 낮은 문턱 전압을 가지는 트랜지스터(M1)를 사용하는 샘플/홀드 회로에서는 동일한 전류에 대해서 트랜지스터(M1)의 게이트 전압이  $|\Delta V2|$  전압만큼 높다. 이러한 샘플/홀드 회로에는 동일한 프리차지 전압( $V_{pre1}$ )을 인가하여도 실질적으로 프리차지 전압( $V_{pre1}$ )에  $|\Delta V2|$  전압만큼 뺀 전압( $V_{pre1} - |\Delta V2|$ )이 프리차지 전압으로 인가된 것과 동일하다. 따라서 프리차지 전압( $V_{pre1}$ )이 프리차지 전압 범위( $R_V$ )에 포함되어도 문턱 전압의 절대값이 작은 트랜지스터(M1)를 사용하는 샘플/홀드 회로에서는 프리차지 전압( $V_{pre1} - |\Delta V2|$ )이 프리차지 전압 범위( $R_V$ )를 벗어날 수 있다.

따라서 본 발명의 제3 실시예에서는 문턱 전압의 절대값이 대표값의 절대값보다  $|\Delta V1|$  전압만큼 높은 경우에는 프리차지 전압 범위( $R_V$ )보다  $|\Delta V1|$ 만큼 낮은 전압 범위를 프리차지 전압 범위로 설정할 수 있다. 또한, 문턱 전압의 절대값이 대표값의 절대값보다  $|\Delta V2|$  전압만큼 낮은 경우에는 프리차지 전압 범위( $R_V$ )보다  $|\Delta V2|$ 만큼 높은 전압 범위를 프리차지 전압 범위로 설정할 수 있다. 그러므로 모든 샘플/홀드 회로에서의 문턱 전압의 편차를 고려하면, 문턱 전압의 대표값의 절대값과 문턱 전압의 절대값의 최대값과의 차이( $|\Delta V3|$ )와 문턱 전압의 대표값의 절대값과 문턱 전압의 절대값의 최소값과의 차이( $|\Delta V4|$ )를 프리차지 전압 범위( $R_V$ )에 반영하면 된다.

프리차지 전압 범위( $R_V$ )에서의 최대값이  $V_{max}$  전압이고 최소값이  $V_{min}$  전압인 경우에 프리차지 전압( $V_{pre}$ )은 수학적 식 2에 나타낸 범위에서 결정되면 된다.

수학적 식 2

$$V_{min} + |\Delta V4| \leq V_{pre} \leq V_{max} - |\Delta V3|$$

다음, 프리차지 전압을 설정하는 경우에 전원 전압(VDD1)의 전압 강하를 고려한 제4 실시예에 대해서 설명한다. 제4 실시예에서는 전원 전압(VDD1)을 공급하는 전원선을 따라 발생하는 전압 강하에 의한 전원 전압(VDD1)의 편차를 프리차지 전압 범위( $R_v$ )에 반영한다.

구체적으로, 신호선( $X_1 \sim X_{n/2}$ ) 모두에 흑색 계조(계조 0)의 데이터 전류가 인가되는 경우에는 기생 저항에 의한 전압 강하가 없으므로 모든 샘플/홀드 회로에 실질적으로 전원 전압(VDD1)이 동일하게 전달된다. 반면, 신호선( $X_1 \sim X_{n/2}$ ) 모두에 백색 계조(256 레벨 계조에서 계조 255)의 데이터 전류가 인가되는 경우에는 기생 저항에 의해 전압 강하가 심하게 발생하므로, 전원 전압(VDD1)이 각 샘플/홀드 회로 별로 차이가 있게 된다. 이하에서는 각 샘플/홀드 회로에 인가되는 전원 전압 중 가장 낮은 레벨의 전압과 전원 전압(VDD1)의 차이를  $\Delta VDD$  전압이라 한다.

이 경우, 전원 전압이 ( $VDD1 - \Delta VDD$ ) 전압인 샘플/홀드 회로의 트랜지스터(M1)에 전원 전압이 VDD1인 샘플/홀드 회로의 트랜지스터(M1)에 흐르는 전류와 동일한 전류가 흐르더라도 트랜지스터(M1)의 게이트 전압이  $\Delta VDD$  만큼 낮아지므로,  $V_{pre1}$ 의 프리차지 전압이 인가되어도 실질적으로 ( $V_{pre1} + \Delta VDD$ )의 프리차지 전압이 인가된 것과 같게 된다.

따라서, 본 발명의 제4 실시예에서는 전원선의 기생 저항에 의한 전압 강하를 고려하여 프리차지 전압( $V_{pre}$ )은 수학적 식 3과 같이 설정될 수 있다.

$$\text{수학적 식 3} \\ V_{\min} \leq V_{pre} \leq V_{\max} - |\Delta VDD|$$

$V_{\min}$  전압은 프리차지 전압 범위( $R_v$ )에서의 최소값이며,  $V_{\max}$  전압은 프리차지 전압 범위( $R_v$ )에서의 최대값이다.

다음, 제2 실시예와 제3 실시예에서 설명한 트랜지스터(M1)의 문턱 전압의 편차와 전원 전압(VDD1)의 편차를 모두 고려하면, 프리차지 전압( $V_{pre}$ )은 수학적 식 4와 같이 설정될 수 있다.

$$\text{수학적 식 4} \\ V_{\min} + |\Delta V4| \leq V_{pre} \leq V_{\max} - |\Delta V3| - |\Delta VDD|$$

이상에서, 모든 샘플/홀드 회로에 대해서 동일하게 인가될 수 있는 프리차지 전압 범위에 대하여 설명하였다. 그런데 도 10에 나타난 것처럼 하나의 샘플/홀드 회로부는 하나의 데이터선에만 대응하므로, 각각의 샘플/홀드 회로부는 적색(red), 녹색(green), 청색(blue)의 화소 중 하나의 화소에만 대응한다. 그런데 각 색상의 화소에서 사용되는 전류의 범위가 일반적으로 서로 다르므로, 각 색상의 화소에 대응되는 샘플/홀드 회로별로 프리차지 전압 범위를 다르게 설정할 수 있다.

본 발명의 제2 내지 제4 실시예에서는 전압 프리차지부(800)가 데이터 구동부(500)와 전원선(700) 사이에 있는 것으로 하여 설명하였지만, 전압 프리차지부(800)가 전원선(700)과 역다중화부(400) 사이에 형성될 수도 있으며, 이때도 제2 내지 제4 실시예에서 설명한 구동 방법이 그대로 적용된다.

또한, 본 발명의 실시예에서는 샘플/홀드 회로의 전원 전압(VDD1)이 전원선(700)에 연결된 세로선( $V_1 \sim V_n$ )으로부터 공급되는 것으로 설명하였지만, 전원 전압(VDD1)은 전원선(700)에 연결된 세로선( $V_1 \sim V_n$ )이 아닌 다른 선으로부터 공급될 수도 있다. 또한 전원선(700)이 세로선( $V_1 \sim V_n$ )과 연결되지 않은 경우에도 제4 및 제5 실시예에서 설명한 구동 방법이 적용될 수 있다.

다음, 본 발명의 제1 내지 제4 실시예에 따른 표시 장치의 화소 영역에 형성되는 화소 회로를 도 14를 참조하여 설명한다. 도 14는 화소 회로의 개략적인 회로도이다.

도 14를 보면, 데이터선( $D_1$ )에 화소 회로(110)가 연결되어 있으며, 이 화소 회로(110)는 전류에 의해 데이터가 기입되며 유기 물질의 전계 발광을 이용하는 화소 회로이다. 이 화소 회로(110)는 4개의 트랜지스터(P1, P2, P3, P4), 커패시터(Cst) 및 발광 소자(OLED)를 포함한다. 도 14에서는 트랜지스터(P1, P2, P3, P4)를 p채널형 전계 효과 트랜지스터로 도시하였다.

트랜지스터(P1)의 소스는 전원 전압(VDD2)에 연결되고, 트랜지스터(P1)의 소스와 게이트 사이에 커패시터(Cst)가 연결되어 있다. 전원 전압(VDD2)은 세로선(V<sub>1</sub>)에 연결되어 있다. 트랜지스터(P2)는 데이터선(D<sub>1</sub>)과 트랜지스터(P1)의 게이트 사이에 연결되어, 선택 주사선(SE<sub>1</sub>)으로부터의 선택 신호에 응답한다. 트랜지스터(P3)는 트랜지스터(P1)의 드레인과 데이터선(D<sub>1</sub>) 사이에 연결되며 선택 주사선(SE<sub>1</sub>)으로부터의 선택 신호에 응답하여 트랜지스터(P2)와 함께 트랜지스터(P1)를 다이오드 형태로 연결한다. 트랜지스터(P4)는 트랜지스터(P1)의 드레인과 발광 소자(OLED) 사이에 연결되며 발광 주사선(EM<sub>1</sub>)으로부터의 발광 신호에 응답하여 트랜지스터(P1)로부터의 전류를 발광 소자(OLED)에 전달한다. 발광 소자(OLED)의 캐소드는 전원 전압(VDD2)보다 낮은 전원 전압(VSS2)에 연결되어 있다.

이때, 선택 주사선(SE<sub>1</sub>)으로부터의 선택 신호에 의해 트랜지스터(P2, P3)가 턴온되면 데이터선(D<sub>1</sub>)으로부터의 전류가 트랜지스터(P1)의 드레인에 흐르고, 이 전류에 대응하는 트랜지스터(P1)의 소스-게이트 전압이 커패시터(Cst)에 저장된다. 그리고 발광 주사선(EM<sub>1</sub>)으로부터 발광 신호가 인가되면 트랜지스터(P4)가 턴온되어, 커패시터(Cst)에 저장된 전압에 대응하는 트랜지스터(P1)의 전류(I<sub>OLED</sub>)가 발광 소자(OLED)에 공급된다. 이 전류에 따라 발광 소자(OLED)는 발광하게 된다.

이와 같이, 화소 회로에서 전원 전압(VDD2)이 세로선(V<sub>1</sub>)에 의해 공급되며, 세로선(V<sub>1</sub>)에 전압을 전달하는 전원선(600, 700)이 표시 영역의 상하에 각각 형성되어 있으므로, 세로선(V<sub>1</sub>)에서의 전압 강하를 줄일 수 있다.

이상, 본 발명의 실시예에서는 역다중화부가 1:2의 역다중화를 수행하는 것으로 하여 설명하였지만, 본 발명은 이에 한정되지 않고 1:N(N은 2이상의 정수)의 역다중화를 수행하는 역다중화부에도 적용할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 발명의 효과

이와 같이 본 발명에 의하면, 역다중화기를 사용한 표시 장치에서 전원 전압을 공급하는 전원선을 추가로 배치함으로써, 세로로 길게 뻗어 있는 세로선에서의 전압 강하를 줄일 수 있다. 또한 역다중화부와 데이터 구동부 사이의 신호선을 전압으로 프리차지함으로써 주어진 시간 내에서 데이터 전류를 샘플링할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

화상을 나타내는 데이터 전류를 전달하는 복수의 데이터선과 상기 데이터선과 전기적으로 연결되어 있는 복수의 화소 회로를 포함하는 표시 영역,

복수의 제1 신호선,

상기 복수의 제1 신호선에 전기적으로 연결되어 상기 데이터 전류에 대응하는 제1 전류를 시분할하여 상기 제1 신호선으로 전달하는 데이터 구동부,

상기 복수의 제1 신호선으로부터 상기 제1 전류를 각각 수신하는 복수의 역다중화기를 포함하는 역다중화부, 그리고

상기 제1 신호선으로 상기 제1 전류가 전달되기 전에 상기 제1 신호선으로 프리차지 전압을 전달하는 프리차지부를 포함하며,

상기 역다중화기는 상기 제1 신호선으로부터 상기 제1 전류를 수신하여 적어도 두 개의 상기 데이터선으로 상기 데이터 전류를 전달하는 표시 장치.

## 청구항 2.

제1항에 있어서,

상기 역다중화기는 상기 제1 신호선에 전기적으로 연결되는 복수의 샘플/홀드 회로를 포함하며,

한 수평 주기에서, 상기 복수의 샘플/홀드 회로 중 한 그룹의 샘플/홀드 회로들이 상기 제1 신호선을 통하여 순차적으로 인가되는 상기 제1 전류를 순차적으로 샘플링하는 동안, 다른 그룹의 샘플/홀드 회로들이 직전 수평 주기 동안 샘플링한 전류를 상기 적어도 두 개의 데이터선으로 출력하는 표시 장치.

## 청구항 3.

제2항에 있어서,

상기 복수의 샘플/홀드 회로는,

상기 제1 신호선에 입력단이 각각 연결되고 상기 적어도 두 개의 데이터선 중 제1 데이터선에 출력단이 각각 연결되는 제1 및 제2 샘플/홀드 회로, 그리고

상기 제1 신호선에 입력단이 각각 연결되고 상기 적어도 두 개의 데이터선 중 제2 데이터선에 출력단이 각각 연결되는 제3 및 제4 샘플/홀드 회로를 포함하며,

상기 제1 및 제3 샘플/홀드 회로가 한 그룹의 샘플/홀드 회로를 형성하며, 상기 제2 및 제4 샘플/홀드 회로가 다른 그룹의 샘플/홀드 회로를 형성하는 표시 장치.

## 청구항 4.

제2항 또는 제3항에 있어서,

상기 프리차지 전압은 상기 프리차지 전압 인가 후 상기 제1 신호선에 전달되는 제1 전류가 주어진 샘플링 시간 내에서 실질적으로 샘플링이 되도록 하는 전압인 표시 장치.

## 청구항 5.

제2항 또는 제3항에 있어서,

직전 샘플링 기간 동안 상기 제1 신호선에 제1 레벨 내지 제2 레벨 계조를 가지는 제1 전류가 전달된 후, 현재 샘플링 기간 동안 상기 제1 신호선에 인가되는 제1 전류가 샘플링 기간 내에서 실질적으로 샘플링이 되는 경우에,

상기 프리차지 전압은 상기 제1 레벨 계조의 전류에 대응하는 제1 전압과 상기 제2 레벨 계조의 전류에 대응하는 제2 전압 사이의 전압인 표시 장치.

## 청구항 6.

제5항에 있어서,

상기 샘플/홀드 회로는, 샘플링 신호에 응답하여 턴온되는 샘플링 스위칭 소자, 홀딩 신호에 응답하여 턴온되는 홀딩 스위칭 소자, 그리고 상기 샘플링 스위칭 소자의 턴온시에 상기 제1 전류를 샘플링한 후 상기 홀딩 스위칭 소자의 턴온시에 상기 샘플링한 전류를 출력하는 데이터 저장 소자를 포함하며,

상기 샘플링 신호는 상기 복수의 샘플/홀드 회로에 순차적으로 인가되는 표시 장치.

### 청구항 7.

제6항에 있어서,

상기 데이터 저장 소자는,

상기 샘플링 신호에 응답하여 소스가 제1 전원에 전기적으로 연결되고 게이트와 드레인이 상기 제1 신호선에 전기적으로 연결되는 트랜지스터, 그리고 상기 트랜지스터의 게이트와 소스 사이에 연결되어 상기 드레인측으로 전달되는 전류에 대응하는 전압을 저장하는 커패시터를 포함하는 표시 장치.

### 청구항 8.

제7항에 있어서,

상기 제1 전압이 상기 제2 전압보다 상기 제1 전원의 전압에 가까우며, 상기 복수의 샘플/홀드 회로 각각에 포함되는 트랜지스터의 문턱 전압의 절대값에서 최대값과 대표값의 차이가 제3 전압이고 상기 제1 전압보다 상기 제3 전압만큼 상기 제1 전원의 전압으로부터 먼 전압이 제4 전압인 경우,

상기 프리차지 전압은 상기 제4 전압과 상기 제2 전압 사이의 전압인 표시 장치.

### 청구항 9.

제8항에 있어서,

상기 복수의 샘플/홀드 회로 각각에 포함되는 트랜지스터의 문턱 전압의 절대값에서 대표값과 최소값의 차이가 제5 전압이고 상기 제2 전압보다 상기 제5 전압만큼 상기 제1 전원의 전압에 가까운 전압이 제6 전압인 경우,

상기 프리차지 전압은 상기 제6 전압과 상기 제4 전압 사이의 전압인 표시 장치.

### 청구항 10.

제7항에 있어서,

상기 복수의 샘플/홀드 회로의 상기 제1 전원의 전압에서 최대값과 최소값의 차이가 제3 전압이고, 상기 제1 전압이 상기 제2 전압보다 상기 제1 전원의 전압에 가까우며, 상기 제1 전압보다 상기 제3 전압만큼 상기 제1 전원의 전압으로부터 먼 전압이 제4 전압인 경우,

상기 프리차지 전압은 상기 제4 전압과 상기 제2 전압 사이의 전압인 표시 장치.

### 청구항 11.

제10항에 있어서,

상기 복수의 샘플/홀드 회로 각각에 포함되는 트랜지스터의 문턱 전압의 절대값에서 최대값과 대표값의 차이가 제5 전압이고 대표값과 최소값의 차이가 제6 전압이며, 상기 제4 전압보다 상기 제5 전압만큼 상기 제1 전원의 전압으로부터 먼 전압이 제7 전압이고, 상기 제2 전압보다 상기 제6 전압만큼 상기 제1 전원의 전압에 가까운 전압이 제8 전압인 경우,

상기 프리차지 전압은 상기 제8 전압과 상기 제7 전압 사이의 전압인 표시 장치.

## 청구항 12.

제6항에 있어서,

상기 데이터 저장 소자는 트랜지스터 및 상기 트랜지스터의 게이트와 소스 사이에 전기적으로 연결되는 커패시터를 포함하며,

상기 샘플링 스위칭 소자는, 상기 트랜지스터의 드레인과 입력단 사이에 전기적으로 연결되는 제1 스위칭 소자, 턴온시에 상기 트랜지스터를 다이오드 형태로 연결하는 제2 스위칭 소자, 그리고 제1 전원과 상기 트랜지스터의 소스 사이에 전기적으로 연결되는 제3 스위칭 소자를 포함하며,

상기 홀딩 스위칭 소자는, 제2 전원과 상기 트랜지스터의 드레인 사이에 전기적으로 연결되는 제4 스위칭 소자, 그리고 상기 트랜지스터와 출력단 사이에 전기적으로 연결되는 제5 스위칭 소자를 포함하는 표시 장치.

## 청구항 13.

제2항 또는 제3항에 있어서,

상기 복수의 샘플/홀드 회로에서 상기 프리차지 전압은 동일한 전압인 표시 장치.

## 청구항 14.

제2항 또는 제3항에 있어서,

상기 복수의 샘플/홀드 회로에서 적어도 두 개의 샘플/홀드 회로에 인가되는 상기 제1 전류의 범위가 서로 다른 경우에, 상기 적어도 두 개의 샘플/홀드 회로에는 서로 다른 프리차지 전압이 인가되는 표시 장치.

## 청구항 15.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 표시 영역은 상기 화소 회로에 전원 전압을 공급하는 복수의 제2 신호선을 더 포함하며,

상기 역다중화부와 상기 데이터 구동부 사이에서 상기 제1 신호선과 절연되어 교차하는 방향으로 형성되어, 상기 제2 신호선에서 전원 전압을 전달하는 전원선을 더 포함하는 표시 장치.

## 청구항 16.

제7항 내지 제12항 중 어느 한 항에 있어서,

상기 표시 영역은 상기 제1 전원의 전압을 전달하는 복수의 제2 신호선을 더 포함하며,

상기 역다중화부와 상기 데이터 구동부 사이에서 상기 제1 신호선과 절연되어 교차하는 방향으로 형성되어, 상기 제2 신호선에서 상기 제1 전원의 전압을 전달하는 전원선을 더 포함하는 표시 장치.

### 청구항 17.

제15항에 있어서,

상기 프리차지부는 상기 데이터 구동부 내부에 형성되는 표시 장치.

### 청구항 18.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 화소 회로는,

상기 데이터선을 통하여 전달되는 상기 데이터 전류가 흐르는 트랜지스터,

상기 트랜지스터의 소스와 게이트 사이에 전기적으로 연결되며 상기 트랜지스터에 흐르는 전류에 대응하는 전압이 저장되는 커패시터, 그리고

상기 커패시터에 저장된 전압에 따라 상기 트랜지스터에 흐르는 전류에 대응하여 발광하는 발광 소자를 포함하는 표시 장치.

### 청구항 19.

제18항에 있어서,

상기 발광 소자는 유기 물질의 전계 발광을 이용하는 발광 소자인 표시 장치.

### 청구항 20.

화상을 나타내는 데이터 전류를 전달하는 복수의 데이터선, 상기 복수의 데이터선에 전기적으로 연결되어 있으며 상기 데이터 전류에 따라 화상을 표시하는 복수의 화소 회로, 각각 상기 복수의 데이터선 중 적어도 두 개의 데이터선에 대응하며 상기 데이터 전류에 대응하는 전류를 순차적으로 전달하는 복수의 제1 신호선을 포함하는 표시 장치를 구동하는 방법에 있어서,

상기 제1 신호선에 제1 프리차지 전압을 인가하는 단계,

상기 제1 신호선에 상기 적어도 두 개의 데이터선 중 제1 데이터선에 인가될 데이터 전류에 대응하는 제1 전류를 인가하는 단계,

상기 제1 신호선에 제2 프리차지 전압을 인가하는 단계,

상기 제1 신호선에 상기 적어도 두 개의 데이터선 중 제2 데이터선에 인가될 데이터 전류에 대응하는 제2 전류를 인가하는 단계, 그리고

상기 제1 및 제2 데이터선에 각각 상기 제1 및 제2 전류에 대응하는 데이터 전류를 인가하는 단계를 포함하는 표시 장치의 구동 방법.

### 청구항 21.

제20항에 있어서,

상기 제1 신호선에 상기 제1 전류를 인가하는 단계는, 상기 제1 신호선과 상기 제1 데이터선 사이에 전기적으로 연결되는 제1 샘플/홀드 회로가 상기 제1 전류를 샘플링하는 단계를 포함하며,

상기 제1 신호선에 상기 제2 전류를 인가하는 단계는, 상기 제1 신호선과 상기 제2 데이터선 사이에 전기적으로 연결되는 제2 샘플/홀드 회로가 상기 제2 전류를 샘플링하는 단계를 포함하는 표시 장치의 구동 방법.

### 청구항 22.

제20항 또는 제21항에 있어서,

상기 제1 프리차지 전압과 상기 제2 프리차지 전압은 동일한 전압인 표시 장치의 구동 방법.

### 청구항 23.

제20항 또는 제21항에 있어서,

상기 제1 데이터선에 대응하는 상기 제1 전류의 범위와 상기 제2 데이터선에 대응하는 상기 제2 전류의 범위가 다른 경우에,

상기 제1 프리차지 전압과 상기 제2 프리차지 전압은 서로 다른 전압인 표시 장치의 구동 방법.

### 청구항 24.

일 방향으로 뻗어 있는 제1 및 제2 데이터선, 상기 제1 및 제2 데이터선에 전기적으로 연결되어 있는 복수의 화소 회로를 포함하는 표시 영역,

제1 신호선,

상기 제1 신호선과 상기 제1 데이터선 사이에 전기적으로 연결되어 화상을 나타내는 제1 데이터 전류를 상기 제1 데이터선으로 출력하는 제1 샘플/홀드 회로,

상기 제1 신호선과 상기 제2 데이터선 사이에 전기적으로 연결되어 화상을 나타내는 제2 데이터 전류를 상기 제2 데이터선으로 출력하는 제2 샘플/홀드 회로,

상기 제1 신호선에 전기적으로 연결되어 상기 제1 및 제2 데이터 전류에 각각 대응하는 제1 및 제2 전류를 순차적으로 상기 제1 신호선으로 전달하는 데이터 구동부, 그리고

상기 제1 신호선에 전기적으로 연결되어 상기 제1 신호선에 상기 제1 전류가 인가되기 전에 상기 제1 신호선에 제1 프리차지 전압이 전달되도록 동작하고 상기 제1 신호선에 상기 제2 전류가 인가되기 전에 상기 제1 신호선에 제2 프리차지 전압이 전달되도록 동작하는 프리차지부를 포함하며,

상기 제1 및 제2 샘플/홀드 회로는 한 수평 주기 중 적어도 일부 기간 동안 상기 제1 및 제2 전류를 각각 샘플링하고 다음 수평 주기 동안 상기 제1 및 제2 데이터 전류를 출력하는 표시 장치.

**청구항 25.**

제24항에 있어서,

상기 제1 프리차지 전압과 상기 제2 프리차지 전압은 동일한 전압인 표시 장치.

**청구항 26.**

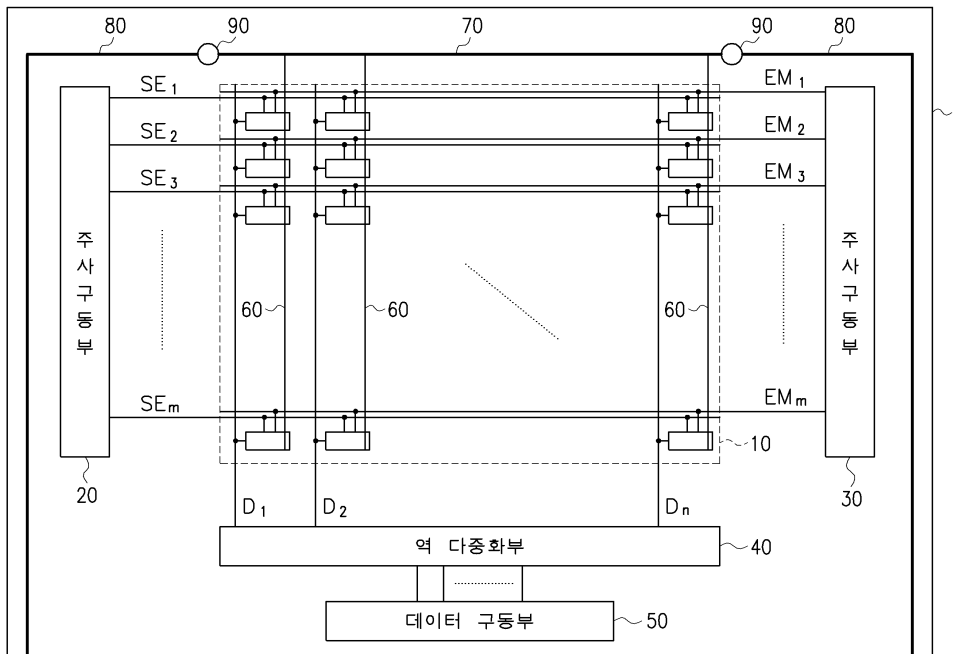
제24항에 있어서,

상기 제1 데이터선에 대응하는 상기 제1 전류의 범위와 상기 제2 데이터선에 대응하는 상기 제2 전류의 범위가 다른 경우에,

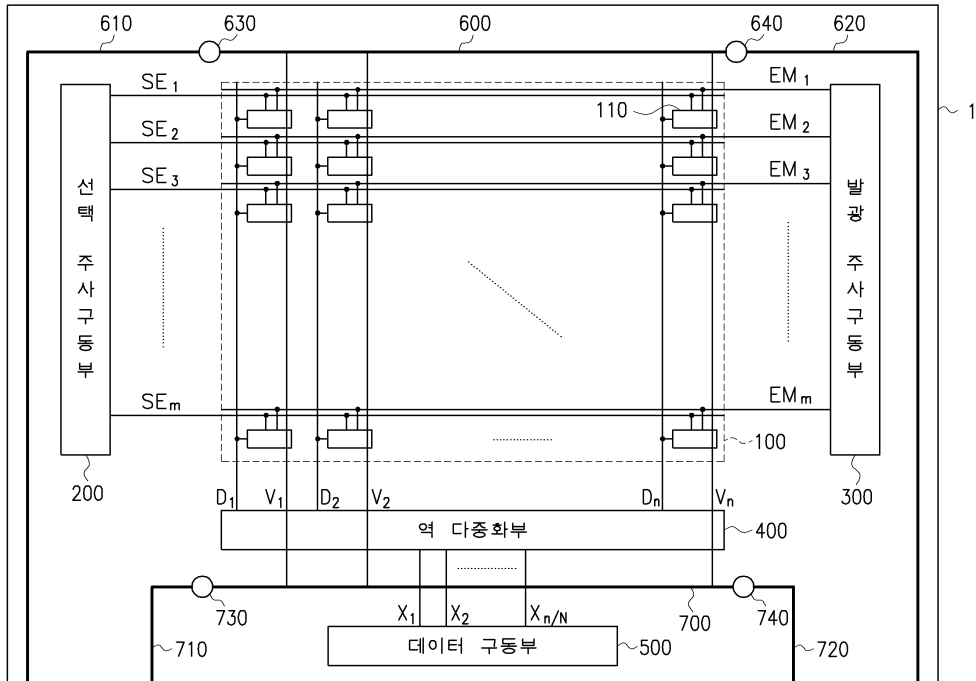
상기 제1 프리차지 전압과 상기 제2 프리차지 전압은 서로 다른 전압인 표시 장치.

**도면**

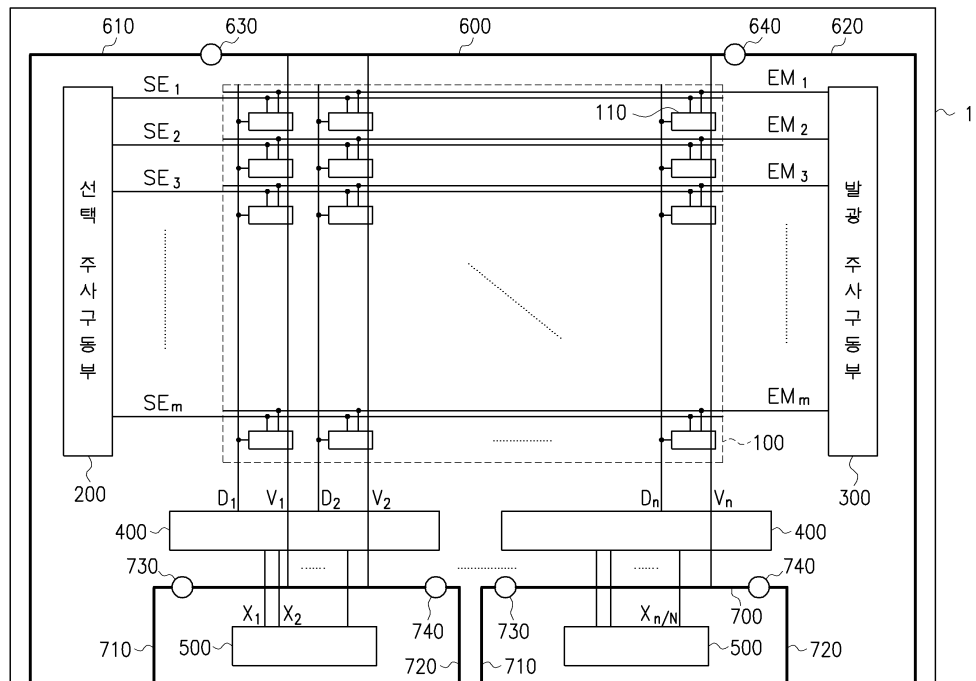
도면1



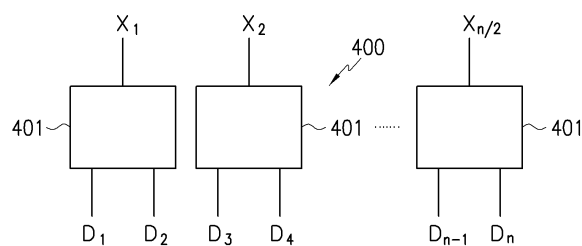
도면2



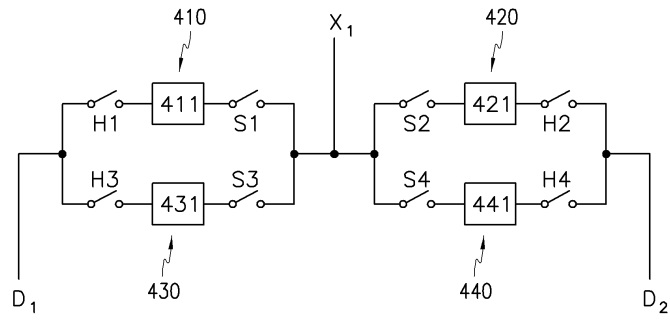
도면3



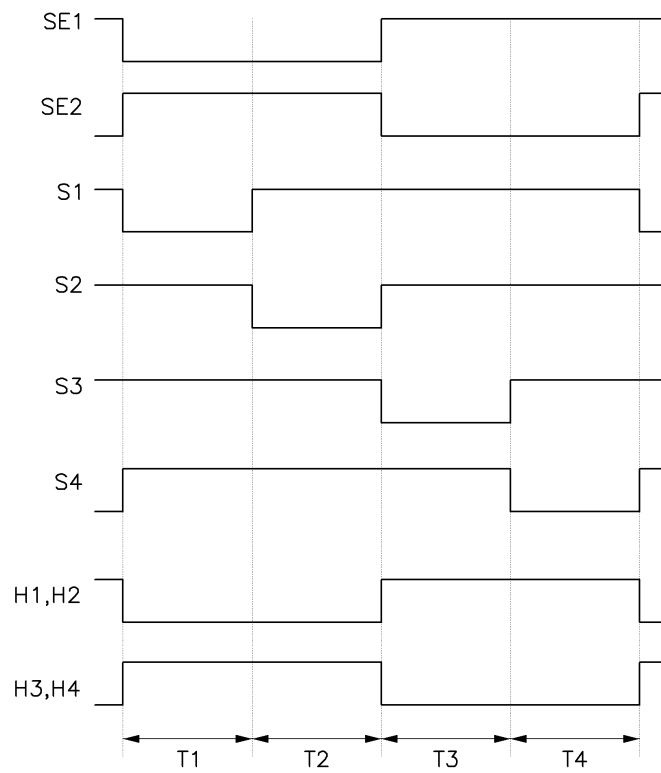
도면4



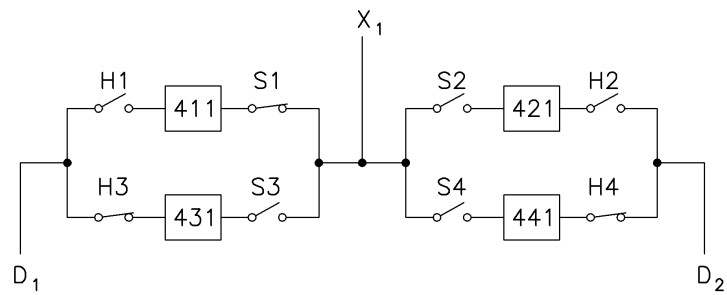
도면5



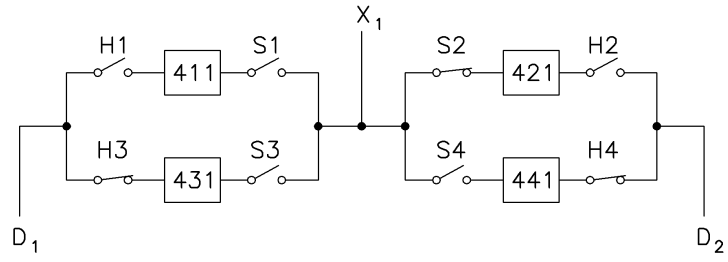
도면6



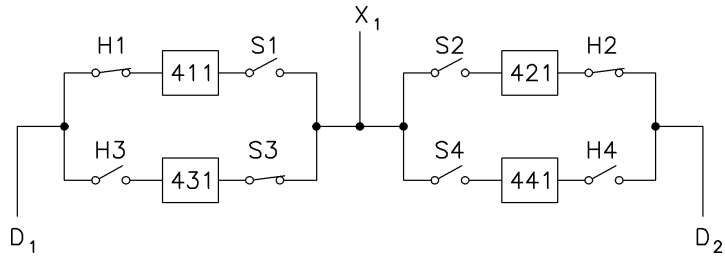
도면7a



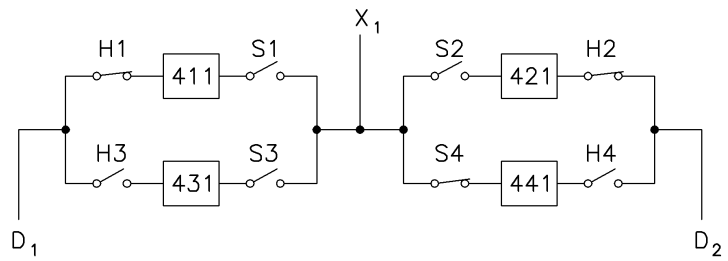
도면7b



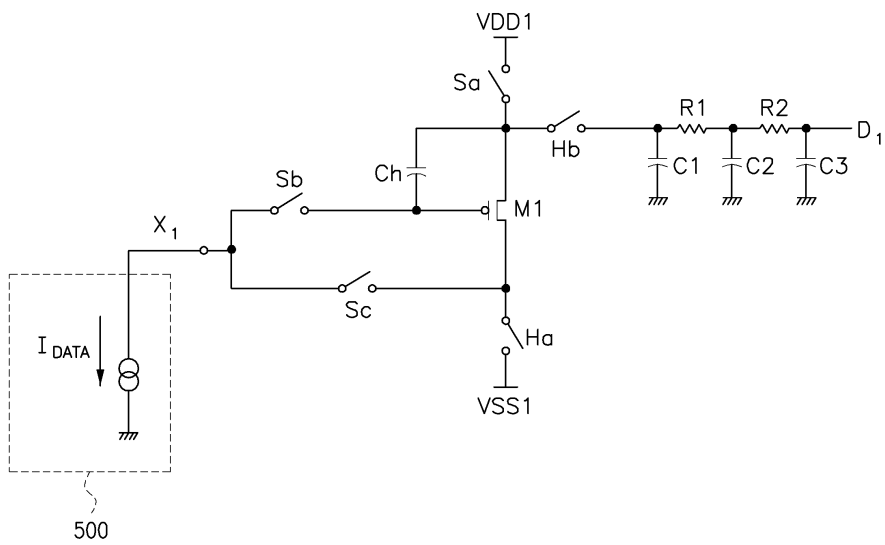
도면7c



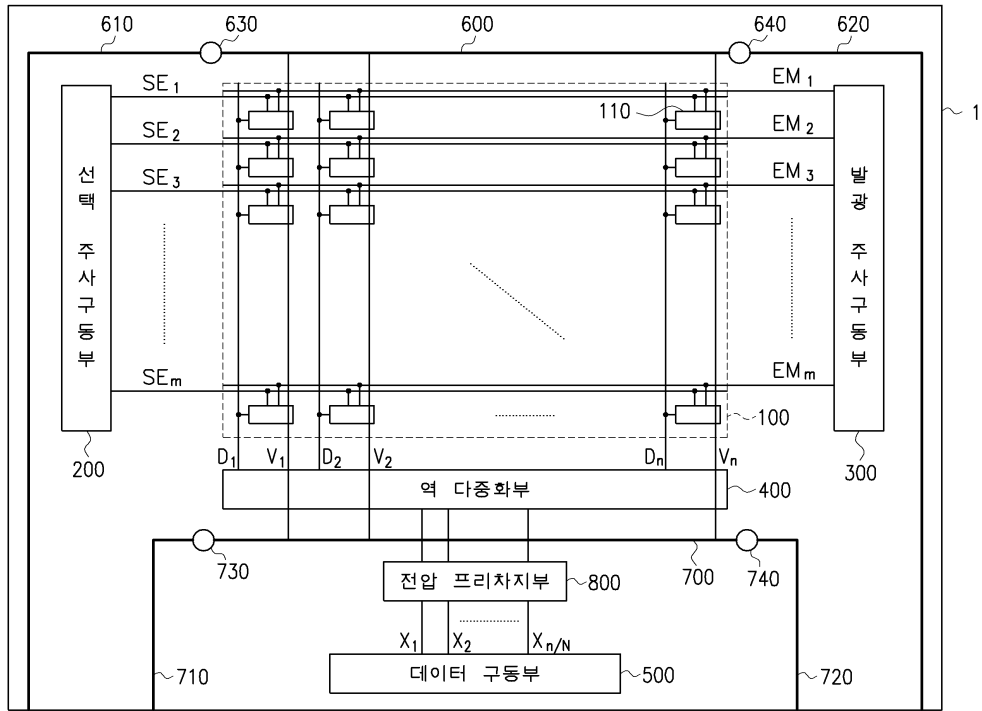
도면7d



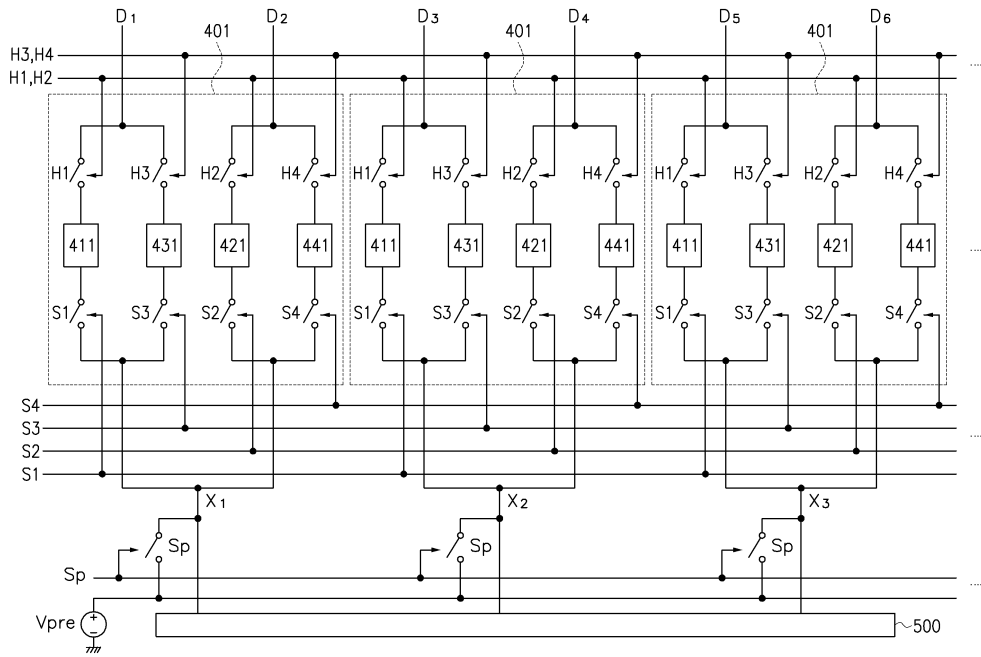
도면8



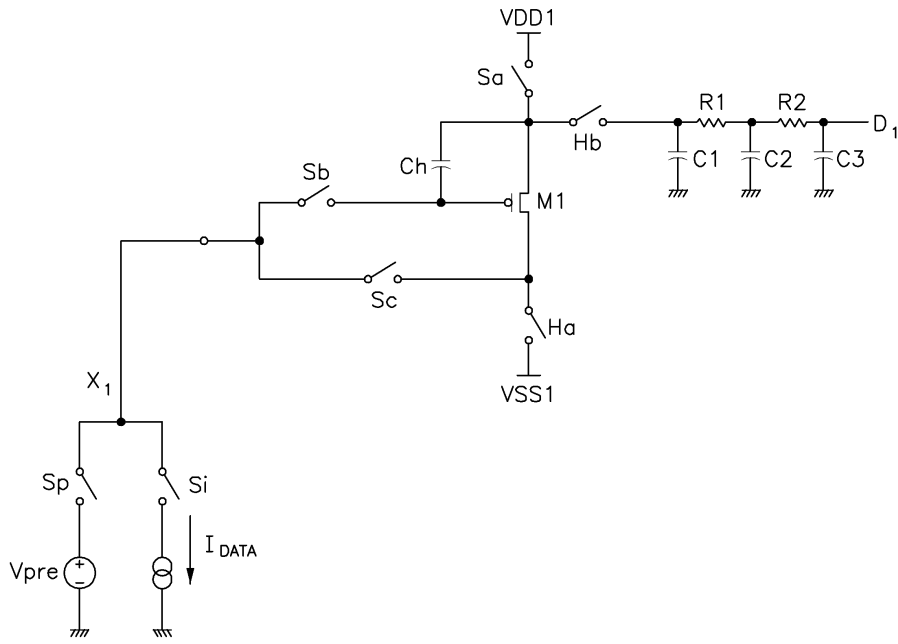
도면9



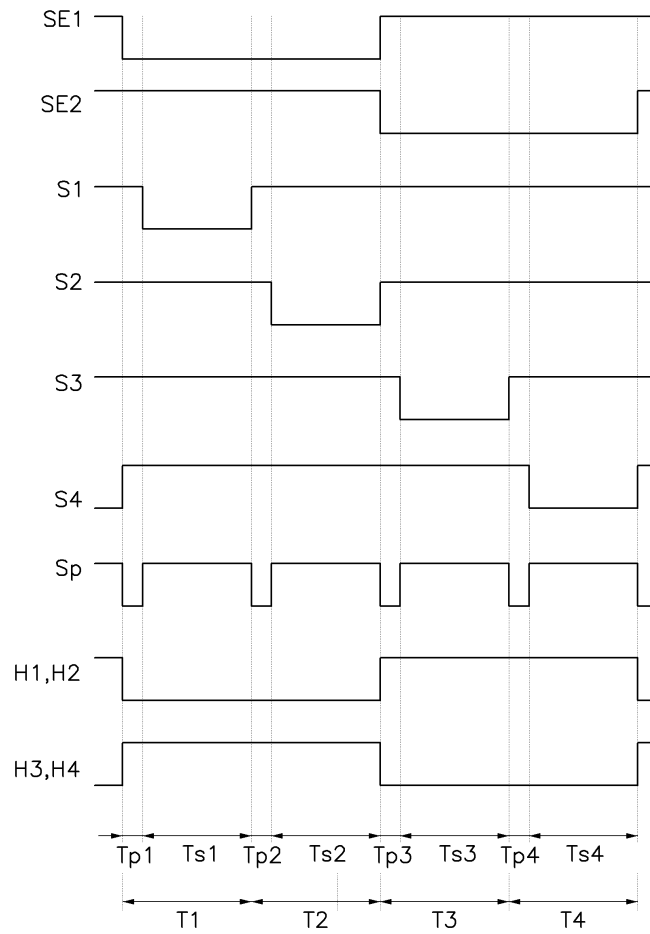
도면10



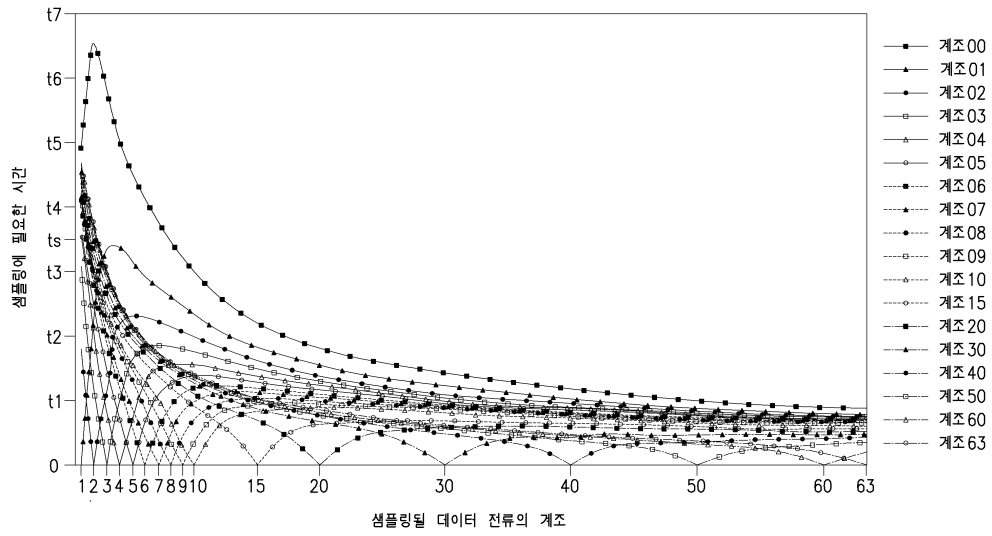
도면11



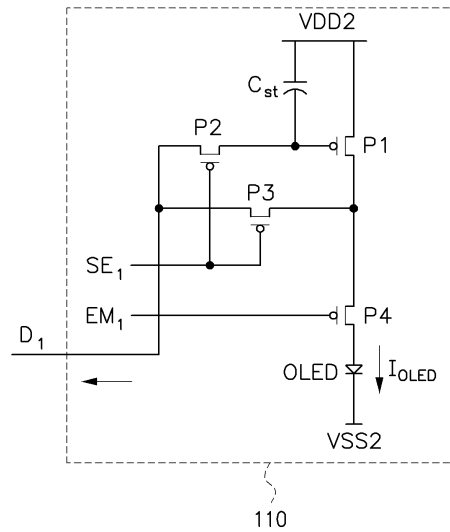
도면12



도면13



도면14



专利名称(译)	使用多路分解器的显示设备及其驱动方法		
公开(公告)号	<a href="#">KR100589381B1</a>	公开(公告)日	2006-06-14
申请号	KR1020030085078	申请日	2003-11-27
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SHIN DONGYONG		
发明人	SHIN,DONGYONG		
IPC分类号	G09G3/30 H04J3/06 H01L51/50 G09G3/32 H05B33/14 G09G G09G3/36 G09G3/20		
CPC分类号	G09G2300/0861 G09G2300/0842 G09G3/325 G09G2320/0252 G09G3/3283 G09G2310/0297 G09G2310/0248		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR1020050051311A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

在使用多路分解器的显示装置中，多路分解器连续地对数据驱动器中以时分方式施加的数据电流进行采样，并将数据电流保持在多条数据线中。当解复用器执行1:N解复用器时，应对一个水平周期内对应于N条数据线的数据电流进行采样因此，必须在1/N水平周期期间对与一条数据线相对应的数据电流进行采样。在本发明中，连接在多路分解器和数据驱动器之间的信号线在采样数据电流之前被预充电到一个电压。 11 指数方面 解复用，采样/保持，电压，预充电，电源，

