

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>G09G 3/30</i> (2006.01)	(45) 공고일자 2006년04월18일
	(11) 등록번호 10-0572428
	(24) 등록일자 2006년04월12일

(21) 출원번호 2004년03월05일	10-2004-7003328	(65) 공개번호 2004년04월09일	10-2004-0031055
번역문 제출일자 2004년03월05일		(43) 공개일자 2004년04월09일	
(86) 국제출원번호 2002년09월06일	PCT/JP2002/009111	(87) 국제공개번호 국제공개일자	WO 2003/023750 2003년03월20일

(30) 우선권주장	JP-P-2001-00271311	2001년09월07일	일본(JP)
	JP-P-2001-00291598	2001년09월25일	일본(JP)
	JP-P-2001-00347014	2001년11월13일	일본(JP)
	JP-P-2002-00136117	2002년05월10일	일본(JP)

(73) 특허권자	마츠시타 덴끼 산교 가부시키가이샤 일본 오오사카후 가도마시 오오아자 가도마 1006
-----------	---

(72) 발명자	다카하라 히로시 일본오사카후네야가와시오아자우즈마사 1011-1-345-씨-345 츠게히토시 일본오사카후가도마시미야마에쵸 16-1-314
----------	--

(74) 대리인	김창세
----------	-----

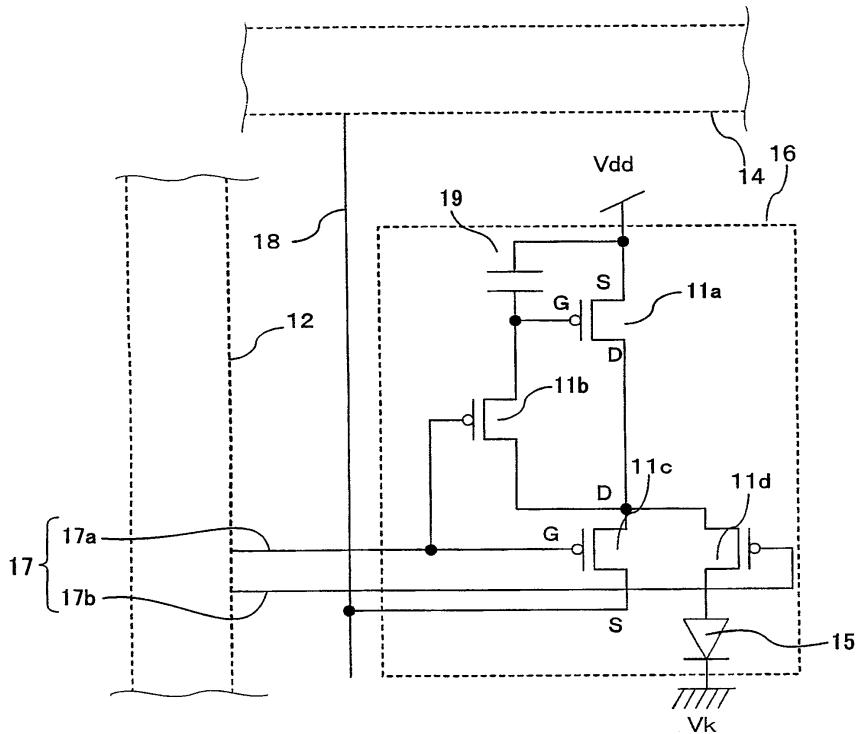
심사관 : 천대식

(54) EL 표시 패널, 그 구동 방법 및 EL 표시 장치

요약

본 발명의 EL 표시 장치는, 공급되는 전류에 따른 회도로 발광하는 EL 소자(15)를 구비하고 있고, 이 EL 소자(15)에 대해, 화상 신호에 따른 전류보다도 큰 전류가 소스 신호선(18)을 거쳐서 소스 드라이버(14)로부터 출력된다. 이에 따라, 소스 신호선(18)에 존재하는 기생 용량의 충/방전이 이루어진다. 또한, EL 소자(15)와 소스 드라이버(14) 사이에 형성된 트랜지스터(11d)의 동작에 의해, 1 프레임 기간중의 일부의 기간만 EL 소자(15)에 대해 상기 전류가 공급된다. 그 결과, EL 소자(15)는 상기 일부의 기간만 발광한다.

대표도



12 ... 게이트 드라이버(회로)
14 ... 소스 드라이버(회로)
15 ... EL(소자)
16 ... 화소

17 ... 게이트 신호선
18 ... 소스 신호선
19 ... 저장 용량(부가 용량)

명세서

기술분야

본 발명은, 유기 또는 무기 일렉트로루미네슨스(전계 발광 : (EL)) 소자를 이용한 EL 표시 장치에 관한 것으로, 특히 소망하는 전류를 EL 소자에 대해 공급할 수 있는 EL 표시 장치, 그 구동 방법 및 그 EL 표시 장치를 구비한 전자 기기에 관한 것이다.

배경기술

일반적으로, 액티브 매트릭스형 표시 장치에서는, 다수의 화소를 매트릭스 형상으로 배열하여, 인가된 화상 신호에 따라 화소마다 광 강도를 제어함으로써 화상을 표시한다. 예를 들면, 전기 광학 물질로서 액정을 이용한 경우는, 각 화소에 기입되는 전압에 따라 화소의 투과율이 변화한다. 전기 광학 변환 물질로서 유기 일렉트로루미네슨스(EL) 재료를 이용한 액티브 매트릭스형의 화상 표시 장치에서도, 기본적인 동작은 액정을 이용한 경우와 마찬가지이다.

액정 표시 패널에서는, 각 화소는 셀터로서 동작하여, 백 라이트로부터의 광을 화소인 셀터로 온/오프시킴으로써 화상을 표시한다. 유기 EL 표시 패널은 각 화소에 발광 소자를 갖는 자발광형의 표시 패널이다. 이러한 자발광형의 표시 패널은, 액정 표시 패널에 비해서 화상의 시인성이 높고, 백 라이트가 불필요하며, 응답 속도가 빠른 등의 이점을 갖고 있다.

유기 EL 표시 패널은 각 발광 소자(화소)의 휘도를 전류량에 의해서 제어한다. 이와 같이, 발광 소자가 전류 구동형 혹은 전류 제어형이라고 하는 점에서 액정 표시 패널과는 크게 상이하다.

유기 EL 표시 패널에 있어서도, 액정 표시 패널과 마찬가지로, 단순 매트릭스 방식 및 액티브 매트릭스 방식의 구성이 가능하다. 전자는 구조가 단순하지만 대형이고 또한 고 선명의 표시 패널의 실현이 곤란하다. 그러나, 염가이다. 후자는 대형이며, 고 선명 표시 패널을 실현할 수 있다. 그러나, 제어 방법이 기술적으로 어렵고, 비교적 고가라고 하는 문제가 있다. 현재에는, 액티브 매트릭스 방식의 개발이 한창 행해지고 있다. 액티브 매트릭스 방식은, 각 화소에 마련한 발광 소자에 흐르는 전류를 화소 내부에 마련한 박막 트랜지스터(TFT)에 의해서 제어한다.

이 액티브 매트릭스 방식의 유기 EL 표시 패널은, 예컨대 일본 특허 공개 평성 제 8-234683 호 공보에 개시되어 있다. 이 표시 패널의 1 화소분의 등가 회로를 도 62에 나타낸다. 화소(216)는 발광 소자인 EL 소자(215), 제 1 트랜지스터(211a), 제 2 트랜지스터(211b) 및 축적 용량(219)으로 이루어진다. 여기서 EL 소자(215)는 유기 일렉트로루미네스نس(EL) 소자이다.

또, 본 명세서에서는, EL 소자에 전류를 공급(제어)하는 트랜지스터를 구동용 트랜지스터라고 부른다. 또한, 도 62에 있어서의 트랜지스터(211b)와 같이, 스위치로서 동작하는 트랜지스터를 스위치용 트랜지스터라고 부른다.

EL 소자(215)는 대부분의 경우, 정류성이 있기 때문에, OLED(유기 발광 다이오드)라고 불리는 경우가 있다. 그 때문에, 도 62에서는 EL 소자(215)를 OLED로서 다이오드의 기호를 이용하고 있다.

도 62의 예에서는, P 채널형의 트랜지스터(211a)의 소스 단자(S)를 Vdd(전원 전위)로 하고, EL 소자(215)의 캐소드(음극)는 접지 전위(Vk)에 접속된다. 한편, 애노드(양극)는 트랜지스터(211b)의 드레인 단자(D)에 접속되어 있다. 한편, P 채널형의 트랜지스터(211b)의 게이트 단자는 게이트 신호선(217a)에 접속되고, 소스 단자는 소스 신호선(218)에 접속되며, 드레인 단자는 축적 용량(219) 및 트랜지스터(211a)의 게이트 단자(G)에 접속되어 있다.

화소(216)를 동작시키기 위해서, 우선, 게이트 신호선(217a)을 선택 상태로 하여, 소스 신호선(218)에 휘도 정보를 나타내는 화상 신호를 인가한다. 그러면, 트랜지스터(211b)가 도통하여, 축적 용량(219)이 충전 또는 방전되어, 트랜지스터(211a)의 게이트 전위는 화상 신호의 전위에 일치한다. 게이트 신호선(217a)을 비 선택 상태로 하면, 트랜지스터(211a)가 오프로 되어, 트랜지스터(211a)는 전기적으로 소스 신호선(218)으로부터 분리된다. 그러나, 트랜지스터(211a)의 게이트 전위는 축적 용량(219)에 의해서 안정적으로 유지된다. 트랜지스터(211a)를 거쳐서 EL 소자(215)에 흐르는 전류는, 트랜지스터(211a)의 게이트/소스 단자간 전압 Vgs에 따른 값으로 되어, EL 소자(215)는 트랜지스터(211a)를 통해 공급되는 전류량에 따른 휘도로 발광을 계속한다.

이상과 같이, 도 62에 나타낸 종래 예는, 1 화소가, 하나의 선택 트랜지스터 (스위칭 소자)와, 하나의 구동용 트랜지스터로 구성된 것이다. 그 밖의 종래 예는, 예컨대, 특허 출원 평성 제 11-327637 호 공보에 개시되어 있다. 이 공보에는, 화소가 커런트 미러 회로로 구성된 실시예가 도시되어 있다.

그런데, 유기 EL 표시 패널은, 통상, 저온 폴리실리콘 트랜지스터 어레이를 이용하여 패널을 구성하고 있다. 그러나, 유기 EL 소자는, 전류에 근거하여 발광하기 때문에, 트랜지스터의 특성에 편차가 있으면, 표시 얼룩이 발생한다고 하는 문제가 있었다.

또한, 소스 신호선(18)에는 기생 용량이 존재하지만, 종래의 EL 표시 패널에서는 이 기생 용량을 충분히 충/방전할 수 없었다. 그 때문에, 화소(16)에 소망하는 전류를 공급할 수 없는 경우가 발생한다고 하는 문제가 있었다.

발명의 개시

본 발명은 이러한 사정을 감안하여 이루어진 것으로서, 그 목적은, 소스 신호선에 존재하는 기생 용량을 충분히 충/방전함으로써, 양호한 화상 표시를 실현할 수 있는 EL 표시 장치를 제공하는 것에 있다.

그리고, 이러한 목적을 달성하기 위해서, 본 발명에 따른 EL 표시 장치는, 서로 교차하도록 배열된 복수의 게이트 신호선 및 복수의 소스 신호선과, 매트릭스 형상으로 배치되어, 공급되는 전류에 따른 휘도로 발광하는 EL 소자와, 상기 게이트 신호선에 대해 게이트 신호를 출력하는 게이트 드라이버와, 상기 소스 신호선에 대해 외부로부터 입력되는 화상 신호에 따른 전류보다도 큰 전류를 출력하는 소스 드라이버와, 상기 EL 소자의 각각에 대응하여 마련되어, 상기 소스 드라이버로부터 출력된 전류를 상기 EL 소자에 대해 출력하는 트랜지스터와, 상기 게이트 신호선을 거쳐서 공급되는 게이트 신호에 따라 상기 EL 소자와 상기 트랜지스터 사이의 도통/비도통을 전환하는 것에 의해, 상기 소스 드라이버로부터 출력된 전류를 상기 EL 소자에 공급할 수 있는 제 1 스위칭 소자를 구비하며, 상기 게이트 드라이버는, 상기 EL 소자와 상기 트랜지스터 사이가 1 프레임 기간에 있어서 적어도 한 번은 도통 및 비도통으로 되도록 상기 게이트 신호선에 대해 게이트 신호를 출력하도록 구성되어 있다.

이와 같이 구성하면, 화상 신호에 따른 전류보다도 큰 전류가 소스 드라이버로부터 소스 신호선에 대해 출력되기 때문에, 소스 신호선에 기생 용량이 존재하는 경우더라도 그 기생 용량을 충/방전할 수 있다. 또한, 이와 같이 큰 전류를 EL 소자

에 공급한 경우, EL 소자가 화상 신호에 따른 휘도보다도 높은 휘도로 발광하는 것으로 되지만, EL 소자에 전류를 공급하는 시간을 1 프레임 기간보다도 짧은 기간으로 함으로써, EL 소자의 발광 시간을 단축화하는 것이 가능해지고, 그 결과 화상 신호에 따른 휘도에 상당하는 휘도에서의 화상 표시를 실현한다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 게이트 드라이버는, 상기 EL 소자와 상기 트랜지스터 사이의 1 프레임 기간에 있어서 주기적으로 복수회 도통 및 비도통으로 되도록 상기 게이트 신호선에 게이트 신호를 출력하도록 구성되어 있더라도 좋다.

이와 같이 구성하면, 이른바 인터레이스 구동을 실현할 수 있으므로, 보다 양호한 화상 표시를 행할 수 있다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 게이트 신호선을 거쳐서 공급되는 게이트 신호에 따라 상기 소스 드라이버와 상기 트랜지스터 사이의 도통/비도통을 전환하는 것에 의해, 상기 소스 드라이버로부터 출력된 전류를 상기 트랜지스터에 공급할 수 있는 제 2 스위칭 소자를 더 구비하며, 상기 게이트 드라이버는, 상기 EL 소자와 상기 트랜지스터 사이를 비도통으로 한 상태에서 상기 소스 드라이버와 상기 트랜지스터 사이를 도통으로 하여 상기 소스 드라이버로부터 출력되는 전류를 상기 트랜지스터에 프로그램한 후, 상기 EL 소자와 상기 트랜지스터 사이가 1 프레임 기간에 있어서 적어도 한 번은 도통 및 비도통으로 되도록 상기 게이트 신호선에 대해 게이트 신호를 출력하도록 구성되어 있더라도 좋다.

이와 같이 구성하면, 트랜지스터의 특성 편차에 의한 표시 얼룩 등을 방지할 수 있어, 양호한 화상 표시를 실현할 수 있다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 게이트 드라이버와 상기 트랜지스터가 동일 프로세스로 형성되어 있더라도 좋다. 즉, 예컨대, 저온 폴리실리콘 기술을 이용하여 게이트 드라이버와 드라이버가 형성되어 있더라도 좋다. 이와 같이 형성하는 것에 의해 협베젤(bezel)화를 실현할 수 있다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 소스 드라이버는, 반도체 칩으로 형성되어 있더라도 좋다.

또한, 본 발명에 따른 EL 표시 장치는, 서로 교차하도록 배열된 복수의 게이트 신호선 및 복수의 소스 신호선과, 매트릭스 형상으로 배치되어, 공급되는 전류에 따른 휘도로 발광하는 EL 소자와, 상기 게이트 신호선에 대해 게이트 신호를 출력하는 게이트 드라이버와, 상기 소스 신호선에 대해 외부로부터 입력되는 화상 신호에 따른 전류보다도 큰 전류를 출력하는 소스 드라이버와, 상기 EL 소자의 각각에 대응하여 마련되어, 상기 게이트 신호선을 거쳐서 공급되는 게이트 신호에 따라 상기 EL 소자와 상기 소스 신호선 사이의 도통/비도통을 전환하는 것에 의해, 상기 소스 신호선을 거쳐서 공급되는 전류를 상기 EL 소자에 공급할 수 있는 스위칭 소자와, 상기 EL 소자가 형성된 영역과는 상이한 영역에 마련되어, 화상 표시에 실질적으로 이용되지 않는 복수의 더미 소자와, 상기 더미 소자의 각각에 대응하여 마련되어, 상기 게이트 신호선을 거쳐서 공급되는 게이트 신호에 따라 상기 더미 소자와 상기 소스 신호선 사이의 도통/비도통을 전환하는 것에 의해, 상기 소스 신호선을 거쳐서 공급되는 전류를 상기 더미 소자에 공급할 수 있는 제 2 스위칭 소자를 구비하며, 상기 게이트 드라이버가 상기 EL 소자에 관한 게이트 신호선 및 상기 더미 소자에 관한 게이트 신호선에 대해 대략 동일한 타이밍에서 게이트 신호를 출력함으로써, 상기 소스 신호선을 거쳐서 공급되는 전류를 상기 EL 소자 및 상기 더미 소자의 각각에 분할하여 공급하도록 구성되어 있다.

이와 같이 구성하면, 화상 신호에 따른 전류보다도 큰 전류가 소스 드라이버로부터 소스 신호선에 대해 출력되기 때문에, 소스 신호선에 기생 용량이 존재하는 경우더라도 그 기생 용량을 충/방전할 수 있다. 또한, 소스 드라이버로부터 화상 신호에 따른 전류보다도 큰 전류가 출력된 경우더라도, 그 전류는 EL 소자 및 더미 소자로 분할하여 공급되기 때문에, EL 소자가 필요 이상으로 높은 휘도로 발광하는 것을 방지할 수 있다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 더미 소자에 관한 게이트 신호선은, 제 1 행 또는 최종 행의 상기 EL 소자에 관한 게이트 신호선과 이웃하도록 하여 형성되어 있고, 상기 게이트 드라이버가 이웃하는 복수 행의 게이트 신호선에 대해 대략 동일한 타이밍에서 순차적으로 게이트 신호를 출력함으로써, 복수의 상기 EL 소자의 각각 또는 상기 EL 소자 및 상기 더미 소자의 각각에 상기 소스 신호선을 거쳐서 공급되는 전류를 분할하여 공급하도록 구성되어 있더라도 좋다.

또한, 본 발명의 EL 표시 장치의 구동 방법은, 공급되는 전류에 따른 휘도로 발광하는 EL 소자와, 소스 신호선을 거쳐서 상기 EL 소자에 전류를 출력하는 소스 드라이버를 구비하는 EL 표시 장치의 구동 방법에 있어서, 외부로부터 입력된 화상 신호에 따른 전류보다도 큰 전류를 상기 소스 드라이버가 상기 소스 신호선에 출력하는 단계와, 1 프레임 기간의 일부의 기간에 걸쳐 상기 소스 신호선에 출력된 전류를 상기 EL 소자에 공급함으로써, 상기 일부의 기간에 있어서 상기 소스 신호선에 출력된 전류에 따른 휘도로 상기 EL 소자를 발광시키는 단계를 포함하고 있다.

또한, 상기 발명에 따른 EL 표시 장치의 구동 방법에 있어서, 상기 일부의 기간은, 복수의 기간으로 분할되어 있더라도 좋다.

또한, 본 발명의 전자 기기는, 청구항 1에 기재된 EL 표시 장치를 구비하며, 상기 EL 표시 장치에 대해 화상 신호를 출력하도록 구성되어 있다.

또한, 본 발명에 따른 EL 표시 장치는, 매트릭스 형상으로 배치된 EL 소자와, 상기 EL 소자에 흐르는 전류를 공급하는 구동용 트랜지스터와, 상기 EL 소자와 상기 구동용 트랜지스터 사이에 배치된 제 1 스위칭 소자와, 상기 제 1 스위칭 소자를 온/오프 제어하는 게이트 드라이버를 구비하며, 상기 게이트 드라이버는, 상기 제 1 스위칭 소자를, 1 프레임 기간에 있어서, 적어도 한 번 이상 오프 상태로 제어하는 것을 특징으로 한다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 제 1 스위칭 소자는, 1 프레임 기간에 있어서, 주기적으로 또한 복수회 오프 상태로 제어되더라도 좋다.

또한, 본 발명에 따른 EL 표시 장치는, 프로그램 전류를 출력하는 소스 드라이버 회로와, 매트릭스 형상으로 배치된 EL 소자와, 상기 EL 소자에 흐르는 전류를 공급하는 구동용 트랜지스터와, 상기 EL 소자와 상기 구동용 트랜지스터 사이에 배치된 제 1 스위칭 소자와, 상기 구동용 트랜지스터에 상기 프로그램 전류를 전달하는 경로를 구성하는 제 2 스위칭 소자와, 상기 제 1 및 제 2 스위칭 소자를 온/오프 제어하는 게이트 드라이버 회로를 구비하며, 상기 게이트 드라이버 회로는, 상기 제 1 스위칭 소자를, 1 프레임 기간에 있어서, 적어도 한 번 이상 온 상태로 하고, 또한 한 번 이상 오프 상태로 제어하는 것을 특징으로 한다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 게이트 드라이버는, 상기 구동용 트랜지스터와 동일 프로세스로 형성되고, 상기 소스 드라이버는, 반도체 칩으로 형성되어 있더라도 좋다.

또, 본 발명에 따른 EL 표시 장치는, 게이트 신호선과, 소스 신호선과, 프로그램 전류를 출력하는 소스 드라이버와, 게이트 드라이버와, 매트릭스 형상으로 배치된 EL 소자와, 상기 EL 소자에 흐르는 전류를 공급하는 구동용 트랜지스터와, 상기 EL 소자와 상기 구동용 트랜지스터 사이에 배치된 제 1 트랜지스터와, 상기 구동용 트랜지스터에 상기 프로그램 전류를 전달하는 경로를 구성하는 제 2 트랜지스터를 구비하며, 상기 소스 드라이버는, 상기 소스 신호선에 프로그램 전류를 출력하고, 상기 게이트 드라이버는, 게이트 신호선에 접속되고, 상기 제 2 트랜지스터의 게이트 단자는, 상기 게이트 신호선에 접속되며, 상기 제 2 트랜지스터의 소스 단자는, 상기 소스 신호선에 접속되고, 상기 제 2 트랜지스터의 드레인 단자는, 상기 구동용 트랜지스터의 드레인 단자와 접속되며, 상기 게이트 드라이버는, 복수의 게이트 신호선을 선택하여, 상기 프로그램 전류를 복수의 화소의 상기 구동용 트랜지스터에 공급하고, 상기 게이트 드라이버는, 상기 제 1 트랜지스터를, 1 프레임 기간에 있어서, 적어도 한 번 이상 온 상태로 하고, 또한 한 번 이상 오프 상태로 제어하는 것을 특징으로 한다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 게이트 드라이버는, 상기 구동용 트랜지스터와 동일 프로세스로 형성되고, 상기 소스 드라이버는, 반도체 칩으로 형성되어 있더라도 좋다.

또한, 본 발명에 따른 EL 표시 장치는, I(I는 2 이상의 정수) 화소 행, J(J는 2 이상의 정수) 화소 열로 이루어지는 표시 영역을 갖고, 상기 표시 영역의 소스 신호선에 영상 신호를 인가하는 소스 드라이버와, 상기 표시 영역의 게이트 신호선에 온전압 또는 오프 전압을 인가하는 게이트 드라이버와, 상기 표시 영역 이외의 개소에 형성된 더미 화소 행을 구비하며, 상기 표시 영역에는 EL 소자가 매트릭스 형상으로 형성되어, 상기 소스 드라이버로부터의 영상 신호에 근거하여 발광하고, 상기 더미 화소 행은, 발광하지 않거나, 또는 발광 상태가 시각적으로 보이지 않도록 구성되어 있는 것을 특징으로 한다.

또한, 상기 발명에 따른 EL 표시 장치에 있어서, 상기 게이트 드라이버는, 복수 화소 행을 동시에 선택하고, 상기 소스 드라이버로부터의 영상 신호를 상기 복수의 화소 행에 인가하여, 제 1 행의 화소 행 또는 I 화소 행이 선택될 때에는, 더미 화소 행이 선택되도록 구성되어 있더라도 좋다.

또한, 본 발명에 따른 EL 표시 장치의 구동 방법은, EL 소자를 소정 휘도보다도 고 휘도로 발광하는 전류를 상기 EL 소자에 공급하고, 1 프레임의 1/N(N은 1보다 작음)의 기간, 상기 EL 소자를 발광시키는 것을 특징으로 한다.

또한, 상기 발명에 따른 EL 표시 장치의 구동 방법에 있어서, 1 프레임의 1/N의 기간은, 복수 기간으로 분할되어 있더라도 좋다.

또한, 본 발명에 따른 EL 표시 장치의 구동 방법은, 전류에 의해 EL 소자에 흐르는 전류를 프로그램하는 EL 표시 장치의 구동 방법으로서, 소정 휘도보다도 높은 휘도로 상기 EL 소자를 발광시켜, 1/N(N>1)의 표시 영역을 표시하고, 상기 1/N의 표시 영역을 순차적으로 시프트하여 전체 화면을 표시하는 것을 특징으로 한다.

또한, 본 발명의 전자 기기는, 청구항 11에 기재된 EL 표시 장치와, 수화기와, 스피커를 구비하는 것을 특징으로 한다.

본 발명의 상기 목적, 다른 목적, 특징, 및 이점은, 첨부 도면을 참조하여, 이하의 바람직한 실시예의 상세한 설명으로부터 명백하게 된다.

도면의 간단한 설명

도 1은, 본 발명의 EL 표시 패널의 화소 구성도이다.

도 2는, 본 발명의 EL 표시 패널의 화소 구성도이다.

도 3은, 본 발명의 EL 표시 패널의 동작 설명도이다.

도 4는, 본 발명의 EL 표시 패널의 동작 설명도이다.

도 5는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 6은, 본 발명의 EL 표시 장치의 구성도이다.

도 7은, 본 발명의 EL 표시 패널의 제조 방법의 설명도이다.

도 8은, 본 발명의 EL 표시 장치의 구성도이다.

도 9는, 본 발명의 EL 표시 장치의 구성도이다.

도 10은, 본 발명의 EL 표시 패널의 단면도이다.

도 11은, 본 발명의 EL 표시 패널의 단면도이다.

도 12는, 본 발명의 EL 표시 패널의 설명도이다.

도 13은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 14는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 15는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 16은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 17은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 18은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 19는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 20은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 21은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 22는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 23은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 24는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 25는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 26은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 27은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 28은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 29는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 30은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 31은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 32는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 33은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 34는, 본 발명의 EL 표시 장치의 구성도이다.

도 35는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 36은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 37은, 본 발명의 EL 표시 장치의 구성도이다.

도 38은, 본 발명의 EL 표시 장치의 구성도이다.

도 39는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 40은, 본 발명의 EL 표시 장치의 구성도이다.

도 41은, 본 발명의 EL 표시 장치의 구성도이다.

도 42는, 본 발명의 EL 표시 패널의 화소 구성도이다.

도 43은, 본 발명의 EL 표시 패널의 화소 구성도이다.

도 44는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 45는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 46은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 47은, 본 발명의 EL 표시 패널의 화소 구성도이다.

도 48은, 본 발명의 EL 표시 장치의 구성도이다.

도 49는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 50은, 본 발명의 EL 표시 패널의 화소 구성도이다.

도 51은, 본 발명의 EL 표시 패널의 화소도이다.

도 52는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 53은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 54는, 본 발명의 EL 표시 패널의 화소 구성도이다.

도 55는, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 56은, 본 발명의 EL 표시 장치의 구동 방법의 설명도이다.

도 57은, 본 발명의 휴대형 전화기의 설명도이다.

도 58은, 본 발명의 뷰 파인더(view Finder)의 설명도이다.

도 59는, 본 발명의 디지털 비디오 카메라의 설명도이다.

도 60은, 본 발명의 디지털 스틸 카메라의 설명도이다.

도 61은, 본 발명의 텔레비전(모니터)의 설명도이다.

도 62는, 종래의 EL 표시 패널의 화소 구성도이다.

발명을 실시하기 위한 최선의 형태

이하, 본 발명의 실시예에 대해, 도면을 참조하면서 설명한다.

본 명세서에 있어서 각 도면은 이해를 용이하게 또는/및 작도를 용이하게 하기 위해서, 생략 또는/및 확대 축소한 개소가 있다. 예를 들면, 도 11에 도시하는 표시 패널의 단면도에서는 봉지막(111) 등을 충분히 두껍게 도시하고 있다. 한편, 도 10에 있어서, 봉지덮개(85)는 얇게 도시하고 있다. 또한, 생략한 개소도 있다. 예를 들면, 본 발명의 표시 패널 등에서는, 반사 방지를 위해서 원편광판 등의 위상필름이 필요하다. 그러나, 본 명세서의 각 도면에서는 생략하고 있다. 이상의 것은 이하의 도면에 대해서도 마찬가지이다. 또한, 동일 번호 또는, 기호 등을 부여한 개소는 동일 또는 유사의 형태, 재료, 기능 또는 동작을 나타내고 있다.

또, 각 도면 등에서 설명한 내용은 특별한 설명이 없더라도, 다른 실시예 등과 조합할 수 있다. 예를 들면, 도 8의 표시 패널에 터치 패널 등을 부가하여, 도 19, 도 59 내지 도 61에 도시하는 정보 표시 장치로 할 수 있다. 또한, 확대 렌즈(582)를 부착하여, 비디오 카메라(도 59 등의 것 참조) 등에 이용하는 뷰 파인더(도 58의 것을 참조)를 구성할 수도 있다. 또한, 도 4, 도 15, 도 18, 도 21, 도 23 등에서 설명한 본 발명의 구동 방법은, 어느 쪽의 본 발명의 표시 장치 또는 표시 패널에 적용하는 것이 가능하다.

또, 본 명세서에서는, 구동용 트랜지스터(11), 스위칭용 트랜지스터(11)는 박막 트랜지스터로서 설명하지만, 이것에 한정하는 것은 아니다. 박막 다이오드(TFD), 링 다이오드 등으로도 구성할 수 있다. 또한, 박막 소자에 한정하는 것은 아니고, 실리콘 웨이퍼에 형성한 것이라도 좋다. 물론, FET, MOS-FET, MOS 트랜지스터, 바이폴라 트랜지스터이더라도 좋다. 이들도 기본적으로 박막 트랜지스터이다. 그 외에, 배리스터, 사이리스터, 링 다이오드, 포토다이오드, 핫 트랜지스터, PLZT 소자 등이더라도 되는 것은 말할 필요도 없다. 즉, 스위치 소자(11), 구동용 소자(11)는 이들 중 어느 하나로 구성되어 있더라도 좋다.

유기 EL 표시 패널은, 도 10에 도시하는 바와 같이, 화소 전극으로서의 투명 전극(105)이 형성된 유리판(71)(어레이 기판) 상에, 전자 수송층, 발광층, 정공 수송층 등으로 이루어지는 적어도 한 층의 유기 기능층(EL 층)(15)(15R, 15G, 15B), 및 금속 전극(반사막)(캐소드)(106)이 적층된 것이다. 투명 전극(화소 전극)(105)인 양극(애노드)에 플러스, 금속 전극(반사 전극)(106)의 음극(캐소드)에 마이너스의 전압을 각각 가하여, 즉, 투명 전극(105) 및 금속 전극(106) 사이에 전류를 인가함으로써, 유기 기능층(EL 층)(15)이 발광한다.

애노드 혹은 캐소드에 전류를 공급하는 배선(도 8의 캐소드 배선(86), 애노드 배선(87))에는 큰 전류가 흐른다. 예를 들면, EL 표시 장치의 화면 사이즈가 40 인치로 되면 100(A) 정도의 전류가 흐른다. 따라서, 이들 배선의 저항치는 충분히 낮게 제작할 필요가 있다. 이 과제에 대해, 본 발명에서는, 우선, 애노드 등의 배선(EL 소자에 발광 전류를 공급하는 배선)을 박막으로 형성한다. 그리고, 이 박막 배선에 전해 도금 기술 혹은 무전해 도금 기술로 배선의 두께를 두껍게 형성하고 있다.

도금 금속으로서는, 크롬, 니켈, 금, 동, 알루미늄 혹은 이들의 합금, 아만감 또는 적층 구조 등이 예시된다. 또한, 필요에 따라서, 배선 그 자체, 혹은 배선에 동박으로 이루어지는 금속 배선을 부가하고 있다. 또한, 배선 위에 동 페이스트 등을 스크린 인쇄하여, 페이스트 등을 적층시킴으로써 배선의 두께를 두껍게 하여, 배선 저항을 저하시킨다. 또한, 본딩 기술로 배선을 중복하여 형성함으로써 배선을 보강하더라도 좋다. 또한, 필요에 따라서, 배선에 적층하여 그라운드 패턴을 형성하여, 배선과의 사이에 콘텐서(용량)를 형성하더라도 좋다.

또한, 애노드 혹은 캐소드 배선에 큰 전류를 공급하기 때문에, 전류 공급 수단으로부터 고 전압이며 소 전류의 전력 배선으로, 상기 애노드 배선 등의 근방까지 배선하고, DCDC 컨버터 등을 이용하여 저 전압, 고 전류로 전력 변환하여 공급하고 있다. 즉, 전원으로부터 고 전압, 소 전류 배선으로 전력 소비 대상까지 배선하여, 전력 소비 대상의 근방에서 대 전류, 저 전압으로 변환한다. 이러한 것으로 하여, DCDC 컨버터, 트랜스포머 등이 예시된다.

금속 전극(106)에는, 리튬, 은, 알루미늄, 마그네슘, 인듐, 구리 또는 각각의 합금 등의 일 함수가 작은 것을 이용하는 것이 바람직하다. 특히, 예컨대, A1-Li 합금을 이용하는 것이 바람직하다. 또한, 투명 전극(105)에는, ITO 등의 일 함수가 큰 도전성 재료 또는 금 등을 이용할 수 있다. 또, 금을 전극 재료로서 이용한 경우, 전극은 반투명의 상태로 된다. 또, ITO는 IZO 등의 다른 재료라도 좋다. 이 사항은 다른 화소 전극(105)에 대해서도 마찬가지이다.

또, 화소 전극(105) 등에 박막을 증착할 때에는, 아르곤 분위기 중에서 유기 EL 막(15)을 성막하면 좋다. 또한, 화소 전극(105)으로서의 ITO 상에 카본막을 20 이상 50nm 이하로 성막함으로써, 계면의 안정성이 향상하고, 발광 휘도 및 발광 효율도 양호한 것으로 된다. 또한, EL 막(15)은 증착으로 형성하는 것에 한정하는 것은 아니고, 잉크젯으로 형성하더라도 되는 것은 말할 필요도 없다.

또, 봉지덮개(85)와 어레이 기판(71)과의 공간에는 건조제(107)를 배치한다. 이것은, 유기 EL 막(15)은 습도에 약하기 때문이다. 건조제(107)에 밀봉제를 침투하는 수분을 흡수하여 유기 EL 막(15)의 열화를 방지한다.

도 10은 유리의 덮개(85)를 이용하여 봉지하는 구성이지만, 도 11과 같이 필름(박막이어도 좋음. 즉, 박막 봉지막임)(111)을 이용한 봉지이더라도 좋다. 예를 들면, 봉지필름(박막 봉지막)(111)으로서는 전해 콘텐서의 필름에 DLC(diamond like carbon : 다이아몬드 라이크 카본)를 증착한 것을 이용하는 것이 예시된다. 이 필름은 수분 침투성이 극히 불량하다(방습 성능이 높음). 그 때문에, 이 필름을 봉지막(111)으로서 이용한다. 또한, DLC 막 등을 전극(106)의 표면에 직접 증착하는 구성이라도 됨은 말할 필요도 없다. 그 외에, 수지 박막과 금속 박막을 다층으로 적층하여, 박막 봉지막을 구성하더라도 좋다.

박막의 막 두께는 $n \cdot d$ (n 은 박막의 굴절율, 복수의 박막이 적층되어 있는 경우는 그들의 굴절율을 종합(각 박막의 $n \cdot d$ 를 계산)하여 계산함. d 는 박막의 막 두께, 복수의 박막이 적층되어 있는 경우는 그들의 굴절율을 종합하여 계산함)가, EL 소자(15)의 발광 주파장 λ 이하로 되도록 하면 좋다. 이 조건을 만족시킴으로써, EL 소자(15)로부터의 광 취출 효율이, 유리 기판으로 봉지한 경우와 비교하여 2배 이상으로 된다. 또한, 알루미늄과 은의 합금 혹은 혼합물 혹은 적층물을 형성하더라도 좋다.

이상과 같이 덮개(85)를 이용하지 않고, 봉지막(111)으로 봉지하는 구성을 박막 봉지라고 부른다. 기판(71) 측으로부터 광을 취출하는 「하측 취출(도 10을 참조, 광 취출 방향은 도 10의 화살표 방향임)」인 경우의 박막 봉지는, EL 막을 형성한 후, EL 막 상에 캐소드로 되는 알루미늄 전극을 형성한다. 다음에 이 알루미늄막 상에 완충층으로서의 수지층을 형성한다. 완충층으로서는, 아크릴, 에폭시 등의 유기 재료가 예시된다. 또한, 막 두께는 $1\mu\text{m}$ 이상 $10\mu\text{m}$ 이하의 두께가 적합하다. 더욱 바람직하게는, 막 두께는 $2\mu\text{m}$ 이상 $6\mu\text{m}$ 이하의 두께가 적합하다. 이 완충막 상의 봉지막(74)을 형성한다. 완충막이 없으

면, 응력에 의해 EL 막의 구조가 붕괴되어, 줄무늬 형상으로 결함이 발생한다. 봉지막(111)은 상술한 바와 같이, DLC(다아몬드 라이크 카본), 혹은 전계 콘텐서의 층 구조(유전체 박막과 알루미늄 박막을 교대로 다층 증착한 구조)가 예시된다.

EL 층(15) 측으로부터 광을 취출하는 「상측 취출(도 11을 참조, 광 취출 방향은 도 11의 화살표 방향임)」 인 경우의 박막 봉지는, EL 막(15)을 형성한 후, EL 막(15) 상에 캐소드(애노드)로 되는 Ag-Mg막을 20Å 이상 300Å 이하의 막 두께로 형성한다. 그 위에, ITO 등의 투명 전극을 형성하여 저 저항화한다. 다음에 이 전극막 상에 완충층으로서의 수지층을 형성한다. 이 완충막 상에 봉지막(111)을 형성한다.

유기 EL 층(15)으로부터 발생한 광의 절반은, 반사막(106)에서 반사되어, 어레이 기판(71)을 투과하여 출사된다. 그러나, 반사막(106)에 외광이 반사함으로써 편광 반사가 발생하여 표시 콘트라스트가 저하한다. 이 대책을 위해, 어레이 기판(71)에 $\lambda/4$ 판(108) 및 편광판(편광 필름)(109)을 배치하고 있다. 이들은 일반적으로 원편광판(원편광 시트)이라고 불린다.

또, 화소가 반사 전극인 경우는 EL 층(15)으로부터 발생한 광은 상 방향으로 출사된다. 따라서, 위상판(108) 및 편광판(109)은 광 출사 측에 배치하는 것은 말할 필요도 없다. 또, 반사형 화소는, 화소 전극(105)을, 알루미늄, 크롬, 은 등으로 구성될 수 있다. 또한, 화소 전극(105)의 표면에, 볼록부(또는 요철부)를 마련함으로써 유기 EL 층(15)과의 계면이 넓게 되어 발광 면적이 커지고, 또한, 발광 효율이 향상한다. 또, 캐소드(106)(애노드(105))로 되는 반사막을 투명 전극에 형성하거나, 혹은 반사율을 30% 이하로 저감할 수 있는 경우는, 원편광판은 불필요하다. 편광 반사가 대폭 감소하기 때문이다. 또한, 광의 간섭도 저감하는 것으로 되기 때문에 바람직하다.

트랜지스터(11)는 LDD(로우 도핑 드레인) 구조를 채용하는 것이 바람직하다. 또한, 본 명세서에서는 EL 소자로서 유기 EL 소자(OEL, PEL, PLED, OLED 등 다종 다양한 약칭으로 기술됨)(15)를 예로 들어 설명하지만 이것에 한정하는 것은 아니고, 무기 EL 소자에도 적용되는 것은 말할 필요도 없다.

우선, 유기 EL 표시 패널에 이용되는 액티브 매트릭스 방식은,

(1) 특정한 화소를 선택하여, 필요한 표시 정보를 인가되는 것

(2) 1 프레임 기간을 통하여 EL 소자에 전류를 흘릴 수 있는 것이라고 하는 2개의 조건을 만족시키지 않으면 안 된다.

이 2개의 조건을 만족시키기 위해서, 도 62에 도시하는 종래의 유기 EL의 화소 구성에서는, 제 1 트랜지스터(211b)는 화소를 선택하기 위한 스위칭용 트랜지스터, 제 2 트랜지스터(211a)는 EL 소자(EL 막)(215)에 전류를 공급하기 위한 구동용 트랜지스터로 한다.

이 구성을 이용하여 계조를 표시시키는 경우, 구동용 트랜지스터(211a)의 게이트 전압으로서 계조에 따른 전압을 인가할 필요가 있다. 따라서, 구동용 트랜지스터(211a)의 온 전류의 편차가 그대로 표시에 나타난다.

트랜지스터의 온 전류는 단결정으로 형성된 트랜지스터이면, 매우 균일하지만, 염가인 유리 기판에 형성할 수 있는 형성 온도가 450도 이하의 저온 폴리실리콘 기술로 형성한 저온 다결정 트랜지스터에서는, 그 임계값에 $\pm 0.2V \sim 0.5V$ 의 범위에서 편차가 있다. 그 때문에, 구동용 트랜지스터(211a)를 흐르는 온 전류가 이에 대응하여 편차, 표시에 얼룩이 발생한다. 이들의 얼룩은, 임계값 전압의 편차 뿐만 아니라, 트랜지스터의 이동도, 게이트 절연막의 두께 등에서도 발생한다. 또한, 트랜지스터(211)의 열화에 의해서도 특성은 변화한다.

이 현상은, 저온 폴리실리콘 기술에 한정되는 것이 아니라, 프로세스 온도가 450도(섭씨) 이상의 고온 폴리실리콘 기술에서도, 고상(CGS) 성장시킨 반도체막을 이용하여 트랜지스터 등을 형성한 것에서도 발생한다. 그 외에, 유기 트랜지스터에서도 발생한다. 비정질 실리콘 트랜지스터에서도 발생한다. 따라서, 이하에 설명하는 본 발명은, 이들의 기술에 대응하여, 대책 할 수 있는 구성 혹은 방식이다. 또, 본 명세서에서는 저온 폴리실리콘 기술로 형성한 트랜지스터를 주로 설명한다.

도 62와 같이, 전압을 기입하는 것에 의해, 계조를 표시시키는 방법에서는, 균일한 표시를 얻기 위해서, 장치의 특성을 염밀하게 제어할 필요가 있다. 그러나, 현상의 저온 다결정 폴리실리콘 트랜지스터 등에서는 이 편차를 소정 범위 이내로 억제한다고 하는 요구를 만족할 수 없다.

본 발명의 EL 표시 장치의 화소 구조는, 구체적으로는 도 1에 도시하는 바와 같이, 단위 화소가 4개의 트랜지스터(11) 및 EL 소자에 의해 형성된다. 화소 전극은 소스 신호선과 겹치도록 구성한다. 즉, 소스 신호선(18) 상에 절연막 혹은 아크릴

재료로 이루어지는 평탄화막을 형성하여 절연하고, 이 절연막상에 화소 전극(105)을 형성한다. 이와 같이 소스 신호선(18)상의 적어도 일부에 화소 전극을 포개는 구성을 하이 애퍼처(hight aperture : HA) 구조라고 부른다. 불필요한 간섭 광 등이 저감하여, 양호한 발광 상태를 기대할 수 있다.

게이트 신호선(제 1 주사선)(17a)에 대해 게이트 신호를 출력하여 액티브(ON 전압을 인가)로 하는 것에 의해 EL 소자(15)의 구동용의 트랜지스터(11a) 및 스위치용 트랜지스터(11c)를 통해서, 상기 EL 소자(15)에 흐르게 할 전류값을 소스드라이버(14)로부터 흐른다. 또한, 트랜지스터(11a)의 게이트와 드레인 사이를 단락하도록, 게이트 신호선(17a)을 액티브(ON 전압을 인가)로 하는 것에 의해 트랜지스터(11b)를 개방함과 동시에, 트랜지스터(11a)의 게이트와 소스 사이에 접속된 콘덴서(캐패시터, 축적 용량, 부가 용량)(19)에 트랜지스터(11a)의 게이트 전압(혹은 드레인 전압)을 기억한다(도 3의 (a)의 것을 참조).

또, 트랜지스터(11a)의 소스(S)-게이트(G)간의 용량(콘덴서)(19)은 0.2pF 이상의 용량으로 하는 것이 바람직하다. 다른 구성으로서, 별도, 콘덴서(19)를 형성하는 구성도 예시된다. 즉, 콘덴서 전극충과 게이트 절연막 및 게이트 금속으로 축적 용량을 형성하는 구성이다. 트랜지스터(11c)의 리크에 의한 휘도 저하를 방지하는 관점, 표시 동작을 안정화시키기 위한 관점으로부터는 이와 같이 별도의 콘덴서를 구성하는 쪽이 바람직하다.

또한, 콘덴서(축적 용량)(19)의 크기는, 0.2pF 이상 2pF 이하로 하는 것이 바람직하고, 그 중에서도 콘덴서(축적 용량)(19)의 크기는, 0.4pF 이상 1.2pF 이하로 하는 것이 바람직하다. 화소 사이즈를 고려하여 콘덴서(19)의 용량을 결정한다. 1 화소에 필요한 용량을 $C_s(\text{pF})$ 로 하고, 1 화소가 차지하는 면적(개구율은 아님)을 $S_p(\text{평방 }\mu\text{m})$ 로 하면, $500/S \leq C_s \leq 20000/S$ 로 하고, 더욱 바람직하게는, $1000/S_p \leq C_s \leq 10000/S_p$ 로 되도록 한다. 또, 트랜지스터의 게이트 용량은 작기 때문에, 여기서 말하는 Q란, 축적 용량(콘덴서)(19) 단독의 용량이다.

콘덴서(19)는 인접하는 화소간의 비표시 영역에 대략 형성하는 것이 바람직하다. 일반적으로, 풀 컬러 유기 EL 소자(15)를 작성하는 경우, 유기 EL 층(15)을 금속 마스크에 의한 마스크 증착으로 형성하기 때문에 마스크 위치 어긋남에 의한 EL 층의 형성 위치가 발생한다. 위치 어긋남이 발생하면 각 색의 유기 EL 층(15R, 15G, 15B)가 겹칠 위험성이 있다. 그 때문에, 각 색의 인접하는 화소간의 비표시 영역은 $10\mu\text{m}$ 이상 떨어지지 않으면 안 된다. 이 부분은 발광에 기여하지 않는 부분으로 된다. 따라서, 축적 용량(19)을 이 영역에 형성하는 것은 개구율 향상을 위해 유효한 수단으로 된다.

다음에, 게이트 신호선(17a)을 비액티브(OFF 전압을 인가), 게이트 신호선(17b)을 액티브로 하여, 전류가 흐르는 경로를 상기 제 1 트랜지스터(11a) 및 EL 소자(15)에 접속된 트랜지스터(11d) 및 EL 소자(15)를 포함하는 경로로 전환하여, 상술한 바와 같이 하여 기억한 전류를 상기 EL 소자(15)에 흘리도록 동작한다(도 3의 (b)의 것을 참조).

이 회로는 1 화소 내에 4개의 트랜지스터(11)를 갖고 있고, 트랜지스터(11a)의 게이트는 트랜지스터(11b)의 소스에 접속되어 있다. 또한, 트랜지스터(11b) 및 트랜지스터(11c)의 게이트는 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b)의 드레인은 트랜지스터(11c)의 드레인 및 트랜지스터(11d)의 소스에 접속되고, 트랜지스터(11c)의 소스는 소스 신호선(18)에 접속되어 있다. 트랜지스터(11d)의 게이트는 게이트 신호선(17b)에 접속되고, 트랜지스터(11d)의 드레인은 EL 소자(15)의 애노드 전극에 접속되어 있다.

또, 도 1에서는 모든 트랜지스터가 P 채널로 구성되어 있다. P 채널은 N 채널의 트랜지스터에 비교하여 다소 모빌리티(mobility)가 낮지만, 내압이 크고 또한 열화도 발생하기 어렵기 때문에 바람직하다. 그러나, 본 발명은 EL 소자 구성은 P 채널로 구성하는 것에만 한정하는 것은 아니다. N 채널만으로 구성하더라도 좋다. 또한, N 채널과 P 채널의 양쪽을 이용하여 구성하더라도 좋다.

또한, 도 1에 있어서 트랜지스터(11c, 11b)는 동일한 극성으로 구성하고, 또한 N 채널로 구성하며, 트랜지스터(11a, 11d)는 P 채널로 구성하는 것이 바람직하다. 일반적으로 P 채널 트랜지스터는 N 채널 트랜지스터와 비교하여, 신뢰성이 높고, 킹크(kink) 전류가 적은 등의 특징이 있어, 전류를 제어함으로써 목적으로 하는 발광 강도를 얻는 EL 소자(15)에 대해서는, 트랜지스터(11a)를 P 채널로 하는 효과가 크다.

최적으로는 화소를 구성하는 트랜지스터(11)를 모두 P 채널로 형성하고, 내장 게이트 드라이버(12)도 P 채널로 형성하는 것이 바람직하다. 이와 같이 어레이를 P 채널만의 트랜지스터로 형성함으로써, 마스크 매수가 5매로 되어, 저 비용화, 고 양품율화를 실현할 수 있다.

이하, 또한 본 발명의 이해를 용이하게 하기 위해서, 본 발명의 EL 소자 구성에 대해 도 3을 이용하여 설명한다. 본 발명의 EL 소자 구성은 2개의 타이밍에 의해 제어된다. 제 1 타이밍은 필요한 전류값을 기억시키는 타이밍이다. 이 타이밍에서 트

랜지스터(11b) 및 트랜지스터(11c)를 ON으로 하는 것에 의해, 등가 회로로서 도 3의 (a)로 된다. 여기서, 신호선으로부터 소정의 전류 I_w 가 기입된다. 이에 따라 트랜지스터(11a)는 게이트와 드레인의 접속된 상태로 되어, 이 트랜지스터(11a)와 트랜지스터(11c)를 통하여 전류 I_w 가 흐른다. 따라서, 트랜지스터(11a)의 게이트-소스간의 전압은 전류 I_w 가 흐르는 것과 같은 전압으로 된다.

제 2 타이밍은 트랜지스터(11b)와 트랜지스터(11c)가 폐쇄되고, 트랜지스터(11d)가 개방하는 타이밍이며, 그 때의 등가 회로는 도 3의 (b)로 된다. 트랜지스터(11a)의 소스-게이트간의 전압은 유지된 채로 된다. 이 경우, 트랜지스터(11a)는 항상 포화 영역에서 동작하기 때문에, I_w 의 전류는 일정하게 된다.

이와 같이 동작시키면, 도 5에 도시하는 바와 같이 된다. 도 5의 (a)의 (51a)는 표시 화면(50)에 있어서의, 소정의 시각에서의 전류 프로그램되어 있는 화소(행)(기입 화소(행))를 나타내고 있다. 이 화소(행)(51a)는, 도 5의 (b)에 도시하는 바와 같이, 비접등(비표시 화소(행))으로 한다. 다른 화소(행)는 표시 화소(행)(53)로 한다(표시 화소(행)(53)의 EL 소자(15)에는 전류가 흘러, EL 소자(15)가 발광하고 있음).

도 1의 화소 구성의 경우, 도 3의 (a)에 도시하는 바와 같이, 전류 프로그램 시에는, 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 트랜지스터(11a)를 흘려, 전류 I_w 를 흐르는 전압이 유지되도록, 콘덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘리는 기간은 도 3의 (b)와 같이, 트랜지스터(11c, 11b)가 오프하고, 트랜지스터(11d)가 온 한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되어, 트랜지스터(11b, 11c)가 오프한다. 한편, 게이트 신호선(17d)에 온 전압(V_{g1})이 인가되어, 트랜지스터(11d)가 온한다.

이 타이밍차트를 도 4에 나타낸다. 또, 도 4 등에 있어서, 괄호 내의 첨자(예를 들면, (1) 등)는 화소 행의 행 번호를 나타내고 있다. 즉, 게이트 신호선(17a)(1)이란, 화소 행(1)의 게이트 신호선(17a)을 나타내고 있다. 또한, 도 4의 상단의 *H ('*'에는 임의의 기호, 수치가 적합하며, 수평 주사선의 번호를 나타냄)이란, 수평 주사 기간을 나타내고 있다. 즉, 1H란 제 1 번째의 수평 주사 기간이다. 또, 이상의 사항은, 설명을 용이하게 하기 위한 것으로서, 1H의 번호, 1H 주기, 화소 행의 행 번호의 순서 등을 한정하는 것은 아니다.

도 4에서 알 수 있는 바와 같이, 각 선택된 화소 행(선택 기간은, 1H로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압이 인가되어 있는 때에는, 게이트 신호선(17b)에는 오프 전압이 인가되어 있다. 이 기간은, EL 소자(15)에는 전류가 흐르고 있지 않다(비접등 상태). 한편, 선택되어 있지 않은 화소 행에 있어서, 게이트 신호선(17a)에 오프 전압이 인가되고, 게이트 신호선(17b)에는 온 전압이 인가되어 있다. 이 기간은, EL 소자(15)에 전류가 흐르고 있다(점등 상태).

또, 트랜지스터(11b)의 게이트와 트랜지스터(11c)의 게이트는 동일한 게이트 신호선(17a)에 접속하고 있다. 그러나, 트랜지스터(11b)의 게이트와 트랜지스터(11c)의 게이트를 상이한 게이트 신호선(도 32에 있어서의 게이트 신호선(17a, 17c)에 각각 접속하더라도 좋음. 이 경우, 1 화소의 게이트 신호선은 3개로 된다(도 1의 구성은 2개임). 트랜지스터(11b)의 게이트의 ON/OFF 타이밍과 트랜지스터(11c)의 게이트의 ON/OFF 타이밍을 개별적으로 제어함으로써, 트랜지스터(11a)의 편차에 의한 EL 소자(15)의 전류값 편차를 더 저감할 수 있다.

게이트 신호선(17a)과 게이트 신호선(17b)을 공통으로 하여, 트랜지스터(11c와 11d)를 상이한 도전형(N 채널과 P 채널)으로 하면, 구동 회로의 간략화를 도모할 수 있어, 화소의 개구율을 향상시킬 수 있다.

이와 같이 구성하면 본 발명의 동작 타이밍으로서는 신호선으로부터의 기입 경로가 오프로 된다. 즉, 소정의 전류가 기억될 때에, 전류가 흐르는 경로에 분기가 있으면 정확한 전류값이 트랜지스터(11a)의 소스(S)-게이트(G)간의 용량(콘덴서)에 기억되지 않는다. 트랜지스터(11c)와 트랜지스터(11d)를 상이한 도전형으로 한 경우, 서로의 임계값을 제어함으로써 주사선이 전환되는 타이밍에서 반드시 트랜지스터(11c)가 오프한 후에, 트랜지스터(11d)가 온한다고 하는 동작이 가능하게 된다.

단, 이 경우 서로의 임계값을 정확하게 제어할 필요가 있기 때문에 프로세스에는 충분한 주의를 할 필요가 있다. 또, 이상 서술한 회로는 최저 4개의 트랜지스터로 실현 가능하지만, 보다 정확한 타이밍 제어를 실현하기 위해서, 또는 후술하는 바와 같이 미러 효과 저감을 위해서, 트랜지스터(11e)를 도 2에 도시하는 바와 같이, 캐소드 접속하는 구성으로 하여 트랜지스터의 총수가 4 이상으로 되더라도 동작 원리는 동일하다. 이와 같이 트랜지스터(11e)를 부가한 구성으로 하는 것에 의해, 트랜지스터(11c)를 거쳐서 프로그램한 전류를 보다 정밀하게 EL 소자(15)에 흐를 수 있게 된다.

트랜지스터(11a)의 특성의 편차는 트랜지스터 사이즈에 상관이 있다. 특성편차를 작게 하기 위해서, 제 1 트랜지스터(11a)의 채널 길이가 $5\mu m$ 이상 $100\mu m$ 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 제 1 트랜지스터(11a)의 채널 길이가 $10\mu m$ 이상 $50\mu m$ 이하로 하는 것이 바람직하다. 이것은, 채널 길이 L을 길게 한 경우, 채널에 포함되는 임계가 증대하는 것에 의해서 전계가 완화되어 킹크 효과가 낮게 억제되기 때문이라고 생각된다.

또한, 화소를 구성하는 트랜지스터(11)가, 레이저 재결정화 방법(레이저 어닐링)에 의해 형성된 폴리실리콘 트랜지스터로 형성되고, 모든 트랜지스터에 있어서의 채널 방향이 레이저의 조사 방향에 대해 동일한 방향인 것이 바람직하다. 또한, 레이저는 동일 개소를 2회 이상 스캔하여 반도체막을 형성하는 것이 바람직하다.

본 발명의 목적은, 트랜지스터 특성의 편차가 표시에 영향을 부여하지 않는 회로 구성을 제안하는 것으로, 그 때문에 4 이상의 트랜지스터가 필요하게 된다. 이들 트랜지스터의 특성에 의해 회로 정수를 결정하는 경우, 4개의 트랜지스터의 특성이 갖추어지지 않으면, 적절한 회로 정수를 구하기 어렵다. 레이저 조사의 긴 축 방향에 대해, 채널 방향이 수평의 경우와 수직의 경우에는, 트랜지스터 특성의 임계값과 이동도가 상이하게 형성된다. 또, 어느 쪽의 경우에도 편차의 정도는 동일하다. 수평 방향과, 수직 방향에서는 이동도, 임계값의 평균치가 상이하다. 따라서, 화소를 구성하는 모든 트랜지스터의 채널 방향은 동일한 쪽이 바람직하다.

또한, 축적 용량(19)의 용량값을 C_s , 제 2 트랜지스터(11b)의 오프 전류값을 I_{off} 로 한 경우, 다음 식을 만족시키는 것이 바람직하다.

$$3 < C_s/I_{off} < 24$$

또한, 다음 식을 만족시키는 것이 보다 바람직하다.

$$6 < C_s/I_{off} < 18$$

트랜지스터(11b)의 오프 전류를 $5pA$ 이하로 하는 것에 의해, EL을 흐르는 전류값의 변화를 2% 이하로 억제하는 것이 가능하다. 이것은 리크 전류가 증가하면, 전압 비기입 상태에 있어서 게이트-소스간(콘덴서의 양단)에 축적된 전하를 1 펠드간 유지할 수 없기 때문이다. 따라서, 콘덴서(19)의 축적용 용량이 크면 오프 전류의 허용량도 커진다. 상기 식을 만족하는 것에 대해서 인접 화소간의 전류값의 변동을 2% 이하로 억제할 수 있다.

또한, 액티브 매트릭스를 구성하는 트랜지스터가 p-ch 폴리실리콘 박막 트랜지스터로 구성되고, 트랜지스터(11b)를 듀얼 게이트 이상인 멀티 게이트 구조로 하는 것이 바람직하다. 트랜지스터(11b)는, 트랜지스터(11a)의 소스-드레인간의 스위치로서 작용하기 때문에, 가능한 한 ON/OFF 비가 높은 특성이 요구된다. 트랜지스터(11b)의 게이트 구조를 듀얼 게이트 구조 이상의 멀티 게이트 구조로 하는 것에 의해 ON/OFF 비가 높은 특성을 실현할 수 있다.

화소(16)의 트랜지스터(11)를 구성하는 반도체막은, 저온 폴리실리콘 기술에 있어서, 레이저 어닐링에 의해 형성하는 것이 일반적이다. 이 레이저 어닐링의 조건의 편차가 트랜지스터(11)의 특성의 편차로 된다. 그러나, 1 화소(16) 내의 트랜지스터(11)의 특성이 일치하고 있으면, 도 1 등의 전류 프로그램을 행하는 방식에서는, 소정의 전류가 EL 소자(15)에 흐르도록 구동할 수 있다. 이 점은, 전압 프로그램에 없는 이점이다. 여기서 레이저로서는 엑시머 레이저를 이용하는 것이 바람직하다.

또, 본 발명에 있어서, 반도체막의 형성은, 레이저 어닐링 방법에 한정하는 것은 아니고, 열 어닐링 방법, 고상(CGS) 성장에 의한 방법이라도 좋다. 그 외에, 저온 폴리실리콘 기술에 한정하는 것은 아니고, 고온 폴리실리콘 기술을 이용해도 좋은 것은 말할 필요도 없다.

이 과제에 대해, 본 발명에서는 도 7에 도시하는 바와 같이, 어닐링 시의 레이저 조사 스폿(레이저 조사 범위)(72)을 소스 신호선(18)에 평행하게 조사한다. 또한, 1 화소 열에 일치하도록 레이저 조사 스폿(72)을 이동시킨다. 물론, 1 화소 열에 한정하는 것은 아니고, 예를 들면, RGB를 1 화소(16)라는 단위로 레이저를 조사하더라도 좋다(이 경우는, 3 화소 열이라는 것으로 됨). 또한, 복수의 화소에 동시에 조사하더라도 좋다. 또한, 레이저 조사 범위의 이동이 오버랩하더라도 되는 것은 말할 필요도 없다(통상, 이동하는 레이저광의 조사 범위는 오버랩하는 것이 보통임).

화소는 RGB의 3 화소로 정방형의 형상으로 되도록 제작되어 있다. 따라서, R, G, B의 각 화소는 세로 길이의 화소 형상으로 된다. 따라서, 레이저 조사 스폿(72)을 세로 길이로 하여 어닐링함으로써, 1 화소 내에서는 트랜지스터(11)의 특성 편차

가 발생하지 않도록 할 수 있다. 또한, 하나의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성(모빌리티, V_t , $S_{\text{값}}$ 등)을 균일하게 할 수 있다(즉, 인접한 소스 신호선(18)의 트랜지스터(11)와는 특성이 상이한 경우가 있지만, 하나의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성은 거의 동등하게 할 수 있음).

일반적으로 레이저 조사 스폟(72)의 길이는 10인치 등과 같이 고정값이다. 이 레이저 조사 스폟(72)을 이동시키는 것이기 때문에, 하나의 레이저 조사 스폟(72)을 이동할 수 있는 범위 내에 수용되도록 패널을 배치할 필요가 있다(즉, 패널의 표시 영역(50)의 중앙부에서 레이저 조사 스폟(72)이 겹치지 않도록 함).

도 7에 나타내는 구성에서는, 레이저 조사 스폟(72)의 길이의 범위 내에 3개의 패널이 세로로 배치되도록 형성되어 있다. 레이저 조사 스폟(72)을 조사하는 어닐링 장치는 유리 기판(74)의 위치 결정 마커(73a, 73b)를 인식(패턴 인식에 의한 자동 위치 결정)하여 레이저 조사 스폟(72)을 이동시킨다. 위치 결정 마커(73)의 인식은 패턴 인식 장치에서 실행한다. 어닐링 장치(도시하지 않음)는 위치 결정 마커(73)를 인식하여, 화소 열의 위치를 산출해 낸다(레이저 조사 범위(72)가 소스 신호선(18)과 평행하게 되도록 함). 화소 열 위치에 겹치도록 레이저 조사 스폟(72)을 조사하여 어닐링을 순차적으로 실행한다.

도 7에서 설명한 레이저 어닐링 방법(소스 신호선(18)에 평행하게 라인 형상의 레이저 스폟을 조사하는 방식)은, 유기 EL 표시 패널의 전류 프로그램 방식 시에 채용하는 것이 특히 바람직하다. 왜냐하면, 소스 신호선에 평행 방향으로 트랜지스터(11)의 특성이 일치하고 있기 때문이다(세로 방향으로 인접한 화소 트랜지스터의 특성이 근사하고 있음). 그 때문에, 전류 구동 시에 소스 신호선의 전압 레벨의 변화가 적고, 전류 기입 부족이 발생하기 어렵다.

예를 들면, 백 래스터(raster) 표시이면, 인접한 각 화소의 트랜지스터(11a)에 흐르는 전류는 거의 동일하므로, 소스 드라이버(14)로부터 출력하는 전류 진폭의 변화가 적다. 만약, 도 1의 트랜지스터(11a)의 특성이 동일하며, 각 화소에 전류 프로그램하는 전류값이 화소 열에서 동등한 것이면, 전류 프로그램 시의 소스 신호선(18)의 전위는 일정하다. 따라서, 소스 신호선(18)의 전위 변동은 발생하지 않는다. 하나의 소스 신호선(18)에 접속된 트랜지스터(11a)의 특성이 거의 동일하면, 소스 신호선(18)의 전위 변동은 작은 것으로 된다. 이 것은, 도 38 등의 다른 전류 프로그램 방식의 화소 구성이라도 동일하다(즉, 도 7의 제조 방법을 적용하는 것이 바람직함).

또한, 도 27, 도 30 등에서 설명하는 복수의 화소 행을 동시 기입하는 방식으로 균일한 화상 표시를 실현할 수 있다. 이것은, 주로 트랜지스터 특성의 편차에 기인하는 표시 얼룩이 발생하기 어렵기 때문이다. 도 27 등은 복수 화소 행은 동시에 선택하기 때문에, 인접한 화소 행의 트랜지스터가 균일하면, 세로 방향의 트랜지스터 특성 얼룩은 드라이버 회로(14)에서 흡수할 수 있다.

또, 도 7에 나타내는 바와 같이, 소스 드라이버(14)는, IC 칩을 적재하여 형성되어 있지만, 이것에 한정하는 것은 아니고, 소스 드라이버(14)를 화소(16)와 동일 프로세스로 형성하더라도 되는 것은 말할 필요도 없다.

본 발명에서는 특히, 트랜지스터(11b)의 임계 전압 V_{th2} 가 화소 내에서 대응하는 트랜지스터(11a)의 임계 전압 V_{th1} 보다 낮게 되지 않도록 설정되어 있다. 예컨대, 트랜지스터(11b)의 게이트 길이 L_2 를 트랜지스터(11a)의 게이트 길이 L_1 보다도 길게 하고, 이들의 박막 트랜지스터의 프로그램 파라미터가 변동하더라도, V_{th2} 가 V_{th1} 보다도 낮게 되지 않도록 한다. 이에 따라, 미소한 전류 리크를 억제하는 것이 가능하다.

또, 이상의 사항은, 도 38에 도시하는 커런트 미러의 화소 구성에도 적용할 수 있다. 도 38에서는, 신호 전류가 흐르는 구동 용 트랜지스터(11a), EL 소자(15) 등으로 이루어지는 발광 소자에 흐르는 구동 전류를 제어하는 구동용 트랜지스터(11b) 이외에, 게이트 신호선(17a1)의 제어에 의해서 화소 회로와 데이터선 data를 접속 또는 차단하는 취입용 트랜지스터(11c), 게이트 신호선(17a2)의 제어에 의해서 기입 기간 동안에 트랜지스터(11a)의 게이트·드레인을 단락하는 스위치용 트랜지스터(11d), 트랜지스터(11a)의 게이트-소스간의 전압의 기입 종료 후에도 유지하기 위한 축적 용량(19) 및 발광 소자로서의 EL 소자(15) 등으로 구성된다.

도 38에서 트랜지스터(11c, 11d)는 N 채널 트랜지스터로, 그 밖의 트랜지스터는 P 채널 트랜지스터로 각각 구성하고 있지만, 이것은 일례로서, 반드시 이와 같을 필요는 없다. 축적 용량(19)은, 그 한쪽의 단자가 트랜지스터(11a)의 게이트에 접속되고, 다른쪽의 단자가 Vdd(전원 전위)에 접속되어 있지만, Vdd에 한하지 않고 임의의 일정 전위라도 좋다. EL 소자(15)의 캐소드(음극)는 접지 전위에 접속되어 있다.

다음에, 본 발명의 EL 표시 패널 및 EL 표시 장치에 대해 설명을 한다. 도 6은 EL 표시 장치의 회로를 중심으로 한 설명도이다. 화소(16)가 매트릭스 형상으로 배치 또는 형성되어 있다. 각 화소(16)에는 각 화소의 전류 프로그램을 행하는 전류를

출력하는 소스 드라이버(14)가 접속되어 있다. 소스 드라이버(14)의 출력단은 계조 데이터인 화상 신호의 비트 수에 대응한 커런트 미러 회로가 형성되어 있다(이후에 설명함). 예를 들어, 64 계조이면, 63개의 커런트 미러 회로가 각 소스 신호 선에 형성되고, 이들의 커런트 미러 회로의 개수를 선택함으로써 소망하는 전류를 소스 신호선(18)에 인가할 수 있도록 구성되어 있다.

또, 하나의 커런트 미러 회로의 최소 출력 전류는 10nA 이상 50nA 이하로 하고 있다. 특히, 커런트 미러 회로의 최소 출력 전류는 15nA 이상 35nA 이하로 하는 것이 바람직하다. 소스 드라이버(14) 내의 커런트 미러 회로를 구성하는 트랜지스터의 정밀도를 확보하기 위해서이다.

또한, 소스 드라이버(14)는, 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 또는 방전 회로를 내장한다. 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 또는 방전 회로의 전압(전류) 출력값은, R, G, B에서 독립적으로 설정할 수 있도록 구성되어 있는 것이 바람직하다. EL 소자(15)의 임계값이 RGB에서 상이하기 때문이다.

유기 EL 소자는 큰 온도 의존성 특성이 있는 것으로 알려져 있다. 이 온도 특성에 의한 발광 휘도 변화를 조정하기 위해서, 커런트 미러 회로에 출력 전류를 변화시키는 서비스터 혹은 포지스터 등의 비직선 소자를 부가하여, 온도 의존성 특성에 의한 변화를 상기 서비스터 등으로 조정함으로써 아날로그적으로 기준 전류를 작성한다.

본 발명에 있어서, 소스 드라이버(14)는 반도체 칩으로 형성되어 있고, 클래스 온칩(COG) 기술로 기판(71)의 소스 신호선(18)의 단자와 접속되어 있다. 소스 신호선(18) 등의 신호선의 배선은 크롬, 동, 알루미늄, 은 등의 금속 배선이 이용된다. 가는 배선 폭으로 저 저항의 배선을 얻을 수 있기 때문이다. 배선은 화소가 반사형인 경우는 화소의 반사막을 구성하는 재료로, 반사막과 동시에 형성하는 것이 바람직하다. 공정을 간략화할 수 있기 때문이다.

소스 드라이버(14)의 실장은, COG 기술에 한정하는 것은 아니고, 칩온필름(COF) 기술에 전술한 소스 드라이버(14) 등을 적재하여, 표시 패널의 신호선과 접속한 구성으로 해도 좋다. 또한, 드라이브 IC는 전원 IC(82)를 별도 제작하고, 3 칩 구성으로 해도 좋다.

한편, 게이트 드라이버(12)는 저온 폴리실리콘 기술로 형성되어 있다. 즉, 화소의 트랜지스터와 동일한 프로세스로 형성하고 있다. 이것은, 소스 드라이버(14)와 비교하여 내부의 구조가 용이하고, 동작 주파수도 낮기 때문이다. 따라서, 저온 폴리실리콘 기술을 이용해도 용이하게 게이트 드라이버(12)를 형성할 수 있고, 이것에 의해 협베젤화를 실현할 수 있다. 물론, 게이트 드라이버(12)를 실리콘 텁으로 형성하여, COG 기술 등을 이용하여 기판(71) 상에 실장하더라도 되는 것은 말할 필요도 없다. 또한, 화소 트랜지스터 등의 스위칭 소자, 게이트 드라이버 등은 고온 폴리실리콘 기술로 형성하더라도 좋고, 유기 재료로 형성(유기 트랜지스터)하더라도 좋다.

게이트 드라이버(12)는 게이트 신호선(17a)용의 시프트 레지스터 회로(61a)와, 게이트 신호선(17b)용의 시프트 레지스터 회로(61b)를 내장한다. 각 시프트 레지스터 회로(61)는 정상(正相) 및 부상(負相)의 클럭 신호(CLKxP, CLKxN), 스타트 펄스(start pulse)(STx)로 제어된다. 그 외에, 게이트 신호선의 출력, 비(非)출력을 제어하는 인에이블(ENABL) 신호, 시프트 방향을 상하 역전하는 업 다운(up down)(UPDWM) 신호를 부가하는 것이 바람직하다. 그 외에, 스타트 펄스가 시프트 레지스터에 시프트되고, 그리고 출력되고 있는 것을 확인하는 출력 단자 등을 마련하는 것이 바람직하다. 또, 시프트 레지스터의 시프트 타이밍은 콘트롤 IC(81)로부터의 제어 신호로 제어된다. 또한, 외부 데이터의 레벨 시프트를 행하는 레벨 시프트 회로를 내장한다. 또한, 검사 회로를 내장한다.

시프트 레지스터 회로(61)의 버퍼 용량은 작기 때문에, 직접적으로는 게이트 신호선(17)을 구동할 수 없다. 그 때문에, 시프트 레지스터 회로(61)의 출력과 게이트 신호선(17)을 구동하는 출력 게이트(63) 사이에는 적어도 2개 이상의 인버터 회로(62)가 형성되어 있다.

소스 드라이버(14)를 저온 폴리실리콘 등의 폴리실리콘 기술로 기판(71) 상에 직접 형성하는 경우도 마찬가지이며, 소스 신호선(18)을 구동하는 트랜스퍼 게이트 등의 아날로그 스위치의 게이트와 소스 드라이버(14)의 시프트 레지스터 사이에는 복수의 인버터 회로가 형성된다. 이하의 사항(시프트 레지스터의 출력과, 신호선을 구동하는 출력단(출력 게이트 혹은 트랜스퍼 게이트 등의 출력단) 사이에 배치되는 인버터 회로에 관한 사항)은, 소스 드라이버 및 게이트 드라이버에 공통의 사항이다.

예를 들면, 도 6에서는 소스 드라이버(14)의 출력이 직접 소스 신호선(18)에 접속되어 있는 바와 같이 도시하였지만, 실제로는, 소스 드라이버의 시프트 레지스터의 출력은 다단의 인버터 회로에 접속되고, 인버터의 출력이 트랜스퍼 게이트 등의 아날로그 스위치의 게이트에 접속되어 있다.

인버터 회로(62)는 P 채널의 MOS 트랜지스터와 N 채널의 MOS 트랜지스터로 구성된다. 앞에서도 설명한 바와 같이 게이트 드라이버(12)의 시프트 레지스터 회로(61)의 출력단에는 인버터 회로(62)가 다단으로 접속되어 있고, 그 최종 출력이 출력 게이트 회로(63)에 접속되어 있다. 또, 인버터 회로(62)는 P 채널만으로 구성하더라도 좋다. 단, 이 경우는, 인버터가 아니라 단순한 게이트 회로로서 구성하더라도 좋다.

도 8은 본 발명의 표시 장치의 신호, 전압의 공급의 구성도 혹은 표시 장치의 구성도이다. 콘트롤 IC(81)로부터 소스 드라이버(14a)에 공급하는 신호(전원 배선, 데이터 배선 등)는 플렉서블 기판(84)을 거쳐서 공급한다.

도 8에서는 게이트 드라이버(12)의 제어 신호는 콘트롤 IC(81)에서 발생시키고, 소스 드라이버(14)에서, 레벨 시프트를 행한 후, 게이트 드라이버(12)에 인가하고 있다. 소스 드라이버(14)의 구동 전압은 4~8(V)이므로, 콘트롤 IC(81)로부터 출력된 3.3(V) 진폭의 제어 신호를, 게이트 드라이버(12)가 수취하는 것이 가능한 5(V) 진폭으로 변환할 수 있다.

소스 드라이버(14) 내에는 화상 메모리를 마련하는 것이 바람직하다. 화상 메모리의 화상 데이터는 오차 확산 처리 혹은 디서(dither) 처리를 행한 후의 데이터를 메모리하더라도 좋다. 오차 확산 처리, 디서 처리 등을 행하는 것에 의해, 26만색 표시 데이터를 4096색 등으로 변환할 수 있어, 화상 메모리의 용량을 작게 할 수 있다. 오차 확산 처리 등은 오차 확산 콘트롤러(81)로 실행할 수 있다. 또한, 디서 처리를 행한 후, 오차 확산 처리를 더 행하더라도 좋다. 이상의 사항은, 역오차 확산 처리에도 적용된다.

또, 도 8 등에 있어서 (14)를 소스 드라이버로 기재하였지만, 간단한 드라이버 뿐만 아니라, 전원 회로, 버퍼 회로(시프트 레지스터 등의 회로를 포함함), 데이터 변환 회로, 래치 회로, 커맨드 디코더, 시프트 회로, 어드레스 변환 회로, 화상 메모리 등을 내장시키더라도 좋다. 또, 도 8 등에서 설명하는 구성에 있어서도, 도 9 등에서 설명하는 3변 프리 구성(구조), 구동 방식 등을 적용할 수 있는 것은 말할 필요도 없다.

표시 패널을 휴대형 전화기 등의 정보 표시 장치에 사용하는 경우, 소스 드라이버(회로)(14), 게이트 드라이버(회로)(12)를 도 9에 도시하는 바와 같이, 표시 패널의 한 변에 실장(형성)하는 것이 바람직하다(또, 이와 같이 한 변에 드라이버 IC(회로)를 실장(형성)하는 형태를 3변 프리 구성(구조)이라고 부름. 종래에는, 표시 영역의 X 변에 게이트 드라이버(12)가 실장되고, Y 변에 소스 드라이버(14)가 실장되어 있었음). 화면(50)의 중심선이 표시 장치의 중심으로 되도록 설계하기 용이하고, 또한, 드라이버 IC의 실장도 용이하게 되기 때문이다. 또, 게이트 드라이버를 고온 폴리실리콘 혹은 저온 폴리실리콘 기술 등으로 3변 프리 구성으로 제조하더라도 좋다(즉, 도 9의 소스 드라이버(14) 및 게이트 드라이버(12)중, 적어도 한쪽을 폴리실리콘 기술로 기판(71)에 직접 형성함).

또, 3변 프리 구성이란, 기판(71)에 직접 IC을 적재 혹은 형성한 구성 뿐만 아니라, 소스 드라이버(회로)(14), 게이트 드라이버(회로)(12) 등을 부착한 필름(TCP, TAB 기술 등)을 기판(71)의 한 변(또는 거의 한 변)에 부착한 구성도 포함한다. 즉, 2변에 IC가 실장 혹은 부착되어 있지 않은 구성, 배치 혹은 그것에 유사한 전부를 의미한다.

도 9와 같이 게이트 드라이버(12)를 소스 드라이버(14)의 옆에 배치하면, 게이트 신호선(17)은 변 C를 따라서 형성할 필요가 있다.

또, 도 9 등에 있어서 굵은 실선으로 도시한 개소는 게이트 신호선(17)이 병렬하여 형성되어 있는 개소를 나타내고 있다. 따라서, b의 부분(화면 하부)은 게이트 신호선의 개수분의 게이트 신호선(17)이 병렬하여 형성되고, a의 부분(화면 상부)은 게이트 신호선(17)이 1개 형성되어 있다.

C 변에 형성하는 게이트 신호선(17)의 피치는 $5\mu m$ 이상 $12\mu m$ 이하로 한다. $5\mu m$ 미만에서는 인접 게이트 신호선에 기생 용량의 영향에 의해 노이즈가 더해지게 된다. 실험에 의하면 $7\mu m$ 이하에서 기생 용량의 영향이 현저하게 발생한다. 또한 $5\mu m$ 미만에서는 표시 화면에 페트 형상 등의 화상 노이즈가 심하게 발생한다. 특히 노이즈의 발생은 화면의 좌우에서 상이하고, 이 페트 형상 등의 화상 노이즈를 저감하는 것은 곤란하다. 또한, 저감 $12\mu m$ 을 초과하면 표시 패널의 베젤폭 D가 너무 크게 되어 실용적이지 않다.

전술한 화상 노이즈를 저감하기 위해서는, 게이트 신호선(17)을 형성한 부분의 하층 혹은 상층에, 그라운드 패턴(일정 전압으로 전압 고정 혹은 전체로서 안정한 전위로 설정되고 있는 도전 패턴)을 배치함으로써 저감할 수 있다. 또한, 별도 마련한 쉴드판(쉴드박(일정 전압으로 전압 고정 혹은 전체로서 안정한 전위로 설정되어 있는 도전 패턴))을 게이트 신호선(17) 상에 배치하면 좋다.

도 9의 C 변의 게이트 신호선(17)은 ITO 전극으로 형성하더라도 좋지만, 저 저항화하기 때문에, ITO와 금속 박막을 적층하여 형성하는 것이 바람직하다. 또한, 금속막으로 형성하는 것이 바람직하다. ITO와 적층하는 경우에는, ITO 상에 티탄막을 형성하여, 그 위에 알루미늄 혹은 알루미늄과 몰리브덴의 합금 박막을 형성한다. 또는 ITO 상에 크롬막을 형성한다. 금속막의 경우에는, 알루미늄 박막, 크롬 박막으로 형성한다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

또, 도 9 등에 있어서, 게이트 신호선(17) 등은 표시 영역의 한 쪽에 배치한다고 하였지만 이것에 한정되는 것은 아니고, 양쪽에 배치하더라도 좋다. 예를 들면, 게이트 신호선(17a)을 표시 영역(50)의 우측에 배치(형성)하고, 게이트 신호선(17b)을 표시 영역(50)의 좌측에 배치(형성)하더라도 좋다. 이상의 사항은 다른 실시예에서도 마찬가지이다.

또한, 소스 드라이버(14)와 게이트 드라이버(12)를 1칩화하더라도 좋다. 1칩화하면, 표시 패널로의 IC 칩의 실장이 1개로도 된다. 따라서, 실장 비용도 저감할 수 있다. 또한, 1칩 드라이버 IC 내에서 사용하는 각종 전압도 동시에 발생할 수 있다.

또, 소스 드라이버(14), 게이트 드라이버(12)는 실리콘 등의 반도체 웨이퍼로 제작하여, 표시 패널에 실장한다고 하였지만 이것에 한정하는 것은 아니며, 저온 폴리실리콘 기술, 고온 폴리실리콘 기술에 의해 표시 패널(82)에 직접 형성하더라도 되는 것은 말할 필요도 없다.

도 1 등에서 나타낸 구성에서는 EL 소자(15)는 트랜지스터(11a)를 거쳐서 Vdd 전위에 접속되어 있다. 그러나, 각 색을 구성하는 유기 EL(20)의 구동 전압이 상이하다고 하는 문제가 있다. 예를 들면, 단위 평방 센티미터 당 0.01(A)의 전류를 흘린 경우, 파랑(B)에서는 EL 소자의 단자 전압은 5(V)이지만, 초록(G) 및 빨강(R)에서는 9(V)이다. 즉, 단자 전압이 B와 G, R에서 상이하다. 따라서, B와 G 및 R에서는 유지하는 트랜지스터(11a)의 소스-드레인(in) 전압(SD 전압)이 상이하다. 그 때문에, 각 색에서 트랜지스터의 소스-드레인(in) 전압(SD 전압)간의 오프 리크 전류가 상이한 것으로 된다. 오프 리크 전류가 발생하고, 또한 오프 리크 특성이 각 색에서 상이하면, 색 밸런스가 어긋난 상태에서 플리커(flicker)가 발생한다, 발광 색에 상관하여 감마 특성이 어긋난다고 하는 복잡한 표시 상태로 된다.

이 과제에 대응하기 위해서, 적어도 R, G, B 색 중, 하나의 캐소드 전극의 전위를 다른 색의 캐소드 전극의 전위와 상이하게 하도록 구성하고 있다. 또는 R, G, B 색 중, 하나의 Vdd의 전위를 다른 색의 Vdd의 전위와 상이하게 하도록 구성하고 있다.

R, G, B의 EL 소자(15)의 단자 전압은 매우 일치시키는 것이 바람직한 것은 말할 필요도 없다. 적어도, 백 피크 휘도를 표시하고 있고, 색 온도가 7000K 이상 12000K 이하의 범위에서, R, G, B의 EL 소자의 단자 전압은 10(V) 이하로 되도록 재료 혹은 구조의 선정을 할 필요가 있다. 또한, R, G, B 중, EL 소자의 최대의 단자 전압과 최소의 단자 전압의 차는, 2.5(V) 이내로 할 필요가 있다. 더욱 바람직하게는 이 차를 1.5(V) 이하로 할 필요가 있다. 또, 이상의 실시예에서는, 색은 RGB로 하였지만 이것에 한정하는 것은 아니다. 이것은 이후에 설명한다.

또, 화소는, R, G, B의 3원색으로 하였지만 이것에 한정하는 것은 아니고, 시안, 황색, 마젠타의 3색이라도 좋다. 또한, B와 황색의 2색이라도 좋다. 물론, 단색이라도 좋다. 또한, R, G, B, 시안, 황색, 마젠타의 6색이라도 좋다. R: G, B, 시안, 마젠타의 5색이라도 좋다. 이들은 천연색(natural color)으로서 색 재현범위가 확대하여 양호한 표시를 실현할 수 있다. 그 외에, R, G, B, 백의 4색이라도 좋다. R, G, B, 시안, 황색, 마젠타, 흑, 백의 7색이라도 좋다. 또한, 백색 발광의 화소를 표시 영역(50) 전체에 형성(제작)하여, RGB 등의 컬러 필터로 3원색 표시로 해도 좋다. 이 경우는, EL 층에 각 색의 발광 재료를 적층하여 형성하면 좋다. 또한, 1 화소를 B 및 황색과 같이 나누어 칠하더라도 좋다. 이상과 같이 본 발명의 EL 표시 장치는, RGB의 3원색으로 컬러 표시를 행하는 것에 한정되는 것은 아니다.

유기 EL 표시 패널의 컬러화에는 주로 3개의 방식이 있고, 색 변환 방식은 이 중 하나이다. 발광층으로서 청색만의 단층을 형성하면 좋고, 풀 컬러화에 필요한 나머지의 녹색과 적색은, 청색광으로부터 색 변환에 의해서 만들어낸다. 따라서, RGB의 각 층을 나누어 칠할 필요가 없고, RGB의 각 색의 유기 EL 재료를 구비할 필요가 없다고 하는 이점이 있다. 색 변환 방식은, 나누어 칠하는 방식과 같이 양품을 저하가 없다. 본 발명의 EL 표시 패널 등은 이 어느 쪽의 방식도 적용 가능하다.

또한, 3원색 이외에, 백색 발광의 화소를 형성하더라도 좋다. 백색 발광의 화소는 R, G, B 발광의 구조를 적층함으로써 제작(형성 또는 구성)함으로써 실현할 수 있다. 1 세트의 화소는, RGB의 3원색과, 백색 발광의 화소(16W)로 이루어진다. 백색 발광의 화소를 형성함으로써, 백색의 피크 휘도가 표현하기 용이하게 된다. 따라서, 밝기가 선명한 화상 표시를 실현할 수 있다.

RGB 등의 3원색을 1 세트의 화소를 하는 경우이더라도, 각 색의 화소 전극의 면적을 상이하게 한 것이 바람직하다. 물론, 각 색의 발광 효율이 벨런스 좋고, 색 순도도 벨런스가 좋으면, 동일 면적이라도 무방하다. 그러나, 하나 또는 복수의 색의 벨런스가 나쁘면, 화소 전극의 발광 면적을 조정하는 것이 바람직하다. 각 색의 전극 면적은 전류 밀도를 기준으로 결정하면 좋다. 즉, 색 온도가 7000 K(켈빈) 이상 12000K 이하의 범위에서, 화이트 벨런스를 조정하였을 때, 각 색의 전류 밀도의 차가 ±30% 이내로 되도록 한다. 더욱 바람직하게는 ±15% 이내로 되도록 한다. 예를 들면, 전류 밀도가 100A/평방미터라고 하면, 3원색이 모두 70A/평방미터 이상 130A/평방미터 이하로 되도록 한다. 더욱 바람직하게는, 3원색이 모두 85 A/평방미터 이상 115A/평방미터 이하로 되도록 한다.

유기 EL(15)은 자기 발광 소자이다. 이 발광에 의한 광이 스위칭 소자로서의 트랜지스터에 입사하면 핫 컨덕터(hot conductor) 현상이 발생한다. 핫 컨덕터란, 광 여기에 의해 트랜지스터 등의 스위칭 소자의 오프 시에서의 리크(오프 리크)가 증대하는 현상을 말한다.

이 과제에 대처하기 위해서, 본 발명에서는 게이트 드라이버(12)(경우에 따라서는 소스 드라이버(14))의 하층, 화소 트랜지스터(11)의 하층에 차광막을 형성하고 있다. 차광막은 크롬 등의 금속 박막으로 형성하여, 그 막 두께는 50nm 이상 150nm 이하로 한다. 막 두께가 얇으면 차광 효과가 모자라고, 두꺼우면 요철이 발생하여 상층의 트랜지스터(11a)의 패터닝이 곤란하게 된다.

차광막 상에 20nm 이상 100nm 이하의 무기 재료로 이루어지는 평활화막을 형성한다. 이 차광막의 레이어(layer)를 이용하여 축적 용량(19)의 한쪽 전극을 형성하더라도 좋다. 이 경우, 평활막은 매우 얇게 하여 축적 용량의 용량값을 크게 하는 것이 바람직하다. 또한, 차광막을 알루미늄으로 형성하고, 양극 산화 기술을 이용하여 산화 실리콘막을 차광막의 표면에 형성하며, 이 산화 실리콘막을 축적 용량(19)의 유전체막으로서 이용하더라도 좋다. 평활화막 상에는 하이 애피치(HA) 구조의 화소 전극이 형성된다.

드라이버 회로(12) 등은 이면 뿐만 아니라, 표면으로부터의 광의 진입도 억제해야 한다. 핫 컨덕터 현상의 영향에 의해 오동작하기 때문이다. 따라서, 본 발명에서는, 캐소드 전극이 금속막의 경우에는, 드라이버(12) 등의 표면에도 캐소드 전극을 형성하여, 이 전극을 차광막으로서 이용하고 있다.

그러나, 드라이버(12)의 위에 캐소드 전극을 형성하면, 이 캐소드 전극부터의 전계에 의한 드라이버의 오동작 혹은 캐소드 전극과 드라이버 회로의 전기적 접촉이 발생할 가능성이 있다. 이 과제에 대처하기 위해서, 본 발명에서는 드라이버 회로(12) 등의 위에 적어도 1층, 바람직하게는 복수 층의 유기 EL 막을 화소 전극상의 유기 EL 막 형성과 동시에 형성한다.

기본적으로 유기 EL 막은 절연물이므로, 드라이버 상에 유기 EL 막을 형성함으로써, 캐소드와 드라이버 사이가 격리된다. 따라서, 전술의 과제를 해소할 수 있다.

화소의 1개 이상의 트랜지스터(11)의 단자간 혹은 트랜지스터(11)와 신호선이 단락하면, EL 소자(15)가 상시, 점등하는 것으로 되어, 이러한 화소가 휘점으로 되는 경우가 있다. 이 휘점은 시각적으로 눈에 띄기 때문에 흑점화(비점등)할 필요가 있다. 휘점에 대해서는, 해당 화소(16)를 검출하여, 콘덴서(19)에 레이저 광을 조사하여 콘덴서의 단자간을 단락시킨다. 따라서, 콘덴서(19)에는 전하를 유지할 수 없게 되므로, 트랜지스터(11a)는 전류를 흘리지 않게 할 수 있다.

또, 레이저 광을 조사하는 위치에 상당하는 캐소드막을 제거해 놓는 것이 바람직하다. 레이저 조사에 의해, 콘덴서(19)의 단자 전극과 캐소드막이 쇼트하는 것을 방지하기 위해서이다.

화소(16)의 트랜지스터(11)의 결합은, 드라이버 회로(14) 등에도 영향을 준다. 예컨대, 도 56에서는 구동용 트랜지스터(11a)에 소스-드레인(SD) 쇼트(562)가 발생하고 있으면, 패널의 Vdd 전압이 소스 드라이버(14)에 인가된다. 따라서, 소스 드라이버(14)의 전원 잔압은, 패널의 전원 전압 Vdd와 동일하거나 또는 높게 해 놓는 것이 바람직하다. 또, 소스 드라이버(14)에서 사용하는 기준 전류는 전자 불륨(561)에서 조정할 수 있도록 구성해 놓은 것이 바람직하다.

트랜지스터(11a)에 SD 쇼트(562)가 발생하고 있으면, EL 소자(15)에 과대한 전류가 흐른다. 즉, EL 소자(15)가 상시 점등 상태(휘점)로 된다. 휘점은 결합으로서 눈에 띄기 쉽다. 예를 들면, 도 56에 있어서, 트랜지스터(11a)의 소스-드레인(SD) 쇼트가 발생하고 있으면, 트랜지스터(11a)의 게이트(G) 단자 전위의 대소에 관계없이, Vdd 전압으로부터 EL 소자(15)에 전류가 상시 흐른다(트랜지스터(11d)가 온인 때). 따라서, EL 소자(15)가 휘점으로 된다.

또한, 트랜지스터(11a)에 SD 셀트가 발생하고 있으면, 트랜지스터(11c)가 온 상태인 때, Vdd 전압이 소스 신호선(18)에 인가되어 소스 드라이버(14)에 Vdd 전압이 인가된다. 만약 소스 드라이버(14)의 전원 전압이 Vdd 이하이면, 내압을 초과하여, 소스 드라이버(14)가 파괴될 우려가 있다. 그 때문에, 소스 드라이버(14)의 전원 전압은 Vdd 전압(패널이 높은 쪽의 전압) 이상으로 하는 것이 바람직하다.

트랜지스터(11a)의 SD 셀트 등은, 점 결합으로 머물지 않고, 패널의 소스 드라이버의 파괴로 이어질 우려가 있고, 또한, 휘점은 눈에 띄기 때문에 패널로서는 불량으로 된다. 따라서, 트랜지스터(11a)와 EL 소자(15) 사이를 접속하는 배선을 절단하여, 휘점을 흑점 결합으로 할 필요가 있다. 이 절단에는, 레이저 광 등의 광학 수단을 이용하여 절단하면 좋다.

또, 이상의 실시예는 배선을 절단시킨다고 하였지만, 흑 표시하기 위해서는 이것에 한정되는 것은 아니다. 예를 들면, 도 1에서도 알 수 있는 바와 같이, 트랜지스터(11a)의 전원 Vdd가, 트랜지스터(11a)의 게이트(G) 단자에 상시 인가되도록 수정하더라도 좋다. 예를 들면, 콘덴서(19)의 2개의 전극간을 셀트시키면, Vdd 전압이 트랜지스터(11a)의 게이트(G) 단자에 인가되게 된다. 따라서, 트랜지스터(11a)는 완전히 오프 상태로 되어, EL 소자(15)에 전류를 흘리지 않게 할 수 있다. 이것은, 콘덴서(19)에 레이저 광을 조사함으로써 콘덴서 전극을 셀트할 수 있기 때문에, 용이하게 실현할 수 있다.

또한, 실제로는, 화소 전극의 하층에 Vdd 배선이 배치되어 있으므로, Vdd 배선과 화소 전극에 레이저 광을 조사함으로써, 화소의 표시 상태를 제어(수정)할 수 있다.

그 외에, 트랜지스터(11a)의 SD간(채널)을 오픈으로 하는 것도 실현할 수 있다. 간단하게는 트랜지스터(11a)에 레이저 광을 조사하여, 트랜지스터(11a)의 채널을 오픈으로 한다. 마찬가지로, 트랜지스터(11d)의 채널을 오픈으로 해도 좋다. 물론, 트랜지스터(11b)의 채널을 오픈으로 한 경우, 해당 화소(16)가 선택되지 않기 때문에, 흑 표시로 된다.

화소(16)를 흑 표시로 하기 위해서는, EL 소자(15)를 열화시키더라도 좋다. 예를 들면, 레이저 광을 EL 층(15)에 조사하여, EL 층(15)을 물리적으로 혹은 화학적으로 열화시켜, 발광하지 않도록 한다(상시 흑 표시). 레이저 광의 조사에 의해 EL 층(15)을 가열하여, 용이하게 열화시킬 수 있다. 또한, 엑시머 레이저를 이용하면, EL 막(15)의 화학적 변화를 용이하게 실행할 수 있다.

또, 이상의 실시예는, 도 1에 도시한 화소 구성을 예시하였지만, 본 발명은 이것에 한정하는 것은 아니다. 레이저 광을 이용하여 배선 혹은 전극을 오픈 혹은 셀트시키는 것은, 커런트 미러 등의 다른 전류 구동의 화소 구성 혹은 도 62, 도 51 등에 도시되어 있는 전압 구동의 화소 구성으로서도 적용할 수 있는 것은 말할 필요도 없다.

이하, 도 1에 나타내는 화소 구성에 대해, 그 구동 방법에 대해 설명을 한다. 도 1에 도시하는 바와 같이, 게이트 신호선(17a)은 행 선택 기간에 도통 상태(여기서는 도 1의 트랜지스터(11)가 p 채널 트랜지스터이기 때문에 로우 레벨로 도통으로 됨)로 되고, 게이트 신호선(17b)은 비선택 기간 시에 도통 상태로 한다.

소스 신호선(18)에는 기생 용량(도시하지 않음)이 존재한다. 기생 용량은, 소스 신호선(18)과 게이트 신호선(17)의 크로스 부의 용량, 트랜지스터(11b, 11c)의 채널 용량 등에 의해 발생한다.

소스 신호선(18)의 전류값 변화에 요하는 시간 t 는, 기생 용량의 크기를 C , 소스 신호선(18)의 전압을 V , 소스 신호선(18)에 흐르는 전류를 I 라고 하면 $t = C \cdot V / I$ 이다. 그 때문에, 전류값을 10배 크게 하는 것에 의해 전류값 변화에 요하는 시간을 10분의 1 가까이까지 짧게 할 수 있다. 또는 소스 신호선(18)의 기생 용량이 10배로 되어도 소정의 전류값으로 변화시킬 수 있다는 것을 나타내고 있다. 따라서, 짧은 수평 주사 기간 내에 소정의 전류값을 기입하기 위해서는 전류값을 증가시키는 것이 유효하다.

또, 소스 신호선(18)의 기생 용량의 총/방전을 행하기 위해서는, $I > (C \cdot V) / t$ 의 관계를 충족하는 전류값 I 를 소스 신호선(18)에 흘리게 하면 좋다.

그런데, 입력 전류를 10배로 하면 출력 전류도 10배로 된다. 그러나, 이 경우, EL의 휘도도 10배로 되기 때문에, 소정의 휘도를 얻을 수 없다. 그래서, 본 발명에서는, 도 1의 트랜지스터(17d)의 도통 기간을 종래의 10분의 1로 하고, EL 소자(15)의 발광 기간을 10분의 1로 함으로써, 소정의 휘도를 실현하도록 하였다.

즉, 소스 신호선(18)의 기생 용량의 총/방전을 충분히 실행하여, 소정의 전류값을 화소(16)의 트랜지스터(11a)에 프로그램하기 위해서는, 소스 드라이버(14)로부터 비교적 큰 전류를 출력할 필요가 있다. 그러나, 이와 같이 큰 전류를 소스 신호선

(18)에 훌리면 이 전류값이 화소에 프로그램되게 되어, 소정의 전류에 대해 큰 전류가 EL 소자(15)에 흐른다. 예를 들면, 10배의 전류로 프로그램하면, 당연, 10배의 전류가 EL 소자(15)에 흘러, EL 소자(15)는 10배의 휘도로 발광한다. 소정의 발광 휘도로 하기 위해서는, EL 소자(15)에 흐르는 시간을 1/10으로 하면 좋다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충/방전할 수 있어, 소정의 발광 휘도를 얻을 수 있다.

또, 10배의 전류값을 화소의 트랜지스터(11a)(정확하게는 콘덴서(19)의 단자 전압을 설정하고 있음)에 기입하여, EL 소자(15)의 온 시간을 1/10으로 한다고 하였지만 이것은 일례이다. 경우에 따라서는, 10배의 전류값을 화소의 트랜지스터(11a)에 기입하여, EL 소자(15)의 온 시간을 1/5로 해도 좋다. 또한, 10배의 전류값을 화소의 트랜지스터(11a)에 기입하여, EL 소자(15)의 온 시간을 1/2배로 하는 경우도 있을 것이다.

본 발명은, 화소로의 기입 전류를 소정값 이외의 값으로 하여, EL 소자(15)에 흐르는 전류를 간헐 상태로 하여 구동하는 것에 특징이 있다. 본 명세서에서는 설명을 용이하게 하기 위해서, 소정의 전류의 N배의 전류를 화소의 트랜지스터(11)에 기입하여, EL 소자(15)의 온 시간을 1/N배로 하는 것으로 하여 설명한다. 그러나, 이것에 한정하는 것은 아니고, N배의 전류를 화소의 트랜지스터(11)에 기입하여, EL 소자(15)의 온 시간을 1/(N2)배(N과 N2는 상이함)로도 되는 것은 말할 필요도 없다.

여기서, 상기 소정의 전류란, 화상 신호가 나타내는 계조 표시를 실현하기 위해서 필요하게 되는 전류이다. 이 소정의 전류의 전류값은, EL 표시 장치의 사양 등에 따라서 상이하지만, 예컨대 휘도 150nt를 실현하는 경우에는 0.25~0.75 μ A 정도이다. 따라서, N=4의 경우이면, 트랜지스터(11)에 기입되는 전류값은 1~3 μ A 정도로 된다. 마찬가지로 해서, N=8의 경우이면 상기 전류값은 2~6 μ A로 되고, N=2의 경우이면 상기 전류값은 0.5~1.5 μ A로 된다.

또, 간헐하는 간격은 등간격으로 한정하는 것은 아니다. 예를 들면, 랜덤하게 해도 좋다(전체로서, 표시 기간 또는 비표시 기간이 소정값(일정 비율)으로 되면 좋음). 또한, RGB에서 상이하더라도 좋다. 즉, 백(화이트) 밸런스가 최적으로 되도록, R, G, B 표시 기간 또는 비표시 기간이 소정값(일정 비율)으로 되도록 조정(설정)하면 좋다.

또한, 설명을 용이하게 하기 위해서, 1/N이란, 1F(1 필드 또는 1 프레임 기간)를 기준으로 하여 이 1F를 1/N으로 하는 것으로 하여 설명한다. 그러나, 1 화소 행이 선택되어, 전류값이 프로그램되는 시간(통상, 1 수평 주사 기간(IH))이 있고, 또한, 주사 상태에 따라서는 오차도 발생한다. 따라서, 이상의 설명은 어디까지나 설명을 용이하게 하기 위한 편의상의 문제일 뿐이며, 이것에 한정하는 것은 아니다.

예를 들면, N=10배의 전류로 화소(16)에 전류를 프로그램하여, 1/5의 기간 동안, EL 소자(15)를 점등시키더라도 좋다. EL 소자(15)는, 10/5=2배의 휘도로 점등한다. 반대로, N=2배의 전류로 화소(16)에 전류를 프로그램하여, 1/4의 기간 동안, EL 소자(15)를 점등시켜도 좋다. EL 소자(15)는, 2/4=0.5배의 휘도로 점등한다. 즉, 본 발명은, N=1배가 아닌 전류로 프로그램하고, 또한, 상시 점등(1/1, 즉, 간헐 구동이 아님) 상태 이외의 표시를 실시하는 것이다. 또한, 넓은 의미로는, EL 소자(15)에 공급하는 전류를 1 프레임(혹은 1 필드)의 기간에 있어서, 적어도 1회, 오프로 하는 구동 방식이다. 또한, 소정값보다도 큰 전류를 화소(16)에 프로그램하여, 적어도, 간헐 표시를 실시하는 구동 방식이다.

유기(무기) EL 표시 장치는, CRT와 같이 전자총으로 선 표시의 집합으로서 화상을 표시하는 디스플레이와는 표시 방법이 기본적으로 상이한 점에도 문제가 있다. 즉, EL 표시 장치에서는, 1F(1 필드 혹은 1 프레임)의 기간의 사이는, 화소에 기입한 전류(전압)를 유지한다. 그 때문에, 동화상 표시를 행하면 표시 화상의 흐릿한 윤곽이 발생한다고 하는 과제가 발생한다.

본 발명에서는, 1F/N의 기간의 동안만, EL 소자(15)에 전류를 훌리고, 다른 기간(IF(N-1)/N)에는 전류를 훌리지 않는다. 이 구동 방식을 실시하여 화면의 일점을 관측한 경우를 생각한다. 이 표시 상태에서는 1F마다 화상 데이터 표시, 혹은 표시(비점등)가 반복하여 표시된다. 즉, 화상 데이터의 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태로 된다. 동화상 데이터 표시를, 이 간헐 표시 상태에서 보면 화상의 흐릿한 윤곽이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다. 또한, 간헐 표시를 실현하지만, 회로의 메인 클럭은 종래와 변함이 없다. 따라서, 회로의 소비 전력이 증가하는 것도 없다.

액정 표시 패널의 경우는, 광 변조를 하는 화상 데이터(전압)는 액정층에 유지된다. 따라서, 흑 삽입 표시를 실시하고자 하면 액정층에 인가하고 있는 데이터를 리라이트할 필요가 있다. 그 때문에, 소스 드라이버(14)의 동작 클럭을 높게 하여, 화상 데이터와 흑 표시 데이터를 교대로 소스 신호선(18)에 인가할 필요가 있다. 따라서, 흑 삽입(흑 표시 등의 간헐 표시)을 실현하고자 하면 회로의 메인 클럭을 높일 필요가 있다. 또한, 시간축 신장을 실시하기 위한 화상 메모리도 필요하게 된다.

도 1, 도 2, 및 도 38 등에 나타내는 본 발명의 EL 표시 패널의 화소 구성에서는, 화상 데이터는 콘텐서(19)에 유지되어 있다. 이 콘텐서(19)의 단자 전압에 대응하는 전류를 EL 소자(15)에 흘린다. 따라서, 화상 데이터는 액정 표시 패널과 같이 광변조층에 유지되어 있는 것은 아니다.

본 발명은 스위칭의 트랜지스터(11d), 혹은 트랜지스터(11e) 등을 온/오프시키는 것만으로 EL 소자(15)에 흘리는 전류를 제어한다. 즉, EL 소자(15)에 흐르는 전류 I_w 를 오프로 하더라도, 화상 데이터는 그대로 콘텐서(19)에 유지되어 있다. 따라서, 다음 타이밍에서 스위칭 소자(11d) 등을 온시켜, EL 소자(15)에 전류를 흘리면, 그 흐르는 전류는 전에 흐르고 있던 전류값과 동일하다. 본 발명에서는 흑 삽입(흑 표시 등의 간헐 표시)을 실현할 때에 있어서도, 회로의 메인 클럭을 올릴 필요가 없다. 또한, 시간축 신장을 실시할 필요도 없기 때문에 화상 메모리도 불필요하다. 또한, 유기 EL 소자(15)는 전류를 공급하고 나서 발광하기까지의 시간이 짧고, 고속으로 응답한다. 그 때문에, 동화상 표시에 적합하고, 또한 간헐 표시를 실시함으로써, 종래의 데이터 유지형의 표시 패널(액정 표시 패널, EL 표시 패널 등)의 문제인 동화상 표시의 문제를 해결할 수 있다.

또한, 대형의 표시 장치에서 소스 용량이 커지는 경우는 소스 전류를 10배 이상으로 해 주면 좋다. 일반적으로 소스 전류값을 N 배로 한 경우, 게이트 신호선(17b)(트랜지스터(11d))의 도통 기간을 1F/N으로 하면 좋다. 이에 따라 텔레비전, 모니터용의 표시 장치 등에도 적용이 가능하다.

이하, 도면을 참조하면서, 본 발명의 구동 방법에 대해 더 상세하게 설명을 한다. 소스 신호선(18)의 기생 용량은, 이웃하는 소스 신호선(18) 사이의 결합 용량, 소스 드라이브 IC(회로)(14)의 버퍼 출력 용량, 게이트 신호선(17)과 소스 신호선(18)의 크로스 용량 등에 의해 발생한다. 이 기생 용량은 통상 10pF 이상으로 된다. 전압 구동의 경우는, 드라이버 IC(14)로부터는 저 임피던스로 전압이 소스 신호선(18)에 인가되기 때문에, 기생 용량이 다소 크더라도 구동에는 문제로 되지 않는다.

그러나, 전류 구동에서는 특히 흑 레벨의 화상 표시에서는 20nA 이하의 미소 전류로 화소의 콘텐서(19)를 프로그램할 필요가 있다. 따라서, 기생 용량이 소정값 이상의 크기로 발생하면, 1 화소 행에 프로그램하는 시간(통상, 1H 이내, 단, 2 화소 행을 동시에 기입하는 경우도 있으므로 1H 이내에 한정되는 것이 아님) 내에 기생 용량을 충/방전할 수 없다. 그러나, 1H 기간에서 충/방전할 수 있게 되면, 화소로의 기입 부족으로 되어, 소망하는 해상도에서의 표시를 실현할 수 없다.

도 1의 화소 구성의 경우, 도 3의 (a)에 도시하는 바와 같이, 전류 프로그램 시는, 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 트랜지스터(11a)를 흘려, 전류 I_w 를 흐르는 전압이 유지되도록, 콘텐서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘리는 기간은 도 3의 (b)와 같이, 트랜지스터(11c, 11b)가 오프하여, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되어, 트랜지스터(11b, 11c)가 오프한다. 한편, 게이트 신호선(17b)에 온 전압(V_{gl})이 인가되어, 트랜지스터(11d)가 온한다.

현재, 전류 I_w 가 본래 흐를 전류(소정값)의 10배라고 하면, 도 3의 (b)의 EL 소자(15)에 흐르는 전류도 소정값의 10배로 된다. 따라서, 소정값의 10배의 휘도로 EL 소자(15)는 발광하는 것으로 된다. 즉, 도 12에 도시하는 바와 같이, 배율 N 을 높게 할수록, 표시 패널의 표시 휘도 B 도 높게 된다. 따라서, 휘도와 배율이란 비례 관계로 된다. 한편, $1/N$ 로 구동함으로써, 휘도와 배율은 반비례의 관계로 된다.

그래서, 트랜지스터(11d)를 본래 온하는 시간(약 1F)의 $1/N$ 의 기간만큼 온시키고, 다른 기간 ($(N-1)/N$) 기간은 오프시키면, 1F 전체의 평균 휘도는 소정의 휘도로 된다. 이 표시 상태는, CRT가 전자총으로 화면을 주사하고 있는 것에 근사한다. 상이한 점은, 화상을 표시하고 있는 범위가 화면 전체의 $1/N$ (전체 화면을 1로 한함이 점등하고 있는 점이다(CRT에서는, 점등하고 있는 범위는 1 화소 행(엄밀하게는 1 화소)임).

본 발명에서는, 이 $1/N$ 의 화상 표시 영역(53)이 도 13의 (b)에 도시하는 바와 같이 화면(50)의 위로부터 밑으로 이동한다. 본 발명에서는, 1F/N의 기간 동안에만, EL 소자(15)에 전류가 흐르고, 다른 기간 ($(1F \cdot (N-1))/N$)은 전류가 흐르지 않는다. 따라서, 각 화소는 간헐 표시로 된다. 그러나, 인간의 눈에는 잔상에 의해 화상이 유지된 상태로 되기 때문에, 전체 화면이 균일하게 표시되어 있는 것과 같이 보인다.

또, 도 13에 도시하는 바와 같이, 기입 화소 행(51a)은 비점등 표시(52a)로 한다. 그러나, 이것은, 도 1, 도 2 등의 화소 구성의 경우이다. 도 38 등에서 도시하는 커런트 미러의 화소 구성에서는, 기입 화소 행(51a)은 점등 상태로 해도 좋다. 그러나, 본 명세서에서는, 설명을 용이하게 하기 위해서, 주로, 도 1의 화소 구성을 예시하여 설명을 한다. 또한, 도 13, 도 16 등의 소정 구동 전류 Iw보다도 큰 전류로 프로그램하여, 간헐 구동하는 구동 방법을 N배 펠스 구동이라고 부른다.

이 표시 상태에서는 1F마다 화상 데이터 표시, 혹 표시(비점등)가 반복 표시된다. 즉, 화상 데이터의 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태로 된다. 액정 표시 패널(및 본 발명 이외의 EL 표시 패널)에서는, 1F의 기간, 화소에 데이터가 유지되어 있기 때문에, 동화상 표시의 경우는 화상 데이터가 변화하더라도 그 변화에 추종할 수 없고, 흐릿한 동화상으로 되어 있었다(화상의 흐릿한 윤곽). 그러나, 본 발명에서는 화상을 간헐 표시하기 위해서, 화상의 흐릿한 윤곽이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

이 타이밍차트를 도 14에 나타낸다. 또, 본 발명 등에 있어서, 특히 설명을 하지 않을 때의 화소 구성은 도 1에 나타낸 것이다. 도 14에서 알 수 있는 바와 같이, 각 선택된 화소 행(선택 기간은, 1H로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압(Vgl)이 인가되어 있는 때(도 14의 (a)를 참조)에는, 게이트 신호선(17b)에는 오프 전압(Vgh)이 인가되어 있다(도 14의 (b)를 참조). 이 기간은, EL 소자(15)에는 전류가 흐르고 있지 않다(점등 상태). 한편, 선택되어 있지 않은 화소 행에 있어서는, 게이트 신호선(17a)에 오프 전압(Vgh)이 인가되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가되어 있다. 이 기간은, EL 소자(15)에 전류가 흐르고 있다(점등 상태). 또한, 점등 상태에서는, EL 소자(15)는 소정의 N배의 휘도(N·B)로 점등하고, 그 점등 기간은 1F/N이다. 따라서, 1F를 평균한 표시 패널의 표시 휘도는, $(N \cdot B) \times (1/N) = B$ (소정 휘도)로 된다.

도 15는, 도 14의 동작을 각 화소 행에 적용한 실시예이다. 게이트 신호선(17)에 인가하는 전압 파형을 나타내고 있다. 전압 파형은 오프 전압을 Vgh(H 레벨)로 하고, 온 전압을 Vgl(L 레벨)로 하고 있다. (1), (2) 등의 첨자는 선택하고 있는 화소 행의 행 번호를 나타내고 있다.

도 15에 있어서, 게이트 신호선(17a)(1)가 선택되고(Vgl 전압), 선택된 화소 행의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배(설명을 용이하게 하기 위해서, N=10으로 하여 설명함. 물론, 소정값이란 화상을 표시하는 데이터 전류이므로, 백 래스터 표시 등이 아닌 한 고정값이 아님)이다. 따라서, 콘덴서(19)에는 10배의 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소 행(1)이 선택되어 있을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(1)은 오프 전압(V9h)이 인가되어, EL 소자(15)에는 전류가 흐르지 않는다.

1H 후에는, 게이트 신호선(17a)(2)가 선택되어(Vgl 전압), 선택된 화소 행의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배(설명을 용이하게 하기 위해서, N=10으로서 설명함)이다. 따라서, 콘덴서(19)에는 10배의 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소 행(2)이 선택되어 있는 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(2)은 오프 전압(V9h)이 인가되어, EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 전면의 화소 행(1)의 게이트 신호선(17a)(1)에는 오프 전압(Vgh)이 인가되고, 게이트 신호선(17b)(1)에는 온 전압(Vgl)이 인가되기 때문에, 점등 상태로 되어 있다.

다음의 1H 후에는, 게이트 신호선(17a)(3)이 선택되어, 게이트 신호선(17b)(3)은 오프 전압(Vgh)이 인가되어, 화소 행(3)의 EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 이전의 화소 행(1)(2)의 게이트 신호선(17a)(1)(2)에는 오프 전압(V9h)이 인가되어, 게이트 신호선(17b)(1)(2)에는 온 전압(Vgl)이 인가되기 때문에, 점등 상태로 되어 있다.

이상의 동작을 1H의 동기 신호에 동기하여 화상을 표시하여 간다. 그러나, 도 15의 구동 방식에서는, EL 소자(15)에는 10배의 전류가 흐른다. 따라서, 표시 화면(50)은 약 10배의 휘도로 표시된다. 물론, 이 상태에서 소정의 휘도 표시를 행하기 위해서는, 프로그램 전류를 1/10으로 해 두면 되는 것은 말할 필요도 없다. 그러나, 1/10의 전류이면 기생 용량 등에 의해 기입 부족이 발생하기 때문에, 높은 전류로 프로그램하여, 혹 화면(52)의 삽입에 의해 소정의 휘도를 얻는 것이 본 발명의 기본적인 주지이다.

그런데, 본 발명의 구동 방법에 있어서는, 소정 전류보다도 높은 전류가 EL 소자(15)에 흐르도록 하고, 소스 신호선(18)의 기생 용량을 충분히 충/방전하는 것이 요점이다. 따라서, EL 소자(15)에 소정 전류의 N배의 전류를 흘리지 않더라도 좋다. 예를 들면, EL 소자(15)에 병렬로 전류 경로를 형성하여(더미의 EL 소자를 형성하고, 이 EL 소자는 차광막을 형성하여 발광시키지 않는 등의 처리를 실시함), 더미 EL 소자와 EL 소자(15)로 나누어 전류를 흘리더라도 좋다. 예를 들면, 신호 전류가 $0.2\mu A$ 인 때, 프로그램 전류를 $2.2\mu A$ 로 하여, 트랜지스터(11a)에는 $2.2\mu A$ 를 흘린다. 이 전류 중, 신호 전류 $0.2\mu A$ 를 EL

소자(15)에 흘려, $2\mu\text{A}$ 를 더미의 EL 소자에 흘리는 등의 방식이 예시된다. 즉, 도 27의 더미 화소 행(281)을 상시 선택 상태로 한다. 또, 더미 화소 행은 발광시키지 않거나, 또는 차광막 등을 형성하여, 발광하고 있더라도 시각적으로 보이지 않도록 구성한다.

이상과 같이 구성함으로써, 소스 신호선(18)에 흘리는 전류를 N배로 증가시킴으로써, 구동용 트랜지스터(11a)에 소정 전류의 N배의 전류가 흐르도록 프로그램할 수 있고, 또한, EL 소자(15)에는, 상기 N배의 전류보다는 충분히 작은 전류를 흘릴 수 있는 것으로 된다. 이상의 방법에서는, 도 5에 도시하는 바와 같이, 비점등 영역(52)을 마련하는 일없이, 전체 표시 영역(50)을 화상 표시 영역(53)으로 할 수 있다.

도 13의 (a)는 표시 화면(50)로의 기입 상태를 도시하고 있다. 도 13의 (a)에 있어서, (51a)는 기입 화소 행이다. 소스 드라이버(14)로부터 각 소스 신호선(18)에 프로그램 전류가 공급된다. 또, 도 13 등에서는 1H 기간에 기입하는 화소 행은 1행이다. 그러나, 어느 것도 1H에 한정하는 것은 아니고, 0.5H이어도 좋고, 2H 기간이어도 좋다. 또한, 소스 신호선(18)에 프로그램 전류를 기입한다고 하였지만, 본 발명은 전류 프로그램 방식으로 한정하는 것은 아니고, 소스 신호선(18)에 기입되는 것이 전압인 전압 프로그램 방식(도 62 등)이어도 좋다.

도 13의 (a)에 있어서, 게이트 신호선(17a)이 선택되면 소스 신호선(18)에 흐르는 전류가 트랜지스터(11a)에 프로그램된다. 이 때, 게이트 신호선(17b)에는 오프 전압이 인가되고, 그 결과 EL 소자(15)에는 전류가 흐르지 않는다. 이것은, 트랜지스터(11d)가 온 상태이면, 소스 신호선(18)으로부터 EL 소자(15)의 용량 성분이 나타나고, 이 용량에 영향받아 콘덴서(19)에 충분히 정확한 전류 프로그램을 할 수 없게 되기 때문이다. 따라서, 도 1에 나타내는 구성을 예로 하면, 도 13의 (b)에서 도시하는 바와 같이, 전류가 기입되어 있는 화소 행은 비점등 영역(52)으로 된다.

지금, N(여기서는, 앞서 서술한 바와 같이 N=10으로 함)배의 전류로 프로그램한 것으로 하면, 화면의 휙도는 10배로 된다. 따라서, 표시 영역(50)의 90%의 범위를 비점등 영역(52)으로 하면 좋다. 따라서, 화상 표시 영역의 수평 주사선이 QCIF (Quarter Common Intermediate Format)의 220개(S= 220)로 하면, 22개를 표시 영역(53)으로 하고, 220-22=198개를 비표시 영역(52)으로 하면 좋다. 일반적으로 서술하면, 수평 주사선의 개수(화소 행 수)를 S라고 하면, S/N의 영역을 표시 영역(53)으로 하여, 이 표시 영역(53)을 N배의 휙도로 발광시킨다. 그리고, 이 표시 영역(53)을 화면의 상하 방향으로 주사한다. 따라서, S(N-1)/N의 영역은 비점등 영역(52)으로 한다. 이 비점등 영역은 흑 표시(비발광)이다. 또한, 이 비발광 영역(52)은 트랜지스터(11d)를 오프시킴으로써 실현한다. 또, N배의 휙도로 점등시킨다고 하였지만, 당연한 것이지만 밝기 조정, 감마 조정에 의해 N배의 값으로 조정하는 것은 말할 필요도 없다.

또한, 이전의 실시예에서, 10배의 전류로 프로그램한 것으로 하면, 화면의 휙도는 10배로 되기 때문에, 표시 영역(50)의 90%의 범위를 비점등 영역(52)으로 하면 좋은 것으로 했다. 그러나, 이것은, RGB의 화소를 공통으로 비점등 영역(52)으로 하는 것에 한정하는 것은 아니다. 예컨대, R의 화소는, 1/8을 비점등 영역(52)으로 하고, G의 화소는, 1/6을 비점등 영역(52)으로 하며, B의 화소는, 1/10을 비점등 영역(52)과, 각각의 색에 의해 변화시키더라도 좋다. 또한, RGB의 색으로 개별적으로 비점등 영역(52)(혹은 점등 영역(53))을 조정할 수 있도록 하더라도 좋다. 이들을 실현하기 위해서는, R, G, B에서 개별의 게이트 신호선(17b)이 필요하게 된다. 그러나, 이상의 RGB의 개별 조정을 가능하게 하는 것에 의해, 화이트 밸런스를 조정하는 것이 가능하게 되어, 각 계조에 있어서 색의 밸런스 조정이 용이하게 된다(도 41의 것을 참조).

도 13의 (b)에 도시하는 바와 같이, 기입 화소 행(51a)을 포함하는 화소 행을 비점등 영역(52)으로 하고, 기입 화소 행(51a)보다도 상측 화면의 S/N(시간적으로는 1F/N)의 범위를 표시 영역(53)으로 한다(화면을 아래로부터 위로 주사하는 경우에는, 그 반대로 됨). 화상 표시 상태는, 표시 영역(53)이 띠 형상으로 되어, 화면의 위로부터 아래로 이동한다.

도 13의 표시에서는, 하나의 표시 영역(53)이 화면의 상 방향으로부터 하 방향으로 이동한다. 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 닫았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉽게 된다.

이 과제에 대해서는, 도 16에 도시하는 바와 같이, 표시 영역(53)을 복수로 분할하면 좋다. 이 분할된 총합이 S(N-1)/N의 면적으로 되면, 도 13의 밝기와 동등하게 된다. 또, 분할된 표시 영역(53)은 동등하게(등분으로) 할 필요는 없다. 또한, 마찬가지로 분할된 비표시 영역(52)도 동등하게 할 필요는 없다.

이상과 같이, 표시 영역(53)을 복수로 분할함으로써 화면의 깜빡거림은 감소한다. 따라서, 플리커의 발생은 없고, 양호한 화상 표시를 실현할 수 있다. 또, 분할은 더 잘게 하더라도 좋다. 그러나, 분할할수록 동화상 표시 성능은 저하하는 것으로 된다.

도 17은 게이트 신호선(17)의 전압 파형 및 EL의 발광 휘도를 도시하고 있다. 도 17에서 명백한 바와 같이, 게이트 신호선(17b)을 Vg1로 하는 기간(IF/N)을 복수로 분할(분할 수 K)하고 있다. 즉, Vg1로 하는 기간은 1F/(K/N)의 기간을 K회 실시한다. 이와 같이 제어하면, 플리커의 발생을 억제할 수 있어, 저 프레임 레이트의 화상 표시를 실현할 수 있다. 또한, 이 화상의 분할 수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 누르는 것에 의해, 혹은 밝기 조정 볼륨을 높이는 것에 의해, 이 변화를 검출하여 K의 값을 변경하더라도 좋다. 또한, 사용자가 휘도를 조정하도록 구성하더라도 좋다. 표시할 화상의 내용, 데이터에 의해 수동으로, 혹은 자동적으로 변화시키도록 구성하더라도 좋다.

또, 도 17 등에 있어서, 게이트 신호선(17b)을 Vgl로 하는 기간 (IF/N)을 복수로 분할(분할 수 K)하여, 1F/(K/N)의 기간을 K회 실시하는 것으로 하였지만 이것에 한정되는 것은 아니다. 1F/(K/N)의 기간을 L(L≠K)회 실시하더라도 좋다. 즉, 본 발명은, EL 소자(15)에 흘리는 기간(시간)을 제어함으로써 화상을 표시하는 것이다. 따라서, 1F/(K/N)의 기간을 L(L≠K)회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 화상(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, L=2와 L=3에서는 50%의 휘도(콘트라스트) 변화로 된다. 또한, 화상의 표시 영역(53)을 분할할 때, 게이트 신호선(17b)을 Vg1로 하는 기간은 동일 기간에 한정하는 것은 아니다.

이상의 실시예는, EL 소자(15)에 흘리는 전류를 차단하고, 또한, EL 소자에 흘리는 전류를 접속함으로써, 표시 화면(50)을 온/오프(점등, 비점등)하는 것이었다. 즉, 콘덴서(19)에 유지된 전하에 의해 트랜지스터(11a)에 복수회, 대략 동일한 전류를 흘리는 것이다. 그러나, 본 발명은 이것에 한정하는 것은 아니다. 예를 들면, 콘덴서(19)에 유지된 전하를 충/방전시킴으로써, 표시 화면(50)을 온/오프(점등, 비점등)하는 방식이라도 좋다.

도 18은 도 16의 화상 표시 상태를 실현하기 위한 게이트 신호선(17)에 인가하는 전압 파형을 나타내고 있다. 도 18과 도 15의 차이는, 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하여, 그 개수만큼 온/오프(Vg1와 Vgh) 동작한다. 다른 점은 도 15와 동일하기 때문에 설명을 생략한다.

EL 표시 장치에서는 흑 표시는 완전히 비점등이므로, 액정 표시 패널을 간헐 표시한 경우와 같이, 콘트라스트의 저하는 없다. 또한, 도 1에 나타내는 구성에 있어서는, 트랜지스터(11d)를 온/오프 조작하는 것만으로 간헐 표시를 실현할 수 있다. 또한, 도 38, 도 51의 구성에 있어서는, 트랜지스터 소자(11e)를 온/오프 조작하는 것만으로, 간헐 표시를 실현할 수 있다. 이것은, 콘덴서(19)에 화상 데이터가 메모리(아날로그값이므로 계조 수는 무한대)되어 있기 때문이다. 즉, 각 화소(16)에, 화상 데이터는 1F의 기간 동안은 유지되어 있다. 이 유지되어 있는 화상 데이터에 상당하는 전류를 EL 소자(15)에 흘리는지 여부를 트랜지스터(11d, 11e)의 제어에 의해 실현하고 있는 것이다. 따라서, 이상의 구동 방법은, 전류 구동 방식에 한정되는 것이 아니라, 전압 구동 방식에도 적용할 수 있는 것이다. 즉, EL 소자(15)에 흘리는 전류가 각 화소 내에서 보존하고 있는 구성에 있어서, EL 소자(15)간의 전류 경로에 있어서 구동용 트랜지스터(11)를 온/오프함으로써, 간헐 구동을 실현하는 것이다.

콘덴서(19)의 단자 전압을 유지하는 것은 중요하다. 1 필드(프레임) 기간에서 콘덴서(19)의 단자 전압이 변화(충/방전)하면, 화면 휘도가 변화하여, 프레임 레이트가 저하하였을 때에 깜빡거림(플리커 등)이 발생하기 때문이다. 트랜지스터(11a)가 1 프레임(1 필드) 기간에서 EL 소자(15)에 흘리는 전류는, 적어도 65% 이하로 저하하지 않도록 할 필요가 있다. 이 65%란, 화소(16)에 기입하여, EL 소자(15)에 흘리는 전류의 최초가 100%로 하였을 때, 다음 프레임(필드)에서 상기 화소(16)에 기입하기 직전의 EL 소자(15)에 흘리는 전류를 65% 이상으로 하는 것이다.

도 1의 화소 구성에서는, 간헐 표시를 실현하는 경우로 하지 않는 경우에는, 1 화소를 구성하는 트랜지스터(11)의 개수에 변화는 없다. 즉, 화소 구성은 그대로, 소스 신호선(18)의 기생 용량의 영향을 제거하여, 양호한 전류 프로그램을 실현하고 있다. 더욱이, CRT에 가까운 동화상 표시를 실현하고 있는 것이다.

또한, 게이트 드라이버(12)의 동작 클럭은 소스 드라이버(14)의 동작 클럭과 비교하여 충분히 느리기 때문에, 회로의 메인 클럭이 높게 되지는 않는다. 또한, N의 값의 변경도 용이하다.

또, 화상 표시 방향(화상 기입 방향)은, 1 필드(1 프레임)째에서는 화면의 상 방향으로부터 하 방향으로 하고, 다음의 제 2 필드(프레임)째에서는 화면의 하 방향으로부터 상 방향으로 해도 좋다. 즉, 상 방향으로부터 하 방향과, 하 방향으로부터 상 방향을 교대로 반복하도록 하더라도 좋다.

또한, 1 필드(1 프레임)째에서는 화면의 상 방향으로부터 하 방향으로 하여, 일단, 전체 화면을 흑 표시(비표시)로 한 후, 다음의 제 2 필드(프레임)째에서는 화면의 하 방향으로부터 상 방향으로 해도 좋다. 또한, 일단, 전체 화면을 흑 표시(비표시)로 해도 좋다.

또, 이상의 구동 방법의 설명에서는, 화면의 기입 방법을 화면의 위로부터 아래로 혹은 아래로부터 위로하였지만, 이것에 한정하는 것은 아니다. 화면의 기입 방향은 중단 없이, 화면의 위로부터 아래로 혹은 아래로부터 위로 고정하여, 비표시 영역(52)의 동작 방향을 1 필드째에서는 화면의 상 방향으로부터 하 방향으로 하고, 다음의 제 2 필드째에서는 화면의 하 방향으로부터 상 방향으로 해도 좋다. 또한, 1 프레임을 3 필드로 분할하여, 제 1 필드에서는 R, 제 2 필드에서는 G, 제 3 필드에서는 B로 하여, 3 필드로 1 프레임을 형성하는 것으로 해도 좋다. 또한, 1 수평 주사 기간(IH)마다, R, G, B를 전환하여 표시하더라도 좋다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

비표시 영역(52)은 완전히 비점등 상태일 필요는 없다. 미약한 발광 혹은 희미하게 한 화상 표시가 있더라도 실용상은 문제없다. 즉, 화상 표시 영역(53)보다도 표시 휘도가 낮은 영역으로 해석해야 한다. 또한, 비표시 영역(52)이란, R, G, B 화상 표시 중, 1색 또는 2색(25)만이 비표시 상태라고 하는 경우도 포함된다.

기본적으로는 표시 영역(53)의 휘도(밝기)가 소정값으로 유지되는 경우, 표시 영역(53)의 면적이 넓게 될수록, 화면(50)의 휘도는 높게 된다. 예를 들면, 표시 영역(53)의 휘도가 100(nt)의 경우, 표시 영역(53)이 전체 화면(50)에 차지하는 비율이 10% 내지 20%로 하면, 화면의 휘도는 2배로 된다. 따라서, 전체 화면(50)에 차지하는 표시 영역(53)의 면적을 변화시킴으로써, 화면의 표시 휘도를 변화할 수 있다.

표시 영역(53)의 면적은 시프트 레지스터(61)로의 데이터 펄스(ST2)를 제어함으로써, 임의로 설정할 수 있다. 또한, 데이터 펄스의 입력 타이밍, 주기를 변화시킴으로써, 도 16의 표시 상태와 도 13의 표시 상태를 전환할 수 있다. 1F 주기에서의 데이터 펄스 수를 많게 하면, 화면(50)은 밝아지고, 적게 하면, 화면(50)은 어둡게 된다. 또한, 연속하여 데이터 펄스를 인가하면 도 13의 표시 상태로 되어, 간헐적으로 데이터 펄스를 입력하면 도 16의 표시 상태로 된다.

도 19의 (a)는 도 13과 같이 표시 영역(53)이 연속하고 있는 경우의 밝기 조정 방식을 설명하고 있다. 도 19(a1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19(a2)의 화면(50)의 표시 휘도가 다음으로 밝고, 도 19(a3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19(a1)로부터 도 19(a3)로의 변화(혹은 그 반대)는, 앞에서도 기재한 바와 같이 게이트 드라이버(12)의 시프트 레지스터 회로(61) 등의 제어에 의해, 용이하게 실현할 수 있다. 이 때, 도 1의 Vdd 전압은 변화시킬 필요가 없다. 즉, 전원 전압을 변화시키지 않고 표시 화면(50)의 휘도 변화를 실시할 수 있다. 또한, 도 19(a1)로부터 도 19(a3)로의 변화인 때, 화면의 감마 특성은 전혀 변화하지 않는다. 따라서, 화면(50)의 휘도에 의하지 않고, 표시 화상의 콘트라스트, 계조 특성이 유지된다. 이것은 본 발명의 효과가 있는 특징이다. 종래의 화면의 휘도 조정에서는, 화면(50)의 휘도가 낮을 때에는, 계조 성능이 저하한다. 즉, 고 휘도 표시인 때에는 64 계조 표시를 실현할 수 있더라도, 저 휘도 표시인 때에는, 절반 이하의 계조 수밖에 표시할 수 없는 경우가 대부분이다. 이것과 비교하여, 본 발명의 구동 방법에서는, 화면의 표시 휘도에 의존하지 않고, 최고의 64 계조 표시를 실현할 수 있다.

도 19의 (b)는 도 16과 같이 표시 영역(53)이 분산하고 있는 경우의 밝기 조정 방식을 설명하고 있다. 도 19(b1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19(b2)의 화면(50)의 표시 휘도가 다음으로 밝고, 도 19(b3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19(b)로부터 도 19(b3)로의 변화(혹은 그 반대)는, 앞에서도 기재한 바와 같이 게이트 드라이버(12)의 시프트 레지스터 회로(61) 등의 제어에 의해, 용이하게 실현할 수 있다. 도 19의 (b)와 같이 표시 영역(53)을 분산시키면, 저 프레임 레이트에서도 플리커가 발생하지 않는다.

또한, 저 프레임 레이트에서도, 플리커가 발생하지 않도록 하기 위해서는, 도 19의 (c)와 같이 표시 영역(53)을 잘게 분산시키면 좋다. 그러나, 동화상의 표시 성능은 저하한다. 따라서, 동화상을 표시하기 위해서는, 도 19의 (a)의 구동 방법이 적합하다. 정지 화상을 표시하여, 저 소비 전력화를 요망하는 때에는, 도 19의 (c)의 구동 방법이 적합하다. 도 19의 (a)로부터 도 19의 (c)의 구동 방법의 전환도, 시프트 레지스터(61)의 제어에 의해 용이하게 실현할 수 있다.

도 20은 소스 신호선(18)에 흐르는 전류를 증대시키는 다른 실시예의 설명도이다. 기본적으로 복수의 화소 행을 동시에 선택하여, 복수의 화소 행을 합한 전류로 소스 신호선(18)의 기생 용량 등을 충/방전하여 전류 기입 부족을 대폭 개선하는 방식이다. 단, 복수의 화소 행을 동시에 선택하기 때문에, 1 화소 당의 구동하는 전류를 감소시킬 수 있다. 따라서, EL 소자(15)에 흐르는 전류를 감소시킬 수 있다. 여기서, 설명을 용이하게 하기 위해서, 일례로서, N=10으로 하여 설명한다(소스 신호선(18)에 흘리는 전류를 10배로 함).

도 20에 도시하는 바와 같이, 본 발명에서는, K행의 화소 행을 동시에 선택한다. 소스 드라이버(14)로부터는 소정 전류의 N배 전류를 소스 신호선(18)에 인가한다. 각 화소에는 EL 소자(15)에 흘리는 전류의 N/K배의 전류가 프로그램된다. EL 소자(15)를 소정의 발광 휘도로 하기 위해서, EL 소자(15)에 흐르는 시간을 1 프레임(1 필드)의 K/N 시간으로 한다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충/방전할 수 있어, 양호한 해상도로 소정의 발광 휘도를 얻을 수 있다.

즉, 1 프레임(1 필드)의 K/N의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간(1F(N-1)K/N)은 전류를 흘리지 않는다. 이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)이 반복하여 표시된다. 즉, 화상 데이터의 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태로 된다. 따라서, 화상의 흐릿한 윤곽이 없어져 양호한 동화상 표시를 실현할 수 있다. 또한, 소스 신호선(18)에는 N배의 전류로 구동하기 때문에, 기생 용량의 영향을 받지 않고, 고 선명 표시 패널에도 대응할 수 있다.

도 21은, 도 20의 구동 방법을 실현하기 위한 구동 파형의 설명도이다. 신호 파형은 오프 전압을 V_{gh} (H 레벨)로 하고, 온 전압을 V_{gl} (L 레벨)로 하고 있다. 각 신호선의 첨자는 화소 행의 행 번호((1)(2)(3) 등)를 기재하고 있다. 또, 행수는 QCIF 표시 패널의 경우는 220개이며, VGA 패널에서는 480개이다.

도 21에 있어서, 게이트 신호선(17a)(1)이 선택되어(V_{gl} 전압), 선택된 화소 행의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 여기서는 설명을 용이하게 하기 위해서, 우선, 기입 화소 행(51a)이 제 1 행의 화소 행인 것으로 하여 설명한다.

또한, 소스 신호선(18)에 흐르는 프로그램 전류는 소정값의 N배(설명을 용이하게 하기 위해서, $N=10$ 으로 하여 설명함. 물론, 소정값이란 화상을 표시하는 데이터 전류이므로, 백 래스터 표시 등이 아닌 한 고정값이 아님.)이다. 또한, 5 화소 행이 동시에 선택($K=5$)으로 하여 설명을 한다. 따라서, 이상적으로는 하나의 화소의 콘덴서(19)에는 2배($N/K=10/5=2$)로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다.

기입 화소 행이 (1) 화소 행째인 때, 도 21에서 도시한 바와 같이, 게이트 신호선(17a)은 (1)(2)(3)(4)(5)가 선택되어 있다. 즉, 화소 행 (1)(2)(3)(4)(5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 게이트 신호선(17b)은 게이트 신호선(17a)의 반대 위상으로 되어 있다. 따라서, 화소 행 (1)(2)(3)(4)(5)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5 화소의 트랜지스터(11a)가, 각각 $I_w \times 2$ 의 전류를 소스 신호선(18)에 흘린다(즉, 소스 신호선(18)에는 $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$. 따라서, 본 발명의 N배 펄스 구동을 실시하지 않는 경우가 소정 전류 I_w 라고 하면, I_w 의 10 배의 전류가 소스 신호선(18)에 흐름).

이상의 동작(구동 방법)에 의해, 각 화소(16)의 콘덴서(19)에는, 2배의 전류가 프로그램된다. 여기서는, 이해를 용이하게 하기 위해서, 각 트랜지스터(11a)는 특성(V_t , S 값)이 일치하고 있는 것으로 설명을 한다.

동시에 선택하는 화소 행이 5 화소 행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소 당, $10/5=2$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 5개의 트랜지스터(11a)의 프로그램 전류를 부가한 전류가 흐른다. 예를 들면, 기입 화소 행(51a)에, 본래, 기입하는 전류 I_w 로 하여, 소스 신호선(18)에는, $I_w \times 10$ 의 전류를 흘린다. 기입 화소 행(1)보다 이후에 화상 데이터를 기입하는 기입 화소 행(51b)은, 소스 신호선(18)으로의 전류량을 증가시키기 때문에, 보조적으로 이용하는 화소 행이다. 그러나, 기입 화소 행(51b)은 이후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 4 화소 행(51b)에 있어서, 1H 기간 동안은 (51a)와 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다. 단, 도 38과 같은 커런트 미러의 화소 구성, 그 밖의 전압 프로그램 방식의 화소 구성에서는 표시 상태로 해도 좋다.

1H 후에는, 게이트 신호선(17a)(1)은 비선택으로 되어, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가된다. 또한, 동시에, 게이트 신호선(17a)(6)이 선택되어 (V_{gl} 전압), 선택된 화소 행(6)의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작함으로써, 화소 행(1)에는 정규의 화상 데이터가 유지된다.

다음의, 1H 후에는, 게이트 신호선(17a)(2)은 비선택으로 되어, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가된다. 또한, 동시에, 게이트 신호선(17a)(7)이 선택되어(Vgl 전압), 선택된 화소 행(7)의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작함으로써, 화소 행(2)에는 정규의 화상 데이터가 유지된다. 1 화소 행씩 시프트하면서 주사하여 이상의 동작을 행하는 것에 의해 1 화면이 리라이트된다.

도 20의 구동 방법에서는, 각 화소에 있어서 2배의 전류(전압)가 프로그램되기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 2배로 된다. 따라서, 표시 화면의 휘도는 소정 값보다도 2배로 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16에 도시하는 바와 같이, 기입 화소 행(51)을 포함하고, 또한 표시 영역(50)의 1/2의 범위를 비표시 영역(52)으로 하면 좋다.

도 13과 마찬가지로, 도 20과 같이 하나의 표시 영역(53)이 화면의 상 방향으로부터 하 방향으로 이동한 경우, 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 형태가 시각적으로 인식된다. 특히, 눈꺼풀을 닫았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉽게 된다.

이 과제에 대해서는, 도 22에 도시하는 바와 같이, 표시 영역(53)을 복수로 분할하면 좋다. 분할된 비표시 영역(52)을 부가한 부분이 S(N-1)/N의 면적으로 되면, 분할하지 않는 경우와 동일하게 된다.

도 23은 게이트 신호선(17)에 인가하는 전압 파형이다. 도 21과 도 23의 차이는, 기본적으로는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하여, 그 개수만큼 온/오프(Vg1과 Vgh) 동작한다. 다른 점은 도 21과 거의 동일 혹은 유추할 수 있기 때문에 설명을 생략한다.

이상과 같이, 표시 영역(53)을 복수로 분할함으로써 화면의 깜박거림은 감소한다. 따라서, 플리커의 발생은 없고, 양호한 화상 표시를 실현할 수 있다. 또, 분할은 더 잘게 하더라도 좋다. 분할하면 할수록 플리커는 경감한다. 특히 EL 소자(15)의 응답성은 빠르기 때문에, 5 μ sec보다도 작은 시간으로 온/오프하더라도, 표시 휘도의 저하는 없다.

본 발명의 구동 방법에 있어서, EL 소자(15)의 온/오프는, 게이트 신호선(17b)에 인가하는 신호의 온/오프로 제어할 수 있다. 그 때문에, 클럭 주파수는 KHz 정도의 저 주파수로 제어가 가능하다. 또한, 혹 화면 삽입(비표시 영역(52) 삽입)을 실현하는 데에는, 화상 메모리 등을 필요로 하지 않는다. 따라서, 저 비용으로 본 발명의 구동 회로 혹은 방법을 실현할 수 있다.

도 24는 동시에 선택하는 화소 행이 2 화소 행의 경우이다. 발명자 등이 검토한 결과에 의하면, 저온 폴리실리콘 기술로 형성한 표시 패널에서는, 2 화소 행을 동시에 선택하는 방법은 표시 균일성이 실용적이었다. 이것은, 인접하는 화소의 구동 용 트랜지스터(11a)의 특성이 매우 일치하고 있기 때문에 추정된다. 또한, 레이저 어닐링할 때에, 스트라이프 형상의 레이저의 조사 방향은 소스 신호선(18)과 평행하게 조사함으로써 양호한 결과를 얻을 수 있었다.

이것은 동일 시간에 어닐링되는 범위의 반도체막은, 그 특성이 균일하게 되기 때문이다. 즉, 스트라이프 형상의 레이저 조사 범위 내에서는 반도체막이 균일하게 제작되어, 이 반도체막을 이용한 트랜지스터의 Vt, 모빌리티가 거의 동등하게 되기 때문이다. 따라서, 소스 신호선(18)의 형성 방향과 평행하게 스트라이프 형상의 레이저 샷을 조사하여, 이 조사 위치를 이동시키는 것에 의해, 소스 신호선(18)에 따른 화소(화소 열, 화면의 상하 방향의 화소)의 특성은 거의 동등하게 제작된다. 따라서, 복수의 화소 행을 동시에 온시켜 전류 프로그램을 행한 경우, 동시에 선택된 복수의 화소 행에는, 프로그램 전류를 선택된 화소 행수로 분할한 전류가, 거의 동일하게 프로그램된다. 따라서, 목표값에 가까운 전류 프로그램을 실시할 수 있어, 균일 표시를 실현할 수 있다. 따라서, 레이저 샷 방향과 도 24 등에서 설명하는 구동 방식은 상승 효과가 있다.

이상과 같이, 레이저 샷의 방향을 소스 신호선(18)의 형성 방향과 대략 일치시킴으로써, 화소의 상하 방향의 트랜지스터(11a)의 특성이 거의 동일하게 되어, 양호한 전류 프로그램을 실시할 수 있다(화소의 좌우 방향의 트랜지스터(11a)의 특성이 일치하지 않고 있더라도). 이상의 동작은, 1H(1 수평 주사 기간)에 동기하여, 1 화소 행 혹은 복수 화소 행씩 선택 화소 행의 위치를 어긋나게 하여 실시한다. 또, 본 발명은, 레이저 샷의 방향을 소스 신호선(18)과 평행으로 한다고 하였지만, 반드시 평행이 아니더라도 좋다. 소스 신호선(18)에 대해 경사 방향으로 레이저 샷을 조사하더라도 하나의 소스 신호선(18)에 따른 화소의 상하 방향의 트랜지스터(11a)의 특성은 거의 일치하여 형성되기 때문이다. 따라서, 소스 신호선에 평행하게 레이저 샷을 조사한다는 것은, 소스 신호선(18)의 배선 방향(상하 방향)에 인접한 임의의 화소를, 하나의 레이저 조사 범위에 들어가도록 형성한다고 하는 것이다. 또한, 소스 신호선(18)이란 일반적으로는, 화상 신호로 되는 프로그램 전류 혹은 전압을 전달하는 배선이다.

또, 본 발명의 실시예에서는 1H마다, 기입 화소 행 위치를 시프트시키는 것으로 하였지만, 이것에 한정되는 것은 아니고, 2H마다 시프트하더라도 좋고, 또한, 그 이상의 화소 행마다 시프트시키더라도 좋다. 또한, 임의의 시간 단위로 시프트하더라도 좋다. 또한, 화면 위치에 따라서, 시프트하는 시간을 변화시키더라도 좋다. 예를 들면, 화면의 중앙부에서의 시프트 시간을 짧게 하고, 화면의 상하부에서 시프트 시간을 길게 하더라도 좋다. 또한, 프레임마다 시프트 시간을 변화시키더라도 좋다. 또한, 연속한 복수 화소 행을 선택하는 것에 한정하는 것은 아니다. 예컨대, 1 화소 행으로 세운 화소 행을 선택하더라도 좋다. 즉, 제 1 번째의 수평 주사 기간에 제 1 번째의 화소 행과 제 3 번째의 화소 행을 선택하고, 제 2 번째의 수평 주사 기간에 제 2 번째의 화소 행과 제 4 번째의 화소 행을 선택하며, 제 3 번째의 수평 주사 기간에 제 3 번째의 화소 행과 제 5 번째의 화소 행을 선택하고, 제 4 번째의 수평 주사 기간에 제 4 번째의 화소 행과 제 6 번째의 화소 행을 선택한다고 한 구동 방법이다. 물론, 제 1 번째의 수평 주사 기간에 제 1 번째의 화소 행과 제 3 번째의 화소 행과 제 5 번째의 화소 행을 선택한다고 하는 구동 방법도 기술적 범주이다. 물론, 복수 화소 행으로 세운 화소 행 위치를 선택하더라도 좋다.

또, 이상의 레이저 샷 방향과, 복수 라인의 화소 행을 동시에 선택한다고 하는 조합은, 도 1, 도 2, 도 32의 화소 구성에만 한정되는 것이 아니라, 커런트 미러의 화소 구성인 도 38, 도 42, 도 50 등의 다른 전류 구동 방식의 화소 구성에도 적용할 수 있는 것은 말할 필요도 없다. 또한, 도 43, 도 51, 도 54, 도 62 등의 전압 구동의 화소 구성에도 적용할 수 있다. 왜냐하면, 상하 방향으로 인접하는 화소의 트랜지스터의 특성이 일치하고 있으면, 동일한 소스 신호선(18)에 인가한 전압값에 의해 양호한 전압 프로그램을 실시할 수 있기 때문이다.

도 24에 있어서, 기입 화소 행이 제 1 행인 경우, 게이트 신호선(17a)은 (1)(2)이 선택되어 있다(도 25의 것을 참조). 즉, 화소 행 (1)(2)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 게이트 신호선(17b)은 게이트 신호선(17a)의 반대 위상으로 되어 있다. 따라서, 적어도 화소 행 (1)(2)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 따라서, 이러한 화소 행은 비점등 상태(52)로 된다. 또, 도 24에서는, 플리커의 발생을 저감하기 때문에, 표시 영역(53)을 5 분할하고 있다.

이상적으로는, 2 화소(행)의 트랜지스터(11a)가, 각각 $I_w \times 5$ ($N=10$ 인 경우. 즉, $K=2$ 이므로, 소스 신호선(18)에 흐르는 전류는 $I_w \times K \times 5 = I_w \times 10$ 으로 됨)의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소(16)의 콘텐서(19)에는, 5배의 전류가 프로그램된다.

동시에 선택하는 화소 행이 2 화소 행($K=2$)이므로, 2개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소 당, $10/2=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 2개의 트랜지스터(11a)의 프로그램 전류를 부가한 전류가 흐른다.

예를 들면, 기입 화소 행(51a)에, 본래, 기입하는 전류 I_d 를 흘리고, 소스 신호선(18)에는, $I_w \times 10$ 의 전류를 흘린다. 기입 화소 행(51b)은 이후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다. 화소 행(51b)은, 1H 기간 동안은 (51a)와 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음, 1H 후에는, 게이트 신호선(17a)(1)은 비선택으로 되어, 게이트 신호선(17b)에는 온 전압(Vg1)이 인가된다. 또한, 동시에, 게이트 신호선(17a)(3)이 선택되어(Vg1 전압), 선택된 화소 행(3)의 트랜지스터(11a)로부터 소스 드라이버(14)로 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작함으로써, 화소 행(1)에는 정규의 화상 데이터가 유지된다.

다음, 1H 후에는, 게이트 신호선(17a)(2)은 비선택으로 되어, 게이트 신호선(17b)에는 온 전압(Vg1)이 인가된다. 또한, 동시에, 게이트 신호선(17a)(4)이 선택되어(Vg1 전압), 선택된 화소 행(4)의 트랜지스터(11a)로부터 소스 드라이버(14)를 향해서 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작함으로써, 화소 행(2)에는 정규의 화상 데이터가 유지된다. 1 화소 행씩 시프트(물론, 복수 화소 행씩 시프트하더라도 좋음. 예를 들면, 유사 인터레이스 구동이면, 2행씩 시프트 할 것임. 또한, 화상 표시의 관점에서, 복수의 화소 행에 동일 화상을 기입하는 경우도 있음)하면서 주사하여 이상의 동작을 행하는 것에 의해 1 화면이 리라이트된다.

도 16과 마찬가지이지만, 도 24의 구동 방법에서는, 각 화소에는 5배의 전류(전압)로 프로그램을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휙도는 이상적으로는 5배로 된다. 따라서, 표시 영역(53)의 휙도는 소정값의 5배로 된다. 이것을 소정의 휙도로 하기 위해서는, 도 16 등에 도시하는 바와 같이, 기입 화소 행(51)을 포함하고, 또한 표시 화면(50)의 1/5의 범위를 비표시 영역(52)으로 하면 좋다.

도 27에 도시하는 바와 같이, 2개의 기입 화소 행(51)(51a, 51b)이 선택되고, 화면(50)의 상변으로부터 하변으로 순차적으로 선택되어 간다(도 26의 것도 참조. 도 26에서는 화소 행(16a와 16b)이 선택되어 있음). 그러나, 도 27의 b)와 같이, 화면의 하변까지 오면 기입 화소 행(51a)은 존재하지만, (51b)는 없어진다. 즉, 선택하는 20 화소 행이 1개밖에 없어진다. 그 때문에, 소스 신호선(18)에 인가된 전류는, 전부 화소 행(51a)에 기입된다. 따라서, 화소 행(51a)과 비교하여, 2배의 전류가 화소에 프로그램되게 된다.

이 과제에 대해, 본 발명은, 도 27의 (b)에 도시하는 바와 같이 화면(50)의 하변에 더미 화소 행(281)을 형성(배치)하고 있다. 따라서, 선택 화소 행이 화면(50)의 하변까지 선택된 경우에는, 화면(50)의 최종 화소 행과 더미 화소 행(281)이 선택된다. 그 때문에, 도 27의 (b)의 기입 화소 행에는, 규정대로의 전류가 기입된다. 또, 더미 화소 행(281)은 표시 영역(50)의 상단 혹은 하단에 인접하여 형성한 바와 같이 도시하였지만, 이것에 한정하는 것은 아니다. 표시 영역(50)으로부터 떨어진 위치에 형성되어 있더라도 좋다. 또한, 더미 화소 행(281)은, 도 1의 스위칭 트랜지스터(11d), EL 소자(15) 등은 형성할 필요는 없다. 이들을 형성하지 않는 것에 의해, 더미 화소 행(281)의 사이즈를 작게 할 수 있다.

도 28은 도 27의 (b)의 상태를 나타내고 있다. 도 28에서 명백한 바와 같이, 선택 화소 행이 화면(50)의 하변의 화소(16c) 행까지 선택된 경우에는, 화면(50)의 최종 화소 행(281)이 선택된다. 더미 화소 행(281)은 표시 영역(50) 밖에 배치한다. 즉, 더미 화소 행(281)은 점등하지 않거나, 혹은 점등시키지 않는다, 또는 점등하더라도 표시로서 보이지 않도록 구성한다. 예를 들면, 화소 전극과 트랜지스터(11)의 콘택트 홀을 없애든지, 더미 화소 행에는 EL 막을 형성하지 않는 등이다.

도 27에서는, 화면(50)의 하변에 더미 화소(행)(281)을 마련하는(형성하는, 배치하는) 것으로 하였지만, 이것에 한정하는 것은 아니다. 예를 들면, 도 29의 (a)에 도시하는 바와 같이, 화면의 하변으로부터 상변으로 주사하는(상하 역전 주사)하는 경우에는, 도 29의 (b)에 도시하는 바와 같이 화면(50)의 상변에도 더미 화소 행(281)을 형성해야 한다. 즉, 화면(50)의 상변 및 하변의 각각 더미 화소 행(281)을 형성(배치)한다. 이상과 같이 구성함으로써, 화면의 상하 반전 주사에도 대응할 수 있도록 된다.

이상의 실시예는, 2 화소 행을 동시에 선택하는 경우이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니라, 예를 들면, 5 화소 행을 동시에 선택하는 방식(도 23의 것을 참조)이어도 좋다. 즉, 5 화소 행 동시 구동의 경우는, 더미 화소 행(281)은 4 행분 형성하면 좋다. 본 발명의 더미 화소 행 구성 혹은 더미 화소 행 구동은, 적어도 하나 이상의 더미 화소 행을 이용하는 방식이다. 물론, 더미 화소 행 구동 방법과 N배 펠스 구동을 조합하여 이용하는 것이 바람직하다.

복수개의 화소 행을 동시에 선택하는 구동 방법에서는, 동시에 선택하는 화소 행수가 증가할수록, 트랜지스터(11a)의 특성 편차를 흡수하는 것이 곤란하게 된다. 그러나, 선택 개수가 저하하면, 1 화소에 프로그램하는 전류가 커져, EL 소자(15)에 큰 전류를 흘리는 것으로 된다. EL 소자(15)에 흘리는 전류가 크면 EL 소자(15)가 열화하기 쉽게 된다.

도 30은 이 과제를 해결하는 것이다. 도 30에 나타낸 본 발명의 기본 개념은, 1/2H(수평 주사 기간의 1/2)는, 도 22, 도 29에서 설명한 바와 같이, 복수의 화소 행을 동시에 선택하는 방법이다. 그 후의 1/2H(수평 주사 기간의 1/2)는 도 5, 도 13 등에서 설명한 바와 같이, 1 화소 행을 선택하는 방법을 조합한 것이다. 이와 같이 조합한 경우, 트랜지스터(11a)의 특성 편차가 흡수되기 때문에, 고속이고 또한 면내 균일성을 양호하게 할 수 있다.

도 30에 있어서, 설명을 용이하게 하기 위해서, 제 1 기간에서는 5 화소 행을 동시에 선택하고, 제 2 기간에서는 1 화소 행을 선택하는 것으로 해서 설명을 한다. 우선, 제 1 기간(전반의 1/2H)에서는, 도 30(a1)에 도시하는 바와 같이, 5 화소 행을 동시에 선택한다. 이 동작은 도 22를 이용하여 설명하였기 때문에 생략한다. 일례로서 소스 신호선(18)에 흘리는 전류는 소정값의 25배로 한다. 따라서, 각 화소(16)의 트랜지스터(11a)(도 1의 화소 구성의 경우)에는 5배의 전류(25/5 화소 행=5)가 프로그램된다. 25배의 전류이므로, 소스 신호선(18) 등에 발생하는 기생 용량은 매우 단 기간에 충/방전된다. 따라서, 소스 신호선(18)의 전위는, 단 시간에서 목표의 전위로 되어, 각 화소(16)의 콘덴서(19)의 단자 전압도 5배 전류를 흘리도록 프로그램된다. 이 25배 전류의 인가 시간은 전반의 1/2H(1 수평 주사 기간의 1/2)로 한다.

당연한 것이지만, 기입 화소 행의 5 화소 행은 동일 화상 데이터가 기입되기 때문에, 표시를 행하지 않도록 5 화소 행의 트랜지스터(11d)는 오프 상태로 된다. 따라서, 표시 상태는 도 30(a2)에 도시하는 바와 같이 된다.

다음 후반의 1/2H 기간은, 1 화소 행을 선택하여, 전류(전압) 프로그램을 행한다. 이 상태를 도 30(b1)에 도시하고 있다. 기입 화소 행(51a)은 이전과 마찬가지로 5배의 전류를 흘리도록 전류(전압) 프로그램된다. 도 30(a1)과 도 30(b1)에서 각 화소에 흘리는 전류를 동일하게 하는 것은, 프로그램된 콘덴서(19)의 단자 전압의 변화를 작게 하여, 보다 고속으로 목표의 전류를 흘릴 수 있도록 하기 위해서이다.

즉, 도 30(a1)에서, 복수의 화소에 전류를 흘려, 고속으로 개략의 전류가 흐르는 값까지 접근시킨다. 이 제 1 단계에서는, 복수의 트랜지스터(11a)에서 프로그램하고 있기 때문에, 목표값에 대해 트랜지스터의 편차에 의한 오차가 발생하고 있다. 다음의 제 2 단계에서, 데이터를 기입하고 또한 유지하는 화소 행만을 선택하여, 개략의 목표값으로부터, 소정의 목표값까지 완전한 프로그램을 행하는 것이다.

또, 비점등 영역(52)을 화면의 상 방향으로부터 하 방향으로 주사하고, 또한, 기입 화소 행(51a)도 화면의 상 방향으로부터 하 방향으로 주사하는 것은 도 13 등의 실시예와 마찬가지이기 때문에 설명을 생략한다.

도 31은 도 30의 구동 방법을 실현하기 위한 구동 파형이다. 도 31에서 알 수 있는 바와 같이, 1H(1 수평 주사 기간)는 2개의 단계로 구성되어 있다. 이 2개의 단계는 ISEL 신호로 전환한다. ISEL 신호는 도 31에 도시하고 있다.

우선, ISEL 신호에 대해 설명을 해 놓는다. 도 30을 실시하는 드라이버 회로(14)는, 제 1 전류 출력 회로와 제 2 전류 출력 회로를 구비하고 있다. 이들 제 1 및 제 2 전류 출력 회로는, 8 비트의 계조 데이터를 DA 변환하는 DA 회로 및 연산 증폭기 등으로 구성된다. 도 30의 실시예에서는, 제 1 전류 출력 회로는 25배의 전류를 출력하도록 구성되어 있다. 한편, 제 2 전류 출력 회로는 5배의 전류를 출력하도록 구성되어 있다. 제 1 전류 출력 회로 및 제 2 전류 출력 회로의 출력은 ISEL 신호에 의해 전류 출력부에 형성(배치)된 스위치 회로가 제어되어, 소스 신호선(18)에 인가된다. 이들 제 1 및 제 2 전류 출력 회로는 각 소스 신호선에 배치되어 있다.

ISEL 신호는, L 레벨인 때, 25배 전류를 출력하는 제 1 전류 출력 회로가 선택되어 소스 신호선(18)로부터의 전류를 소스 드라이버(14)가 흡수한다(보다 적절하게는, 소스 드라이버(14) 내에 형성된 제 1 전류 출력 회로가 흡수함). 25배, 5배 등의 제 1 및 제 2 전류 출력 회로 전류의 크기 조정은 용이하다. 복수의 저항과 아날로그 스위치로 용이하게 구성할 수 있기 때문이다.

도 30에 도시하는 바와 같이 기입 화소 행이 제 1 행인 때(도 30의 1H의 란을 참조), 게이트 신호선(17a)은 (1)(2)(3)(4)(5)이 선택되어 있다(도 1의 화소 구성의 경우). 즉, 화소 행 (1)(2)(3)(4)(5)의 스위치 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L 레벨이므로, 25배 전류를 출력하는 제 1 전류 출력 회로가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행 (1)(2)(3)(4)(5)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5 화소의 트랜지스터(11a)가, 각각 $I_w \times 2$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소(16)의 콘덴서(19)에는, 5배의 전류가 프로그램된다. 여기서는, 이해를 용이하게 하기 위해서, 각 트랜지스터(11a)는 특성(V_t , S 값)이 일치하고 있는 것으로 해서 설명을 한다.

동시에 선택하는 화소 행이 5 화소 행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소 당, $25/5=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다. 예를 들면, 기입 화소 행(51a)에, 종래의 구동 방법에서 화소에 기입하는 전류 I_w 로 할 때, 소스 신호선(18)에는, $I_w \times 25$ 의 전류를 흘린다. 기입 화소 행(1)보다 이후에 화상 데이터를 기입하는 기입 화소 행(51b)의 소스 신호선(18)으로의 전류량을 증가시키기 위해서, 보조적으로 이용하는 화소 행이다. 그러나, 기입 화소 행(51b)은 이후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 화소 행(51b)은, 1H 기간 동안은 기입 화소 행(51a)과 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음의 1/2H(수평 주사 기간의 1/2)에서는, 기입 화소 행(51a)L0만을 선택한다. 즉, 제 1 행만을 선택한다. 도 31에서 명백한 바와 같이, 게이트 신호선(17a)(1)만이, 온 전압(Vgl)이 인가되고, 게이트 신호선(17a)(2)(3)(4)(5)는 오프(Vgh)가 인가되어 있다. 따라서, 화소 행(1)의 트랜지스터(11a)는 동작 상태(소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소 행(2)(3)(4)(5)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다. 또한, ISEL이 H 레벨이므로, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로 B와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 이전의 1/2H의 상태와 변화가 없고, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 따라서, 이러한 화소 행은 비점등 상태(52)로 된다.

이상의 것으로부터, 화소 행(1)의 트랜지스터(11a)가, 각각 $Iw \times 5$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소 행(1)의 콘덴서(19)에는, 5배의 전류가 프로그램된다.

다음의 수평 주사 기간에서는 1 화소 행, 기입 화소 행이 시프트한다. 즉, 이번에는 기입 화소 행이 (2)이다. 최초의 1/2H의 기간에서는, 도 31에 도시하는 바와 같이 기입 화소 행이 2 행째인 경우, 게이트 신호선(17a)은 (2)(3)(4)(5)(6)이 선택되어 있다. 즉, 화소 행(2)(3)(4)(5)(6)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L 레벨이므로, 25배 전류를 출력하는 제 1 전류 출력 회로가 선택되어, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행(2)(3)(4)(5)(6)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 따라서, 이러한 화소 행은 비점등 상태(52)로 된다. 한편, 화소 행(1)의 게이트 신호선(17b)(1)은 Vg1 전압이 인가되어 있으므로, 트랜지스터(11d)는 온 상태이며, 화소 행(1)의 EL 소자(15)는 점등한다.

동시에 선택하는 화소 행이 5 화소 행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소 당, $25/5=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다.

다음의 1/2H(수평 주사 기간의 1/2)에서는, 기입 화소 행(51a)만을 선택한다. 즉, 2 행째만을 선택한다. 도 31에서 명백한 바와 같이, 게이트 신호선(17a)(2)만이, 온 전압(Vgl)이 인가되고, 게이트 신호선(17a)(3)(4)(5)(6)는 오프(Vgh)가 인가되어 있다. 따라서, 화소 행(1)(2)의 트랜지스터(11a)는 동작 상태(화소 행(1)은 EL 소자(15)에 전류를 흘리고, 화소 행(2)은 소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소 행(3)(4)(5)(6)의 스위칭 트랜지스터(11b), 트랜지스터(25)(11c)가 오프 상태이다. 즉, 비선택 상태이다. 또한, ISEL이 H 레벨이므로, 5배 전류를 출력하는 제 2 전류 출력 회로가 선택된다. 또한, 게이트 신호선(17b)의 상태는 이전의 1/2H의 상태와 변화가 없고, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행(2)(3)(4)(5)(6)의 스위칭 트랜지스터(11d)가 오프 상태이며, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 따라서, 이러한 화소 행은 비점등 상태(52)로 된다.

이상의 것으로부터, 화소 행(2)의 트랜지스터(11a)가, 각각 $I5w \times 5$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소 행(2)의 콘덴서(19)에는, 5배의 전류가 프로그램된다. 이상의 동작을 순차적으로, 실시하는 것에 의해 1 화면을 표시할 수 있다.

도 30에서 설명한 구동 방법은, 제 1 기간에서 G 화소 행(G는 2 이상)을 선택하여, 각 화소 행에는 N배의 전류를 흘리도록 프로그램한다. 제 1 기간 후의 제 2 기간에서는 B 화소 행(B는 G보다도 작고, 1 이상)을 선택하여, 화소에는 N배의 전류를 흘리도록 프로그램하는 방식이다.

그러나, 다른 방책도 있다. 제 1 기간에서 G 화소 행(G는 2 이상)을 선택하여, 각 화소 행의 총합 전류가 N배의 전류가 되도록 프로그램한다. 제 1 기간 후의 제 2 기간에서는 B 화소 행(B는 G보다도 작고, 1 이상)을 선택하여, 선택된 화소 행의 총합의 전류(단, 선택 화소 행이 1인 때에는, 1 화소 행의 전류)가 N배가 되도록 프로그램하는 방식이다. 예를 들면, 도 30(a1)에 있어서, 5 화소 행을 동시에 선택하여, 각 화소의 트랜지스터(11a)에는 2배의 전류를 흘린다. 이에 따라, 소스 신호선(18)에는 $5 \times 2 = 10$ 배의 전류가 흐른다. 다음의 제 2 기간에서는 도 30(b1)에 있어서, 1 화소 행을 선택한다. 이 1 화소의 트랜지스터(11a)에는 10배의 전류를 흘린다.

또, 도 31에 있어서, 복수의 화소 행을 동시에 선택하는 기간을 1/2H로 하고, 1 화소 행을 선택하는 기간을 1/2H로 하였지만 이것에 한정하는 것은 아니다. 복수의 화소 행을 동시에 선택하는 기간을 1/4H로 하고, 1 화소 행을 선택하는 기간을 3/4H로 해도 좋다. 또한, 복수의 화소 행을 동시에 선택하는 기간과, 1 화소 행을 선택하는 기간을 가한 기간은 1H로 하였지만 이것에 한정하는 것은 아니다. 예를 들면, 2H 기간에서도, 1.5H 기간이더라도 좋다.

또한, 도 30에 있어서, 5 화소 행을 동시에 선택하는 기간을 1/2H로 하고, 다음의 제 2 기간에서는 2 화소 행을 동시에 선택하는 것으로 해도 좋다. 이 경우에도 실용상, 지장이 없는 화상 표시를 실현할 수 있다.

또한, 도 30에 있어서, 5 화소 행을 동시에 선택하는 제 1 기간을 1/2H로 하고, 1 화소 행을 선택하는 제 2 기간을 1/2H로 하는 2단계로 하였지만 이것에 한정하는 것은 아니다. 예를 들면, 제 1 단계는, 5 화소 행을 동시에 선택하고, 제 2 기간은 상기 5 화소 행 중, 2 화소 행을 선택하며, 마지막으로, 1 화소 행을 선택하는 3개의 단계로 해도 좋다. 즉, 복수의 단계에서 화소 행에 화상 데이터를 기입하더라도 좋다.

이상의 본 발명의 N배 펠스 구동 방법에서는, 각 화소 행에서, 게이트 신호선(17b)의 파형을 동일하게 하여, 1H의 간격으로 시프트시켜 인가하여 간다. 이와 같이 주사함으로써, EL 소자(15)가 점등하고 있는 시간을 1F/N으로 규정하면서, 순차적으로, 점등하는 화소 행을 시프트시킬 수 있다. 이와 같이, 각 화소 행에서, 게이트 신호선(17b)의 파형을 동일하게 하여, 시프트시키고 있는 것을 실현하는 것은 용이하다. 도 6의 시프트 레지스터 회로(61a, 61b)에 인가하는 데이터인 ST1, ST2를 제어하면 좋기 때문이다. 예를 들면, 입력 ST2가 L 레벨인 때, 게이트 신호선(17b)에 Vg1이 출력되고, 입력 ST2가 H 레벨인 때, 게이트 신호선(17b)에 Vgh가 출력되는 것으로 한다면, 시프트 레지스터(17b)에 인가하는 ST2를 1F/N의 기간만큼 L 레벨로 입력하고, 다른 기간은 H 레벨로 한다. 이 입력된 ST2를 1H에 동기한 클럭 CLK2에서 시프트하여 가는 것뿐이다.

또, EL 소자(15)를 온/오프하는 주기는 0.5msec 이상으로 할 필요가 있다. 이 주기가 짧으면, 인간의 눈의 잔상 특성에 의해 완전한 흑 표시 상태로 되지 않고, 화상이 희미해지게 되어, 마치 해상도가 저하한 것과 같이 된다. 또한, 데이터 유지형의 표시 패널의 표시 상태로 된다. 그러나, 온/오프 주기를 100 msec 이상으로 하면, 점멸 상태로 보인다. 따라서, EL 소자의 온/오프 주기는 0.5μsec 이상 100msec 이하로 해야 한다. 더욱 바람직하게는, 온/오프 주기를 2msec 이상 30msec 이하로 해야한다. 더욱 바람직하게는, 온/오프 주기를 3msec 이상 20msec 이하로 해야 한다.

앞에서도 기재하였지만, 흑 화면(152)의 분할 수는, 하나로 하면 양호한 동화상 표시를 실현할 수 있지만, 화면의 깜박거림이 보여지기 쉽게 된다. 따라서, 흑 삽입부를 복수로 분할하는 것이 바람직하다. 그러나, 분할 수를 너무 많게 하면 흐릿한 동화상이 발생한다. 분할 수는 1 이상 8 이하로 해야 한다. 더욱 바람직하게는 1 이상 5 이하로 하는 것이 바람직하다.

또, 흑 화면의 분할 수는 정지 화상과 동화상으로 변경할 수 있도록 구성하는 것이 바람직하다. 분할 수란, N=4에서는, 75%가 흑 화면이며, 25%가 화상 표시이다. 이 때, 75%의 흑 표시부를 75%의 흑 띠 형태로 화면의 상하 방향으로 주사하는 것이 분할 수 1이다. 25%의 흑 화면을 25/3%의 표시 화면의 3 블럭으로 주사하는 것이 분할 수 3이다. 정지 화상은 분할 수를 많게 한다. 동화상은 분할 수를 적게 한다. 전환은 입력 화상에 따라 자동적(동화상 검출 등)으로 행해도 좋고, 사용자가 수동으로 행해도 좋다. 또한, 표시 장치의 영상 등에 입력 콘센트에 대응하여 전환해서 가능하도록 구성하면 좋다.

예를 들면, 휴대형 전화기 등에 있어서, 벽지 표시, 입력 화면에서는, 분할 수를 10 이상으로 한다(극단적으로는 1H마다 온/오프하더라도 좋음). NTSC의 동화상을 표시할 때에는, 분할 수를 1 이상 5 이하로 한다. 또, 분할 수는 3 이상의 다단층으로 전환할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 분할 수 없음, 2, 4, 8 등이다.

또한, 전체 표시 화면에 대한 흑 화면의 비율은, 전체 화면의 면적을 1로 한 경우에 0.2 이상 0.9 이하(N으로 표시하면 1.2 이상 9 이하)로 하는 것이 바람직하다. 또한, 특히 0.25 이상 0.6 이하(N으로 표시하면 1.25 이상 6 이하)로 하는 것이 바람직하다. 0.20 이하이면 동화상 표시에서의 개선 효과가 낮다. 0.9 이상이면, 표시 부분의 휘도가 높게 되어, 표시 부분이 상하로 이동하는 것이 시각적으로 인식되기 쉽게 된다.

또한, 1초 당의 프레임 수는, 10 이상 100 이하(10Hz 이상 100Hz 이하)가 바람직하다. 또한 12 이상 65 이하(12Hz 이상 65Hz 이하)가 바람직하다. 프레임 수가 적으면, 화면의 깜박거림이 눈에 띄게 되고, 너무 프레임 수가 많으면, 드라이버 회로(14) 등으로부터의 기입이 곤란하게 되어 해상도가 열화한다.

하여간, 본 발명에서는, 게이트 신호선(17)의 제어에 의해 화상의 밝기를 변화시킬 수 있다. 단, 화상의 밝기는 소스 신호선(18)에 인가하는 전류(전압)를 변화시켜 행해도 되는 것은 말할 필요도 없다. 또한, 앞에서 설명한(도 33, 도 35 등을 이용하여) 게이트 신호선(17)의 제어와, 소스 신호선(18)에 인가하는 전류(전압)를 변화시키는 것을 조합하여 행해도 되는 것은 말할 필요도 없다.

또, 이상의 사항은, 도 38 등의 전류 프로그램의 화소 구성, 도 43, 도 51, 도 54 등의 전압 프로그램의 화소 구성이라도 적용할 수 있음은 말할 필요도 없다. 도 38에서는, 트랜지스터(11d)를, 도 43에서는 트랜지스터(11d)를, 도 51에서는 트랜지스터(11e)를 온/오프 제어하면 좋다. 이와 같이, EL 소자(15)에 전류를 흘리는 배선을 온/오프함으로써, 본 발명의 N배 펠스 구동을 용이하게 실현할 수 있다.

또한, 게이트 신호선(17b)의 1F/N의 기간만큼, Vg1로 하는 시간은 1F(1F에 한정하는 것은 아임. 단위 기간이어도 좋음.)의 기간 중, 어느 시각에서도 좋다. 단위 시간 중, 소정의 기간만큼 EL 소자(15)를 온시킴으로써, 소정의 평균 휘도를 얻는 것이기 때문이다. 단, 전류 프로그램 기간(1H) 후, 곧 게이트 신호선(17b)을 Vg1로 하여 EL 소자(15)를 발광시키는 쪽이 좋다. 도 1의 콘덴서(19)의 유지율 특성의 영향을 받기 어렵게 되기 때문이다.

또한, 이 화상의 분할 수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 누르는 것에 의해, 혹은 밝기 조정 볼륨을 높이는 것에 의해, 이 변화를 검출하여 K의 값을 변경한다. 표시할 화상의 내용, 데이터에 의해 수동으로, 혹은 자동적으로 변화시키도록 구성하더라도 좋다.

이와 같이 K의 값(화상 표시부(53)의 분할 수)을 변화시키는 것도 용이하게 실현할 수 있다. 도 6에 있어서 ST에 인가하는 데이터의 타이밍(1F의 어디에 L 레벨로 할지)을 조정 혹은 가변할 수 있도록 구성해 놓으면 좋기 때문이다.

또, 도 16 등에서는, 게이트 신호선(17b)를 Vg1로 하는 기간(1F/N)을 복수로 분할(분할 수 K)하고, Vg1로 하는 기간은 1F/(K/N)의 기간을 K회 실시하는 것으로 하였지만 이것에 한정되는 것은 아니다. 1F/(K/N)의 기간을 L(L≠K)회 실시하더라도 좋다. 즉, 본 발명은, EL 소자(15)에 흘리는 기간(시간)을 제어함으로써 화상(50)을 표시하는 것이다. 따라서, 1F/(K/N)의 기간을 L(L≠K)회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 화상(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, L=2와 L=3에서는 50%의 휘도(콘트라스트) 변화로 된다. 이들의 제어도, 본 발명의 다른 실시예에도 적용할 수 있는 것은 말할 필요도 없다(물론, 이후에 설명하는 본 발명에도 적용할 수 있음). 이들로 본 발명의 N배 폴스 구동이다.

이상의 실시예는, EL 소자(15)와 구동용 트랜ジ스터(11a) 사이에 스위칭 소자로서의 트랜지스터(11d)를 배치(형성)하여, 이 트랜지스터(11d)를 제어함으로써, 화면(50)을 온/오프 표시하는 것이었다. 이 구동 방법에 의해, 전류 프로그램 방식의 흑 표시 상태에서의 전류 기입 부족을 없애고, 양호한 해상도 혹은 흑 표시를 실현하는 것이었다. 즉, 전류 프로그램 방식에서는, 양호한 흑 표시를 실현하는 것이 큰 이점이다. 다음에 설명하는 구동 방법은, 구동용 트랜지스터(11a)를 리세트하여, 양호한 흑 표시를 실현하는 것이다. 이하, 도 32를 이용하여, 그 실시예에 대해 설명을 한다.

도 32는 기본적으로는 도 1에 나타낸 화소 구성과 마찬가지이다. 도 32의 화소 구성에서는, 프로그램된 Iw 전류가 EL 소자(15)에 흘러, EL 소자(15)가 발광한다. 즉, 구동용 트랜지스터(11a)는 프로그램되는 것에 의해, 전류를 흘리는 능력을 유지하고 있다. 이 전류를 흘리는 능력을 이용하여 트랜지스터(11a)를 리세트(오프 상태)로 하는 방식이 도 32에 나타내는 구동 방식이다. 이후, 이 구동 방식을 리세트 구동이라고 부른다.

도 1의 화소 구성에서 리세트 구동을 실현하기 위해서는, 트랜지스터(11b)와 트랜지스터(11c)를 독립적으로 온/오프 제어할 수 있도록 구성할 필요가 있다. 즉, 도 32에서 도시하는 바와 같이 트랜지스터(11b)를 온/오프 제어하는 게이트 신호선(17a)(게이트 신호선 WR), 트랜지스터(11c)를 온/오프 제어하는 게이트 신호선(17c)(게이트 신호선 EL)을 독립적으로 제어할 수 있도록 한다. 게이트 신호선(17a) 및 게이트 신호선(17c)의 제어는 도 6에 도시하는 바와 같이 독립된 2개의 시프트 레지스터(61)로 실행하면 좋다.

게이트 신호선 WR와 게이트 신호선 EL의 구동 전압은 변화시키면 좋다. 게이트 신호선 WR의 진폭값(온 전압과 오프 전압과의 차)은, 게이트 신호선 EL의 진폭값보다도 작게 한다. 기본적으로 게이트 신호선의 진폭값이 크면, 게이트 신호선과 화소의 관통 전압이 커져, 흑 부유가 발생한다. 게이트 신호선 WR의 진폭은, 소스 신호선(18)의 전위가 화소(16)에 인가되지 않는(인가하는(선택 시)) 것을 제어하면 좋은 것이다. 소스 신호선(18)의 전위 변동은 작으므로, 게이트 신호선 WR의 진폭값은 작게 할 수 있다. 한편, 게이트 신호선 EL은 EL의 온/오프 제어를 실시할 필요가 있다. 따라서, 진폭값은 커진다. 이것에 대응하기 위해서, 시프트 레지스터(61a와 61b)의 출력 전압을 변화시킨다. 화소가 P 채널 트랜지스터로 형성되어 있는 경우에는, 시프트 레지스터(61a 및 61b)의 V9h(오프 전압)를 대략 동일하게 하여, 시프트 레지스터(61a)의 Vgl(온 전압)을 시프트 레지스터(61b)의 Vgl(온 전압)보다도 낮게 한다.

이하, 도 33을 참조하면서, 리세트 구동 방식에 대해 설명을 한다. 도 33은 리세트 구동의 원리 설명도이다. 우선, 도 33의 (a)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11b)를 온 상태로 한다. 그러면, 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, Ib 전류가 흐른다. 일반적으로, 트랜지스터(11a)는 하나 전의 필드(프레임)로 전류 프로그램되어, 전류를 흘리는 능력이 있다. 이 상태에서 트랜지스터(11d)가 오프 상태로 되어 트랜지스터(11b)가 온 상태로 되면, 구동 전류 Ib가 트랜지스터(11a)의 게이트(G) 단자에 흐른다. 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 트랜지스터(11a)는 리세트(전류를 흘리지 않는 상태)로 된다.

이 트랜지스터(11a)의 리세트 상태(전류를 흘리지 않는 상태)는, 도 51 등을 참조하여 설명하는 전압 오프셋 캔슬러(canceller) 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 33의 (a)의 상태에서는, 콘텐서(19)의 단자 사이에는,

오프셋 전압이 유지되고 있는 것으로 된다. 이 오프셋 전압은 트랜지스터(11a)의 특성에 따라 상이한 전압값이다. 따라서, 도 33의 (a)의 동작을 실시함으로써, 각 화소의 콘덴서(19)에는 트랜지스터(11a)가 전류를 흘리지 않는(즉, 흑 표시 전류(거의 0과 같음)가 유지되는) 것으로 되는 것이다.

또, 도 33의 (a)의 동작 이전에, 트랜지스터(11b), 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하여, 구동용 트랜지스터(11a)에 전류를 흘린다고 하는 동작을 실시하는 것이 바람직하다. 이 동작은, 매우 단 시간으로 하는 것이 바람직하다. EL 소자(15)에 전류가 흘러 EL 소자(15)가 점등하여, 표시 콘트라스트를 저하시킬 우려가 있기 때문이다. 이 동작 시간은, 1H(1 수평 주사 기간)의 0.1% 이상 10% 이하로 하는 것이 바람직하다. 더욱 바람직하게는 0.2% 이상 2% 이하로 되도록 하는 것이 바람직하다. 또는 0.2 μ sec 이상 5 μ sec 이하로 되도록 하는 것이 바람직하다. 또한, 전체 화면의 화소(16)에 일괄해서 전술한 동작(도 33의 (a)의 이전에 실행하는 동작)을 실시하더라도 좋다. 이상의 동작을 실시함으로써, 구동용 트랜지스터(11a)의 드레인(D) 단자 전압이 저하하여, 도 33의 (a)의 상태에서 스무스한 전류 Ib를 흘릴 수 있게 된다. 또, 이상의 사항은, 본 발명의 다른 리세트 구동 방식에도 적용된다.

도 33의 (a)에 나타내는 상태의 실시 시간을 길게 할수록, 전류 Ib가 흘러, 콘덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 33의 (a)에 나타내는 상태의 실시 시간은 고정값으로 할 필요가 있다. 발명자 등에 의한 실험 및 검토에 의하면, 도 33의 (a)에 나타내는 상태의 실시 시간은, 1H 이상 5H 이하로 하는 것이 바람직하다. 또, 이 기간은, R, G, B의 화소로 상이하게 한 것이 바람직하다. 각 색의 화소에서 EL 재료가 상이하고, 이 EL 재료의 상승 전압 등에 차이가 있기 때문이다. RGB의 각 화소에서, EL 재료에 적응하여, 가장 최적의 기간을 설정한다. 또, 실시예에 있어서, 이 기간은 1H 이상 5H 이하로 한다고 하였지만, 흑 삽입(흑 화면을 기입함)을 주로 하는 구동 방식에서는, 5H 이상이더라도 되는 것은 말할 필요도 없다. 또, 이 기간이 길수록, 화소의 흑 표시 상태는 양호하게 된다.

도 33의 (a)에 나타내는 상태를 실시한 후, 1H 이상 5H 이하의 기간에 있어서, 도 33의 (b)에 나타내는 상태로 한다. 도 33의 (b)는 트랜지스터(11c), 트랜지스터(11b)를 온시키고, 트랜지스터(11d)를 오프시킨 상태이다. 도 33의 (b)에 나타내는 상태는, 이전에도 설명하였지만, 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버(14)로부터 프로그램 전류 Iw를 출력(혹은 흡수)하여, 이 프로그램 전류 Iw를 구동용 트랜지스터(11a)에 흘린다. 이 프로그램 전류 Iw가 흐르도록, 구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 설정하는 것이다(설정 전위는 콘덴서(19)에 유지됨).

만약 프로그램 전류 Iw가 0(A)이면, 트랜지스터(11a)는 도 33의 (a)에 나타내는 전류를 흘리지 않는 상태가 유지된 채로 되므로, 양호한 흑 표시를 실현할 수 있다. 또한, 도 33의 (b)에 나타내는 상태에서 백 표시의 전류 프로그램을 행하는 경우로서, 각 화소의 구동용 트랜지스터의 특성 편차가 발생하고 있을 때에도, 흑 표시 상태의 오프셋 전압으로부터 전류 프로그램을 완전하게 실행할 수 있다. 따라서, 목표의 전류값에 프로그램되는 시간이 계조에 따라 동등하게 된다. 그 때문에, 트랜지스터(11a)의 특성 편차에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 33의 (b)에 나타내는 상태의 전류 프로그래밍 후, 도 33의 (c)에 도시하는 바와 같이, 트랜지스터(11b)와 트랜지스터(11c)를 오프하여, 트랜지스터(11d)를 온시키고, 구동용 트랜지스터(11a)로부터의 프로그램 전류 Iw($= I_e$)를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다. 도 33의 (c)에 관해서도, 도 1 등에서 이전에 설명을 하였기 때문에 상세한 것은 생략한다.

즉, 도 33에서 설명한 구동 방식(리세트 구동)은, 구동용 트랜지스터(11a)와 EL 소자(15 사이)를 절단(전류가 흐르지 않는 상태)하고, 또한, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자(또는 소스(S) 단자와 게이트(G) 단자, 또한 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제 1 동작과, 상기 동작 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제 2 동작을 실시하는 것이다. 그리고, 적어도 제 2 동작은 제 1 동작 후에 실행하는 것이다. 또, 리세트 구동을 실시하기 위해서는, 도 32의 구성과 같이, 트랜지스터(11b)와 트랜지스터(11c)를 독립적으로 제어할 수 있도록, 구성해 놓지 않으면 안 된다.

화상 표시 상태는(만약 순간적인 변화를 관찰할 수 있는 것이면), 우선, 전류 프로그램을 행하는 화소 행은, 리세트 상태(흑 표시 상태)로 되어, 1H 후에 전류 프로그램이 행해진다(이 때에도 흑 표시 상태임. 트랜지스터(11d)가 오프이기 때문임.). 다음에, EL 소자(15)에 전류가 공급되어, 화소 행은 소정 휘도(프로그램된 전류)로 발광한다. 즉, 화면의 상 방향으로부터 하 방향으로, 흑 표시의 화소 행이 이동하여, 이 화소 행이 통과한 위치에서 화상이 리라이트되어 가도록 보이는 것뿐이다. 또, 리세트 후, 1H 후에 전류 프로그램을 한다고 하였지만 이 기간은, 5H 정도 이내로 해도 좋다. 도 33의 (a)에 나타내는 리세트가 완전히 행해지는 데 비교적 긴 시간을 필요로 하기 때문이다. 만약에 이 기간을 5H라고 하면, 5 화소 행이 흑 표시(전류 프로그램의 화소 행도 포함시키면 6 화소 행)로 되는 것이다.

또한, 리세트 상태는 1 화소 행씩 실행하는 것에 한정하는 것은 아니고, 복수 화소 행씩 동시에 리세트 상태로 해도 좋다. 또한, 복수 화소 행씩 동시에 리세트 상태로 하고, 또한 오버랩하면서 주사하더라도 좋다. 예를 들면, 4 화소 행을 동시에 리세트하는 것이면, 제 1 수평 주사 기간(1 단위)에, 화소 행(1)(2)(3)(4)을 리세트 상태로 하고, 다음의 제 2 수평 주사 기간에, 화소 행(3)(4)(5)(6)을 리세트 상태로 하며, 또한 다음의 제 3 수평 주사 기간에, 화소 행(5)(6)(7)(8)을 리세트 상태로 한다. 또한, 다음 제 4 수평 주사 기간에, 화소 행(7)(8)(9)(10)을 리세트 상태로 한다고 하는 구동 상태가 예시된다. 또, 당연, 도 33의 (b), 도 33의 (c)에 나타내는 구동 상태도 도 33의 (a)에 나타내는 구동 상태와 동기하여 실시된다.

또한, 1 화면의 화소 전부를 동시에 혹은 주사 상태에서 리세트 상태로 하기 때문에, 도 33의 (b), (c)에 나타내는 구동을 실시하더라도 되는 것은 말할 필요도 없다. 또한, 인터레이스 구동 상태(1 화소 행 혹은 복수 화소 행의 비월 주사)에서, 리세트 상태(1 화소 행 혹은 복수 화소 행의 비월 주사)로 해도 되는 것은 말할 필요도 없다. 또한, 랜덤의 리세트 상태를 실시하더라도 좋다. 또한, 본 발명의 리세트 구동의 설명은, 화소 행을 조작하는 방식이다(즉, 화면의 상하 방향이 제어됨). 그러나, 리세트 구동의 개념은, 제어 방향이 화소 행에 한정되는 것은 아니다. 예를 들면, 화소 열 방향으로 리세트 구동을 실시하더라도 되는 것은 말할 필요가 없다.

또, 도 33에 나타내는 리세트 구동은, 본 발명의 N배 펠스 구동 등과 조합하는 것, 인터레이스 구동과 조합하는 것에 의해 더욱 양호한 화상 표시를 실현할 수 있다. 특히 도 22에 나타내는 구성은, 간헐 N/K배 펠스 구동(1 화면에 점등 영역을 복수마련하는 구동 방법임. 이 구동 방법은, 게이트 신호선(17b)을 제어하여, 트랜지스터(11d)를 온/오프 동작시킴으로써 용이하게 실현할 수 있음. 이것은 이전에 설명을 하였음.)을 용이하게 실현할 수 있기 때문에, 플리커의 발생도 없고, 양호한 화상 표시를 실현할 수 있다. 이것은, 도 22에 나타낸 구성 혹은 그 변형 구성이 우수한 특징이다. 또한, 다른 구동 방법, 예를 들면, 이후 설명하는 역바이어스 구동 방식, 프리차지 구동 방식, 관통 전압 구동 방식 등과 조합하는 것에 의해 더욱 우수한 화상 표시를 실현할 수 있는 것은 말할 필요도 없다. 이상과 같이, 본 발명과 마찬가지로 리세트 구동도 본 명세서의 다른 실시예와 조합하여 실시할 수 있는 것은 말할 필요도 없다.

도 34는 리세트 구동을 실현하는 표시 장치의 구성도이다. 게이트 드라이버(12a)는, 도 32에 있어서의 게이트 신호선(17a) 및 게이트 신호선(17b)을 제어한다. 게이트 신호선(17a)에 온/오프 전압을 인가함으로써 트랜지스터(11b)가 온/오프 제어된다. 또한, 게이트 신호선(17b)에 온/오프 전압을 인가함으로써 트랜지스터(11d)가 온/오프 제어된다. 게이트 드라이버(12b)는, 도 32에 있어서의 게이트 신호선(17c)을 제어한다. 게이트 신호선(17c)에 온/오프 전압을 인가함으로써 트랜지스터(11c)가 온/오프 제어된다.

따라서, 게이트 신호선(17a)은 게이트 드라이버(12a)에서 조작하여, 게이트 신호선(17c)은 게이트 드라이버(12b)로부터 조작한다. 그 때문에, 트랜지스터(11b)를 온시켜 구동용 트랜지스터(11a)를 리세트하는 타이밍과, 트랜지스터(11c)를 온시켜 구동용 트랜지스터(11a)에 전류 프로그램을 행하는 타이밍을 자유롭게 설정할 수 있다. 또, 도 34에 있어서 (341a)는 출력단 회로를 나타내고 있다. 다른 구성 등은, 이전에 설명한 것과 동일 또는 유사하기 때문에 설명을 생략한다.

도 35는 리세트 구동의 타이밍차트이다. 게이트 신호선(17a)에 온 전압을 인가하여, 트랜지스터(11b)를 온시켜, 구동용 트랜지스터(11a)를 리세트하고 있는 때에는, 게이트 신호선(17b)에는 오프 전압을 인가하여, 트랜지스터(11d)를 오프 상태로 하고 있다. 따라서, 도 32의 (a)의 상태로 되어 있다. 이 기간에 전류 Ib가 흐른다.

도 35에 나타내는 타이밍차트에서는, 리세트 시간은 2H(게이트 신호선(17a)에 온 전압이 인가되어, 트랜지스터(11b)가 온 함)로 하고 있지만, 이것에 한정하는 것은 아니다. 2H 이상이라도 좋다. 또한, 리세트가 매우 고속으로 실행할 수 있는 경우에는, 리세트 시간은 1H 미만이더라도 좋다. 또한, 리세트 기간을 어느 H 기간으로 할지는 게이트 드라이버(12)에 입력하는 DATA(ST) 펠스 기간으로 용이하게 변경할 수 있다. 예를 들면, ST 단자에 입력하는 DATA를 2H 기간 동안 H 레벨이라고 하면, 각 게이트 신호선(17a)로부터 출력되는 리세트 기간은 2H 기간으로 된다. 마찬가지로, ST 단자에 입력하는 DATA를 5H 기간 동안 H 레벨이라고 하면, 각 게이트 신호선(17a)으로부터 출력되는 리세트 기간은 5H 기간으로 된다.

1H 기간의 리세트 후, 화소 행(1)의 게이트 신호선(17c)(1)에, 온 전압이 인가된다. 트랜지스터(11c)가 온함으로써, 소스 신호선(18)에 인가된 프로그램 전류 Iw가 트랜지스터(11c)를 거쳐서 구동용 트랜지스터(11a)에 기입된다.

전류 프로그램 후, 화소 행(1)의 게이트 신호선(17c)에 오프 전압이 인가되어, 트랜지스터(11c)가 오프하여, 화소가 소스 신호선(18)과 분리된다. 동시에, 게이트 신호선(17a)에도 오프 전압이 인가되어, 구동용 트랜지스터(11a)의 리세트 상태가 해소된다(또, 이 기간은, 리세트 상태로 표현하는 것보다도, 전류 프로그램 상태로 표현하는 쪽이 적절함). 또한, 게이트 신

호선(17b)에는 온 전압이 인가되어, 트랜지스터(11d)가 온하여, 구동용 트랜지스터(11a)에 프로그램된 전류가 EL 소자(15)에 흐른다. 또, 화소 행(2) 이후에 관해서도, 화소 행(1)과 마찬가지이고, 또한, 도 35로부터 그 동작은 명백하므로 설명을 생략한다.

도 35에 있어서, 리세트 기간은 1H 기간이었다. 도 36은 리세트 기간을 5H로 한 실시예이다. 리세트 기간을 어느 H 기간으로 할지는 게이트 드라이버(12)에 입력하는 DATA(ST) 펄스 기간으로 용이하게 변경할 수 있다. 도 36에서는 게이트 드라이버(12a)의 ST1 단자에 입력하는 DATA를 5H 기간 동안 H 레벨로 하여, 각 게이트 신호선(17a)로부터 출력되는 리세트 기간을 5H 기간으로 한 실시예이다. 리세트 기간은, 길수록, 리세트가 완전하게 행해지고, 양호한 흐 표시를 실현할 수 있다. 그러나, 리세트 기간의 비율분만큼 표시 희도가 저하하는 것으로 된다.

도 36은 리세트 기간을 5H로 한 실시예이었다. 또한, 이 리세트 상태는 연속 상태이었다. 그러나, 리세트 상태는 연속하여 실행하는 것에 한정되는 것은 아니다. 예를 들면, 각 게이트 신호선(17a)으로부터 출력되는 신호를 1H마다 온/오프 동작시키더라도 좋다. 이와 같이 온/오프 동작시키는 것은, 시프트 레지스터의 출력단에 형성된 인에이블 회로(도시하지 않음)를 조작함으로써 용이하게 실현할 수 있다. 또한, 게이트 드라이버(12)에 입력하는 DATA(ST) 펄스를 제어함으로써 용이하게 실현할 수 있다.

도 34에 나타내는 회로 구성에서는, 게이트 드라이버(12a)는 적어도 2개의 시프트 레지스터 회로(하나는 게이트 신호선(17a)의 제어용, 다른 하나는 게이트 신호선(17b)의 제어용)가 필요하였다. 그 때문에, 게이트 드라이버(12a)의 회로 규모가 커진다고 하는 문제가 있었다. 도 37은 게이트 드라이버(12a)의 시프트 레지스터를 하나로 한 실시예이다. 도 37에 나타내는 회로를 동작시킨 출력 신호의 타이밍차트는 도 35에 도시하는 바와 같이 된다. 또, 도 35와 도 37은 게이트 드라이버(12a, 12b)로부터 출력되고 있는 게이트 신호선(17)의 기호가 상이하기 때문에 주의가 필요하다.

도 37에 나타내는 구성에는 OR 회로(371)가 부가되어 있기 때문에 명백하지만, 각 게이트 신호선(17a)의 출력은, 시프트 레지스터 회로(61a)의 전단 출력과의 OR를 취하여 출력된다. 즉, 2H 기간, 게이트 신호선(17a)으로부터는 온 전압이 출력된다. 한편, 게이트 신호선(17c)은 시프트 레지스터 회로(61a)의 출력이 그대로 출력된다. 따라서, 1H 기간 동안, 온 전압이 인가된다.

예를 들면, 시프트 레지스터 회로(61a)의 2번째로 H 레벨 신호가 출력되고 있을 때, 화소(16)(1)의 게이트 신호선(17c)에 온 전압이 출력되어, 화소(16)(1)가 전류(전압) 프로그램의 상태로 된다. 동시에, 화소(16)(2)의 게이트 신호선(17a)에도 온 전압이 출력되어, 화소(16)(2)의 트랜지스터(11b)가 온 상태로 되어, 화소(16)(2)의 구동용 트랜지스터(11a)가 리세트된다.

마찬가지로, 시프트 레지스터 회로(61a)의 3번째로 H 레벨 신호가 출력되고 있을 때, 화소(16)(2)의 게이트 신호선(17c)에 온 전압이 출력되어, 화소(16)(2)가 전류(전압) 프로그램의 상태로 된다. 동시에, 화소(16)(3)의 게이트 신호선(17a)에도 온 전압이 출력되어, 화소(16)(3) 트랜지스터(11b)가 온 상태로 되어, 화소(16)(3) 구동용 트랜지스터(11a)가 리세트된다. 즉, 2H 기간, 게이트 신호선(17a)으로부터는 온 전압이 출력되고, 게이트 신호선(17c)에 1H 기간, 온 전압이 출력된다.

프로그램 상태인 때에는, 트랜지스터(11b)와 트랜지스터(11c)가 동시에 온 상태로 되기(도 33의 (b) 참조) 때문에, 비프로그램 상태(도 33의 (c))로 이행 할 때, 트랜지스터(11c)가 트랜지스터(11b)보다도 먼저 오프 상태로 되면, 도 33의 (b)의 리세트 상태로 되어 버린다. 이것을 방지하기 위해서는, 트랜지스터(11c)를 트랜지스터(11b)보다도 이후부터 오프 상태로 할 필요가 있다. 그를 위해서는, 게이트 신호선(17a)이 게이트 신호선(17c)보다도 먼저 온 전압이 인가되도록 제어할 필요가 있다.

이상의 실시예는, 도 32(기본적으로는 도 1)에 나타내는 화소 구성에 관한 실시예였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 38에 나타내는 것과 같은 커런트 미러의 화소 구성이더라도 실시할 수 있다. 또, 도 38에서는 트랜지스터(11e)를 온/오프 제어함으로써, 도 13, 도 15 등에서 도시하는 N배 펄스 구동을 실현할 수 있다. 도 39는 도 38의 커런트 미러의 화소 구성에서의 실시예의 설명도이다. 이하, 도 39를 참조하면서, 커런트 미러의 화소 구성에 있어서의 리세트 구동 방식에 대해 설명을 한다.

도 39의 (a)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11e)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 한다. 그러면, 전류 프로그램용 트랜지스터(11b)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, 도면에 도시하는 바와 같이 전류 Ib가 흐른다. 일반적으로, 트랜지스터(11b)는 하나 전의 필드(프레임)에서 전류 프로그램되어, 전류를 흘리는 능력이 있다(게이트 전위는 콘덴서(19)에 1F 기간 유지되어, 화상 표시를 행하고 있으므로 당연함. 단, 완전한 흐

표시를 행하고 있는 경우, 전류는 흐르지 않음). 이 상태에서 트랜지스터(11e)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하면, 구동 전류 Ib가 트랜지스터(11a)의 게이트(G) 단자 방향으로 흐른다(게이트(G) 단자와 드레인(D) 단자가 쇼트됨). 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 트랜지스터(11a)는 리세트(전류를 흘리지 않는 상태)로 된다. 또한, 구동용 트랜지스터(11b)의 게이트(G) 단자는 전류 프로그램용 트랜지스터(11a)의 게이트(G) 단자와 공통이므로, 구동용 트랜지스터(11b)도 리세트 상태로 된다.

이 트랜지스터(11a), 트랜지스터(11b)의 리세트 상태(전류를 흘리지 않는 상태)는, 도 51 등에서 설명하는 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 동가이다. 즉, 도 39의 (a)의 상태에서는, 콘덴서(19)의 단자 사이에는, 오프셋 전압(전류가 흐르기 시작하는 개시 전압). 이 전압의 절대값 이상의 전압을 인가함으로써, 트랜지스터(11)에 전류가 흐름)이 유지되어 있는 것으로 된다. 이 오프셋 전압은 트랜지스터(11a), 트랜지스터(11b)의 특성에 따라 상이한 전압값으로 된다. 따라서, 도 39의 (a)의 동작을 실시함으로써, 각 화소의 콘덴서(19)에는 트랜지스터(11a), 트랜지스터(11b)가 전류를 흘리지 않는(즉, 흑 표시 전류(거의 0과 같음)) 상태가 유지되는 것으로 되는 것이다(전류가 흐르기 시작하는 개시 전압으로 리세트됨).

또, 도 39의 (a)에 있어서도 도 33의 (a)와 마찬가지로, 리세트의 실시 시간을 길게 할수록, Ib 전류가 흘러, 콘덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 39의 (a)의 실시 시간은 고정값으로 할 필요가 있다. 발명자 등의 실험 및 검토에 의하면, 도 39의 (a)의 실시 시간은, 1H 이상 10H(10 수평 주사 기간) 이하로 하는 것이 바람직하다. 또는 1H 이상 5H 이하로 하는 것이 바람직하다. 혹은, 20 μ sec 이상 2msec 이하로 하는 것이 바람직하다. 이는, 20 μ sec 이상 2msec 이하로 하는 것이 바람직한 것이다. 이것은 도 33에 나타내는 구동 방식이라도 마찬가지이다.

도 33의 (a)도 마찬가지이지만, 도 39의 (a)에 나타내는 리세트 상태와, 도 39의 (b)에 나타내는 전류 프로그램 상태를 동기를 취하여 실행하는 경우는, 도 39의 (a)에 나타내는 리세트 상태로부터, 도 39의 (b)에 나타내는 전류 프로그램 상태까지의 기간이 고정값(일정값)으로 되므로 문제는 없다(고정값으로 되어 있음). 즉, 도 33의 (a) 혹은 도 39의 (a)에 나타내는 리세트 상태로부터, 도 33의 (b) 혹은 도 39의 (b)에 나타내는 전류 프로그램 상태까지의 기간이, 1H 이상 10H(10 수평 주사 기간) 이하로 되는 것이 바람직하다. 또는 1H 이상 5H 이하로 하는 것이 바람직한 것이다. 혹은, 20 μ sec 이상 2msec 이하로 하는 것이 바람직한 것이다. 이 기간이 짧으면 구동용 트랜지스터(11)가 완전하게 리세트되지 않는다. 또한, 너무 길면 구동용 트랜지스터(11)가 완전히 오프 상태로 되어, 이번에는 전류를 프로그램하는데 긴 시간이 필요하게 된다. 또한, 화면(50)의 휙도도 저하한다.

도 39의 (a)를 실시한 후, 도 39의 (b)에 나타내는 상태로 한다. 도 39의 (b)는 트랜지스터(11c), 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시킨 상태를 나타내고 있다. 도 39의 (b)의 상태는, 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버(14)로부터 프로그램 전류 Iw를 출력(혹은 흡수)하여, 이 프로그램 전류 Iw를 전류 프로그램용 트랜지스터(11a)에 흘린다. 이 프로그램 전류 Iw가 흐르도록, 구동용 트랜지스터(11b)의 게이트(G) 단자의 전위를 콘덴서(19)에 설정하는 것이다.

만약 프로그램 전류 Iw가 0(A)(흑 표시)이면, 트랜지스터(11b)는 도 33의 (a)의 전류를 흘리지 않는 상태가 유지된 채로 되므로, 양호한 흑 표시를 실현할 수 있다. 또한, 도 39의 (b)에서 백 표시의 전류 프로그램을 행하는 경우는, 각 화소의 구동용 트랜지스터의 특성 편차가 발생하고 있더라도, 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)으로부터 전류 프로그램을 완전하게 실행한다. 따라서, 목표의 전류값에 프로그램되는 시간이 계조에 따라 동등하게 된다. 그 때문에, 트랜지스터(11a) 혹은 트랜지스터(11b)의 특성 편차에 의한 계조 오차가 없고, 양호한 화상 표시를 실현할 수 있다.

도 39의 (b)의 전류 프로그래밍 후, 도 39의 (c)에 도시하는 바와 같이, 트랜지스터(11c)와 트랜지스터(11d)를 오프하고, 트랜지스터(11e)를 온시켜, 구동용 트랜지스터(11b)로부터의 프로그램 전류 Iw(=Ie)를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다. 도 39의 (c)에 관해서도, 이전에 설명을 했기 때문에 상세한 것은 생략한다.

도 33, 도 39에서 설명한 구동 방식(리세트 구동)은, 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단(전류가 흐르지 않는 상태. 트랜지스터(11e) 혹은 트랜지스터(11d)에서 실행함)하고, 또한, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자(또는 소스(S) 단자와 게이트(G) 단자, 더욱 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트되는 제 1 동작과, 상기 동작 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제 2 동작을 실시하는 것이다. 그리고, 적어도 제 2 동작은 제 1 동작 후에 실행하는 것이다. 또, 제 1 동작에 있어서의 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단한다고 하는 동작은, 반드시 필수적인 조건은 아니다. 만약 제 1 동작에 있어서의 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단하

지 않고, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자 사이를 쇼트하는 제 1 동작을 행하더라도 다소의 리세트 상태의 편차가 발생하는 정도로 되는 경우가 있기 때문이다. 이것은, 제작한 어레이의 트랜지스터 특성을 검토하여 결정한다.

도 39에 나타내는 커런트 미러의 화소 구성은, 전류 프로그램 트랜지스터(1la)를 리세트함으로써, 결과적으로 구동용 트랜지스터(1lb)를 리세트하는 구동 방법이었다.

도 39에 나타내는 커런트 미러의 화소 구성에 있어서, 리세트 상태에서는, 반드시 구동용 트랜지스터(1lb)와 EL 소자(15) 사이를 절단할 필요는 없다. 따라서, 전류 프로그램용 트랜지스터 a의 드레인(D) 단자와 게이트(G) 단자(또는 소스(S) 단자와 게이트(G) 단자, 더욱 일반적으로 표현하면 전류 프로그램용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자, 혹은 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제 1 동작과, 상기 동작 후, 전류 프로그램용 트랜지스터에 전류(전압) 프로그램을 행하는 제 2 동작을 실시하는 것이다. 그리고, 적어도 제 2 동작은 제 1 동작 후에 실행하는 것이다.

화상 표시 상태는(만약 순간적인 변화를 관찰할 수 있는 것이면), 우선, 전류 프로그램을 행하는 화소 행은, 리세트 상태(흑 표시 상태)로 되어, 소정 H 후에 전류 프로그램이 행해진다. 화면의 상 방향으로부터 하 방향으로, 흑 표시의 화소 행이 이동하여, 이 화소 행이 통과한 위치에서 화상이 리라이트되어 가도록 보이는 것이다.

이상의 실시예는, 전류 프로그램의 화소 구성을 중심으로 하여 설명을 하였지만, 본 발명의 리세트 구동은 전압 프로그램의 화소 구성에도 적용할 수 있다. 도 43은 전압 프로그램의 화소 구성에 있어서의 리세트 구동을 실시하기 위한 본 발명의 화소 구성(패널 구성)의 설명도이다.

도 43의 화소 구성에서는, 구동용 트랜지스터(1la)를 리세트 동작시키기 위한 트랜지스터(11e)가 형성되어 있다. 게이트 신호선(17e)에 온 전압이 인가되는 것에 의해, 트랜지스터(11e)가 온하여, 구동용 트랜지스터(1la)의 게이트(G) 단자와 드레인(D) 단자 사이를 쇼트시킨다. 또한, EL 소자(15)와 구동용 트랜지스터(1la)의 전류 경로를 절단하는 트랜지스터(11d)가 형성되어 있다. 이하, 도 44를 참조하면서, 전압 프로그램의 화소 구성에 있어서의 본 발명의 리세트 구동 방식에 대해 설명을 한다.

도 44의 (a)에 도시하는 바와 같이, 트랜지스터(1lb)와 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11e)를 온 상태로 한다. 구동용 트랜지스터(1la)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, 도면에 도시하는 바와 같이 전류 Ib가 흐른다. 그 때문에, 트랜지스터(1la)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 구동용 트랜지스터(1la)는 리세트(전류를 흘리지 않는 상태)로 된다. 또, 트랜지스터(11a)를 리세트하기 전에, 도 33 혹은 도 39에서 설명한 바와 같이, HD 동기 신호에 동기하여, 최초로 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시켜, 트랜지스터(11a)에 전류를 흘려 놓는다. 그 후, 도 44의 (a)에 나타내는 동작을 실시한다.

이 트랜지스터(11a), 트랜지스터(11b)의 리세트 상태(전류를 흘리지 않는 상태)는, 도 41 등에서 설명한 전압 오프셋 캠슬러 방식의 오프셋 전압을 유지한 상태와 동가이다. 즉, 도 44의 (a)의 상태에서는, 콘덴서(19)의 단자 사이에는, 오프셋 전압(리세트 전압)이 유지되어 있는 것으로 된다. 이 리세트 전압은 구동용 트랜지스터(1la)의 특성에 따라 상이한 전압값으로 된다. 즉, 도 44의 (a)의 동작을 실시함으로써, 각 화소의 콘덴서(19)에는 구동용 트랜지스터(1la)가 전류를 흘리지 않는다(즉, 흑 표시 전류(거의 0과 같음)) 상태가 유지되는 것으로 되는 것이다(전류가 흐르기 시작하는 개시 전압으로 리세트됨).

또, 전압 프로그램의 화소 구성에 있어서도, 전류 프로그램의 화소 구성과 마찬가지로, 도 44의 (a)의 리세트의 실시 시간을 길게 할수록, Ib 전류가 흘러, 콘덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 44의 (a)의 실시 시간은 고정값으로 할 필요가 있다. 실시 시간은, 0.2H 이상 5H(5 수평 주사 기간)으로 하는 것이 바람직하다. 또는 0.5H 이상 4H 이하로 하는 것이 바람직하다. 혹은, 2μsec 이상 400μsec 이하로 하는 것이 바람직하다.

또한, 게이트 신호선(17e)은 전단의 화소 행의 게이트 신호선(17a)과 공통으로 해 놓는 것이 바람직하다. 즉, 게이트 신호선(17e)과 전단의 화소 행의 게이트 신호선(17a)을 쇼트 상태로 형성한다. 이 구성을 전단 게이트 제어 방식이라고 부른다. 또, 전단 게이트 제어 방식이란, 주목 화소 행보다 적어도 1H 앞 이상으로 선택되는 화소 행의 게이트 신호선 파형을 이용하는 것이다. 따라서, 1 화소 행 전으로 한정되는 것은 아니다. 예를 들면, 2 화소 행 전의 게이트 신호선의 신호 파형을 이용하여 주목 화소 행의 구동용 트랜지스터(1la)의 리세트를 실시하더라도 좋다.

전단 게이트 제어 방식을 더 구체적으로 기재하면 이하와 같이 된다. 주목하는 화소 행을 (N) 화소 행으로 하고, 그 게이트 신호선을 게이트 신호선(17e)(N), 게이트 신호선(17a)(N)으로 한다. 1H 전에 선택되는 전단의 화소 행을 (N-1) 화소 행으로 하고, 그 게이트 신호선을 게이트 신호선(17e)(N-1), 게이트 신호선(17a)(N-1)으로 한다. 또한, 주목 화소 행의 다음 1H 후에 선택되는 화소 행을(N+ 1) 화소 행으로 하고, 그 게이트 신호선을 게이트 신호선(17e)(N+ 1), 게이트 신호선(17a)(N+ 1)으로 한다.

제 (N-1)H 기간에서는, 제 (N-1) 화소 행의 게이트 신호선(17a)(N-1)에 온 전압이 인가되면, 제 (N) 화소 행의 게이트 신호선(17e)(N)에도 온 전압이 인가된다. 게이트 신호선(17e)(N)과 전단의 화소 행의 게이트 신호선(17a)(N-1)이 쇼트 상태로 형성되어 있기 때문이다. 따라서, 제 (N-1) 화소 행의 화소의 트랜지스터(1lb)(N-1)가 온하여, 소스 신호선(18)의 전압이 구동용 트랜지스터(1la)(N-1)의 게이트(G) 단자에 기입된다. 동시에, 제 (N) 화소 행의 화소의 트랜지스터(1le)(N)가 온하여, 구동용 트랜지스터(1la)(N)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(1la)(N)가 리세트된다.

제 (N-1)H 기간 다음의 제 (N) 기간에서는, 제 (N) 화소 행의 게이트 신호선(17a)(N)에 온 전압이 인가되면, 제 (N+ 1) 화소 행의 게이트 신호선(17e)(N+ 1)에도 온 전압이 인가된다. 따라서, 제 (N) 화소 행의 화소의 트랜지스터(1lb)(N)가 온하여, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(1la)(N)의 게이트(G) 단자에 기입된다. 동시에, 제 (N+ 1) 화소 행의 화소의 트랜지스터(1le)(N+ 1)가 온하여, 구동용 트랜지스터(1la)(N+ 1)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(1la)(N+ 1)가 리세트된다.

이하 마찬가지로, 제 (N)H 기간의 다음 제 (N+ 1)H 기간에 있어서, 제 (N+ 1) 화소 행의 게이트 신호선(17a)(N+ 1)에 온 전압이 인가되면, 제 (N+ 2) 화소 행의 게이트 신호선(17e)(N+ 2)에도 온 전압이 인가된다. 따라서, 제 (N+ 1) 화소 행의 화소의 트랜지스터(1lb)(N+ 1)가 온하여, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(1la)(N+ 1)의 게이트(G) 단자에 기입된다. 동시에, 제 (N+ 2) 화소 행의 화소의 트랜지스터(1le)(N+ 2)가 온하여, 구동용 트랜지스터(1la)(N+ 2)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(1la)(N+ 2)가 리세트된다.

이상의 본 발명의 전단 게이트 제어 방식에서는, 1H 기간, 구동용 트랜지스터(1la)는 리세트되고, 그 후, 전압(전류) 프로그램이 실시된다.

도 33의 (a)도 마찬가지이지만, 도 44의 (a)의 리세트 상태와, 도 44의 (b) 의 전압 프로그램 상태를 동기를 취하여 실행하는 경우에는, 도 44의 (a)의 리세트 상태로부터, 도 44의 (b)의 전류 프로그램 상태까지의 기간이 고정값(일정값)으로 되므로 문제는 없다(고정값으로 되어 있음). 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리세트되지 않는다. 또한, 너무 길면 구동용 트랜지스터(11a)가 완전히 오프 상태로 되어, 이번에는 전류를 프로그램하는데 긴 시간이 필요하게 된다. 또한, 화면(12)의 휘도도 저하한다.

도 44의 (a)에 나타내는 상태를 실시한 후, 도 44의 (b)에 나타내는 상태로 한다. 도 44의 (b)는 트랜지스터(1lb)를 온시키고, 트랜지스터(11e)와 트랜지스터(11d)를 오프시킨 상태이다. 도 44의 (b)에 나타내는 상태는, 전압 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버(14)로부터 프로그램 전압을 출력하고, 이 프로그램 전압을 구동용 트랜지스터(11a)의 게이트(G) 단자에 기입한다(구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 콘덴서(19)에 설정함). 또, 전압 프로그램 방식의 경우에는, 전압 프로그램 시에 트랜지스터(11d)를 반드시 오프시킬 필요는 없다. 또한, 도 13, 도 15 등의 N배 펠스 구동 등으로 조합하는 것, 혹은 이상과 같은, 간헐 N/K배 펠스 구동(1 화면에 점등 영역을 복수 마련하는 구동 방법임. 이 구동 방법은, 트랜지스터(11e)를 온/오프 동작시킴으로써 용이하게 실현할 수 있음)을 실시할 필요가 없으면, 트랜지스터(11e)는 불필요하다. 이것은 이전에 설명을 했기 때문에, 설명을 생략한다.

도 43에 나타내는 구성 혹은 도 44의 구동 방법에서 백 표시의 전압 프로그램을 행하는 경우에는, 각 화소의 구동용 트랜지스터의 특성 편차가 발생하고 있더라도, 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)으로부터 전압 프로그램을 완전하게 실행한다. 따라서, 목표의 전류값으로 프로그램되는 시간이 계조에 따라 동등하게 된다. 그 때문에, 트랜지스터(11a)의 특성 편차에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 44의 (b)에 나타내는 전류 프로그래밍 후, 도 44의 (c)에 도시하는 바와 같이, 트랜지스터(1lb)를 오프하고, 트랜지스터(11d)를 온시켜, 구동용 트랜지스터(11a)로부터의 프로그램 전류를 EL 소자(15)에 흘려, EL 소자(15)를 발광시킨다.

이상과 같이, 도 43의 전압 프로그램에 있어서의 본 발명의 리세트 구동은, 우선, HD 동기 신호에 동기하여, 최초에 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시켜, 트랜지스터(11a)에 전류를 흘리는 제 1 동작과, 트랜지스터(11a)와 EL 소자(15) 사이를 절단하고, 또한, 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자(또는 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제 2 동작과, 상기 동작 후, 구동용 트랜지스터(11a)에 전압 프로그램을 행하는 제 3 동작을 실시하는 것이다.

이상의 실시예에서는, 구동용 트랜지스터 소자(11a)(도 1의 화소 구성의 경우)로부터 EL 소자(15)에 흘리는 전류를 제어하는 데, 트랜지스터(11d)를 온/오프시켜 실행한다. 트랜지스터(11d)를 온/오프시키기 위해서는, 게이트 신호선(17b)을 주사할 필요가 있고, 주사를 위해서는, 시프트 레지스터(61)(게이트 회로(12))가 필요하게 된다. 그러나, 시프트 레지스터(61)는 규모가 크고, 게이트 신호선(17b)의 제어에 시프트 레지스터(61)를 이용한 것으로는 협베젤화가 불가능하다. 도 40을 참조하여 설명하는 방식은, 이 과제를 해결하는 것이다.

또, 본 발명은, 주로 도 1 등에 도시하는 전류 프로그램의 화소 구성을 예시하여 설명을 하지만, 이것에 한정하는 것은 아니고, 도 38 등에서 설명한 다른 전류 프로그램 구성(커런트 미러의 화소 구성)이라도 적용할 수 있는 것은 말할 필요도 없다. 또한, 블럭으로 온/오프하는 기술적 개념은, 도 41 등의 전압 프로그램의 화소 구성이라도 적용할 수 있는 것은 말할 필요도 없다. 또한, 본 발명은, EL 소자(15)에 흐르는 전류를 간헐로 하는 방식이므로, 도 50 등을 참조하여 설명하는 역바이어스 전압을 인가하는 방식과도 조합할 수 있는 것은 말할 필요도 없다. 이상과 같이, 본 발명은 다른 실시예와 조합하여 실시할 수 있다.

도 40은 블럭 구동 방식의 실시예를 나타내고 있다. 우선, 설명을 용이하게 하기 위해서, 게이트 드라이버(12)는 기판(71)에 직접 형성했거나, 또는 실리콘 칩의 게이트 드라이버(12)를 기판(71)에 적재한 것으로 하여 설명을 한다. 또한, 소스 드라이버(14) 및 소스 신호선(18)은 도면이 번잡하게 되기 때문에 생략한다.

도 40에 있어서, 게이트 신호선(17a)은 게이트 드라이버(12)와 접속되어 있다. 한편, 각 화소의 게이트 신호선(17b)은 점등 제어선(401)과 접속되어 있다. 도 40에서는 4개의 게이트 신호선(17b)이 하나의 점등 제어선(401)과 접속되어 있다.

또, 여기서는 4개의 게이트 신호선(17b)을 일괄하여 하나의 블럭으로 하고 있지만 이것에 한정되는 것이 아니라, 그 이상 이더라도 되는 것은 말할 필요도 없다. 일반적으로 표시 영역(50)은 적어도 5 이상으로 분할하는 것이 바람직하다. 더욱 바람직하게는, 10 이상으로 분할하는 것이 바람직하다. 또는, 20 이상으로 분할하는 것이 바람직하다. 분할 수가 적으면, 플리커가 보이기 쉽게 된다. 한편, 너무 분할 수가 많으면, 점등 제어선(401)의 개수가 많아져, 제어선(401)의 레이아웃이 곤란하게 된다.

따라서, QCIF 표시 패널의 경우는, 수직 주사선의 개수가 220개이므로, 적어도, $220/5=44$ 개 이상으로 블록화할 필요가 있으며, 바람직하게는, $220/10=11$ 이상으로 블록화할 필요가 있다. 단, 기수 행과 우수 행으로 2개의 블럭화를 행한 경우는, 저 프레임 레이트에서도 비교적 플리커의 발생이 적기 때문에, 2개의 블럭화로 충분한 경우가 있다.

도 40의 실시예에서는, 점등 제어선(401a, 401b, 401c, 401d,..., 401n)과 순차적으로, 온 전압(Vgl)을 인가하거나, 또는 오프 전압(Vgh)을 인가하여, 블럭마다 EL 소자(15)에 흐르는 전류를 온/오프시킨다.

또, 도 40의 실시예에서는, 게이트 신호선(17b)과 점등 제어선(401)이 크로스하는 것이 없다. 따라서, 게이트 신호선(17b)과 점등 제어선(401)이 쇼트된다고 한 결함은 발생하지 않는다. 또한, 게이트 신호선(17b)과 점등 제어선(401)이 용량 결합하는 것이 없기 때문에, 점등 제어선(401)으로부터 게이트 신호선(17b) 측을 보았을 때의 용량 부가가 극히 작다. 따라서, 점등 제어선(401)을 구동하기 쉽다.

게이트 드라이버(12)에는 게이트 신호선(17a)이 접속되어 있다. 게이트 신호선(17a)에 온 전압을 인가함으로써, 화소 행이 선택되어, 선택된 각 화소의 트랜지스터(11b, 11c)는 온하여, 소스 신호선(18)에 인가된 전류(전압)를 각 화소의 콘덴서(19)에 프로그램한다. 한편, 게이트 신호선(17b)은 각 화소의 트랜지스터(11d)의 게이트(G) 단자와 접속되어 있다. 따라서, 점등 제어선(401)에 온 전압(Vgl)이 인가되었을 때, 구동용 트랜지스터(11a)와 EL 소자(15)의 전류 경로를 형성하고, 반대로 오프 전압(Vgh)이 인가되었을 때에는, EL 소자(15)의 애노드 단자를 오픈으로 한다.

또, 점등 제어선(401)에 인가하는 온/오프 전압의 제어 타이밍과, 게이트 드라이버(12)가 게이트 신호선(17a)에 출력하는 화소 행 선택 전압(Vgl)의 타이밍은 1 수평 주사 클럭(IH)에 동기하고 있는 것이 바람직하다. 그러나, 이것에 한정하는 것은 아니다.

점등 제어선(401)에 인가하는 신호는 단순히, EL 소자(15)로의 전류를 온/오프시킬 뿐이다. 또한, 소스 드라이버(14)가 출력하는 화상 데이터와 동기가 취해져 있을 필요도 없다. 점등 제어선(401)에 인가하는 신호는, 각 화소(16)의 콘덴서(19)에 프로그램된 전류를 제어하는 것이기 때문이다. 따라서, 반드시, 화소 행의 선택 신호와 동기가 취해져 있을 필요는 없다. 또한, 동기하는 경우이더라도 클럭은 1H 신호에 한정되는 것이 아니라, 1/2H이어도 좋고, 1/4H이어도 좋다.

도 38에 도시한 커런트 미러의 화소 구성의 경우이더라도, 게이트 신호선(17b)을 점등 제어선(401)에 접속함으로써, 트랜지스터(11e)를 온/오프제어할 수 있다. 따라서, 블럭 구동을 실현할 수 있다.

또, 도 32에 있어서, 게이트 신호선(17a)을 점등 제어선(401)에 접속하여, 리세트를 실시하면, 블럭 구동을 실현할 수 있다. 이 경우, 본 발명의 블럭 구동은, 하나의 제어선으로, 복수의 화소 행을 동시에 비점등(혹은 흑 표시)으로 하는 구동 방법으로 된다.

이상의 실시예는, 1 화소 행마다 1개의 선택 화소 행을 배치(형성)하는 구성이었다. 본 발명은, 이것에 한정하는 것은 아니고, 복수의 화소 행으로 1개의 선택 게이트 신호선을 배치(형성)하더라도 좋다.

도 41은 그 실시예이다. 또, 설명을 용이하게 하기 위해서, 화소 구성은 도 1의 경우를 주로 예시하여 설명을 한다. 도 41에 있어서, 게이트 신호선(17a)은 3개의 화소(16R, 16G, 16B)를 동시에 선택한다. 또, R의 기호란 적색의 화소 관련을 의미하고, G의 기호란 녹색의 화소 관련을 의미하며, B의 기호란 청색의 화소 관련을 의미하는 것으로 한다.

따라서, 게이트 신호선(17a)의 선택에 의해, 화소(16R), 화소(16G) 및 화소(16B)가 동시에 선택되어 데이터 기입 상태로 된다. 화소(16R)는 소스 신호선(18R)으로부터 데이터를 콘덴서(19R)에 기입하고, 화소(16G)는 소스 신호선(18G)으로부터 데이터를 콘덴서(19G)에 기입한다. 화소(16B)는 소스 신호선(18B)으로부터 데이터를 콘덴서(19B)에 기입한다.

화소(16R)의 트랜지스터(11d)는 게이트 신호선(17bR)에 접속되어 있다. 또한, 화소(16G)의 트랜지스터(11d)는 게이트 신호선(17bG)에 접속되고, 화소(16B)의 트랜지스터(11d)는 게이트 신호선(17bB)에 접속되어 있다. 따라서, 화소(16R)의 EL 소자(15R), 화소(16G)의 EL 소자(15G), 화소(16B)의 EL 소자(15B)는 각각 독립적으로 온/오프 제어할 수 있다. 즉, EL 소자(15R), EL 소자(15G), EL 소자(15B)는 게이트 신호선(17bR, 17bG, 17bB)을 각각 제어함으로써, 점등 시간, 점등 주기를 개별적으로 제어할 수 있다.

이 동작을 실현하기 위해서는, 도 6에 나타내는 구성에 있어서, 게이트 신호선(17a)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bR)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bG)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bB)을 주사하는 시프트 레지스터 회로(61)의 4개를 형성(배치)하는 것이 적절하다.

또, 소스 신호선(18)에 소정 전류의 N배의 전류를 흘리는 것에 의해, EL 소자(15)에 소정 전류의 N배의 전류를 1/N의 기간 흘리는 것으로 하였지만, 실용상은 이것을 실현할 수 없다. 실제로는 게이트 신호선(17)에 인가한 신호 펄스가 콘덴서(19)에 관통하고, 콘덴서(19)에 소망하는 전압값(전류값)을 설정할 수 없기 때문이다. 일반적으로 콘덴서(19)에는 소망하는 전압값(전류값)보다도 낮은 전압값(전류값)이 설정된다. 예를 들면, 10배의 전류값을 설정하도록 구동하더라도, 5배 정도의 전류밖에 콘덴서(19)에는 설정되지 않는다. 예를 들면, N=10으로 해도 실제로 EL 소자(15)에 흐르는 전류는 N=5의 경우와 동일하게 된다. 따라서, 본 발명은 N배의 전류값을 설정하여, N배에 비례한 혹은 대응하는 전류를 EL 소자(15)에 흐르도록 구동하는 방법이다. 또는, 소망값보다도 큰 전류를 EL 소자(15)에 펄스 형상으로 인가하는 구동 방법이다.

또한, 소망값으로부터 전류(그대로, EL 소자(15)에 연속하여 전류를 흘리면 소망휘도보다도 높게 되는 것과 같은 전류)를 구동용 트랜지스터(11a)(도 1을 예시하는 경우)에 전류(전압) 프로그램을 행하여, EL 소자(15)에 흐르는 전류를 간헐로 하는 것에 의해, 소망하는 EL 소자의 발광 휘도를 얻는 것이다.

또, 이 콘덴서(19)로의 관통에 의한 보상 회로는, 소스 드라이버(14) 내에 도입한다. 이 사항에 대해서는 나중에 설명을 한다.

또한, 도 1등의 스위칭 트랜지스터(11b, 11c) 등은 N 채널로 형성하는 것이 바람직하다. 콘덴서(19)로의 관통 전압이 저감하기 때문이다. 또한, 콘덴서(19)의 오프 리크도 감소하기 때문에, 10Hz 이하의 낮은 프레임 레이트에도 적용할 수 있게 된다.

또한, 화소 구성에 따라서는, 관통 전압이 EL 소자(15)에 흐르는 전류를 증가시키는 방향으로 작용하는 경우에는, 백 피크 전류가 증가하여, 화상 표시의 콘트라스트감이 증가한다. 따라서, 양호한 화상 표시를 실현할 수 있다.

반대로, 도 1의 스위칭 트랜지스터(1lb, 11c)를 P 채널로 하는 것에 의해 관통을 발생시켜, 보다 흑 표시를 양호하게 하는 방법도 유효하다. 이 경우, P 채널 트랜지스터(1lb)를 오프로 할 때는 Vgh 전압으로 된다. 그 때문에, 콘덴서(19)의 단자 전압이 Vdd 측으로 조금 시프트한다. 이에 따라, 트랜지스터(1la)의 게이트(G) 단자 전압은 상승하여, 보다 양호한 흑 표시로 된다. 또한, 제 1 계조 표시로 하는 전류값을 크게 할 수 있기 때문에(계조 1까지 일정한 베이스 전류를 흘릴 수 있음), 전류 프로그램 방식으로 기입 전류 부족을 경감할 수 있다.

그 외에, 게이트 신호선(17a)과 트랜지스터(1la)의 게이트(G) 단자 사이에 적극적으로 콘덴서(19b)를 형성하여, 관통 전압을 증가시키는 구성도 유효하다(도 42의 (a)를 참조). 이 콘덴서(19b)의 용량은 정규의 콘덴서(19a)의 용량의 1/50 이상 1/10 이하로 하는 것이 바람직하다. 이 값은 1/40 이상 1/15 이하로 하는 것이 바람직하다. 또는 트랜지스터(1lb)의 소스-게이트(소스-드레인(SG) 또는 게이트-드레인(GD)) 용량의 1배 이상 10배 이하로 한다. 더욱 바람직하게는, SG 용량의 2 배 이상 6배 이하로 하는 것이 바람직하다. 또, 콘덴서(19b)는, 콘덴서(19a)의 한쪽 단자(트랜지스터(1la)의 게이트(G) 단자)와 트랜지스터(11d)의 소스(S) 단자 사이에 형성 또는 배치하더라도 좋다. 이 경우에도 용량 등은 앞에서 설명한 값과 마찬가지이다.

관통 전압 발생용의 콘덴서(19b)의 용량(용량을 $C_b(pF)$ 로 함)은, 전하 유지용의 콘덴서(19a)의 용량(용량과 $C_a(pF)$ 로 함)과, 트랜지스터(11a)의 백 피크 전류 시(화상 표시로 표시 최대 휘도의 백 래스터 시)의 게이트(G) 단자 전압 V_w 를 흑 표시에서의 전류를 흘리는(기본적으로는 전류는 0이다. 즉, 화상 표시로 흑 표시의 경우) 때의 게이트(G) I 단자 전압 V_b 가 관련한다. 이들의 관계는,

$$C_a/(200C_b) \leq |V_w - V_b| \leq C_a/(8C_b)$$

의 조건을 만족시키는 것이 바람직하다. 또, $|V_w - V_b|$ 는, 구동용 트랜지스터의 백 표시 시의 단자 전압과 흑 표시 시의 단자 전압과의 차의 절대값이다(즉, 변화하는 전압 폭).

더욱 바람직하게는,

$$C_a/(100C_b) \leq |V_w - V_b| \leq C_a/(10C_b)$$

의 조건을 만족시키는 것이 바람직하다.

트랜지스터(11b)는 P 채널로 하고, 이 P 채널은 적어도 더블 게이트 이상으로 한다. 또한, 바람직하게는, 트리플 게이트 이상으로 한다. 더욱 바람직하게는, 4 게이트 이상으로 한다. 그리고, 트랜지스터(11b)의 소스-게이트(SG) 또는 게이트-드레인(GD) 용량(트랜지스터가 온하고 있을 때의 용량)의 1배 이상 10배 이하의 콘덴서를 병렬로 형성 또는 배치하는 것이 바람직하다.

또, 이상의 사항은, 도 1에 나타내는 화소 구성 뿐만 아니라, 다른 화소 구성에서도 유효하다. 예를 들면, 도 42의 (b)에 도시하는 것과 같은 커런트 미러의 화소 구성에 있어서, 관통을 발생시키는 콘덴서를 게이트 신호선(17a 또는 17b)과 트랜지스터(1la)의 게이트(G) 단자(15) 사이에 배치 또는 형성한다. 스위칭 트랜지스터(11c)의 N 채널은 더블 게이트 이상으로 한다. 또는 스위칭 트랜지스터(11c, 11d)를 P 채널로 하여, 트리플 게이트 이상으로 한다.

도 41에 나타내는 전압 프로그램의 구성에 있어서는, 게이트 신호선(17c)과 구동용 트랜지스터(11a)의 게이트(G) 단자 사이에 관통 전압 발생용의 콘덴서(19c)를 형성 또는 배치한다. 또한, 스위칭 트랜지스터(11c)는 트리플 게이트 이상으로 한다. 관통 전압 발생용의 콘덴서(19c)는 트랜지스터(11c)의 드레인(D) 단자(콘덴서(19b)측)와 게이트 신호선(17a) 사이에 배치하더라도 좋다. 또한, 관통 전압 발생용의 콘덴서(19c)는 트랜지스터(1la)의 게이트(G) 단자와 게이트 신호선(17a) 사이에 배치하더라도 좋다. 또한, 관통 전압 발생용의 콘덴서(19c)는 트랜지스터(11c)의 드레인(D) 단자(콘덴서(19b)측)와 게이트 신호선(17c) 사이에 배치하더라도 좋다.

또한, 전하 유지용의 콘덴서(19a)의 용량을 Ca로 하고, 스위칭용의 트랜지스터(11c 또는 11d)의 소스-게이트 용량을 Cc(관통용의 콘덴서가 있는 경우에는, 그 용량을 부가한 값)로 하여, 게이트 신호선에 인가되는 고 전압 신호를 (Vgh)로 하고, 게이트 신호선에 인가되는 저 전압 신호를 (Vgl)로 한 경우, 이하의 조건을 만족하도록 구성함으로써, 양호한 흑 표시를 실현할 수 있다.

$$0.05(V) \leq (Vgh - Vgl) \times (CC/Ca) \leq 0.8(V)$$

또한, 이하의 조건을 만족시키는 것이 바람직하다.

$$0.1(V) \leq (Vgh - Vgl) \times (Cc/Ca) \leq 0.5(V)$$

이상의 사항은 도 43 등에 나타내는 화소 구성에도 유효하다. 도 43에 나타내는 전압 프로그램의 화소 구성에서는, 트랜지스터(11a)의 게이트(G) 단자와 게이트 신호선(17a) 사이에 관통 전압 발생용의 콘덴서(19b)를 형성 또는 배치한다.

또, 관통 전압을 발생시키는 콘덴서(19b)는, 트랜지스터의 소스 배선 및 게이트 배선으로 형성한다. 단, 트랜지스터(11)의 소스 폭을 확대해서, 게이트 신호선(17)과 중첩하여 형성하는 구성이므로, 실용상은 명확하게 트랜지스터와 분리할 수 없는 구성으로 되는 경우가 있다.

또한, 스위칭 트랜지스터(11b, 11c)(도 1의 구성의 경우)를 필요 이상으로 크게 형성함으로써, 외견상, 관통 전압용의 콘덴서(19b)를 구성하는 방식도 본 발명의 범주이다. 스위칭 트랜지스터(11b, 11c)는 채널 폭 W/채널 길이 L=6/6 μ m로 형성하는 것이 많다. 여기서 W와 L의 비를 크게 함과 동시에 관통 전압용의 콘덴서(19b)를 구성하는 것으로 된다. 예컨대, W:L의 비를 2:1 이상 20:1 이하로 하는 구성이 예시된다. 바람직하게는, W:L의 비를 3:1 이상 10:1 이하로 하는 것이 좋다.

또한, 관통 전압용의 콘덴서(19b)는, 화소가 변조하는 R, G, B에서 크기(용량)를 변화시키는 것이 바람직하다. R, G, B의 각 EL 소자(15)의 구동 전류가 상이하기 때문이다. 또한, EL 소자(15)의 컷오프 전압이 상이하기 때문이다. 그 때문에, EL 소자(15)의 구동용 트랜지스터(11a)의 게이트(G) 단자에 프로그램하는 전압(전류)이 상이하게 되어 있다. 예를 들면, R의 화소의 콘덴서(11bR)를 0.02pF로 한 경우, 다른 색(G, B의 화소)의 콘덴서(11bG, 11bB)를 0.025pF로 한다. 또한, R의 화소의 콘덴서(11bR)를 0.02pF로 한 경우, G의 화소의 콘덴서(11bG)와 0.03pF로 하고, B의 화소의 콘덴서(11bB)를 0.025pF로 하는 등이다. 이와 같이, R, G, B의 화소마다 콘덴서(11b)의 용량을 변화시킴으로써 오프셋의 구동 전류를 RGB마다 조정할 수 있다. 따라서, RGB의 각각에 있어서의 흑 표시 레벨을 최적값으로 할 수 있다.

이상에서는, 관통 전압 발생용의 콘덴서(19b)의 용량을 변화시키는 것으로 하였으나, 관통 전압은, 유지용의 콘덴서(19a)와 관통 전압 발생용의 콘덴서(19b)의 용량의 상대적인 것이다. 따라서, 콘덴서(19b)를 R, G, B의 화소로 변화하는 것에 한정하는 것은 아니다. 따라서, 유지용 콘덴서(19a)의 용량을 변화시키더라도 좋다. 예를 들면, R의 화소의 콘덴서(11aR)를 1.0pF로 한 경우, G의 화소의 콘덴서(11aG)와 1.2pF로 하고, B의 화소의 콘덴서(11aB)를 0.9pF로 하는 등이다. 이 때, 관통용 콘덴서(19b)의 용량은, R, G, B에서 공통의 값으로 한다. 따라서, 본 발명은, 유지용의 콘덴서(19a)와 관통 전압 발생용의 콘덴서(19b)의 용량비에 대해, R, G, B의 화소 중, 적어도 하나를 다른 것과 상이하게 한 것이다. 또, 유지용의 콘덴서(19a)의 용량과 관통 전압 발생용의 콘덴서(19b)의 용량과의 양쪽을 R, G, B 화소로 변화시켜도 좋다.

또한, 화면(50)의 좌우에서 관통 전압용의 콘덴서(19b)의 용량을 변화시키더라도 좋다. 게이트 드라이버(12)에 근접한 위치에 있는 화소(16)는 신호 공급 측에 배치되어 있기 때문에, 게이트 신호의 상승이 빠르기 때문에(스루 레이트가 높기 때문에), 관통 전압이 커진다. 게이트 신호선(17)의 끝에 배치(형성)되어 있는 화소는, 신호 파형이 둔해지고 있다(게이트 신호선(17)에는 용량이 있기 때문임). 게이트 신호의 상승이 느리기 때문에(스루 레이트가 느리기 때문에)의 관통 전압이 작아지기 때문이다. 따라서, 게이트 드라이버(12)와의 접속측에 가까운 화소(16)의 관통 전압용 콘덴서(19b)를 작게 한다. 또한, 게이트 신호선(17)의 끝은 콘덴서(19b)를 크게 한다. 예를 들면, 화면의 좌우에서 콘덴서의 용량은 10% 정도 변화시킨다.

발생할 관통 전압은, 유지용 콘덴서(19a)와 관통 전압 발생용의 콘덴서(19b)의 용량비로 결정된다. 따라서, 화면의 좌우에서 관통 전압 발생용의 콘덴서(19b)의 크기를 변화시키는 것으로 하고 있지만, 이것에 한정되는 것은 아니다. 관통 전압 발생용의 콘덴서(19b)는 화면의 좌우에서 일정하게 하여, 전하 유지용의 콘덴서(19a)의 용량을 화면의 좌우에서 변화시키더라도 좋다. 또한, 관통 전압 발생용의 콘덴서(19b)의 용량과, 전하 유지용의 콘덴서(19a)의 용량의 양쪽을 화면의 좌우에서 변화시키더라도 되는 것은 말할 필요도 없다.

본 발명의 N배 펄스 구동에는, EL 소자(15)에 인가하는 전류가 순간적이기는 하지만, 종래와 비교하여 N배 커진다고 하는 문제가 있다. 전류가 크면 EL 소자의 수명을 저하시키는 경우가 있다. 이 과제를 해결하기 위해서는, EL 소자(15)에 역바이어스 전압 V_m 을 인가하는 것이 유효하다.

EL 소자(15)에 있어서, 전자는 음극(캐소드)으로부터 전자 수송층에 주입됨과 동시에 정공도 양극(애노드)으로부터 정공 수송층으로 주입된다. 주입된 전자, 정공은 인가 전계에 의해 쌍극으로 이동한다. 그 때, 유기층 중에 트랩되거나, 발광층 계면에서의 에너지 준위의 차에 의해 캐리어가 축적되거나 한다.

유기층 중에 공간 전하가 축적되면 분자가 산화 또는 환원되어, 생성된 래디칼 음이온 분자 또는 래디칼 양이온 분자가 불안정함으로써, 막질의 저하에 의해 휘도의 저하 및 정전류 구동 시의 구동 전압의 상승을 초래하는 것이 알려져 있다. 이것을 방지하기 위해서, 일례로서 디바이스 구조를 변화시켜, 역방향 전압을 인가하고 있다.

역바이어스 전압이 인가되면, 역방향 전류가 인가되는 것으로 되기 때문에, 주입된 전자 및 정공이 각각 음극 및 양극으로 방출된다. 이에 따라, 유기층 중의 공간 전하 형성을 해소하여, 분자의 전기 화학적 열화를 억제함으로써 수명을 길게 하는 것이 가능해진다.

도 45는, 역바이어스 전압 V_m 및 EL 소자(15)의 단자 전압의 변화를 나타내고 있다. 여기서 단자 전압이란, EL 소자(15)에 정격 전류를 공급했을 때의 전압이다. 도 45는 EL 소자(15)에 흘리는 전류가 전류 밀도 100A/평방미터의 경우를 나타내고 있지만, 도 45에 도시되는 경향은, 전류 밀도 50~100A/평방미터의 경우와 거의 차이가 없었다. 따라서, 넓은 범위의 전류 밀도로 적용할 수 있는 것으로 추정된다.

세로축은 초기의 EL 소자(15)의 단자 전압에 대해, 2500 시간 후의 단자 전압과의 비를 나타내고 있다. 예를 들면, 경과 시간 0 시간에 있어서, 전류 밀도 100A/평방미터의 전류가 인가되었을 때의 단자 전압을 8(V)로 하고, 경과 시간 2500 시간에 있어서, 전류 밀도 100A/평방미터의 전류가 인가되었을 때의 단자 전압을 10(V)라고 하면, 단자 전압 비는, $10/8=1.25$ 이다.

가로축은, 역바이어스 전압 V_m 과 1 주기로 역바이어스 전압을 인가한 시간 t_1 의 곱에 대한 정격 단자 전압 V_0 의 비를 나타내고 있다. 예를 들면, 60Hz(특히 60Hz에 의미는 없지만)이고, 역바이어스 전압 V_m 을 인가한 시간이 1/2(절반)이면, $t_1=0.5$ 이다. 또한, 경과 시간 0 시간에 있어서, 전류 밀도 100A/평방미터의 전류를 공급하였을 때의 단자 전압(정격 단자 전압)을 8(V)로 하고, 역바이어스 전압 V_m 을 8(V)라고 하면, $| 역바이어스 전압 \times t_1 | / (정격 단자 전압 \times t_2) = | -8(V) \times 0.5 | / (8(V) \times 0.5) = 1.0$ 으로 된다.

도 45에 의하면, $| 역바이어스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$ 가 1.0 이상에서 단자 전압비의 변화는 없어진다(초기의 정격 단자 전압으로부터 변화하지 않음). 역바이어스 전압 V_m 의 인가에 의한 효과가 잘 발휘되어 있다. 그러나, $| 역바이어스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$ 가 1.75 이상에서 단자 전압비는 증가하는 경향에 있다. 따라서, $| 역바이어스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$ 가 1.0 이상으로 되도록 역바이어스 전압 V_m 의 크기 및 인가 시간비 t_1 (또는 t_2 , 혹은 t_1 과 t_2 의 비율)를 결정하면 좋다. 또한, 바람직하게는, $| 역바이어스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$ 가 1.75 이하로 되도록 역바이어스 전압 V_m 의 크기 및 인가 시간비 t_1 등을 결정하면 좋다.

단, 바이어스 구동을 행하는 경우는, 역바이어스 V_m 과 정격 전류를 교대로 인가할 필요가 있다. 도 46에 나타내는 경우에 있어서, 샘플 A와 B의 단위 시간 당의 평균 휘도를 동등하게 하고자 하면, 역바이어스 전압을 인가할 때에는, 인가하지 않을 때와 비교하여 순간적으로는 높은 전류를 흘힐 필요가 있다. 그 때문에, 역바이어스 전압 V_m 을 인가하는 경우(도 46의 샘플 A)의 EL 소자(15)의 단자 전압도 높게 된다.

그러나, 도 45에서는, 역바이어스 전압을 인가하는 구동 방법에서도, 정격 단자 전압 V_0 은, 평균 휘도를 만족하는 단자 전압(즉, EL 소자(15)를 점등하는 단자 전압)으로 한다(본 명세서의 구체 예에 의하면, 전류 밀도 200A/평방미터의 전류가 인가되었을 때의 단자 전압임. 단, 1/2 드uty(duty)이기 때문에, 1 주기의 평균 휘도는 전류 밀도 200A/평방미터에서의 휘도로 됨).

이상의 사항은, EL 소자(15)에, 백 레스터 표시시키는 경우(화면 전체의 EL 소자에 최대 전류를 공급하고 있는 경우)를 상정하고 있다. 그러나, EL 표시 장치에 의해 영상 표시를 행하는 경우에는, 자연 화상이며, 계조 표시를 행한다. 따라서, 늘, EL 소자(15)의 백 피크 전류(최대 백 표시에서 흐르는 전류. 본 명세서의 구체 예에서는, 평균 전류 밀도 100A/평방미터의 전류)가 흐르고 있는 것은 아니다.

일반적으로, 영상 표시를 행하는 경우, 각 EL 소자(15)에 인가되는 전류(흐르는 전류)는, 백 퍼크 전류(정격 단자 전압 시에 흐르는 전류. 본 명세서의 구체 예에 의하면, 전류 밀도 100A/평방미터의 전류)의 약 0.2배이다.

따라서, 도 45에 나타내는 실시예에서는, 영상 표시를 행하는 경우에는 가로축의 값에 0.2를 곱하는 것으로 할 필요가 있다. 따라서, $| 역바이아스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$ 이 0.2 이상으로 되도록 역바이어스 전압 V_m 의 크기 및 인가 시간 비 t_1 (또는 t_2 , 혹은 t_1 과 t_2 의 비율 등)을 결정하면 좋다. 또한, 바람직하게는, $| 역바이아스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$ 이 $1.75 \times 0.2 = 0.35$ 이하로 되도록 역바이어스 전압 V_m 의 크기 및 인가 시간 비 t_1 등을 결정하면 좋다.

즉, 도 45의 가로축($| 역바이아스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$)에 있어서, 1.0의 값을 0.2로 할 필요가 있다. 따라서, 표시 패널에 영상을 표시할(이 사용 상태가 통상적임. 백 래스터를 상시 표시하는 것은 없을 것임) 때에는, $| 역바이아스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$ 이 0.2보다도 커지도록, 역바이어스 전압 V_m 을 소정 시간 t_1 인가하도록 한다. 또한, $| 역바이아스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$ 의 값이 커지더라도, 도 45에서 도시하는 바와 같이, 단자 전압비의 증가는 커지지 않는다. 따라서, 상한값은 백 래스터 표시를 실시하는 것도 고려하고, $| 역바이아스 전압 \times t_1 | / (정격 단자 전압 \times t_2)$ 의 값이 1.75 이하를 만족하도록 하면 좋다.

이하, 도면을 참조하면서, 본 발명의 역바이어스 방식에 대해 설명을 한다. 또, 본 발명은 EL 소자(15)에 전류가 흐르고 있지 않은 기간에 역바이어스 전압 V_m (전류)를 인가하는 것을 기본으로 한다. 그러나, 이것에 한정하는 것은 아니다. 예를 들면, EL 소자(15)에 전류가 흐르고 있는 상태에서, 강제적으로 역바이어스 전압 V_m 을 인가하더라도 좋다. 또, 경우에는, 결과적으로 EL 소자(15)에는 전류가 흐르지 않고, 비점등 상태(흑 표시 상태)로 될 것이다. 또한, 본 발명은, 주로 전류 프로그램의 화소 구성에서 역바이어스 전압 V_m 을 인가하는 것을 중심으로 하여 설명하지만 이것에 한정하는 것은 아니다.

역바이어스 구동의 화소 구성에서는, 도 47에 도시하는 바와 같이, 트랜지스터(11g)를 N 채널로 한다. 물론, P 채널이라도 좋다.

도 47에서는, 게이트 전위 제어선(473)에 인가하는 전압을 역바이어스선(471)에 인가하고 있는 전압보다도 높게 함으로써, 트랜지스터(11g)(N)가 온하여, EL 소자(15)의 애노드 전극에 역바이어스 전압 V_m 이 인가된다.

또한, 도 47의 화소 구성 등에 있어서, 게이트 전위 제어선(473)을 상시, 전위 고정하여 동작시키더라도 좋다. 예를 들면, 도 47에 있어서 V_k 전압이 0(V)로 할 때, 게이트 전위 제어선(473)의 전위를 0(V) 이상(바람직하게는 2(V) 이상)으로 한다. 또, 이 전위를 V_{sg} 로 한다. 이 상태에서, 역바이어스선(471)의 전위를 역바이어스 전압 V_m (0(V) 이하, 바람직하게는 V_k 보다 -5(V) 이상 작은 전압)으로 하면, 트랜지스터(11g)(N)가 온하여, EL 소자(15)의 애노드에, 역바이어스 전압 V_m 이 인가된다. 역바이어스선(471)의 전압을 게이트 전위 제어선(473)의 전압(즉, 트랜지스터(11g)의 게이트(G) 단자 전압)보다도 높게 하면, 트랜지스터(11g)는 오프 상태로 되기 때문에, EL 소자(15)에는 역바이어스 전압 V_m 은 인가되지 않는다. 물론, 이 상태인 때에, 역바이어스선(471)을 하이 임피던스 상태(오픈 상태 등)로 해도 되는 것은 말할 필요도 없다.

또한, 도 48에 도시하는 바와 같이, 역바이어스선(471)을 제어하는 게이트 드라이버(12c)를 별도 형성 또는 배치하더라도 좋다. 게이트 드라이버(12c)는, 게이트 드라이버(12a)와 마찬가지로 순차적으로 시프트 동작하고, 시프트 동작에 동기하여, 역바이어스 전압을 인가하는 위치가 시프트된다.

이상의 구동 방법에서는, 트랜지스터(11g)의 게이트(G) 단자는 전위 고정하여, 역바이어스선(471)의 전위를 변화시킬 뿐이며, EL 소자(15)에 역바이어스 전압 V_m 을 인가할 수 있다. 따라서, 역바이어스 전압 V_m 의 인가 제어가 용이하다. 또한, 트랜지스터(11g)의 게이트(G) 단자와 소스(S) 단자 사이에 인가되는 전압을 저감할 수 있다. 이것은, 트랜지스터(11g)가 P 채널의 경우도 마찬가지이다.

또한, 역바이어스 전압 V_m 의 인가는, EL 소자(15)에 전류를 흘리고 있지 않은 때에 실행하는 것이다. 따라서, 트랜지스터(11d)가 온하고 있지 않은 때에, 트랜지스터(11g)를 온시킴으로써 실행하면 좋다. 즉, 트랜지스터(11d)의 온/오프 논리의 역을 게이트 전위 제어선(473)에 인가하면 좋다. 예를 들면, 도 47에서는, 게이트 신호선(17b)에 트랜지스터(11d) 및 트랜지스터(11g)의 게이트(G) 단자를 접속하면 좋다. 트랜지스터(11d)는 P 채널이며, 트랜지스터(11g)는 N 채널이기 때문에, 온/오프 동작은 반대로 된다.

도 49는 역바이어스 구동의 타이밍차트이다. 또, 차트도에 있어서 (1)(2) 등의 첨자는, 화소 행을 나타내고 있다. 설명을 용이하게 하기 위해서, (1)은, 제 1 화소 행째를 나타내고, (2)는 제 2 화소 행째를 나타내는 것으로 하여 설명을 하지만, 이것

에 한정하는 것은 아니다. (1)가 N 화소 행째를 나타내고, (2)가 N+1 화소 행째를 나타내는 것으로 생각하더라도 좋다. 이 상의 것은 다른 실시예에서도, 특례를 제외하고 마찬가지이다. 또한, 도 49 등의 실시예에서는, 도 1 등의 화소 구성을 예시하여 설명을 하지만 이것에 한정되는 것은 아니다. 예를 들면, 도 41, 도 38 등의 화소 구성에 있어서도 적용할 수 있는 것이다.

제 1 화소 행째의 게이트 신호선(17a)(1)에 온 전압(Vgl)이 인가되어 있는 때에는, 제 1 화소 행째의 게이트 신호선(17b)(1)에는 오프 전압(Vgh)이 인가된다. 즉, 트랜지스터(11d)는 오프이며, EL 소자(15)에는 전류가 흐르고 있지 않다.

역바이어스선(47l)(1)에는, VS1 전압(트랜지스터(11g))가 온하는 전압)이 인가된다. 따라서, 트랜지스터(11g)가 온하고, EL 소자(15)에는 역바이어스 전압이 인가되어 있다. 역바이어스 전압은, 게이트 신호선(17b)에 오프 전압(V9h)이 인가된 후, 소정 기간(1H의 1/200 이상의 기간, 또는, 0.5μsec) 후에, 역바이어스 전압이 인가된다. 또한, 게이트 신호선(17b)에 온 전압(Vgl)이 인가되는 소정 기간(11의 1/200 이상의 기간, 또는, 0.5μsec) 전에, 역바이어스 전압이 오프된다. 이것은, 트랜지스터(11d)와 트랜지스터(11g)가 동시에 온으로 되는 것을 방지하기 위해서이다.

다음의 수평 주사 기간(1H)에 있어서, 게이트 신호선(17a)에는 오프 전압(Vgh)이 인가되어, 제 2 화소 행이 선택된다. 즉, 게이트 신호선(17b)(2)에 온 전압이 인가된다. 한편, 게이트 신호선(17b)에는 온 전압(Vg1)이 인가되어, 트랜지스터(11d)가 온하고, EL 소자(15)에 트랜지스터(11a)로부터 전류가 흘러 EL 소자(15)가 발광한다. 또한, 역바이어스선(47l)(1)에는 오프 전압(Vsh)이 인가되어, 제 1 화소 행(1)의 EL 소자(15)에는 역바이어스 전압이 인가되지 않게 된다. 제 2 화소 행의 역바이어스선(47l)(2)에는 Vs1 전압(역바이어스 전압)이 인가된다.

이상의 동작을 순차적으로 반복하는 것에 의해, 1 화면의 화상이 리라이트된다. 이상의 실시예에서는, 각 화소에 프로그램되어 있는 기간에, 역바이어스 전압을 인가한다고 하는 구성이었다. 그러나, 본 발명은, 도 48에 나타내는 회로 구성에 한정되는 것은 아니다. 복수의 화소 행에 연속하여 역바이어스 전압을 인가하는 것도 가능한 것은 명백하다. 또한, 블럭 구동(도 40 참조), N배 펄스 구동, 리세트 구동, 더미 화소 구동 등과 조합할 수 있는 것은 명백하다.

또한, 역바이어스 전압의 인가는, 화상 표시의 도중에 실시하는 것에 한정하는 것은 아니다. EL 표시 장치의 전원 오프 후, 일정한 기간 동안, 역바이어스 전압이 인가되도록 구성하더라도 좋다.

이상의 실시예는, 도 1에 나타내는 화소 구성의 경우이지만, 다른 구성에 있어서도, 도 38, 도 41 등의 역바이어스 전압을 인가하는 구성에 적용할 수 있는 것은 말할 필요도 없다. 예를 들면, 도 50에 나타내는 전류 프로그램 방식의 화소 구성에 적용하는 것도 가능하다.

도 50은, 커런트 미러의 화소 구성이다. 트랜지스터(11c)는 화소 선택 소자이다. 게이트 신호선(17a1)에 온 전압을 인가함으로써, 트랜지스터(11c)가 온한다. 트랜지스터(11d)는 리세트 기능과, 구동용 트랜지스터(11a)의 드레인(D)-게이트(G) 단자 사이를 쇼트(GD 쇼트)하는 기능을 갖는 스위치 소자이다. 트랜지스터(11d)는 게이트 신호선(17a2)에 온 전압을 인가함으로써 온한다.

트랜지스터(11d)는, 해당 화소가 선택하는 1H(1 수평 주사 기간, 즉, 1 화소 행) 이상 전에 온한다. 바람직하게는 3H 이전에는 온시킨다. 3H 전이라고 하면, 3H 전에 트랜지스터(11d)가 온하여, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 쇼트된다. 그 때문에, 트랜지스터(11a)는 오프로 한다. 따라서, 트랜지스터(11b)에는 전류가 흐르지 않게 되어, EL 소자(15)는 비점등으로 된다.

EL 소자(15)가 비점등 상태의 경우, 트랜지스터(11g)가 온하여, EL 소자(15)에 역바이어스 전압이 인가된다. 따라서, 역바이어스 전압은, 트랜지스터(11d)가 온되어 있는 기간, 인가되는 것으로 된다. 그 때문에, 논리적으로는 트랜지스터(11d)와 트랜지스터(11g)는 동시에 온하는 것으로 된다.

트랜지스터(119)의 게이트(G) 단자는 Vsg 전압이 인가되어 고정되어 있다. 역바이어스선(471)을 Vsg 전압보다 충분히 작은 역바이어스 전압을 역바이어스선(471)에 인가함으로써 트랜지스터(11g)가 온한다.

그 후, 상기 해당 화소에 화상 신호가 인가되는(기입되는) 수평 주사 기간이 오면, 게이트 신호선(17a1)에 온 전압이 인가되어, 트랜지스터(11c)가 온한다. 따라서, 소스 드라이버(14)로부터 소스 신호선(18)에 출력된 화상 신호 전압이 콘덴서(19)에 인가된다(트랜지스터(11d)는 온 상태가 유지되어 있음).

트랜지스터(11d)를 온시키면 흑 표시로 된다. 1 필드(1 프레임) 기간에 차지하는 트랜지스터(11d)의 온 기간이 길게 될수록, 흑 표시 기간의 비율이 길게 된다. 따라서, 흑 표시 기간이 존재하더라도 1 필드(1 프레임)의 평균 휘도를 소망값으로 하기 위해서는, 표시 기간의 휘도를 높게 할 필요가 있다. 즉, 표시 기간에 EL 소자(15)에 흘리는 전류를 크게 할 필요가 있다. 이 동작은, 본 발명의 N배 펠스 구동이다. 따라서, N배 펠스 구동과, 트랜지스터(11d)를 온시켜 흑 표시로 하는 구동을 조합하는 것이 본 발명의 하나의 특징인 동작이다. 또한, EL 소자(15)가 비점등 상태에서, 역바이어스 전압을 EL 소자(15)에 인가하는 것이 본 발명의 특징인 구성(방식)이다.

이상의 실시예에서는, 화상 표시를 행하는 경우에 있어서, 화소가 비점등 상태인 때에 역바이어스 전압을 인가하는 방식이지만, 역바이어스 전압을 인가하는 구성은 이것에 한정하는 것은 아니다. 화상을 비표시에 역바이어스 전압을 인가하는 것이라면, 역바이어스용의 트랜지스터(11g)를 각 화소에 형성할 필요는 없다. 여기서 비점등 상태란, 표시 패널의 사용을 종료한 후, 혹은 사용 전에 역바이어스 전압을 인가하고 있는 상태이다.

예컨대, 도 1의 화소 구성에 있어서, 화소(16)를 선택하여(트랜지스터(11b), 트랜지스터(11c)를 온시켜), 소스 드라이버(회로)(14)로부터, 소스 드라이버가 출력할 수 있는 낮은 전압 V0(예컨대, GND 전압)을 출력하여 구동용 트랜지스터(11a)의 드레인 단자(D)에 인가한다. 이 상태에서 트랜지스터(11d)도 온시키면 EL의 애노드 단자에 V0 전압이 인가된다. 동시에, EL 소자(15)의 캐소드 Vk에 V0 전압에 대해, -5~-15(V)의 낮은 전압 Vm 전압을 인가하면 EL 소자(15)에 역바이어스 전압이 인가된다. 또한, Vdd 전압도 V0 전압보다 0~-5(V)의 낮은 전압을 인가함으로써, 트랜지스터(11a)도 오프 상태로 된다. 이상과 같이 소스 드라이버(14)로부터 전압을 출력하여, 게이트 신호선(17)을 제어함으로써, 역바이어스 전압을 EL 소자(15)에 인가할 수 있다.

N배 펠스 구동은, 1 필드(1 프레임) 기간 내에서, 한번, 흑 표시를 하더라도 두번, EL 소자(15)에 소정의 전류(프로그램된 전류(콘덴서(19)에 유지되어 있는 전압에 의한))를 흘리는 것이 가능하다. 그러나, 도 50에 나타내는 구성에서는, 한번, 트랜지스터(11d)가 온하면, 콘덴서(19)의 전하는 방전(감소를 포함함)되기 때문에, EL 소자(15)에 소정의 전류(프로그램된 전류)를 흘릴 수 없다. 그러나, 회로 동작이 용이하다고 하는 특징이 있다.

또, 이상의 실시예는 전류 프로그램 방식의 경우의 화소 구성이었으나, 본 발명은 이것에 한정하는 것은 아니고, 도 38, 도 50와 같은 다른 전류 방식의 화소 구성에도 적용할 수 있다. 또한, 도 51, 도 54, 도 62에 도시하는 것과 같은 전압 프로그램의 화소 구성이라도 적용할 수 있다.

도 51은 일반적으로 가장 간단한 전압 프로그램의 화소 구성을 나타내고 있다. 트랜지스터(11b)는 선택 스위칭 소자이며, 트랜지스터(11a)는 EL 소자(15)에 전류를 공급하는 구동용 트랜지스터이다. 이 구성에서, EL 소자(15)의 애노드에 역바이어스 전압 인가용의 트랜지스터(스위칭 소자)(11g)를 배치(형성)하고 있다.

도 51에 나타내는 화소 구성에서는, EL 소자(15)에 흘리는 전류는, 소스 신호선(18)에 공급되어, 트랜지스터(11b)가 선택되는 것에 의해, 트랜지스터(11a)의 게이트(G) 단자에 공급된다.

우선, 도 51에 나타내는 구성을 설명하기 위해서, 기본 동작에 대해 도 52를 이용하여 설명을 한다. 도 51에 나타내는 화소는 전압 오프셋 캔슬러라고 불리는 구성이며, 초기화 동작, 리세트 동작, 프로그램 동작, 발광 동작의 4 단계로 동작한다.

수평 동기 신호(HD) 후, 초기화 동작이 실시된다. 게이트 신호선(17b)에 온 전압이 인가되어, 트랜지스터(119)가 온한다. 또한, 게이트 신호선(17a)에도 온 전압이 인가되어, 트랜지스터(11c)가 온다. 이 때, 소스 신호선(18)에는 Vdd 전압이 인가된다. 따라서, 콘덴서(19b)의 단자 a에는 Vdd 전압이 인가되는 것으로 된다. 이 상태에서, 구동용 트랜지스터(11a)는 온하여, EL 소자(15)에 약간의 전류가 흐른다. 이 전류에 의해 구동용 트랜지스터(11a)의 드레인(D) 단자는 적어도 트랜지스터(11a)의 동작점보다도 큰 절대값의 전압값으로 된다.

다음에 리세트 동작이 실시된다. 게이트 신호선(17b)에 오프 전압이 인가되어, 트랜지스터(11e)가 오프한다. 한편, 게이트 신호선(17c)에 T1의 기간, 온 전압이 인가되어, 트랜지스터(11b)가 온다. 이 T1의 기간이 리세트 기간이다. 또한, 게이트 신호선(17a)에는 1H의 기간, 계속하여 온 전압이 인가된다. 또, T1은 1H 기간의 20% 이상 90% 이하의 기간으로 하는 것이 바람직하다. 또는, 20μsec 이상 160μsec 이하의 시간으로 하는 것이 바람직하다. 또한, 콘덴서(19b)(Cb)와 콘덴서(19a)(Ca)의 용량 비율은, Cb : Ca = 6 : 1 이상 1 : 2 이하로 하는 것이 바람직하다.

리세트 기간에서는, 트랜지스터(11b)의 온에 의해, 구동용 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트된다. 따라서, 트랜지스터(11a)의 게이트(G) 단자 전압과 드레인(D) 단자 전압이 동등하게 되어, 트랜지스터(11a)는 오프

셋 상태(리세트 상태 : 전류가 흐르지 않는 상태)로 된다. 이 리세트 상태란 트랜지스터(11a)의 게이트(G) 단자가, 전류를 흘리기 시작하는 개시 전압 근방으로 되는 상태이다. 이 리세트 상태를 유지하는 게이트 전압은 콘덴서(19b)의 단자 b로 유지된다. 따라서, 콘덴서(19)에는, 오프셋 전압(리세트 전압)이 유지되어 있는 것으로 된다.

다음의 프로그램 상태에서는, 게이트 신호선(17c)에 오프 전압이 인가되어 트랜지스터(11b)가 오프한다. 한편, 소스 신호선(18)에는, Td의 기간, DATA 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트(G) 단자에는, DATA 전압 + 오프셋 전압(리세트 전압)이 가해진 것이 인가된다. 그 때문에, 구동용 트랜지스터(11a)는 프로그램된 전류를 흐르도록 하는 것과 같이 된다.

프로그램 기간 후, 게이트 신호선(17a)에는 오프 전압이 인가되어, 트랜지스터(11c)는 오프 상태로 되어, 구동용 트랜지스터(11a)는 소스 신호선(18)으로부터 분리된다. 또한, 게이트 신호선(17c)에도 오프 전압이 인가되어, 트랜지스터(11b)는 오프 상태로 되고, 이 오프 상태는 1F의 기간 유지된다. 한편, 게이트 신호선(17b)에는, 필요에 따라서 온 전압과 오프 전압이 주기적으로 인가된다. 즉, 도 13, 도 15 등에 나타내는 N배 펄스 구동 등과 조합하는 것, 인터레이스 구동과 조합하는 것에 의해 더욱 양호한 화상 표시를 실현할 수 있다.

도 52에 나타내는 구동 방식에서는, 콘덴서(19)에는, 리세트 상태에서, 트랜지스터(11a)의 개시 전류 전압(오프셋 전압, 리세트 전압)이 유지된다. 그 때문에, 이 리세트 전압이 트랜지스터(11a)의 게이트(G) 단자에 인가되어 있을 때가, 가장 어두운 흑 표시 상태이다. 그러나, 소스 신호선(18)과 화소(16)와의 커플링, 콘덴서(19)로의 관통 전압 혹은 트랜지스터의 관통에 의해, 흑 부유(콘트라스트 저하)가 발생한다. 따라서, 도 52에 나타내는 구동 방식에서는, 표시 콘트라스트를 높게 할 수 없다.

역바이아스 전압 Vm을 EL 소자(15)에 인가하기 위해서는, 트랜지스터(11a)를 오프시킬 필요가 있다. 트랜지스터(11a)를 오프시키기 위해서는, 트랜지스터(11a)의 Vdd 단자와 게이트(G) 단자 사이를 쇼트하면 좋다. 이 구성에 있어서는, 이후에도 53을 이용하여 설명을 한다.

또한, 소스 신호선(18)에 Vdd 전압 또는 트랜지스터(11a)를 오프시키는 전압을 인가하고, 트랜지스터(11b)를 온시켜 트랜지스터(11a)의 게이트(G) 단자에 인가시키더라도 좋다. 이 전압에 의해 트랜지스터(11a)가 오프한다(또는, 거의 전류가 흐르지 않는 것과 같은 상태로 함(대략 오프 상태 : 트랜지스터(11a)가 고 임피던스 상태)). 그 후, 트랜지스터(11g)를 온시켜, EL 소자(15)에 역바이어스 전압 Vm의 인가는, 전체 화소 동시에 행해도 좋다. 즉, 소스 신호선(18)에 트랜지스터(11a)를 대략 오프하는 전압을 인가하여, 모든(복수의) 화소 행의 트랜지스터(11b)를 온시킨다. 따라서, 트랜지스터(11a)가 오프로 된다. 그 후, 트랜지스터(11g)를 온시켜, 역바이어스 전압을 EL 소자(15)에 인가한다. 그 후, 순차적으로, 각 화소 행에 화상 신호를 인가하여, 표시 장치에 화상을 표시한다.

다음에, 도 51에 나타내는 화소 구성에 있어서의 리세트 구동에 대해 설명을 한다. 도 53은 그 실시예를 나타내고 있다. 도 53에 도시하는 바와 같이 화소(16a)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 다음 단 화소(16b)의 리세트용 트랜지스터(11b)의 게이트(G) 단자에도 접속되어 있다. 마찬가지로, 화소(16b)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 다음 단 화소(16c)의 리세트용 트랜지스터(11b)의 게이트(G) 단자에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16a)가 전압 프로그램 상태로 됨과 동시에, 다음 단 화소(16b)의 리세트용 트랜지스터(11b)가 온하고, 화소(16b)의 구동용 트랜지스터(11a)가 리세트 상태로 된다. 마찬가지로, 화소(16b)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16b)가 전류 프로그램 상태로 됨과 동시에, 다음 단 화소(16c)의 리세트용 트랜지스터(11b)가 온하여, 화소(16c)의 구동용 트랜지스터(11a)가 리세트 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리세트 구동을 실현할 수 있다. 또한, 각 화소 당의 게이트 신호선의 인출 개수를 감소시킬 수 있다.

더 상세하게 설명한다. 도 53의 (a)에 도시하는 바와 같이 게이트 신호선(17)에 전압이 인가되어 있는 것으로 한다. 즉, 화소(16a)의 게이트 신호선(17a)에 온 전압이 인가되고, 다른 화소(16)의 게이트 신호선(17a)에 오프 전압이 인가되어 있는 것으로 한다. 또한, 화소(16a, 16b)의 게이트 신호선(17b)에는 오프 전압이 인가되고, 화소(16c, 16d)의 게이트 신호선(17b)에는 온 전압이 인가되어 있는 것으로 한다.

이 상태에서는, 화소(16a)는 전압 프로그램 상태에서 비점등, 화소(16b)는 리세트 상태에서 비점등, 화소(16c)는 프로그램 전류의 유지 상태에서 점등, 화소(16d)는 프로그램 전류의 유지 상태에서 점등 상태이다.

1H 후, 제어용 게이트 드라이버(12)의 시프트 레지스터 회로(61) 내의 데이터가 1 비트 시프트하여, 도 53의 (b)에 나타내는 상태로 된다. 도 53의 (b)에 나타내는 상태에서는, 화소(16a)가 프로그램 전류 유지 상태에서 점등, 화소(16b)가 전류 프로그램 상태에서 비점등, 화소(16c)가 리세트 상태에서 비점등, 화소(16d)가 프로그램 유지 상태에서 점등 상태로 된다.

이상의 것으로부터, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 다음 단의 화소의 구동용 트랜지스터(11a)가 리세트되어, 다음 수평 주사 기간에 전압 프로그램이 순차적으로 행해지는 것을 알 수 있다.

도 43에 도시하는 전압 프로그램의 화소 구성에서도 전단 게이트 제어를 실현할 수 있다. 도 54는, 도 43의 화소 구성을 전단 게이트 제어 방식의 접속으로 한 실시예를 나타내고 있다.

도 54에 도시하는 바와 같이 화소(16a)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 다음 단 화소(16b)의 리세트용 트랜지스터(11e)의 게이트(G) 단자에 접속되어 있다. 마찬가지로, 화소(16b)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은, 다음 단 화소(16c)의 리세트용 트랜지스터(11e)의 게이트(G) 단자에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16a)가 전압 프로그램 상태로 됨과 동시에, 다음 단 화소(16b)의 리세트용 트랜지스터(11e)가 온하여, 화소(16b)의 구동용 트랜지스터(11a)가 리세트 상태로 된다. 마찬가지로, 화소(16b)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16b)가 전류 프로그램 상태로 됨과 동시에, 다음 단 화소(16c)의 리세트용 트랜지스터(11e)가 온하여, 화소(16c)의 구동용 트랜지스터(11a)가 리세트 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리세트 구동을 실현할 수 있다.

더욱 상세하게 설명한다. 도 55의 (a)에 도시하는 바와 같이 게이트 신호선(17)에 전압이 인가되어 있는 것으로 한다. 즉, 화소(16a)의 게이트 신호선(17a)에 온 전압이 인가되고, 다른 화소(16)의 게이트 신호선(17a)에 오프 전압이 인가되어 있는 것으로 한다. 또한, 모든 역바이어스용 트랜지스터(11g)는 오프 상태인 것으로 한다.

이 상태에서는, 화소(16a)는 전압 프로그램 상태, 화소(16b)는 리세트 상태, 화소(16c)는 프로그램 전류의 유지 상태, 화소(16d)는 프로그램 전류의 유지 상태이다.

1H 후, 제어용 게이트 드라이버(12)의 시프트 레지스터 회로(61) 내의 데이터가 1 비트 시프트하여, 도 55의 (b)에 나타내는 상태로 된다. 도 55의 (b)에 나타내는 상태에서는, 화소(16a)가 프로그램 전류유지 상태, 화소(16b)가 전류 프로그램 상태, 화소(16c)가 리세트 상태, 화소(16d)가 프로그램 유지 상태로 된다.

이상의 것으로부터, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 다음 단의 화소의 구동용 트랜지스터(11a)가 리세트되어, 다음의 수평 주사 기간에 전압 프로그램이 순차적으로 행해지는 것을 알 수 있다.

전류 구동 방식에 있어서, 완전한 흑 표시를 행하는 경우, 화소의 구동용 트랜지스터(11)에 프로그램되는 전류는 0이다. 즉, 소스 드라이버(14)로부터는 전류가 흐르지 않는다. 전류가 흐르지 않으면, 소스 신호선(18)에 발생한 기생 용량을 충/방전할 수 없고, 소스 신호선(18)의 전위를 변화시킬 수 없다. 따라서, 구동용 트랜지스터의 게이트 전위도 변화하지 않는 것으로 되고, 1 프레임(필드)(1F) 전의 전위가 콘덴서(19)에 축적된 채로 된다. 예를 들면, 1 프레임 전이 백 표시이고, 다음 프레임이 완전 흑 표시이더라도 백 표시가 유지되는 것으로 된다. 이 과제를 해결하기 위해서, 본 발명에서는, 1 수평 주사 기간(1H)의 최초에 흑 레벨의 전압을 소스 신호선(18)에 기입하고 나서, 소스 신호선(18)에 프로그램하는 전류를 출력한다. 예를 들면, 영상 데이터가 흑 레벨에 가까운 0계조째~7계조째의 경우, 1 수평 기간의 처음의 일정 기간만 흑 레벨에 상당하는 전압이 기입되고, 전류 구동의 부담이 줄어, 기입 부족을 보충하는 것이 가능해진다. 여기서, 예컨대, 64 계조 표시의 경우이면, 완전한 흑 표시를 0 계조째로 하고, 완전한 백 표시를 63 계조째로 한다.

또, 프리차지를 행하는 계조는, 흑 표시 영역에 한정해야 한다. 즉, 기입 화상 데이터를 판정하여, 흑 영역 계조(저 휘도, 즉, 전류 구동 방식에서는, 기입 전류가 작은(미소))를 선택하여 프리차지한다(선택 프리차지). 모든 계조 데이터에 대해, 프리차지하면, 이번에는 백 표시 영역에서, 휘도의 저하(목표 휘도에 도달하지 않음)가 발생한다. 또한, 화상에 세로 줄무늬가 표시된다.

바람직하게는, 계조 데이터의 계조 0으로부터 1/8의 영역의 계조이며, 선택 프리차지를 행한다(예를 들면, 64 계조인 때에는, 0 계조째로부터 7 계조째까지의 화상 데이터인 때, 프리차지를 행하고 나서, 화상 데이터를 기입함). 또한, 바람직하게는, 계조 데이터의 계조 0으로부터 1/16의 영역의 계조이며, 선택 프리차지를 행한다(예를 들면, 64 계조의 경우, 0 계조째로부터 3 계조째까지의 화상 데이터인 때, 프리차지를 행하고 나서, 화상 데이터를 기입함).

특히 흑 표시에서, 콘트라스트를 높게 하기 위해서는, 계조 0만을 검출하여 프리차지하는 방식도 유효하다. 이에 따라 흑 표시가 매우 양호하게 된다. 문제는, 화면 전체가 계조 1, 2인 경우에 화면이 흑 부유하여 관찰되는 것이다. 따라서, 계조 데이터의 계조 0으로부터 1/8의 영역의 계조와, 일정한 범위에서 선택 프리차지를 행한다.

또, 프리차지의 전압, 계조 범위는, R, G, B에서 상이하게 한 것도 유효하다. EL 표시 소자(15)는, R, G, B에서 발광 개시 전압, 발광 휙도가 상이하기 때문이다. 예를 들면, R은, 계조 데이터의 계조 0으로부터 1/8의 영역의 계조에서, 선택 프리차지를 행한다(예를 들면, 64 계조인 때에는, 0 계조째로부터 7 계조째까지의 화상 데이터인 때, 프리차지를 행하고 나서, 화상 데이터를 기입함). 다른 색(G, B)은, 계조 데이터의 계조 0으로부터 1/16의 영역의 계조에서, 선택 프리차지를 행한다(예를 들면, 64 계조인 때에는, 0 계조째로부터 3 계조째까지의 화상 데이터인 때, 프리차지를 행하고 나서, 화상 데이터를 기입함) 등의 제어를 행한다. 또한, 프리차지 전압도, R이 7(V)이면, 다른 색(G, B)은, 7.5(V)의 전압을 소스 신호선(18)에 기입하도록 한다. 최적의 프리차지 전압은, EL 표시 패널의 제조 로트에서 상이한 것이 많다. 따라서, 프리차지 전압은, 외부 볼륨 등에서 조정할 수 있도록 구성해 놓은 것이 바람직하다. 이 조정 회로도 전자 볼륨 회로를 이용하는 것에 의해 용이하게 실현할 수 있다.

다음에, 본 발명의 EL 표시 패널을 구비하는 전자 기기에 대한 실시예에 대해 설명을 한다. 도 57은 정보 단말 장치의 일례로서의 휴대형 전화기의 평면도이다. 이 휴대형 전화기는, 수화기와 스피커를 구비하고 있다. 또한, 도 57에 나타내는 바와 같이, 개체(573)에 안테나(571), 텐 키(572) 등이 부착되어 있다. (572 a~572e)가 표시 색 전환키 혹은 전원 온/오프, 프레임 레이트 전환 키 등이다.

표시 색 전환키가 한번 눌러지면 표시 색은 8색 모드로, 계속해서 동일한 키가 눌러지면 표시 색은 256색 모드, 또한 동일한 키가 눌러지면 표시 색은 4096색 모드로 되도록 시퀀스를 짜더라도 좋다. 키는 눌러질 때마다 표시 색 모드가 변화하는 토클(toggle) 스위치로 한다. 또, 별도 표시 색에 대응하는 변경키를 마련하더라도 좋다. 이 경우, 표시 색 전환키는 3개(이상)로 된다.

표시 색 전환기는 푸쉬(push) 스위치 이외에, 슬라이드(slide) 스위치 등의 다른 기계적인 스위치이어도 좋고, 또한, 음성 인식 등에 의해 전환하는 것이어도 좋다. 예를 들면, 4096색을 수화기에 음성 입력하는 것, 예를 들면, 「고 품위 표시」, 「256색 모드」 혹은 「저 표시 색 모드」로 수화기에 음성 입력함으로써 표시 패널의 표시 화면(50)에 표시되는 표시 색이 변화하도록 구성한다. 이것은 현행의 음성 인식 기술을 채용함으로써 용이하게 실현할 수 있다.

또한, 표시 색의 전환은 전기적으로 전환하는 스위치이어도 좋고, 표시 패널의 표시부(21)에 표시시킨 메뉴를 접촉시키는 것에 의해 선택하는 터치 패널이어도 좋다. 또한, 스위치를 누르는 회수로 전환하거나, 혹은 클릭 볼과 같이 회전 혹은 방향에 의해 전환하도록 구성하더라도 좋다.

또한, 상술한 표시 색 전환기 대신에, 프레임 레이트를 전환하는 키 등으로 해도 좋다. 또한, 동화상과 정지 화상을 전환하는 키 등으로 하더라도 좋다. 또한, 동화상과 정지 화상의 프레임 레이트 등의 복수의 요건을 동시에 전환하도록 하더라도 좋다. 또한, 누르기를 계속하면 서서히(연속적으로) 프레임 레이트가 변화하도록 구성되어 있더라도 좋다. 이 경우에는 발진기를 구성하는 콘텐서 C, 저항 R 중, 저항 R을 가변 저항으로 하거나, 전자 볼륨으로 하거나 함으로써 실현할 수 있다. 또한, 콘텐서 C는 트리머(trimmer) 콘텐서로 하는 것에 의해 실현할 수 있다. 또한, 반도체 칩에 복수의 콘텐서를 형성해 두고, 하나 이상의 콘텐서를 선택하여, 이들을 회로적으로 병렬로 접속함으로써 실현하더라도 좋다.

또, 표시 색 등에 의해 프레임 레이트를 전환한다고 하는 기술적 사상은 휴대형 전화기에 한정되는 것이 아니라, 팜탑 컴퓨터나, 노트북 퍼스널 컴퓨터, 데스크탑 퍼스널 컴퓨터, 휴대형 시계 등 표시 화면을 갖는 기기에 널리 적용할 수 있다. 또한, 유기 EL 표시 패널에 한정되는 것이 아니라, 액정 표시 패널, 트랜지스터 패널, PLZT 패널, CRT 등에도 적용할 수 있다.

도 57에서는 도시하고 있지 않지만, 본 발명의 휴대형 전화기는 하우징(573)의 이편에 CCD 카메라를 구비하고 있다. 이 CCD 카메라로 촬영하여 화상은 즉시로 표시 패널의 표시 화면(50)에 표시할 수 있다. CCD 카메라로 촬영한 데이터는, 표시 화면(50)에 표시할 수 있다. CCD 카메라의 화상 데이터는 24 비트(1670만색), 18 비트(26만색), 16 비트(6.5만색), 12 비트(4096색), 8 비트(256색)을 키(572) 입력으로 전환할 수 있다.

표시 데이터가 12 비트 이상인 때에는, 오차 확산 처리를 행하여 표시한다. 즉, CCD 카메라로부터의 화상 데이터가 내장 메모리의 용량 이상인 때에는, 오차 확산 처리 등을 실시하여, 표시 색 수를 내장 화상 메모리의 용량 이하로 되도록 화상 처리를 행한다.

현재, 소스 드라이버(14)에는 4096색(RGB 각 4 비트)으로 1 화면의 내장 RAM을 구비하고 있는 것으로 해서 설명한다. 모듈 외부로부터 보내져 오는 화상 데이터가 4096색인 경우에는, 직접 소스 드라이버(14)의 내장 화상 RAM에 저장되고, 이 내장 화상 RAM으로부터 화상 데이터를 판독하여, 표시 화면(50)에 화상을 표시한다.

화상 데이터가 26만색(G : 6 비트, R, B : 5 비트의 계 16 비트)인 경우에는, 오차 확산 콘트롤러의 연산 메모리에 일단 저장되고, 또한 동시에 오차 확산 혹은 디서 처리를 행하는 연산 회로로 오차 확산 혹은 디서 처리가 행해진다. 이 오차 확산 처리 등에 의해 16 비트의 화상 데이터는 내장 화상 RAM의 비트 수인 12 비트로 변환되어 소스 드라이버(14)에 전송된다. 소스 드라이버(14)는 RGB 각 4 비트(4096색)의 화상 데이터를 출력하여, 표시 화면(50)에 화상을 표시한다.

또한, 본 발명의 EL 표시 패널 혹은 EL 표시 장치 또는 구동 방법을 채용한 실시예에 대해, 도면을 참조하면서 설명한다.

도 58은 본 발명의 실시예에 있어서의 뷰 파인더(view Finder)의 단면도이다. 단, 설명을 용이하게 하기 위해서 모식적으로 도시하고 있다. 또한 일부 확대 혹은 축소한 개소가 존재하고, 또한, 생략한 개소도 있다. 예를 들어, 도 58에 있어서, 접안 커버를 생략하고 있다. 이상의 것은 다른 도면에 있어서도 해당한다.

보데(573)의 이면은 어두운 색 혹은 흑색으로 되어 있다. 이것은, EL 표시 패널(표시 장치)(574)로부터 출사한 미광이 보데(573)의 내면에서 난반사하여 표시 콘트라스트의 저하를 방지하기 위해서이다. 또한, 표시(15) 패널의 광 출사측에는 위상판($\lambda/4$ 판 등)(108), 편광판(109) 등이 배치되어 있다. 이것은 도 10, 도 11에서도 설명하고 있다.

접안 링(581)에는 확대 렌즈(582)가 부착되어 있다. 관찰자는 접안 링(581)을 보데(573) 내에서의 삽입 위치를 가변하여, 표시 패널(574)의 표시 화상(50)에 핀트가 맞도록 조정한다.

또한, 필요에 따라서 표시 패널(574)의 광 출사측에 볼록 렌즈(583)를 배치하면, 확대 렌즈(582)에 입사하는 주 광선을 수속시킬 수 있다. 그 때문에, 확대 렌즈(582)의 렌즈 직경을 작게 할 수 있어, 뷰 파인더를 소형화할 수 있다.

도 59는 디지털 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬상) 렌즈부(592)와 디지털 비디오 카메라 본체(573)를 구비하며, 촬영 렌즈부(592)와 뷰 파인더부(573)는 표리 관계로 되어 있다. 또한, 뷰 파인더(도 58도 참조)(573)에는 접안 커버가 부착되어 있다. 관찰자(사용자)는 이 접안 커버부로부터 표시 패널(574)의 표시부(50)를 관찰한다.

또한, 본 발명의 EL 표시 패널인 표시부(50)는 표시 모니터로서도 사용되고 있다. 표시부(50)는 지점(591)에서 각도를 자유롭게 조정할 수 있다. 표시부(50)를 사용하지 않을 때에는, 저장부(593)에 저장된다.

스위치(594)는 이하의 기능을 실시하는 전환하거나 혹은 제어 스위치이다. 스위치(594)는 표시 모드 전환 스위치이다. 스위치(594)는, 휴대형 전화기 등에도 부착하는 것이 바람직하다. 이 표시 모드 전환 스위치(594)에 대해 설명을 한다.

본 발명의 구동 방법의 하나로 N배의 전류를 EL 소자(15)에 흘려, 1F의 1/M의 기간만 점등시키는 방법이 있다. 이 점등시키는 기간을 변화시킴으로써, 밝기를 디지털적으로 변경할 수 있다. 예를 들면, N=4로 하여, EL 소자(15)에는 4배의 전류를 흘린다. 점등 기간을 1/M으로 하여, M=1, 2, 3, 4로 전환하면, 1배로부터 4배까지의 밝기 전환이 가능해진다. 또, M=1, 1. 5, 2, 3, 4, 5, 6 등으로 변경할 수 있도록 구성하더라도 좋다.

이상의 전환 동작은, 휴대형 전화기의 전원을 온한 때에, 표시 화면(50)을 매우 밝게 표시하여, 일정한 시간을 경과한 후에는, 전력을 세이브하기 위해서, 표시 휘도를 저하시키는 구성에 이용한다. 또한, 사용자가 희망하는 밝기에 설정하는 기능으로서도 이용할 수 있다. 예를 들면, 옥외 등에서는, 화면을 매우 밝게 한다. 옥외에서는 주변이 밝고, 화면이 전혀 보여지지 않게 되기 때문이다. 그러나, 높은 휘도로 표시를 계속하면 EL 소자(15)는 급격히 열화한다. 그 때문에, 매우 밝게 하는 경우에는, 단시간에 통상의 휘도로 복귀시키도록 구성해 놓는다. 또한, 고 휘도로 표시시키는 경우에는, 사용자가 버튼을 누르는 것에 의해 표시 휘도를 높게 할 수 있도록 구성해 놓는다.

따라서, 사용자가 버튼(594)으로 전환할 수 있도록 해 놓든지, 설정 모드에서 자동적으로 변경할 수 있든지, 외광의 밝기를 검출하여 자동적으로 전환할 수 있도록 구성해 놓은 것이 바람직하다. 또한, 표시 휘도를 50%, 60%, 80% 등과 사용자 등을 설정할 수 있도록 구성해 놓은 것이 바람직하다.

또, 표시 화면(50)은 가우스 분포 표시로 하는 것이 바람직하다. 가우스 분포 표시란, 중앙부의 휘도가 밝고, 주변부를 비교적 어둡게 하는 방식이다. 시각적으로는, 중앙부가 밝으면 주변부가 어둡더라도 밝게 느껴진다. 주관 평가에 의하면, 주변부가 중앙부와 비교하여 70%의 휘도를 유지하고 있으면, 시각적으로 손색없다. 더욱 저감시켜, 50% 휘도로 해도 거의 문제가 없다. 본 발명의 자기 발광형 표시 패널에서는, 이전에 설명한 N배 펄스 구동(N배의 전류를 EL 소자(15)에 훌려, 1F의 1/M의 기간만 점등시키는 방법)을 이용하여 화면의 상 방향으로부터 하 방향으로, 가우스 분포를 발생시키고 있다.

구체적으로는, 화면의 상부와 하부에서는 M의 값을 크게 하고, 중앙부에서 M의 값을 작게 한다. 이것은, 게이트 드라이버(12)의 시프트 레지스터의 동작 속도를 변조하는 것 등에 의해 실현한다. 화면 좌우의 밝기 변조는, 테이블의 데이터와 영상 데이터를 승산함으로써 발생시키고 있다. 이상의 동작에 의해, 주변 휘도(화각 0.9)를 50%로 했을 때, 휘도가 100%인 경우와 비교하여 약 20%의 저소비 전력화가 가능하다. 주변 휘도(화각 0.9)를 70%로 하였을 때, 휘도가 100%인 경우와 비교하여 약 15%의 저소비 전력화가 가능하다.

또, 가우스 분포 표시를 온/오프할 수 있도록 전환 스위치 등을 마련하는 것이 바람직하다. 예를 들면, 옥외 등에서, 가우스 표시시키면 화면 주변부가 전혀 보여지지 않게 되기 때문이다. 따라서, 사용자가 버튼으로 전환할 수 있도록 해 놓든지, 설정 모드에서 자동적으로 변경할 수 있든지, 외광의 밝기를 검출하여 자동적으로 전환할 수 있도록 구성해 놓은 것이 바람직하다. 또한, 주변 휘도를 50%, 60%, 80%로 사용자 등이 설정할 수 있도록 구성해 놓는 것이 바람직하다.

액정 표시 패널에서는 백 라이트로 고정의 가우스 분포를 발생시키고 있다. 따라서, 가우스 분포의 온/오프를 행하는 것은 불가능하다. 가우스 분포를 온/오프 할 수 있는 것은 자기 발광형의 표시 장치 특유의 효과이다.

또한, 프레임 레이트가 소정의 경우, 실내의 형광등 등의 점등 상태와 간섭하여 플리커가 발생하는 경우가 있다. 예컨대, 형광등이 60Hz의 교류로 점등하고 있는 경우, EL 표시 소자(15)가 프레임 레이트 60Hz로 동작하고 있으면, 미묘한 간섭이 발생하여, 화면이 천천히 점멸하고 있는 것과 같이 느껴지는 경우가 있다. 이것을 피하기 위해서는 프레임 레이트를 변경하면 좋다. 본 발명은 프레임 레이트의 변경 기능을 부가하고 있다. 또한, N배 펄스 구동(N배의 전류를 EL 소자(15)에 훌려, 1F의 1/M의 기간만 점등시키는 방법)에 있어서, N 또는 M의 값을 변경할 수 있도록 구성하고 있다.

이상의 기능을 스위치(594)로 실현할 수 있도록 한다. 스위치(594)는 표시 화면(50)의 메뉴에 따라서, 복수회 누르는 것에 의해, 이상에서 설명한 기능을 전환하여 실현한다.

또, 이상의 사항은, 휴대형 전화기만으로 한정되는 것이 아니라, 텔레비전, 모니터 등에 이용할 수 있는 것은 말할 필요도 없다. 또한, 어떠한 표시 상태에 있는지를 사용자가 곧바로 인식할 수 있도록, 표시 화면에 아이콘 표시를 해 놓는 것이 바람직하다. 이상의 사항은 이하의 사항에 대해서도 마찬가지이다.

본 실시예의 EL 표시 장치 등은 디지털 비디오 카메라 뿐만 아니라, 도 60에 나타내는 것과 같은 디지털 스틸 카메라에도 적용할 수 있다. 표시 장치는 카메라 본체(601)에 부속된 모니터(50)로서 이용한다. 카메라 본체(601)에는 셔터(603) 이외에, 스위치(594)가 부착되어 있다.

이상은 표시 패널의 표시 영역이 비교적 소형인 경우에도, 30 인치 이상과 같은 대형으로 되면 표시 화면(50)이 휘어지기 쉽다. 그 대책을 위해, 본 발명에서는 도 61에 도시하는 바와 같이 표시 패널에 외측 프레임(611)을 부착하여, 외측 프레임(611)을 걸 수 있도록 고정 부재(614)를 구비하고 있다. 이 고정 부재(614)를 이용하여, 벽 등에 부착한다.

그러나, 표시 패널의 화면 사이즈가 커지면 중량도 커진다. 그 때문에, 표시 패널의 하측에 다리 부착부(613)를 배치하여, 복수의 다리(612)로 표시 패널의 중량을 유지할 수 있도록 하고 있다.

다리(612)는 화살표 A에 도시하는 바와 같이 좌우로 이동할 수 있고, 또한, 다리(612)는 화살표 B에 도시하는 바와 같이 신축할 수 있도록 구성되어 있다. 그 때문에, 좁은 장소에서도 표시 장치를 용이하게 설치할 수 있다.

도 61에 나타내는 텔레비전에서는, 화면의 표면을 보호 필름(보호 판이어도 좋음)로 으 피복하고 있다. 이것은, 표시 패널의 표면에 물체가 접하여 파손되는 것을 방지하는 것이 하나의 목적이다. 보호 필름의 표면에는 AIR 코트가 형성되어 있고, 또한, 표면을 엠보스 가공함으로써 표시 패널에 외부의 상황(외광)이 비쳐 넣는 것을 억제하고 있다.

또한, 보호 필름과 표시 패널 사이에 비즈(beads) 등을 살포함으로써, 일정한 공간이 배치되도록 구성되어 있다. 또한, 보호 필름의 이면에 미세한 볼록부를 형성하여, 이 볼록부로 표시 패널과 보호 필름 사이에 공간을 유지시킨다. 이와 같이 공간을 유지함으로써 보호 필름으로부터의 충격이 표시 패널에 전달하는 것을 억제한다.

또한, 보호 필름과 표시 패널 사이에 알콜, 에틸렌 글리콜 등 액체 혹은 젤 형상의 아크릴 수지 혹은 에폭시 등의 고체 수지 등의 광 결합제를 배치 또는 주입하는 것도 효과가 있다. 계면 반사를 방지할 수 있음과 동시에, 상기 광 결합제가 완충재로서 기능하기 때문이다.

보호 필름으로서는, 폴리카보네이트필름(판), 폴리프로필렌필름(판), 아크릴필름(판), 폴리에스테르필름(판), PVA 필름(판) 등이 예시된다. 그 외에 엔지니어링 수지 필름(ABS 등) 등을 이용할 수 있는 것은 말할 필요도 없다. 또한, 강화 유리 등 무기 재료로 이루어지는 것이라도 좋다. 보호 필름을 배치하는 대신에, 표시 패널의 표면에 대해, 에폭시 수지, 페놀 수지, 아크릴 수지 등을 0.5mm 이상 2.0mm 이하의 두께로 코팅함으로써 마찬가지의 효과가 얻어진다. 또한, 이들의 수지 표면에 엠보스 가공 등을 하는 것도 유효하다.

또한, 보호 필름 혹은 코팅 재료의 표면을 불소 코팅하는 것도 효과가 있다. 표면에 부착된 오염을 세제 등으로 용이하게 떨어뜨리는 것이 가능해지기 때문이다. 또, 보호 필름을 두껍게 형성하여, 프런트 라이트(front light)와 겸용하도록 하더라도 좋다.

본 발명의 실시예에 있어서의 표시 패널은, 3변 프리의 구성과 조합하는 것도 유효한 것은 말할 필요도 없다. 특히 3변 프리의 구성은 화소가 비정질 실리콘 기술을 이용하여 제작되어 있는 때에 유효하다. 또한, 비정질 실리콘 기술로 형성된 패널에서는, 트랜지스터 소자의 특성 편차의 프로세스 제어가 불가능하기 때문에, 본 발명의 N배 펄스 구동, 리세트 구동, 더미 화소 구동 등을 실시하는 것이 바람직하다. 따라서, 본 발명에 있어서의 트랜지스터 등은, 폴리실리콘 기술에 의한 것에 한정하는 것은 아니며, 비정질 실리콘에 의한 것이라도 좋다.

또, 본 발명의 N배 펄스 구동(도 13, 도 16, 도 19, 도 20, 도 22, 도 24, 도 30 등을 참조) 등은, 저온 폴리실리콘 기술로 트랜지스터(11)를 형성하여 표시 패널과 마찬가지로, 비정질 실리콘 기술로 트랜지스터(11)를 형성한 표시 패널에 유효하다. 비정질 실리콘의 트랜지스터(11)에서는, 인접한 트랜지스터의 특성이 거의 일치하고 있기 때문이다. 따라서, 가산한 전류로 구동하더라도 각각의 트랜지스터의 구동 전류는 거의 목표값으로 되어 있다(특히, 도 22, 도 24, 도 30의 N배 펄스 구동은 비정질 실리콘으로 형성한 트랜지스터의 화소 구성에 있어서 유효함).

본 발명의 실시예에서 설명한 기술적 사상은 디지털 비디오 카메라, 프로젝터, 입체 텔레비전, 프로젝션 텔레비전 등에 적용할 수 있다. 또, 뷰파인더, 휴대형 전화기의 모니터, PHS, 휴대 정보 단말 및 그 모니터, 디지털 스틸 카메라 및 그 모니터에도 적용할 수 있다.

또한, 전자 사진 시스템, 헤드 마운드 디스플레이, 직시 모니터 디스플레이, 노트북형 및 데스크탑형 퍼스널 컴퓨터에도 적용할 수 있다. 또한, 현금 자동 인출기의 모니터, 공중 전화, 화상 전화, 손목 시계 및 그 표시 장치에도 적용할 수 있다.

또한, 가정 전기 기기의 표시 모니터, 포켓 게임 기기 및 그 모니터, 표시 패널용 백 라이트 혹은 가정용 또는 업무용의 조명 장치 등에도 적용 혹은 응용할 수 있는 것은 말할 필요도 없다. 조명 장치는 색 온도를 가변으로 할 수 있도록 구성하는 것이 바람직하다. 이것은, RGB의 화소를 스트라이프 형상 혹은 도트 매트릭스 형상으로 형성하고, 이것에 흐르는 전류를 조정하는 것에 의해 색 온도를 변경할 수 있다. 또한, 광고 혹은 포스터 등의 표시 장치, RGB의 신호기, 경보 표시 등에도 적용할 수 있다.

또한, 스캐너의 광원으로 해도 유기 EL 표시 패널은 유효하다. RGB의 도트 매트릭스를 광원으로 하여, 대상물에 광을 조사하고, 화상을 판독한다. 물론, 단색으로도 좋은 것은 말할 필요도 없다. 또한, 액티브 매트릭스에 한정하는 것은 아니며, 단순 매트릭스로도 좋다. 색 온도를 조정할 수 있도록 하면 화상 판독 정밀도도 향상한다.

또한, 액정 표시 장치의 백 라이트에도 유기 EL 표시 장치는 유효하다. EL 표시 장치(백 라이트)의 RGB의 화소를 스트라이프 형상으로 형성하고, 이들에 흘리는 전류를 조정하는 것에 의해 색 온도를 변경할 수 있고, 또한, 밝기의 조정도 용이

하다. 더욱이, 면 광원이므로, 화면의 중앙부를 밝게 하고, 주변부를 어둡게 하는 가우스 분포를 용이하게 구성할 수 있다. 또한, R, G, B 광을 교대로 주사한다, 필드 시퀀셜 방식의 액정 표시 패널의 백 라이트로 해도 유효하다. 또한, 백 라이트를 점멸하더라도 흑 삽입함으로써 동화상 표시용 등의 액정 표시 패널의 백 라이트로서도 이용할 수 있다.

또, 도 1 등의 도면에서는, 본 발명에 있어서의 EL 소자(15)를 OLED로서 포착하여 다이오드의 기호를 이용하여 나타내고 있다. 그러나, 본 발명에 있어서의 EL 소자(15)는 OLED에 한정되는 것은 아니며, 소자(15)에 흐르는 전류량에 의해서 휘도가 제어되는 것이면 좋다. 그러한 소자로서는 무기 EL 소자가 예시된다. 그 외에, 반도체로 구성되는 백색 발광 다이오드가 예시된다. 또한, 일반적인 발광 다이오드가 예시된다. 그 외에, 발광 트랜지스터이어도 좋다. 또한, 소자(15)는 반드시 정류성이 요구되는 것은 아니다. 쌍방향성 다이오드이더라도 좋다.

상기 설명으로부터, 당업자에 있어서는, 본 발명의 많은 개량이나 다른 실시예가 명백하다. 따라서, 상기 설명은, 예시로서만 해석되어야 하며, 본 발명을 실행하는 최선의 형태를 당업자에 교시할 목적으로 제공된 것이다. 본 발명의 정신을 일탈하지 않고, 그 구조 및/또는 기능의 세부 사항을 실질적으로 변경할 수 있다.

산업상 이용 가능성

본 발명에 따른 EL 표시 장치는, 박형의 텔레비전, 디지털 비디오 카메라, 디지털 스틸 카메라, 휴대형 전화기 등의 표시부로서 유용하다.

(57) 청구의 범위

청구항 1.

서로 교차하도록 배열된 복수의 게이트 신호선 및 복수의 소스 신호선과,

매트릭스 형상으로 배치되어, 공급되는 전류에 따른 휘도로 발광하는 EL 소자와,

상기 게이트 신호선에 대해 게이트 신호를 출력하는 게이트 드라이버와,

상기 소스 신호선에 대해 외부로부터 입력되는 화상 신호가 나타내는 계조 표시를 실현하기 위해 미리 결정된 값의 전류를 출력하는 소스 드라이버와,

EL 소자의 각각에 대응하여 마련되어, 상기 소스 드라이버로부터 출력된 전류를 상기 EL 소자에 대해 출력하는 트랜지스터와,

상기 게이트 신호선을 거쳐서 공급되는 게이트 신호에 따라 상기 EL 소자와 상기 트랜지스터 사이의 도통/비도통을 전환하는 것에 의해, 상기 소스 드라이버로부터 출력된 전류를 상기 EL 소자에 공급할 수 있는 제 1 스위칭 소자를 구비하며,

상기 소스 드라이버가, 상기 미리 결정된 값의 대략 N배(N은 2 이상의 정수)의 전류를 출력하도록 구성되고,

상기 게이트 드라이버가, 상기 EL 소자와 상기 트랜지스터 사이가 1 프레임 기간에 있어서 적어도 한 번은 도통 및 비도통으로 되도록 상기 게이트 신호선에 대해 게이트 신호를 출력하는 것에 의해, 1 프레임 기간의 대략 1/N인 동안, 상기 소스 드라이버로부터 출력된 전류를 상기 EL 소자에 공급하도록 구성되어 있는 EL 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 게이트 드라이버는, 상기 EL 소자와 상기 트랜지스터 사이가 1 프레임 기간에 있어서 주기적으로 복수회 도통 및 비도통으로 되도록 상기 게이트 신호선에 게이트 신호를 출력하는 EL 표시 장치.

청구항 3.

제 1 항에 있어서,

상기 게이트 신호선을 거쳐서 공급되는 게이트 신호에 따라 상기 소스 드라이버와 상기 트랜지스터 사이의 도통/비도통을 전환하는 것에 의해, 상기 소스 드라이버로부터 출력된 전류를 상기 트랜지스터에 공급할 수 있는 제 2 스위칭 소자를 더 구비하며,

상기 게이트 드라이버는, 상기 EL 소자와 상기 트랜지스터 사이를 비도통으로 한 상태에서 상기 소스 드라이버와 상기 트랜지스터 사이를 도통으로 하여 상기 소스 드라이버로부터 출력되는 전류를 상기 트랜지스터에 프로그램한 후, 상기 EL 소자와 상기 트랜지스터 사이가 1 프레임 기간에 있어서 적어도 한 번은 도통 및 비도통으로 되도록 상기 게이트 신호선에 대해 게이트 신호를 출력하는 EL 표시 장치.

청구항 4.

제 1 항에 있어서,

상기 게이트 드라이버와 상기 트랜지스터가 동일 프로세스로 형성되어 있는 EL 표시 장치.

청구항 5.

제 1 항에 있어서,

상기 소스 드라이버는, 반도체 칩으로 형성되어 있는 EL 표시 장치.

청구항 6.

서로 교차하도록 배열된 복수의 게이트 신호선 및 복수의 소스 신호선과,

매트릭스 형상으로 배치되어, 공급되는 전류에 따른 휘도로 발광하는 EL 소자와,

상기 게이트 신호선에 대해 게이트 신호를 출력하는 게이트 드라이버와,

상기 소스 신호선에 대해 외부로부터 입력되는 화상 신호가 나타내는 계조 표시를 실현하기 위해 미리 결정된 값의 전류를 출력하는 소스 드라이버와,

상기 EL 소자의 각각에 대응하여 마련되어, 상기 게이트 신호선을 거쳐서 공급되는 게이트 신호에 따라 상기 EL 소자와 상기 소스 신호선 사이의 도통/비도통을 전환하는 것에 의해, 상기 소스 신호선을 거쳐서 공급되는 전류를 상기 EL 소자에 공급할 수 있는 제 1 스위칭 소자와,

상기 EL 소자가 형성된 영역과는 상이한 영역에 마련되어, 화상 표시에 실질적으로 이용되지 않는 복수의 더미 소자와,

상기 더미 소자의 각각에 대응하여 마련되어, 상기 게이트 신호선을 거쳐서 공급되는 게이트 신호에 따라 상기 더미 소자와 상기 소스 신호선 사이의 도통/비도통을 전환하는 것에 의해, 상기 소스 신호선을 거쳐서 공급되는 전류를 상기 더미 소자에 공급할 수 있는 제 2 스위칭 소자를 구비하며,

상기 소스 드라이버가, 상기 미리 결정된 값의 대략 N배(N은 2 이상의 정수)의 전류를 출력하도록 구성되고,

상기 게이트 드라이버가 상기 EL 소자에 관한 게이트 신호선 및 상기 더미 소자에 관한 게이트 신호선에 대해 대략 동일한 타이밍에서 게이트 신호를 출력함으로써, 상기 소스 신호선을 거쳐서 공급되는 전류를 상기 EL 소자 및 상기 더미 소자의 각각에 분할하여 공급하는 것에 의해, 상기 미리 결정된 값과 대략 동일한 값의 전류를 상기 EL 소자에 공급하도록 구성되어 있는 EL 표시 장치.

청구항 7.

제 6 항에 있어서,

상기 더미 소자에 관한 게이트 신호선은, 제 1 행 또는 최종 행의 상기 EL 소자에 관한 게이트 신호선과 이웃하도록 하여 형성되어 있고, 상기 게이트 드라이버가 이웃하는 복수 행의 게이트 신호선에 대해 대략 동일한 타이밍에서 순차적으로 게이트 신호를 출력함으로써, 복수의 상기 EL 소자의 각각 또는 상기 EL 소자 및 상기 더미 소자의 각각에 상기 소스 신호선을 거쳐서 공급되는 전류를 분할하여 공급하도록 구성되어 있는 EL 표시 장치.

청구항 8.

공급되는 전류에 따른 휘도로 발광하는 EL 소자와, 소스 신호선을 거쳐서 상기 EL 소자에 전류를 출력하는 소스 드라이버를 구비하는 EL 표시 장치의 구동 방법에 있어서,

외부로부터 입력된 화상 신호가 나타내는 계조 표시를 실현하기 위해 미리 결정된 값의 대략 N배(N은 2 이상의 정수)의 전류를 상기 소스 드라이버가 상기 소스 신호선에 출력하는 단계와,

1 프레임 기간의 대략 1/N의 기간에 걸쳐 상기 소스 신호선에 출력된 전류를 상기 EL 소자에 공급함으로써, 상기 1/N의 기간에 있어서 상기 소스 신호선에 출력된 전류에 따른 휘도로 상기 EL 소자를 발광시키는 단계
를 포함하는 EL 표시 장치의 구동 방법.

청구항 9.

제 8 항에 있어서,

상기 일부의 기간은, 복수의 기간으로 분할되어 있는 EL 표시 장치의 구동 방법.

청구항 10.

청구항 1에 기재된 EL 표시 장치를 구비하며, 상기 EL 표시 장치에 대해 화상 신호를 출력하도록 구성되어 있는 전자 기기.

청구항 11.

매트릭스 형상으로 배치된 EL 소자와,

상기 EL 소자에 흐르는 전류를 공급하는 구동용 트랜지스터와,

상기 EL 소자와 상기 구동용 트랜지스터 사이에 배치된 제 1 스위칭 소자와,

상기 제 1 스위칭 소자를 온/오프 제어하는 게이트 드라이버를 구비하며,

상기 게이트 드라이버는, 상기 제 1 스위칭 소자를, 1 프레임 기간에 있어서, 적어도 한 번 이상 오프 상태로 제어하는 것을 특징으로 하는 EL 표시 장치.

청구항 12.

제 11 항에 있어서,

상기 제 1 스위칭 소자는, 1 프레임 기간에 있어서, 주기적으로 또한 복수회 오프 상태로 제어되는 것을 특징으로 하는 EL 표시 장치.

청구항 13.

프로그램 전류를 출력하는 소스 드라이버 회로와,

매트릭스 형상으로 배치된 EL 소자와,

상기 EL 소자에 흐르는 전류를 공급하는 구동용 트랜지스터와,

상기 EL 소자와 상기 구동용 트랜지스터 사이에 배치된 제 1 스위칭 소자와,

상기 구동용 트랜지스터에 상기 프로그램 전류를 전달하는 경로를 구성하는 제 2 스위칭 소자와,

상기 제 1 및 제 2 스위칭 소자를 온/오프 제어하는 게이트 드라이버 회로를 구비하며,

상기 게이트 드라이버 회로는, 상기 제 1 스위칭 소자를, 1 프레임 기간에 있어서, 적어도 한 번 이상 온 상태로 하고, 또한 한 번 이상 오프 상태로 제어하는 것을 특징으로 하는 EL 표시 장치.

청구항 14.

제 13 항에 있어서,

상기 게이트 드라이버는, 상기 구동용 트랜지스터와 동일 프로세스로 형성되고, 상기 소스 드라이버는, 반도체 칩으로 형성되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 15.

게이트 신호선과,

소스 신호선과,

프로그램 전류를 출력하는 소스 드라이버와,

게이트 드라이버와,

매트릭스 형상으로 배치된 EL 소자와,

상기 EL 소자에 흐르는 전류를 공급하는 구동용 트랜지스터와,

상기 EL 소자와 상기 구동용 트랜지스터 사이에 배치된 제 1 트랜지스터와,

상기 구동용 트랜지스터에 상기 프로그램 전류를 전달하는 경로를 구성하는 제 2 트랜지스터를 구비하며,

상기 소스 드라이버는, 상기 소스 신호선에 프로그램 전류를 출력하고,

상기 게이트 드라이버는, 게이트 신호선에 접속되며,

상기 제 2 트랜지스터의 게이트 단자는, 상기 게이트 신호선에 접속되고,

상기 제 2 트랜지스터의 소스 단자는, 상기 소스 신호선에 접속되며,

상기 제 2 트랜지스터의 드레인 단자는, 상기 구동용 트랜지스터의 드레인 단자와 접속되고,

상기 게이트 드라이버는, 복수의 게이트 신호선을 선택하여, 상기 프로그램 전류를 복수의 화소의 상기 구동용 트랜지스터에 공급하며,

상기 게이트 드라이버는, 상기 제 1 트랜지스터를, 1 프레임 기간에 있어서, 적어도 한 번 이상 온 상태로 하고, 또한 한 번 이상 오프 상태로 제어하는 것을 특징으로 하는 EL 표시 장치.

청구항 16.

제 15 항에 있어서,

상기 게이트 드라이버는, 상기 구동용 트랜지스터와 동일 프로세스로 형성되고, 상기 소스 드라이버는, 반도체 칩으로 형성되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 17.

I(I는 2 이상의 정수) 화소 행, J(J는 2 이상의 정수) 화소 열로 이루어지는 표시 영역을 갖고,

상기 표시 영역의 소스 신호선에 영상 신호를 인가하는 소스 드라이버와,

상기 표시 영역의 게이트 신호선에 온 전압 또는 오프 전압을 인가하는 게이트 드라이버와,

상기 표시 영역 이외의 개소에 형성된 더미 화소 행을 구비하며,

상기 표시 영역에는 EL 소자가 매트릭스 형상으로 형성되어, 상기 소스 드라이버로부터의 영상 신호에 근거하여 발광하고,

상기 더미 화소 행은, 발광하지 않거나, 또는 발광 상태가 시각적으로 보이지 않도록 구성되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 18.

제 17 항에 있어서,

상기 게이트 드라이버는, 복수 화소 행을 동시에 선택하여, 상기 소스 드라이버로부터의 영상 신호를 상기 복수의 화소 행에 인가하고,

제 1 행째의 화소 행 또는 I 화소 행이 선택될 때에는, 더미 화소 행이 선택되는 것을 특징으로 하는 EL 표시 장치.

청구항 19.

EL 소자를 소정 휙도보다도 고 휙도로 발광하는 전류를 상기 EL 소자에 공급하고,

1 프레임의 $1/N$ (N 은 1보다 작음)의 기간, 상기 EL 소자를 발광시키는 것을 특징으로 하는 EL 표시 장치의 구동 방법.

청구항 20.

제 19 항에 있어서,

1 프레임의 $1/N$ 의 기간은, 복수 기간으로 분할되어 있는 것을 특징으로 하는 EL 표시 장치의 구동 방법.

청구항 21.

전류에 의해 EL 소자에 흘리는 전류를 프로그램하는 EL 표시 장치의 구동 방법으로서,

소정 휙도보다도 높은 휙도로 상기 EL 소자를 발광시켜, $1/N$ ($N > 1$)의 표시 영역을 표시하고,

상기 $1/N$ 의 표시 영역을 순차적으로 시프트하여 전체 화면을 표시하는 것을 특징으로 하는 EL 표시 장치의 구동 방법.

청구항 22.

청구항 11에 기재된 EL 표시 장치와,

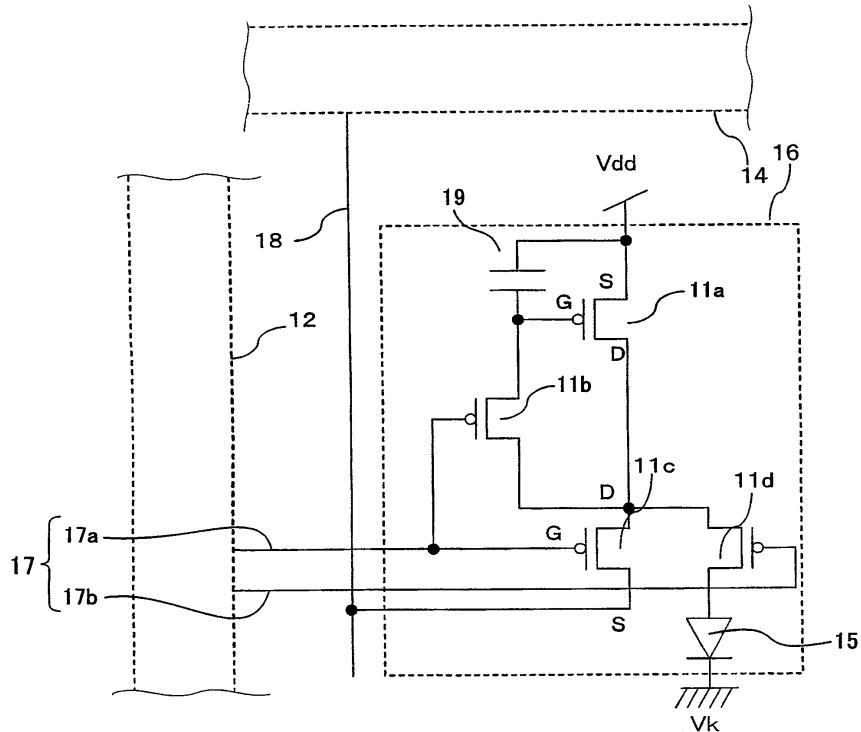
수화기와,

스피커

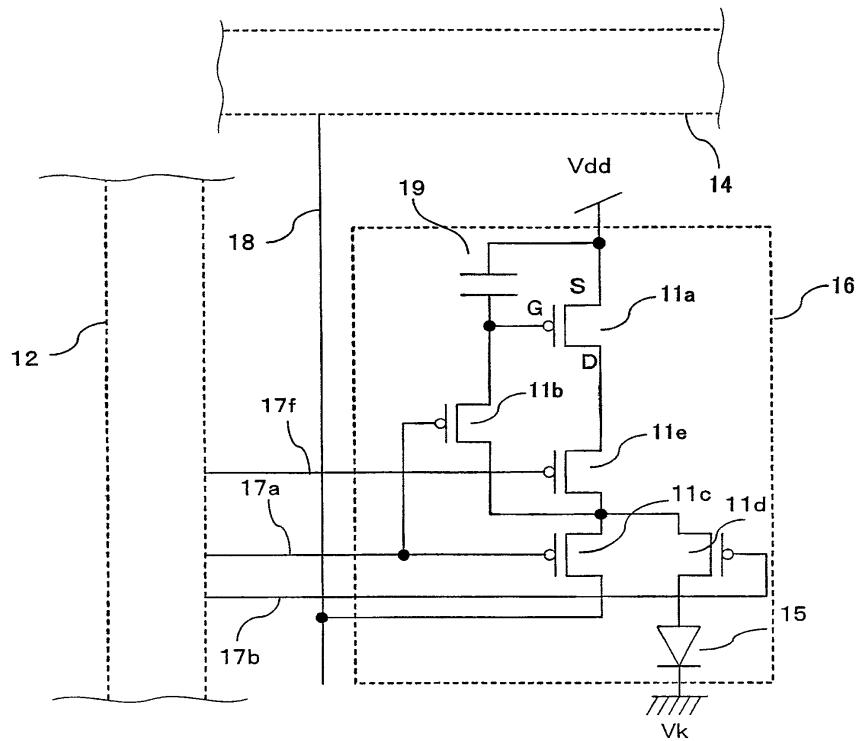
를 구비하는 것을 특징으로 하는 전자 기기.

도면

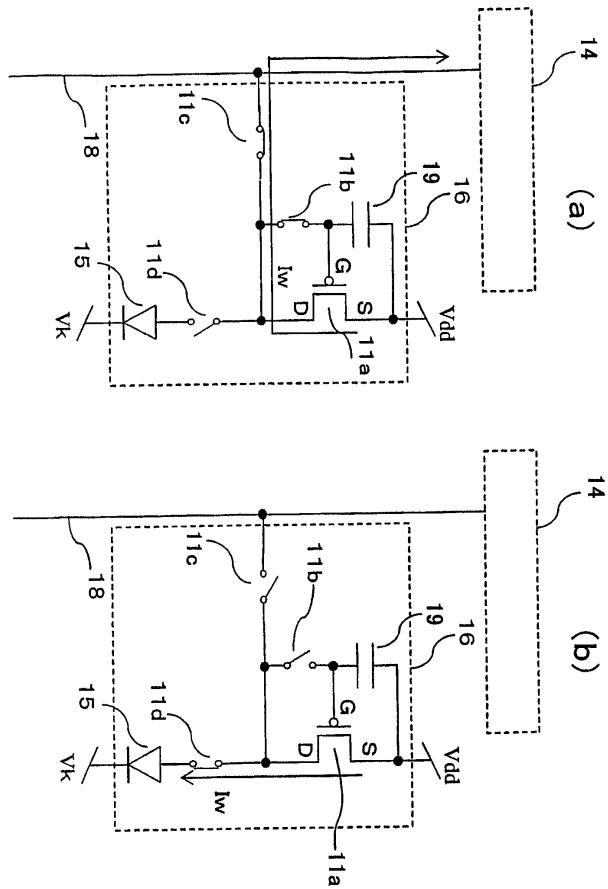
도면1



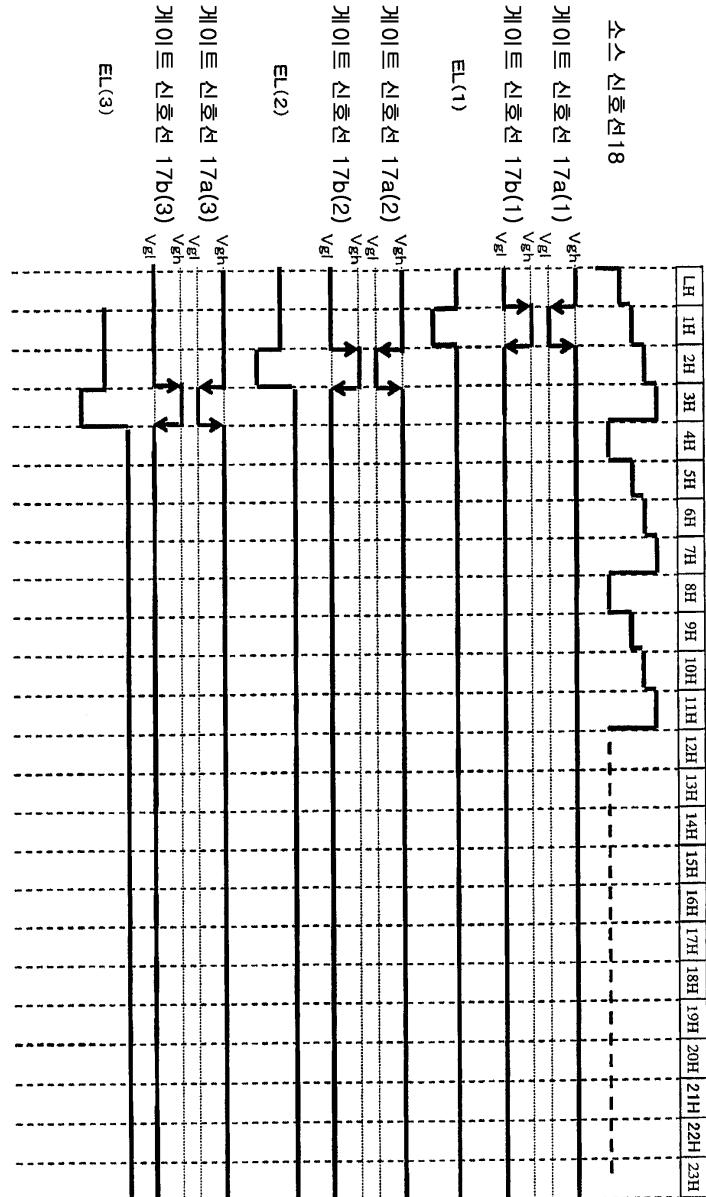
도면2



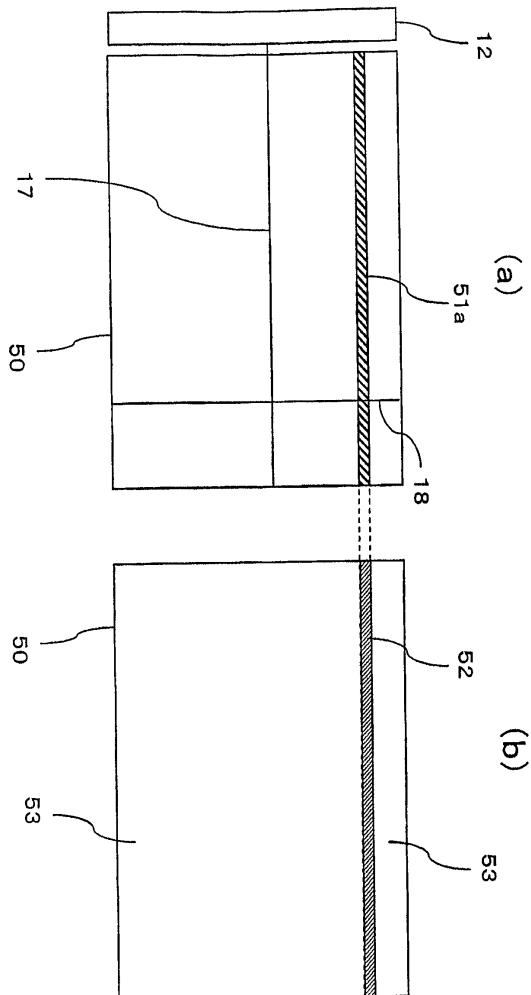
도면3



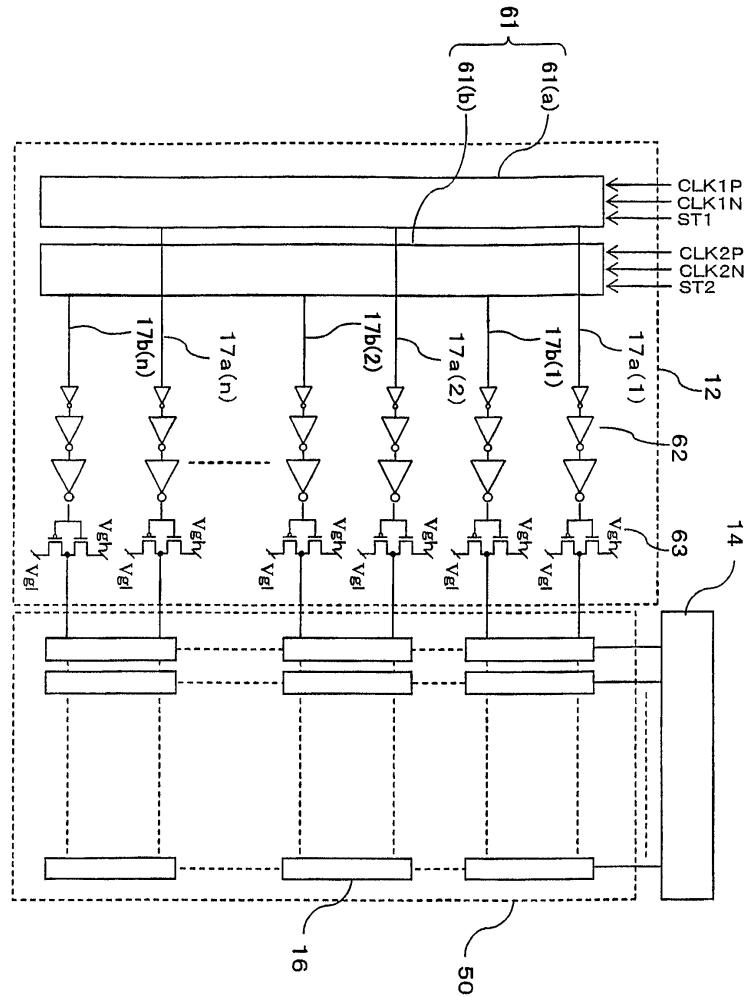
도면4



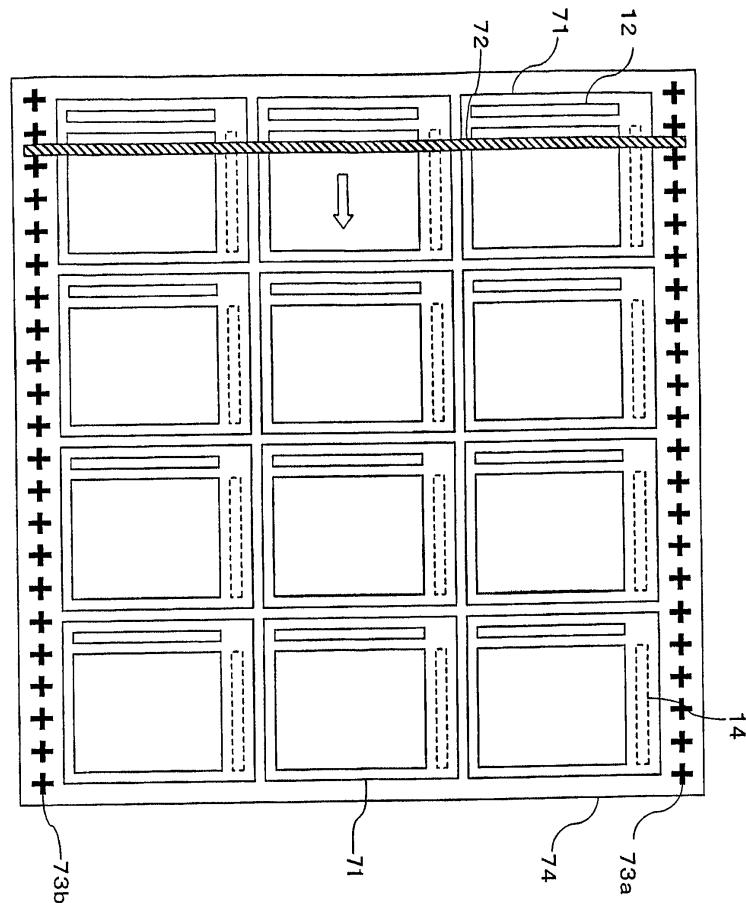
도면5



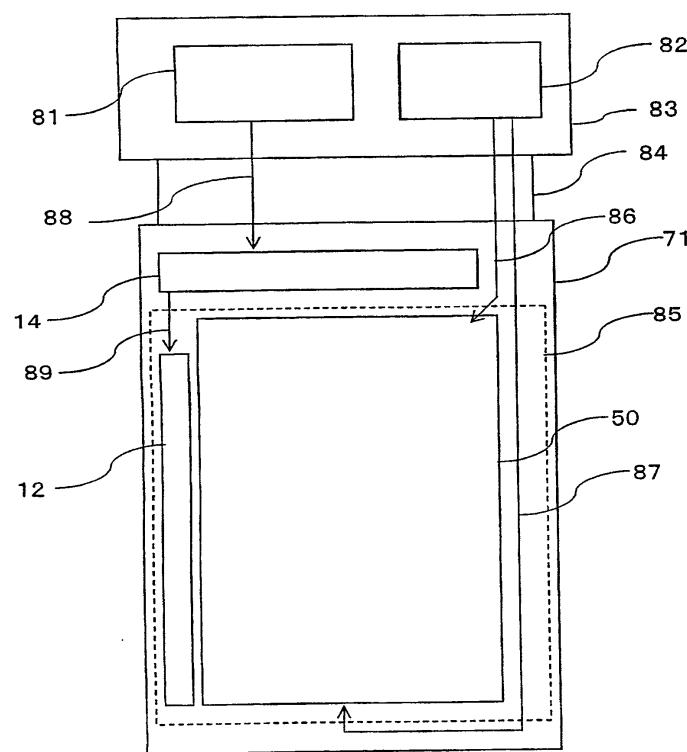
도면6



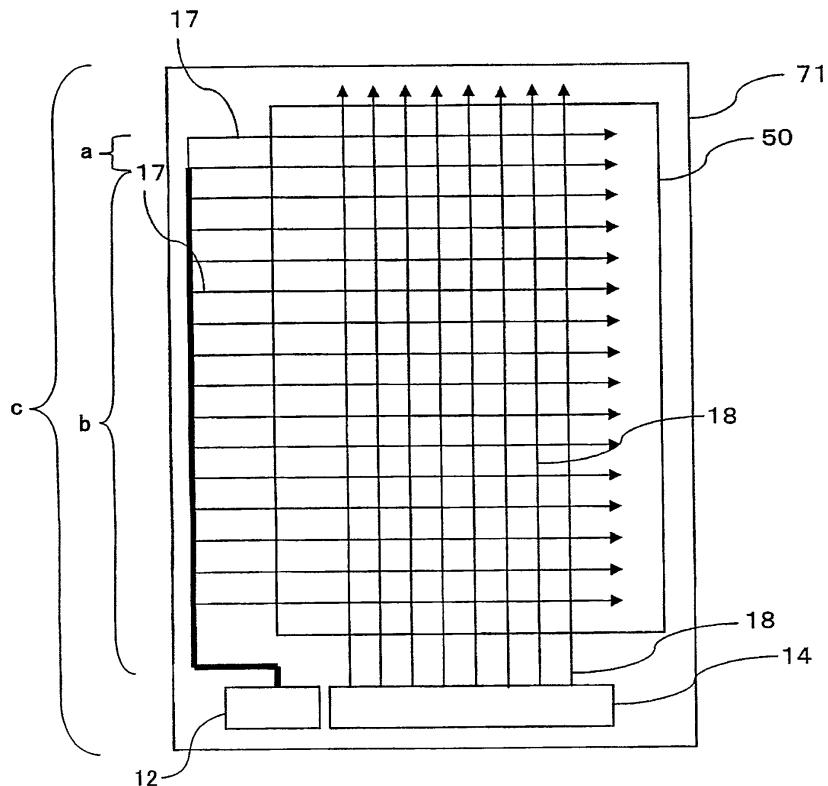
도면7



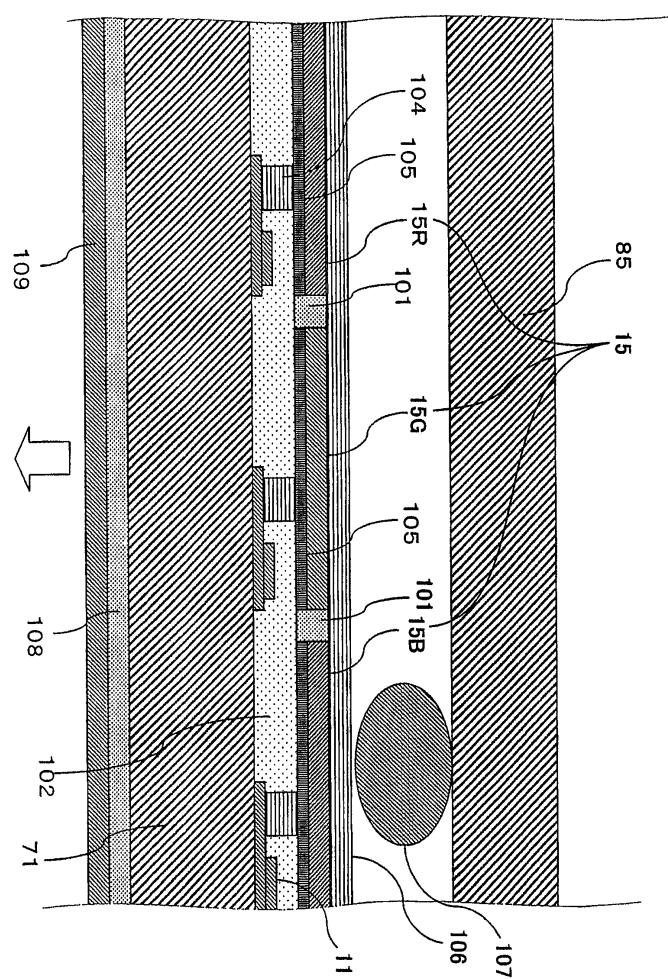
도면8



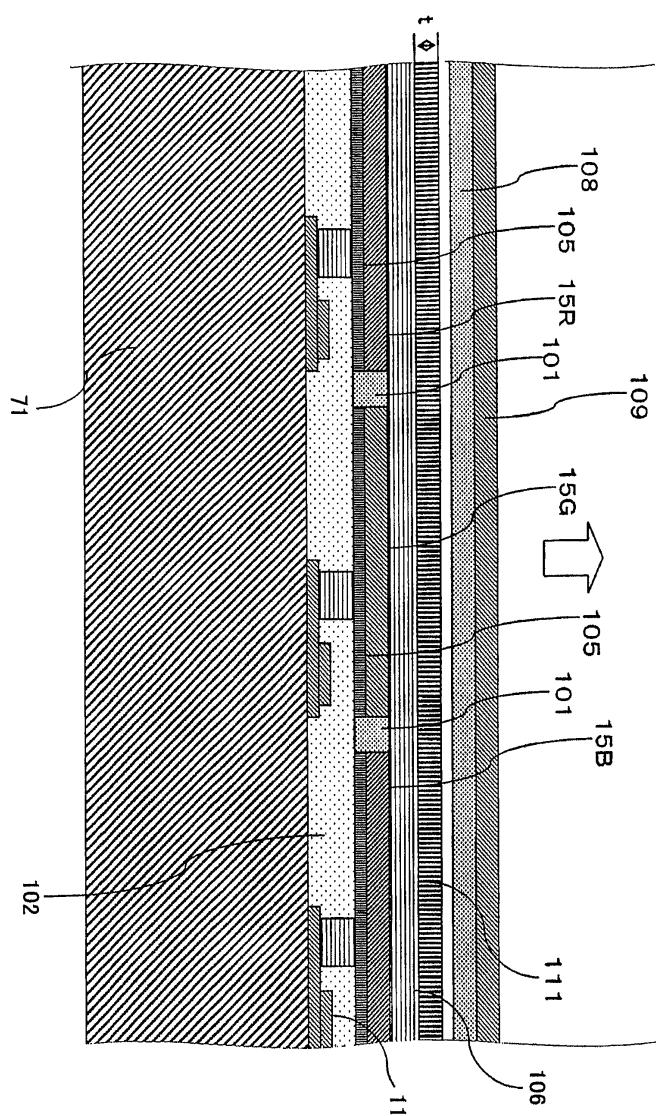
도면9



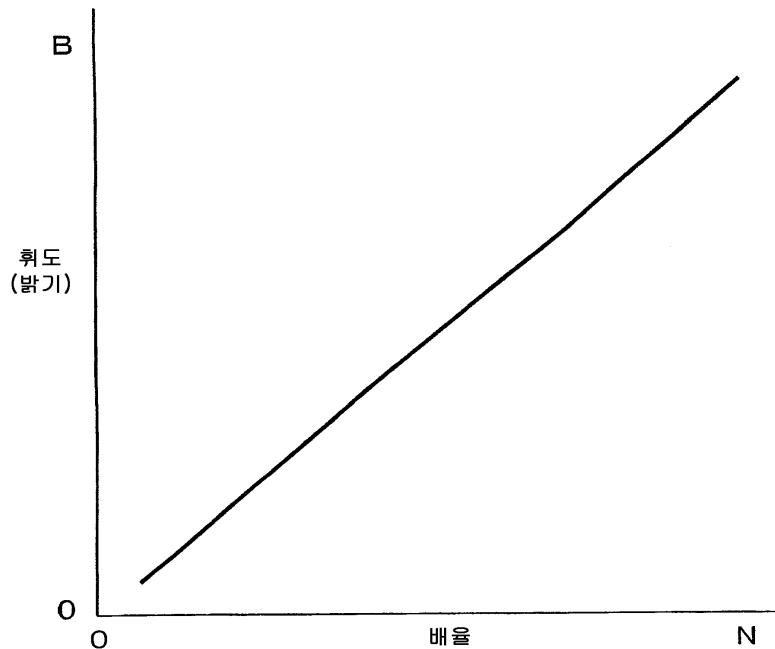
도면10



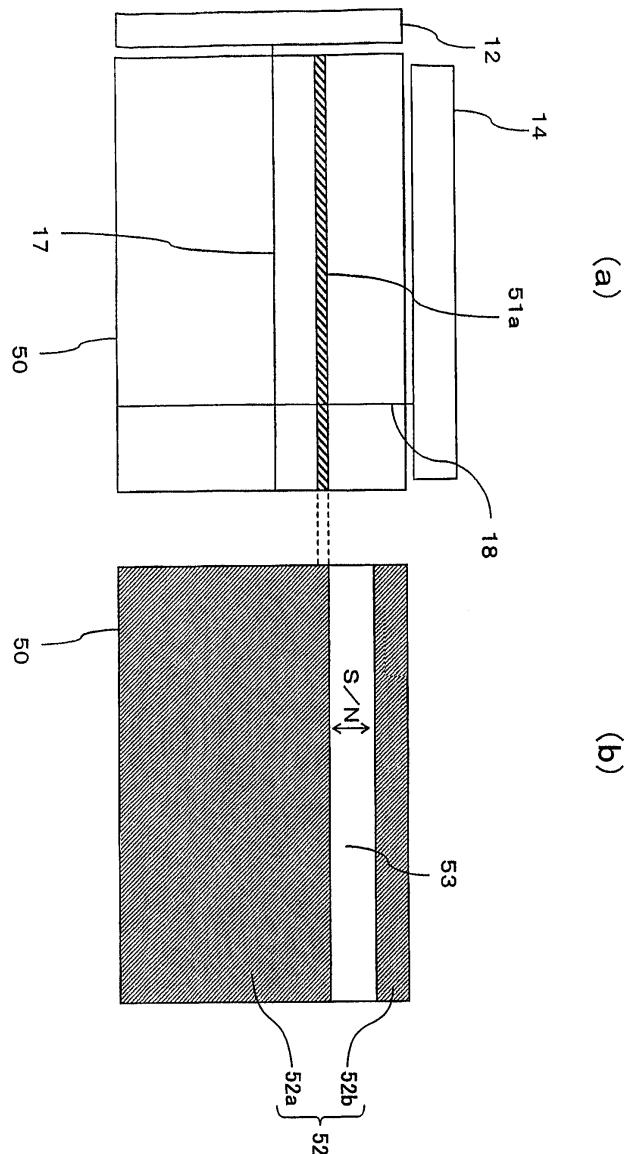
도면11



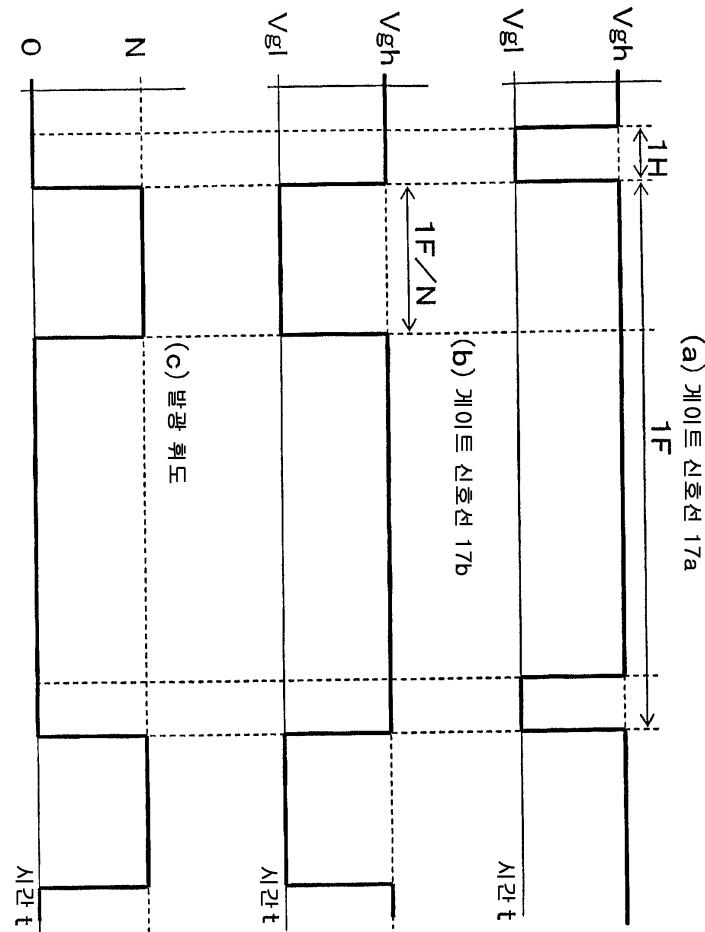
도면12



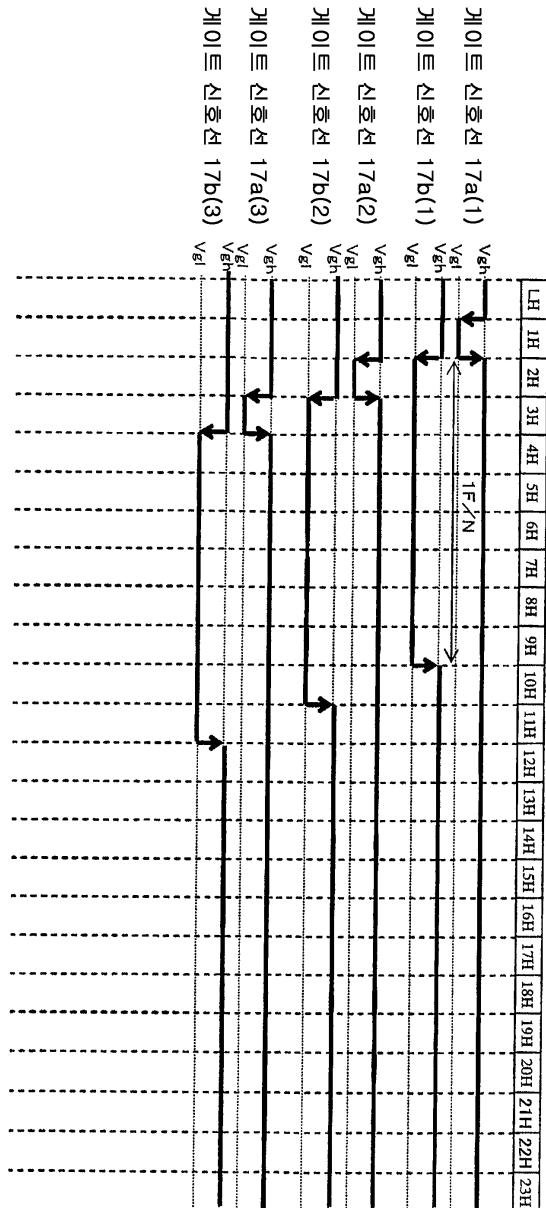
도면13



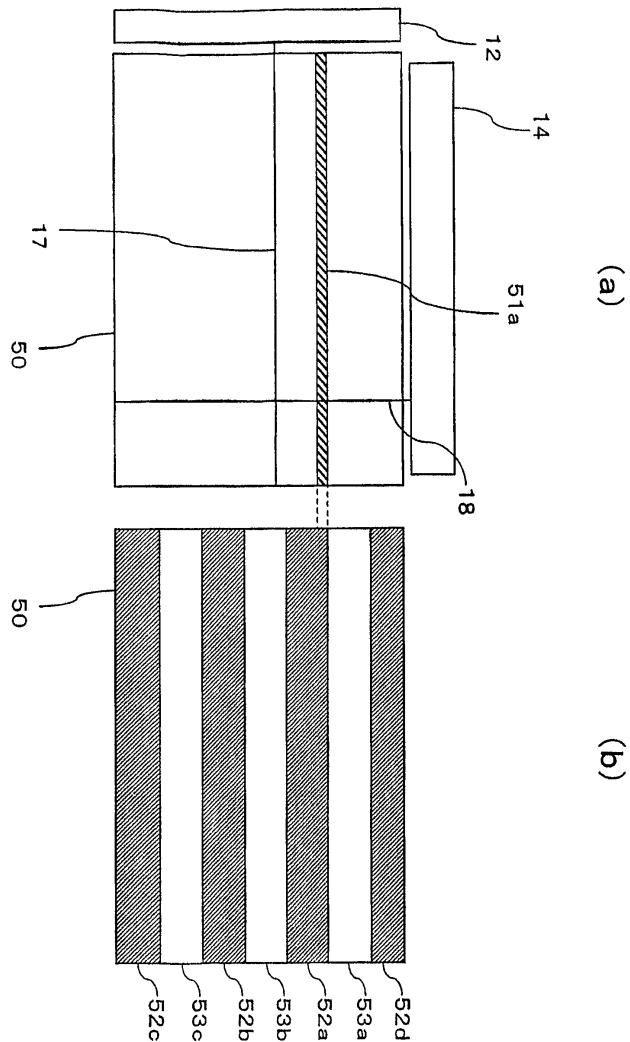
도면14



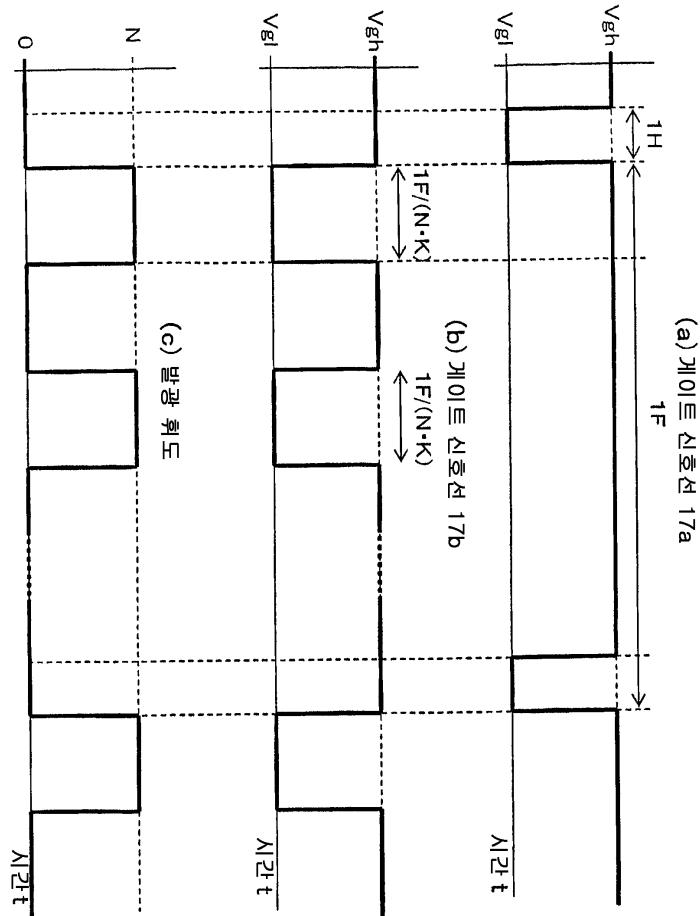
도면15



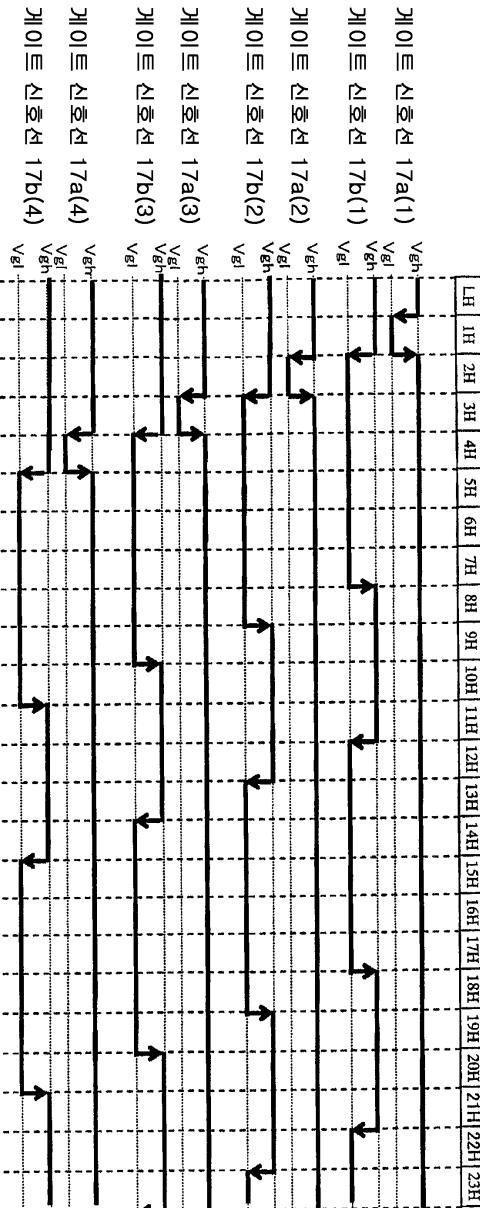
도면16



도면17



도면18



게이트 신호선 17a(1)

게이트 신호선 17b(1)

게이트 신호선 17a(2)

게이트 신호선 17b(2)

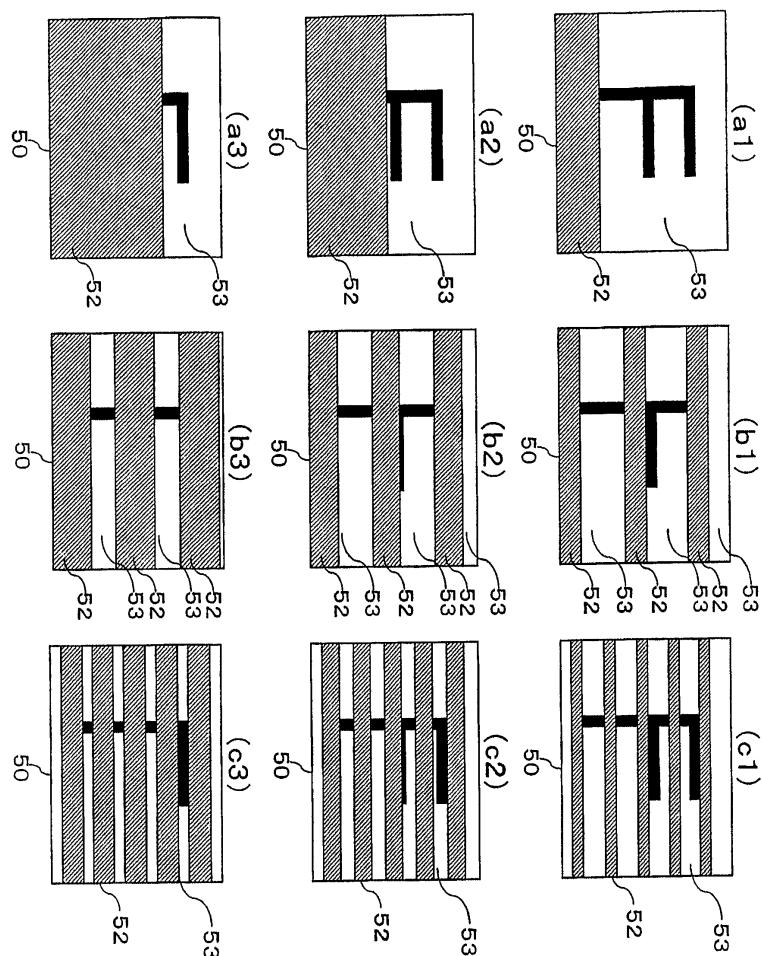
게이트 신호선 17a(3)

게이트 신호선 17b(3)

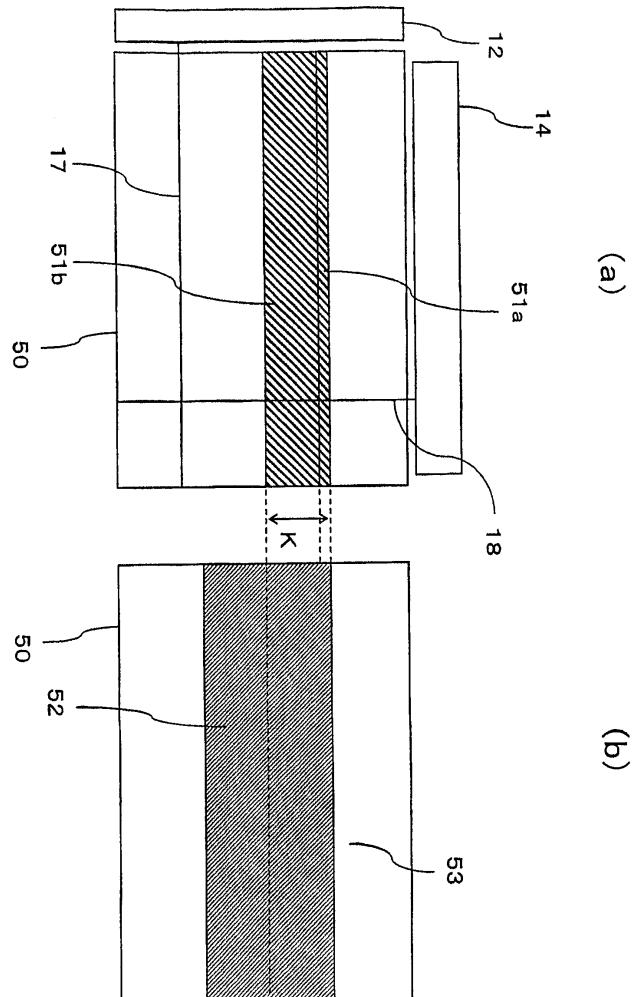
게이트 신호선 17a(4)

게이트 신호선 17b(4)

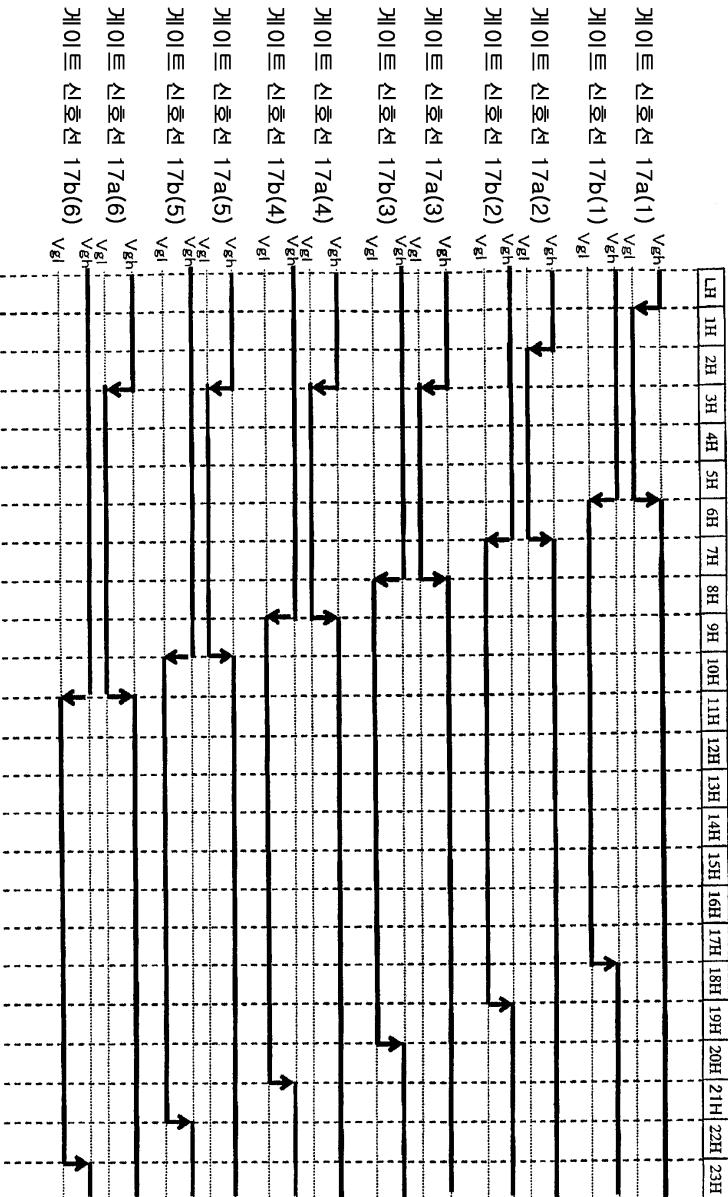
도면19



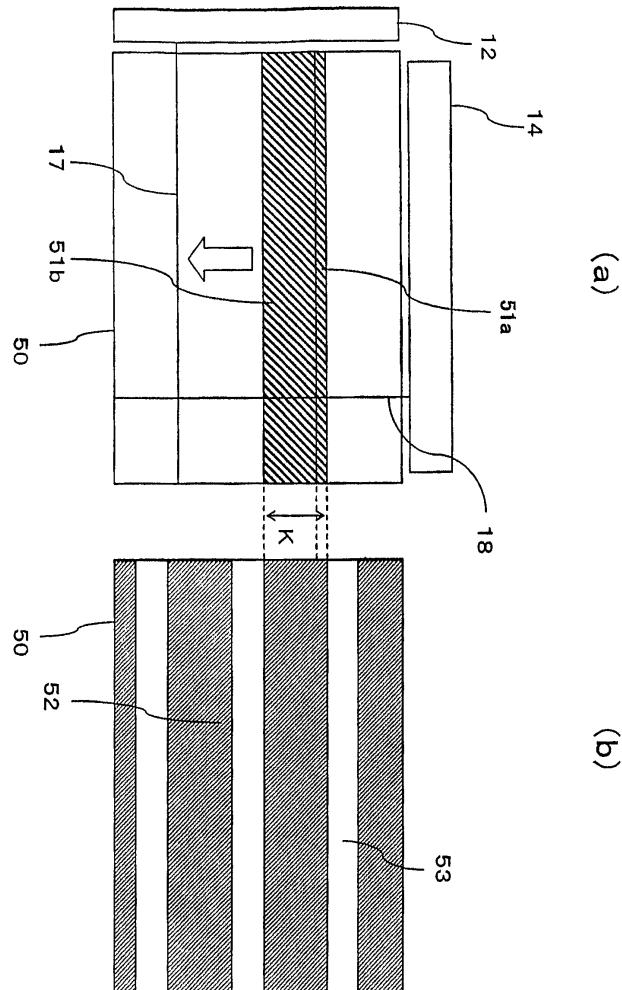
도면20



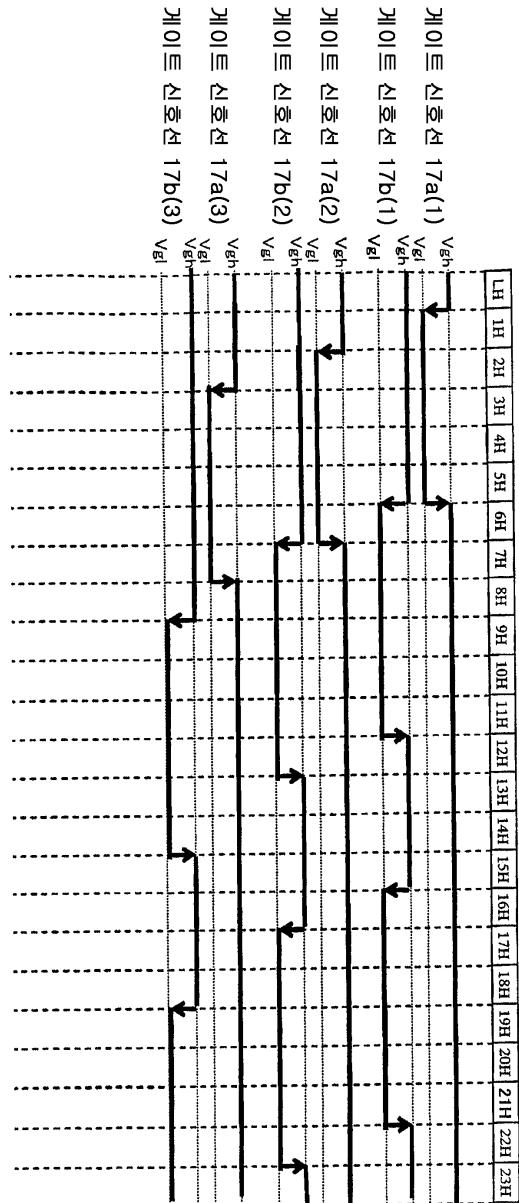
도면21



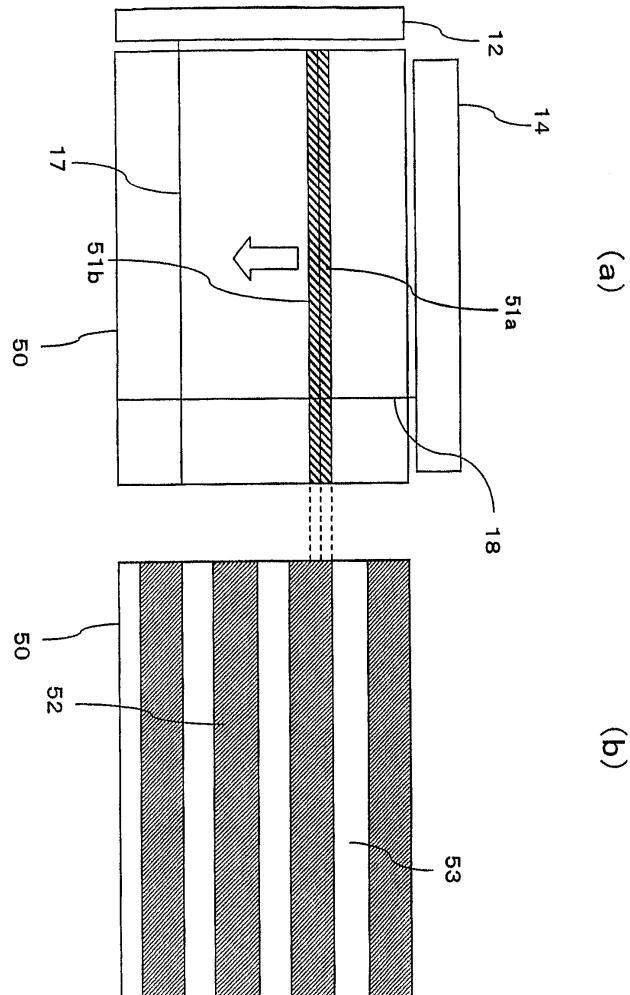
도면22



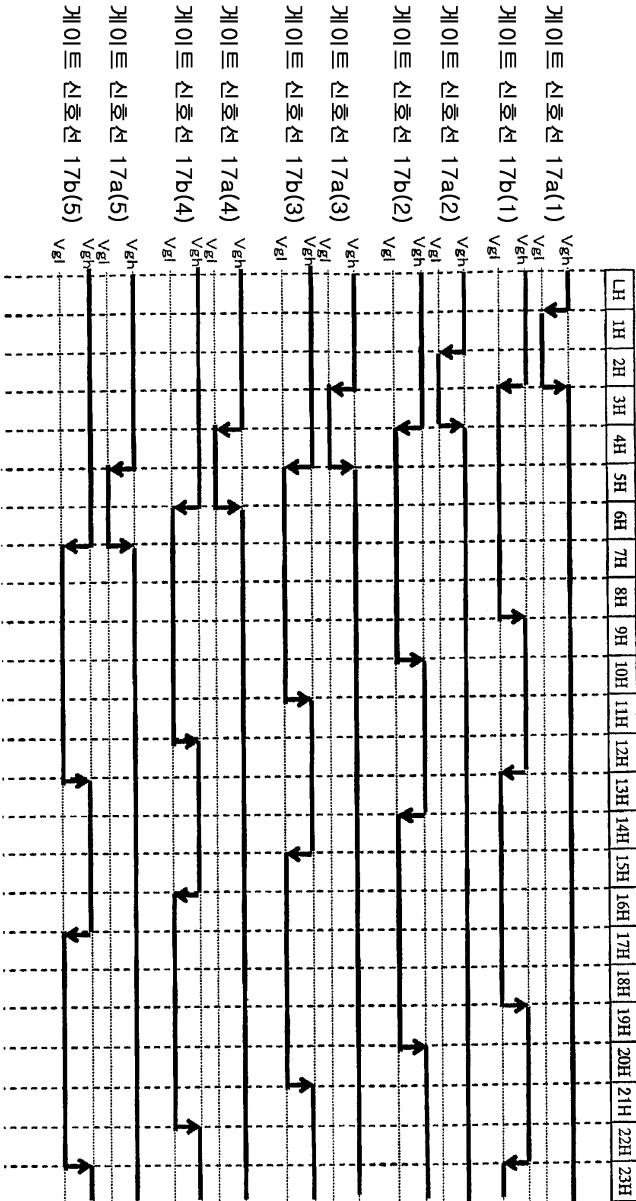
도면23



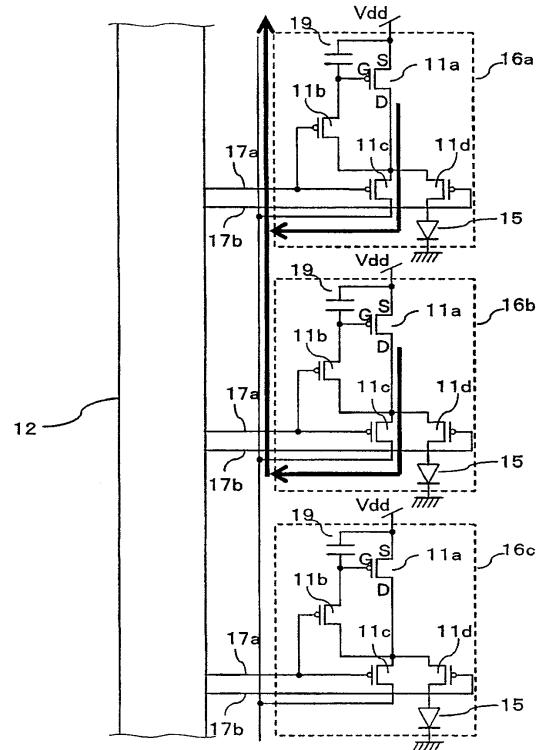
도면24



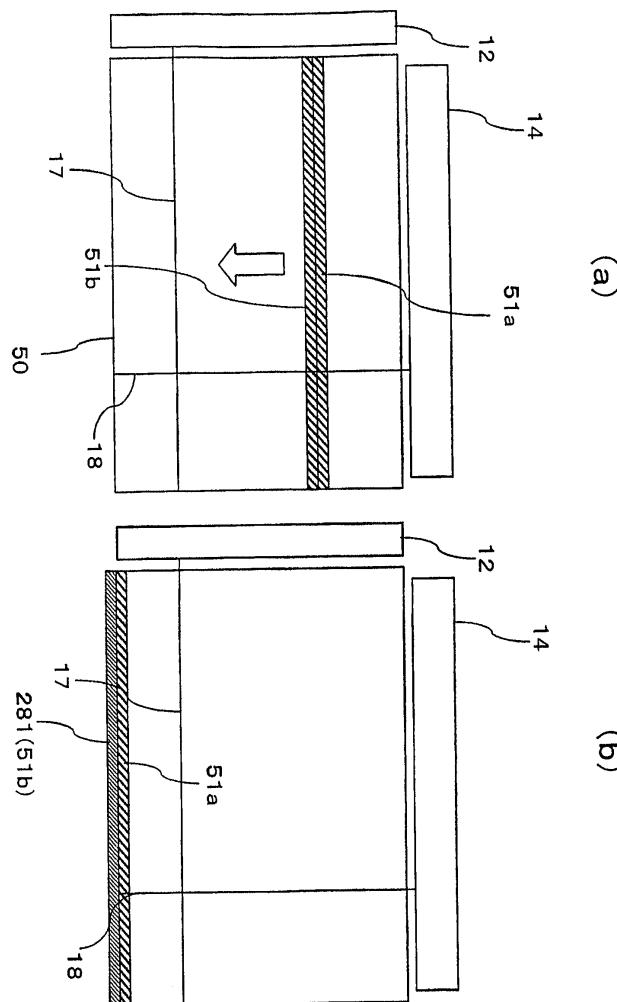
도면25



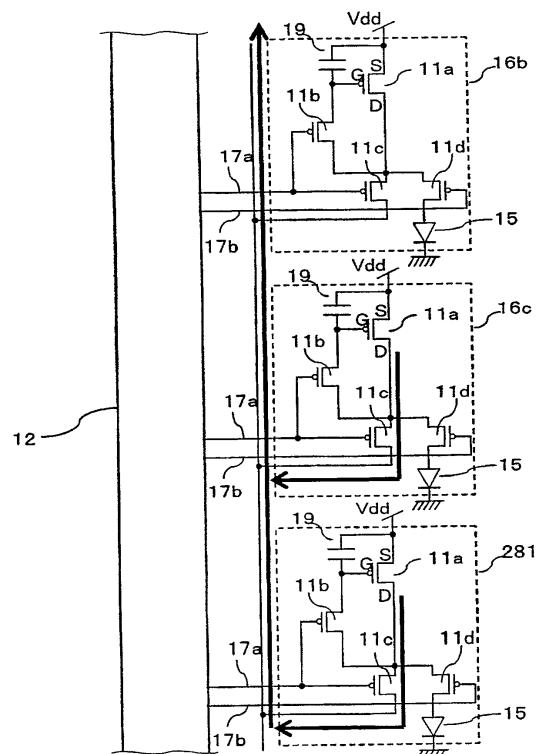
도면26



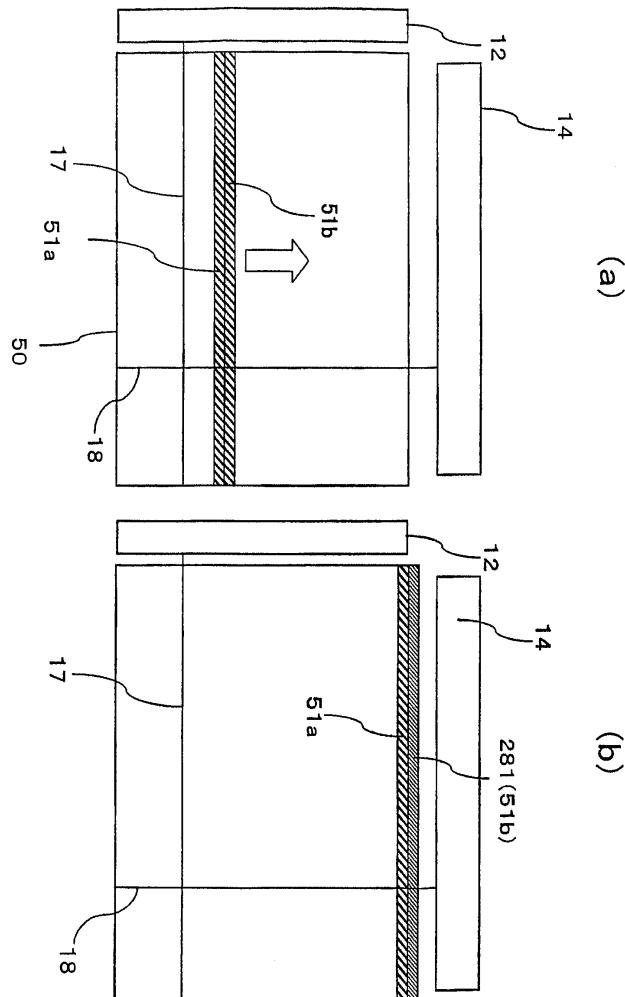
도면27



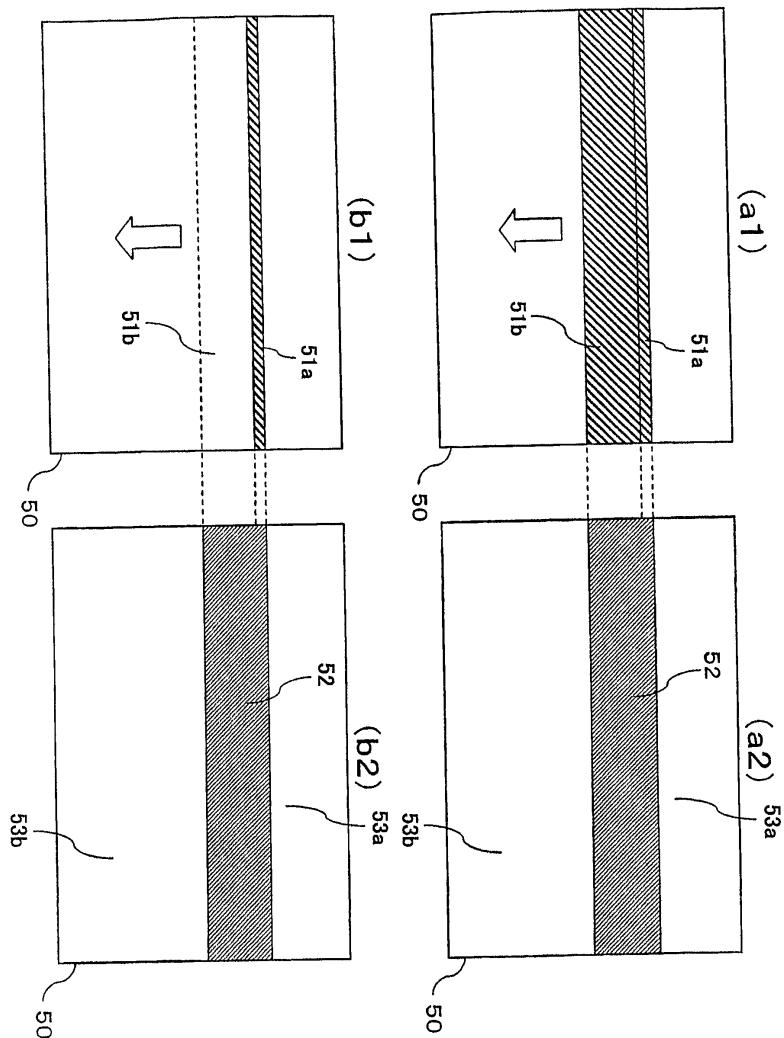
도면28



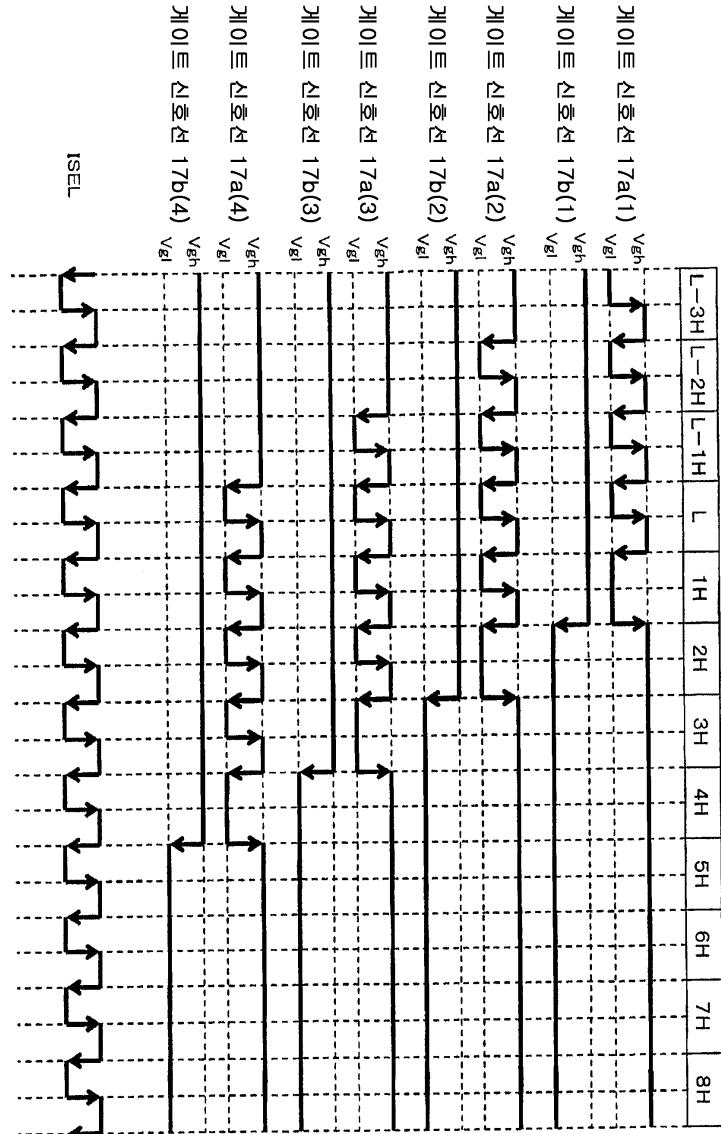
도면29



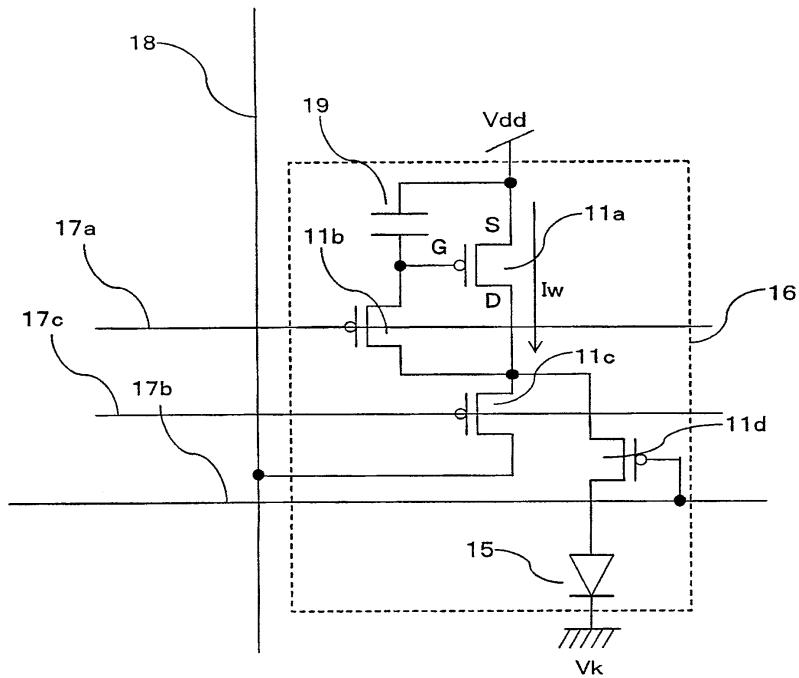
도면30



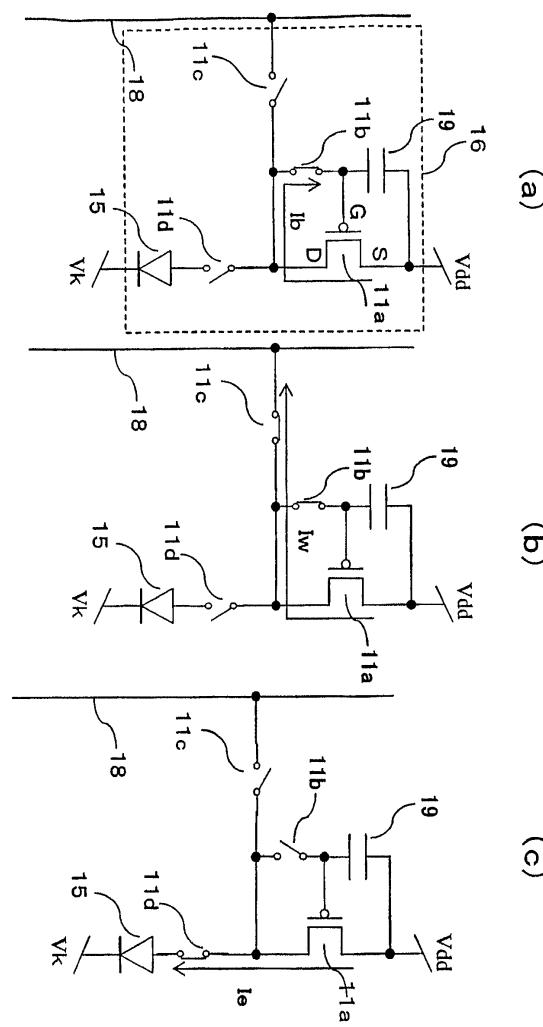
도면31



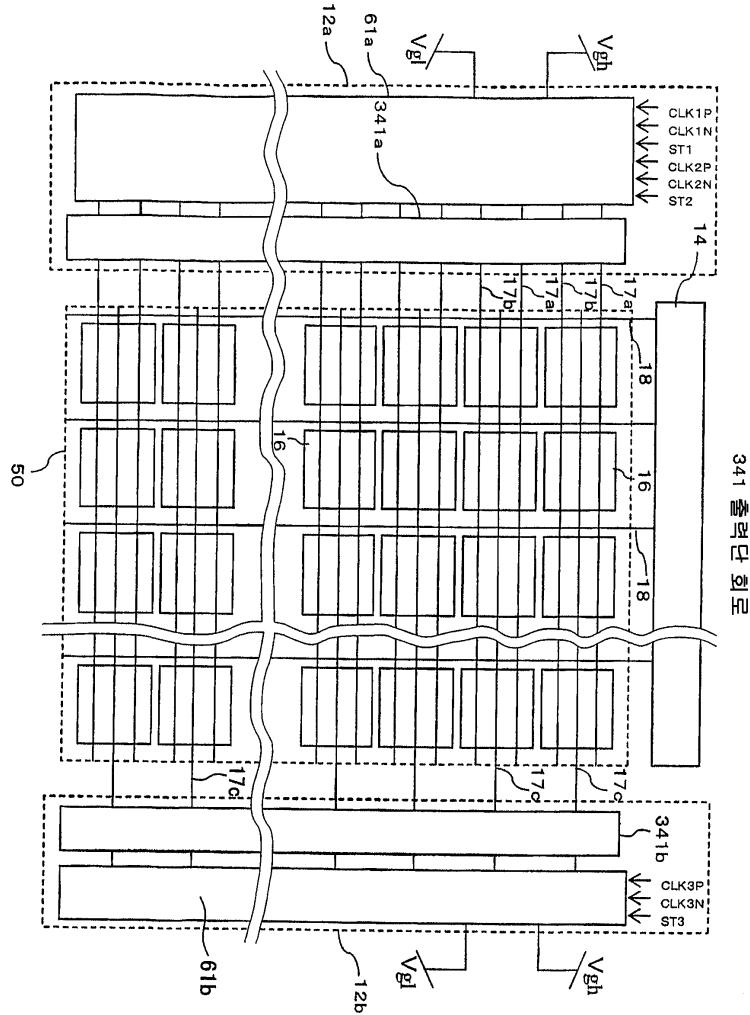
도면32



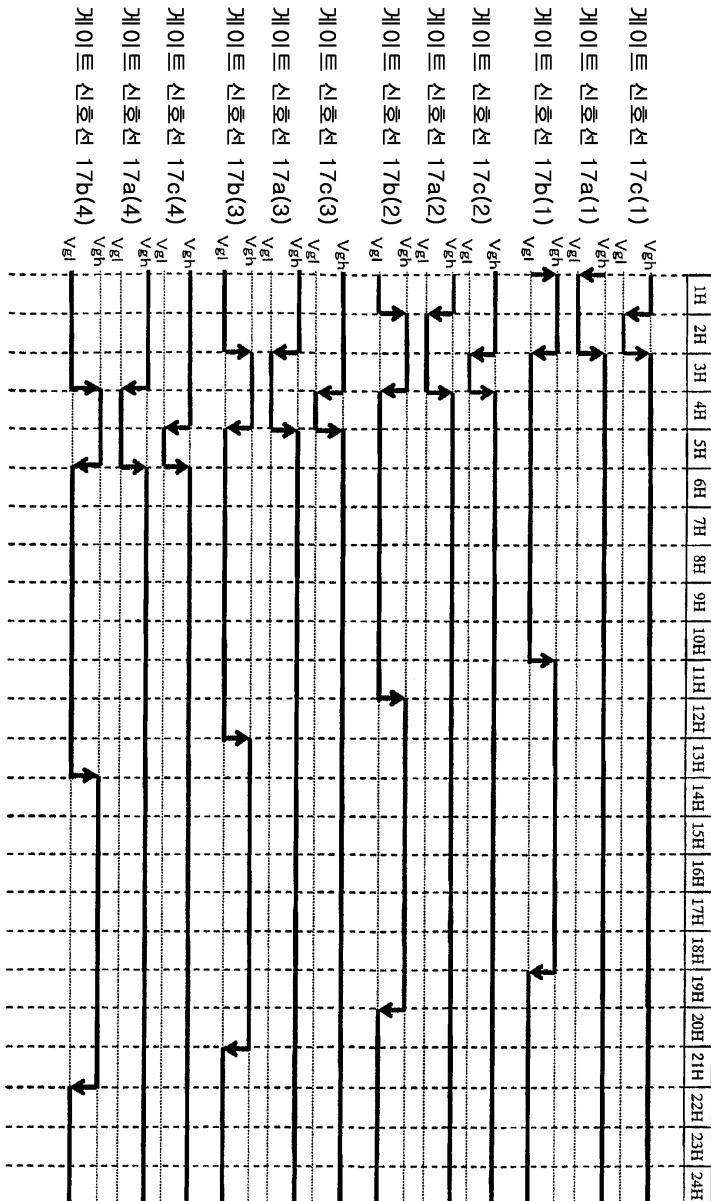
도면33



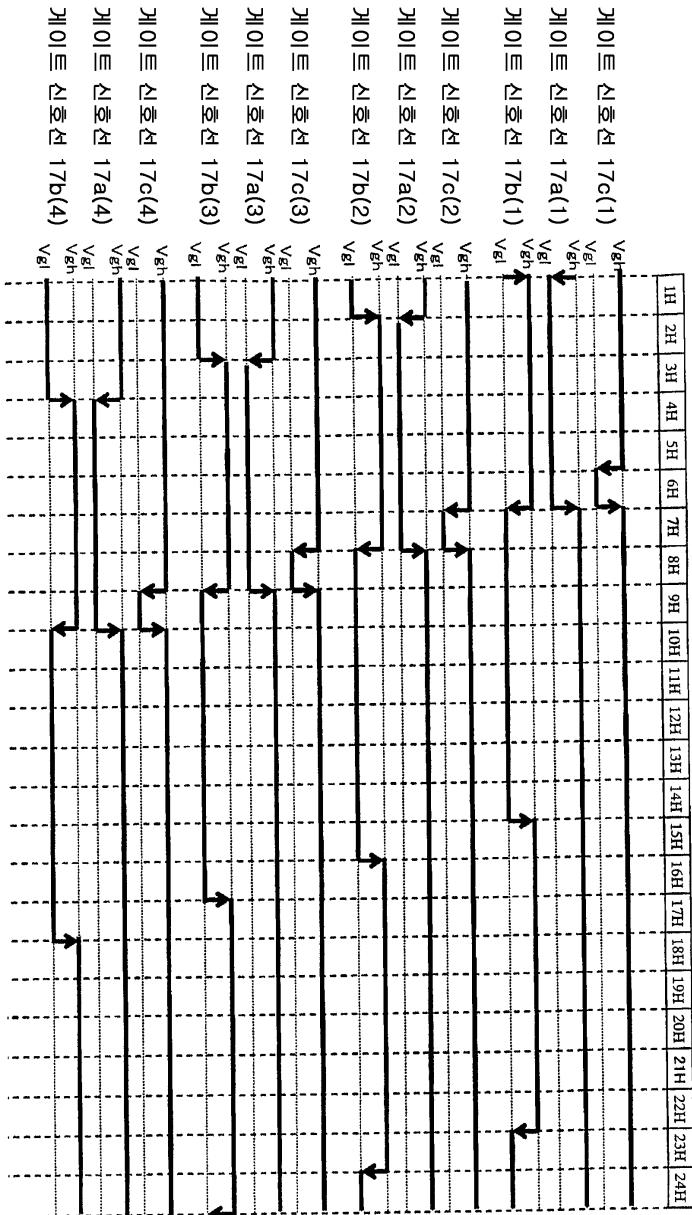
도면34



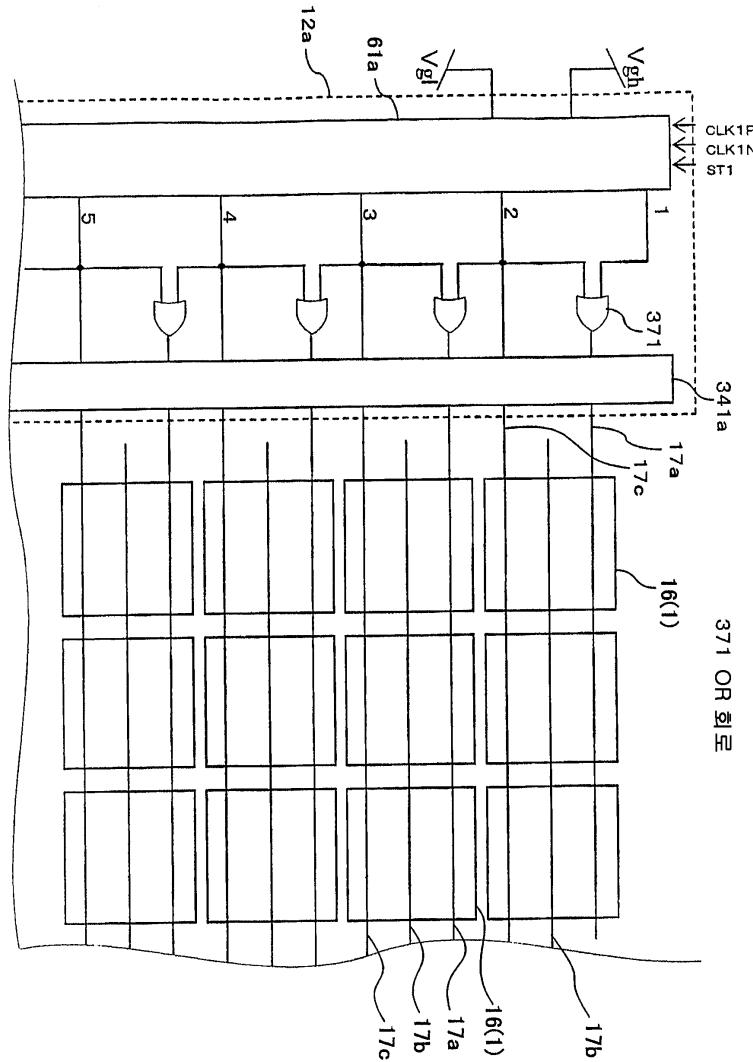
도면35



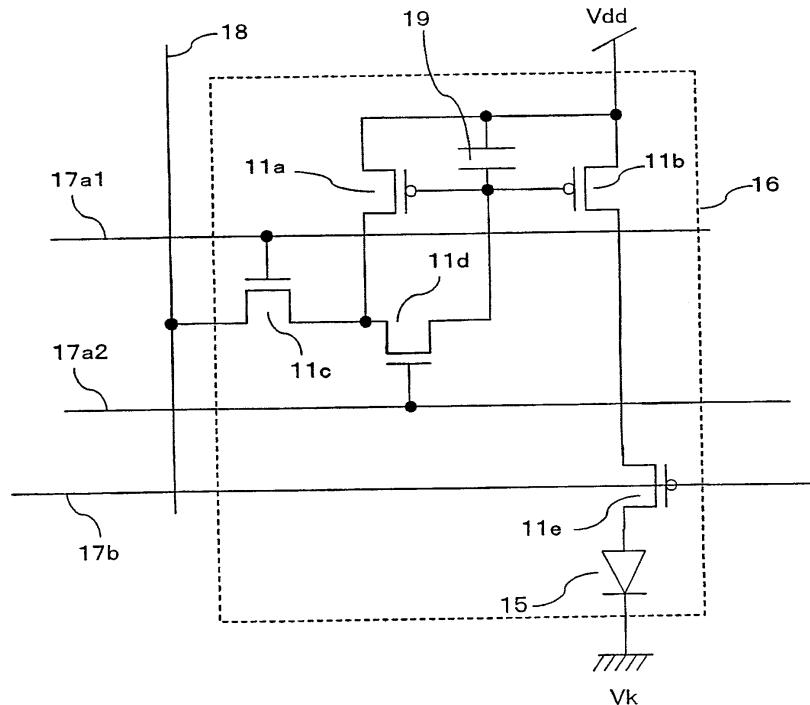
도면36



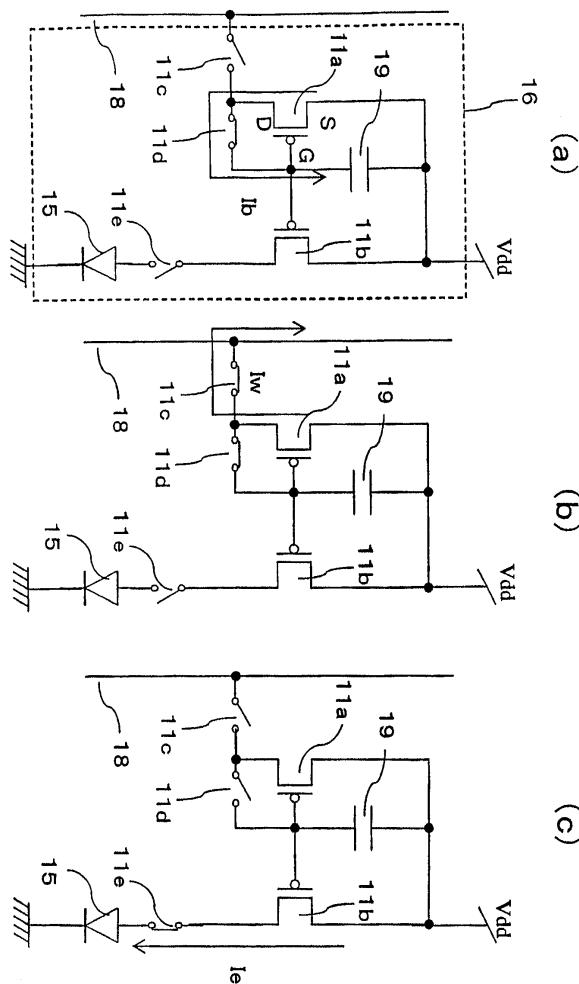
도면37



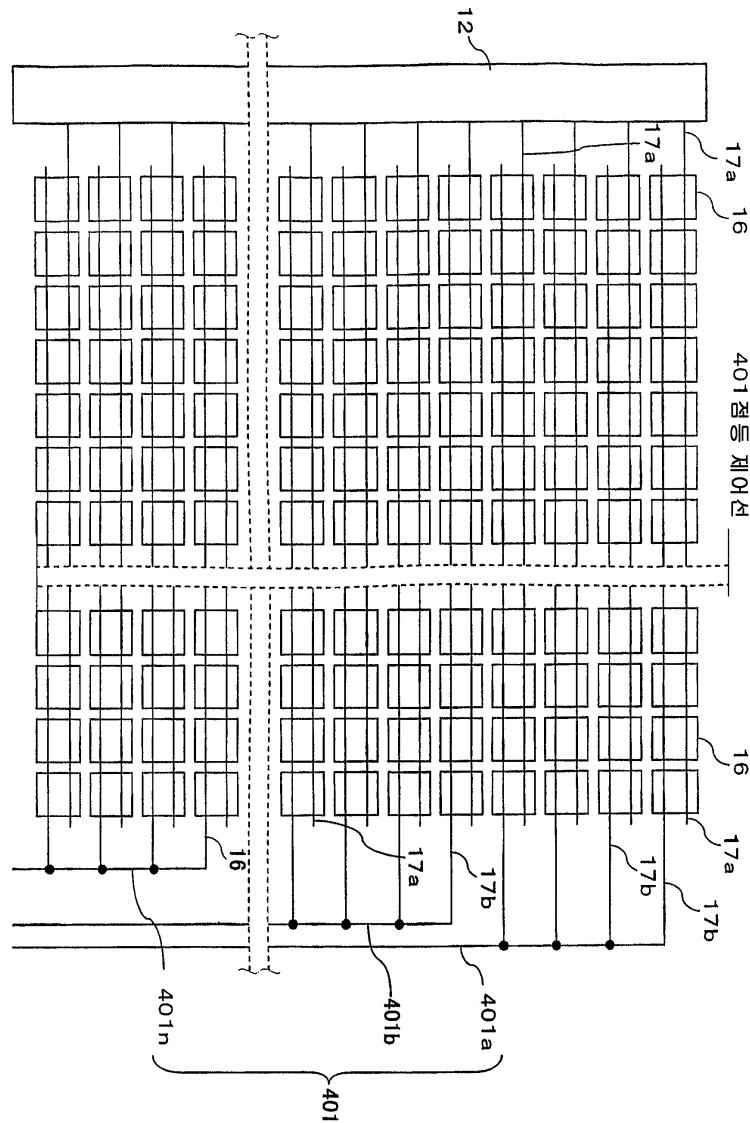
도면38



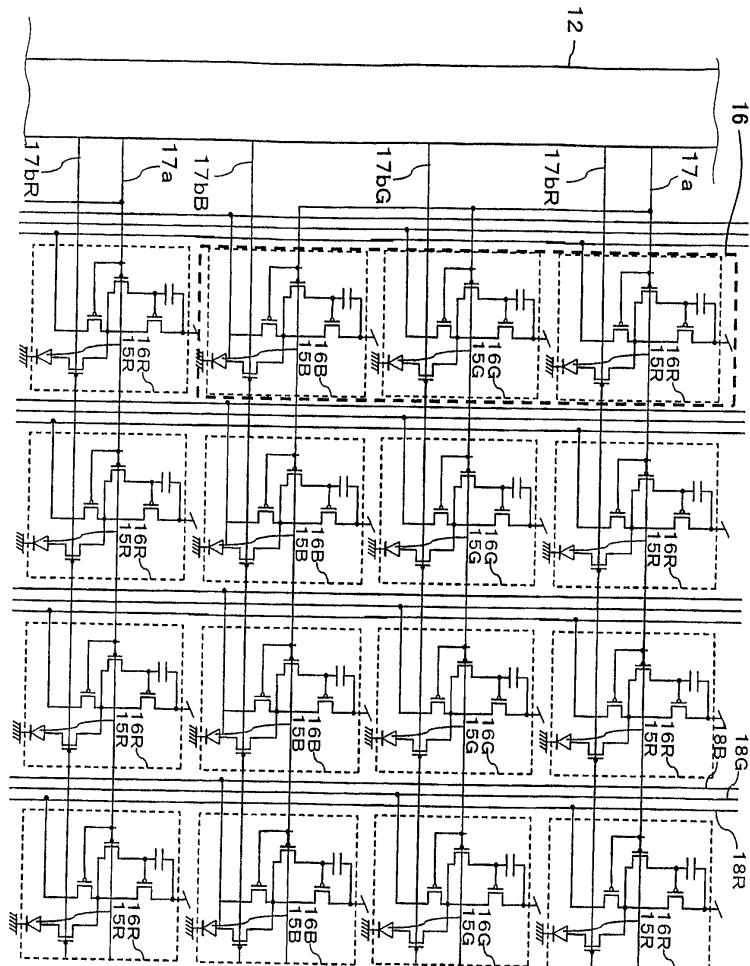
도면39



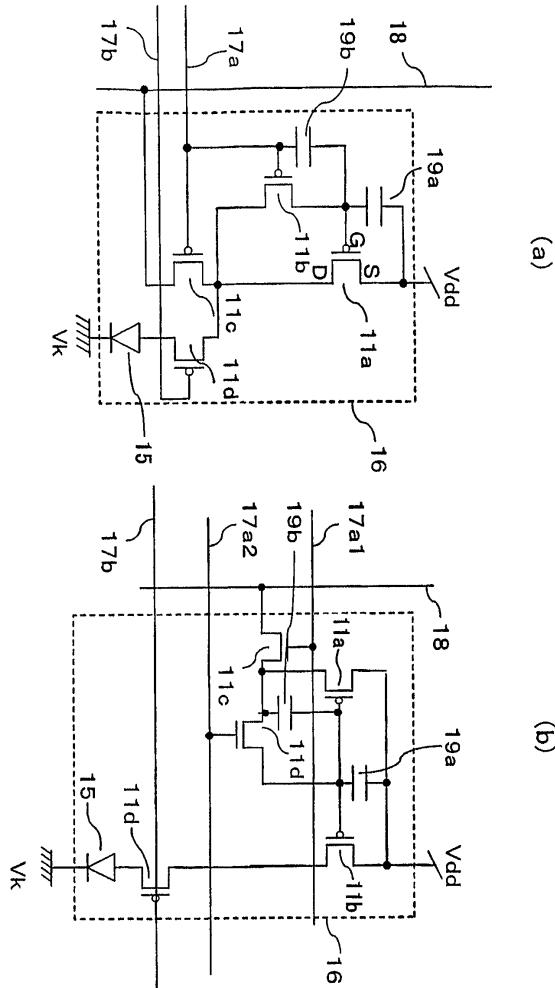
도면40



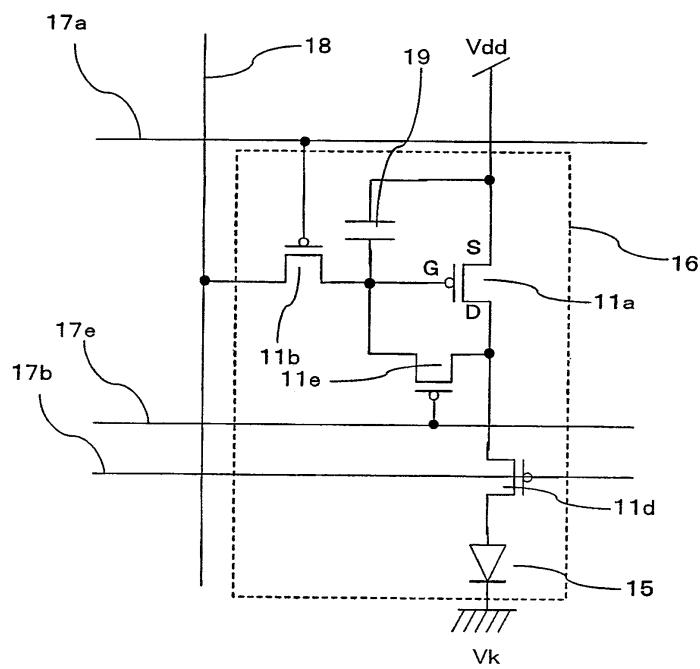
도면41



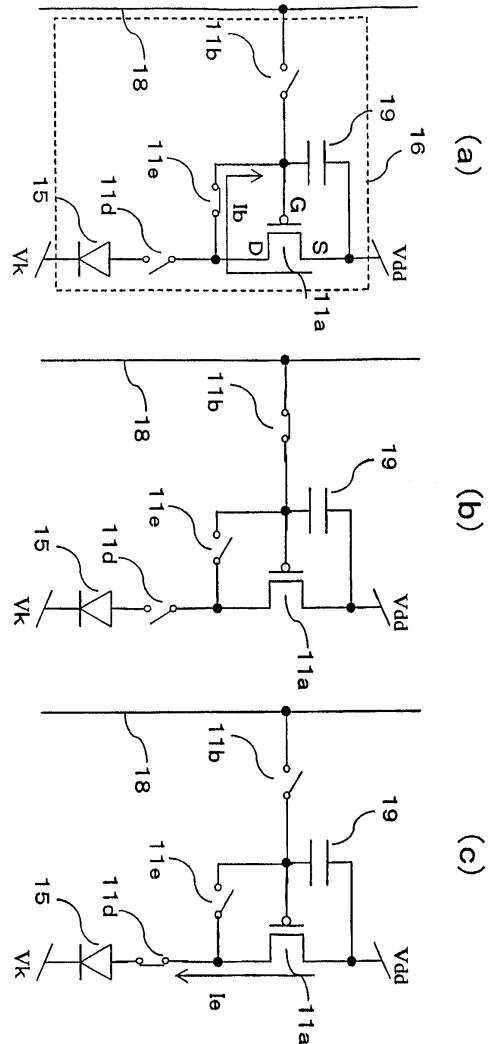
도면42



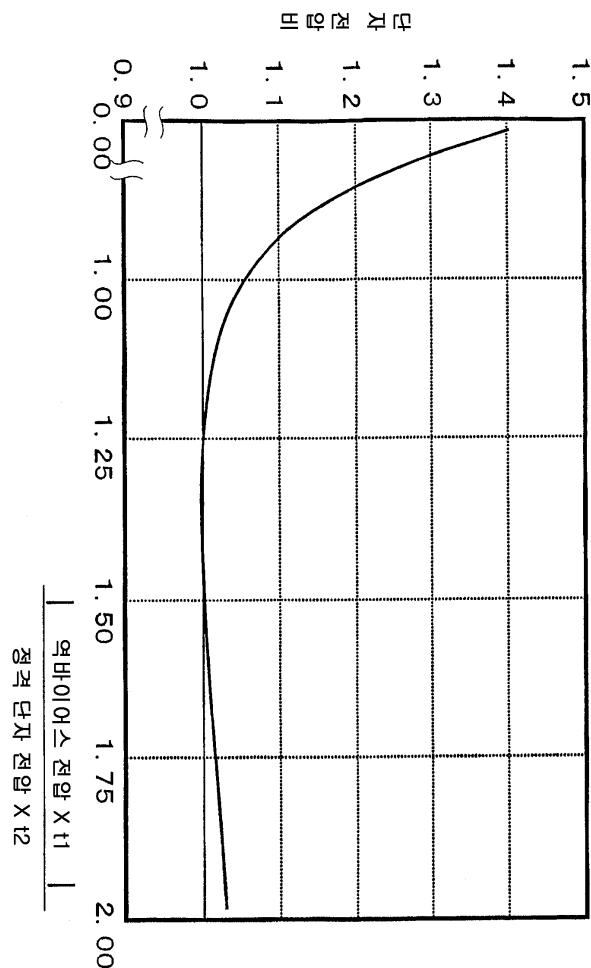
도면43



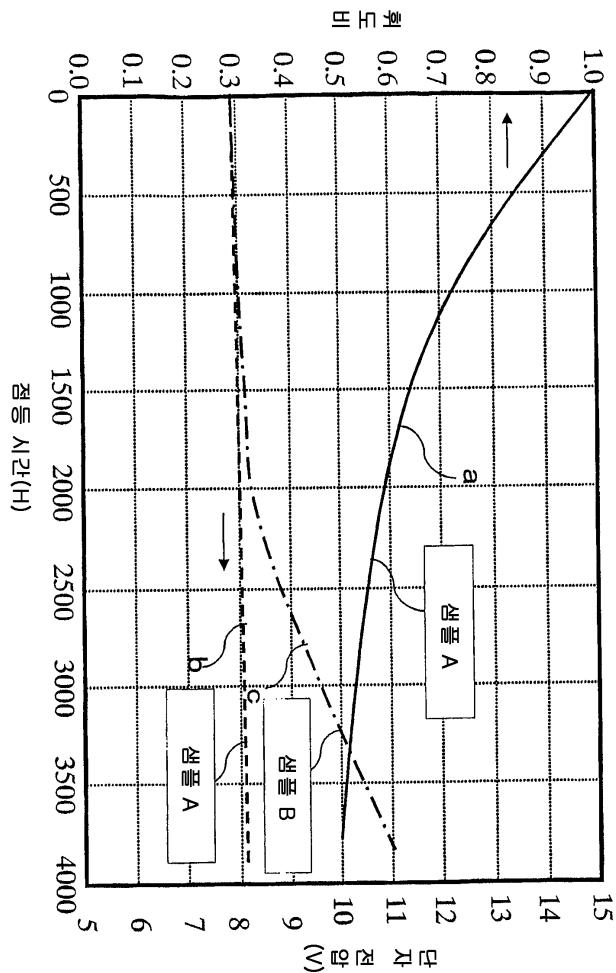
도면44



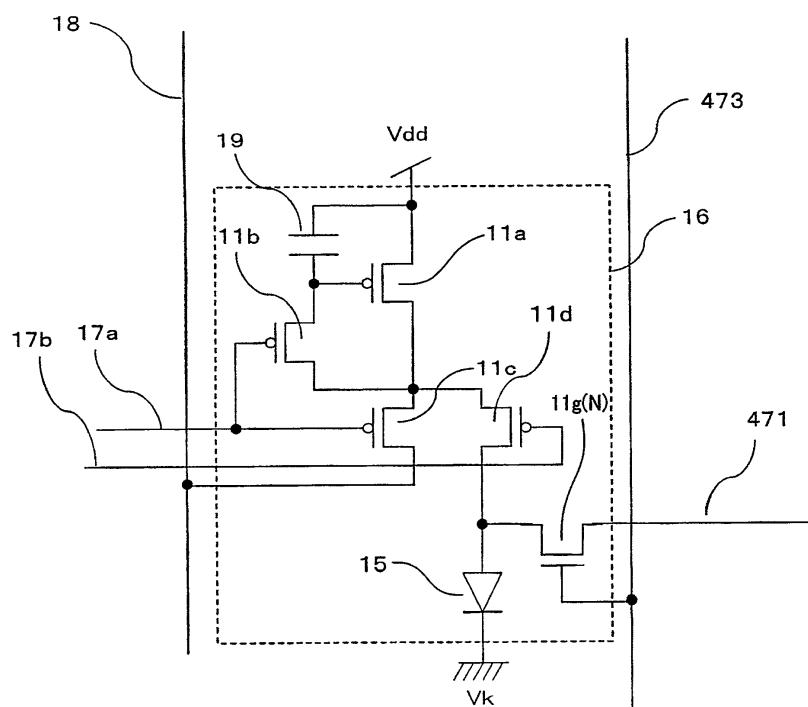
도면45



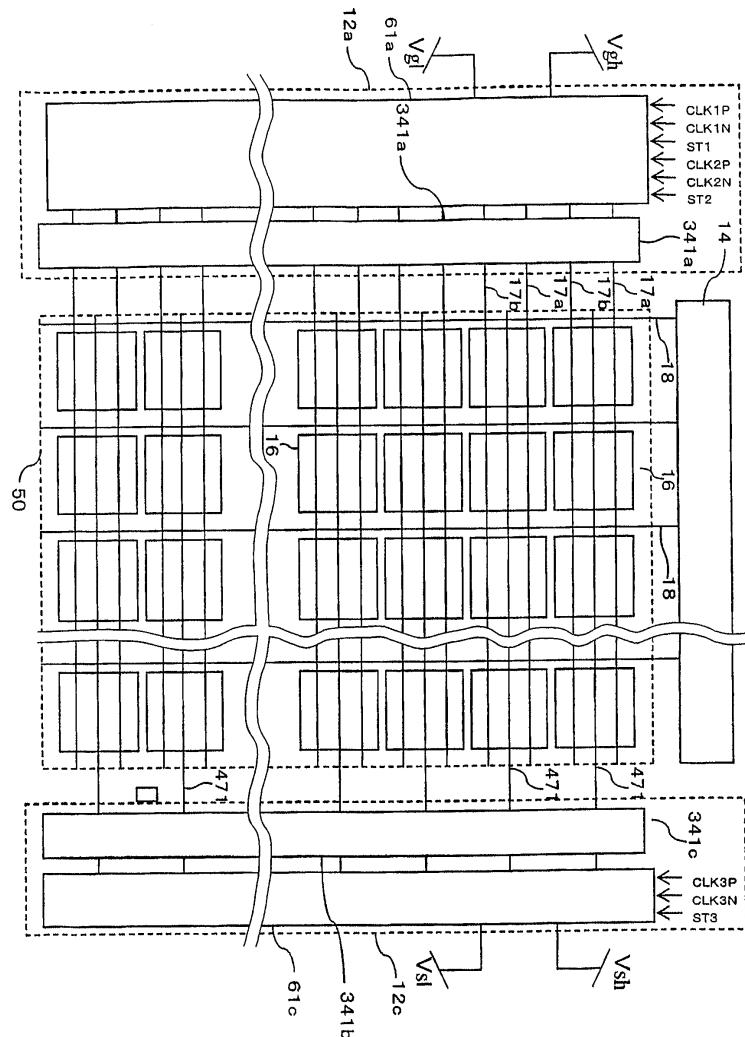
도면46



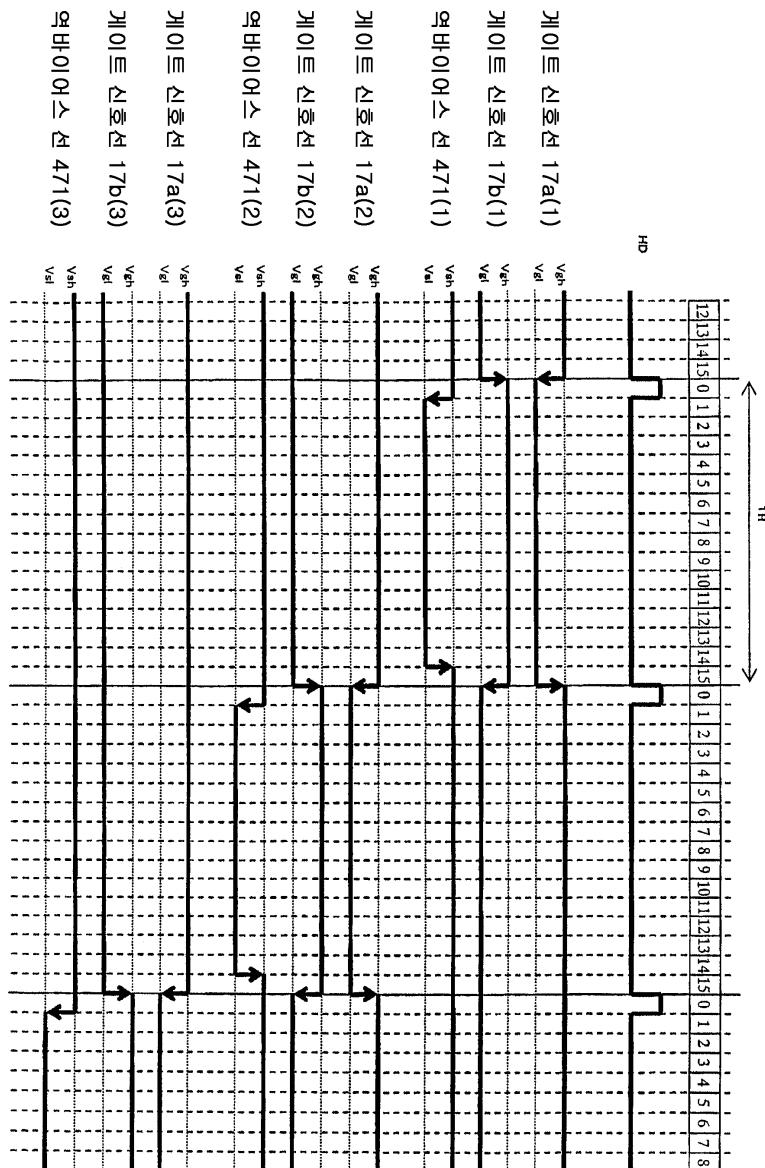
도면47



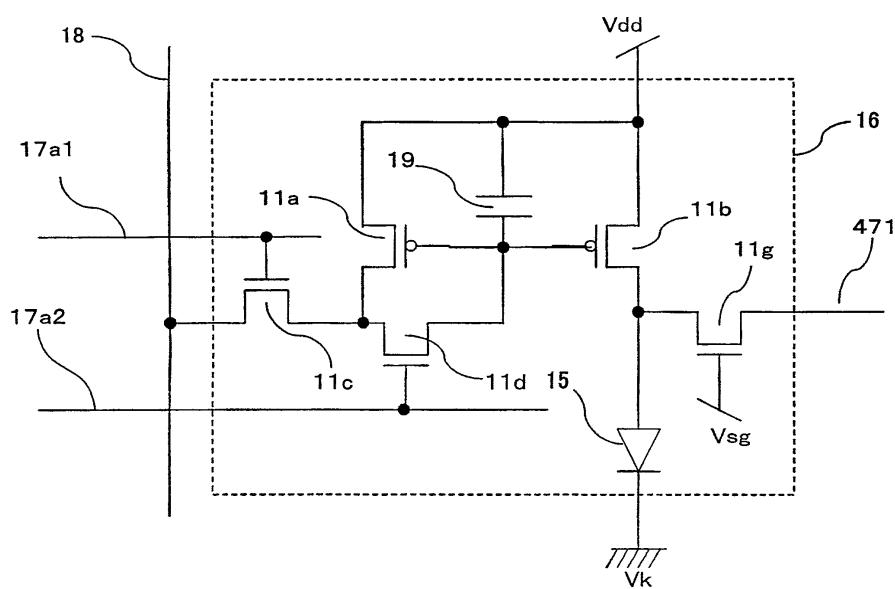
도면48



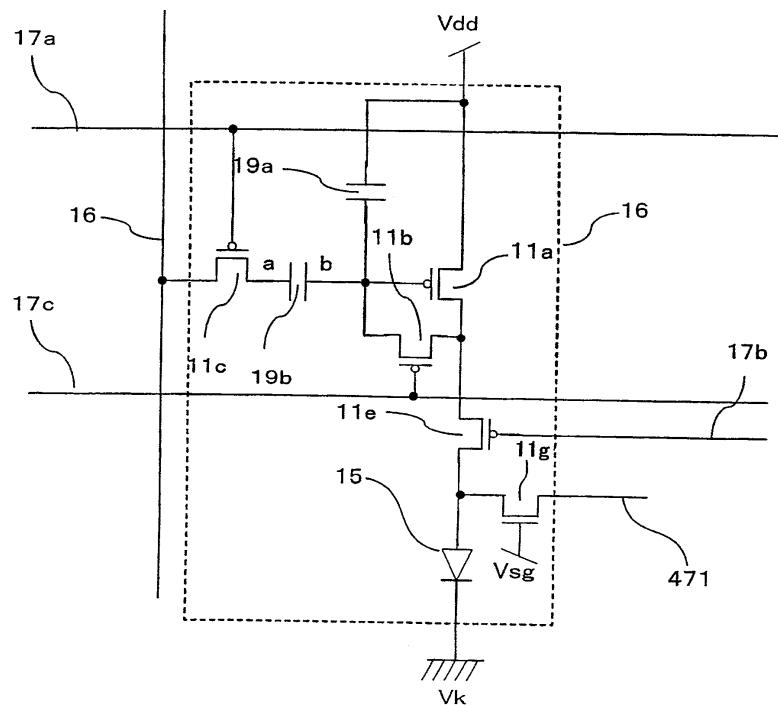
도면49



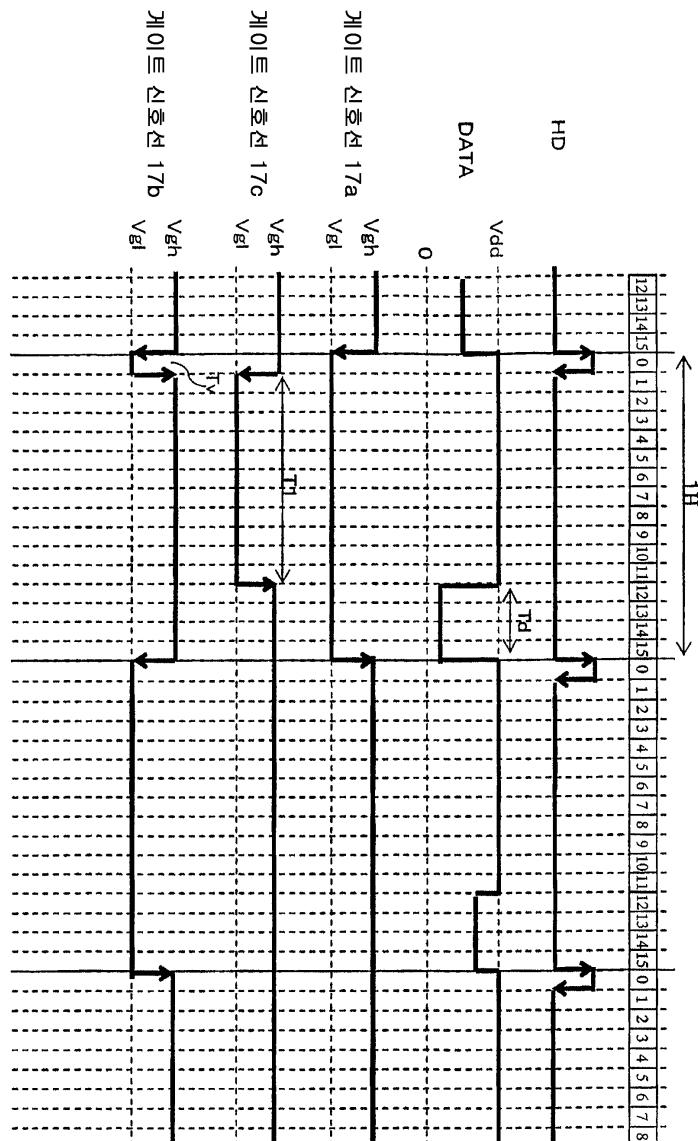
도면50



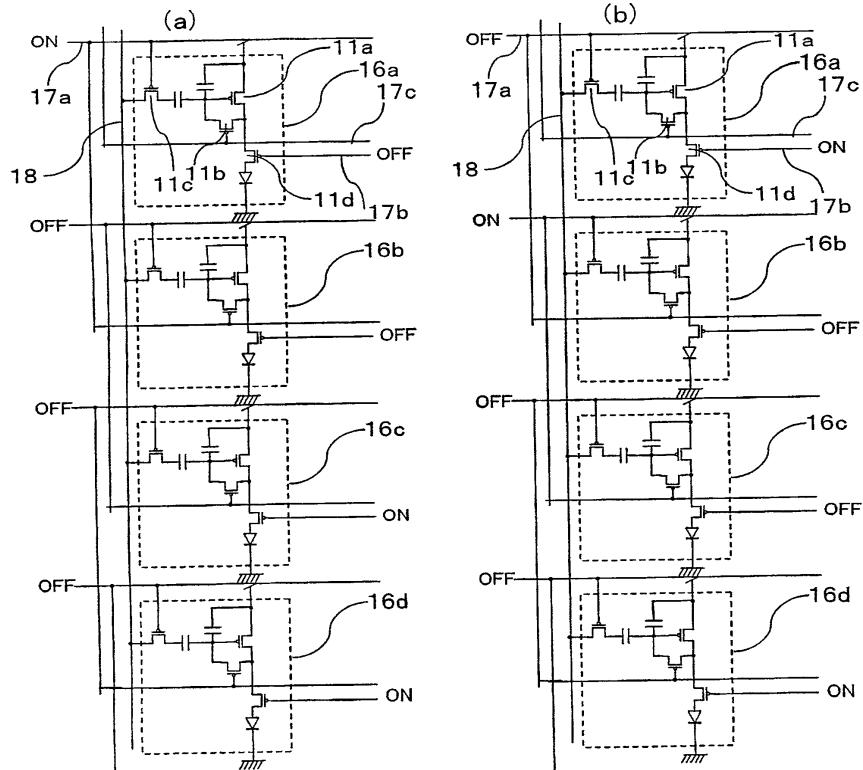
도면51



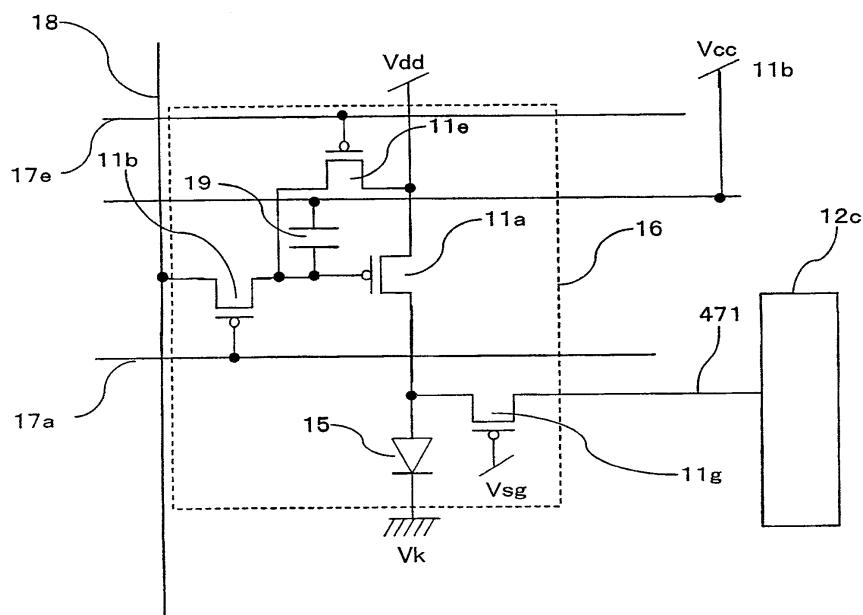
도면52



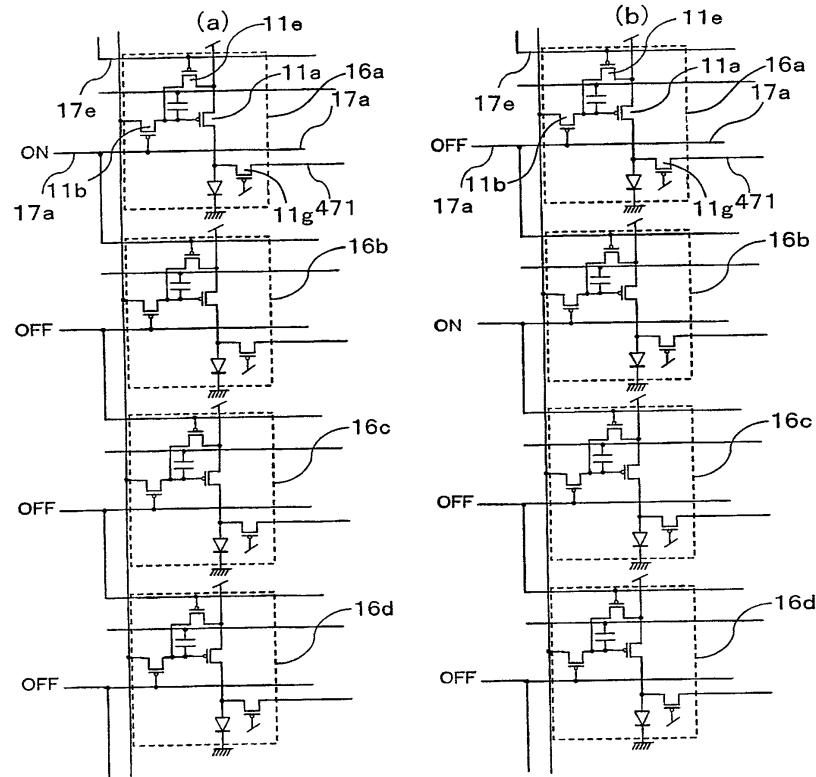
도면53



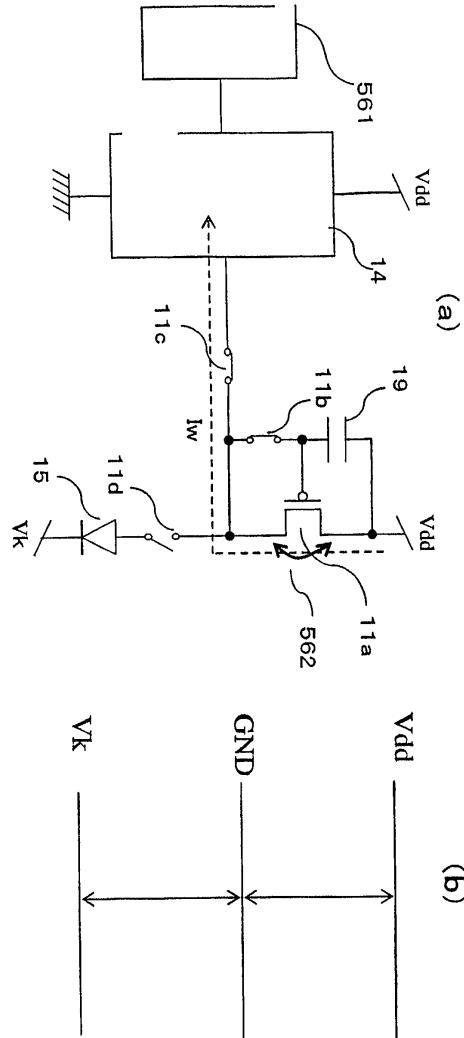
도면54



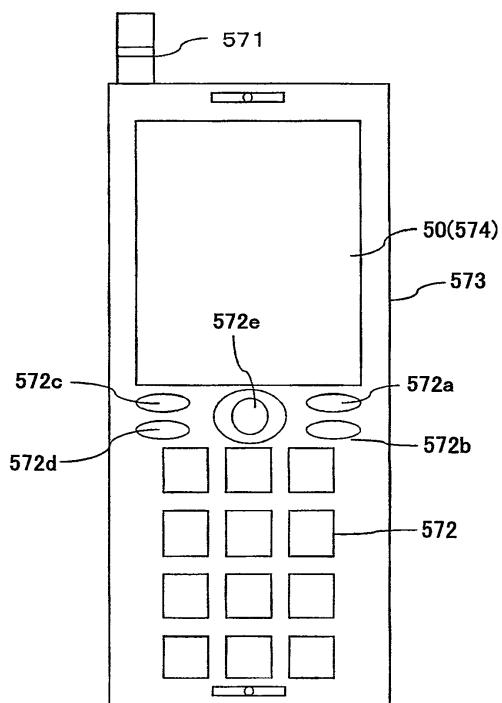
도면55



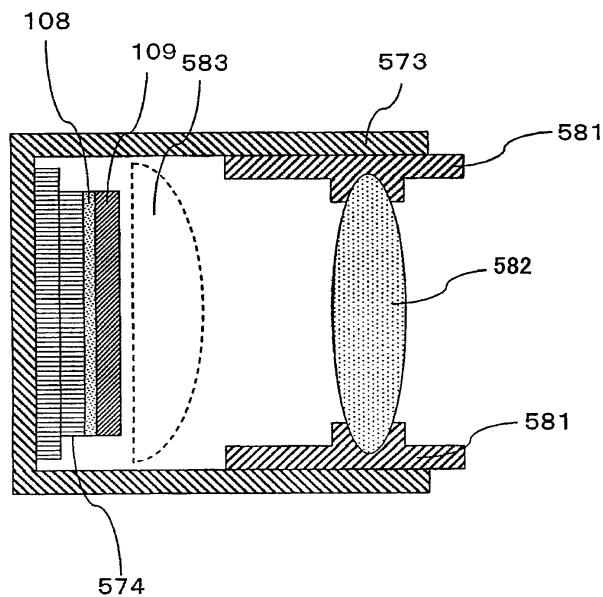
도면56



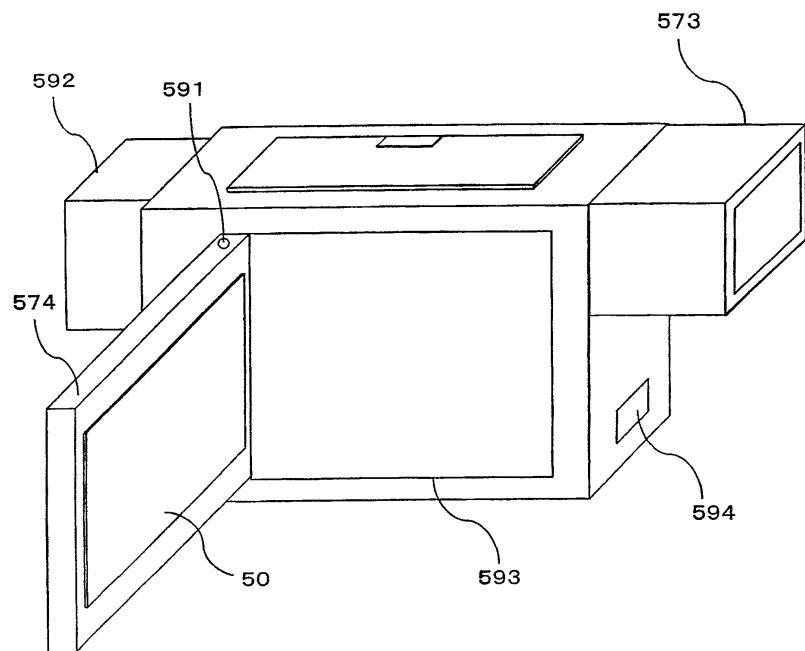
도면57



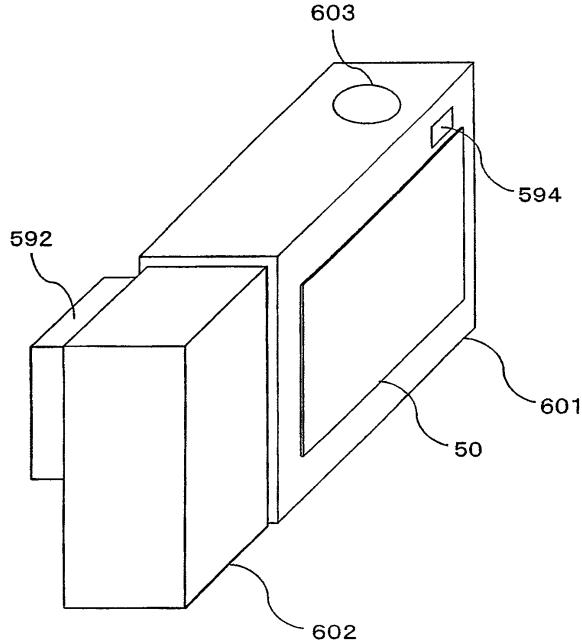
도면58



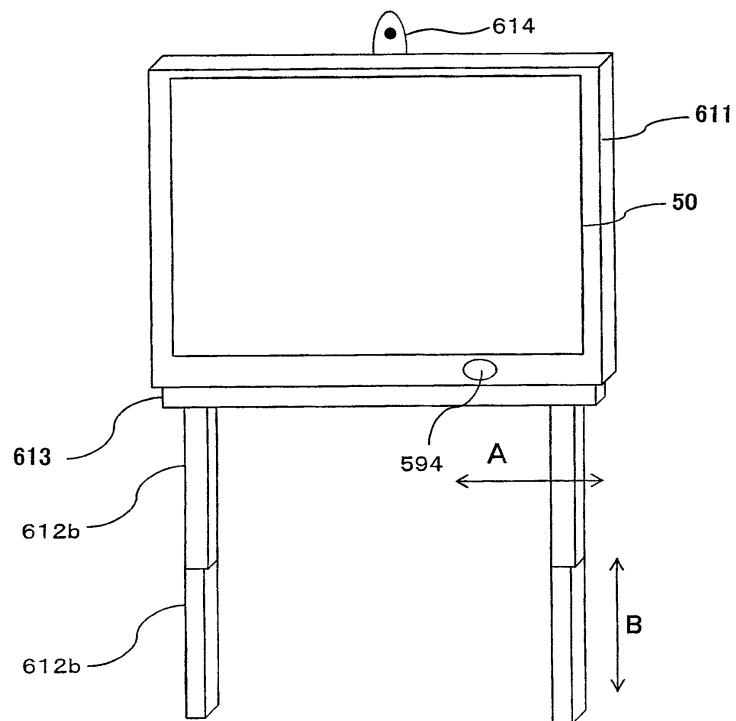
도면59



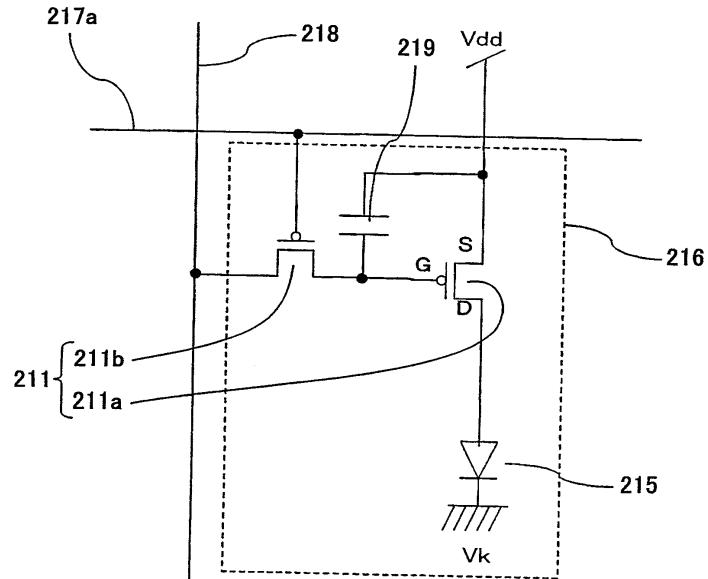
도면60



도면61



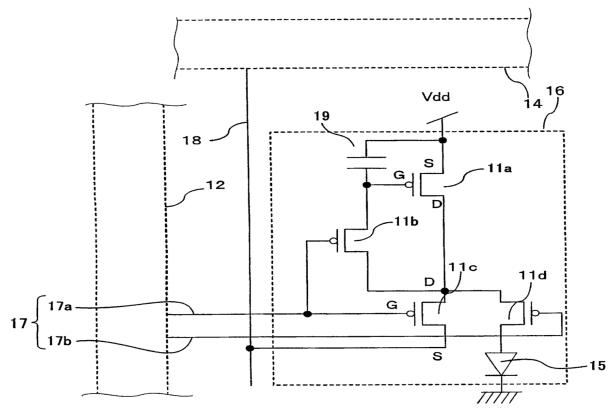
도면62



专利名称(译)	EL显示面板，其驱动方法和EL显示装置		
公开(公告)号	KR100572428B1	公开(公告)日	2006-04-18
申请号	KR1020047003328	申请日	2002-09-06
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	TAKAHARA HIROSHI 다카하라 히로시 TSUGE HITOSHI 츠게 히토시		
发明人	다카하라 히로시 츠게 히토시		
IPC分类号	G09G3/30 G09G5/02 H01L27/32		
CPC分类号	G09G2310/0251 H01L27/3244 G09G2320/043 G09G2300/0809 G09G2300/0861 G09G2320/06 G09G2320/0257 G09G2300/0852 G09G2320/0606 G09G5/02 G09G2310/0256 G09G2300/0819 G09G2310/0218 G09G2310/0205 G09G2300/0842 G09G2300/0814 G09G2310/0248 G09G3/3266 G09G2320/0626 G09G2320/0247 G09G2310/027 G09G3/325 G09G3/3241 G09G2320/0261 G09G3 /2003 G09G3/2007 G09G3/32 G09G3/3233 G09G3/3258 G09G3/3275 G09G2300/0404 G09G2300 /0413 G09G2310/0289 G09G2310/08 G09G2320/0646 G09G2320/0653 H01L27/124 H01L27/1251 H01L27/1255 H01L27/127 H01L27/156 H01L27/3211 H01L27/3216 H01L27/3262 H01L27/3265 H01L29/78645 H01L29/78672 H01L33/56 H01L33/58 H01L51/525 H01L51/5253 H01L51/5259 H01L51 /5281 H05K999/99		
代理人(译)	KIM, CHANG SE		
优先权	2001271311 2001-09-07 JP 2001291598 2001-09-25 JP 2001347014 2001-11-13 JP 2002136117 2002-05-10 JP		
其他公开文献	KR1020040031055A		
外部链接	Espacenet		

摘要(译)

根据本发明的EL显示装置包括EL器件(15)，其适于以对应于馈送到其的电流的亮度发光。源极驱动器(14)通过源极信号线(18)向EL器件(15)输出高于对应于图像信号的电流的电流。该操作对源信号线(18)中存在的寄生电容进行充电/放电。形成在EL器件(15)和源极驱动器(14)之间的晶体管(11d)工作，使得EL器件(15)仅供给一帧周期的一部分电流。结果，EL装置(15)仅在该时段的一部分中发光。



12 ... 게이트 드라이버(회로)
14 ... 소스 드라이버(회로)
15 ... EL(소자)
16 ... 화소

17 ... 게이트 신호선
18 ... 소스 신호선
19 ... 저장 용량(부가 용량)