

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.<sup>8</sup> (45) 공고일자 2006년01월20일  
H05B 33/10 (2006.01) (11) 등록번호 10-0543485

(24) 등록일자 2006년01월09일

(21) 출원번호 10-2003-0026318

(65) 공개번호 10-2003-0084764

(22) 출원일자 2003년04월25일

(43) 공개일자 2003년11월01일

(30) 우선권주장 JP-P-2002-00127014 2002년04월26일 일본(JP)

(73) 특허권자 산요덴키가부시킴이샤  
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 진노유시  
일본기후켄기후시사카에-신마찌2-76-2

(74) 대리인 주성민  
이중희  
구영창

심사관 : 이창용

(54) E L 패널의 감광화 방법 및 E L 패널

요약

휘점 결함 화소의 감광화를 효과적으로 행한다. 화소의 제2 TFT(40)의 능동층(반도체층)(40a) 등에 대하여, UV 레이저를 선택적으로 조사한다. 이에 따라, 능동층(40a)의 결정성을 악화시켜 전기적 차단을 행할 수 있다. 이에 따라, 다른 부분에 악영향을 미치게 하는 일없이 화소의 감광화를 행할 수 있다. 또한, 게이트 전극(40c)의 아래쪽의 능동층(40a)을 대상으로 하는 것으로, 게이트 전극(40c)에서, 레이저를 반사할 수 있어서, 보다 효율적인 레이저의 조사를 행할 수 있다.

대표도

도 1

색인어

결함 화소, 감광화, 능동층, UV 레이저, EL 패널

명세서

도면의 간단한 설명

도 1은 화소의 구성을 도시하는 도면.

도 2는 레이저 조사량 설정의 일례를 도시하는 흐름도.

도 3은 화소의 평면 구성을 도시하는 도면.

도 4는 레이저 조사 부분을 도시하는 도면.

도 5는 유기 EL 패널에 있어서의 화소 회로의 구성예를 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

10 : 제1 TFT

40 : 제2 TFT

50 : 양극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, EL(일렉트로루미네센스) 패널의 결함 화소의 수리에 관한 것이다.

종래부터, 평면 표시 장치 패널의 하나로서, EL 디스플레이 패널이 알려져 있다. 이 EL 디스플레이 패널은, 액정 디스플레이 패널(LCD)과는 달리, 자발광이고, 밝고 보기 쉬운 평면 표시 장치 패널로서 그 보급이 기대되고 있다. 특히, 유기 EL 소자는, 무기 EL 소자에 비해 저전압으로 구동이 가능하여, 각종의 디스플레이에 보급이 기대되어 있다.

이 유기 EL 디스플레이는, 유기 EL 소자를 화소로 하여, 이것을 다수 매트릭스 형상으로 배치하여 구성된다. 또한, 이 유기 EL 소자의 구동 방법으로서, LCD와 같이 패시브 방식과 액티브 방식이 있는데, LCD와 같이 액티브 매트릭스 방식이 바람직하다고 되어 있다. 즉, 화소마다 스위치용의 소자를 설치하고, 그 스위치용의 소자를 제어하여, 각 화소의 표시를 컨트롤하는 액티브 매트릭스 방식 쪽이, 화소마다에 스위치용의 소자를 갖지 않은 패시브 방식보다 고정밀의 화면을 실현할 수 있어 바람직하다.

또, LCD의 경우는, 1개의 스위칭 소자(TFT)를 이용하여, 이것을 직접 화소 전극에 접속하지만, 유기 EL 패널인 경우에는, 2개의 TFT와, 1개의 용량을 이용한다. 도 5에, 박막 트랜지스터(TFT)를 이용한 유기 EL 패널에 있어서의 화소 회로의 구성예를 도시한다. 유기 EL 패널은, 이러한 화소를 매트릭스 배치하여 구성된다.

행 방향으로 신장하는 게이트 라인에는, 게이트 라인에 의해서 선택되는 n 채널 박막 트랜지스터인 제1 TFT(10)의 게이트가 접속되어 있다. 이 제1 TFT(10)의 드레인에는 열 방향으로 신장하는 데이터 라인 DL이 접속되어 있고, 그 소스에는 타단이 저전압의 전원인 용량 라인 SL에 접속된 유지 용량 CS가 접속되어 있다. 또한, 제1 TFT(10)의 소스와 유지 용량 CS의 접속점은, p 채널 박막 트랜지스터인 제2 TFT(40)의 게이트에 접속되어 있다. 그리고, 이 제2 TFT(40)의 소스가 전원 라인 VL에 접속되고, 드레인이 유기 EL 소자 EL에 접속되어 있다. 또, 유기 EL 소자 EL의 타단은 캐소드 전원 CV에 접속되어 있다.

따라서, 게이트 라인 GL이 H 레벨인 때에 제1 TFT(10)가 온이 되고, 그 때의 데이터 라인 DL의 데이터가 유지 용량 CS에 유지된다. 그리고, 이 유지 용량 CS에 유지되어 있는 데이터(전위)에 따라서 제2 TFT(40)의 전류가 제어되고, 이 제2 TFT(40)의 전류에 따라서 유기 EL 소자 EL에 전류가 흘러 발광한다.

그리고, 제1 TFT(10)가 온하고 있을 때에 데이터 라인 DL에, 그 화소에 대응하는 비디오 신호가 공급된다. 따라서, 데이터 라인 DL에 공급되는 비디오 신호에 따라서 유지 용량 CS가 충전되고, 이에 따라 제2 TFT(40)가 대응하는 전류를 흘려, 유기 EL 소자 EL의 휘도 제어가 행하여진다. 즉, 제2 TFT(40)의 게이트 전위를 제어하여 유기 EL 소자에 흘리는 전류를 제어하여 각 화소의 계조 표시가 행해진다.

이러한 유기 EL 패널에 있어서, 각 화소마다 설치된 제1 TFT(10) 또는 제2 TFT(40)에 결함이 생기는 경우가 있다. TFT가, 유기 EL 소자로의 전류를 오프하도록 고정되는 결함인 경우에는, 그 화소는 암점화할 뿐이고, 휘점 중에 1개의 암점이 존재해도 그것은 시인하기 어려운 문제는 되지 않는다. 한편, 유기 EL 소자로의 전류가 항상 온이 되는 것 같은 결함인 경우에는, 그 화소가 휘점이 된다. 주위의 화소가 흑을 표시하고 있을 때에 1 화소라도 휘점이 있으면, 이것은 관찰자에 있어서 시인되기 때문에, 문제점이 된다. 그래서, 휘점이 되어 버리는 결함 화소에 대해서는, 이것을 감광화(減光化)(암점화)하는 처리가 종래부터 행해지고 있다.

즉, 소정 수의 암점이 존재하는 유기 EL 패널은 제품으로서 문제가 없고, 휘점을 감광화함으로써 수율의 대폭적인 향상을 달성할 수 있기 때문이다.

여기서, 이 암점화는, 화소에 이르는 배선을 단선함으로써 행할 수 있다. 즉, LCD의 경우와 같이, 가시광 YAG 레이저 등에 의해서, 제2 TFT(40)와 전원 라인 또는 화소 전극과의 배선을 절단하는 것이 생각된다.

이에 따라, 휘점을 암점화할 수 있게 되어, 전체의 표시에 있어서의 문제를 해결할 수 있다.

### 발명이 이루고자 하는 기술적 과제

그러나, 이 가시광 YAG 레이저에 의한 암점화 처리를 행하면, 음극에 손상 및 다른 화소의 표시에도 영향을 미칠 가능성이 있다. 즉, 액티브 매트릭스형의 유기 EL 패널인 경우, 유리 기판 상에 TFT가 형성되고, 이 TFT의 윗쪽에 ITO의 양극이 형성되고, 그 위에 정공 수송층, 유기 발광층, 전자 수송층 등의 유기층이 적층되고, 그 위에 금속의 음극이 형성된다. 이와 같이, TFT의 윗쪽에는, 유기층의 일부나 음극이 존재하고 있다. 특히, 음극은 공통 전극으로서 패널의 거의 전면에 걸쳐 형성되어 있다.

따라서, 가시광 YAG 레이저에 의해 TFT의 배선을 절단한 경우, 그 레이저는 음극까지 도달하여, 음극에도 어블레이션이 발생한다. 따라서, 음극은 그 부분에 구멍이 개구된 구성이 된다. 또한, 이 어블레이션에 의해서, 음극의 변질이 발생하여, 주변 화소의 표시에도 영향을 미칠 우려가 있다. 또한, 레이저에 의한 절단은, 거기에 있는 물질을 증발시켜 날려버리는 것으로, 유기 EL 소자의 유기층도 그 측면이 직접 음극의 상방 공간에 노출되게 된다. 그래서, 그 노출된 부분으로부터 수분이나 산소 등의 침입에 의한 유기층의 열화 등이 진행하기 쉬워, 결함 화소가 넓어질 우려도 있다.

또한, 어블레이션에 의해서, 배선을 절단한 경우, 일단 없어진 배선 재료(통상 금속)가 다른 배선 부분에 고착하여, 쇼트를 발생시키는 경우도 생긴다.

본 발명은, 상기 과제를 감안하여 이루어진 것으로, 결함 화소를 효과적으로 감광화할 수 있는 유기 EL 패널의 감광화 방법을 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

본 발명은, 매트릭스 배치된 각 화소마다, EL 발광 소자와, 이 EL 발광 소자로의 전류를 제어하는 박막 트랜지스터를 갖는 EL 패널에 대한 결함 화소의 감광화 방법에 있어서, 상기 박막 트랜지스터를 구성하는 반도체층 중 적어도 일부에 레이저를 선택적으로 조사하고 그 영역의 반도체층의 저항값을 상승시켜 그 화소를 감광화하는 것을 특징으로 한다.

이와 같이, 본 발명에 따르면, 반도체층에 레이저의 조사에 의해서, 해당 화소의 감광화의 처리를 행할 수 있다. 특히, 이 처리에서는, 반도체층의 결정 구조를 마이크로적으로 파괴하여, 저항을 증가시킴으로써, 전기적으로 차단한다. 따라서, 기본적으로 다른 부분의 손상을 제공하는 일 없이, 결함 화소의 감광화를 행할 수 있기 때문에, 적합한 감광화 처리를 행할 수 있다.

또한, 상기 반도체층의 윗쪽에 금속층이 배치되어 있는 부분에 아래쪽으로부터 레이저를 조사하고, 금속층에 의해 조사한 레이저를 반사시키는 것이 적합하다. 이에 따라, 반사된 레이저도 반도체층에 조사되게 되어, 효율적인 조사를 행할 수 있고 음과 함께, 레이저가 윗쪽에 도달하여, 그 부분에 악영향을 미치지 않게 된다.

또한, 상기 박막 트랜지스터는, 유리 기판 상에 반도체층을 갖고, 그 위에 게이트 절연막을 개재하여 게이트 전극이 배치된 구성을 갖고 있고, 유리 기판을 통하여 레이저를 반도체층에 조사함과 함께, 게이트 전극에서 조사된 레이저를 반사시키는 것이 적합하다. 이에 따라, 다른 부분에서의 레이저의 조사가 방지되어, 다른 부분에서의 악영향의 발생을 확실하게 방지할 수 있다.

상기 레이저는, UV 레이저인 것이 바람직하다. 예를 들면, 308, 355 nm 정도의 레이저에 의해서, 금속에 악영향을 미치지 않고, 반도체층의 전기적 차단을 할 수 있다.

또한, 본 발명에 따른 EL 표시 패널은, 상기 EL 패널의 감광화 방법에 의해서, 결함 화소가 감광화된 것을 특징으로 한다.

#### <발명의 실시 형태>

이하, 본 발명의 실시 형태에 대하여, 도면에 기초하여 설명한다.

본 실시 형태에서는, 게이트 전극의 아래쪽으로부터 레이저광을 조사하고, 이 레이저광에 의해서, TFT의 게이트 전극의 아래쪽에 존재하는 폴리실리콘으로 이루어지는 반도체층에 마이크로적인 어블레이션을 발생시키고, 이에 따라 반도체층의 결정성을 악화시켜, 저항을 증대시켜, TFT를 오프로 고정한다. 특히, 게이트 전극에 의해서 레이저는 반사되기 때문에, 반도체층에 효과적으로 레이저가 조사되고, 또한 게이트 전극의 상층에서의 레이저의 악영향이 없다.

이 때의 레이저로서는, 355 nm의 YAG 레이저나, 308 nm의 엑시머 레이저 등의 자외선(UV) 레이저가 적합하다. 즉, 이것보다 장파장이라면, 반도체층을 열화시키려고 한 경우에는, 게이트 전극도 어블레이션을 일으키게 되고, 또한 이것보다 단파장이라면, 유리 기판을 투과하기 어렵게 된다.

도 1에, 화소의 구성에 대하여 도시한다. 여기서, 소자 기판에는, 1 화소에 도 5에 도시한 TFT(10, 40)과, 용량 CS, 유기 EL 소자 EL이 형성되는데, 이 도면에 있어서는, 제2 TFT(40)와, 유기 EL 소자 EL만을 도시한다.

도 1에 있어서, 소자 기판은, 유리 기판(30) 상에 형성된 제2 TFT(40)를 갖고 있다. 이 제2 TFT(40)와 유기 EL 소자 EL의 구성을 도시한다. 이와 같이, 제2 TFT(40)는 유리 기판(30) 상에 형성되고, 이 제2 TFT(40)는, 폴리실리콘으로 형성되어 있는 능동층(반도체층)(40a)을 갖고 있다. 이 능동층(40a)은, 양단이 불순물이 도핑된 소스 영역, 드레인 영역으로 되어 있고, 이들 사이에 개재된 중앙부가 채널 영역으로 되어 있다. 이 채널 영역의 상부에는 산화 실리콘으로 이루어지는 게이트 절연막(40b)을 개재하여 게이트 전극(40c)이 형성되어 있다. 게이트 절연막(40b) 및 게이트 전극(40c)은, 층간 절연막(34)에 피복되어 있고, 게이트 전극(40c)의 양측에는, 층간 절연막(34)의 콘택트홀을 통하여 소스 영역 및 드레인 영역에 접속되는 소스 전극(40d), 드레인 전극(40e)이 형성되어 있다. 그리고, 소스 전극(40d), 드레인 전극(40e)의 상단이 층간 절연막(34)의 표면에 위치하고 있다.

또한, 층간 절연막(34)의 표면 상에는, 드레인 전극(40e)과 전원 라인 VL을 접속하는 메탈 배선 등이 배치된다. 또한, 이 층간 절연막(34)을 피복하여, 제1 평탄화막(36)이 형성되어 있다.

그리고, 제1 평탄화막(36)의 상면에는, ITO로 구성되는 투명 전극(50)이 형성되고, 이 일단이 제1 평탄화막(36)의 콘택트홀을 통하여 제2 TFT(40)의 소스 전극(40d)에 접속되어 있다.

또한, 이 투명 전극(50)은, 유기 EL 소자의 양극을 구성하고, 이 투명 전극(50) 상에는, 정공 수송층(52), 유기 발광층(54), 전자 수송층(56)을 개재하여, 금속제의 음극(58)이 형성되어 있다. 또, 투명 전극(50)의 주변 및 측방에는 제2 평탄화막(60)이 배치되어 있다. 또한, 유기 발광층(54)은, 형성 시의 위치 어긋남에 대응하기 위해서 투명 전극(50)보다 크지만, 화소 영역 내에만 존재하도록, 제2 평탄화막(60) 상에까지 연장되지만, 곧 중단되어 있다. 한편, 유기 발광층(54) 이외의 정공 수송층(52), 전자 수송층(56)은, 전면에 넓게 형성되어 있다. 단, 전자 수송층(56)은, Alq3 등 발광하는 재료를 포함하는 경우도 있고, 전자 수송층(56)도 유기 발광층(54)과 같이 발광부에만 한정하는 경우도 많다.

이러한 유기 EL 패널에 있어서, 휘점 결함 화소에 대해서는, 게이트 전극(40c)을 향하여 유리 기판(30)의 아래쪽으로부터, 단파장 레이저를 선택적으로 조사하는 단파장 레이저로서는, 파장 355 nm의 YAG 레이저나, 308 nm의 엑시머 레이저가 적합하다. 이에 따라, 게이트 전극(40c)의 아래쪽의 채널 영역의 능동층(40a)이 마이크로적인 어블레이션을 발생시키고, 결

정성이 파괴됨으로써 저항값이 상승한다. 따라서, TFT(40)가 전기적으로 차단된다. 따라서, 해당 화소가, 감광화된다. 특히, 레이저는, 게이트 전극(40c)에 의해 반사되기 때문에, 다른 부분에는 조사되지 않고, 능동층(40a)만의 전기적 차단을 행할 수 있다.

레이저는, 통상 펄스 레이저가 이용되지만 연속광이어도 된다. 조사량은, 유리 기판의 종류, 유기층, 기타 층의 재질 등에 따라 다르지만, 암점화를 확실하게 행할 수 있고, 게이트 전극(40c)에의 손상이 별로 커지지 않는 양으로서, 실험적으로 결정하는 것이 적합하다.

즉, 도 2에 도시한 바와 같이, 시험용의 패널을 준비하고(S11), 조사량을 변경하여, 복수의 화소에 대하여, 레이저를 조사한다(S12). 그리고, 이 레이저 조사 시험의 결과를 평가한다(S13). 즉, 암점화가 확실하게 행해져 있는가를 평가한다. 또, 적어도, 음극에 손상이 없도록, 레이저 강도를 설정한다. 그리고, 확실하게 암점화를 행할 수 있는 조건을 결정한다(S14). 예를 들면, 펄스 조사에 따른 발광량의 변화 등을 측정하여, 적절한 레이저 조사량을 결정하면 된다.

이와 같이 하여, 조건이 결정된 경우에는, 그 조건을 채용하여, 실제로 제조된 유기 EL 패널의 휘점 결함 화소에 대하여 암점화의 처리를 행한다(S15)

이와 같이, 본 실시 형태에 따르면, 게이트 전극(40c) 아래의 능동층(40a)에의 레이저의 조사에 의해서, 해당 화소의 감광화의 처리를 행할 수 있다. 특히, 이 처리에서는, 반도체층의 결정 구조를 마이크로적으로 파괴하여, 저항을 증가시킴으로써, 전기적으로 차단한다. 따라서, 기본적으로 다른 부분에 손상을 주지 않고, 결함 화소의 감광화를 행할 수 있기 때문에, 적합한 감광화 처리를 행할 수 있다.

여기서, 도 3에, 유기 EL 패널의 1 화소 분의 평면 구성을 도시한다. 게이트 라인 GL이 수평 방향으로 연장되고, 이 게이트 라인 GL에 제1 TFT(10)의 게이트(2)가 접속되어 있다. 이 제1 TFT(10)는, 게이트(2)를 2개 형성한 더블 게이트 타입으로 되어 있다. 이 제1 TFT(10)의 능동층(6)은, 폴리실리콘의 반도체층으로 구성되어 있고, 그 일단(소스)이 데이터 라인 DL에 접속되어 있다. 이 능동층(6)의 타단은, 용량 CS의 하측 전극에 접속되거나, 또는 하측 전극을 겸용한다. 제1 TFT(10)의 게이트(2)의 아래쪽이 능동층(6)이 채널 영역으로 되어 있고, 2개의 게이트(2)에 끼워진 영역이 드레인 및 소스, 용량 CS의 하측 전극에 접속되는 영역이 소스로 되어 있다.

이 반도체층으로 이루어지는 용량 CS의 하측 전극에는, 산화 실리콘막을 사이에 두고, 상측 전극(게이트 전극과 거의 동층)이 대향 배치되어 있고, 이들 하측 전극, 유전체, 상측 전극으로 용량 CS가 형성되어 있다. 용량 CS의 상측 전극은, 저전위로 유지되는 용량 라인 SL에 접속되어 있다.

따라서, 게이트 라인 GL이 H 레벨이 되면, 제1 TFT(10)가 온하여, 데이터 라인 DL의 전압이 용량 CS에 기입된다(충전된다).

용량 CS의 하측 전극은, 콘택트를 통하여 제2 TFT(40)의 게이트(25)에 접속되어 있다. 이 제2 TFT(40)는 병렬 접속된 2개의 제2 TFT(40-1, 40-2)로 구성되고, 양단이 소스, 중앙이 드레인으로 되어 있다. 즉, 이 제2 TFT(40)는, 반도체층으로 이루어지는 능동층(16)을 갖고 있고, 이 능동층(16)의 양단의 소스(16s-1, 16s-2)는, 전원 라인 VL에 콘택트를 통하여 접속되어 있다. 또한, 게이트(25)의 아래쪽이 채널(16c-1, 16c-2)로 되고, 중앙부가 드레인(16d-1, 16d-2)으로 되어 있다.

그리고, 이 드레인(16d-1, 16d-2)이 콘택트, 배선(41)을 통하여, 유기 EL 소자 EL에 접속되어 있다. 즉, 도 3에 있어서의 제2 TFT(40-1, 40-2)의 드레인(16d-1, 16d-2)이 유기 EL 소자의 양극(50)에 접속된다.

이러한 화소에 있어서, 게이트 전극(25)의 아래쪽의 능동층(반도체층)(16)으로 레이저를 조사하여, 제2 TFT(40)를 절단하면 된다. 이 경우, 제2 TFT(40)는 2개의 제2 TFT(40-1, 40-2)로 이루어져 있고, 제2 TFT(40-1, 40-2)의 능동층(16)의 채널 영역(16c-1, 16c-2)에 레이저를 조사하여 이 부분을 전기적으로 차단한다.

또, 상술한 예에서는, 게이트 전극의 아래쪽의 반도체층에 레이저를 조사하여 전기적 차단을 행하였지만, 금속층의 아래쪽의 반도체층이면, 그 밖의 어떠한 장소에서라도 된다. 예를 들면, 소스 전극, 드레인 영역의 아래쪽의 소스 영역, 드레인 영역에 레이저를 조사하여 이 부분을 전기적으로 차단하는 것도 적합하다.

또한, 제1 TFT(10)에 대해서도 마찬가지로 절단을 할 수 있다. 또한, 데이터 라인 DL과 제1 TFT(10)의 반도체층과의 접속 콘택트부에 레이저를 조사하여 제1 TFT(10)를 데이터 라인 DL으로부터 분리하는 것도 적합하다.

여기서, 파장355 nm의 YAG 레이저 등에서는, 그 반사율은 금속에 따라 다르다. 예를 들면, 알루미늄에서는, 반사율이 99% 정도, 크롬에서는 50% 정도이다. 따라서, 통상 알루미늄으로 형성되는 데이터 라인 DL 등의 아래쪽의 반도체층에 레이저를 조사하는 것이 적합하지만, 반드시 이것에 한정되지 않는다. 즉, 통상 제1 TFT(10) 및 제2 TFT(40)의 게이트 전극은 크롬으로 형성되지만, 이 크롬의 아래쪽의 반도체층에 대해서도, 충분히 전기적 차단이 가능한 것을 실험적으로 알고 있다. 또, 기본적으로 금속은 상술한 바와 같은 단파장 레이저를 반사하기 쉬워, 폴리브덴 등의 전극이나 배선의 아래쪽의 반도체층의 전기적 차단에도 이용할 수 있다.

또, 상술한 바와 같은 처리에 있어서, 완전한 암점화까지 행하지 않더라도, 발광량이 소정의 크기 이하가 되면 되기 때문에, 도 4에 도시한 바와 같이, 채널의 일부분에만 레이저광을 조사하여 고저항화해도 된다.

또한, 상술한 설명은, 유기 EL 패널에 대해서만 예를 들었지만, 무기 EL 패널이라도, 마찬가지로 TFT 등을 갖기 때문에, 본 발명의 감광화 방법을 적합하게 적용할 수 있다.

### 발명의 효과

이하 설명한 바와 같이, 본 발명에 따르면, 반도체층에 레이저의 조사에 의해서, 해당 화소의 감광화의 처리를 행할 수 있다. 특히, 이 처리에서는, 반도체층의 결정 구조를 마이크로적으로 파괴하여, 저항을 증가시킴으로서, 전기적으로 차단한다. 따라서, 기본적으로 다른 부분에 손상을 주지 않고, 결함 화소의 감광화를 행할 수 있기 때문에, 적합한 감광화 처리를 행할 수 있다.

또한, 상기 박막 트랜지스터는, 유리 기판 상에 반도체층을 갖고, 그 위에 게이트 절연막을 개재하여 게이트 전극이 배치된 구성을 갖고 있고, 유리 기판을 통하여 레이저를 반도체층에 조사함과 함께, 게이트 전극에 조사된 레이저를 반사시키는 것이 적합하고, 이에 따라, 다른 부분에서의 레이저의 조사가 방지되고, 다른 부분에서의 악영향의 발생을 확실하게 방지할 수 있다.

상기 레이저는, UV 레이저인 것이 바람직하고, 이 UV 레이저에 의해서, 금속에 악영향을 미치지 않고, 반도체층의 전기적 차단을 할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

매트릭스 배치된 각 화소마다, EL 발광 소자와, 이 EL 발광 소자로의 전류를 제어하는 박막 트랜지스터를 갖는 EL 패널에 대한 결함 화소의 감광화 방법에 있어서,

상기 박막 트랜지스터를 구성하는 반도체층의 영역 중에, 적어도 윗쪽에 금속층이 배치되어 있는 영역에 아래쪽으로부터 레이저를 조사하고, 상기 금속층에 의해 상기 레이저를 반사시킴으로써, 상기 레이저가 상기 금속층보다 위쪽의 부분에 도달하여 발생하는 상기 부분에서의 악영향을 저감하는 것과 동시에, 상기 반도체층의 저항값을 상승시켜 상기 화소를 감광화하는 것을 특징으로 하는 EL 패널의 감광화 방법.

#### 청구항 2.

삭제

#### 청구항 3.

제1항에 있어서,

상기 박막 트랜지스터는, 유리 기판 상에 반도체층을 갖고, 그 위에 게이트 절연막을 개재하여 게이트 전극이 배치된 구성을 갖고 있고, 유리 기판을 통하여 레이저를 반도체층에 조사함과 함께, 조사된 레이저를 게이트 전극에서 반사시키는 것을 특징으로 하는 EL 패널의 감광화 방법.

청구항 4.

제1항 또는 제3항에 있어서,

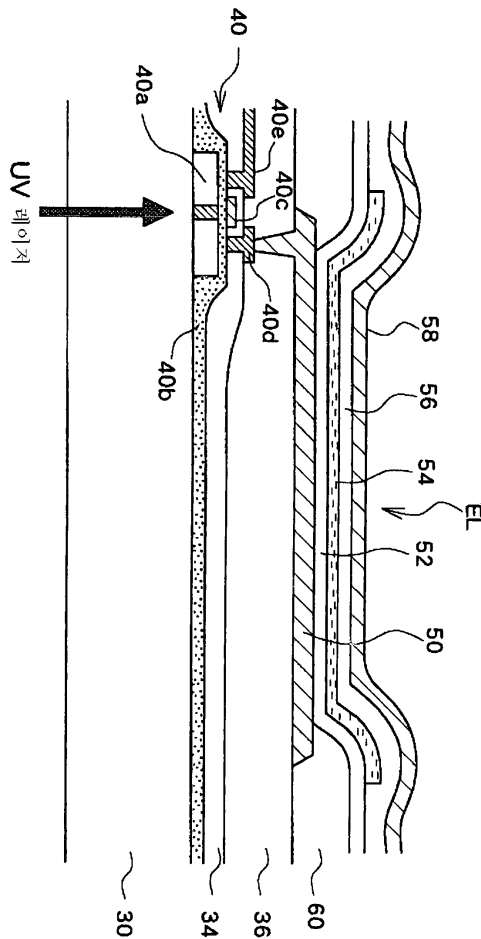
상기 레이저는, UV 레이저인 것을 특징으로 하는 EL 패널의 감광화 방법.

청구항 5.

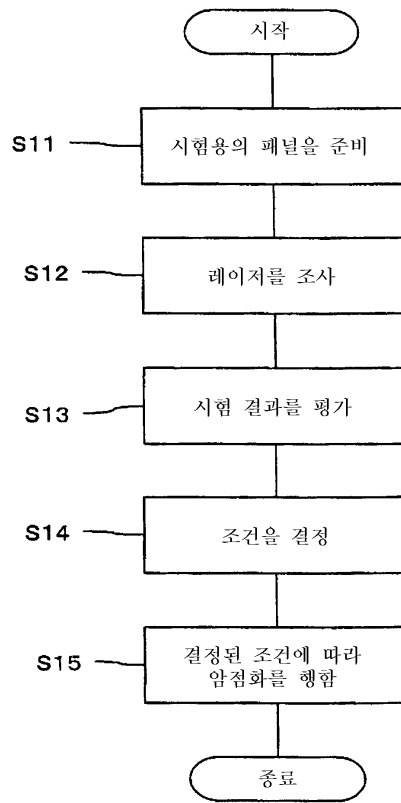
제1항, 제3항 또는 제4항 중 어느 한 항에 기재된 EL 패널의 감광화 방법에 의해서 결함 화소가 감광화된 것을 특징으로 하는 EL 패널.

도면

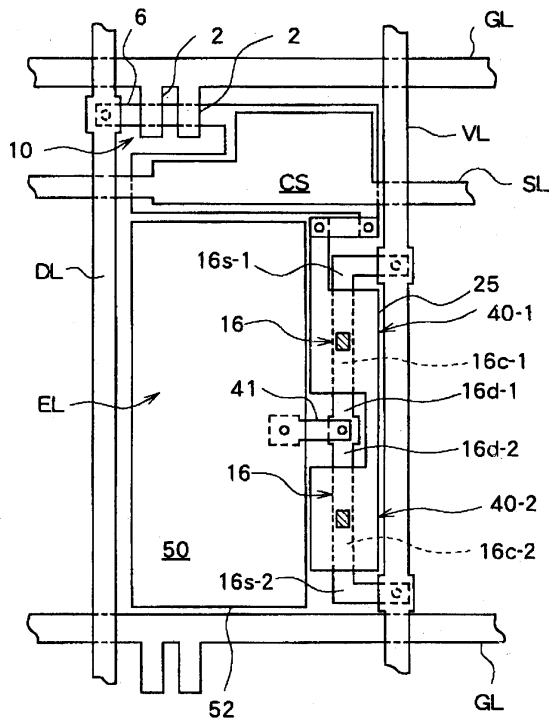
도면1



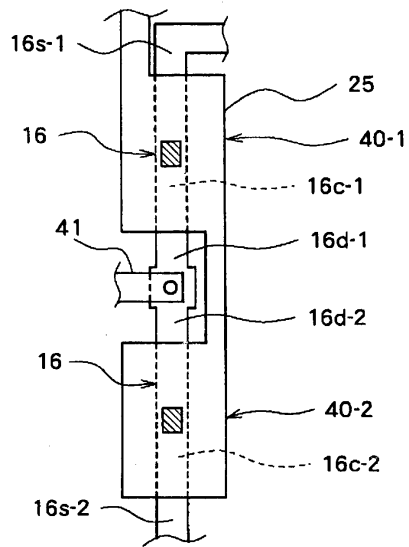
도면2



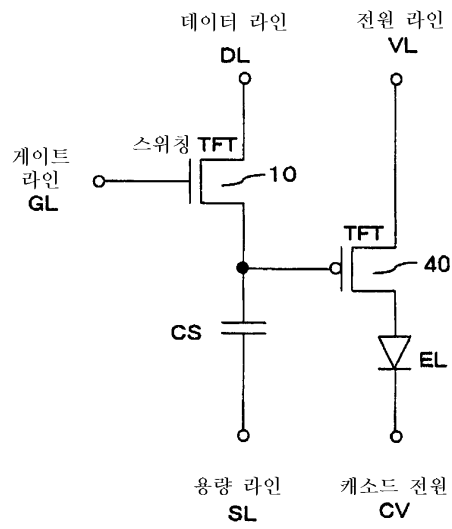
도면3



도면4



도면5



专利名称(译)	EL面板光敏面板的方法和装置		
公开(公告)号	<a href="#">KR100543485B1</a>	公开(公告)日	2006-01-20
申请号	KR1020030026318	申请日	2003-04-25
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	JINNO YUSHI		
发明人	JINNO, YUSHI		
IPC分类号	H05B33/10 H01L27/32 H01L51/56		
CPC分类号	H01L27/3244 G09G2330/10 H01L51/56 H01L2251/568		
代理人(译)	LEE, JUNG HEE CHU, 晟敏		
优先权	2002127014 2002-04-26 JP		
其他公开文献	KR1020030084764A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有效地执行点缺陷像素的敏化。UV激光选择性地照射在像素等的第二 TFT (40) 的有源层 (半导体层) (40a) 上。因此, 有源层 (40a) 的结晶变得更糟并且可以执行电阻挡。因此, 可以执行像素的敏化而不会对其他部分产生不良影响。而且, 它对着栅电极 (40c) 的下侧的有源层 (40a)。激光可以在栅电极 (40c) 中反射。可以更多地进行有效激光的研究。缺陷像素, 敏化, 有源层, UV激光, EL面板。

