



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0022720
(43) 공개일자 2012년03월12일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01)</p> <p>(21) 출원번호 10-2011-7021038</p> <p>(22) 출원일자(국제) 2010년04월21일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2011년09월08일</p> <p>(86) 국제출원번호 PCT/JP2010/002858</p> <p>(87) 국제공개번호 WO 2010/134263
국제공개일자 2010년11월25일</p> <p>(30) 우선권주장
JP-P-2009-124735 2009년05월22일 일본(JP)</p> | <p>(71) 출원인
파나소닉 주식회사
일본 오오사카후 가도마시 오오아자 가도마 1006 반치</p> <p>(72) 발명자
마쯔이 마사후미
일본 오오사카후 가도마시 오오아자 가도마 1006 반치 파나소닉 주식회사 내</p> <p>(74) 대리인
한양특허법인</p> |
|--|---|

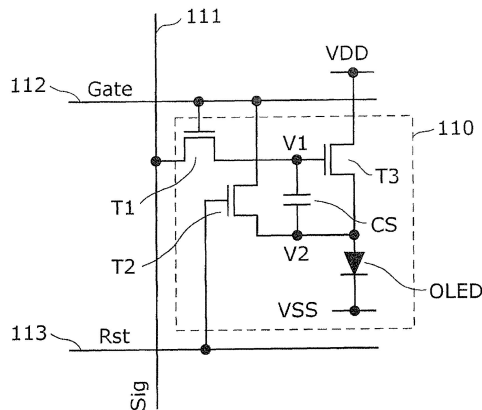
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 표시 장치 및 그 구동 방법

(57) 요약

본 발명에 따른 표시 장치는, 행렬형상으로 배치된 복수의 발광 화소(110)와, 행마다 대응하는 게이트선(112) 및 리셋선(113)과 열마다 대응하는 신호선(111)을 구비하고, 각 발광 화소(110)는, 발광 소자(OLED)와, 발광 소자(OLED)에 전류를 공급하는 구동 트랜지스터(T3)와, 행 선택 트랜지스터(T1)와, 게이트 단자가 리셋선(113)에 접속되고, 소스 단자 및 드레인 단자의 한쪽이 구동 트랜지스터(T3)의 소스 단자에 접속된 리셋 트랜지스터(T2)와, 구동 트랜지스터(T3)의 게이트 단자-소스 단자간에 삽입된 용량 소자(CS)를 구비하며, 리셋 트랜지스터(T2)의 소스 단자 및 드레인 단자의 다른 쪽은, 복수의 발광 화소(110) 중 어느 한 행에 대응하는 게이트선(112)에 접속되어 있다.

대표도 - 도2



특허청구의 범위

청구항 1

행렬형상으로 배치된 복수의 발광 화소를 구비하는 표시 장치로서,

상기 표시 장치는,

상기 복수의 발광 화소의 행마다 대응하여 설치된 게이트선 및 리셋선과,

상기 복수의 발광 화소의 열마다 대응하여 설치된 신호선을 구비하고,

상기 복수의 발광 화소의 각각은,

게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 신호선에 접속되고, 당해 게이트 단자가 상기 게이트선에 접속된 제1 스위칭 트랜지스터와,

전류가 흐름으로써 발광하는 발광 소자와,

게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 제1 스위칭 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 발광 소자에 접속되고, 상기 발광 소자에 전류를 공급하는 구동 트랜지스터와,

게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 리셋선에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 리셋 트랜지스터와,

일단이 상기 구동 트랜지스터의 게이트 단자에 접속되고, 타단이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 용량 소자를 구비하며,

상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽은, 상기 복수의 발광 화소 중 어느 한 행에 대응하여 설치된 게이트선에 접속되어 있는, 표시 장치.

청구항 2

청구항 1에 있어서,

상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 다른 쪽이 접속된 게이트선을 상기 제1 스위칭 트랜지스터가 오프하는 비액티브 상태로 하고 있는 동안에, 상기 리셋선을 상기 리셋 트랜지스터가 온하는 액티브 상태로 하는 구동부를 더 구비하는, 표시 장치.

청구항 3

청구항 2에 있어서,

상기 구동부는 또한, 복수의 상기 신호선에, 기준 전압과, 상기 기준 전압보다 큰 신호 전압을 선택적으로 공급하고,

각 게이트선의 비액티브 상태에 있어서의 전압은, 상기 구동 트랜지스터의 역치 전압분 이상 상기 기준 전압보다 낮은 전압인, 표시 장치.

청구항 4

청구항 3에 있어서,

상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 다른 쪽은, 동일 행에 설치된 게이트선에 접속되는, 표시 장치.

청구항 5

청구항 4에 있어서,

상기 구동부는 또한,

상기 동일 행에 설치된 게이트선을 비액티브로 하기 전에, 당해 게이트선을 상기 제1 스위칭 트랜지스터가 온하는 액티브 상태, 또한 상기 리셋선을 상기 리셋 트랜지스터가 오프하는 비액티브 상태로 하는, 표시 장치.

청구항 6

청구항 3에 있어서,

상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 다른 쪽은, 다음 행에 설치된 게이트선에 접속되는, 표시 장치.

청구항 7

청구항 1 내지 청구항 6 중 어느 한 항에 있어서,

상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽, 및, 상기 용량 소자의 상기 타단은, 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 소정의 소자를 통해 접속되어 있는, 표시 장치.

청구항 8

청구항 7에 있어서,

상기 복수의 발광 화소의 각각은, 또한,

게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽과 상기 용량 소자의 상기 타단에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 다른 쪽이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 제2 스위칭 트랜지스터를 구비하는, 표시 장치.

청구항 9

청구항 1 내지 청구항 8 중 어느 한 항에 있어서,

상기 구동 트랜지스터, 상기 제1 스위칭 트랜지스터 및 상기 리셋 트랜지스터는 각각, n형의 트랜지스터 소자인, 표시 장치.

청구항 10

청구항 1 내지 청구항 9 중 어느 한 항에 있어서,

상기 발광 소자는, 유기 EL(Electro Luminescence) 소자인, 표시 장치.

청구항 11

행렬형상으로 배치된 복수의 발광 화소와, 상기 복수의 발광 화소의 행마다 대응하여 설치된 게이트선 및 리셋선과, 상기 복수의 발광 화소의 열마다 대응하여 설치되고, 기준 전압과 상기 기준 전압보다 큰 신호 전압이 선택적으로 공급되는 신호선을 구비하고, 상기 복수의 발광 화소의 각각은, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 신호선에 접속되고, 당해 게이트 단자가 상기 게이트선에 접속된 제1 스위칭 트랜지스터와, 전류가 흐름으로써 발광하는 발광 소자와, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 제1 스위칭 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 발광 소자에 접속되고, 상기 발광 소자에 전류를 공급하는 구동 트랜지스터와, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 리셋선에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 리셋 트랜지스터와, 일단이 상기 구동 트랜지스터의 상기 게이트 단자에 접속되고, 타단이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 용량 소자를 구비하며, 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽은, 상기 복수의 발광 화소 중 어느 한 행에 대응하여 설치된 게이트선에 접속되어 있는 표시 장치의 구동 방법으로서,

상기 제1 스위칭 트랜지스터를 오프, 또한 상기 리셋 트랜지스터를 온함으로써, 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽을 상기 구동 트랜지스터의 역치 전압분 이상 상기 기준 전압보다 낮은 전압으로

로 하는 리셋 단계를 포함하는, 표시 장치의 구동 방법.

청구항 12

청구항 11에 있어서,

상기 리셋 단계 후에, 상기 제1 스위칭 트랜지스터를 온함으로써, 상기 구동 트랜지스터의 역치 전압을 검출하는 검출 단계와,

검출 단계에서 검출된 상기 역치 전압을 상기 용량 소자에 유지시키는 유지 단계와,

상기 유지 단계 후에, 상기 구동 트랜지스터의 게이트 단자에 상기 발광 소자를 발광시키기 위한 신호 전압을 공급하는 기록 단계와,

상기 기록 단계 후에, 상기 제1 스위칭 트랜지스터를 오프함으로써, 상기 구동 트랜지스터의 게이트 단자 및 소스 단자간의 전위차에 따른 전류를 상기 발광 소자에 흐르게 하여 상기 발광 소자를 발광시키는 발광 단계를 더 포함하는, 표시 장치의 구동 방법.

청구항 13

청구항 12에 있어서,

상기 검출 단계는,

상기 제1 스위칭 트랜지스터를 온하는 제1 서브 단계와,

상기 제1 서브 단계 후에, 상기 제1 스위칭 트랜지스터를 오프하는 제2 서브 단계를 포함하고,

상기 제2 서브 단계 후에, 상기 제1 서브 단계 및 상기 제2 서브 단계를 적어도 1회 반복하는, 표시 장치의 구동 방법.

청구항 14

청구항 13에 있어서,

상기 제1 서브 단계에서는, 상기 제1 스위칭 트랜지스터와 동일 열에 설치된 상기 신호선으로는 상기 기준 전압이 공급되고,

상기 제2 서브 단계에서는, 당해 신호선으로는 상기 신호 전압 또는 상기 기준 전압이 공급되는, 표시 장치의 구동 방법.

청구항 15

청구항 12 내지 청구항 14 중 어느 한 항에 있어서,

상기 복수의 발광 화소의 각각은, 또한,

게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽과 상기 용량 소자의 상기 타단에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 다른 쪽이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 제2 스위칭 트랜지스터를 구비하며,

상기 검출 단계에 있어서,

상기 제2 스위칭 트랜지스터를 온한 상태로, 상기 제1 스위칭 트랜지스터를 온하여 상기 구동 트랜지스터의 역치 전압을 검출하고,

상기 유지 단계에 있어서,

상기 제2 스위칭 트랜지스터를 온에서 오프로 전환함으로써, 상기 검출 단계에서 검출된 상기 역치 전압을 상기 용량 소자에 유지시키고,

상기 기록 단계에 있어서,

상기 제1 스위칭 트랜지스터가 온으로 되어 있는 기간에 상기 신호선에 상기 신호 전압이 공급됨으로써, 상기

제2 스위칭 트랜지스터를 오프로 한 상태로 상기 구동 트랜지스터의 게이트 단자에 상기 신호 전압을 공급하며, 상기 발광 단계에 있어서,

상기 제1 스위칭 트랜지스터를 온에서 오프로 전환한 후, 상기 제2 스위칭 트랜지스터를 오프에서 온으로 전환함으로써, 상기 구동 트랜지스터의 게이트 단자 및 소스 단자간의 전위차에 따른 전류를 상기 발광 소자에 흐르게 하여 상기 발광 소자를 발광시키는, 표시 장치의 구동 방법.

청구항 16

청구항 11 내지 청구항 15 중 어느 한 항에 있어서,

상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 다른 쪽은, 동일 행에 설치된 게이트선에 접속되고, 상기 표시 장치의 구동 방법은, 상기 리셋 단계 전에, 상기 제1 스위칭 트랜지스터를 온, 또한 상기 리셋 트랜지스터를 오프함으로써, 상기 발광 소자를 소광시키는 소광 단계를 더 포함하는, 표시 장치의 구동 방법.

명세서

기술분야

[0001] 본 발명은, 유기 일렉트로 루미네선스(EL : Electro Luminescence) 소자 등의 전류 구동형 자발광 소자를 이용한 액티브 매트릭스 방식의 화상 표시 장치에 관한 것이다.

배경기술

[0002] 유기 EL 소자는 전류 제어로 계조를 표현하지만, 액티브 매트릭스 방식의 유기 EL 표시 장치는, 각 유기 EL 소자를 구동하는 구동용 트랜지스터의 역치 전압의 편차에 의해, 동일 신호 전압을 부여해도 휘도 얼룩이 생긴다는 문제가 있다. 이 유기 EL 소자의 구동용 트랜지스터의 역치를 보상하는 것은, 휘도 얼룩을 해소하여 균일한 화면을 만드는데 있어서 필요해진다. 구동용 트랜지스터의 역치의 편차를 억제하기 위한 역치 보상 회로로서, 1화소당 4개의 트랜지스터를 이용함으로써 구동용 트랜지스터의 역치를 검출하는 수법이 있다(예를 들면 비특허 문헌 1 참조). 또, 1화소당 3개의 트랜지스터를 이용하여, 전원선의 전압을 주사함으로써 구동용 트랜지스터의 역치를 검출하는 수법이 있다(예를 들면 특허 문헌 1 참조).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본국 특허공개 2006-259374호 공보

비특허문헌

[0004] (비특허문헌 0001) R.M.A. Dawson, et al, IEDM'98, Technical Digest, 1998, p.875

발명의 내용

해결하려는 과제

[0005] 그러나, 비특허 문헌 1에 기재된 수법에서는 1화소당 트랜지스터를 4개 이용하는 구성이며, 디스플레이의 대형화에 수반하여 트랜지스터의 집적수의 증가에 기인한 수율의 저하가 염려된다.

[0006] 또, 특허 문헌 1에 기재된 수법에서는, 트랜지스터의 개수가 적고, 디스플레이로 한 경우, 높은 생산성을 기대할 수 있지만, 전원선을 주사할 필요가 있다. 전원선을 주사하기 위해서는, 전원선을 1차원 배선하지 않으면 안 된다. 그러나 1차원 배선에서는, 디스플레이의 대화면화에 수반한 전원선의 전압 강하에 의해, 표시 화상의 주변이 어두워진다는 크로스토크가 일어나기 쉬워, 대화면화에 대응할 수 없다는 과제가 있었다.

[0007] 본 발명은, 상기 과제를 해결하기 위해 이루어지며, 그 목적으로 하는 바는, 적은 소자수로 전원선의 주사를 행

하지 않으며, 구동 소자의 역치 전압을 보상하는 표시 장치를 제공하는 것에 있다. 또, 그러한 표시 장치의 구동 방법을 제공하는 것도 본 발명에 포함된다.

과제의 해결 수단

- [0008] 상기 과제를 해결하기 위해, 본 발명의 표시 장치는, 행렬형상으로 배치된 복수의 발광 화소를 구비하는 표시 장치로서, 상기 표시 장치는, 상기 복수의 발광 화소의 행마다 대응하여 설치된 게이트선 및 리셋선과, 상기 복수의 발광 화소의 열마다 대응하여 설치된 신호선을 구비하고, 상기 복수의 발광 화소의 각각은, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 신호선에 접속되고, 당해 게이트 단자가 상기 게이트선에 접속된 제1 스위칭 트랜지스터와, 전류가 흐름으로써 발광하는 발광 소자와, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 제1 스위칭 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 발광 소자에 접속되고, 상기 발광 소자에 전류를 공급하는 구동 트랜지스터와, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 리셋선에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 리셋 트랜지스터와, 일단이 상기 구동 트랜지스터의 게이트 단자에 접속되고, 타단이 상기 구동 트랜지스터의 상기 소스 단자 및 상기 드레인 단자의 상기 한쪽에 접속된 용량 소자를 구비하며, 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽은, 상기 복수의 발광 화소 중 어느 한 행에 대응하여 설치된 게이트선에 접속되어 있다.
- [0009] 이에 의해, 발광 화소당 3개의 트랜지스터로, 전원선을 주사하지 않고, 구동 트랜지스터의 역치 전압을 검출하며, 그 역치 전압을 보상하여 발광 소자를 발광시킬 수 있다. 이와 같이, 구동 트랜지스터의 역치 전압의 편차를 보상하므로, 휘도 얼룩을 해소할 수 있다.
- [0010] 또, 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 다른 쪽이 접속된 게이트선을 상기 제1 스위칭 트랜지스터가 오프하는 비액티브 상태로 하고 있는 동안에, 상기 리셋선을 상기 리셋 트랜지스터가 온하는 액티브 상태로 하는 구동부를 더 구비해도 된다.
- [0011] 이에 의해, 구동 트랜지스터의 소스 단자의 전압을, 리셋 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽이 접속된 게이트선의 전압과 동일하게 할 수 있으므로, 게이트선의 전압을 이용하여, 구동 트랜지스터의 소스 단자의 전압을 설정할 수 있다.
- [0012] 또, 상기 구동부는 또한, 복수의 상기 신호선에, 기준 전압과, 상기 기준 전압보다 큰 신호 전압을 선택적으로 공급하고, 각 게이트선의 비액티브 상태에 있어서의 전압은, 상기 구동 트랜지스터의 역치 전압분 이상 상기 기준 전압보다 낮은 전압이어도 된다.
- [0013] 이에 의해, 리셋 트랜지스터가 온한 경우에, 구동 트랜지스터의 소스 단자의 전압을, 확실하게 구동 트랜지스터의 역치 전압분 이상, 기준 전압보다 낮은 전압으로 할 수 있다. 따라서, 구동 트랜지스터의 역치 전압의 검출을 확실하게 행할 수 있다.
- [0014] 또, 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 다른 쪽은, 동일 행에 설치된 게이트선에 접속되어도 된다.
- [0015] 또, 상기 구동부는 또한, 상기 동일 행에 설치된 게이트선을 비액티브로 하기 전에, 당해 게이트선을 상기 제1 스위칭 트랜지스터가 온하는 액티브 상태, 또한 상기 리셋선을 상기 리셋 트랜지스터가 오프하는 비액티브 상태로 해도 된다.
- [0016] 이에 의해, 발광 소자를 확실하게 소광할 수 있다. 구체적으로는, 직전의 구동 트랜지스터의 게이트 단자의 전압이, 발광 소자가 발광하기 위해 필요한 전류를 공급할 수 있는 만큼의 전압이었던 경우, 게이트선을 비액티브 상태로 한 후, 당해 전압이 인가됨으로써 발광 소자가 발광한다. 그래서, 이와 같이 게이트선을 액티브 상태, 리셋선을 비액티브 상태로 함으로써, 구동 트랜지스터의 게이트 단자에 소광 시의 전압을 부여함으로써, 발광 소자를 확실하게 소광할 수 있다.
- [0017] 또, 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 다른 쪽은, 다음 행에 설치된 게이트선에 접속되어도 된다.
- [0018] 이에 의해, 동일 행의 게이트선을 액티브 상태로 하고, 또한 리셋선을 액티브 상태로 한 경우에도, 구동 트랜지스터의 소스 단자의 전압을 다음 행의 게이트선의 전압으로 할 수 있다. 그 결과, 다음 행의 게이트선의 전압

을 구동 트랜지스터의 역치 전압분 이상 기준 전압보다 낮은 전압으로 함으로써, 구동 트랜지스터의 역치 전압의 검출을 확실하게 행하는 것이 가능해진다. 요컨대, 리셋 트랜지스터를 동일 행의 게이트선에 접속한 경우와 비교하여, 발광 소자의 소광과, 구동 트랜지스터의 소스 단자의 전압 설정을 동시에 할 수 있으므로, 1프레임 기간에 있어서, 더욱 많은 시간을 구동 트랜지스터의 역치 전압의 검출에 할당할 수 있다.

- [0019] 또, 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽, 및, 상기 용량 소자의 상기 타단은, 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 소정의 소자를 통해 접속되어 있어도 된다.
- [0020] 이에 의해, 발광 소자의 기생 용량의 편차에 의한, 구동 트랜지스터가 발광 소자에 공급하는 전류인 화소 전류의 변동을 억제하는 것이 가능해진다. 예를 들면, 구동 회로가 복수의 발광 화소에 동일한 신호 전압을 공급한 경우에, 각 발광 화소의 발광 소자와 구동 트랜지스터의 접속점의 전위 편차를 억제하는 것이 가능해진다. 이하, 편차를 억제할 수 있는 이유에 대해 서술한다.
- [0021] 발광 화소에 소정의 신호 전압이 공급되었을 때, 발광 소자와 구동 트랜지스터의 접속점의 전위는, 발광 소자의 기생 용량과, 용량 소자의 용량의 용량 분배에 의해 규정된다. 그러나, 발광 소자의 기생 용량은 발광 소자마다 편차를 가지므로, 복수의 발광 화소에 동일한 신호 전압을 공급한 경우에도, 각 발광 화소의, 발광 소자와 구동 트랜지스터의 접속점의 전위는 동일하게는 되지 않으며, 편차를 갖는다. 따라서, 발광 소자와 구동 트랜지스터의 접속점의 전위 편차에 의해, 발광 소자에 공급되는 전류도 편차가 생긴다.
- [0022] 이에 반해, 용량 소자의 타단과, 발광 소자와 구동 트랜지스터의 접속점을 소정의 소자를 통해 접속함으로써, 용량 소자의 타단의 전위에 대한 발광 소자의 기생 용량의 영향을 저감할 수 있다. 따라서, 용량 소자의 일단과 타단의 전위차인 용량 소자의 유지 전압에 대한 발광 소자의 기생 용량의 영향을 저감하는 것이 가능해진다.
- [0023] 따라서, 발광 소자의 기생 용량의 영향을 저감하고, 신호 전압에 따라 정밀도 좋게 발광 소자를 발광시키는 것이 가능해진다.
- [0024] 또, 상기 복수의 발광 화소의 각각은, 또한, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽과 상기 용량 소자의 상기 타단에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 다른 쪽이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 제2 스위칭 트랜지스터를 구비해도 된다.
- [0025] 이에 의해, 제2 스위칭 트랜지스터를 온 및 오프함으로써, 리셋 트랜지스터의 소스 단자 및 드레인 단자의 한쪽, 및, 용량 소자의 타단과, 발광 소자와 구동 트랜지스터의 접속점의 도통 및 비도통을 전환할 수 있다. 따라서, 예를 들면, 제2 스위칭 트랜지스터를 오프하고 있는 기간에 구동 트랜지스터의 게이트 단자에 발광 소자를 발광시키기 위한 신호 전압을 공급하면, 용량 소자의 타단의 전위가 발광 소자의 기생 용량의 영향을 받는 일이 없다. 요컨대, 용량 소자의 유지 전압에 대한 발광 소자의 기생 용량의 영향을 확실하게 저감할 수 있다. 바꿔 말하면, 발광 소자의 기생 용량의 영향을 방지하여, 신호 전압에 따른 정확한 발광 휘도로 발광 소자를 발광시킬 수 있다.
- [0026] 또, 상기 구동 트랜지스터, 상기 제1 스위칭 트랜지스터 및 상기 리셋 트랜지스터는 각각, n형의 트랜지스터 소자여도 된다.
- [0027] 또, 상기 발광 소자는, 유기 EL(Electro Luminescence) 소자여도 된다.
- [0028] 또, 본 발명의 구동 방법은, 행렬형상으로 배치된 복수의 발광 화소와, 상기 복수의 발광 화소의 행마다 대응하여 설치된 게이트선 및 리셋선과, 상기 복수의 발광 화소의 열마다 대응하여 설치되고, 기준 전압과 상기 기준 전압보다 큰 신호 전압이 선택적으로 공급되는 신호선을 구비하고, 상기 복수의 발광 화소의 각각은, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 신호선에 접속되고, 당해 게이트 단자가 상기 게이트선에 접속된 제1 스위칭 트랜지스터와, 전류가 흐름으로써 발광하는 발광 소자와, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 제1 스위칭 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 발광 소자에 접속되고, 상기 발광 소자에 전류를 공급하는 구동 트랜지스터와, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 리셋선에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 리셋 트랜지스터와, 일단이 상기 구동 트랜지스터의 상기 게이트 단자에 접속되고, 타단이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 용량 소자를 구비하며, 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽은, 상기 복

수의 발광 화소 중 어느 한 행에 대응하여 설치된 게이트선에 접속되어 있는 표시 장치의 구동 방법으로서, 상기 제1 스위칭 트랜지스터를 오프, 또한 상기 리셋 트랜지스터를 온함으로써, 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽을 상기 구동 트랜지스터의 역치 전압분 이상 상기 기준 전압보다 낮은 전압으로 하는 리셋 단계를 포함한다.

- [0029] 또, 상기 리셋 단계 후에, 상기 제1 스위칭 트랜지스터를 온함으로써, 상기 구동 트랜지스터의 역치 전압을 검출하는 검출 단계와, 검출 단계에서 검출된 상기 역치 전압을 상기 용량 소자에 유지시키는 유지 단계와, 상기 유지 단계 후에, 상기 구동 트랜지스터의 게이트 단자에 상기 발광 소자를 발광시키기 위한 신호 전압을 공급하는 기록 단계와, 상기 기록 단계 후에, 상기 제1 스위칭 트랜지스터를 오프함으로써, 상기 구동 트랜지스터의 게이트 단자 및 소스 단자간의 전위차에 따른 전류를 상기 발광 소자에 흐르게 하여 상기 발광 소자를 발광시키는 발광 단계를 더 포함해도 된다.
- [0030] 이에 의해, 발광 단계에 있어서, 구동 트랜지스터는 신호 전압과 역치 전압을 가산한 전압에 따른 전류를 발광 소자에 공급하므로, 발광 화소는 역치 전압에 영향을 받지 않으며, 신호 전압에 따른 휘도로 발광할 수 있다.
- [0031] 또, 상기 검출 단계는, 상기 제1 스위칭 트랜지스터를 온하는 제1 서브 단계와, 상기 제1 서브 단계 후에, 상기 제1 스위칭 트랜지스터를 오프하는 제2 서브 단계를 포함하고, 상기 제2 서브 단계 후에, 상기 제1 서브 단계 및 상기 제2 서브 단계를 적어도 1회 반복해도 된다.
- [0032] 이에 의해, 복수의 수평 기간에 걸쳐, 구동 트랜지스터의 역치 전압을 검출할 수 있음으로써, 고정밀한 역치 전압의 검출이 가능하다.
- [0033] 또, 상기 제1 서브 단계에서는, 상기 제1 스위칭 트랜지스터와 동일 열에 설치된 상기 신호선으로는 상기 기준 전압이 공급되고, 상기 제2 서브 단계에서는, 당해 신호선으로는 상기 신호 전압 또는 상기 기준 전압이 공급되어도 된다.
- [0034] 이에 의해, 제1 서브 단계에서의 신호선의 전압을, 당해 신호선에 대응하는 열의 구동 트랜지스터의 역치 전압을 검출하기 위한 전압으로 할 수 있으며, 제2 서브 단계에서의 신호선의 전압을 대응하는 열의 발광 화소의 신호 전압으로 할 수 있다. 따라서, 예를 들면, 1수평 기간의 전반은 신호선의 전압을 기준 전압으로 하고, 1수평 기간의 후반은 신호선의 전압을 신호 전압으로 함으로써, 1수평 기간을 분할하여, 전반은 역치 전압 검출을 위한 기간, 후반은 신호 전압의 기록 기간으로 할 수 있다.
- [0035] 또, 상기 복수의 발광 화소의 각각은, 또한, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽과 상기 용량 소자의 상기 타단에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 다른 쪽이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 제2 스위칭 트랜지스터를 구비하며, 상기 검출 단계에 있어서, 상기 제2 스위칭 트랜지스터를 온한 상태로, 상기 제1 스위칭 트랜지스터를 온하여 상기 구동 트랜지스터의 역치 전압을 검출하고, 상기 유지 단계에 있어서, 상기 제2 스위칭 트랜지스터를 온에서 오프로 전환함으로써, 상기 검출 단계에서 검출된 상기 역치 전압을 상기 용량 소자에 유지시키고, 상기 기록 단계에 있어서, 상기 제2 트랜지스터를 오프로 한 상태로 상기 제1 스위칭 트랜지스터가 온으로 되어 있는 기간에 상기 신호선에 상기 신호 전압이 공급됨으로써, 상기 구동 트랜지스터의 게이트 단자에 상기 신호 전압을 공급하며, 상기 발광 단계에 있어서, 상기 제1 스위칭 트랜지스터를 온에서 오프로 전환한 후, 상기 제2 스위칭 트랜지스터를 오프에서 온으로 전환함으로써, 상기 구동 트랜지스터의 게이트 단자 및 소스 단자간의 전위차에 따른 전류를 상기 발광 소자에 흐르게 하여 상기 발광 소자를 발광시키는 것이다.
- [0036] 이에 의해, 제2 스위칭 트랜지스터가 오프로 되어 있는 기간에, 구동 트랜지스터의 게이트 단자에 신호 전압이 공급되므로, 용량 소자의 타단의 전위가 발광 소자의 기생 용량의 영향을 받는 일이 없다. 요컨대, 용량 소자의 유지 전압에 대한 발광 소자의 기생 용량의 영향을 확실하게 저감할 수 있다. 바꿔 말하면, 발광 소자의 기생 용량의 영향을 방지하여, 신호 전압에 따른 정확한 발광 휘도로 발광 소자를 발광시킬 수 있다.
- [0037] 또, 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 상기 다른 쪽은, 동일 행에 설치된 게이트선에 접속되고, 상기 표시 장치의 구동 방법은, 상기 리셋 단계 전에, 상기 제1 스위칭 트랜지스터를 온, 또한 상기 리셋 트랜지스터를 오프함으로써, 상기 발광 소자를 소광시키는 소광 단계를 더 포함해도 된다.

발명의 효과

- [0038] 이상과 같이, 본 발명에 따른 표시 장치는, 적은 소자수로 전원선의 주사를 행하지 않고, 구동 소자의 역치 전

압을 보상할 수 있다.

도면의 간단한 설명

- [0039] 도 1은, 실시 형태 1에 따른 표시 장치의 구성을 도시한 블록도이다.
- 도 2는, 발광 화소의 상세한 구성을 도시한 회로도이다.
- 도 3은, 표시 장치의 동작을 도시한 타이밍 차트이다.
- 도 4는, 발광 화소의 전류의 흐름을 모식적으로 도시한 도면이다.
- 도 5는, 복수의 수평 기간에 걸쳐 역치 전압을 검출하는 경우의 표시 장치의 동작을 도시한 타이밍 차트이다.
- 도 6은, 실시 형태 2에 따른 표시 장치의 구성을 도시한 블록도이다.
- 도 7은, 발광 화소의 상세한 구성을 도시한 회로도이다.
- 도 8은, 표시 장치의 동작을 도시한 타이밍 차트이다.
- 도 9는, 복수의 수평 기간에 걸쳐 역치 전압을 검출하는 경우의 표시 장치의 동작을 도시한 타이밍 차트이다.
- 도 10은, 실시 형태 3에 따른 표시 장치가 갖는 발광 화소의 상세한 구성을 도시한 회로도이다.
- 도 11은, 표시 장치의 동작을 도시한 타이밍 차트이다.
- 도 12는, 발광 화소의 전류의 흐름을 모식적으로 도시한 도면이다.
- 도 13은, 본 발명에 따른 표시 장치를 내장한 박형 플랫 TV의 외관도이다.

발명을 실시하기 위한 구체적인 내용

- [0040] (실시 형태 1)
- [0041] 본 발명의 실시 형태 1에 따른 표시 장치는, 행렬형상으로 배치된 복수의 발광 화소를 구비하는 표시 장치로서, 상기 표시 장치는, 상기 복수의 발광 화소의 행마다 대응하여 설치된 게이트선 및 리셋선과, 상기 복수의 발광 화소의 열마다 대응하여 설치된 신호선을 구비하고, 상기 복수의 발광 화소의 각각은, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 신호선에 접속되고, 당해 게이트 단자가 상기 게이트선에 접속된 제1 스위칭 트랜지스터와, 전류가 흐름으로써 발광하는 발광 소자와, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 제1 스위칭 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 발광 소자에 접속되고, 상기 발광 소자에 전류를 공급하는 구동 트랜지스터와, 게이트 단자와 소스 단자와 드레인 단자를 구비하며, 당해 게이트 단자가 상기 리셋선에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 상기 구동 트랜지스터의 소스 단자 및 드레인 단자의 상기 한쪽에 접속된 리셋 트랜지스터와, 일단이 상기 구동 트랜지스터의 게이트 단자에 접속되고, 타단이 상기 구동 트랜지스터의 상기 소스 단자 및 상기 드레인 단자의 상기 한쪽에 접속된 용량 소자를 구비하며, 상기 리셋 트랜지스터의 소스 단자 및 드레인 단자의 다른 쪽은, 상기 복수의 발광 화소 중 어느 한 행에 대응하여 설치된 게이트선에 접속되어 있다.
- [0042] 이에 의해, 발광 화소당 3개의 트랜지스터로, 전원선을 주사하지 않고, 구동 트랜지스터의 역치 전압을 검출하며, 그 역치 전압을 보상하여 발광 소자를 발광시킬 수 있다. 이와 같이, 구동 트랜지스터의 역치 전압의 편차를 보상하므로, 휘도 얼룩을 해소할 수 있다.
- [0043] 이하, 본 발명의 실시 형태 1에 따른 표시 장치에 대해, 도면을 참조하면서 설명한다.
- [0044] 도 1은, 실시 형태 1에 따른 표시 장치의 구성을 도시한 블록도이다.
- [0045] 상기 도면에 나타난 표시 장치(100)는, 예를 들면, 유기 EL 소자를 이용한 액티브 매트릭스형의 유기 EL 표시 장치이며, 행렬형상으로 배치된 복수의 발광 화소(110)와, 행 주사부(120)와, 신호선 구동부(130)와, 타이밍 제어부(140)를 구비한다.
- [0046] 발광 화소(110)는, 예를 들면 n행×m열의 행렬형상으로 배치되고, 신호선(111), 게이트선(112) 및 리셋선(113)을 통해 행 주사부(120) 및 신호선 구동부(130)로부터 출력되는 게이트 펄스, 리셋 펄스 및 신호 전압에 따라 구동 트랜지스터의 역치 전압을 보상하여 발광한다.

- [0047] 행 주사부(120)는, 복수의 발광 화소(110)의 행마다 대응하여 설치된 게이트선(112) 및 리셋선(113)에 접속되고, 각 게이트선(112) 및 각 리셋선(113)에 주사 신호를 출력함으로써, 복수의 발광 화소(110)를 행 단위로 순차적으로 주사한다. 구체적으로는, 행 주사부(120)는, 각 게이트선(112)을 주사하는 게이트선 구동부(121)와, 각 리셋선(113)을 주사하는 리셋선 구동부(122)를 갖는다. 게이트선 구동부(121)는, 각 게이트선(112)에 대응하는 게이트 펄스(Gate[k])(k 는, $1 \leq k \leq m$ 을 만족하는 정수)를 출력함으로써, 각 게이트선(112)에 대응하는 발광 화소(110)로의 기준 전압 및 기준 전압보다 큰 신호 전압을 선택적으로 대응하는 발광 화소(110)에 공급한다. 리셋선 구동부(122)는, 각 리셋선(113)에 대응하는 리셋 펄스(Rst[k])를 출력함으로써, 각 리셋선(113)에 대응하는 발광 화소(110)에 게이트선(112)의 전압, 즉 게이트 펄스(Gate[k])의 하이레벨 전압 또는 로우레벨 전압을 인가하는 타이밍을 제어한다.
- [0048] 신호선 구동부(130)는, 각 신호선(111)에 접속되고, 각 신호선(111)에 대응하는 신호 전압(Vdata)(예를 들면, 2~8V) 또는 리셋 전압(Vreset)(예를 들면, 0V)을 신호선 전압(Sig[j])(j 는, $1 \leq k \leq n$ 을 만족하는 정수)으로서 공급한다. 신호 전압(Vdata)은, 발광 화소(110)의 발광 휘도에 대응하는 전압이며, 리셋 전압(Vreset)은, 발광 화소(110)를 소광하기 위한 또는 구동 트랜지스터의 역치 전압을 검출하기 위한 전압이다.
- [0049] 타이밍 제어부(140)는, 행 주사부(120) 및 신호선 구동부(130)에 구동 타이밍을 지시한다. 또한, 행 주사부(120), 신호선 구동부(130) 및 타이밍 제어부(140)는, 본 발명의 구동부이다.
- [0050] 다음에, 발광 화소(110)의 상세한 구성에 대해 설명한다. 또한, 이하에서는, 1개의 발광 화소(110)의 구성에 대해 설명하지만, 도 1에 나타난 복수의 발광 화소(110) 각각은 동일한 구성을 갖는다. 또, 당해 발광 화소(110)에 대응하는 게이트선(112)에 대해 게이트선 구동부(121)로부터 출력되는 게이트 펄스(Gate[k])를 간단히 게이트 펄스(Gate)로 하고, 당해 발광 화소(110)에 대응하는 리셋선(113)에 대해 리셋선 구동부(122)로부터 출력되는 리셋 펄스(Rst[k])를 간단히 리셋 펄스(Rst)로 하며, 당해 발광 화소(110)에 대응하는 신호선(111)에 대해 공급되는 신호선 전압(Sig[j])을 간단히 신호선 전압(Sig)으로 한다.
- [0051] 도 2는, 도 1에 나타난 발광 화소(110)의 상세한 구성을 도시한 회로도이다. 또한, 상기 도면에는, 발광 화소(110)에 대응하는 신호선(111), 게이트선(112) 및 리셋선(113)도 나타나 있다.
- [0052] 발광 화소(110)는, 발광 소자(OLED)와, 행 선택 트랜지스터(T1)와, 리셋 트랜지스터(T2)와, 구동 트랜지스터(T3)와, 용량 소자(CS)를 구비한다.
- [0053] 발광 소자(OLED)는, 전류가 흐름으로써 발광하는 소자이며, 애노드가 구동 트랜지스터의 소스 단자에 접속되고, 캐소드가 전압(VSS)(예를 들면, 0V)의 전원선에 접속된, 예를 들면 유기 EL 소자이다. 이 발광 소자(OLED)는, 신호선(111) 및 행 선택 트랜지스터(T1)를 통해 구동 트랜지스터(T3)의 게이트 단자에 신호 전압(Vdata)이 인가됨으로써 흐르는 전류에 의해 발광한다. 따라서, 발광 소자(OLED)의 휘도는, 신호선(111)에 인가되는 신호 전압(Vdata)의 크기에 대응한다.
- [0054] 행 선택 트랜지스터(T1), 리셋 트랜지스터(T2) 및 구동 트랜지스터(T3)는, 예를 들면 n 형의 TFT(박막 트랜지스터)이다.
- [0055] 행 선택 트랜지스터(T1)는, 본 발명의 제1 스위칭 트랜지스터이며, 게이트선(112)의 전압에 따라, 구동 트랜지스터(T3)의 제어 단자인 게이트 단자에 신호 전압을 인가할지의 여부를 전환한다. 구체적으로는, 행 선택 트랜지스터(T1)는, 게이트 단자가 게이트선(112)에 접속되고, 소스 단자 및 드레인 단자의 한쪽이 신호선(111)에 접속되며, 소스 단자 및 드레인 단자의 다른 쪽이 구동 트랜지스터(T3)의 게이트 단자에 접속되어 있다. 따라서, 행 선택 트랜지스터(T1)는, 게이트선(112)에 인가되어 있는 전압에 따라, 신호선(111)과 구동 트랜지스터(T3)의 게이트 단자의 도통 및 비도통을 전환한다. 요컨대, 행 선택 트랜지스터(T1)는, 게이트 펄스(Gate)가 하이레벨인 기간, 신호선(111)에 인가되어 있는 기준 전압(Vreset) 또는 신호 전압(Vdata)을 구동 트랜지스터(T3)의 게이트 단자에 공급한다.
- [0056] 리셋 트랜지스터(T2)는, 구동 트랜지스터(T3)의 역치 전압을 검출하기 위해, 구동 트랜지스터(T3)의 소스 단자의 전압인 V_2 를 설정한다. 구체적으로는, 리셋 트랜지스터(T2)는, 게이트 단자가 리셋선(113)에 접속되고, 소스 단자 및 드레인 단자의 한쪽이 게이트선(112)에 접속되며, 소스 단자 및 드레인 단자의 다른 쪽이 구동 트랜지스터(T3)의 소스 단자에 접속되어 있다. 따라서, 리셋 트랜지스터(T2)는, 리셋 펄스(Rst)가 하이레벨인 기간에, 게이트선(112)과 구동 트랜지스터(T3)의 소스 단자를 도통함으로써, 게이트선(112)의 전압을 V_2 의 전압으로 설정한다.

- [0057] 구동 트랜지스터(T3)는, 발광 소자(OLED)에 전류를 공급한다. 구체적으로는, 구동 트랜지스터(T3)는, 게이트 단자가 행 선택 트랜지스터(T1)를 통해 신호선(111)에 접속되고, 드레인 단자가 전압(VDD)(예를 들면, 10V)의 전원선에 접속되며, 소스 단자가 발광 소자(OLED)의 애노드에 접속되어 있다. 구동 트랜지스터(T3)는, 게이트 단자에 공급된 전압을, 그 전압의 크기에 따른 전류로 변환한다. 따라서, 구동 트랜지스터(T3)는, 게이트선(112)의 전압이 하이레벨인 기간에 신호선(111)에 공급되어 있는 전압, 즉 기준 전압(Vreset) 또는 신호 전압(Vdata)에 따른 전류를 발광 소자(OLED)에 공급한다.
- [0058] 단, 기준 전압(Vreset)에 따른 전류는 발광 소자(OLED)를 발광시키기에는 불충분하고, 구동 트랜지스터(T3)의 게이트 단자의 전압인 V1이 기준 전압(Vreset)인 경우에는, 발광 소자(OLED)는 발광하지 않는다. 한편, V1이 신호 전압(Vdata)인 경우에는, 발광 소자(OLED)가 발광하기 위해 충분한 전류가 흘러, 발광 소자(OLED)는 신호 전압(Vdata)에 따른 휘도로 발광한다.
- [0059] 용량 소자(CS)는, 일단이 구동 트랜지스터(T3)의 게이트 단자에 접속되고, 타단이 구동 트랜지스터(T3)의 소스 단자에 접속됨으로써, 구동 트랜지스터(T3)의 게이트-소스간의 전압을 유지한다. 요컨대, 이 용량 소자(CS)는, 구동 트랜지스터(T3)의 역치 전압을 유지하는 것이 가능하다.
- [0060] 다음에, 상술한 표시 장치(100)의 구동 방법에 대해 도 3 및 도 4를 이용하여 설명한다.
- [0061] 도 3은, 실시 형태 1에 따른 표시 장치(100)의 동작을 도시한 타이밍 차트이다. 상기 도면에 있어서는, 가로축은 시간을 나타내고, 세로 방향에는 위에서부터 순서대로, 게이트 펄스(Gate), 리셋 펄스(Rst), 구동 트랜지스터(T3)의 게이트 단자의 전압인 V1, 구동 트랜지스터(T3)의 소스 단자의 전압인 V2, 및 신호선(111)에 인가되는 신호선 전압(Sig)의 파형이 나타나 있다.
- [0062] 도 4는, 실시 형태 1에 따른 표시 장치(100)의 발광 화소(110)에 있어서의 전류의 흐름을 모식적으로 도시한 도면이다. 여기에서, 게이트 펄스(Gate)의 하이레벨 전압을 VGate(H), 게이트 펄스(Gate)의 로우레벨 전압을 VGate(L), 리셋 펄스(Rst)의 하이레벨 전압을 VRst(H), 리셋 펄스(Rst)의 로우레벨 전압을 VRst(L)로 한다.
- [0063] 시각 t0 이전에 있어서, 발광 소자(OLED)는 직전의 수직 기간에 있어서의 신호 전압(Vdata)에 따라 발광하고 있다. 구체적으로는, V1이 직전의 수직 기간에 있어서의 신호 전압(Vdata)으로 되어 있으며, 그 신호 전압(Vdata)에 의해 구동 트랜지스터(T3)가 발광 소자(OLED)에 구동 전류를 공급하고 있다.
- [0064] 다음에, 시각 t0(리셋 [1] 기간의 개시 시각)에 있어서, 게이트 펄스(Gate)를 로우레벨에서 하이레벨로 함으로써, 행 선택 트랜지스터(T1)를 온시킨다. VGate(L)은 예를 들면 -5V이며, VGate(H)는 예를 들면 12V이다.
- [0065] 행 선택 트랜지스터(T1)가 온함으로써, 신호선(111)과 구동 트랜지스터(T3)의 게이트 단자가 도통하고, V1은, 신호선(111)에 공급되어 있는 전압과 동일해진다. 시각 t0에 있어서는, 신호선(111)의 전압은 기준 전압인 Vreset이므로, 리셋 [1] 기간에, V1은 Vreset로 천이한다. 여기에서, Vreset의 전압은 이하의 식 1의 조건을 만족하는 전압으로 한다. 단, Vth(EL)은, 발광 소자(OLED)의 발광 개시 전압이며, Vth(TFT)는, 구동 트랜지스터(T3)의 게이트 단자-소스 단자간의 역치 전압이다.
- [0066]
$$Vreset < Vth(EL) + Vth(TFT) \quad (\text{식 1})$$
- [0067] 요컨대, Vreset는, 발광 소자(OLED)를 확실하게 소광시키는 전압이다.
- [0068] 또, 이 때, 리셋 펄스(Rst)는 로우레벨이므로, 리셋 트랜지스터(T2)는 오프되어 있다. 이 때, 구동 트랜지스터(T3)는, 게이트 단자에 인가되어 있는 전압이 앞 프레임의 신호 전압보다 낮은 기준 전압(Vreset)이 되므로, 발광 소자에 공급할 수 있는 전류는 감소한다. 이에 의해, V2는 직전의 프레임 기간에 있어서의 발광 전위로부터 발광 소자(OLED)의 발광 개시 전압(Vth(EL))으로 천이한다.
- [0069] 다음에, 시각 t1(리셋 [2] 기간의 개시 시각)에 있어서, 게이트 펄스(Gate)를 로우레벨, 리셋 펄스(Rst)를 하이레벨로 한다. 게이트 펄스(Gate)가 로우레벨이 됨으로써, 행 선택 트랜지스터(T1)는 오프하고, 신호선(111)과 구동 트랜지스터(T3)의 게이트 단자는 비도통이 된다. 한편, 리셋 펄스(Rst)가 하이레벨이 됨으로써, 리셋 트랜지스터(T2)는 온하고, 게이트선(112)과 구동 트랜지스터(T3)의 소스 단자는 도통한다. 따라서, V2는, 게이트 펄스(Gate)의 로우레벨 전압(VGate(L))이 된다. 여기에서, VGate(L)는 이하의 식 2를 만족하는 전압으로 한다.
- [0070]
$$VGate(L) < Vreset - Vth(TFT) \quad (\text{식 2})$$
- [0071] 또, V1의 전압은, 구동 트랜지스터(T3)의 게이트 단자와 발광 소자(OLED)의 애노드의 사이에 삽입된 용량 소자(CS)에 의해, 리셋 [1] 기간에서 리셋 [2] 기간에 있어서의 V2의 전압 변동과 동일한 만큼 변화한다. 구체적으로

로는, 리셋 [1] 기간에서 리셋 [2] 기간에 걸쳐, V2의 전압은 VGate(L)-Vth(EL)만큼 변동하였으므로, V1의 전압은, 리셋 [1] 기간의 전압에 그 변동분을 가산한 Vreset+VGate(L)-Vth(EL)이 된다.

[0072] 다음에, 시각 t2(리셋 [2] 기간의 종료 시각)에 있어서, 리셋 펄스(Rst)가 로우레벨이 됨으로써 리셋 트랜지스터(T2)가 오프하므로, 게이트선(112)과 구동 트랜지스터(T3)의 소스 단자는 비도통이 된다. 따라서, 용량 소자(CS)에는, 이 때의 V1과 V2의 전위차가 유지된다.

[0073] 도 3의 시각 t0~t2에 나타낸 리셋 기간에서는, 용량 소자(CS)의 일단에는 신호선(111)으로부터 기준 전압(Vreset)을 설정하고, 상기 용량 소자(CS)의 타단에는 고정 전압을 설정하며, 용량 소자(CS)에 소정의 전위차의 전압을 설정할 필요가 있다. 이 리셋 기간을 리셋 [1] 기간인 T1 기간(시각 t0~t1)과 리셋 [2] 기간인 T2 기간(시각 t1~t2)의 2개의 기간으로 구분하고, 기간 T1에서는, 용량 소자(CS)의 일단에 기준 전압(Vreset)을 설정하고, 한편, 기간 T2에서는, 용량 소자(CS)의 타단에 고정 전압을 설정한다.

[0074] 여기에서, 기간 T1에서는, 용량 소자(CS)의 일단에 신호선(111)으로부터 기준 전압(Vreset)을 설정하므로, 게이트선(112)에 하이레벨 전압(VGate(H))을 공급하여 행 선택 트랜지스터(T1)를 온으로 할 필요가 있다. 한편, 기간 T2에서는 용량 소자(CS)의 일단에 설정된 기준 전압(Vreset)을 고정하므로, 게이트선(112)에 로우레벨 전압(VGate(L))을 공급하여 행 선택 트랜지스터(T1)를 오프로 할 필요가 있다. 게이트선(112)에 로우레벨 전압(VGate(L))을 공급할 때, 게이트선(112)은 행 단위로 배치되어 있으므로, 행 단위로 로우레벨 전압(VGate(L))이 공급된다. 이것은, T2 기간에서는 행 단위로 고정 전압(VGate(L))이 설정된 것과 동일한 상태가 되는 것을 의미한다.

[0075] 그래서, 리셋 기간 중에서, 용량 소자(CS)의 타단에 고정 전압을 설정하는 기간 T2에서는, 상기 로우레벨 전압(VGate(L))이 공급되어 고정 전위(VGate(L))로 된 상태의 게이트선(112)을 소정의 전원선으로 간주하여, 상기 게이트선(112)에 상기 용량 소자(CS)의 타단을 접속하도록 하였다.

[0076] 이에 의해, 게이트선(112)을, 고정 전위(VGate(L))를 공급하기 위한 전원선으로서 겸용하여, 상기 용량 소자(CS)의 타단에는 상기 게이트선(112)을 통해 고정 전위(VGate(L))를 공급하고 있으므로, 상기 용량 소자(CS)의 타단에 고정 전위(VGate(L))를 공급하기 위한 전원선을 삭감할 수 있다. 그 결과, 간소한 구성으로 상기 용량 소자(CS)의 타단에 고정 전위(VGate(L))를 설정할 수 있다.

[0077] 다음에, 시각 t3(Vth 검출 기간의 개시 시각)에 있어서, 게이트 펄스(Gate)가 하이레벨이 됨으로써, V1은 재차 Vreset가 된다. 이 때, V2에는, 용량 소자(CS)와, 발광 소자(OLED)의 애노드-캐소드간의 기생 용량의 용량비에 따른 전위 변동이 생긴다. 그 결과, V2는 식 3에 나타낸 바와 같은 값이 된다.

[0078]
$$V2 = \alpha VGate(L) + (1 - \alpha)Vth(EL) \quad (\text{식 } 3)$$

[0079] 단, $\alpha = C_{el} / (C_s + C_{el})$ 이다. 또, C_s 는 용량 소자(CS)의 용량이며, C_{el} 은 발광 소자(OLED)의 애노드-캐소드간의 기생 용량이다.

[0080] 또 여기에서, 각 전압 및 용량은 하기의 식 4 및 식 5를 만족한다.

[0081]
$$VGate(L) - (VGate(L) - Vth(EL)) \cdot C_s / (C_s + C_{el}) < Vth(EL) \quad (\text{식 } 4)$$

[0082]
$$Vreset - VGate(L) + (VGate(L) - Vth(EL)) \cdot C_s / (C_s + C_{el}) > Vth(TFT) \quad (\text{식 } 5)$$

[0083] 식 4에서는, 시각 t3에 있어서, 용량비에 따른 전위 변동이 V2에 생겨도, V2의 전위가 OLED의 역치 전압(Vth(EL)) 이하로 OLED에 흐르는 전류를 무시할 수 있는 조건을 나타내고 있다. 또 식 5에서는 시각 t3에 있어서의 V2의 전위 변동이 생겨도, 구동 트랜지스터(T3)에는 역치 전압(Vth(TFT)) 이상의 전위차가 용량 소자(CS)에 유지되는 조건을 나타내고 있다. 식 5에 있어서, V1과 V2의 전위차가 구동 트랜지스터(T3)의 역치 전압(Vth(TFT)) 이상이면, 구동 트랜지스터(T3)가 온 상태가 되어, 구동 트랜지스터(T3)에 전류가 흐른다. 요컨대, 리셋 [2] 기간에 있어서 V2가 식 2를 만족하고, 또한 시각 t3에 있어서 식 4 및 식 5가 만족됨으로써, 구동 트랜지스터(T3)에 전류가 흐른다. 이 전류는, V1과 V2의 전위차가 구동 트랜지스터(T3)의 역치 전압(Vth(TFT))이 될 때까지 흐른다.

[0084] 시각 t4에 있어서, V1과 V2의 전위차가 Vth(TFT)가 되면 구동 트랜지스터(T3)는 오프하여, 전류는 흐르지 않게 된다. 따라서, 여기에서, 용량 소자(CS)에는 구동 트랜지스터(T3)의 역치 전압(Vth(TFT))이 유지된다.

[0085] 그 후, 시각 t5~t6의 기록 기간에 있어서, 신호선(111)에 신호 전압(Vdata)을 인가한다. 이에 의해, V1의 전압은 Vdata가 되고, 시각 t5에 있어서의 V2는 식 6이 된다.

- [0086] $V_2 = (1 - \alpha)(V_{data} - V_{reset}) + V_{reset} - V_{th}(TFT)$ (식 6)
- [0087] 따라서, V_1 과 V_2 의 전위차, 즉 구동 트랜지스터(T3)의 게이트-소스 단자간의 전압(V_{gs})은, 식 7로 나타내어진다.
- [0088] $V_{gs} = \alpha(V_{data} - V_{reset}) + V_{th}(TFT)$ (식 7)
- [0089] 요컨대, 기록 기간에 있어서, V_{gs} 에는, 신호 전압(V_{data})과 기준 전압(V_{reset})의 차에, 역치 전압($V_{th}(TFT)$)만큼 더한 전압, 즉 역치 전압($V_{th}(TFT)$)을 보상한 전압이 기록된다.
- [0090] 다음에, 시각 t_6 에 있어서, 게이트 펄스(Gate)가 로우레벨이 되면 V_{gs} 에 기록된 전압에 따른 전류가 발광 소자(OLED)에 흐른다. 요컨대, 역치 전압($V_{th}(TFT)$)을 보상한 전압에 따른 전류가 발광 소자(OLED)에 흐르므로, 구동 트랜지스터(T3)의 특성 편차에 의해, 동일한 신호 전압(V_{data})을 부여하고 있음에도 불구하고 휘도 얼룩이 생긴다는 문제를 해소할 수 있다.
- [0091] 이상과 같이, 본 실시 형태에 따른 표시 장치(100)는, 리셋 트랜지스터(T2)를 게이트선(112)과 구동 트랜지스터(T3)의 소스 단자의 사이에 삽입하여, 게이트선(112)에 공급되는 게이트 펄스(Gate)의 로우레벨의 전압을 구동 트랜지스터(T3)의 역치 전압을 검출하기 위한 전압으로 하였다.
- [0092] 이에 의해, 본 실시 형태에 따른 표시 장치(100)는, 발광 화소(110)당 3개의 트랜지스터로, 전원선을 주사하지 않고, 구동 트랜지스터(T3)의 역치 전압을 검출하며, 그 역치 전압을 보상하여 발광 소자(OLED)를 발광시킬 수 있다. 이와 같이, 구동 트랜지스터(T3)의 역치 전압의 편차를 보상하므로, 휘도 얼룩을 해소할 수 있다.
- [0093] 또, 게이트 펄스(Gate)의 로우레벨 시의 전압은, 구동 트랜지스터(T3)의 역치 전압($V_{th}(TFT)$) 이상 기준 전압(V_{reset})보다 낮은 전압이므로, 리셋 [2] 기간에 있어서, 구동 트랜지스터(T3)의 소스 단자의 전압을, 구동 트랜지스터(T3)의 역치 전압($V_{th}(TFT)$) 이상 기준 전압(V_{reset})보다 낮은 전압으로 할 수 있다. 요컨대, 리셋 [2] 기간에 있어서의 V_2 의 전압 즉 $V_{Gate}(L)$ 을, $V_{reset} - V_{th}(TFT)$ 보다 낮은 전압으로 할 수 있다. 따라서, 그 후의 V_{th} 검출 기간에 있어서, 구동 트랜지스터(T3)의 역치 전압($V_{th}(TFT)$)의 검출을 확실하게 행할 수 있다.
- [0094] 또, 리셋 [2] 기간에서 게이트 펄스(Gate)가 로우레벨이 되기 전에, 리셋 [1] 기간에 있어서, 게이트 펄스(Gate)를 하이레벨 또한 리셋 펄스(Rst)를 로우레벨로 한다. 이에 의해, 발광 소자(OLED)를 소광할 수 있다. 구체적으로는, 리셋 [1] 기간을 설치하지 않고 리셋 [2] 기간의 동작을 행한 경우, 구동 트랜지스터(T3)의 게이트 단자에는 직전의 프레임 기간에 있어서의 신호 전압(V_{data})이 인가되어 있으므로, 리셋 기간 [2] 종료 후, 그 신호 전압(V_{data})의 설정치에 의해서는, 구동 트랜지스터(T3)의 게이트 및 소스 단자간 전압이 역치 전압($V_{th}(TFT)$) 이상인 채로 되어, V_{data} 에 따른 전류를 흐르게 하여 버린다. 그 결과, 발광 소자(OLED)를 소광할 수 없다. 상기 설명과 같이, 리셋 [1] 기간을 설치함으로써, 구동 트랜지스터(T3)의 게이트 단자의 전압을 기준 전압(V_{reset})으로 하므로, 리셋 [2] 기간에 있어서 구동 트랜지스터(T3)의 게이트 및 소스 단자간 전압을 역치 전압($V_{th}(TFT)$) 이하가 되는 오프 상태로 하면서 V_2 의 전압을 확실하게 게이트 펄스(Gate)의 로우레벨 전압($V_{Gate}(L)$)으로 할 수 있다.
- [0095] 또한, 본 실시 형태의 표시 장치(100)는, 복수의 수평 기간에 걸쳐, 역치 전압의 검출을 행해도 된다. 이에 의해, 용량 소자(CS)에 역치 전압($V_{th}(TFT)$)을 유지시키기 위한 기간을 길게 취할 수 있으므로, 용량 소자(CS)에 유지되는 전압이 안정되어, 고정밀한 역치 전압 보상을 실현할 수 있다.
- [0096] (실시 형태 1의 변형예)
- [0097] 도 5는, 복수의 수평 기간에 걸쳐 역치 전압을 검출하는 경우의 표시 장치(100)의 동작을 도시한 타이밍 차트이다. 상기 도면에 있어서, 가로축은 시간을 나타내고, 위에서부터 순서대로 1행째의 발광 화소에 대응하는 게이트선(112)에 인가되는 게이트 펄스(Gate[1]), 리셋선(113)에 인가되는 리셋 펄스(Rst[1]), 1행째의 화소의 $V_1[1]$ 의 전압 파형 및 1행째의 화소의 $V_2[1]$ 의 전압 파형과, 2~6행째의 발광 화소의 게이트 펄스(Gate[2]~Gate[6])와, 2~6행째의 발광 화소의 리셋 펄스(Rst[2]~Rst[6])와, 신호선(111)의 신호선 전압(Sig)이 나타나 있다. 또한, 상기 도면에는, 복수의 발광 화소(110)의 1개의 열에 대응하는 타이밍 차트가 나타나 있다. 또, 행마다 대응하는 게이트 펄스(Gate[1]~[m]) 및 리셋 펄스(Rst[1]~[m]) 중, 6행분만이 나타나 있다.
- [0098] 신호선 구동부(130)는, 신호선(111)에 대해, 각 수평 기간의 후반은 기준 전압(V_{reset})을 공급하고, 각 수평 기간의 전반은 각 신호선(111)이 대응하는 열의 표시 화소의 신호 전압(V_{data})을 공급한다. 또, 게이트선 구동부(121) 및 리셋선 구동부(122)는, 1수평 기간씩 어긋나게 하여, 각 게이트 펄스(Gate[1]~[6]) 및 각 리셋 펄스

(Rst[1]~[6])를 각 게이트선(112) 및 각 리셋선(113)에 공급한다.

- [0099] 우선 시각 t0~t2의 리셋 [1] 기간 및 리셋 [2] 기간에 있어서, 게이트선 구동부(121) 및 리셋선 구동부(122)는, 상기 실시 형태 1에서 설명한 바와 같이 게이트 펄스(Gate[1])를 한번 하이레벨로 한 후에 로우레벨로 하고, 리셋 펄스(Rst[1])를 하이레벨로 함으로써, V2[1]의 전압을 기준 전압(Vreset)으로부터 역치 전압(Vth(TFT))분보다 낮은 전압으로 한다. 또한, 게이트선 구동 시각 t0의 1수평 기간 후의 시각 t1에 있어서, 2행째의 게이트 펄스(Gate[2])가 하이레벨이 되어, 2행째의 리셋 [1] 기간이 시작된다.
- [0100] 다음에, 시각 t3에 있어서, 게이트 펄스(Gate[1])를 하이레벨로 함으로써, V1이 기준 전압으로 되어, 구동 트랜지스터(T3)에 전류가 흐른다. 따라서, V2가 상승하기 시작한다.
- [0101] 다음에, 시각 t4에 있어서, 2행째의 리셋선(113)의 리셋 펄스(Rst[2]) 및 3행째의 게이트선(112)의 게이트 펄스(Gate[3])가 내려간다.
- [0102] 이후, 각 수평 기간의 후반만 게이트 펄스(Gate[1])가 하이레벨이 됨으로써, V2는 Vreset-Vth(TFT)로 천이한다.
- [0103] 상술한 바와 같이, 신호선(111)으로는, 각 수평 기간의 후반에 있어서는 기준 전압인 Vreset가 공급되고, 각 수평 기간의 전반에 있어서는 대응하는 열의 발광 화소(110)의 휘도에 대응하는 Vdata가 공급되고 있다.
- [0104] 따라서, Vth 검출 기간에 있어서, 각 게이트 펄스(Gate[1]~Gate[6])가 각 수평 기간의 후반에 하이레벨이 됨으로써, V1에 기준 전압(Vreset)을 공급하므로, 구동 트랜지스터(T3)의 역치 전압을 검출하기 위해 필요한 기간의 일부를 확보할 수 있다. 이와 같이, 각 게이트 펄스(Gate[1]~Gate[6])는, 수평 기간의 후반에 하이레벨이 되는 동작을 복수의 수평 기간에 걸쳐 반복함으로써, 역치 전압의 검출에 필요한 시간을 충분히 확보할 수 있다.
- [0105] 한편, 각 게이트 펄스(Gate[1]~Gate[6])는, 각 수평 기간의 전반에 로우레벨이 됨으로써, 각 수평 기간의 전반은 신호선(111)과 구동 트랜지스터(T3)의 게이트 단자를 비도통으로 하여, 신호 전압(Vdata)이 공급되지 않도록 한다.
- [0106] 이상과 같이, 본 변형예에 따른 표시 장치는, 각 수평 기간의 후반을 역치 전압(Vth(TFT))의 검출 기간으로 하고, 그것을 복수의 수평 기간에 걸쳐 반복함으로써, 역치 전압(Vth(TFT))의 검출에 필요한 시간을 확보하고 있다. 따라서, 용량 소자(CS)에 유지되는 전압이 안정되어, 그 결과, 고정밀한 역치 전압 보상을 할 수 있다.
- [0107] 또한, 도 5에 있어서는, Vth 검출 기간을 4수평 기간으로 하였지만, Vth 검출 기간에 요하는 수평 기간은 4수평 기간에 한정되지 않으며, 구동 트랜지스터(T3)의 역치 전압(Vth(TFT))을 검출하는데, 충분한 시간이 확보되어 있으면 된다.
- [0108] (실시 형태 2)
- [0109] 실시 형태 2의 표시 장치는, 실시 형태 1의 표시 장치(100)와 거의 동일하지만, 리셋 트랜지스터가 구동 트랜지스터의 소스 단자와 다음 행에 설치된 게이트선의 사이에 삽입되어 있는 점이 상이하다. 이에 의해, 게이트선을 액티브 상태로 하고, 또한 리셋선을 액티브 상태로 한 경우에도, 구동 트랜지스터의 소스 단자의 전압을 다음 행의 게이트선의 전압으로 할 수 있으므로, 다음 행의 게이트선의 전압을 구동 트랜지스터의 역치 전압분 이상 기준 전압보다 낮은 전압으로 함으로써, 구동 트랜지스터의 역치 전압의 검출을 확실하게 행하는 것이 가능해진다. 요컨대, 리셋 트랜지스터를 동일 행의 게이트선과 접속한 경우와 비교하여, 발광 소자의 소광과, 구동 트랜지스터의 소스 단자의 전압 설정을 동시에 할 수 있으므로, 1프레임 기간에 있어서, 더욱 많은 시간을 구동 트랜지스터의 역치 전압의 검출에 할당할 수 있다. 이하, 실시 형태 2에 따른 표시 장치가 실시 형태 1에 따른 표시 장치(100)와 비교하여 상이한 점을 중심으로 서술한다.
- [0110] 이하, 본 발명의 실시 형태 2에 따른 표시 장치에 대해, 도면을 참조하면서 설명한다.
- [0111] 도 6은, 실시 형태 2에 따른 표시 장치의 구성을 도시한 블록도이다.
- [0112] 상기 도면에 나타난 표시 장치(200)는, 도 1에 나타난 표시 장치(100)와 비교하여, 또한, 각 발광 화소(210)가 다음 행의 게이트선(112)과 접속되어 있는 점이 상이하다. 또, 표시 장치(200)는 더미 게이트선(201)을 더 구비한다.
- [0113] 더미 게이트선(201)은, 복수의 발광 화소(210)의 최종 행의 발광 화소(210)에 접속되고, 게이트선(112)과 동일하게 게이트선 구동부(121)에 의해 주사된다. 게이트선 구동부(121)는, 더미 게이트선(201)에 대해, 게이트 펄스(Gate[m])를 1수평 기간 늦춘 펄스인 게이트 펄스(Gate[d])를 출력한다.

- [0114] 도 7은, 도 6에 나타난 발광 화소(210)의 상세한 구성을 도시한 회로도이다. 또한, 상기 도면에 나타난 발광 화소(210)는 k행째에 설치된 발광 화소(210)이다. 또, 상기 도면에는, 발광 화소(210)에 대응하는 신호선(111)과, k행째의 게이트선인 게이트선(112(k)) 및 k+1행째의 게이트선인 게이트선(112(k+1))과, 리셋선(113)도 나타나 있다.
- [0115] 상기 도면에 나타난 발광 화소(210)는, 도 2에 나타난 발광 화소(110)와 비교하여, 리셋 트랜지스터(T2)를 대신하여, 리셋 트랜지스터(T2')를 구비한다. 이 리셋 트랜지스터(T2')는, 실시 형태 1에 나타난 발광 화소(110)의 리셋 트랜지스터(T2)와 비교하여, 구동 트랜지스터(T3)의 소스 단자와 다음 행의 게이트선(112(k+1))의 사이에 삽입되어 있다.
- [0116] 이러한 구성으로 함으로써, 본 실시 형태에 따른 표시 장치(200)의 발광 화소(210)는, 구동 트랜지스터(T3)의 소스 단자의 전위, 즉 V2를 다음 행의 게이트선(112(k+1))의 전압을 이용하여 설정할 수 있다.
- [0117] 도 8은, 실시 형태 2에 따른 표시 장치(200)의 동작을 도시한 타이밍 차트이다. 상기 도면의 세로축에는, 도 3의 타이밍 차트와 비교하여, 또한 다음 행의 게이트선(112(k+1))에 공급되는 게이트 펄스(Gate[k+1])가 나타나 있다. 또한, 게이트 펄스(Gate[k+1])의 로우레벨의 전압은, Vreset-Vth(TFT)보다 낮은 값을 나타내는 전압이다.
- [0118] 우선, 시각 t0에 있어서, 게이트 펄스(Gate[k])는 로우레벨에서 하이레벨로 상승한다. 또, 리셋 펄스(Rst)도 로우레벨에서 하이레벨로 상승한다. 이에 의해, 행 선택 트랜지스터(T1)가 온하고, 동시에 리셋 트랜지스터(T2')도 온한다.
- [0119] 이 때, 리셋 트랜지스터(T2')는 다음 행의 게이트선(112(k+1))과 구동 트랜지스터(T3)의 소스 단자를 도통하므로, V2는, 다음 행의 게이트선(112(k+1))에 공급되어 있는 게이트 펄스(Gate[k+1])의 전압이 된다. 이 시각 t0에 있어서, 다음 행의 게이트 펄스(Gate[k+1])는 로우레벨이므로, V2는 VGate(L)이 된다.
- [0120] 또, V1은, 행 선택 트랜지스터(T1)가 온함으로써 신호선(111)의 전압이 된다. 시각 t1에 있어서, 신호선의 전압은 기준 전압(Vreset)이므로, V1은 Vreset로 천이한다.
- [0121] 이와 같이, 본 실시 형태의 표시 장치(200)는, 발광 화소의 동일 행의 게이트 펄스(Gate[k])를 하이레벨로 하고, 또한 리셋 펄스(Rst)를 하이레벨로 한 경우에도, 구동 트랜지스터(T3)의 소스 단자의 전압을 다음 행의 게이트선(112(k+1))의 전압으로 할 수 있다. 여기에서, 다음 행의 게이트 펄스(Gate[k+1])가 로우레벨이며, 이 로우레벨의 전압이 Vreset-Vth(TFT)보다 낮은 전압인 것에 의해, 구동 트랜지스터(T3)의 역치 전압(Vth(TFT))의 검출을 확실하게 할 수 있다.
- [0122] 따라서, 실시 형태 1에 따른 표시 장치(100)에서는 Vth 검출 기간 전에, 리셋 [1] 기간 및 리셋 [2] 기간이 필요하였지만, 본 실시 형태에 따른 표시 장치(200)에서는, 표시 장치(100)와 비교하여, 반분의 기간에서 역치 전압 검출을 위한 예비 동작을 행할 수 있다.
- [0123] 구체적으로는, 도 8의 시각 t0~t1에 나타난 리셋 기간에서는, 용량 소자(CS)의 일단에는 신호선(111)으로부터 기준 전압(Vreset)을 설정하고, 상기 용량 소자(CS)의 타단에는 고정 전압을 설정하여, 용량 소자(CS)에 소정의 전위차의 전압을 설정할 필요가 있다. 실시 형태 1의 표시 장치(100)에서는, 용량 소자(CS)에 소정의 전위차의 전압을 설정하기 위해, 리셋 [1] 기간인 도 3의 시각 t0~t1과, 리셋 [2] 기간인 도 3의 시각 t1~t2의 2개의 기간으로 구분하여, 용량 소자(CS)의 일단에 기준 전압(Vreset)을 설정하는 기간과, 용량 소자(CS)의 타단에 고정 전압을 설정하는 기간으로 나누고 있었다. 이에 반해, 본 실시 형태에서는, 용량 소자(CS)의 일단에 기준 전압(Vreset)을 설정하는 기간과, 용량 소자(CS)의 타단에 고정 전압을 설정하는 기간을 동시에 할 수 있다.
- [0124] 여기에서, 도 8의 시각 t0~t1에서는, 용량 소자(CS)의 일단에 기준 전압(Vreset)을 공급할 때에, 행 선택 트랜지스터(T1)를 온으로 할 필요가 있으며, 게이트 펄스(Gate[k])는 하이레벨 전압(VGate(H))으로 할 필요가 있다. 이 때, 다음 행에 대응하는 게이트 펄스(Gate[k+1])는 로우레벨 전압(VGate(L))으로 되어 있다. 그래서, 리셋 트랜지스터(T2')를 온으로 함으로써, 용량 소자(CS)의 타단에 게이트 펄스(Gate[k+1])의 전압인 VGate[L]이 설정된다.
- [0125] 요컨대, 실시 형태 1에 있어서, 역치 전압 검출을 위한 예비 동작은, 당해 동작을 행하고 있는 발광 화소(110)가 속하는 행에 대응하는 게이트선(112)을, 고정 전위(VGate(L))를 공급하기 위한 전원선으로서 겸용하고 있었다. 이에 반해, 본 실시 형태에서, 역치 전압 검출을 위한 예비 동작을 행하고 있는 발광 화소(210)가 속하는 행의 다음 행에 대응하는 게이트선(112)을, 고정 전위(VGate(L))를 공급하기 위한 전원선으로서 겸용한다. 이

에 의해, 본 실시 형태의 표시 장치(200)는, 실시 형태 1의 표시 장치(100)와 비교하여, 반분의 기간에서 용량 소자(CS)의 타단에 고정 전위(VGate(L))를 설정할 수 있다. 요컨대, 표시 장치(100)와 비교하여, 반분의 기간에서 역치 전압 검출을 위한 예비 동작을 행할 수 있다.

- [0126] 다음에, 리셋 기간의 종료 시각인 시각 t1에 있어서, 리셋 펄스(Rst)가 로우레벨이 됨으로써 리셋 트랜지스터(T2')가 오프하므로, 게이트선(112(k+1))과 구동 트랜지스터(T3)의 소스 단자는 비도통이 된다. 따라서, 용량 소자(CS)에는, 이 때의 V1과 V2의 전위차가 유지된다.
- [0127] 이후의 동작은, 도 3에서 나타낸 실시 형태 1에 따른 표시 장치(100)의 타이밍 차트의 시각 t3 이후와 동일하다. 다음 행의 게이트 펄스(Gate[k+1])는, 시각 t4에서 로우레벨에서 하이레벨이 된다. 요컨대, 시각 t4로부터 다음 행의 리셋 기간이 개시된다.
- [0128] 또한, 다음 행의 게이트 펄스(Gate[k+1])는, 리셋 펄스(Rst)가 하이레벨인 기간, 즉 적어도 리셋 기간은 로우레벨이면 되고, 도 8의 구동 타이밍에 한정되지 않는다.
- [0129] 또, 본 실시 형태의 표시 장치(200)는, 실시 형태 1의 변형예와 동일하게 복수의 수평 기간에 걸쳐, 역치 전압의 검출을 행해도 된다.
- [0130] (실시 형태 2의 변형예)
- [0131] 도 9는, 복수의 수평 기간에 걸쳐 역치 전압을 검출하는 경우의 표시 장치(200)의 동작을 도시한 타이밍 차트이다.
- [0132] 상기 도면에 나타낸 타이밍 차트는, 도 5에 나타낸 타이밍 차트와 비교하여, 리셋에 요하는 기간이 1수평 기간으로 되어 있다. 이와 같이, 역치 전압 검출을 위한 예비 동작을 반분의 기간에서 행함으로써, 실시 형태 1과 비교하여, Vth 검출 기간을 더욱 긴 기간으로 할 수 있으므로, 고정밀한 역치 전압 보상을 실현할 수 있다. 또한, 도 9에 있어서는, Vth 검출 기간을 5수평 기간으로 하였지만, Vth 검출 기간에 요하는 수평 기간은 5수평 기간에 한정되지 않으며, 구동 트랜지스터(T3)의 역치 전압(Vth(TFT))을 검출하는데, 충분한 시간이 확보되어 있으면 된다.
- [0133] (실시 형태 3)
- [0134] 실시 형태 3의 표시 장치는, 실시 형태 1의 표시 장치(100)와 거의 동일하지만, 리셋 트랜지스터의 소스 단자 및 드레인 단자의 한쪽, 및, 용량 소자의 타단이, 구동 트랜지스터의 소스 단자 및 드레인 단자의 한쪽에 소정의 소자를 통해 접속되어 있는 점이 상이하다.
- [0135] 구체적으로는, 본 실시 형태의 표시 장치가 구비하는 복수의 발광 화소의 각각은, 실시 형태 1의 표시 장치(100)가 구비하는 복수의 발광 화소의 각각과 비교하여, 게이트 단자와 소스 단자와 드레인 단자를 더 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 리셋 트랜지스터의 소스 단자 및 드레인 단자의 한쪽과 용량 소자의 타단에 접속되고, 소스 단자 및 드레인 단자의 타단이 구동 트랜지스터의 소스 단자 및 드레인 단자의 한쪽에 접속된 제2 스위칭 트랜지스터를 구비한다.
- [0136] 이하, 실시 형태 3에 따른 표시 장치에 대해, 도면을 참조하면서 설명한다.
- [0137] 도 10은, 실시 형태 3에 따른 표시 장치가 갖는 발광 화소의 상세한 구성을 도시한 회로도이다. 또한, 상기 도면에는, 발광 화소(310)에 대응하는 신호선(111), 게이트선(112), 리셋선(113) 및 머지선(301)도 나타나 있다. 또, 도 10에는 본 실시 형태에 따른 표시 장치가 갖는 복수의 발광 화소 중 1개의 발광 화소의 구성에 대해 설명하지만, 다른 발광 화소도 동일한 구성을 갖는다.
- [0138] 우선, 본 실시 형태에 따른 표시 장치의 구성에 대해 설명한다.
- [0139] 본 실시 형태에 따른 표시 장치는, 도 1에 나타낸 표시 장치(100)와 거의 동일한 구성을 갖지만, 표시 장치(100)와 비교하여, 발광 화소(110)를 대신하여 발광 화소(310)를 가지며, 또한, 복수의 발광 화소(310)의 행마다 대응하여 설치된 머지선(301)을 갖는 점이 상이하다.
- [0140] 머지선(301)은, 복수의 발광 화소(310)의 행마다 대응하여 설치되고, 행 주사부(120)로부터 머지 펄스(Merge)가 출력된다. 바꿔 말하면, 본 실시 형태의 표시 장치에 있어서의 행 주사부는, 실시 형태 1의 표시 장치(100)에 있어서의 행 주사부(120)와 비교하여, 또한, 각 머지선(301)에 머지 펄스(Merge)를 출력함으로써, 복수의 발광 화소(310)를 행 단위로 순차적으로 주사한다.

- [0141] 다음에, 도 10에 나타낸 발광 화소의 구성에 대해 설명한다.
- [0142] 발광 화소(310)는, 실시 형태 1에 따른 표시 장치(100)가 갖는 발광 화소(110)와 비교하여, 리셋 트랜지스터(T2)의 소스 단자 및 드레인 단자의 한쪽, 및, 용량 소자(CS)의 타단이, 구동 트랜지스터(T3)의 소스 단자에 머지 트랜지스터(Tm)를 통해 접속되어 있는 점이 상이하다. 구체적으로는, 발광 화소(310)는, 발광 화소(110)와 비교하여, 머지 트랜지스터(Tm) 및 머지 용량(CSm)을 더 구비한다.
- [0143] 머지 트랜지스터(Tm)는, 본 발명의 제2 스위칭 트랜지스터이며, 게이트 단자와 소스 단자와 드레인 단자를 구비하고, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 리셋 트랜지스터(T2)의 소스 단자 및 드레인 단자의 한쪽과 용량 소자(CS)의 타단에 접속되며, 당해 소스 단자 및 당해 드레인 단자의 다른 쪽이 구동 트랜지스터(T3)의 소스 단자에 접속되어 있는, 예를 들면 n형의 TFT이다. 이 머지 트랜지스터(Tm)의 게이트 단자는, 머지선(301)에 접속되어 있다. 요컨대, 머지 트랜지스터(Tm)는, 머지선(301)에 공급되는 머지 펄스(Merge)에 따라 온 및 오프한다.
- [0144] 머지 용량(CSm)은, 머지 트랜지스터(Tm), 용량 소자(CS) 및 리셋 트랜지스터(T2)의 접속점과, 전압(VSS)의 전원선의 사이에 삽입된다.
- [0145] 이러한 구성으로 함으로써, 복수의 발광 화소(310)를 갖는 본 실시 형태에 따른 표시 장치는, 발광 소자(OLED)의 기생 용량의 편차에 의한, 구동 트랜지스터(T3)가 발광 소자(OLED)에 공급하는 전류인 화소 전류의 변동을 억제할 수 있다. 예를 들면, 신호선 구동부(130)가 복수의 발광 화소(310)에 동일한 신호 전압을 공급한 경우에, 각 발광 화소(310)의 발광 소자(OLED)와 구동 트랜지스터(T3)의 접속점의 전위 편차를 억제하는 것이 가능해진다. 따라서, 발광 소자(OLED)의 기생 용량의 영향을 저감하여, 신호 전압에 따른 정확한 발광 휘도로 발광 소자(OLED)를 발광시킬 수 있다.
- [0146] 다음에, 본 실시 형태에 따른 표시 장치의 구동 방법에 대해 도 11 및 도 12를 이용하여 설명한다.
- [0147] 도 11은, 실시 형태 3에 따른 표시 장치의 동작을 도시한 타이밍 차트이다. 상기 도면의 세로축에는, 도 3의 타이밍 차트와 비교하여, 또한 머지선(301)에 공급되는 머지 펄스(Merge)가 나타나 있다. 또한, 도 3에 있어서, V2는 구동 트랜지스터(T3)의 소스 단자의 전위인 것으로 하였지만, 도 11에 있어서, V2는, 리셋 트랜지스터(T2)의 소스 단자 및 드레인 단자의 한쪽과 용량 소자(CS)의 타단의 접속점의 전위이다.
- [0148] 도 11에 나타낸 각 파형 중, 게이트 펄스(Gate), 리셋 펄스(Rst) 및 신호선 전압(Sig)의 파형은, 도 3에 나타낸 실시 형태 1에 따른 표시 장치(100)의 게이트 펄스(Gate), 리셋 펄스(Rst) 및 신호선 전압(Sig)의 파형과 동일하다. 따라서, 머지 펄스(Merge)와, V1 및 V2의 파형을 중심으로 설명한다.
- [0149] 우선, 시각 t5까지의 기간에 있어서, 머지 펄스(Merge)를 하이레벨로 함으로써, 머지 트랜지스터(Tm)를 온시키고 있다. 머지 트랜지스터(Tm)가 온함으로써, 구동 트랜지스터(T3)의 소스 단자와, 용량 소자(CS)의 타단이 도통하고 있다. 요컨대, 시각 t5까지의 기간에 있어서, 발광 화소(310)는 발광 화소(110)와 등가이다.
- [0150] 도 12는, 실시 형태 3에 따른 표시 장치의 발광 화소(310)에 있어서의 전류의 흐름을 모식적으로 도시한 도면이다. 여기에서, 머지 펄스(Merge)의 하이레벨 전압을 VMerge(H), 머지 펄스(Merge)의 로우레벨 전압을 VMerge(L)로 한다.
- [0151] 상술한 바와 같이, 시각 t5까지의 발광 화소(310)의 동작은 도 3에 나타낸 발광 화소(110)의 시각 t5까지의 동작과 동일하므로, 도 12(a)~(c)에 있어서의 전류의 흐름은 도 4(a)~(c)에 나타낸 전류의 흐름과 동일하다.
- [0152] 다음에, 시각 t5에 있어서, 머지 펄스(Merge)는 하이레벨에서 로우레벨로 내려간다. 이에 의해, 머지 트랜지스터(Tm)가 오프한다. 머지 펄스(Merge)가 하이레벨에서 로우레벨로 내려가는 타이밍은, V1과 V2의 전위차가 Vth(TFT)로 되어 구동 트랜지스터(T3)에 흐르는 전류가 멈춘 후이면 되고, 도 11에 나타낸 타이밍에 한정되지 않는다.
- [0153] 그 후, 시각 t6~t7(도 3의 시각 t5~t6에 대응)의 기록 기간에 있어서, 머지 펄스(Merge)를 로우레벨로 한 채로, 신호선(111)에 신호 전압을 인가한다.
- [0154] 이와 같이 발광 화소(310)에 신호 전압이 인가되었을 때, 용량 소자(CS)의 타단의 전위인 V2는, 용량 소자(CS)의 일단에 인가되는 신호 전압, 머지 용량(CSm)에 접속되어 있는 전원선의 전압(VSS), 용량 소자(CS)의 용량(Cs), 및, 머지 용량(CSm)의 용량(Csm)에 의해 결정된다. 요컨대, V2는, 용량 소자(CS)의 용량(Cs)과, 머지 용량(CSm)의 용량(Csm)의 용량 분배에 의해 규정된다.

- [0155] 이에 반해, 실시 형태 1에 따른 표시 장치(100)의 발광 화소(110)에 신호 전압이 인가되었을 때, V2의 전위는, V1에 인가되는 신호 전압, 발광 소자(OLED)의 캐소드에 접속되어 있는 전원선의 전압(VSS), 용량 소자(CS)의 용량(Cs), 및, 발광 소자(OLED)의 기생 용량에 의해 결정된다. 요컨대, V2의 전위는, 용량 소자(CS)의 용량(Cs)과, 발광 소자(OLED)의 기생 용량에 의해 규정된다. 그러나, 발광 소자(OLED)의 애노드-캐소드간의 기생 용량은 발광 소자(OLED)마다 편차를 가지므로, 복수의 발광 화소(110)에 동일한 신호 전압을 공급한 경우에도, 발광 화소(110)간의, 발광 소자(OLED)와 구동 트랜지스터(T3)의 접속점의 전위는 동일하게는 되지 않으며, 편차를 갖는다. 따라서, 발광 소자(OLED)와 구동 트랜지스터(T3)의 접속점의 전위 편차에 의해, 발광 소자(OLED)에 공급되는 전류도 편차가 생긴다.
- [0156] 본 실시 형태에 따른 표시 장치의 발광 화소(310)는, 용량 소자(CS)의 타단과, 구동 트랜지스터(T3)의 소스 단자를 머지 트랜지스터(Tm)를 통해 접속하고, 머지 트랜지스터(Tm)를 오프하고 있는 기간에 발광 화소(310)에 신호 전압을 기록함으로써, V2의 전위에 대한 발광 소자(OLED)의 기생 용량의 영향을 저감할 수 있다.
- [0157] 또, 발광 화소(310)에 신호 전압을 기록하고 있는 기간에 있어서 머지 트랜지스터(Tm)는 오프하고 있으므로, 용량 소자(CS)의 자기 방전 전류를 억제할 수 있다. 따라서, 실시 형태 1의 표시 장치(100)에 있어서의 발광 화소와 비교하여, 구동 트랜지스터(T3)의 역치를 더욱 정밀도 좋게 검출하여, 보정할 수 있다.
- [0158] 다음에, 시각 t7에 있어서, 게이트 펄스가 로우레벨로 되어 행 선택 트랜지스터(T1)가 오프함으로써, 구동 트랜지스터(T3)의 게이트 단자에 공급되어 있는 전압에 따른 전류가 발광 소자(OLED)에 흐르기 시작한다. 그리고, 시각 t8에 있어서, 머지 펄스(Merge)를 로우레벨에서 하이레벨로 상승시켜, 머지 트랜지스터(Tm)를 온함으로써, 구동 트랜지스터(T3)의 소스 단자와 용량 소자(Cs)가 접속된다. 이에 의해, 발광 소자(OLED)에는, 구동 트랜지스터(T3)의 게이트-소스 단자간의 전압(Vgs)에 따른 전류가 흐른다. 바꿔 말하면, 발광 소자(OLED)에는, 시각 t6~t7의 기록 기간에 있어서, 발광 소자(OLED)의 기생 용량의 영향이 저감된 전위(V2)와, 전위(V1)의 전위차에 따른 전류가 흐른다. 그 결과, 발광 소자(OLED)의 기생 용량의 영향을 저감하여, 신호 전압에 정확하게 따른 전류가 발광 소자(OLED)에 흐른다. 따라서, 신호 전압에 따라 정밀도 좋게 발광 소자를 발광시킬 수 있다.
- [0159] 이와 같이, 머지 트랜지스터(Tm)는, 구동 트랜지스터(T3)의 역치를 검출하는 기간인 시각 t3~t4에서는 계속해서 온하고, 역치 검출 후의 시각 t5에서는 온에서 오프로 전환되며, 기록 기간인 시각 t6~t7에서는 계속해서 오프하고, 기록 기간 후(시각 t7 이후)의 시각 t8에 오프에서 온으로 전환된다.
- [0160] 이상과 같이, 본 실시 형태의 표시 장치가 구비하는 복수의 발광 화소(310)의 각각은, 실시 형태 1의 표시 장치(100)가 구비하는 복수의 발광 화소(110)의 각각과 비교하여, 게이트 단자와 소스 단자와 드레인 단자를 더 구비하며, 당해 소스 단자 및 당해 드레인 단자의 한쪽이 리셋 트랜지스터(T2)의 소스 단자 및 드레인 단자의 한쪽과 용량 소자(CS)의 타단에 접속되고, 당해 소스 단자 및 당해 드레인 단자의 다른 쪽이 구동 트랜지스터(T3)의 소스 단자에 접속된 머지 트랜지스터(Tm)를 구비한다.
- [0161] 이에 의해, 발광 소자(OLED)의 기생 용량의 편차에 의한, 구동 트랜지스터(T3)가 발광 소자(OLED)에 공급하는 전류인 화소 전류의 변동을 억제할 수 있다. 요컨대, 신호선 구동부(130)가 복수의 발광 화소(310)에 동일한 신호 전압을 공급한 경우에, 각 발광 화소(310)의 구동 트랜지스터(T3)의 게이트 단자와 소스 단자의 전위차의 편차를 억제할 수 있다.
- [0162] 따라서, 발광 소자(OLED)의 기생 용량의 영향을 방지하여, 신호 전압에 따라 정밀도 좋게 발광 소자(OLED)를 발광시킬 수 있다.
- [0163] 또한, 상기 설명에서는, 머지 용량(CSm)은, 머지 트랜지스터(Tm), 용량 소자(CS) 및 리셋 트랜지스터(T2)의 접속점과, 전압(VSS)의 전원선의 사이에 삽입되는 것으로 하였지만, 접속되는 전원선은 VSS에 한정되지 않으며 고정 전위이면 된다. 예를 들면, 머지 용량(CSm)은, 머지 트랜지스터(Tm), 용량 소자(CS) 및 리셋 트랜지스터(T2)의 접속점과, 전압(VDD)의 전원선의 사이에 삽입되어도 된다.
- [0164] 또, 실시 형태 3의 표시 장치의 발광 화소(310)의 리셋 트랜지스터(T2)를 대신하여, 실시 형태 2의 표시 장치의 발광 화소(210)에 나타난 리셋 트랜지스터(T2')를 구비해도 된다. 요컨대, 당해 발광 화소의 다음 행에 대응하는 게이트선(112)과, 용량 소자(CS), 머지 용량(CSm) 및 머지 트랜지스터(Tm)의 접속점의 사이에 삽입된 리셋 트랜지스터(T2')를 구비해도 된다.
- [0165] 또, 본 실시 형태의 표시 장치에서는, 1수평 기간에서 역치 전압을 검출하였지만, 실시 형태 2의 변형예와 동일하게, 복수의 수평 기간에 걸쳐 역치 전압을 검출해도 된다.

- [0166] 이상, 본 발명의 실시 형태 및 변형예에 의거하여 설명하였지만, 본 발명은, 이들 실시 형태 및 변형예에 한정되는 것은 아니다. 본 발명의 취지를 일탈하지 않는 한, 당업자가 생각해낸 각종 변형을 본 실시 형태 및 변형예에 실시한 것이나, 상이한 실시 형태 및 변형예에 있어서의 구성 요소를 조합하여 구축되는 형태도, 본 발명의 범위 내에 포함된다.
- [0167] 예를 들면, 실시 형태 2에 있어서, 제1 스위칭 트랜지스터, 및 리셋 트랜지스터는 각각, 게이트 단자에 인가되어 있는 펄스가 하이레벨일 때에 온하는 n형 트랜지스터로 하였지만, 이들을 p형 트랜지스터로 구성하고, 게이트선 및 리셋선의 극성을 반전시켜도 된다.
- [0168] 또, 실시 형태 3에 있어서, 머지 용량(CSm)은, 머지 트랜지스터(Tm), 용량 소자(CS) 및 리셋 트랜지스터(T2)의 접속점과, 전압(VSS)의 전원선의 사이에 삽입되는 것으로 하였지만, 머지 용량(CSm)은 반드시 전원선에 접속될 필요는 없다. 예를 들면 리셋선의 로우레벨 출력 기간을 전원선으로 간주하여, 머지 용량의 CSm을 리셋선과 접속해도 된다.
- [0169] 또, 예를 들면, 본 발명에 따른 표시 장치는, 도 13에 나타낸 바와 같은 박형 플랫 TV에 내장된다. 본 발명에 따른 표시 장치가 내장됨으로써, 휘도 얼룩이 없는 고정밀한 화상 표시가 가능한 박형 플랫 TV가 실현된다.
- [0170] 또, 상기 각 실시 형태에 따른 표시 장치는 전형적으로는 집적 회로인 하나의 LSI로서 실현된다. 또한, 각 실시 형태에 따른 표시 장치에 포함되는 각 처리부는, 개별적으로 1칩화되어도 되고, 일부 또는 전부를 포함하도록 1칩화되어도 된다.
- [0171] 여기에서는, LSI로 하였지만, 집적도의 차이에 따라, IC, 시스템 LSI, 슈퍼 LSI, 울트라 LSI라고 호칭되는 경우도 있다.
- [0172] 또, 집적 회로화는 LSI에 한정되는 것은 아니며, 표시 장치에 포함되는 처리부의 일부를, 발광 화소와 동일한 기관 상에 집적하는 것도 가능하다. 또, 전용 회로 또는 범용 프로세서로 실현해도 된다. LSI 제조 후에 프로그램하는 것이 가능한 FPGA(Field Programmable Gate Array), 또는 LSI 내부의 회로 셀의 접속이나 설정을 재구성 가능한 리컨피규러블?프로세서를 이용해도 된다.
- [0173] 또, 각 실시 형태에 따른 표시 장치에 포함되는 구동부의 기능의 일부를, CPU 등의 프로세서가 프로그램을 실행함으로써 실현해도 된다. 또, 본 발명은, 상기 구동부에 의해 실현되는 특징적인 단계를 포함하는 표시 장치의 구동 방법으로서 실현해도 된다.
- [0174] 또한, 본 발명은 상기 프로그램이어도 되고, 상기 프로그램이 기록된 기록 매체여도 된다. 또, 상기 프로그램은, 인터넷 등의 전송 매체를 통해 유통시킬 수 있는 것은 말할 필요도 없다.
- [0175] 또, 상기 설명에서는, 표시 장치가 액티브 매트릭스형의 유기 EL 표시 장치인 경우를 예로 서술하였지만, 본 발명을, 액티브 매트릭스형 이외의 유기 EL 표시 장치에 적용해도 되고, 전류 구동형의 발광 소자를 이용한 유기 EL 표시 장치 이외의 표시 장치에 적용해도 되며, 액정 표시 장치 등의 전압 구동형의 발광 소자를 이용한 표시 장치에 적용해도 된다.
- [0176] 또, 상기 실시 형태 1의 변형예 및 실시 형태 2의 변형예에 있어서, 각 수평 기간의 후반을 역치 전압의 검출 기간으로 하고, 전반을 신호 전압의 기록 기간으로 하였지만, 이 검출 기간 및 기록 기간의 듀티비는 50퍼센트에 한정되지 않는다. 예를 들면, 기록 기간이 1수평 기간의 10퍼센트이고, 검출 기간이 1수평 기간의 90퍼센트여도 된다.
- [0177] 또, 상기 실시 형태 2에 있어서, m행째의 발광 화소(110)가 갖는 리셋 트랜지스터(T2')는 더미 게이트선(201)에 접속되어 있었지만, 1행째로부터 m행째까지의 게이트선(112) 중 어느 것에 접속되어 있어도 된다.
- [0178] 또, 구동 트랜지스터(T3)의 소스 단자와 전원선의 사이에 용량 소자를 구비해도 된다.
- [0179] [산업상의 이용 가능성]
- [0180] 본 발명에 따른 표시 장치는, 특히, TFT와 조합한 대화면 액티브 매트릭스형의 유기 EL 디스플레이 패널로의 적용에 유용하다.

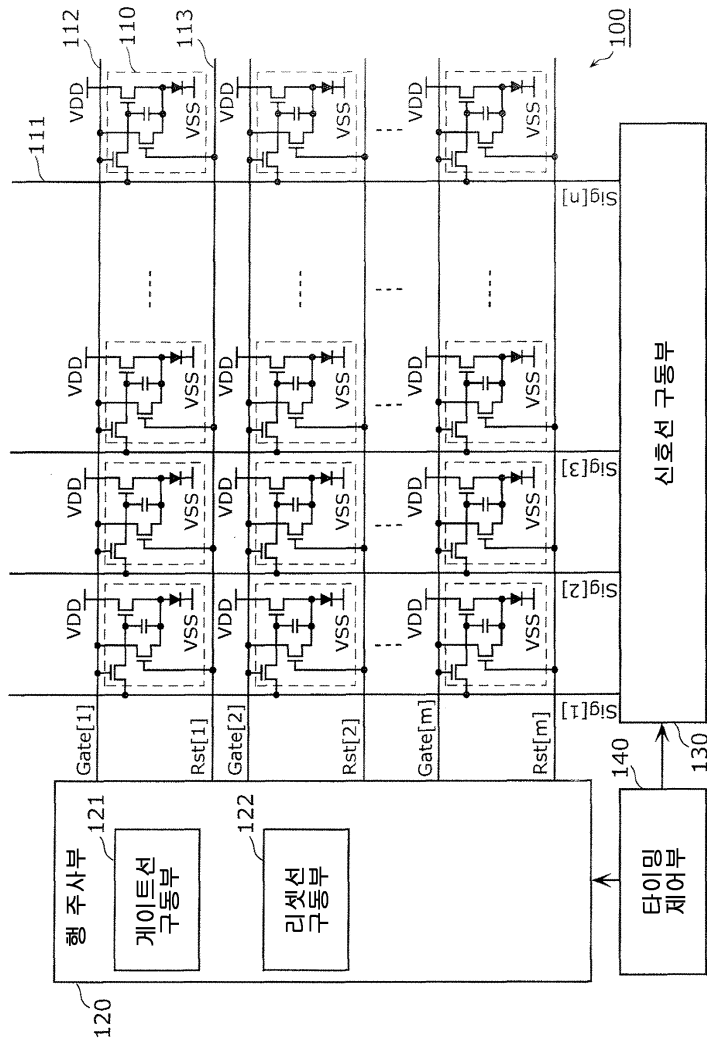
부호의 설명

- [0181] 100, 200 : 표시 장치

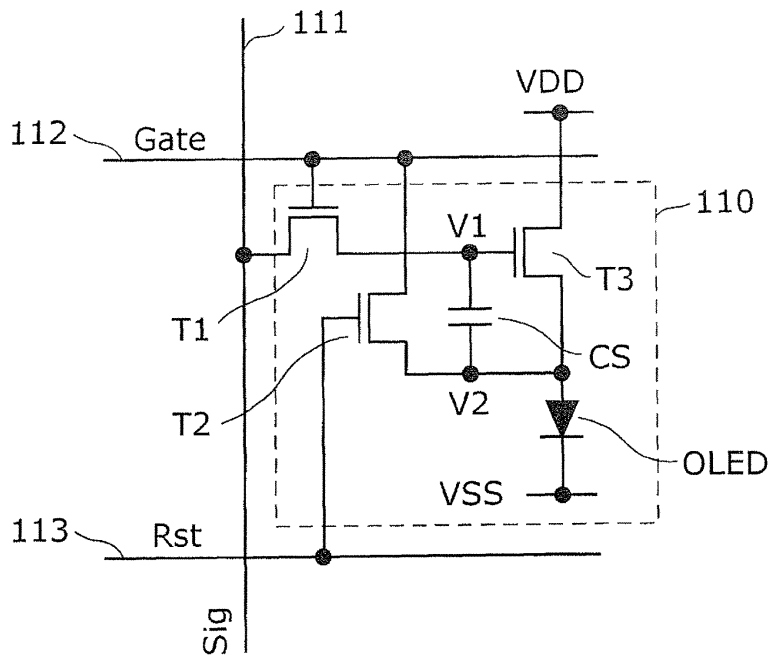
- 110, 210, 310 : 발광 화소
- 111 : 신호선
- 112, 112(k), 112(k+1) : 게이트선
- 113 : 리셋선
- 120 : 행 주사부
- 121 : 게이트선 구동부
- 122 : 리셋선 구동부
- 130 : 신호선 구동부
- 140 : 타이밍 제어부
- 201 : 더미 게이트선
- 301 : 머지선
- CS : 용량 소자
- CS_m : 머지 용량
- OLED : 발광 소자
- T1 : 행 선택 트랜지스터
- T2, T2' : 리셋 트랜지스터
- T3 : 구동 트랜지스터
- T_m : 머지 트랜지스터

도면

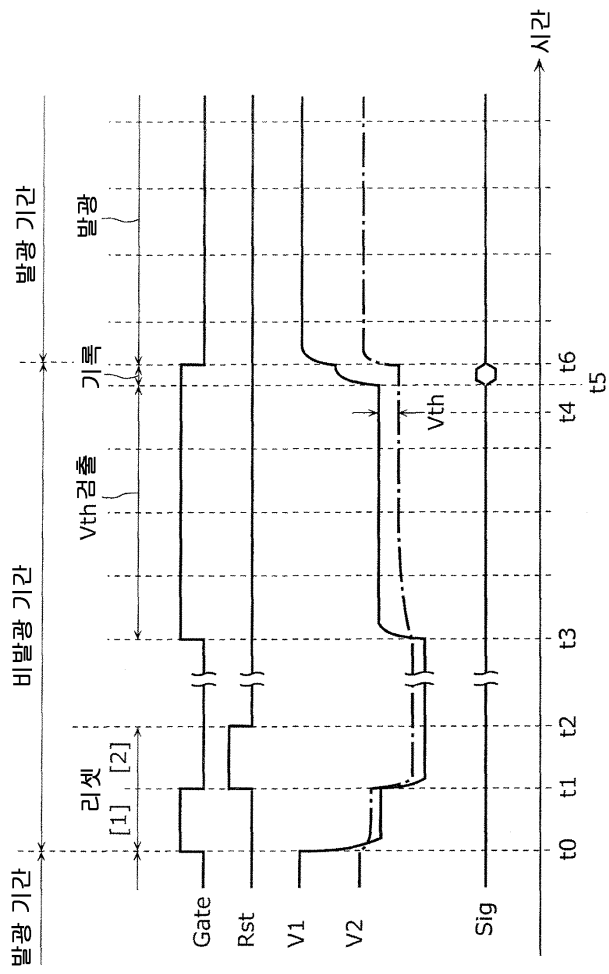
도면1



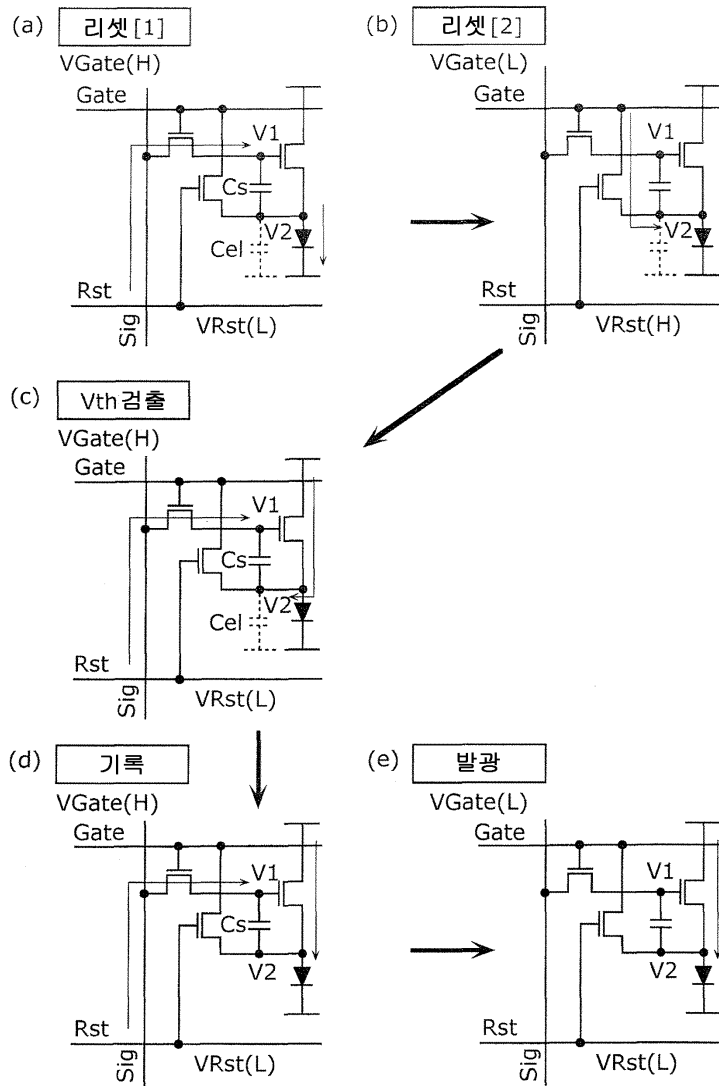
도면2



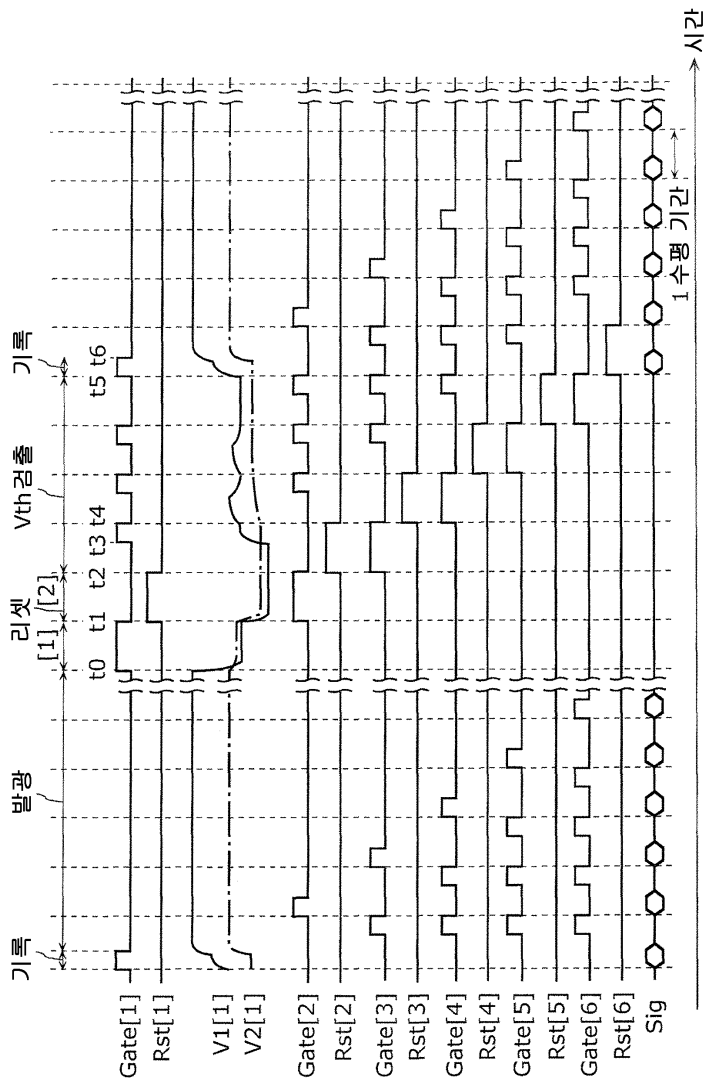
도면3



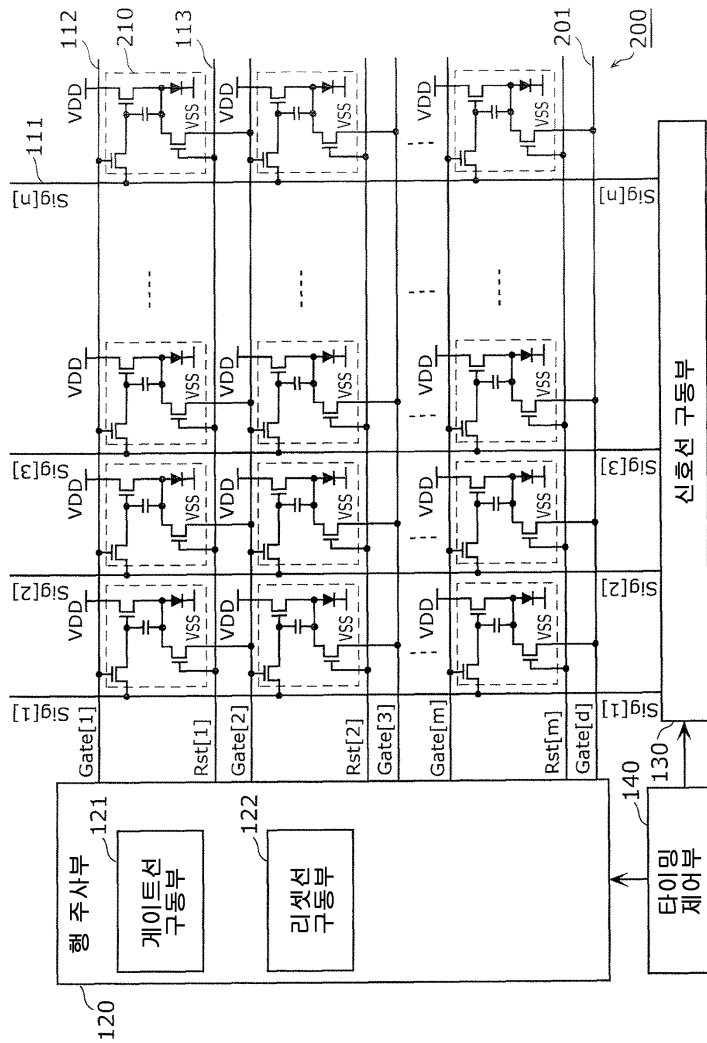
도면4



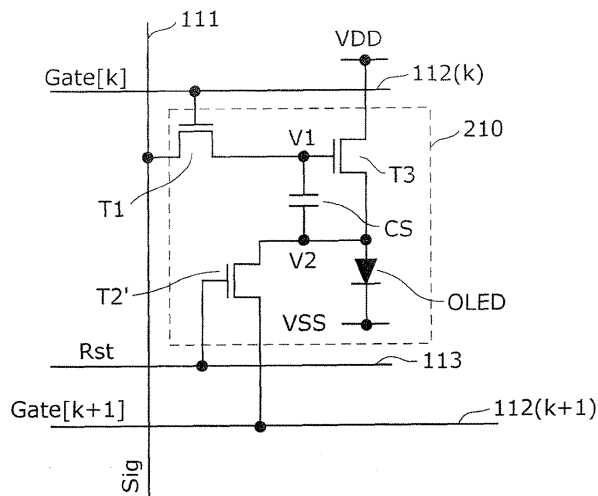
도면5



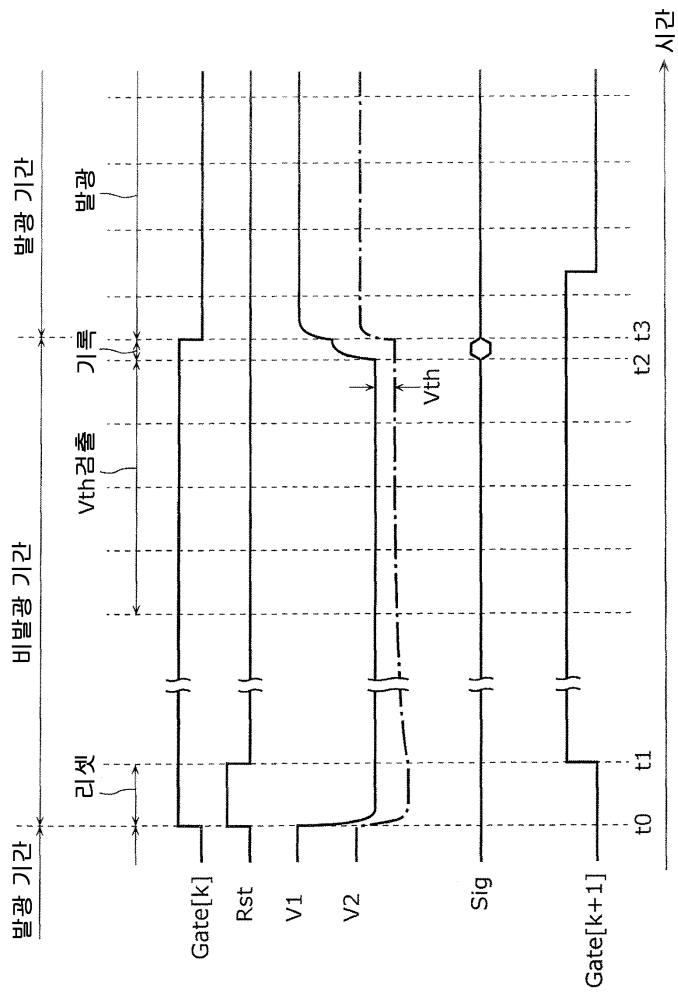
도면6



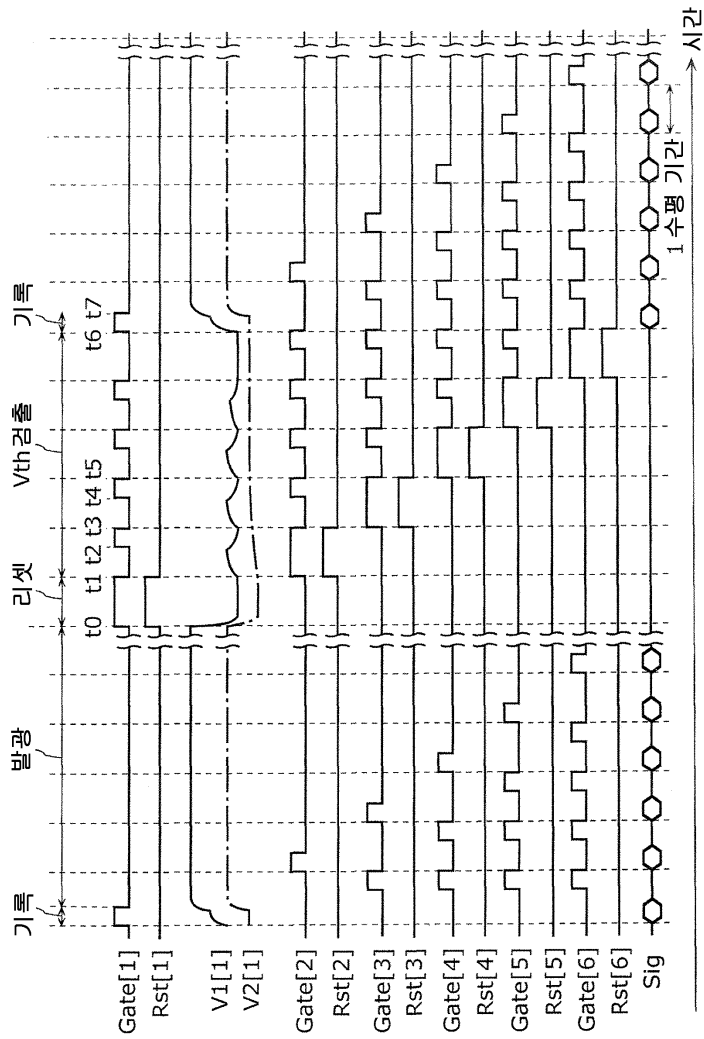
도면7



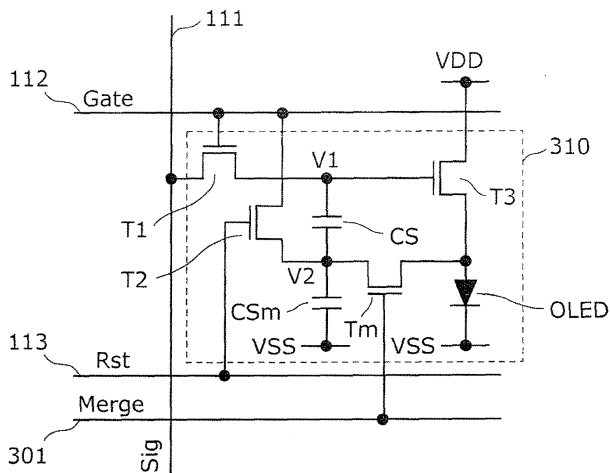
도면8



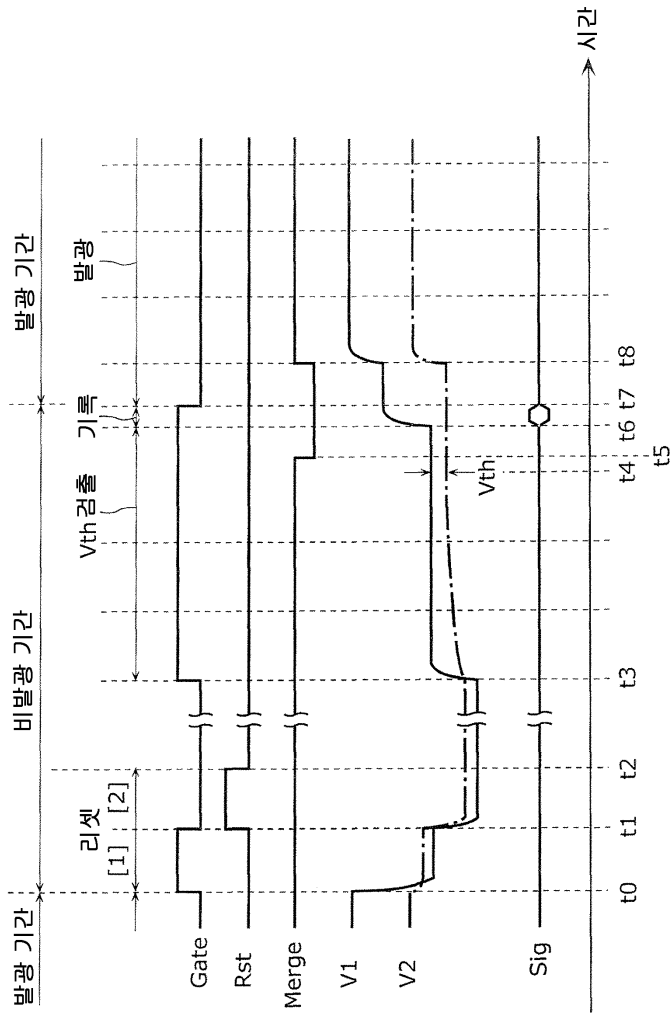
도면9



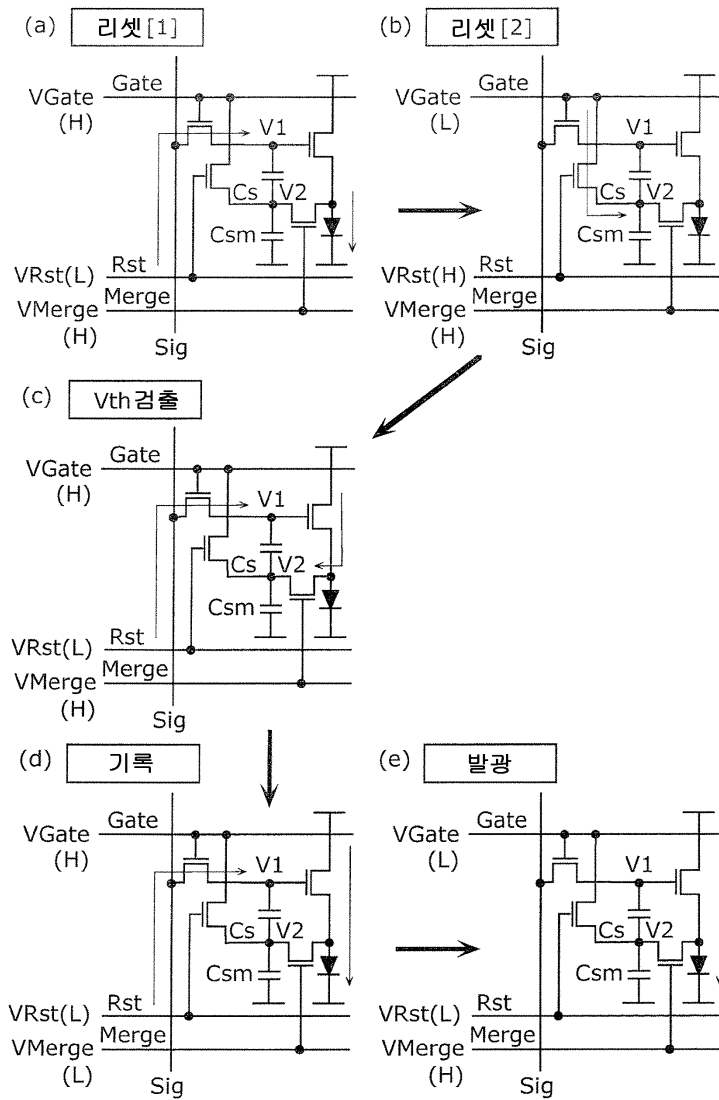
도면10



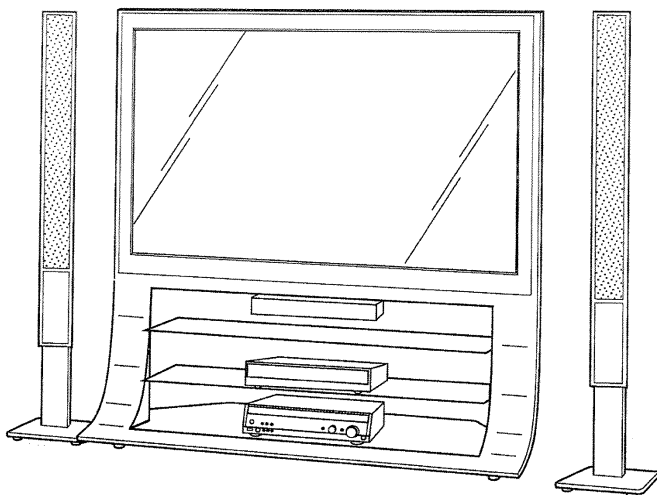
도면11



도면12



도면13



专利名称(译)	标题显示装置及其驱动方法		
公开(公告)号	KR1020120022720A	公开(公告)日	2012-03-12
申请号	KR1020117021038	申请日	2010-04-21
申请(专利权)人(译)	周杰伦红株式会社来		
当前申请(专利权)人(译)	周杰伦红株式会社来		
[标]发明人	MATSUI MASAFUMI 마쯔이 마사후미		
发明人	마쯔이 마사후미		
IPC分类号	G09G3/30		
CPC分类号	G09G3/30 G09G3/32 G09G3/20 G09G3/3225 G09G3/3233 G09G2320/00 G09G2320/02 G09G2320/0271 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2310/0251 G09G2310/0262 G09G2310/061 G09G2320/0233 G09G2320/043		
代理人(译)	的专利法.		
优先权	2009124735 2009-05-22 JP		
其他公开文献	KR101646812B1		
外部链接	Espacenet		

摘要(译)

复位晶体管 (T2) 的源极端子和漏极每个发光像素 (110) 的不同侧是发光器件 (OLED) ，驱动晶体管 (T3) 将电流提供给发光器件 (OLED) ，行选择晶体管 (T1) ，复位晶体管 (T2) 和插入在驱动晶体管 (T3) 的栅极端子 - 源极端子之间的电容元件 (CS) 包括多个发光像素 (110) 和信号包括导线 (111) 连接到与多个发光像素 (110) 中的线对应的栅极线 (112) 。关于多个发光像素 (110) ，根据本发明的显示装置被布置为行和列形状。信号线 (111) 是栅极线 (112) ，该行对应于复位线 (113) 和热量对应。关于复位晶体管 (T2) ，栅极端子连接到复位线 (113) ，漏极和源极端子的一侧连接到驱动晶体管 (T3) 的源极端子。

