



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0082934  
(43) 공개일자 2010년07월21일

- |  |  |
|--|--|
| (51) Int. Cl.<br>G09G 3/30 (2006.01) G09G 3/32 (2006.01)<br>H01L 51/50 (2006.01)<br>(21) 출원번호 10-2009-0002232<br>(22) 출원일자 2009년01월12일<br>심사청구일자 2009년01월12일 | (71) 출원인<br>삼성모바일디스플레이주식회사<br>경기도 용인시 기흥구 농서동 산24번지<br>(72) 발명자<br>함삼일<br>충청남도 천안시 성성동 508번지 삼성SDI(주)<br>(74) 대리인<br>신영무 |
|--|--|

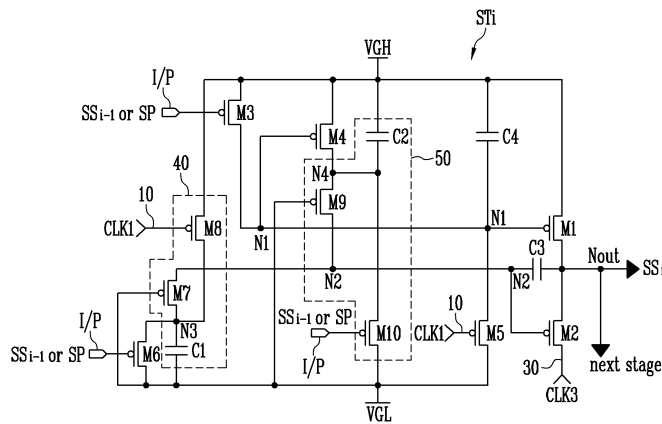
전체 청구항 수 : 총 12 항

(54) 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치

(57) 요약

본 발명에 의한 쉬프트 레지스터는, 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지를 구비하는 것으로, 제1, 제2 및 제3 입력라인으로 입력되는 제1, 제2 및 제3 클럭신호에 의해 구동되고, 상기 스테이지는, 제1 전원과 출력노드 사이에 접속되며 게이트 전극이 제1 노드에 접속된 제1 트랜지스터와, 상기 출력노드와 상기 제3 입력라인 사이에 접속되며 게이트 전극이 제2 노드에 접속된 제2 트랜지스터와, 상기 제1 전원과 상기 제1 노드 사이에 접속되며 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지스터와, 상기 제1 전원과 상기 제2 노드 사이에 접속되며 게이트 전극이 상기 제1 노드에 접속된 제4 트랜지스터와, 상기 제1 노드와 제2 전원 사이에 접속되며 게이트 전극이 상기 제1 입력라인에 접속된 제5 트랜지스터와, 상기 제1 및 제2 전원, 상기 제1 입력라인 및 상기 제2 노드에 접속되어 상기 제2 노드의 전압을 안정화하는 제1 전압 안정화부와, 일 전극이 상기 제1 전압 안정화부를 경유하여 상기 제2 노드(에 접속되고 다른 전극이 상기 제2 전원)에 접속되며 게이트 전극이 상기 입력단자에 접속된 제6 트랜지스터와, 상기 제4 트랜지스터와 상기 제2 노드 사이에 접속되고 상기 제1 및 제2 전원과 상기 입력단자에 더 접속되어 상기 제2 노드의 전압을 안정화하는 제2 전압 안정화부를 포함한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

스타트필스의 입력라인에 종속적으로 접속되는 다수의 스테이지를 구비하며, 제1, 제2 및 제3 입력라인으로 입력되는 제1, 제2 및 제3 클럭신호에 의해 구동되는 쉬프트 레지스터에 있어서, 상기 스테이지는,

제1 전원(VGH)과 출력노드(Nout) 사이에 접속되며, 게이트 전극이 제1 노드(N1)에 접속된 제1 트랜지스터와,

상기 출력노드(Nout)와 상기 제3 입력라인 사이에 접속되며, 게이트 전극이 제2 노드(N2)에 접속된 제2 트랜지스터와,

상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속되며, 게이트 전극이 상기 스타트필스 또는 이전단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지스터와,

상기 제1 전원(VGH)과 상기 제2 노드(N2) 사이에 접속되며, 게이트 전극이 상기 제1 노드(N1)에 접속된 제4 트랜지스터와,

상기 제1 노드(N1)와 제2 전원(VGL) 사이에 접속되며, 게이트 전극이 상기 제1 입력라인에 접속된 제5 트랜지스터와,

상기 제1 및 제2 전원(VGH, VGL), 상기 제1 입력라인 및 상기 제2 노드(N2)에 접속되어, 상기 제2 노드(N2)의 전압을 안정화하는 제1 전압 안정화부와,

일 전극이 상기 제1 전압 안정화부를 경유하여 상기 제2 노드(N2)에 접속되며, 다른 전극이 상기 제2 전원(VGL)에 접속되고, 게이트 전극이 상기 입력단자에 접속된 제6 트랜지스터와,

상기 제4 트랜지스터와 상기 제2 노드(N2) 사이에 접속되며, 상기 제1 및 제2 전원(VGH, VGL)과 상기 입력단자에 더 접속되어, 상기 제2 노드(N2)의 전압을 안정화하는 제2 전압 안정화부를 포함하는 쉬프트 레지스터.

### 청구항 2

제1항에 있어서,

상기 제1 전압 안정화부는,

상기 제2 노드(N2)와 상기 제6 트랜지스터 사이에 접속되며, 게이트 전극이 상기 제2 전원(VGL)에 접속된 제7 트랜지스터와,

상기 제6 및 제7 트랜지스터의 접속노드인 제3 노드(N3)와 상기 제2 전원(VGL) 사이에 접속된 제1 커패시터와,

상기 제1 전원(VGH)과 상기 제3 노드(N3) 사이에 접속되며, 게이트 전극이 상기 제1 입력라인에 접속된 제8 트랜지스터를 포함하는 쉬프트 레지스터.

### 청구항 3

제2항에 있어서,

상기 제8 트랜지스터는 게이트 전극이 상기 제1 입력라인에 공통으로 접속되며 직렬연결된 복수의 트랜지스터들로 구현된 쉬프트 레지스터.

### 청구항 4

제1항에 있어서,

상기 제2 전압 안정화부는,

상기 제4 트랜지스터와 상기 제2 노드(N2) 사이에 접속되며, 게이트 전극이 상기 제2 전원(VGL)에 접속된 제9 트랜지스터와,

상기 제4 및 제9 트랜지스터의 접속노드인 제4 노드(N4)와 상기 제1 전원(VGH) 사이에 접속된 제2 커패시터와,

상기 제4 노드와 상기 제2 전원(VGL) 사이에 접속되며, 게이트 전극이 상기 입력단자에 접속된 제10 트랜지스터

를 포함하는 쉬프트 레지스터.

**청구항 5**

제1항에 있어서,

상기 제2 노드(N2)와 상기 출력노드(Nout) 사이에 접속된 제3 커패시터를 더 포함하는 쉬프트 레지스터.

**청구항 6**

제1항에 있어서,

상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속된 제4 커패시터를 더 포함하는 쉬프트 레지스터.

**청구항 7**

제1항에 있어서,

상기 제4 트랜지스터는 게이트 전극이 상기 제1 노드(N1)에 공통으로 접속되며 직렬연결된 복수의 트랜지스터들로 구현된 쉬프트 레지스터.

**청구항 8**

제1항에 있어서,

상기 제1, 제2 및 제3 클럭신호는 위상이 순차적으로 지연된 파형을 갖는 쉬프트 레지스터.

**청구항 9**

주사선들 및 데이터선들의 교차부에 위치한 다수의 화소를 포함하는 화소부와, 상기 주사선들로 순차적으로 주사신호를 인가하는 쉬프트 레지스터를 포함하는 주사 구동부와, 상기 데이터선들로 데이터 신호를 인가하는 데이터 구동부를 포함하여 구성되고,

상기 쉬프트 레지스터는, 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지를 구비하며, 제1, 제2 및 제3 입력라인으로 입력되는 제1, 제2 및 제3 클럭신호에 의해 구동되고,

상기 스테이지는,

제1 전원(VGH)과 출력노드(Nout) 사이에 접속되며, 게이트 전극이 제1 노드(N1)에 접속된 제1 트랜지스터와,

상기 출력노드(Nout)와 상기 제3 입력라인 사이에 접속되며, 게이트 전극이 제2 노드(N2)에 접속된 제2 트랜지스터와,

상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속되며, 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지스터와,

상기 제1 전원(VGH)과 상기 제2 노드(N2) 사이에 접속되며, 게이트 전극이 상기 제1 노드(N1)에 접속된 제4 트랜지스터와,

상기 제1 노드(N1)와 제2 전원(VGL) 사이에 접속되며, 게이트 전극이 상기 제1 입력라인에 접속된 제5 트랜지스터와,

상기 제1 및 제2 전원(VGH, VGL), 상기 제1 입력라인 및 상기 제2 노드(N2)에 접속되어, 상기 제2 노드(N2)의 전압을 안정화하는 제1 전압 안정화부와,

일 전극이 상기 제1 전압 안정화부를 경유하여 상기 제2 노드(N2)에 접속되며, 다른 전극이 상기 제2 전원(VGL)에 접속되고, 게이트 전극이 상기 입력단자에 접속된 제6 트랜지스터와,

상기 제4 트랜지스터와 상기 제2 노드(N2) 사이에 접속되며, 상기 제1 및 제2 전원(VGH, VGL)과 상기 입력단자에 더 접속되어, 상기 제2 노드(N2)의 전압을 안정화하는 제2 전압 안정화부를 포함하는 유기전계발광 표시장치.

**청구항 10**

제9항에 있어서,

상기 제1 전압 안정화부는,

상기 제2 노드(N2)와 상기 제6 트랜지스터 사이에 접속되며, 게이트 전극이 상기 제2 전원(VGL)에 접속된 제7 트랜지스터와,

상기 제6 및 제7 트랜지스터의 접속노드인 제3 노드(N3)와 상기 제2 전원(VGL) 사이에 접속된 제1 커패시터와,

상기 제1 전원(VGH)과 상기 제3 노드(N3) 사이에 접속되며, 게이트 전극이 상기 제1 입력라인에 접속된 제8 트랜지스터를 포함하는 유기전계발광 표시장치.

#### 청구항 11

제9항에 있어서,

상기 제2 전압 안정화부는,

상기 제4 트랜지스터와 상기 제2 노드(N2) 사이에 접속되며, 게이트 전극이 상기 제2 전원(VGL)에 접속된 제9 트랜지스터와,

상기 제4 및 제9 트랜지스터의 접속노드인 제4 노드(N4)와 상기 제1 전원(VGH) 사이에 접속된 제2 커패시터와,

상기 제4 노드와 상기 제2 전원(VGL) 사이에 접속되며, 게이트 전극이 상기 입력단자에 접속된 제10 트랜지스터를 포함하는 유기전계발광 표시장치.

#### 청구항 12

제9항에 있어서,

상기 스테이지는, 상기 제2 노드(N2)와 상기 출력노드(Nout) 사이에 접속된 제3 커패시터와, 상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속된 제4 커패시터를 더 포함하는 유기전계발광 표시장치.

### 명세서

#### 발명의 상세한 설명

##### 기술분야

[0001] 본 발명은 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 특히 유기전계발광 표시장치의 화소열을 구동하는 구동회로에 구비되는 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

##### 배경기술

[0002] 유기전계발광 표시장치는 데이터선들과 주사선들의 교차부에 매트릭스 형태로 배열되는 화소 어레이(array)를 구비한다.

[0003] 이와 같은 화소 어레이는 주사선들로 주사신호를 공급하는 주사 구동부와, 데이터선들로 데이터신호를 공급하는 데이터 구동부에 의해 구동된다.

[0004] 여기서, 주사 구동부는 화소 어레이의 라인별로 데이터 신호를 공급받을 화소들을 선택하기 위하여 주사선들로 순차적으로 주사신호를 출력하는 쉬프트 레지스터를 구비한다.

[0005] 쉬프트 레지스터는 다수의 트랜지스터를 포함하도록 구성되는 각 단의 스테이지로 구성된다. 이와 같은 쉬프트 레지스터의 출력특성은 내부에 구비되는 트랜지스터의 특성에 의해 영향을 받는다.

[0006] 특히, 트랜지스터의 오프전류 특성이 좋지않은 경우, 쉬프트 레지스터의 출력특성이 불안정해져 주사 구동부의 성능이 저하될 수 있다.

[0007] 따라서, 쉬프트 레지스터의 출력특성을 안정화시킬 수 있는 구조적 방안을 모색할 필요성이 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0008] 따라서, 본 발명의 목적은 출력특성이 안정화된 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치를 제공하는 것이다.

**과제 해결수단**

[0009] 이와 같은 목적을 달성하기 위하여 본 발명의 일 측면은, 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지를 구비하며 제1, 제2 및 제3 입력라인으로 입력되는 제1, 제2 및 제3 클럭신호에 의해 구동되는 쉬프트 레지스터에 있어서, 상기 스테이지는, 제1 전원(VGH)과 출력노드(Nout) 사이에 접속되며 게이트 전극이 제1 노드(N1)에 접속된 제1 트랜지스터와, 상기 출력노드(Nout)와 상기 제3 입력라인 사이에 접속되며 게이트 전극이 제2 노드(N2)에 접속된 제2 트랜지스터와, 상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속되며 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지스터와, 상기 제1 전원(VGH)과 상기 제2 노드(N2) 사이에 접속되며 게이트 전극이 상기 제1 노드(N1)에 접속된 제4 트랜지스터와, 상기 제1 노드(N1)와 제2 전원(VGL) 사이에 접속되며 게이트 전극이 상기 제1 입력라인에 접속된 제5 트랜지스터와, 상기 제1 및 제2 전원(VGH, VGL), 상기 제1 입력라인 및 상기 제2 노드(N2)에 접속되어 상기 제2 노드(N2)의 전압을 안정화하는 제1 전압 안정화부와, 일 전극이 상기 제1 전압 안정화부를 경유하여 상기 제2 노드(N2)에 접속되며 다른 전극이 상기 제2 전원(VGL)에 접속되고 게이트 전극이 상기 입력단자에 접속된 제6 트랜지스터와, 상기 제4 트랜지스터와 상기 제2 노드(N2) 사이에 접속되며 상기 제1 및 제2 전원(VGH, VGL)과 상기 입력단자에 더 접속되어 상기 제2 노드(N2)의 전압을 안정화하는 제2 전압 안정화부를 포함하는 쉬프트 레지스터를 제공한다.

[0010] 여기서, 상기 제1 전압 안정화부는, 상기 제2 노드(N2)와 상기 제6 트랜지스터 사이에 접속되며 게이트 전극이 상기 제2 전원(VGL)에 접속된 제7 트랜지스터와, 상기 제6 및 제7 트랜지스터의 접속노드인 제3 노드(N3)와 상기 제2 전원(VGL) 사이에 접속된 제1 커패시터와, 상기 제1 전원(VGH)과 상기 제3 노드(N3) 사이에 접속되며 게이트 전극이 상기 제1 입력라인에 접속된 제8 트랜지스터를 포함할 수 있다.

[0011] 또한, 상기 제2 전압 안정화부는, 상기 제4 트랜지스터와 상기 제2 노드(N2) 사이에 접속되며 게이트 전극이 상기 제2 전원(VGL)에 접속된 제9 트랜지스터와, 상기 제4 및 제9 트랜지스터의 접속노드인 제4 노드(N4)와 상기 제1 전원(VGH) 사이에 접속된 제2 커패시터와, 상기 제4 노드와 상기 제2 전원(VGL) 사이에 접속되며 게이트 전극이 상기 입력단자에 접속된 제10 트랜지스터를 포함할 수 있다.

[0012] 또한, 상기 제2 노드(N2)와 상기 출력노드(Nout) 사이에 접속된 제3 커패시터와, 상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속된 제4 커패시터 중 적어도 하나를 더 포함할 수 있다.

[0013] 본 발명의 다른 측면은, 주사선들 및 데이터선들의 교차부에 위치된 다수의 화소를 포함하는 화소부와, 상기 주사선들로 순차적으로 주사신호를 인가하는 쉬프트 레지스터를 포함하는 주사 구동부와, 상기 데이터선들로 데이터 신호를 인가하는 데이터 구동부를 포함하여 구성되고, 상기 쉬프트 레지스터는, 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지를 구비하며 제1, 제2 및 제3 입력라인으로 입력되는 제1, 제2 및 제3 클럭신호에 의해 구동되고, 상기 스테이지는, 제1 전원(VGH)과 출력노드(Nout) 사이에 접속되며 게이트 전극이 제1 노드(N1)에 접속된 제1 트랜지스터와, 상기 출력노드(Nout)와 상기 제3 입력라인 사이에 접속되며 게이트 전극이 제2 노드(N2)에 접속된 제2 트랜지스터와, 상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속되며 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지스터와, 상기 제1 전원(VGH)과 상기 제2 노드(N2) 사이에 접속되며 게이트 전극이 상기 제1 노드(N1)에 접속된 제4 트랜지스터와, 상기 제1 노드(N1)와 제2 전원(VGL) 사이에 접속되며 게이트 전극이 상기 제1 입력라인에 접속된 제5 트랜지스터와, 상기 제1 및 제2 전원(VGH, VGL), 상기 제1 입력라인 및 상기 제2 노드(N2)에 접속되어 상기 제2 노드(N2)의 전압을 안정화하는 제1 전압 안정화부와, 일 전극이 상기 제1 전압 안정화부를 경유하여 상기 제2 노드(N2)에 접속되며 다른 전극이 상기 제2 전원(VGL)에 접속되고 게이트 전극이 상기 입력단자에 접속된 제6

트랜지스터와, 상기 제4 트랜지스터와 상기 제2 노드(N2) 사이에 접속되며 상기 제1 및 제2 전원(VGH, VGL)과 상기 입력단자에 더 접속되어 상기 제2 노드(N2)의 전압을 안정화하는 제2 전압 안정화부를 포함하는 유기전계 발광 표시장치를 제공한다.

**효과**

[0014] 이와 같은 본 발명에 의하면, 쉬프트 레지스터의 각 스테이지 내에서 트랜지스터를 통해 발생하는 오프전류를 방지하여 쉬프트 레지스터의 출력특성을 안정화시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0015] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.

[0016] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 블럭도이다.

[0017] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)에 의하여 구획된 영역에 형성되는 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 포함한다.

[0018] 주사 구동부(110)는 타이밍 제어부(150)로부터 스타트펄스(SP) 및 클럭신호(CLK) 등이 포함된 주사 구동 제어신호(SCS)를 공급받아 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 공급한다.

[0019] 이를 위하여, 주사 구동부(110)는 스타트펄스(SP) 및 클럭신호들(CLK)에 대응하여 순차적으로 주사신호를 생성하고 이를 주사선들(S1 내지 Sn)로 인가하는 쉬프트 레지스터를 포함하여 구성된다.

[0020] 데이터 구동부(120)는 타이밍 제어부(150)로부터 데이터 구동 제어신호(DCS) 및 데이터(Data)를 공급받아 데이터 신호를 생성한다. 데이터 구동부(120)에서 생성된 데이터 신호는 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 공급된다.

[0021] 타이밍 제어부(150)는 외부로부터 공급되는 동기 신호들에 대응하여 주사 구동 제어신호(SCS) 및 데이터 구동 제어신호(DCS)를 생성한다. 타이밍 제어부(150)에서 생성된 주사 구동 제어신호(SCS)는 주사 구동부(110)로 공급되고, 데이터 구동 제어신호(DCS)는 데이터 구동부(120)로 공급된다. 또한, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(120)로 공급한다.

[0022] 화소부(130)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치한 다수의 화소(140)를 포함한다. 각각의 화소(140)들은 외부로부터 제1 화소전원(ELVDD) 및 제2 화소전원(ELVSS)을 공급받고, 주사 구동부(110) 및 데이터 구동부(120)로부터 각각 주사신호 및 데이터신호를 공급받는다. 제1 및 제2 화소전원(ELVDD, ELVSS)과 주사신호 및 데이터신호를 공급받은 각각의 화소(140)들은 주사신호에 의해 선택되어 데이터 신호를 공급받고, 이에 대응되는 빛을 생성한다.

[0023] 도 2는 도 1의 주사 구동부에 포함된 쉬프트 레지스터의 일례를 나타내는 블럭도이다.

[0024] 도 2를 참조하면, 쉬프트 레지스터는 스타트펄스(SP)의 입력라인에 종속적으로 접속되는 다수의 스테이지들(ST1 내지 STn)을 구비하며, 제1, 제2 및 제3 입력라인(10, 20, 30)으로부터 각각 입력되는 제1, 제2 및 제3 클럭신호(CLK1, CLK2, CLK3)에 의해 구동된다.

[0025] 여기서, 3개의 클럭신호(CLK1, CLK2, CLK3)는 순차적으로 위상이 지연되는 형태로 공급되며, 각각의 스테이지(ST)는 3개의 클럭신호(CLK1, CLK2, CLK3) 중 두 개의 클럭신호의 공급라인에 각각 접속된다. 그리고, 각각의 스테이지(ST)로는 이전단 스테이지로 입력된 클럭신호(CLK)가 위상지연된 형태의 클럭신호가 공급된다.

[0026] 예를 들어, 제1 스테이지(ST1)가 제1 및 제3 클럭신호(CLK1, CLK3)를 입력받아 구동되는 경우, 제2 스테이지(ST2)는 제1 스테이지(ST1)와 대응되는 클럭신호의 입력라인으로부터 각각 한 클럭만큼 위상 지연된 제2 및 제1

클럭신호(CLK2, CLK1)를 입력받을 수 있다. 그리고, 제3 내지 제n 스테이지(ST3 내지 STn)에도 같은 방식으로 순차적으로 한 클럭 만큼씩 위상 지연된 2개의 클럭신호가 입력될 수 있다.

- [0027] 이와 같은 쉬프트 레지스터로 스타트 펄스(SP)와 제1 내지 제3 클럭신호(CLK1, CLK2, CLK3)가 입력되면, 제1 스테이지(ST1)는 제1 및 제3 클럭신호(CLK1, CLK3)에 대응하여 자신에게 공급되는 스타트펄스(SP)를 한 클럭만큼 위상지연시켜 제1 주사신호(SS1)를 출력한다. 제1 주사신호(SS1)는 제1 주사선(도 1의 S1)으로 출력됨과 아울러, 제2 스테이지(ST2)로 공급된다.
- [0028] 그러면, 제2 스테이지(ST2)는 제2 및 제1 클럭신호(CLK2, CLK1)에 대응하여 자신에게 공급되는 제1 주사신호(SS1)를 한 클럭만큼 위상 지연시켜 제2 주사신호(SS2)를 출력한다. 제2 주사신호(SS2)는 제2 주사선(S2)으로 출력됨과 아울러, 제3 스테이지(ST3)로 공급된다.
- [0029] 전술한 바와 같은 방식으로 각 스테이지(ST)는 자신에게 공급되는 스타트 펄스(SP) 또는 이전단 스테이지의 출력신호(이전단 주사신호)를 한 클럭만큼 위상 지연시킴에 의해, 주사선들(S)로 순차적으로 주사신호(SS)를 출력한다.
- [0030] 도 3은 도 2에 도시된 임의의 스테이지의 일례를 나타내는 회로도이다.
- [0031] 도 3을 참조하면, 임의의 스테이지(STi)는 제1 내지 제6 트랜지스터(M1 내지 M6)와, 제1 및 제2 전압 안정화부(40, 50)와, 제3 및 제4 커패시터(C3, C4)를 포함한다.
- [0032] 제1 트랜지스터(M1)는 게이트 하이레벨 전압원인 제1 전원(VGH)과 스테이지(STi)의 출력노드(Nout) 사이에 접속되며, 제1 트랜지스터(M1)의 게이트 전극은 제1 노드(N1)에 접속된다.
- [0033] 이와 같은 제1 트랜지스터(M1)는 제1 노드(N1)의 전압레벨이 로우레벨일 때 턴-온되어, 제1 전원(VGH)과 출력노드(Nout)를 전기적으로 연결한다. 즉, 제1 트랜지스터(M1)가 턴-온되면, 출력노드(Nout)로는 하이레벨의 출력신호(SSi)가 출력된다.
- [0034] 제2 트랜지스터(M2)는 출력노드(Nout)와 제3 클럭신호(CLK3)의 입력라인(30) 사이에 접속되며, 제2 트랜지스터(M2)의 게이트 전극은 제2 노드(N2)에 접속된다.
- [0035] 이와 같은 제2 트랜지스터(M2)는 제2 노드(N2)의 전압레벨이 로우레벨일 때 턴-온되어, 출력노드(Nout)와 제3 클럭신호(CLK3)의 입력라인(30)을 전기적으로 연결한다. 즉, 제2 트랜지스터(M2)가 턴-온되면, 출력신호(SSi)의 파형이 제3 클럭신호(CLK3)의 파형을 따르게 된다.
- [0036] 제3 트랜지스터(M3)는 제1 전원(VGH)과 제1 노드(N1) 사이에 접속되며, 제3 트랜지스터(M3)의 게이트 전극은 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)가 입력되는 입력단자(I/P)에 접속된다.
- [0037] 이와 같은 제3 트랜지스터(M3)는 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)에 대응하여 제1 노드(N1)의 전압레벨을 제어한다.
- [0038] 제4 트랜지스터(M4)는 제1 전원(VGH)과 제2 노드(N2) 사이에 접속되며, 제4 트랜지스터(M4)의 게이트 전극은 제1 노드(N1)에 접속된다.
- [0039] 이와 같은 제4 트랜지스터(M4)는 제1 노드(N1)의 전압레벨에 대응하여 제2 노드(N2)의 전압레벨을 제어한다. 여기서, 제4 트랜지스터(M4)는 제2 전압 안정화부(50)의 제9 트랜지스터(M9)를 경유하여 제2 노드(N2)와 접속되나, 제4 트랜지스터(M4)가 턴-온되는 동안에는 제9 트랜지스터(M9)도 턴-온 상태를 유지한다. 따라서, 이 경우 제2 노드(N2)의 전압레벨은 제4 트랜지스터(M4)에 의해 하이레벨로 제어된다.
- [0040] 제5 트랜지스터(M5)는 제1 노드(N1)와 게이트 로우레벨 전압원인 제2 전원(VGL) 사이에 접속되며, 제5 트랜지스터(M5)의 게이트 전극은 제1 입력라인(10)에 접속된다.
- [0041] 이와 같은 제5 트랜지스터(M5)는 제1 입력라인(10)으로부터 공급되는 제1 클럭신호(CLK1)에 대응하여 제1 노드(N1)의 전압레벨을 제어한다.
- [0042] 제6 트랜지스터(M6)는 제2 노드(N2)와 제2 전원(VGL) 사이에 접속되며, 일 전극이 제1 전압 안정화부(40)의 제7 트랜지스터(M7)를 경유하여 제2 노드(N2)에 접속된다. 그리고, 제6 트랜지스터(M6)의 게이트 전극은 입력단자(I/P)에 연결된다.

- [0043] 이와 같은 제6 트랜지스터(M6)는 입력단자(I/P)로부터 공급되는 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)에 대응하여 제2 노드(N2)의 전압레벨을 제어한다.
- [0044] 여기서, 제6 트랜지스터(M6)가 턴-온되는 동안에는 제7 트랜지스터(M7)도 턴-온 상태를 유지하므로, 제2 노드(N2)의 전압레벨은 제6 트랜지스터(M6)에 의해 하강하게 된다.
- [0045] 제1 전압 안정화부(40)는 제1 및 제2 전원(VGH, VGL), 제1 입력라인(10) 및 제2 노드(N2)에 접속되어, 제2 노드(N2)의 전압을 안정화한다.
- [0046] 이를 위해, 제1 전압 안정화부(40)는, 제2 노드(N2)와 제6 트랜지스터(M6) 사이에 접속되며 게이트 전극이 제2 전원(VGL)에 접속되는 제7 트랜지스터(M7)와, 제6 및 제7 트랜지스터(M6, M7)의 접속노드인 제3 노드(N3)와 제2 전원(VGL) 사이에 접속되는 제1 커패시터(C1)와, 제1 전원(VGH)과 제3 노드(N3) 사이에 접속되며 게이트 전극이 제1 입력라인(10)에 접속된 제8 트랜지스터(M8)를 포함한다.
- [0047] 이와 같은 제1 전압 안정화부(40)는 출력노드(Nout)로 로우레벨의 주사신호(SSi)가 출력될 때 제2 노드(N2)와 제2 전원(VGL) 사이에 누설전류가 흐르는 것을 방지한다. 이에 의해, 제1 전압 안정화부(40)는 제2 노드(N2)의 전압을 안정화한다.
- [0048] 제2 전압 안정화부(50)는 제4 트랜지스터(M4)와 제2 노드(N2) 사이에 접속되며, 제1 및 제2 전원(VGH, VGL)과 입력단자(I/P)에 더 접속되어, 제2 노드(N2)의 전압을 안정화한다.
- [0049] 이를 위해, 제2 전압 안정화부(50)는, 제4 트랜지스터(M4)와 제2 노드(N2) 사이에 접속되며 게이트 전극이 제2 전원(VGL)에 접속되는 제9 트랜지스터(M9)와, 제4 및 제9 트랜지스터(M4, M9)의 접속노드인 제4 노드(N4)와 제1 전원(VGH) 사이에 접속되는 제2 커패시터(C2)와, 제4 노드(N4)와 제2 전원(VGL) 사이에 접속되며 게이트 전극이 입력단자(I/P)에 접속되는 제10 트랜지스터(M10)를 포함한다.
- [0050] 이와 같은 제2 전압 안정화부(50)는 출력노드(Nout)로 로우레벨의 주사신호(SSi)가 출력될 때 제1 전원(VGH)과 제2 노드(N2) 사이에 누설전류가 흐르는 것을 방지한다. 이에 의해, 제2 전압 안정화부(50)는 제2 노드(N2)의 전압을 안정화한다.
- [0051] 제3 커패시터(C3)는 제2 노드(N2)와 출력노드(Nout) 사이에 접속된다. 이와 같은 제3 커패시터(C3)는 제2 트랜지스터(M2)가 턴-온된 상태에서 제3 클럭신호(CLK3)의 전압레벨이 변화될 때 커플링작용을 통해 제2 노드(N2)의 전압레벨을 동반 상승 또는 하강시킨다.
- [0052] 제4 커패시터(C4)는 제1 전원(VGH)과 제1 노드(N1) 사이에 접속된다. 즉, 제4 커패시터(C4)는 제1 트랜지스터(M1)의 게이트 전극과 소스 전극 사이에 접속되어, 제1 트랜지스터(M1)의 동작을 안정화한다.
- [0053] 전술한 바와 같이 스테이지(STi) 내에 제1 및 제2 전압 안정화부(40, 50)를 설계함에 의해, 출력노드(Nout)로 주사신호(SSi)가 출력될 때 제1 전원(VGH) 및 제2 전원(VGL)과 제2 노드(N2) 사이에 누설전류가 흐르는 것을 방지할 수 있다. 이에 따라, 출력노드(Nout)로 로우레벨의 주사신호(SSi)가 출력되는 동안 제2 노드(N2)의 전압레벨이 제2 트랜지스터(M2)를 충분히 턴-온시킬 수 있는 정도의 로우레벨로 안정화되어 쉬프트 레지스터의 출력특성이 안정화된다.
- [0054] 이하에서는 도 3에 도시된 스테이지의 동작을 도 4에 도시된 입/출력 신호의 파형과 결부하여 상세히 설명하기로 한다.
- [0055] 도 4를 참조하면, 우선, 제1 기간(t1) 동안 제1 입력라인(10)으로 로우레벨의 제1 클럭신호(CLK1)가 공급된다. 이에 따라, 제5 및 제8 트랜지스터(M5, M8)가 턴-온된다.
- [0056] 제5 트랜지스터(M5)가 턴-온되면, 제1 노드(N1)와 제2 전원(VGL)이 전기적으로 연결되어 제1 노드(N1)의 전압(V(N1))이 로우레벨이 된다. 이에 따라, 제1 트랜지스터(M1)가 제1 기간(t1) 동안 턴-온 상태를 유지하면서 출력노드(Nout)를 통해 출력되는 출력신호(SSi)는 하이레벨로 유지된다.
- [0057] 그리고, 제8 트랜지스터(M8)가 턴-온되면, 제3 노드(N3)와 제1 전원(VGH)이 전기적으로 연결되어 제3 노드(N3)의 전압이 하이레벨이 된다. 여기서, 제7 트랜지스터(M7)는 게이트-소스 간 전압에 의해 턴-온 상태를 유지하므로, 제2 노드(N2)와 제3 노드(N3)가 전기적으로 연결된다. 따라서, 제1 기간(t1) 동안 제2 노드(N2)의 전압(V(N2))은 하이레벨로 유지되고, 제2 트랜지스터(M2)는 오프 상태를 유지한다. 이때, 제1 커패시터(C1)에는 하

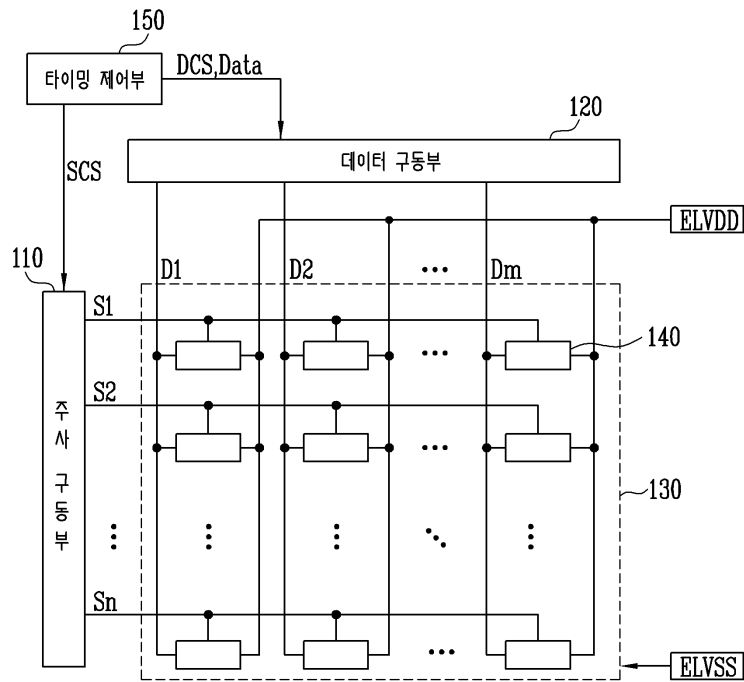
이레벨의 전압이 충전된다.

- [0058] 이후, 제2 기간(t2) 동안 입력단자(I/P)로 로우레벨의 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)가 공급된다. 이에 따라, 제3, 제6 및 제10 트랜지스터(M3, M6, M10)가 턴-온된다.
- [0059] 제3 트랜지스터(M3)가 턴-온되면, 제1 전원(VGH)과 제1 노드(N1)가 전기적으로 연결되어 제1 노드(N1)의 전압(V(N1))이 하이레벨이 된다. 이에 따라, 제1 및 제4 트랜지스터(M1, M4)가 턴-오프된다.
- [0060] 제6 트랜지스터(M6)가 턴-온되면, 제3 노드(N3)가 제2 전원(VGL)과 전기적으로 연결되어 제3 노드(N3)의 전압이 로우레벨이 된다.
- [0061] 이때, 제1 커패시터(C1)에는 제6 트랜지스터(M6)의 문턱전압을 감한 만큼의 로우레벨 전압이 충전된다. 즉, 제3 노드(N3)의 전압은 제2 전원(VGL)의 전압보다 제6 트랜지스터(M6)의 문턱전압만큼 높은 정도의 로우레벨이 된다. 예를 들어, 제2 전원(VGL)의 전압이 -7V이고, 제6 트랜지스터(M6)의 문턱전압이 -3V라면, 제3 노드(N3)의 전압은 -4V가 된다.
- [0062] 이와 같은 제2 기간(t2) 동안 제7 트랜지스터(M7)는 턴-온 상태를 유지하여 제2 노드(N2)의 전압(V(N2))이 하이레벨에서 로우레벨로 하강한다.
- [0063] 이에 따라, 제2 트랜지스터(M2)가 턴-온되어 제3 입력라인(30)과 출력노드(Nout)가 전기적으로 연결되고 제2 기간(t2) 동안 제3 클럭신호(CLK3)가 하이레벨로 설정되므로, 출력신호(SSi)는 하이레벨로 유지된다. 이때, 제3 커패시터(C3)에는 제2 트랜지스터(M2)가 턴-온될 수 있는 전압이 저장된다.
- [0064] 제10 트랜지스터(M10)가 턴-온되면, 제4 노드(N4)와 제2 전원(VGL)이 전기적으로 연결되어, 제4 노드(N4)의 전압이 로우레벨이 된다. 이때, 제2 커패시터(C2)에는 제4 노드(N4)의 로우레벨 전압에 대응하는 전압이 충전된다.
- [0065] 이후, 제3 기간(t3) 동안 제3 입력라인(30)으로 공급되는 제3 클럭신호(CLK3)의 전압레벨이 로우레벨로 천이되면, 제2 트랜지스터(M2)의 기생 커패시터(미도시) 및 제3 커패시터(C3)의 커플링 작용에 의해 제2 노드(N2)의 전압(V(N2))은 더 낮은 로우레벨로 하강된다. 이에 따라, 제2 트랜지스터(M2)가 안정적으로 턴-온 상태를 유지하면서 제3 클럭신호(CLK3)의 로우레벨 전압이 출력노드(Nout)로 출력된다. 즉, 제3 기간(t3) 동안에는 로우레벨의 주사신호(SSi)가 출력된다.
- [0066] 한편, 이와 같은 제3 기간(t3) 동안 제2 노드(N2)의 전압(V(N2))이 더 낮은 로우레벨로 하강됨에 의해, 제7 및 제9 트랜지스터(M7, M9)는 게이트-소스 간 전압에 의해 턴-오프 상태가 된다.
- [0067] 이때, 제7 및 제9 트랜지스터(M7, M9)는 각각 제2 전원(VGL) 및 제1 전원(VGH)에 직접적으로 연결되지 않고 제1 및 제2 커패시터(C1, C2)에 의해 연결된다. 그리고, 제1 및 제2 커패시터(C1, C2)는 각각 제2 기간(t2) 동안 충전된 전압을 유지한다.
- [0068] 즉, 제9 트랜지스터(M9)의 드레인-소스 간 전압은, 제9 트랜지스터(M9)가 제1 전원(VGH)에 직접적으로 연결되는 경우에 비해 현저히 낮은 정도로 유지된다. 그리고, 제7 트랜지스터(M7)의 경우에도 제3 노드(N3)의 전압이 제2 및 제3 기간(t2, t3) 각각에서 제7 트랜지스터(M7)가 턴-온 및 턴-오프를 유지하면서도 오프전류가 방지될 수 있는 정도의 낮은 드레인-소스 간 전압이 유지된다.
- [0069] 따라서, 쉬프트 레지스터 내에 구비되는 트랜지스터들의 오프특성, 특히 본 실시예의 경우에는 제2 노드(N2)에 연결되는 제7 및 제9 트랜지스터(M7, M9)의 오프전류 특성에 크게 영향을 받지않고 제2 노드(N2)와 제1 및 제2 전원(VGH, VGL) 사이의 누설전류가 방지된다.
- [0070] 이에 의해, 주사신호(SSi)가 출력되는 해당 주사기간(즉, 제3 기간(t3)) 동안 제2 노드(N2)의 전압(V(N2))이 안정적으로 낮게 유지되면서 쉬프트 레지스터의 출력특성이 안정화된다.
- [0071] 이후, 제4 기간(t4) 동안 제3 입력라인(30)으로 공급되는 제3 클럭신호(CLK3)의 전압레벨이 다시 하이레벨로 천이되면, 제2 노드(N2)의 전압(V(N2))은 제2 기간(t2)에서와 동일한 정도의 레벨로 상승한다. 이와 같은 제4 기간(t4) 동안에는 제2 트랜지스터(M2)가 턴-온 상태를 유지한다 하더라도, 제3 클럭신호(CLK3)의 전압레벨이 하이레벨로 천이되었으므로 주사신호(SSi)의 전압레벨은 다시 하이레벨로 천이된다.
- [0072] 이후, 제5 기간(t5) 동안 제1 입력라인(10)으로 다시 로우레벨의 제1 클럭신호(CLK1)가 공급된다. 이에 따라, 제5 및 제8 트랜지스터(M5, M8)가 턴-온되면서, 제1 노드(N1)의 전압(V(N1))은 다시 로우레벨이 되고, 제2 노드

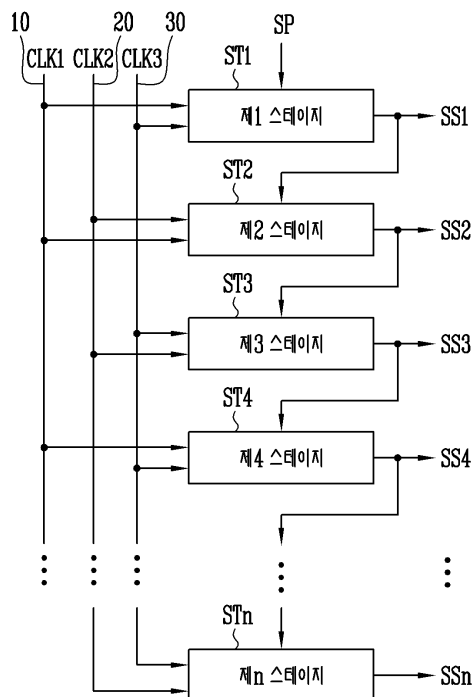


도면

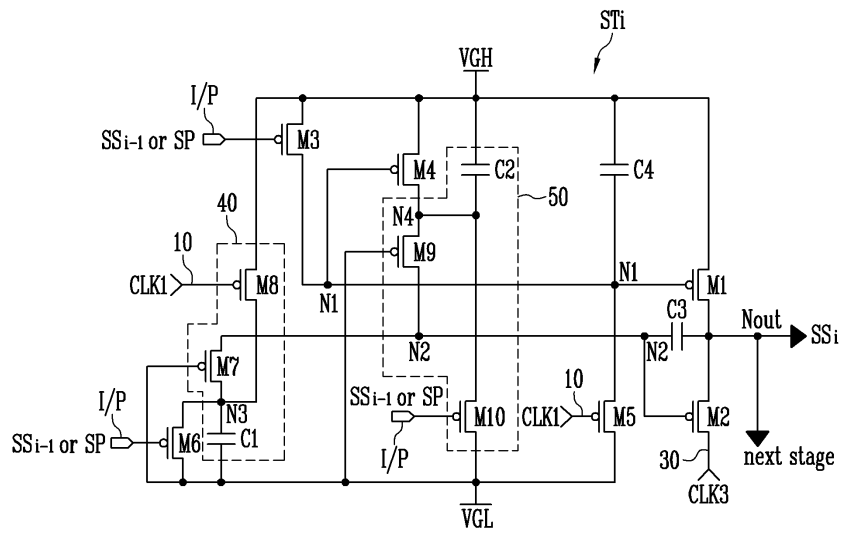
도면1



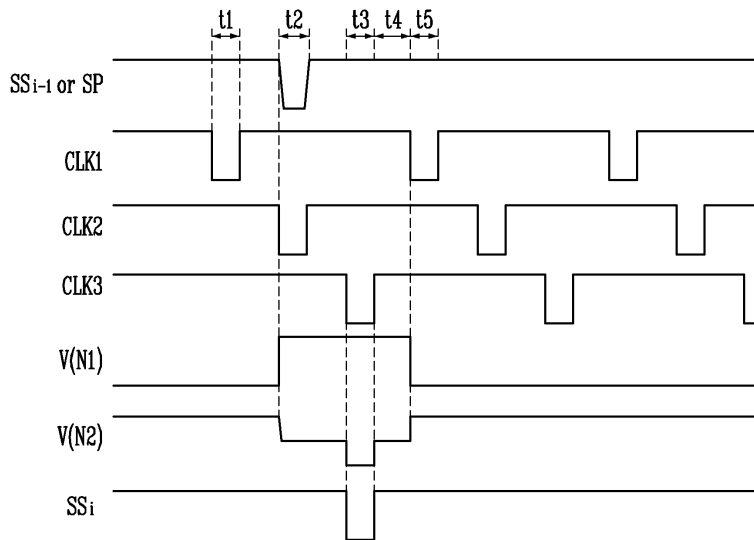
도면2



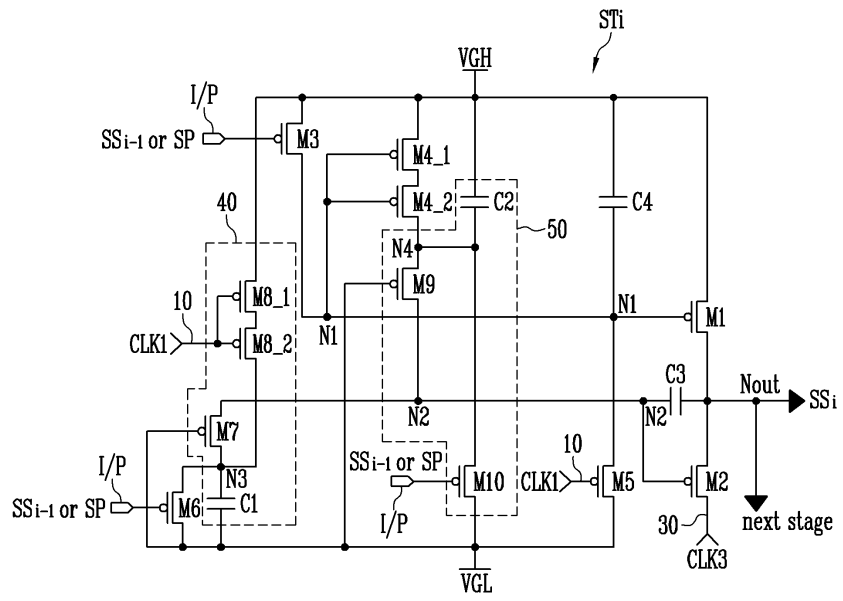
도면3



도면4



도면5



|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 移位寄存器和使用其的有机发光显示器                                  |         |            |
| 公开(公告)号        | <a href="#">KR1020100082934A</a>                   | 公开(公告)日 | 2010-07-21 |
| 申请号            | KR1020090002232                                    | 申请日     | 2009-01-12 |
| [标]申请(专利权)人(译) | 三星显示有限公司   |         |            |
| 申请(专利权)人(译)    | 三圣母工作显示有限公司  |         |            |
| 当前申请(专利权)人(译)  | 三圣母工作显示有限公司  |         |            |
| [标]发明人         | SAMIL HAN<br>한삼일                                   |         |            |
| 发明人            | 한삼일  |         |            |
| IPC分类号         | G09G3/30 G09G3/32 H01L51/50                        |         |            |
| CPC分类号         | G11C19/184 G09G3/3266 G09G2310/0286 H01L2027/11879 |         |            |
| 代理人(译)         | SHIN , YOUNG MOO                                   |         |            |
| 其他公开文献         | KR101022092B1                                      |         |            |
| 外部链接           | <a href="#">Espacenet</a>                          |         |            |

摘要(译)

移位寄存器根据本发明，通过具有多个连接到起始脉冲输入线路，时钟信号输入到第三输入线，第一，第二和所述第一，第二和第三从属级的通过被驱动，所述级包括第一电源和连接在所述输出节点被连接在第一晶体管和所述输出节点和连接到栅极电极到所述第一节点的第三输入线，所述第二栅电极之间的第二晶体管，并且所述第二连接在所述第一电源和第一节点，连接到所述输入端子的第三晶体管的栅电极之间，以该起始脉冲或前级级输出的输出信号，所述第一连接至节点第四晶体管，连接在第一电源和第二节点之间，并具有连接到第一节点的栅电极，连接在第一节点和第二电源之间的栅电极，第一电压稳定单元，连接到第一和第二电源，第一输入线和第二节点，用于稳定第二节点的电压，第六晶体管通过第一稳压器连接到第二节点，并具有连接到第二电源的第二电极和连接到输入端子的栅电极，第二电压稳定部分连接在第一和第二电源和输入端之间，用于稳定第二节点的电压。

